

95.9.29

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92128797

※申請日期：92.10.17

※IPC 分類：H01L 21/28 (2006.01)

壹、發明名稱：(中文/英文)

具有U字形閘極結構之半導體裝置

SEMICONDUCTOR DEVICE HAVING A U-SHAPED GATE STRUCTURE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司 / ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 柯洛皮 丹尼爾 R/ COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.

國籍：(中文/英文) 美國 / US

參、發明人：(共 6 人)

姓名：(中文/英文)

1. 俞賓 / YU, BIN 2. 阿曼 希普列 S / AHMED, SHIBLY S.

3. 安辛林 / AN, JUDY XILIN

4. 達西拉馬非 斯坎瓦拉 / DAKSHINA-MURTHY, SRIKANTESWARA

5. 卡瓦皮克 羅蘭 / KRIVOKAPIC, ZORAN

6. 王海宏 / WANG, HAIHONG

住居所地址：(中文/英文)

1. 美國·加州 95014·丘帕提諾·小狗道 1373 號

1373 Poppy Way, Cupertino, CA 95014, U.S.A.

2. 美國 · 加州 95134 · 聖荷西 · 伊坦莊 #105 巷 350 號

350 Elan Village Lane, #105 San Jose, CA 95134, U.S.A.

3. 美國 · 加州 95129 · 聖荷西 · 雨森廣場 905 號

905 Raintree Court, San Jose, CA 95129, U.S.A.

4. 美國 · 德州 78759 · 奧斯汀 · 茜莊 #1423 路 · 10926 號

10926 Jollyville Road #1423, Austin, Texas 78759, U.S.A.

5. 美國 · 加州 95050 · 聖塔克萊拉 · 瓦納廣場 2321 號

2321 De Varona Place, Santa Clara, CA 95050, U.S.A.

6. 美國 · 加州 94555 · 佛蒙特 · 多納梯 34170 號

34170 Donahue Terrace, Fremont, CA 94555, U.S.A.

國 籍：(中文/英文) 1. 6 中國大陸/CN 2. 孟加拉/BD 3. 5 美國 /US

4. 印度/IN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ V 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2002 年 10 月 22 日 10/274,867 （主張優先權）

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係有關於半導體裝置以及製造半導體裝置的方法，更詳而言之，係應用於雙閘極結構。

【先前技術】

超大型積體電路半導體裝置日益攀升之高密度與性能需求需要例如閘極長度小於 100 奈米之設計特徵、高可靠度、以及更高的製造生產能力。縮減設計特徵小於 100 奈米之需求挑戰傳統方式的限制。

例如，當習知平面金屬氧化物半導體場效電晶體 (MOSFET) 之閘極長度縮小於 100 奈米時，短通道效應的問題，例如源極與汲極間之過量的漏電，變得更難克服。並且，移動性的降低以及其他若干製程問題亦使得調整習知 MOSFET 以包含更小元件之困難度更大。因此需要發展新裝置結構以增進 FET 性能並允許更進一步的裝置尺寸調整。

雙閘極 MOSFET 視為代表超越舊有平面式 MOSFET 之候選者的新結構。雙閘極 MOSFET 中，可用兩個閘極控制短通道效應。鰭式場效電晶體 (FinFET) 為近來雙閘極結構之一種，並具有良好的短通道性能。FinFET 包括形成於垂直鰭型之通道。可使用類似習知平面式 MOSFET 之佈局以及製程技術製造 FinFET 結構。

【發明內容】

利用符合本發明之實施方式提供具有形成於導電鰭之

相對側之兩閘極的 FinFET 裝置。該裝置可包括位於導電鰭下的閘極材料以增加裝置之總通道寬。

本發明之額外的優點以及其他特徵將部份的於下述說明，而熟悉該項技藝者透過閱讀下述說明或由實施本發明亦能使本發明之優點以及特徵部份的更顯而易見。由所附之申請專利範圍之指定可達成本發明之優點以及特徵。

根據本發明，可藉由包括有基板、絕緣層、第一閘極、以及鰭(fin)之半導體裝置來部分的獲得上述以及其他好處。該絕緣層形成於該基板上，且該第一閘極形成於該絕緣層上。該第一閘極於半導體裝置之通道區域具有 U 型剖面。該鰭具有複數個側表面、一頂面、以及一底面，其中該第一閘極圍繞該底面以及至少部份的側表面。

根據本發明之另一態樣，提供一種製造半導體裝置的方法。該方法包括形成絕緣層於基板上並形成鰭結構於該絕緣層上。該鰭結構具有複數個側表面、一頂面、以及一底面。該方法亦包括形成電介質層於該鰭結構之頂面上，形成源極和汲極區域並蝕刻該絕緣層以橫向底切(undercut)位於該鰭結構底面下之絕緣層。該方法復包括沉積閘極材料於該鰭結構上，其中閘極材料圍繞該鰭結構之底面以及至少部份的側表面。該方法另包括將沉積之閘極材料平坦化、圖案化與蝕刻該閘極材料以在該鰭結構之相對側形成第一和第二閘極電極。

根據本發明之又一態樣，提供一種半導體裝置，包括有基板、絕緣層、導電鰭、電介質蓋、閘極電介質層、以

及閘極。該絕緣層形成於該基板上，且該導電鰭形成於該絕緣層上。該導電鰭具有第一端、第二端以及位在該第一端與該第二端之中間部分，其中，該第一端與該第二端置於該絕緣層上，且中間部分與該絕緣層隔離。該電介質蓋形成於該導電鰭之頂面上，以及閘極電介質層形成於該導電鰭之側表面與底面上。該閘極形成於該絕緣層上，且該閘極圍繞該導電鰭之中間部分的側表面與底面。

熟知此技術者可在閱讀說明書後，更了解本發明的其他好處或其他特徵。所示之實施例說明實施本發明之最佳實施方式。可對本發明作各種顯見之變更而無法脫離本發明之範圍與精神。因此，應視圖示為說明參考用，而非限制用。

【實施方式】

以下特定的具體實例將參考所附之圖示。不同圖示中相同的參考符號代表相同或類似元件。並且，下列說明並非限制本發明，而由所附之申請專利範圍以及其均等物來限定本發明之範疇。

符合本發明之實施例提供雙閘極 FinFET 裝置以及製造該種裝置的方法。根據本發明所形成之 FinFET 裝置可包括形成於導電鰭相對側之閘極，且有閘極材料圍繞該導電鰭之底面。

第 1 圖說明根據本發明一實施例所形成之半導體裝置 100 的剖面圖。參考第 1 圖，半導體裝置 100 可包括矽覆絕緣層(silicon on insulator; SOI)的結構，其包括矽基板

110、埋入氧化物層 120、以及位在埋入氧化物層 120 上的矽層 130。埋入氧化物層 120 以及矽層 130 可用習知的方式形成於基板 110 上。

在一實施例中，埋入氧化物層 120 可包括氧化矽並且可具有大約 1500 Å 到 3000 Å 的厚度。矽層 130 可包括單晶矽或多晶矽，並具有大約 200 Å 到 1000 Å 的厚度。矽層 130 可用於形成雙閘極電晶體裝置的鰭結構，如下之詳細說明。

本發明之另一實施例中，基板 110 和矽層 130 可包括其他半導體材料，例如，鍺、或半導體材料之組合 (combination)(如矽鍺 (silicon-germanium))。埋入氧化物層 120 亦可包括其他電介質材料。

電介質層 140，如氮化矽層或氧化矽層，可形成於矽層 130 上作為後續蝕刻製程時的保護罩。在一實施例中，可沉積電介質層 140 自大約 100 Å 到 250 Å 的厚度。接著，沉積並圖案化光阻材料以形成後續製程用的光阻遮罩 150。可用習知方式沉積與圖案化光阻材料。

接著可蝕刻半導體裝置 100。在一實施例中，可用習知方式蝕刻矽層 130，蝕刻至埋入氧化物層 120 即停止，如第 2A 圖所示。參考第 2A 圖，已蝕刻電介質層 140 以及矽層 130 並形成具有矽及電介質蓋 290 之鰭 210。

形成鰭 210 之後，源極和汲極區域可形成於鰭 210 之相鄰的分別端。例如，在一實施例中，可用習知方式沉積、圖案化、以及蝕刻一層矽、鍺或矽和鍺之組合來形成源極

和汲極區域。第 2B 圖說明根據本發明之一實施例之半導體裝置 100 的俯視圖，該半導體裝置 100 包括於埋入氧化物層 120 上與鰭 210 相鄰形成之源極區域 220 以及汲極區域 230。

形成源極區域 220 以及汲極區域 230 之後，可使用習知的化學蝕刻劑蝕刻半導體裝置 100 以移除部分的埋入氧化物層 120，如第 3A 圖所示。在一實施例中，該蝕刻可移除大約 100 Å 到 250 Å 的埋入氧化物層 120。在蝕刻過程中，移除在鰭 210 下一部份的埋入氧化物層 120，如第 3A 圖所示之區域 300。可使用此鰭 210 下之橫向底切以利於後續製程中更進一步蝕刻鰭 210 下之埋入氧化物層 120。

可執行第二蝕刻以橫向蝕刻通過鰭 210 下之埋入氧化物層 120 的部分。在一實施例中，可執行例如高壓下溴化氫(HBr)之等向性蝕刻以橫向蝕刻通過鰭 210 下之埋入氧化物層 120，如第 3B 圖所示。

第 3B 圖所示鰭 210 之剖面實際上係懸空於埋入氧化物層 120 上。但鰭 210 之端部連接至該埋入氧化物層 120，以及如第 3B 圖所示之鰭 210 之懸空部分由該埋入氧化物層 120 於鰭 210 相鄰源極/汲極區域 220 和 230 之分別的端部所支撐。

可移除該光阻遮罩 150 然後於鰭 210 上形成電介質層。例如，可在鰭 210 上熱生成一層薄的氧化物薄膜 410，如第 4 圖所示。可生成大約厚度為 10 Å 到 30 Å 之氧化物薄膜 410 並形成於鰭 210 之暴露的矽側表面及底面上，以

作為閘極電介質層。但是該電介質蓋 290 保護鰭 210 之頂面。

接著可沉積矽層 510 於半導體裝置 100 上，如第 5 圖所示。該矽層 510 可包括用於後續形成閘極電極之閘極材料。在一實施例中，該矽層 510 可包括用習知化學氣相沉積(CVD)而得之厚度為 500 Å 到 1000 Å 的多晶矽。或者，可使用其他半導體材料，如鍺、或矽和鍺之組合，或其他可作為閘極材料之不同金屬。

然後可平坦化半導體裝置 100。例如，可執行化學機械研磨(CMP)使閘極材料(亦即矽層 510)與電介質蓋 290 在垂直方向齊平或接近齊平，如第 6 圖所示。參考第 6 圖，矽層 510 之剖面於半導體裝置 100 之通道區域為 U 型，並且閘極材料圍繞鰭 210 於通道區域中之兩側表面以及底面。然而，電介質蓋 290 覆蓋鰭 210 之頂面。

接著可圖案化並蝕刻該矽層 510 以形成閘極電極。例如，第 7 圖說明符合本發明於閘極電極形成後半導體裝置 100 之俯視圖。如所述，半導體裝置 100 包括具有閘極電極 710 和 720 以及圍繞鰭 210 之底部分的閘極材料 510(第 6 圖)之雙閘極結構。為了簡潔，第 7 圖未示出圍繞於鰭 210 之側表面與底面之閘極電介質 410。

接著可摻雜源極/汲極區域 220 和 230。例如可佈植(implant)n 型或 p 型雜質入源極/汲極區域 220 和 230。可視個別裝置需要選擇特定的佈值劑量與能量。熟悉該項技術者可根據電路需要將源極/汲極佈值步驟最佳化，而為了

98年8月3日修(更)正替換頁

不過分混淆本發明之要點，在此將不再贅述其製程步驟。另外，可於源極/汲極離子佈值前選擇性形成側壁間隔體(sidewall spacer)以根據特定電路需要控制源極/汲極接面位置。接著可執行活化退火(activation annealing)以活化該源極/汲極區域 220 和 230。

第 7 圖所示之結果的半導體裝置為具有第一閘極 710 與第二閘極 720 之雙閘極裝置。該閘極材料 510(第 6 圖)圍繞鰭 210 之三個表面，並且與習知 FinFET 比較，提供半導體裝置 100 每裝置更多的通道寬度，同時使鰭 210 能維持於閘極蝕刻時保護鰭 210 之電介質蓋 290。又，當需要第三閘極電極時，圍繞鰭 210 底部分之閘極材料 510 可作為第三閘極。

於某些實施例中，可略過橫向底切埋入氧化物層 120 有關之步驟，如前第 3A 圖以及第 3B 圖所示者，這將產生兩個電性與物理上分離之閘極電極 710 和 720。於此情況時，當使用於電路時，閘極電極 710 和 720 中之每一個皆可分開偏壓，因為實際上閘極電極 710 和 720 藉由鰭 210 而互相分隔開。例如，於此情況時，可將閘極電極 710 用與根據特定電路需求之閘極電極 720 不同的電壓來偏壓。於電路設計時，獨立偏壓之閘極增加半導體裝置的靈活性。另外，可相對閘極電極 720 獨立摻雜 n 型或 p 型雜質入閘極電極 710，以及反之亦然。

因此，根據本發明，可形成在裝置之通道區域具有 U 形剖面之雙閘極 FinFET 裝置。有利的係完成之結構具有

良好的短通道行為。並且，本發明提供更多靈活性並且很容易的整合至習知的製程。

其他實施例

在某些實施例中，FinFET 可能需要數個鰭。第 8A 圖至第 8E 圖說明形成數個鰭之範例製程。第 8A 圖說明半導體裝置 800 之剖面圖。參考第 8A 圖，裝置 800 可包括埋入氧化物層 (Buried oxide layer, BOX 層) 810、鰭層 820，二氧化矽 (SiO_2) 層 830，二氧化矽 (SiO_2) 結構 840，以及多晶矽間隔體 850。鰭層 820 可包括矽、鍺、或矽和鍺之組合。可以習知方式形成層 810 至 830、結構 840 以及間隔體 850。可根據將形成之鰭之間所需之距離而形成具有預定寬度之結構 840 以及間隔體 850。

接著可蝕刻 SiO_2 結構 840 以及 SiO_2 層 830 形成如同第 8B 圖所示之結構。如圖所示，該多晶矽間隔體 850 保護下層之 SiO_2 不被侵蝕。接著可移除多晶矽間隔體 850，如第 8C 圖所示。然後可以習知方式蝕刻鰭層 820，該 SiO_2 作為遮罩以保護其下方之鰭材料，如第 8D 圖。接著可蝕刻 SiO_2 遮罩，蝕刻停止於矽鰭材料，而形成如第 8E 圖所示之兩鰭。依此，可形成相隔預定距離之兩個或以上之鰭。

在其他實施例中，可能希望有具有突起之源極/汲極之 FinFET。第 9A 圖以及第 9B 圖說明範例製程之形成具有突起之源極/汲極區域之 FinFET 之剖面。參考第 9A 圖，裝置 900 包括 BOX 層 910、矽層 920、閘極 930 以及側壁間隔體 940。可以習知方式形成這些層/結構。可將矽層 920

回蝕入源極/汲極區域而殘留近 10% 的矽。接著，可執行傾斜之源極/汲極佈值以摻雜源極/汲極區域，如第 9A 圖之箭頭所示。根據特定電路需求源極/汲極離子佈值可包括 n 型或 p 型雜質。

在源極/汲極佈值之後，可執行矽層 920 之選擇性磊晶成長 (Selective Epitaxial Growth; SEG) 來升高源極/汲極區域之高度，如第 9B 圖所示。在此情況下，藉由 SEG 步驟可佈值源極/汲極區域佈值物以在所需之位置形成源極/汲極 (S/D) 接面，以提高源極/汲極區域之高度。在此情況下，得到的裝置可具有減少的寄生源極/汲極電阻。

在前述之說明中，為了使本發明更易了解，已揭露多種特定細節，例如特定材料、結構、化學成分、步驟等。惟，可在不依照本文所揭露之特定細節來實施本發明。在其他例子中，為了不模糊本發明之目標並未對熟知的製程結構作詳細說明。

可利用習知的沉積技術來沉積根據本發明之半導體裝置製造時所使用的電介質與導電層。例如，可利用金屬化技術，如各種 CVD 方法，包括低壓 CVD (LPCVD) 以及增強 CVD (ECVD)。

本發明可應用於製造雙閘極半導體裝置，以及更詳言之可應用於具有設計特徵 100 奈米或更小之 FinFET 裝置。本發明可應用於多種半導體裝置的形成，因此，為了不模糊本發明之目標並未對熟知的製程結構作詳細說明。於實施本發明時，可利用習知光學微影技術以及蝕刻技

術，因此，將不在此贅述。

本說明書僅揭露本發明之最佳實施例以及其變化之數個範例。應了解到本發明可以多種結合和多種環境下來使用，但仍然在本發明之原理的範圍內。

【圖式簡單說明】

藉由參照所附之圖示可更了解本發明上述之說明，圖示中類似元件標有類似的參考符號。

第 1 圖顯示一可用於形成本發明之鰭之範例層的剖面圖；

第 2A 圖顯示根據本發明之示範實施例所形成之鰭的剖面圖；

第 2B 圖顯示根據本發明之示範實施例之第 2A 圖半導體裝置之俯視圖；

第 3A 圖以及第 3B 圖顯示根據本發明之示範實施例之第 2A 圖位於鰭下之絕緣層底切之剖面圖；

第 4 圖顯示根據本發明之示範實施例之第 3B 圖位於鰭上之閘極電介質層的形成之剖面圖；

第 5 圖顯示根據本發明之示範實施例之第 4 圖於裝置上閘極材料之形成之剖面圖；

第 6 圖顯示根據本發明之示範實施例之閘極材料平坦化之剖面圖；

第 7 圖顯示根據本發明之示範實施例形成之範例雙閘極裝置之俯視圖；

第 8A 至 8E 圖顯示根據本發明之示範實施例複數鰭之

98年8月13日修(更)正替換頁

形成的剖面圖；以及

第 9A 圖以及第 9B 圖顯示根據本發明之示範實施例的突起源極/汲極區域之形成的剖面圖。

【主要元件符號說明】

100	半導體裝置	110	矽基板
120	埋入氧化物層	130	矽層
140	電介質層	150	光阻遮罩
210	鰭	220	源極區域
230	汲極區域	300	面積
410	閘極電介質、氧化物薄膜	510	矽層、閘極材料、閘極
710、720	閘極電極		
800	半導體裝置	810	埋入氧化物層(BOX層)
820	鰭層	830	SiO ₂ 層
840	SiO ₂ 結構	850	間隔體
900	裝置	910	BOX層
920	矽層	930	閘極
940	側壁間隔體	290	電介質蓋

伍、中文發明摘要：

一種雙閘極半導體裝置(100)包括有基板(110)、絕緣層(120)、鰭(210)以及閘極(510)。該絕緣層(120)形成於該基板(110)上，而該閘極(510)形成於該絕緣層(120)上。該鰭(210)具有複數個側表面、一頂面、以及一底面。該閘極(510)圍繞著鰭(210)之底面以及至少部分的側表面。圍繞該鰭(210)之閘極材料(510)在該半導體裝置(100)之通道區域具有 U 型剖面。

陸、英文發明摘要：

A double-gate semiconductor device (100) includes a substrate (110), an insulating layer (120), a fin (210) and a gate (510). The insulating layer (120) is formed on the substrate (110) and the gate (510) is formed on the insulating layer (120). The fin (210) has a number of side surfaces, a top surface and a bottom surface. The bottom surface and at least a portion of the side surfaces of the fin (210) are surrounded by the gate (510). The gate material (510) surrounding the fin (210) has a U-shaped cross-section at a channel region of the semiconductor device (100).

拾、申請專利範圍：

1. 一種半導體裝置(100)，包括：

基板(110)；

形成於該基板(110)上之絕緣層(120)；

形成於該絕緣層(120)上的第一閘極(510)，該第一閘極(510)於該半導體裝置(100)之通道區域具有 U 型剖面； 以及

具有複數個側表面、頂面以及底面之鰭(210)，其中該第一閘極(510)圍繞該底面與至少部份的該等側表面。

2. 如申請專利範圍第 1 項之半導體裝置(100)，復包括：

形成於該絕緣層(120)上位在該鰭之與該第一閘極(710)相對的側的第二閘極(720)。

3. 如申請專利範圍第 2 項之半導體裝置(100)，其中圍繞該鰭(210)之底面之該第一閘極(510)的部分包括第三閘極。

4. 如申請專利範圍第 1 項之半導體裝置(100)，其中該絕緣層(120)包括埋入氧化物層(buried oxide layer)。

5. 一種製造半導體裝置(100)之方法，包括：

形成絕緣層(120)於基板(110)上；

形成鰭結構(210)於該絕緣層(120)上，該鰭結構(210)具有複數個側表面、頂面以及底面；

形成電介質層(140)於該鰭結構(210)之該頂面上；

形成源極和汲極區域(220、230)；

蝕刻該絕緣層(120)以橫向底切位於該鰭結構(210)之該底面下之該絕緣層(120)；

於該鰭結構(210)上沉積閘極材料(510)，該閘極材料(510)圍繞該鰭結構(210)之該底面與至少部份的該等側表面；

平坦化該沉積之閘極材料(510)；以及

圖案化與蝕刻該閘極材料(510)以於該鰭結構(210)之相對側形成第一和第二閘極電極(710、720)。

6. 如申請專利範圍第 5 項之方法，其中該蝕刻包括：

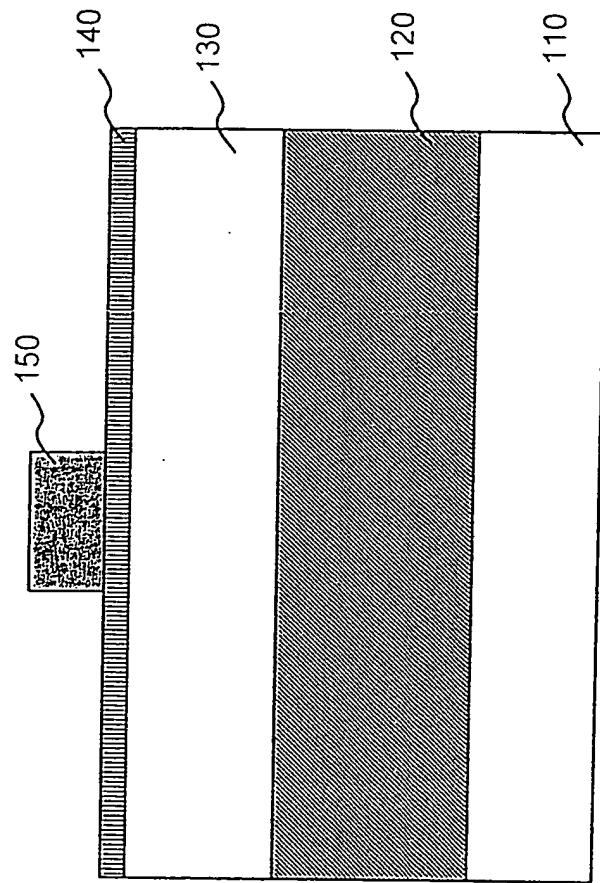
使用溴化氫(HBr)橫向底切位於該半導體裝置(100)之通道區域中之該絕緣層(120)。

7. 一種半導體裝置(100)，包括基板(110)、形成於該基板(110)上之絕緣層(120)、形成於該絕緣層(120)上之導電鰭(210)、形成於該導電鰭(210)之頂面上之電介質蓋(290)；形成於該導電鰭(210)之側表面與底面上之閘極電介質層(410)，該裝置的特徵在於：該導電鰭(210)具有第一端、第二端以及位在該第一端與該第二端之間的中間部分，其中，該第一端與該第二端置於該絕緣層(120)上，且該中間部分與該絕緣層(120)隔離；以及

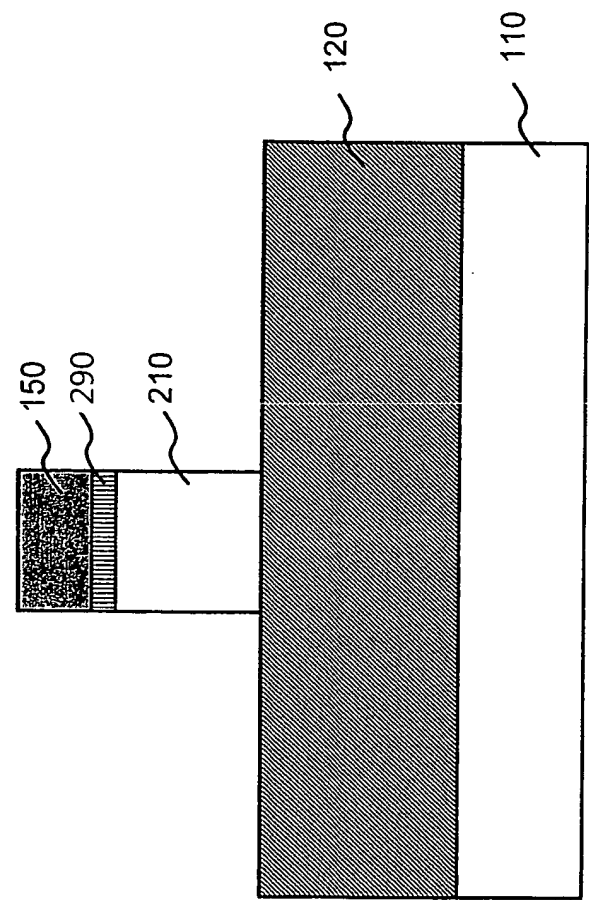
形成於該絕緣層(120)上之閘極(510)，該閘極(510)圍繞該導電鰭(210)之該中間部分的側表面與底面。

8. 如申請專利範圍第 7 項之半導體裝置(100)，其中該閘極(510)於該半導體裝置(100)之通道區域具有 U 型剖面。

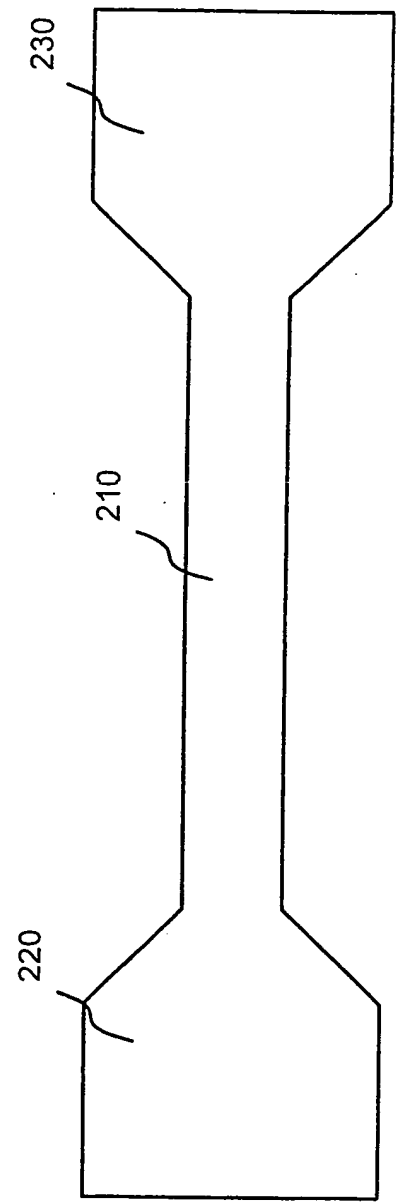
9. 如申請專利範圍第 7 項之半導體裝置(100)，其中該閘極(510)包括置於該導電鰭(210)之第一側上的第一閘極電極(710)以及置於該導電鰭(210)之相對側上的第二閘極電極(720)。
10. 如申請專利範圍第 7 項之半導體裝置(100)，其中該閘極(510)包括置於該導電鰭(210)之第一側上的第一閘極電極(710)、置於該導電鰭(210)之相對側上的第二閘極電極(720)以及置於該導電鰭(210)之底側上的第三閘極電極。



第 1 圖



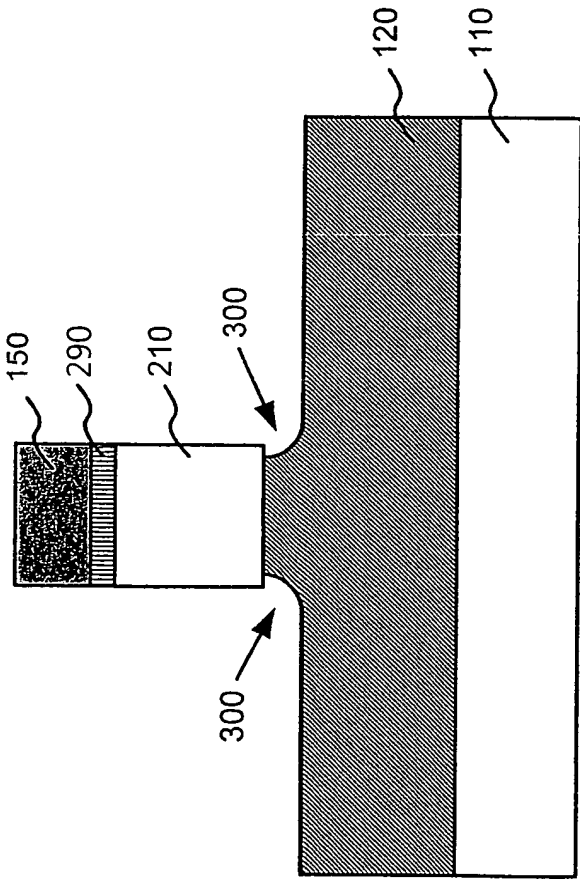
第 2A 圖



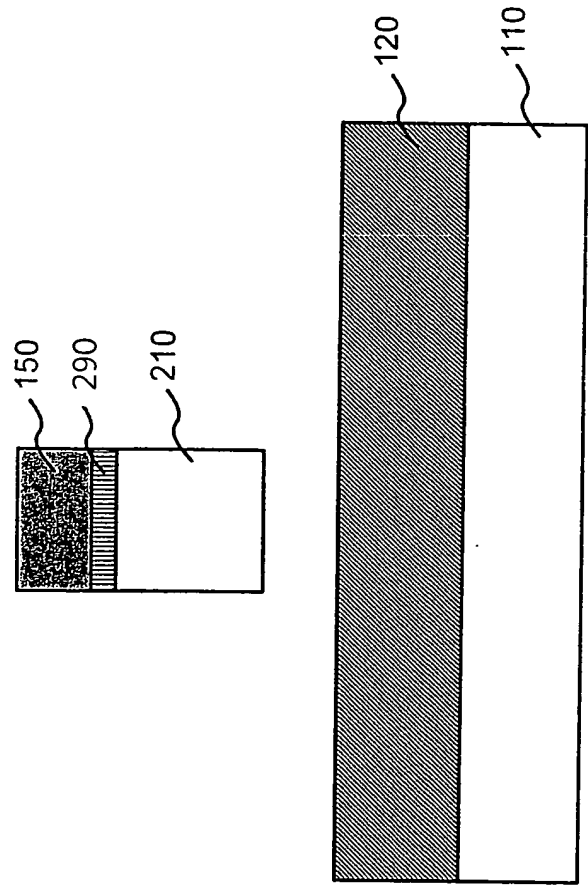
第 2B 圖

(Amended)

98年8月3日修(更)正替換頁



第 3A 圖



第 3B 圖

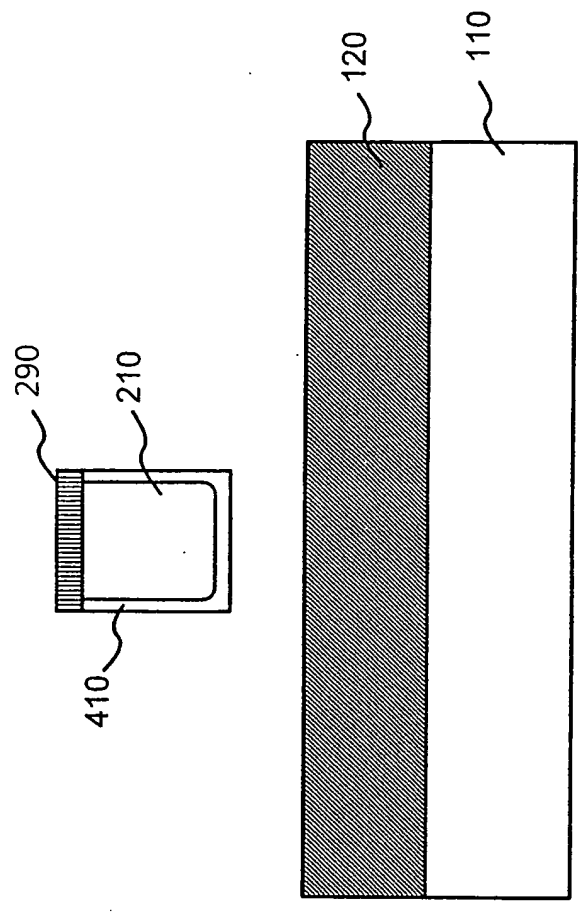
100

100

(Amended)

98年8月3日修(更)正替換頁

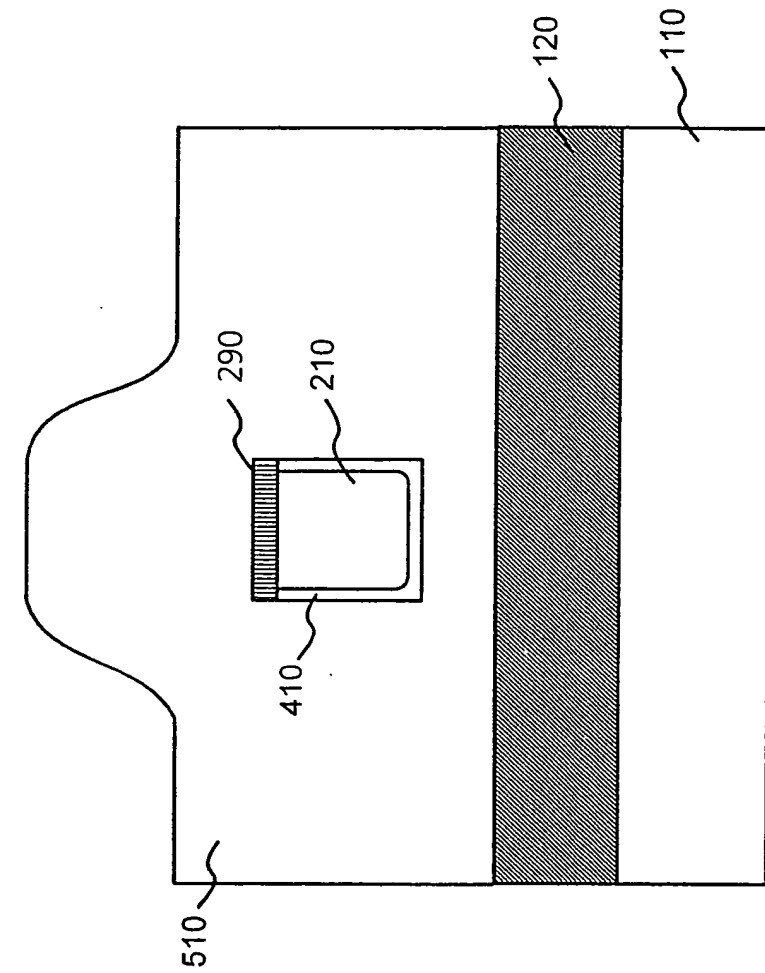
100



第 4 圖

(Amended)

98年8月3日修(更)正替換頁



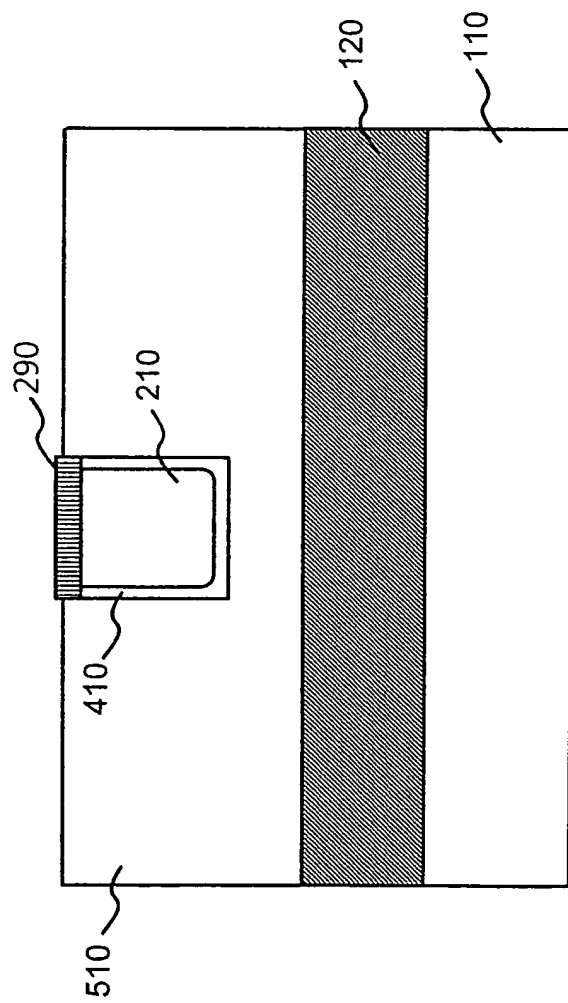
第 5 圖

100

(Amended)

95年8月3日修(更)正替換頁

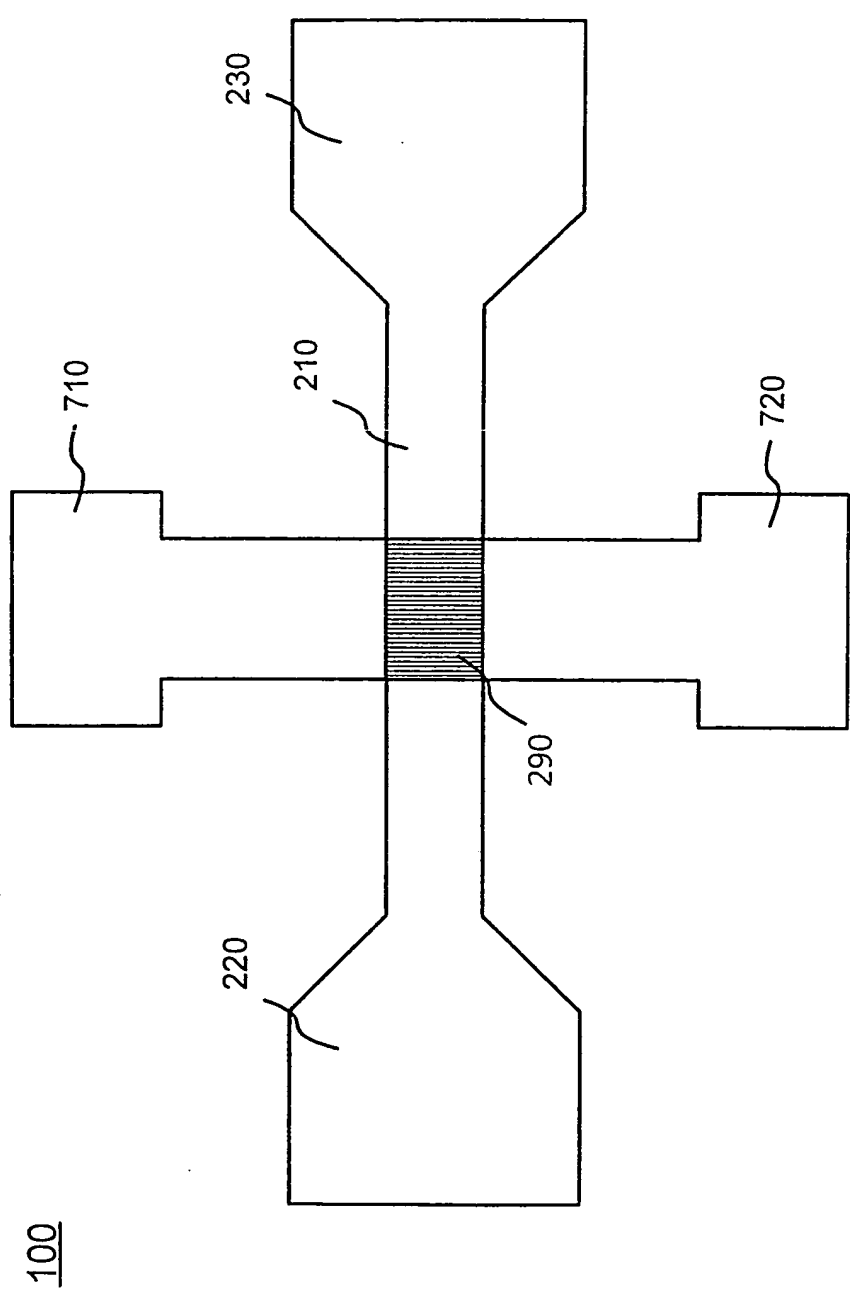
100



第 6 圖

(Amended)

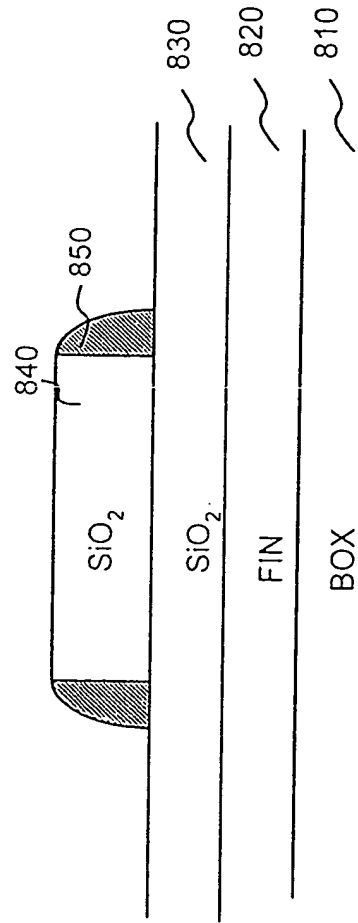
98年8月3日修(更)正替換頁



第 7 圖

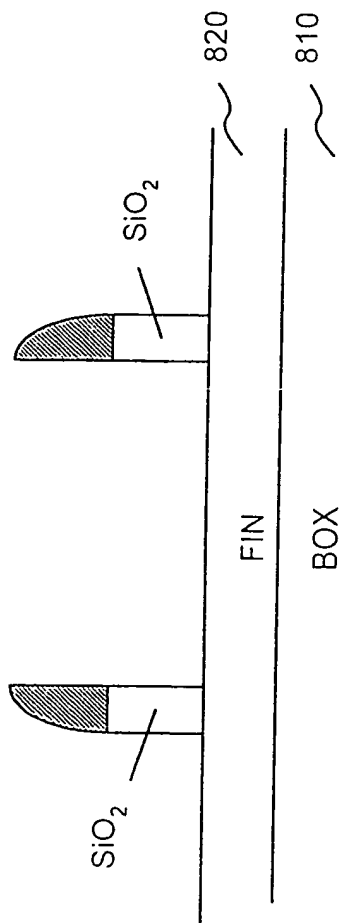
(Amended)

800



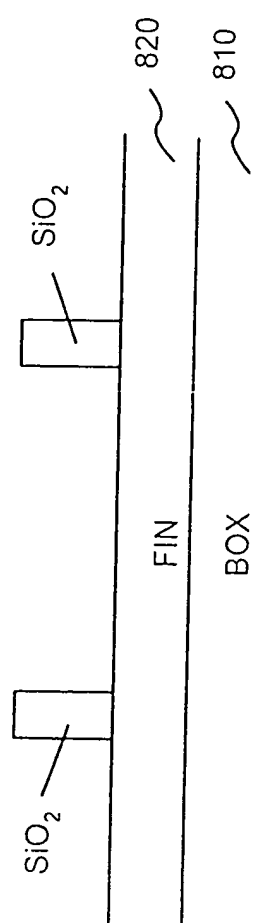
第8A圖

800



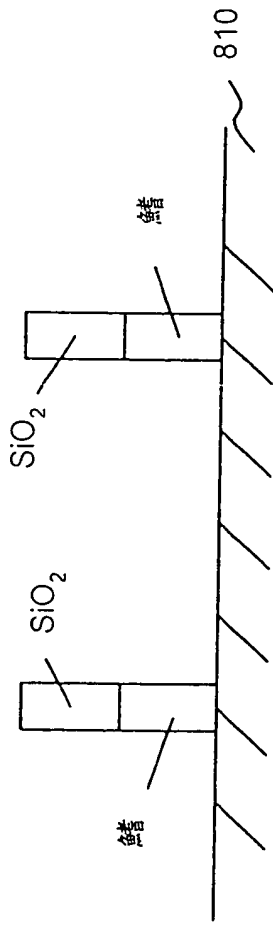
第8B圖

800



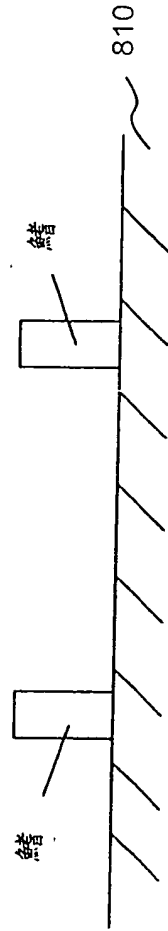
第8C圖

800



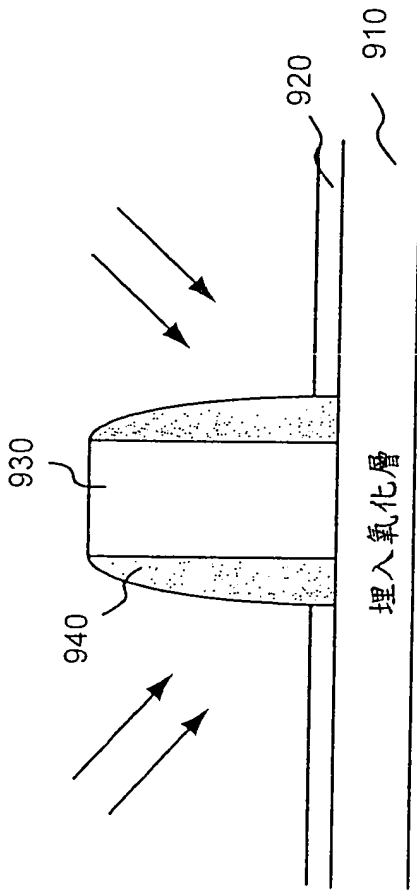
第8D圖

800



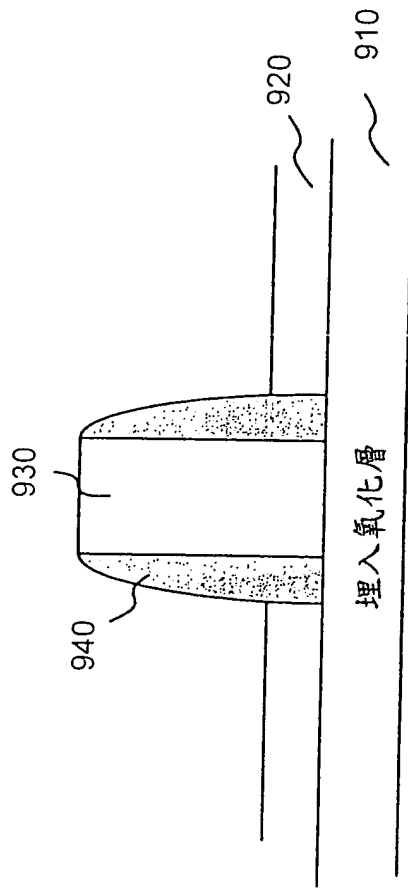
第8E圖

900



第9A圖

900



第9B圖

柒、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件代表符號簡單說明：

110	矽基板	120	埋入氧化物層
290	電介質蓋	210	鰭
410	閘極電介質、氧化物薄膜	510	矽層、閘極材料、閘極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：