

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/02

H01L 27/12 H01L 29/78

H01L 21/84 H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 200410050127.0

[43] 公开日 2005年2月9日

[11] 公开号 CN 1577850A

[22] 申请日 2004.6.23

[21] 申请号 200410050127.0

[30] 优先权

[32] 2003.6.27 [33] US [31] 10/607, 769

[71] 申请人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 斯科特·A·黑尔兰德

罗伯特·S·周 布雷恩·S·多伊

拉斐尔·里奥斯 汤姆·林顿

休曼·达塔

[74] 专利代理机构 北京东方亿思专利代理有限责
任公司

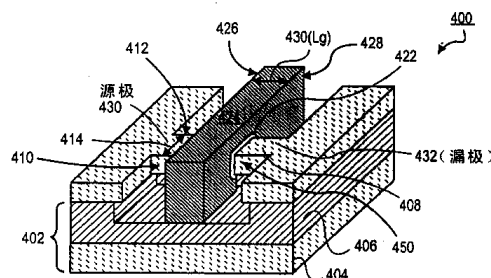
代理人 柳春雷

权利要求书6页 说明书25页 附图12页

[54] 发明名称 有部分或全包围栅电极的非平面半
导体器件及其制造方法

[57] 摘要

本发明描述了非平面半导体器件及其制造方法。非平面半导体器件包括具有顶表面的半导体主体，顶表面与形成在绝缘衬底之上的底表面相对，其中半导体主体具有一对横向相对的侧壁。在半导体主体的顶表面上、在半导体主体的横向相对的侧壁上以及在半导体主体的底表面的至少一部分上形成栅极电介质。在半导体主体顶表面上的栅极电介质上、与半导体主体的横向相对的侧壁上的栅极电介质邻接、以及在半导体主体的底表面上的栅极电介质的下方形成栅电极。在栅电极的相对两侧的半导体主体中形成一对源/漏区域。



ISSN 1008-4274

1. 一种非平面半导体器件，包括：

5 半导体主体，所述半导体主体具有顶表面，所述顶表面与形成在绝缘衬底之上的底表面相对，其中所述半导体主体具有一对横向相对的侧壁；

栅极电介质，在所述半导体主体的所述顶表面上、在所述半导体主体的所述底表面上以及在所述半导体主体的所述横向相对的侧壁上形成所述栅极电介质；

10 栅电极，在所述半导体主体的所述顶表面上的所述栅极电介质上、与
所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在
所述半导体主体的所述底表面上的所述栅极电介质的下方形成所述栅电
极；和

一对源/漏区域，所述一对源/漏区域形成在所述栅电极的相对两侧的
所述半导体主体中。

15 2. 如权利要求 1 所述的半导体器件，其中，所述半导体主体是单晶硅膜。

3. 如权利要求 1 所述的半导体器件，其中，所述半导体主体选自由
锗、锗化硅、砷化镓、InSb、GaP、GaSb 以及碳纳米管所组成的组。

20 4. 如权利要求 1 所述的半导体器件，其中，所述栅电极包含选自由多
晶硅、钨、钽、钛以及金属氮化物所组成的组中的材料。

5. 如权利要求 1 所述的半导体器件，其中，所述绝缘衬底包含形成在
单晶硅衬底上的氧化物膜。

25 6. 如权利要求 1 所述的半导体器件，其中，所述半导体器件还包括至
少一个附加的半导体主体，所述至少一个附加的半导体主体具有顶表面、
底表面以及一对横向相对的侧壁，其中栅极电介质层被形成在所述至少一
个其他的半导体主体的所述顶表面、所述底表面以及所述侧壁上，并且其
中，在所述至少一个其他的半导体主体的所述顶表面上的所述栅极电介质
上、与所述至少一个其他的半导体主体的所述横向相对的侧壁上的所述栅
极电介质邻接、以及在所述至少一个其他的半导体主体的所述底表面上的

所述栅极电介质的下方形成所述栅电极。

7. 一种非平面半导体器件，包括：

5 半导体主体，所述半导体主体具有顶表面，所述顶表面与底表面相对，所述底表面具有形成在绝缘衬底上的一部分，所述半导体主体具有形成在所述绝缘衬底上方的横向相对的侧壁；

栅极电介质，在所述半导体主体的所述顶表面上、在所述半导体主体的所述横向相对的侧壁上、在所述半导体主体的所述底表面中不在所述绝缘衬底上的部分上形成所述栅极电介质；

10 栅电极，在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在所述半导体主体的所述底表面上的所述栅极电介质的下方形成所述栅电极；和

一对源/漏区域，所述一对源/漏区域形成在所述栅电极的相对两侧的所述半导体主体中。

15 8. 如权利要求 7 所述的半导体器件，其中，所述半导体主体是单晶硅膜。

9. 如权利要求 7 所述的半导体器件，其中，所述半导体主体选自由锗、锗化硅、砷化镓、InSb、GaP、GaSb 以及碳纳米管所组成的组。

20 10. 如权利要求 7 所述的半导体器件，其中，所述栅电极包含选自由多晶硅、钨、钽、钛以及金属氮化物所组成的组中的材料。

11. 如权利要求 7 所述的半导体器件，其中，所述绝缘衬底包含形成在单晶硅衬底上的氧化物膜。

25 12. 如权利要求 7 所述的半导体器件，其中，所述半导体器件还包括至少一个附加的半导体主体，所述至少一个附加的半导体主体具有顶表面、底表面以及一对横向相对的侧壁，其中栅极电介质层被形成在所述至少一个其他的半导体主体的所述顶表面、所述底表面以及所述侧壁上，并且其中，在所述至少一个其他的半导体主体的所述顶表面上的所述栅极电介质上、与所述至少一个其他的半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在所述至少一个其他的半导体主体的所述底表面

上的所述栅极电介质的下方形成所述栅电极。

13. 一种形成非平面半导体器件的方法，包括：

在绝缘衬底上方形成半导体主体，所述半导体主体具有一对横向相对的侧壁和与底表面相对的顶表面；

5 在所述半导体主体的所述顶表面上、在所述半导体主体的所述横向相对的侧壁上以及在所述半导体主体的所述底表面的至少一部分上形成栅极电介质；

在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及下邻接形成
10 在所述半导体主体的所述底表面的至少一部分上的所述栅极电介质来形成栅电极；以及

在所述栅电极的相对两侧的所述半导体主体中形成一对源/漏区域。

14. 如权利要求 13 所述的形成所述半导体器件的方法，其中，所述栅极电介质和所述栅电极被形成在所述半导体主体的整个沟道区域的下方。

15 15. 如权利要求 13 所述的方法，其中，所述半导体主体的所述底表面的一部分被形成在所述绝缘衬底上，其中所述绝缘衬底上的所述部分位于处在所述半导体主体的所述顶表面上方的所述栅电极之下。

16. 如权利要求 13 所述的方法，其中，所述半导体主体是单晶硅膜。

20 17. 如权利要求 13 所述的方法，其中，所述半导体主体选自自由锗、锗化硅、砷化镓、InSb、GaP、GaSb 以及碳纳米管所组成的组。

18. 如权利要求 13 所述的方法，其中，所述栅电极包含选自自由多晶硅、钨、钽、钛以及金属氮化物所组成的组中的材料。

19. 如权利要求 13 所述的方法，其中，所述绝缘衬底包含形成在单晶硅衬底上的氧化物膜。

25 20. 如权利要求 13 所述的方法，还包括形成至少一个附加的半导体主体，所述至少一个附加的半导体主体具有顶表面、底表面以及一对横向相对的侧壁，并且在所述至少一个其他的半导体主体的所述顶表面、所述底表面以及所述侧壁上形成栅极电介质层，并且其中，在所述至少一个其他的半导体主体的所述顶表面上的所述栅极电介质上、与所述至少一个其他

的半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在所述至少一个其他的半导体主体的所述底表面上的所述栅极电介质的下方形成所述栅电极。

21. 一种形成非平面晶体管的方法，包括：

5 在绝缘衬底上形成半导体主体，所述半导体主体具有一对横向相对的侧壁、顶表面以及底表面；

从所述半导体主体的下方去除所述绝缘衬底的一部分，以底切所述半导体主体并暴露出所述半导体主体的所述底表面的一部分；

10 在所述半导体主体的所述顶表面上、在所述半导体主体的所述侧壁上、以及在所述半导体主体的所述暴露底部上形成栅极电介质；

在所述半导体主体的上方并围绕所述半导体主体、以及在所述半导体主体的所述暴露部分的下方沉积栅极材料；

15 利用第一各向异性刻蚀并随后进行各向同性刻蚀，将栅电极材料刻蚀成栅电极，以形成栅电极，其中在所述半导体主体的所述顶表面上的所述栅极电介质之上、与形成在所述半导体主体的所述侧壁上的所述栅极电介质邻接、以及在形成在所述半导体主体的所述底表面的所述暴露部分上的所述栅极电介质的下方形成所述栅电极；以及

将掺杂剂置于所述栅电极的相对两侧的所述半导体主体中，以形成一对源/漏区域。

20 22. 如权利要求 21 所述的方法，其中所述半导体主体由单晶硅形成。

23. 如权利要求 22 所述的方法，其中所述绝缘衬底包含下部的单晶硅衬底和顶部的氧化硅。

24. 一种形成非平面晶体管的方法，包括：

25 在绝缘衬底上形成半导体主体，所述半导体主体具有顶表面、底表面以及一对横向相对的侧壁；

在所述半导体主体上方并围绕所述半导体主体形成电介质膜，其中所述电介质膜具有开口，所述开口暴露出所述半导体主体的沟道区域；

去除所述绝缘衬底在所述开口中位于所述半导体主体下方的一部分，以暴露出所述半导体主体的所述底表面的至少一部分；

在所述开口中的所述半导体主体的所述顶表面上和所述侧壁上、以及在所述半导体主体的所述底表面的所述暴露部分上形成栅极电介质层；

在所述电介质膜的上方、在所述开口之中、以及在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述侧壁上的所述栅极电介质邻接、以及在所述半导体主体的所述暴露部分上的所述栅极电介质的下方，毯覆沉积栅电极材料；

从所述电介质膜的所述顶表面去除所述栅电极材料，以形成栅电极；

去除所述电介质膜；以及

将掺杂剂置于所述电极的相对两侧的所述半导体主体中，以形成一对源/漏区域。

25. 如权利要求 24 所述的方法，其中所述半导体主体由单晶硅形成。

26. 如权利要求 25 所述的方法，其中所述绝缘衬底包含下部的单晶硅衬底和顶部的氧化硅绝缘膜。

27. 一种形成非平面晶体管的方法，包括：

15 在绝缘衬底上形成半导体主体，所述半导体主体具有顶表面、底表面以及一对横向相对的侧壁；

在所述半导体主体的所述顶表面之上并且邻接所述半导体主体的所述横向相对侧壁形成牺牲栅电极，所述牺牲栅电极具有一对横向相对的侧壁；

20 将掺杂剂置于所述牺牲栅电极的相对两侧的所述半导体主体中，以在所述栅电极的相对两侧形成一对源极/漏极延伸；

沿着所述牺牲栅电极的横向相对的侧壁，形成一对侧壁隔片；

邻接所述侧壁隔片在所述半导体主体上形成硅；

对齐所述侧壁隔片将掺杂剂置于所述硅和所述半导体主体之中；

25 在邻接所述侧壁隔片而在所述半导体主体上所形成的硅上，形成硅化物；

在所述硅化物、所述牺牲栅极和所述侧壁隔片上形成电介质层；

对所述电介质层进行平坦化，直至所述电介质层的所述顶表面与所述牺牲栅电极的顶表面平齐，并且暴露出所述牺牲栅电极为止；

去除所述牺牲栅电极，以暴露出所述半导体主体的沟道区域和所述绝缘衬底；

去除所述绝缘衬底在所述开口中的位于所述半导体主体下方的一部分，以暴露出所述半导体主体的所述底表面的至少一部分；

5 在所述开口中的所述半导体主体的所述顶表面上和所述侧壁上、以及在所述半导体主体的所述暴露底表面的所述部分上形成栅极电介质层；

在所述栅极电介质层上、在所述开口之中、以及在所述半导体主体的所述顶表面上的所述栅极电介质层上、与所述半导体主体的所述侧壁上的所述栅极电介质邻接、以及在所述半导体主体所述底表面的所述暴露部分

10 上的所述栅极电介质的下方，毯覆沉积栅电极材料；以及

从所述电介质膜的所述顶表面去除所述栅电极材料，以形成栅电极。

28. 如权利要求 27 所述的方法，其中所述半导体主体由单晶硅形成。

29. 如权利要求 28 所述的方法，其中所述绝缘衬底包含下部的单晶硅衬底和顶部的硅化物绝缘膜。

有部分或全包围栅电极的非平面半导体器件及其制造方法

5 技术领域

本发明涉及半导体集成电路制造的领域，更具体地，本发明涉及具有部分或者完全包围的栅电极的非平面完全耗尽衬底晶体管及其制造方法。

背景技术

10 为了提高器件性能，人们已经提出了绝缘体上硅（SOI）晶体管，用于制造新型的集成电路。图 1 图示了标准的完全耗尽的绝缘体上硅（SOI）晶体管 100。SOI 晶体管 100 包括具有绝缘层 104 的单晶硅衬底 102，所述绝缘层 104 例如是形成在单晶硅衬底 102 上的埋入氧化物。单晶硅主体 106 被形成在绝缘层 104 上。栅极电介质层 108 被形成在单晶硅主体 106 上，并且栅电极 110 被形成在栅极电介质 108 上。源极 112 和漏极 114 区域沿栅电极 110 横向相对的两侧形成在硅主体 106 中。

完全耗尽的 SOI 已经作为一种晶体管结构被提出，该晶体管结构利用理想的亚阈值梯度，以获得最优化的导通电流/关断电流比。为了利用晶体管 100 实现理想的亚阈值梯度，硅主体 106 的厚度必须是晶体管的栅极长度（ L_g ）的约 1/3 大小，或者 $T_{si}=L_g/3$ 。但是，当栅极长度缩减，特别是当栅极长度接近 30nm 时，对于不断减小硅膜厚度（ T_{si} ）的需要使得此方法越来越不切实际。对于 30 纳米的栅极长度，所要求的硅主体厚度被认为需要小于 10 纳米，对于 20 纳米的栅极长度，所要求的硅主体厚度需要到约 6 纳米。制造厚度小于 10 纳米的薄硅膜被认为是极其困难的。一方面，获得一个纳米数量级的晶片均匀性是非常困难的挑战。另一方面，如下的情况，即能够接触这些薄膜来形成加高的源/漏区域以降低结电阻，变成几乎是不可能的，因为在栅极刻蚀以及栅极刻蚀和隔片刻蚀之后的各种清洗的过程中，源/漏区域中的薄硅层被消耗，留下的硅 106 不足以使硅在上面生长。

已经提出了诸如图 2A 和 2B 中示出的双栅极 (DG) 器件, 来解决硅厚度的问题。双栅极 (DG) 器件 200 包括形成在绝缘衬底 204 上的硅主体 202。栅极电介质 206 被形成在硅主体 202 的两侧, 并且邻接被形成在硅主体 202 两侧的栅极电介质 206 来形成栅电极 208。足够厚的诸如氮化硅的绝缘层 209 将栅电极 208 与硅主体 202 的顶部电隔离。

双栅极 (DG) 器件 200 实质上具有两个栅极, 一个栅极位于器件沟道两侧中的一侧。因为双栅极器件 200 在沟道的每一侧都具有栅极, 所以硅主体的厚度 (Tsi) 可以是单栅极器件的硅主体厚度的两倍, 并仍然实现完全耗尽的晶体管的作用。也就是说, 利用双栅极器件 200, 在 $Tsi = (2 \times Lg) / 3$ 的情况下可以形成完全耗尽的晶体管。但是, 双栅极 (DG) 器件 200 最可能制造的形式, 要求利用比用于图案化器件的栅极长度 (Lg) 的光刻术小 0.7 倍的光刻术, 来对主体 202 进行图案化。为了获得高密度的集成电路, 通常理想的是对于栅电极 208 的栅极长度 (Lg) 进行最具侵蚀性的光刻术。虽然, 双栅极结构使硅膜的厚度变为两倍 (因为现在在沟道的两侧都存在栅极), 但是这些结构极难制造。例如, 硅主体 202 要求可以制造具有约 5: 1 的高宽比 (高度比宽度) 的硅主体 202 的硅主体刻蚀。

图 3 图示了柱状的 MOSFET 300。柱状的 MOSFET 300 包括形成在半导体衬底中的漏区域 302。圆形硅柱 303 被形成在半导体衬底上。围绕该圆柱来形成栅极电介质层 306 和栅电极 304。源区域 308 被形成在硅柱的顶部。电流在垂直于衬底的方向上在源漏区域之间流动。柱状 MOSFET 300 的问题在于其是利用复杂的非常规的处理技术形成的。柱状 MOSFET 的另一个问题是源漏区域是被单独处理的, 导致这些区域具有不同的电特性。

25

发明内容

为了解决上述问题, 提出了本发明。根据本发明的一个方面, 提供了一种非平面半导体器件, 包括: 半导体主体, 所述半导体主体具有顶表面, 所述顶表面与形成在绝缘衬底之上的底表面相对, 其中所述半导体主

体具有一对横向相对的侧壁；栅极电介质，在所述半导体主体的所述顶表面上、在所述半导体主体的所述底表面上以及在所述半导体主体的所述横向相对的侧壁上形成所述栅极电介质；栅电极，在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在所述半导体主体的所述底表面上的所述栅极电介质的下方形成所述栅电极；以及一对源/漏区域，所述一对源/漏区域形成在所述栅电极的相对两侧的所述半导体主体中。

根据本发明的另一个方面，提供了一种非平面半导体器件，包括：半导体主体，所述半导体主体具有顶表面，所述顶表面与底表面相对，所述底表面具有形成在绝缘衬底上的一部分，所述半导体主体具有形成在所述绝缘衬底上方的横向相对的侧壁；栅极电介质，在所述半导体主体的所述顶表面上、在所述半导体主体的所述横向相对的侧壁上、在所述半导体主体的底表面中不在所述绝缘衬底上的部分上形成所述栅极电介质；栅电极，在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及在所述半导体主体的所述底表面上的所述栅极电介质的下方形成所述栅电极；以及一对源/漏区域，所述一对源/漏区域形成在所述栅电极的相对两侧的所述半导体主体中。

根据本发明的另一个方面，提供了一种形成非平面半导体器件的方法，包括：在绝缘衬底上方形成半导体主体，所述半导体主体具有一对横向相对的侧壁和与底表面相对的顶表面；在所述半导体主体的所述顶表面上、在所述半导体主体的所述横向相对的侧壁上以及在所述半导体主体的所述底表面的至少一部分上形成栅极电介质；在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述横向相对的侧壁上的所述栅极电介质邻接、以及下邻接形成在所述半导体主体的所述底表面的至少一部分上的所述栅极电介质来形成栅电极；以及在所述栅电极的相对两侧的所述半导体主体中形成一对源/漏区域。

根据本发明的另一个方面，提供了一种形成非平面晶体管的方法，包括：在绝缘衬底上形成半导体主体，所述半导体主体具有一对横向相对的

侧壁、顶表面以及底表面；从所述半导体主体的下方去除所述绝缘衬底的一部分，以底切所述半导体主体并暴露出所述半导体主体的所述底表面的一部分；在所述半导体主体的所述顶表面上、在所述半导体主体的所述侧壁上、以及在所述半导体主体的所述暴露底部上形成栅极电介质；在所述
5 半导体主体的上方并围绕所述半导体主体、以及在所述半导体主体的所述暴露部分的下方沉积栅极材料；利用第一各向异性刻蚀并随后进行各向同性刻蚀，将栅电极材料刻蚀成栅电极，以形成栅电极，其中在所述半导体主体的所述顶表面上的所述栅极电介质之上、与形成在所述半导体主体的所述侧壁上的所述栅极电介质形成所述栅电极邻接、以及在形成在所述半
10 导体主体的所述底表面的所述暴露部分上的所述栅极电介质的下方形成所述栅电极；以及将掺杂剂置于所述栅电极的相对两侧的所述半导体主体中，以形成一对源/漏区域。

根据本发明的另一个方面，提供了一种形成非平面晶体管的方法，包括：在绝缘衬底上形成半导体主体，所述半导体主体具有顶表面、底表面
15 以及一对横向相对的侧壁；在所述半导体主体上方并围绕所述半导体主体形成电介质膜，其中所述电介质膜具有开口，所述开口暴露出所述半导体主体的沟道区域；去除所述绝缘衬底在所述开口中位于所述半导体主体下方的一部分，以暴露出所述半导体主体的所述底表面的至少一部分；在所述开口中的所述半导体主体的所述顶表面上和所述侧壁上、以及在所述半
20 导体主体的所述底表面的所述暴露部分上形成栅极电介质层；在所述电介质膜的上方、在所述开口之中、以及在所述半导体主体的所述顶表面上的所述栅极电介质上、与所述半导体主体的所述侧壁上的所述栅极电介质邻接、以及在所述半导体主体的所述暴露部分上的所述栅极电介质的下方，
25 毯覆沉积栅电极材料；从所述电介质膜的所述顶表面去除所述栅电极材料，以形成栅电极；去除所述电介质膜；以及将掺杂剂置于所述电极的相对两侧的所述半导体主体中，以形成一对源/漏区域。

根据本发明的另一个方面，提供了一种形成非平面晶体管的方法，包括：在绝缘衬底上形成半导体主体，所述半导体主体具有顶表面、底表面以及一对横向相对的侧壁；在所述半导体主体的所述顶表面之上并且邻接

所述半导体主体的所述横向相对侧壁形成牺牲栅电极，所述牺牲栅电极具有一对横向相对的侧壁；将掺杂剂置于所述牺牲栅电极的相对两侧的所述半导体主体中，以在所述栅电极的相对两侧形成一对源极/漏极延伸；沿着所述牺牲栅电极的横向相对的侧壁，形成一对侧壁隔片；邻接所述侧壁隔片在所述半导体主体上形成硅；对齐所述侧壁隔片将掺杂剂置于所述硅和所述半导体主体之中；在邻接所述侧壁隔片而在所述半导体主体上所形成的硅上，形成硅化物；在所述硅化物、所述牺牲栅极和所述侧壁隔片上形成电介质层；对所述电介质层进行平坦化，直至所述电介质层的所述顶表面与所述牺牲栅电极的顶表面平齐，并且暴露出所述牺牲栅电极为止；去除所述牺牲栅电极，以暴露出所述半导体主体的沟道区域和所述绝缘衬底；去除所述绝缘衬底在所述开口中的位于所述半导体主体下方的一部分，以暴露出所述半导体主体的所述底表面的至少一部分；在所述开口中的所述半导体主体的所述顶表面上和所述侧壁上、以及在所述半导体主体的所述暴露底表面的所述部分上形成栅极电介质层；在所述栅极电介质层上、在所述开口之中、以及在所述半导体主体的所述顶表面上的所述栅极电介质层上、与所述半导体主体的所述侧壁上的所述栅极电介质邻接、以及在所述半导体主体所述底表面的所述暴露部分上的所述栅极电介质的下方，毯覆沉积栅电极材料；以及从所述电介质膜的所述顶表面去除所述栅电极材料，以形成栅电极。

20

附图说明

图 1 是耗尽的衬底晶体管的横截面视图的示图。

图 2A 和图 2B 图示了双栅极耗尽的衬底晶体管。

图 3 是柱状 MOSFET 的示图。

25 图 4A-4C 图示了具有完全包围的或者几乎包围的栅电极的非平面晶体管。

图 5 是具有多个半导体主体的非平面晶体管的示图，其中所述半导体主体具有完全包围的或者部分包围的栅电极。

图 6A-6G 图示了利用减成制造工艺制造具有完全包围的或者几乎包围

的栅电极的非平面晶体管的方法。

图 7A-7D 图示了利用替换栅极制造工艺形成具有完全包围的或者几乎包围的栅电极的非平面晶体管的方法。

图 8A-8G 图示了利用替换栅极制造工艺形成具有完全包围的或者几乎包围的栅电极的非平面晶体管的方法。

图 9 是图示了可以被用来获得部分耗尽的和完全耗尽的非平面晶体管的主体高度和主体宽度的曲线，所述非平面晶体管分别具有 20 纳米和 30 纳米的栅极长度 (L_g)。

10 具体实施方式

本发明是一种新型的非平面器件结构及其制造方法，其中，所述非平面器件结构具有完全包围沟道区域的栅电极或者几乎完全包围沟道区域的栅电极。在下面的详细描述中阐述了很多具体细节，以便于充分理解本发明。在另外一些例子里，没有对公知的半导体工艺和制造技术进行详细的描述，以避免不必要地模糊本发明。

本发明是一种新型的非平面晶体管结构。在本发明的实施例中，非平面晶体管具有完全包围沟道区域的栅电极。在本发明的另一个实施例中，非平面晶体管具有部分或者几乎完全包围晶体管沟道区域的栅电极。具有完全包围沟道区域或者几乎完全包围沟道区域的栅电极的晶体管的优点是，更容易耗尽器件的沟道区域，并由此放宽对于半导体主体厚度 (T_{si}) 和宽度 (W_{si}) 的尺寸限制。此外，通过完全或者部分地围绕器件的沟道，由于在器件中提供了两个额外的角部，这增大了载流子的密度，从而增大了器件的驱动电流。

图 4A 是非平面晶体管 400 的俯视图，所述非平面晶体管 400 根据本发明的实施例具有完全包围栅电极或者部分包围栅电极。图 4B 是当栅电极部分包围器件沟道区域时穿过栅电极所取的图 4A 的横截面视图。图 4C 是当栅电极完全包围器件沟道区域时穿过栅电极所取的图 4A 的横截面视图。非平面器件结构理想地用于在完全耗尽的衬底晶体管应用中。非平面器件结构包括形成在绝缘衬底 402 上的薄半导体主体 408。栅极电介质

422 被形成在半导体主体的顶表面、侧壁以及底表面的至少一部分上。在位于半导体主体的顶表面上的栅极电介质 422 上、与被形成在半导体主体的侧壁上的栅极电介质邻接以及在被形成在半导体主体的底表面上的栅极电介质的下方形成栅电极 424。在栅电极 424 相对两侧的半导体主体 408 中形成源漏区域。因为栅电极和栅极电介质在三个侧面和第四侧面的至少一部分上围绕半导体主体 408 的沟道区域，所以当晶体管被“导通”时，半导体主体可以容易地被完全耗尽，由此可以形成栅极长度小于 30 纳米的完全耗尽的晶体管，而不需要使用超薄的半导体主体或者要求将半导体主体光刻图案化至小于器件的栅极长度 (L_g) 的尺寸。也就是说，本发明的非平面晶体管的结构可以制造完全耗尽的晶体管，其中半导体主体的厚度和半导体主体的宽度等于器件的栅极长度。因为本发明的新型非平面晶体管可以以完全耗尽的方式工作，所以该器件的特征在于理想的（即非常陡峭的）亚阈值斜率（理想的是在 25°C 下为 60 mV/decade ），以及小于 100 mV/V （理想的是约 60 mV/V ）的减小的漏极导致势垒下降（DIBL）短沟道效应，这导致当器件被“关断”时更低的漏电流，从而得到更低的功耗。

根据本发明的实施例的非平面晶体管 400 的示例被图示在图 4A-4C 中。非平面晶体管 400 被形成在绝缘衬底 402 上。在本发明的实施例中，绝缘衬底 402 包括下部的单晶硅衬底 404，其中诸如二氧化硅膜的绝缘层 406 被形成在所述单晶硅衬底 404 上。然而，非平面晶体管 400 可以被形成在任何公知的绝缘衬底上，所述绝缘衬底例如是由二氧化硅、氮化物、氧化物和蓝宝石形成的衬底。

非平面晶体管 400 包括半导体主体 408。半导体主体 408 提供器件的源区域 430、漏区域 432 和沟道区域 450。半导体主体 408 可以由任何公知的半导体材料形成，所述半导体材料例如但不限于硅（Si）、锗（Ge）、硅锗合金（ Si_xGe_y ）、砷化镓（GaAs）、InSb、GaP、GaSb 和碳纳米管。半导体主体 408 可以由任何公知的材料形成，所述公知的材料可以通过施加外部电控制从绝缘状态转变至导电状态。当希望晶体管 400 具有最佳的电性能时，半导体主体 408 理想地是单晶膜。例如，当晶体管

400 被用于高性能应用中，例如被用于诸如微处理器的高密度电路中时，半导体主体 408 是单晶膜。然而，当晶体管 400 被用于对性能的要求不那么苛刻的应用，例如用于液晶显示器中时，半导体主体 408 可以是多晶膜。绝缘体 406 使半导体主体 408 与单晶硅衬底 402 绝缘。在本发明的实
5 施例中，半导体主体 408 由单晶硅膜所形成。

半导体主体 408 具有一对横向相对的侧壁 410 和 412，所述一对侧壁 410 和 412 被定义出半导体主体宽度 (Wsi) 414 的距离所隔开。此外，半导体主体 408 具有顶表面 416，所述顶表面 416 与形成在衬底 402 上的底表面 418 相对。顶表面 416 和底表面 418 之间的距离定义出主体高度
10 (Tsi) 420。在本发明的实施例中，主体高度 420 基本上等于主体宽度 (Wsi) 414。在本发明的实施例中，主体 408 具有小于 30 纳米并且理想的是小于 20 纳米的宽度 414 和高度 (Tsi) 420。在本发明的实施例中，主体高度 420 在主体宽度 414 的 1/2 到主体宽度 414 的两倍之间。

非平面器件 400 具有栅极电介质层 422。如图 4A-4C 所示，这样来形
15 成栅极电介质层 422，即在半导体主体 408 沟道区域 350 的三个侧面上并围绕沟道区域 350 的三个侧面、以及在半导体主体 408 沟道区域 450 的底表面 418 的至少一部分上或者下邻接该至少一部分来形成。在本发明的部分交叠的实施例中，如图 4B 所示，在侧壁 412 上或者邻接侧壁 412、在顶表面 416 上、在侧壁 410 上或者邻接侧壁 410，并且在半导体主体 408 底
20 表面 418 的从侧壁 412 向底表面中心延伸的一部分上形成栅极电介质层 422，并且栅极电介质层 422 覆盖从侧壁 410 向底表面 418 中心部分延伸的第二部分。在图 4B 中示出的几乎包围的实施例中，栅极电介质层 422 至少覆盖半导体主体 408 的下角部 423，在另一个实施例中，栅极电介质层 422 在每一侧延伸半导体主体 408 宽度的约 1/3。在图 4C 中示出的完全包
25 围的实施例中，在半导体主体 408 的沟道区域的侧壁 412 上或者邻接侧壁 412、在顶表面 416 上、在侧壁 410 上或者邻接侧壁 410、以及在整个底表面 418 上形成栅极电介质层 422。栅极电介质层 422 可以是任何公知的栅极电介质层。在本发明的实施例中，栅极电介质层是二氧化硅 (SiO₂)、氧氮化硅 (SiO_xN_y) 或者氮化硅 (Si₃N₄) 电介质层。在本发明的实施例

中，栅极电介质层 422 是厚度被形成至 5 埃到 20 埃之间的氧氮化硅膜。在本发明的实施例中，栅极电介质层 422 是诸如金属氧化物电介质的高 K 值栅极电介质层，所述金属氧化物电介质例如但不限于是五氧化二钽（ Ta_2O_5 ）、氧化钛（ TiO_2 ）、氧化铪（ HfO_2 ）、 $HfSiO_xN_y$ 、氧化锆（ ZrO_2 ）和氧化镧（ LaO_2 ）。栅极电介质层 422 可以是其他类型的高 K 值电介质，例如但不限于是 PZT。

非平面器件 400 具有栅电极 424。如图 4A-4C 所示，在栅极电介质层 422 上并围绕其形成栅电极 424。在图 4B 中示出的本发明的部分交叠的实施例中，这样来形成栅电极 424，即在形成在半导体主体 408 沟道区域 450 的侧壁 412 上的栅极电介质 422 上或者邻接所述栅极电介质 422、在半导体主体 408 沟道区域的顶表面 416 上形成的栅极电介质层 422 上、在半导体主体 408 沟道区域的侧壁 410 上形成的栅极电介质层 422 上或者邻接所述电介质层 422、以及在半导体主体 408 沟道区域的底表面 418 的下方形成的栅极电介质层 422 的下方或者在所述栅极电介质层 422 之下与其紧邻来形成。在本发明的几乎全围绕栅电极晶体管的实施例中，栅电极 424 在半导体主体的沟道区域 450 的每一侧，在底表面 418 的下方延伸半导体主体 408 的宽度的约 1/3。其目标是使栅电极围绕器件的角部 423，以便足以提供良好的角部控制。在几乎全围绕的实施例中，底表面的剩余部分被形成埋入绝缘层 406 上。在图 4C 中示出的完全包围的实施例中，这样来形成栅电极 424，即在形成在半导体主体 408 沟道区域的侧壁 412 上的栅极电介质层 422 上或者邻接所述栅极电介质 422、在半导体主体 408 沟道区域的顶表面 416 上形成的栅极电介质层 422 上、与在半导体主体 408 沟道区域的侧壁 410 上形成的栅极电介质层 422 邻接或者在所述电介质层 422 上、以及在半导体主体 408 沟道区域形成的栅极电介质层 422 的下方或者在所述栅极电介质层 422 之下与其紧邻来形成。栅电极 424 具有一对横向相对的侧壁 426 和 428，所述一对侧壁 426 和 428 被定义出晶体管 400 的栅极长度（ L_g ）430 的距离所隔开。在本发明的实施例中，栅电极 424 的横向相对的侧壁 426 和 428 在与半导体主体 408 的横向相对的侧壁 410 和 412 垂直的方向上延伸。

栅电极 424 可以由任何合适的栅电极材料形成。在本发明的实施例中，栅电极 424 由被掺杂至浓度为 1×10^{19} 原子/cm³ 至 1×10^{21} 原子/cm³ 之间的多晶硅组成。在本发明的实施例中，栅电极可以是金属栅电极，例如但不限于是钨、钼、钛以及它们的氮化物。在本发明的实施例中，栅电极由具有与沟道材料相一致的功函数（例如，对于硅为 4.0-5.2eV）的材料所形成。应该理解，栅电极 424 不必是单一的材料，而可以是若干薄膜的复合堆叠，例如但不限于多晶硅/金属电极或者金属/多晶硅电极。

非平面晶体管 400 具有源区域 430 和漏区域 432。如图 4A 所示，源区域 430 和漏区域 432 被形成在栅电极 424 相对两侧的半导体主体 408 中。源区域 430 和漏区域 432 形成诸如 N 型或者 P 型导电性的同一导电类型。在本发明的实施例中，源区域 430 和漏区域 432 具有 1×10^{19} 原子/cm³ 至 1×10^{21} 原子/cm³ 之间的掺杂浓度。源区域 430 和漏区域 432 可以形成均一的浓度或者可以包括不同浓度或者掺杂分布（doping profile）的子区域，诸如尖端（tip）区域（例如，源/漏延伸区）。在本发明的实施例中，当晶体管 400 是对称的晶体管时，源区域 430 和漏区域 432 具有相同的掺杂浓度和分布。在本发明的实施例中，当非平面晶体管 400 被形成为非对称晶体管时，源区域 430 和漏区域 432 的掺杂浓度和特征可以不同，以便获得特定的电特性。源和漏区域还可以包括外延硅再生长物和/或硅化物，以提高器件的性能。

半导体主体 408 位于源区域 430 和漏区域 432 之间的部分，限定出晶体管 400 的沟道区域 450。沟道区域 450 还可以被限定为半导体主体 408 中由栅电极 424 所围绕的区域。但是，有时源/漏区域可以通过例如扩散稍微地延伸到栅电极的下方，以限定出稍微小于栅电极长度（L_g）的沟道区域。在本发明的实施例中，沟道区域 450 是本征或者未掺杂的单晶硅。在本发明的实施例中，沟道区域 450 是掺杂的单晶硅。当沟道区域 450 被掺杂时，其通常被掺杂到 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的导电水平。在本发明的实施例中，当沟道区域被掺杂时，其通常被掺杂成与源区域 430 和漏区域 432 相反的导电类型。例如，当源漏区域是 N 型导电性时，沟道区域 450 将被掺杂至 P 型导电性。类似地，当源漏区域是 P 型导

电性时，沟道区域 450 将是 N 型导电性。这样，非平面晶体管 400 可以分别被形成为 NMOS 晶体管或者 PMOS 晶体管。沟道区域 450 可以是被均匀掺杂的，或者可以是被非均匀掺杂的或者以不同的浓度进行掺杂，以提供特定的电特性和性能特性。例如，如果需要的话，沟道区域 450 可以包括公知的“晕圈（halo）”区域。当晶体管被“导通”时，电流在源区域 430 和漏区域之间通过被栅控的沟道区域 450 而在平行于衬底 402 平面的方向上流动。

通过提供围绕半导体主体所有侧面的栅极电介质和栅电极，非平面晶体管可以具有下列特征，即具有四个沟道和四个栅极：在半导体主体 408 的侧面 412 上在源漏区域之间延伸的第一栅极（g1）和第一沟道；在半导体主体 408 的顶表面 416 上在源漏区域之间延伸的第二栅极（g2）和第二沟道；在半导体主体 408 的侧壁 410 上在源漏区域之间延伸的第三栅极（g3）和第三沟道；以及在半导体主体 408 的底表面 418 上位于源漏区域之间的第四栅极（g4）和第四沟道。晶体管 400 的栅极“宽度”（Gw）是四个栅极的宽度的总和。也就是说，晶体管 400 的栅极宽度等于硅主体 408 在侧壁 410 处的高度 420，加上硅主体 408 在顶表面 416 处的宽度，加上硅主体 408 在侧壁 412 处的高度 420，加上半导体主体 408 在栅电极 424 之上的底表面的量。通过使用耦合到一起的多个器件（例如，由单个栅电极 424 所围绕的多个硅主体 408），可以得到更大“宽度”的晶体管。

如上所述，晶体管 400 的栅极“宽度”等于由晶体管 400 的半导体主体 408 所生成的四个栅极宽度的总和。为了制造具有更大栅极宽度的晶体管，晶体管 400 可以包括如图 5 中所示的附加的或者多个半导体主体或者指状物 408。如图 5 所示，每一个半导体主体 408 具有栅极电介质层 422，所述栅极电介质层 422 被形成在其顶表面、侧壁以及底表面或者底表面的一部分上。在每一半导体主体 408 上的各个栅极电介质 422 上并且邻接所述各个栅极电介质 422 形成栅电极 424。如图 5 所示，每一个半导体主体 408 还包括源区域 430 和漏区域 432，所述源区域 430 和漏区域 432 被形成在栅电极 424 的相对两侧的半导体主体 408 中。在本发明的实施例中，每一个半导体主体 408 形成有与其他的半导体主体 408 相同的宽度和

高度（厚度）。在本发明的实施例中，如图 5 所示，半导体主体 408 的每一个源区域 430 和漏区域 432 通过源极焊盘（landing pad）560 和漏极焊盘 580 被电耦合在一起。或者，可以通过用来将各种晶体管 400 电互连到一起成为功能电路的更高层面的金属化（例如，金属 1、金属 2、金属 3...），将源区域 430 和漏区域 432 耦合在一起。如图 5 所示的晶体管 400 的栅极宽度等于由每一个半导体主体 408 所产生的栅极宽度的总和。这样，可以形成具有任意所需栅极宽度的三栅极（trigate）晶体管 400。

因为沟道区域 450 在所有侧面上被栅电极 424 和栅极电介质 422 所围绕，所以晶体管 400 可以以完全耗尽的方式工作，其中，当晶体管 400 被“导通”时，沟道区域 450 完全耗尽，由此提供完全耗尽的晶体管的有利电特性和性能。就是说，当晶体管 400 被“导通”时，在沟道区域 450 中形成耗尽区域，并同时在该区域 450 的表面处形成反型层（即在半导体主体的侧表面 410 和 412、顶表面 416 和底表面 418 上形成反型层）。反型层具有与源漏区域相同的导电类型，并且在源漏区域之间形成导电沟道，以允许电流在其间流动。耗尽区域耗尽来自反型层下方的自由载流子。除反型层以外的整个沟道区域 450 被耗尽了载流子，因此晶体管可以被称为是“完全耗尽的”晶体管。相对于非完全耗尽的或者部分耗尽的晶体管，完全耗尽的晶体管的电性能特性提高了。例如，使晶体管 400 在完全耗尽的方式下工作，为晶体管 400 提供了理想的或者非常陡峭的亚阈值斜率。即使当非平面晶体管被制造成具有小于 30 nm 的半导体主体厚度时，该非平面晶体管也可以被制成具有小于 80 mV/decade 并且理想的是约 60 mV/decade 的非常陡峭的亚阈值斜率。此外，当使晶体管 400 在完全耗尽的方式下工作时，晶体管 400 具有改善的漏极导致势垒下降（DIBL）效应，这提供了更好的“关断”状态漏流，实现了更低的漏流并由此降低了功耗。在本发明的实施例中，三栅极晶体管 400 具有小于 100 mV/V 且理想的是小于 40 mV/V 的 DIBL 效应。

图 9 是两条曲线 902 和 904 的示图，所述两条图线 902 和 904 给出了将产生完全耗尽的（F.D）或者部分耗尽的（P.D）非平面晶体管的主体高度和主体宽度，其中所述非平面晶体管分别具有 30 nm（902）和 20 nm

(904) 的栅极长度 (Lg)。在本发明的实施例中, 主体高度、主体宽度和栅极长度被选择为具有将形成完全耗尽的晶体管的尺寸。在其他的实施例中, 非平面晶体管具有将形成部分耗尽的晶体管的主体高度、主体宽度和栅极长度。

- 5 本发明的非平面晶体管可以被认为非平面晶体管, 因为沟道区域 450 的反型层被形成在半导体主体 408 中的水平方向上以及垂直方向上。本发明的半导体器件也可以被认为是非平面器件, 因为来自栅电极 424 的电场被从水平侧 (g2 和 g4) 以及垂直侧 (g1 和 g3) 上施加。

10 在图 6A-6G 中图示了根据本发明实施例制造具有部分或者完全包围的栅电极的非平面晶体管的方法。图 6A-6G 的方法可以被称为减成制造工艺。非平面晶体管的制造开始于绝缘衬底 602。如图 6A 所示, 在绝缘衬底 602 上形成硅或者半导体膜 608。在本发明的实施例中, 绝缘衬底 602 包括下部的单晶硅衬底 604 和顶部的诸如二氧化硅膜或者氮化硅膜之类的绝缘层 606。绝缘层 606 将半导体膜 608 与衬底 604 隔离, 并且在实施例中
15 中被形成至 200 埃至 2000 埃之间的厚度。绝缘层 606 有时被称为“埋入氧化物”层。当硅或者半导体膜 608 被形成在绝缘衬底 602 上时, 制造出了绝缘体上硅或者半导体 (SOI) 衬底。

20 虽然半导体膜 608 理想的是硅膜, 但是在其他实施例中它可以是其他类型的半导体膜, 例如但不限于锗 (Ge)、硅锗合金 (Si_xGe_y)、砷化镓 (GaAs)、InSb、GaP、GaSb 以及碳纳米管。在本发明的实施例中, 半导体膜 608 是本征的 (即未掺杂的) 硅膜。在其他实施例中, 半导体膜 608 被掺杂成具有 1×10^{16} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间的浓度水平的 p 型或者 n 型导电性。半导体膜 608 可以被原位掺杂 (即当被沉积时进行掺杂) 或者在形成在衬底 602 上之后通过例如离子注入来进行掺杂。在形
25 成之后进行掺杂可以允许在同一绝缘衬底上容易地同时制造出 PMOS 以及 NMOS 非平面器件。此时的半导体主体掺杂水平就决定了器件的沟道区域的掺杂水平。

 半导体膜 608 被形成至这样的厚度, 即所述厚度近似地等于所制造非平面晶体管的后续形成的 (多个) 半导体主体所期望的高度。在本发明的

实施例中，半导体膜 608 具有小于 30 纳米且理想的是小于 20 纳米的厚度或者高度 609。在本发明的实施例中，半导体膜 608 被形成至这样的厚度，即所述厚度近似地等于所制造非平面晶体管的所期望的栅极“长度”。在本发明的实施例中，形成比器件的所期望的栅极长度更厚的半导体膜 608。在本发明的实施例中，半导体膜 608 被形成至这样的厚度，即所述厚度将可以使所制造的非平面晶体管对其设计栅极长度 (L_g) 以完全耗尽的方式工作。

半导体膜 608 可以以任何公知的方法被形成在绝缘衬底 602 上。在被称为 SIMOX 技术的、形成绝缘体上硅衬底的一种方法中，氧原子以高剂量被注入到单晶硅衬底中，然后进行退火以在衬底之中形成埋入氧化物 606。单晶硅衬底中在埋入氧化物以上的部分成为硅膜 608。目前用于形成 SOI 衬底的另一种技术是外延硅膜转移技术，其通常被称为键合 SOI。在此技术中，第一硅晶片具有在其表面生长的薄氧化物，其将在以后作为 SOI 结构中的埋入氧化物 606。接着，将高剂量的氢注入到第一硅晶片中，以在第一晶片的硅表面之下形成高应力区域。此第一晶片然后被翻转并被键合到第二硅晶片的表面。第一晶片随后沿着由氢注入所产生的高应力平面解理。这得到了在顶部具有薄硅层的 SOI 结构，而埋入氧化物位于在单晶硅衬底上面的所有结构之下。诸如 HCl 磨平或者化学机械抛光 (CMP) 之类的公知磨平技术可以被用来将半导体膜 608 的顶表面磨平至其所期望的厚度。

此时，如果需要的话，可以在 SOI 半导体膜 608 之中形成隔离区域（没有示出），以便将待形成于其中的各个晶体管相互隔离。可以通过将衬底膜 608 围绕非平面晶体管的部分由例如公知的光刻和刻蚀技术刻蚀掉，并随后用诸如 SiO_2 的绝缘膜回填被刻蚀区域，来形成隔离区域。

接着，如图 6B 所示，利用标准的光刻和刻蚀技术，在半导体膜 608 中定义出用于三栅极晶体管的半导体主体或者鳍状物 620。在本发明的实施例中，鳍状物或者主体 620 被图案化成具有宽度 618，所述宽度 618 等于或者大于所制造晶体管栅极长度 (L_g) 的所期望的宽度。这样，使用于制造晶体管的最苛刻的光刻术约束与栅电极图案化相关联，而不是与半导

体主体或者鳍状物定义相关联。在本发明的实施例中，半导体主体或者鳍状物将具有宽度 618，所述宽度 618 小于或者等于 30 纳米且理想的是小于或者等于 20 纳米。在本发明的实施例中，半导体主体或者鳍状物具有近似地等于硅主体高度 609 的宽度 618。在本发明的实施例中，鳍状物或者主体 620 具有宽度 618，所述宽度 618 为半导体主体高度 609 的 1/2 到半导体主体高度 609 的两倍之间。

此外，可以使用光刻和刻蚀步骤来形成如图 5 中所示的用于单个晶体管的多个半导体主体或者鳍状物。这样，在整个晶片上，可以制造具有不同栅极宽度 (Gw) 的若干晶体管。还可以使用光刻和刻蚀步骤来由半导体膜形成源极焊盘 622 和漏极焊盘 624，以便为晶体管提供接触区域。此外，当多个半导体主体被用于非平面晶体管中时，焊盘可以被用来将各个源区域连接起来，以及将各个漏区域连接起来。

半导体膜 608 可以通过公知的光刻和刻蚀技术而被图案化成鳍状物和焊盘，这些技术通常包括：通过掩蔽、曝光并显影毯覆 (blanket) 沉积的光刻胶膜来形成光刻胶掩模，然后对齐光刻胶掩模来刻蚀半导体膜，以分别形成一个或多个硅主体或者鳍状物 620 以及源漏极焊盘 622 和 624。刻蚀半导体膜 608，直至暴露出下面的埋入绝缘层 606 为止。可以使用诸如各向异性等离子体刻蚀或者反应离子刻蚀之类的公知半导体刻蚀技术，对齐光刻胶掩模来刻蚀半导体膜 608。在半导体膜 608 被刻蚀以形成半导体主体或者鳍状物 620 (以及源极/漏极焊盘 622 和 624，如果需要的话) 之后，通过诸如化学剥离和 O₂ 灰化之类的公知技术去除光刻胶掩模，以制造出如图 6B 中所示的衬底。

接着，如图 6C 所示的，埋入氧化层 606 中形成在半导体主体 620 下方的一部分被去除。可以进行快速各向同性氧化物刻蚀来对半导体主体 620 进行“底切”并去除埋入氧化层 606 在半导体主体 620 下方的一部分或者全部。在制造几乎包围的栅电极时，绝缘刻蚀 (底切刻蚀) 仅仅去除绝缘膜在半导体主体 620 下方的一部分。在本发明的实施例中，刻蚀自半导体主体 620 每侧的下方去除绝缘膜 606 的主体宽度的约 1/3。当形成具有完全包围的栅电极的晶体管时，自半导体主体 620 的下方去除埋入绝缘

层 606 的整个部分。在这种情况下，半导体主体 620 可以由形成在埋入绝缘层剩余部分上的源漏极焊盘 622 和 624 来支撑。可以使用任何公知的对于半导体材料具有选择性的各向同性氧化物刻蚀（即，可以优选刻蚀绝缘膜 606 而不会明显刻蚀半导体膜 608 的刻蚀）。具有至少 10:1 的选择性的刻蚀是所希望的。当半导体膜 608 是硅而绝缘膜 606 是氧化硅时，可以使用包含氟化氢（HF）的缓冲氧化物刻蚀（BOE）。

接着，在每一个半导体主体 620 上并围绕其形成栅极电介质层 626。也就是说，栅极电介质层 626 被形成在半导体主体 620 的顶表面 627 上，并被形成在每一个半导体主体 620 的横向相对的侧壁 628 和 629 上。当形成部分包围的栅电极时，栅极电介质层 626 被形成在半导体主体 620 的底侧的暴露部分 631 上。当形成完全包围的栅电极时，栅极电介质层被形成在被暴露的半导体主体的整个底表面上。栅极电介质可以是沉积的电介质或者生长的电介质。栅极电介质层 626 应该通过保形工艺形成，其中所述保形工艺可以允许在半导体主体 620 的底侧上形成电介质 626。在本发明的实施例中，栅极电介质层 626 是利用干法/湿法氧化工艺生长的二氧化硅电介质膜。在本发明的实施例中，使氧化硅膜生长到 5 埃至 15 埃之间的厚度。在本发明的实施例中，栅极电介质膜 626 是沉积的电介质，例如但不限于是诸如金属氧化物电介质之类的高介电常数膜，所述金属氧化物电介质例如为五氧化二钽（ Ta_2O_5 ）、氧化钛（ TiO_2 ）、氧化铪（ HfO_2 ）、 $HfSiO_xN_y$ 、氧化锆（ ZrO_2 ）和氧化镧（ LaO_2 ），或者为其他的高 K 值电介质，例如通过化学气相沉积（CVD）或者原子层沉积（ALD）形成的 PZT 和 BST。

接着，还是如图 6D 所示，栅电极材料 630 被毯覆沉积在衬底上方。这样来形成栅电极 630，即在半导体主体 620 顶表面 627 上形成的栅极电介质层 626 上、在半导体主体 620 侧壁 628 和 629 上形成或者与其邻接形成的栅极电介质 626 上或者邻接所述栅极电介质 626、以及在主体 620 的底部上的栅极电介质下方或者下邻接所述电介质来形成。通过诸如 CVD 或者 ALD 之类的保形工艺形成栅电极材料 630，以便确保栅电极材料可以填充半导体主体的底切部分的下方，使得栅电极可以部分地或者完全地包

围半导体主体 620。栅电极材料 630 可以被沉积至 200 埃到 3000 埃之间的厚度。在实施例中，栅电极材料被沉积到足够形成这样的栅电极的厚度或者高度，所述栅电极具有半导体主体 620 高度 609 的至少三倍的高度。在本发明的实施例中，栅电极材料包括多晶硅。在本发明的另一个实施例中，栅电极材料包括多晶态的硅锗合金。在本发明的又一个实施例中，栅电极材料可以包括诸如钨、钽及其氮化物的金属膜。

接着，如图 6D 所示，硬掩模材料被沉积并被定义成图案化的硬掩模 632，所述图案化的硬掩模 632 定义出将形成栅电极的位置。硬掩模材料可以由任何材料形成，其中所述的材料在随后将栅电极材料刻蚀成栅电极时，将不会被明显地刻蚀掉。在本发明的实施例中，硬掩模材料是被形成至 20 纳米到 100 纳米之间的厚度的氮化硅。可以利用标准的光刻和刻蚀技术将硬掩模材料形成为图案化的硬掩模 634。图案化的硬掩模 634 被形成至这样的宽度，其中所述宽度是器件的栅电极长度所期望的。

接着，对齐硬掩模 634 刻蚀栅电极材料，以形成栅电极 636。在本发明的实施例中，首先如图 6E 所示对齐硬掩模来各向异性地刻蚀栅电极，以形成一对横向相对的侧壁 639 和 641。在本发明的实施例中，所述各向异性刻蚀被持续至刚好差不多所有没有被掩蔽的栅电极材料 630 被去除并且恰好在埋入绝缘层 606 露出之前为止。在本发明的另一个实施例中，所述各向异性刻蚀被持续至所有没有被掩蔽的栅电极材料 630 被去除并且露出埋入绝缘层 606 为止。在本发明的实施例中，利用适当的刻蚀来进行所述各向异性刻蚀，所述刻蚀在栅电极的侧壁 639 和 641 上形成钝化聚合物膜，以助于确保形成与硬掩模 634 对齐的垂直侧壁。可以使用任何合适的各向异性刻蚀技术和刻蚀剂，其可以各向异性地刻蚀栅电极材料，而不会明显地刻蚀硬掩模和半导体膜 608。当半导体膜和栅电极由诸如硅的相同材料形成时，诸如氮化硅的硬掩模可以被用来将半导体膜图案化为主体，在栅极图案化刻蚀过程中留下的硬掩模用于保护（多个）半导体主体在栅极刻蚀过程中不被刻蚀。横向相对的侧壁 639 和 641 之间的距离定义出器件的栅极长度（Lg）。当硬掩模材料是氮化硅且栅电极材料是硅或者多晶硅时，可以对栅电极进行各向异性的刻蚀，并且可以通过使用 $\text{HBr}/\text{Cl}_2/\text{O}_2$

化学品的等离子刻蚀来形成钝化聚合物膜。

接着，如图 6F 所示，在各向异性刻蚀之后，将刻蚀换成各向同性刻蚀。各向同性刻蚀将栅电极材料从将半导体主体下方不形成栅电极的区域去除。重要的是从半导体主体 620 的下方去除栅电极材料的不需要的部分，从而可以使源漏区域与栅电极短路的“纵梁（stringer）”不被留下。可以在各向异性刻蚀完全向下刻蚀至下面的绝缘层之后，或者可以在各向异性刻蚀几乎到达下面的绝缘层之后，进行被用来去除“纵梁”的各向同性刻蚀。栅电极上的聚合物侧壁钝化保护栅电极在各向同性刻蚀步骤过程中不被横向地刻蚀。虽然在栅电极的底部附近可能发生栅电极 634 的某种横向底切 635，但是栅电极的钝化顶部应当保持其原来的外形。通过修改绝缘层底切的量以及向绝缘层中凹入的深度，可以控制底切的程度。刻蚀栅电极 634，直至栅电极完全与被用于形成主体 620 和源漏区域焊盘的半导体膜 608 隔离为止。在本发明的实施例中，利用热磷酸湿法刻蚀来实施各向同性刻蚀。在本发明的实施例中，用于定义出硬掩模并因此定义出栅电极 636 的光刻工艺，利用了用于制造非平面晶体管的最小值的或者最小尺寸的光刻工艺。（就是说，在本发明的实施例中，栅电极 636 的栅极长度（L_g）具有由光刻术所限定的晶体管最小特征尺寸。）在本发明的实施例中，栅极长度小于或者等于 30 纳米，且理想的是小于或者等于 20 纳米。

接着，如图 6G 所示，晶体管的源极 640 和漏极 642 区域被形成在栅电极 636 相对两侧的半导体主体 620 中。如图 6G 所示，通过为形成区域 640 和 642 而将掺杂剂 644 置于栅电极 630 两侧 639、641 的半导体主体 620 之中，可以分别形成源漏区域 640 和 642。如果使用了源漏极焊盘 622 和 624，则它们也可以在此时被掺杂。对于 PMOS 三栅极晶体管，栅电极相对两侧的半导体鳍状物或者主体 620 被掺杂成 P 型导电性并被掺杂至 1×10^{20} 原子/cm³ 至 1×10^{21} 原子/cm³ 的浓度，以形成源漏区域。对于 NMOS 三栅极晶体管，栅电极相对两侧的半导体鳍状物或者主体 620 被 n 型导电性离子掺杂至 1×10^{20} 原子/cm³ 至 1×10^{21} 原子/cm³ 的浓度，以形成源漏区域。在本发明的实施例中，通过离子注入来掺杂主体。在本发明的

实施例中，如图 6G 所示，离子注入发生在垂直方向上（即垂直于衬底 600 的方向）。当栅电极 630 是多晶硅栅电极时，其可以通过首先去除硬掩模 634 而在离子注入工艺过程中被掺杂。多晶硅栅电极 630 将起到掩模的作用，以防止离子注入步骤掺杂非平面晶体管的沟道区域 648。沟道区域 648 是半导体主体 620 位于栅电极 636 下方或者被栅电极 636 所围绕的部分。如果栅电极 636 是金属电极，则可以使用电介质硬掩模 634 来防止离子注入工艺过程中的掺杂。在其他的实施例中，可以使用诸如固体源扩散之类的其他方法来掺杂半导体主体，以形成源漏极延伸。此时，就完成了对具有部分或者完全包围的栅电极的非平面晶体管的制造。

10 在本发明的实施例中，在形成源/漏区域或者源/漏延伸区域之前，可以在硅主体中形成“晕圈”区域。晕圈区域是形成在器件的沟道区域 648 中的掺杂区域，并且晕圈区域具有与器件的沟道区域的掺杂相同的导电性，但是具有比器件的沟道区域的掺杂稍高的掺杂浓度。晕圈区域可以通过利用大角度的离子注入技术，由栅电极下方的离子注入掺杂剂来形成。

15 此外，如果需要的话，图 6G 中所示的衬底可以被进一步处理，以形成附加的公知特征，例如重掺杂的源极/漏极接触区域、源漏区域和栅电极上的沉积硅、以及在源极/漏极接触区域和栅电极上形成硅化物。

图 7A-7D 图示了用于形成具有几乎包围或者完全包围的栅电极的非平面晶体管的替换栅极方法。当金属栅电极是所期望的时，使用替换栅极技术是理想的。替换栅极方法开始于如上述的减成法的图 6A 和 6B 所示出的相同的衬底和处理步骤。在将半导体膜图案化成半导体主体或者鳍状物 620，并且形成了源漏极焊盘之后，电介质膜 702 被毯覆沉积在半导体主体和焊盘上方，并被毯覆沉积在埋入绝缘层 606 的暴露部分上方。绝缘层被形成为栅极高度所需的厚度。绝缘层 702 可以是诸如氮化硅或者二氧化硅之类的任何合适的绝缘层。电介质膜 702 由可以相对于半导体膜 608 进行选择性刻蚀的材料形成。此外，电介质膜理想地可以相对于下面的埋入绝缘层 606 被选择性刻蚀。当埋入绝缘层是二氧化硅并且半导体层 608 是硅时，绝缘层 702 可以是氮化硅。然后利用公知的光刻和刻蚀技术对毯覆沉积的绝缘膜 702 进行图案化，以在电介质膜 702 中形成开口或者沟槽

704, 所述开口或者沟槽 704 定义出将形成栅电极的位置。图案化的绝缘膜 702 形成定义掩模, 用于通过镶嵌图案化方法 (damascene patterning approach) 形成栅电极。利用任何合适的刻蚀剂来刻蚀电介质膜 702, 所述刻蚀剂可以各向异性地刻蚀电介质膜 702 而不会刻蚀半导体主体 620。

5 如图 7A 所示, 刻蚀绝缘层 702, 直至暴露出下面的埋入绝缘层 606 以及半导体主体的将提供器件沟道区域的部分。开口 704 形成非平面晶体管的栅极长度 (L_g) 所需的宽度 706。

接着, 如图 7B 所示, 从半导体主体 620 的下方刻蚀掉埋入绝缘层 606 以形成开口 705, 其中所述开口 705 底切半导体主体 620 的有效沟道区域。当形成具有几乎包围的栅电极的非平面晶体管时, 绝缘层的底切刻蚀从半导体主体每一侧的下方去除绝缘层的一部分。在本发明的实施例中, 底切刻蚀对半导体主体底切这样的量, 即所述的量可以允许后续形成的栅电极至少包围半导体主体 620 的下角部并由此控制在所述角部中的电流。在本发明的实施例中, 当形成具有几乎包围的栅电极的非平面晶体管时, 15 底切刻蚀去除半导体主体 620 每一侧 628 和 629 下方的绝缘层的约 1/3。当形成具有完全包围的栅电极的非平面器件时, 埋入绝缘层的底切刻蚀被持续至半导体主体 620 的暴露部分 (即沟道区域) 下方的整个绝缘层被完全去除为止。可以使用任何公知的各向同性刻蚀, 该各向同性刻蚀可以刻蚀埋入绝缘层而不会明显地刻蚀半导体主体。当埋入绝缘层是氧化硅并且半 20 导体主体是硅时, 可以利用包含缓冲的 HF 的湿法刻蚀, 以形成底切开口 705。此外, 如图 7B 所示, 底切刻蚀将轻微地底切图案化的绝缘层 702, 得到稍微更大的开口 705 以及沟槽 704。

接着, 如上所述, 在半导体主体 620 的暴露部分 (即沟道区域) 上并围绕所述暴露部分形成栅极电介质层 624。就是说, 这样来形成栅极电介质层, 即在半导体主体 620 的顶表面上、在半导体主体 620 的侧壁 628 和 25 629 上、以及在半导体主体的底侧 631 的暴露部分的下方或者下邻接所述暴露部分来形成。在完全包围的栅电极的情况下, 栅极电介质层 624 被形成在沟道区域或者半导体主体的整个底侧 631 上。如上所述, 栅极电介质层可以是任何合适的材料, 并且应该利用诸如原子层沉积 (ALD) 或者化

学气相沉积（CVD）之类的保形沉积工艺来形成，以确保在半导体主体 620 的底侧 631 上形成足够的栅极电介质层。

接着，栅电极材料被毯覆沉积在衬底上方，包括在电介质层 702 之上沉积，在半导体主体 620 上并围绕所述半导体主体 620 形成的栅极电介质
5 上并围绕所述栅极电介质沉积，以及在绝缘层 608 上沉积。栅电极材料被沉积到足够完全填充开口 705 和 706 的厚度。栅电极材料可以是如上所述的用来形成栅电极的任何合适材料。在本发明的实施例中，栅电极材料是金属膜，例如但不限于钨（W）、氮化钛（TiN）和硅化钴（CoSi₂）。栅电极材料应由诸如化学气相沉积（CVD）或者原子层沉积（ALD）之类的
10 的沉积技术来形成，以形成保形膜，而使得整个沟槽开口 706 以及电介质掩模 702 和半导体主体 620 下方的底切区域 705 被填充。

接着，利用平坦化技术将多余的栅极材料从电介质层 702 的顶部去除，这样形成如图 7C 中所示的平坦化的顶表面。可以使用诸如化学机械抛光或者等离子体回蚀之类的任何公知的且合适的平坦化技术，来将多余的
15 的栅极材料从电介质膜 702 的顶部去除。

接着，如图 7D 所示，电介质膜 702 被去除。此时，可以如上所述的对半导体主体 620 的若干部分进行掺杂来形成源漏区域。这就利用替换栅极工艺完成了对具有部分或者完全包围的栅电极的非平面器件的制造。如果需要的话，此时可以添加公知的附加的特征，例如侧壁隔片、重掺杂的
20 源极/漏极接触区域以及硅化物。

图 8A-8G 描述了形成具有包围或者完全包围的栅电极的非平面器件的方法，藉此，在形成了附加的特征之后使用了替换栅极工艺，其中所述附加的特征例如是尖端区域、隔片、附加的用于放射状源/漏区域的半导体和源/漏区域上的硅化物。

25 该工艺开始于如图 6A 和 6B 所示出的相同的衬底和处理步骤。如图 8A 所示，在将半导体膜 608 图案化以形成一个或者多个半导体主体 620 以及源极/漏极焊盘 622 和 624 之后，在硅主体 620 的顶表面和侧壁上形成牺牲栅极氧化层 802 和牺牲栅电极 804。为了形成牺牲栅极电介质和电极，首先将牺牲栅极电介质层材料毯覆沉积在衬底上，包括沉积在绝缘层 606

的暴露表面上，沉积在半导体主体 620 以及半导体焊盘 622 和 624 的顶表面和侧壁上。接着，将牺牲栅电极材料毯覆沉积在衬底栅极电介质层上方。牺牲栅电极材料被沉积到后续形成用于非平面器件的栅电极的高度 805 所需的厚度。然后通过公知的技术，例如利用光刻和刻蚀，对牺牲栅电极材料和牺牲栅极电介质材料进行图案化，以形成如图 8A 中所示的牺牲栅电极 804 和牺牲栅极电介质 802。牺牲栅电极和牺牲栅极电介质被图案化成相同的形状，并被图案化在相同的位置，其中后续形成的栅电极和栅极电介质将在所述位置处形成。在本发明的实施例中，牺牲栅电极材料由诸如氮化硅或者多晶硅之类的材料形成。

10 接着，如果需要的话，通过利用将用来形成源/漏区域的具有相同导电性类型的杂质，对牺牲栅电极 804 相对两侧的半导体主体 620 进行掺杂，可以形成尖端或者源极/漏极延伸。尖端区域可以通过任何公知的技术形成，例如通过离子注入来形成，其中如图 8A 所示，所述离子注入将掺杂剂 806 注入到半导体主体 620 中。牺牲栅极 804 防止半导体主体 620 的沟道区域在尖端形成步骤的过程中被掺杂。在本发明的实施例中，形成具有 1×10^{19} 原子/cm³ 至 1×10^{21} 原子/cm³ 之间的掺杂浓度的尖端区域。

接着，如果需要的话，如图 8B 所示，可以沿着牺牲栅电极 804 相对的两个侧壁形成电介质侧壁隔片 808。侧壁隔片可以通过任何公知的技术来形成，例如通过将保形的侧壁隔片电介质毯覆沉积到衬底的上方，包括沉积在牺牲栅电极 804 的顶表面和侧壁，沉积在半导体主体 620 以及焊盘 622 和 624 的顶表面和侧壁上，并沉积到绝缘衬底 602 的暴露的表面上。电介质隔片材料被沉积到这样的厚度，即所述厚度近似等于隔片 808 所需的宽度。在本发明的实施例中，电介质隔片材料被沉积到 20 纳米至 100 纳米之间的厚度。隔片材料可以是氮化硅、氧化硅、氧氮化硅及其组合。

25 然后对电介质隔片材料进行各向异性的回蚀，以将电介质隔片材料从所有的水平表面（例如，牺牲栅电极 804 的顶表面以及半导体主体 620 和绝缘层 606 的顶表面）去除，同时留下垂直表面（例如，牺牲栅电极 804 的侧壁）上的隔片材料，以形成如图 8B 所示的侧壁隔片 808。通过使牺牲栅电极 804 的高度 805 充分地高于（例如 3 倍）半导体主体 620 的厚度或者高

度，可以使用各向异性回蚀的“过刻蚀”来将隔片材料从半导体主体 620 以及焊盘 622 和 624 的侧壁上去除，同时留下足够的隔片材料，以在牺牲栅电极 804 的侧壁上提供隔片 808。

接着，如图 8C 所示，可以将附加的硅 810 和/或硅化物 812 形成到半
5 导体主体 620 以及焊盘 622 和 624 的暴露顶表面和侧壁上。可以利用选择
性沉积工艺在半导体主体 620 的暴露表面上形成附加的硅。选择性硅沉积
工艺将诸如外延硅之类的硅沉积到例如半导体主体 620 以及焊盘 622 和
624 的含硅区域，而不会将硅沉积到不含硅区域，例如牺牲栅电极 804、
电介质隔片 808 和绝缘层 606。可以使用任何公知的选择性沉积工艺来提
10 供附加的外延硅。在本发明的实施例中，50 埃至 500 埃之间的附加外延硅
倍选择性地沉积到半导体主体 620 和焊盘 622 和 624 上，以形成加高的源/
漏区域。

接着，如果需要的话，可以在栅电极相对两侧的半导体主体（和附加
的硅，如果使用了的话）以及焊盘 622 和 624 中形成高浓度源/漏区域。侧
15 壁隔片 808 防止下面的在先形成的尖端区域和半导体主体 620 被高浓度源
极/漏极注入物 810 掺杂。此外，同前面一样，牺牲栅电极 804 掩蔽沟道区
域，以使其在高浓度源极/栅极的形成步骤的过程中不被掺杂。

此外，如果需要的话，如图 8C 所示，硅化物 812 可以被形成到半导
体主体的暴露表面上，或者被形成到另外附加的硅膜上，其中所述硅化物
20 812 例如但不限于是硅化钴、硅化镍和硅化钛。通过自对准的或者“金属
硅化”工艺，可以将硅化物形成到暴露的半导体主体的顶表面和侧表面上
或者形成到附加的硅上。在自对准的或者“金属硅化”工艺中，难熔金属
膜可以被毯覆沉积在包括硅区域和电介质区域的衬底上，其中所述难熔金
属例如但不限于是钛、镍以及钴。然后，将衬底退火到这样的温度，即所
25 述温度足够使毯覆沉积的金属层与含硅区域发生反应，以形成硅化物。诸
如侧壁隔片 808 之类的区域以及绝缘层 606 将不与金属发生反应，并且金
属在这些区域中将保持为未反应的金属。接着，可以使用选择性湿法刻蚀
来去除未反应的金属，同时留下金属硅化物 812。这样，如图 8C 所示，可
以将硅化物仅仅选择性地形成到衬底的硅或者半导体区域上。

接着，如图 8D 所示，电介质层 814 被毯覆沉积到衬底上。电介质层被形成到足够完全覆盖包括牺牲栅电极 804 的衬底的厚度。电介质层 814 由这样的材料形成，即所述材料可以相对于牺牲栅极材料以及半导体主体 620 被选择性地刻蚀。就是说，电介质材料由这样的材料形成，藉此，可以将牺牲栅电极 804 去除，而不会明显地刻蚀掉电介质层 814。在毯覆沉积电介质后，该电介质层被平坦化，例如进行化学机械平坦化，直至电介质膜的顶表面与牺牲栅电极平齐，并且牺牲栅电极的顶表面被暴露出来，如图 8D 所示。

接着，如图 8E 所示出的，牺牲栅极 804 和栅极电介质 802 被刻蚀掉，以在将形成栅电极的位置处形成开口 816。如图 8E 所示出的，去除牺牲栅极 808 和牺牲栅极电介质层 802，就暴露出了非平面器件的半导体主体 620 的沟道区域。去除牺牲栅电极在将形成栅电极的位置处形成了开口 816。

接着，如图 8F 所示出的，对衬底进行底切刻蚀，以如上所述的形成底切开口 818。如图 8F 所示的，底切刻蚀将绝缘层 606 的一部分从半导体主体 620 的沟道区域下方去除。为了形成完全包围的栅电极，可以使用底切刻蚀来将绝缘层 606 从半导体主体 620 的沟道下方完全去除，以暴露出半导体主体 620 沟道区域的整个底侧。或者，如上所述的，底切刻蚀可以从半导体主体 620 的沟道区域的每一侧下方仅仅去除绝缘层 606 的一部分，这样可以制造部分包围的栅电极。

接着，如图 8G 所示出的，在开口 816 和 818 中形成栅极电介质 820 和栅电极 824。首先，将栅极电介质膜 820 毯覆沉积到衬底上。如上所述，栅极电介质材料覆盖半导体主体 620 的沟道区域的顶表面和侧壁，并覆盖半导体主体 620 的暴露下表面。栅极电介质材料通过诸如 CVD 或者 ALD 之类的保形工艺形成，以便确保在半导体主体 620 沟道区域的暴露底侧上形成栅极电介质材料。接着，栅极电极材料被毯覆沉积到栅极电介质上。栅电极材料可以是如上所述的任何公知的栅电极材料。然后对栅电极材料和栅极电介质进行化学机械平坦化，直至露出电介质层 814 的顶表面，如图 8G 所示。一旦栅电极材料和栅极电介质材料被向下抛光或者被

从电介质材料 814 的顶部去除，栅电极 824 和栅极电介质层 820 就被形成了。如上所述，栅极电介质和栅电极部分包围或者完全包围半导体主体 620 的沟道区域。如图 8G 所示，电介质层 814 可以被留在非平面器件上，并成为用于将各种非平面器件电耦合在一起成为功能电路的“后端（back end）”或者层间电介质（ILD）及金属化系统的一部分。或者，此时电介质层 814 可以被去除，并用其他类型的用于“后端”的层间电介质来代替。这就完成了形成具有完全包围的或者部分包围的栅电极的非平面器件的方法。

10 这样，就描述了具有部分或者完全包围的栅电极的非平面器件及其制造方法。

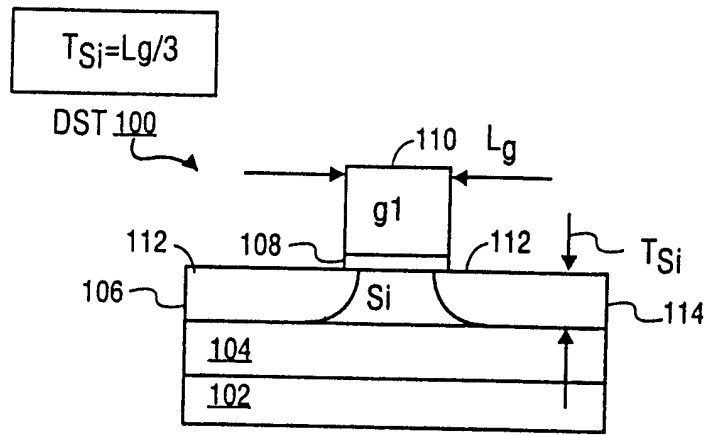


图1

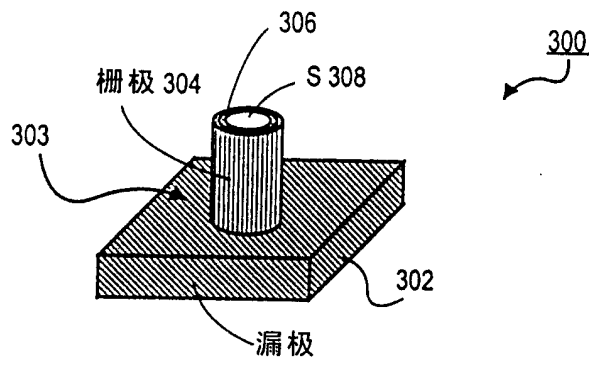


图3

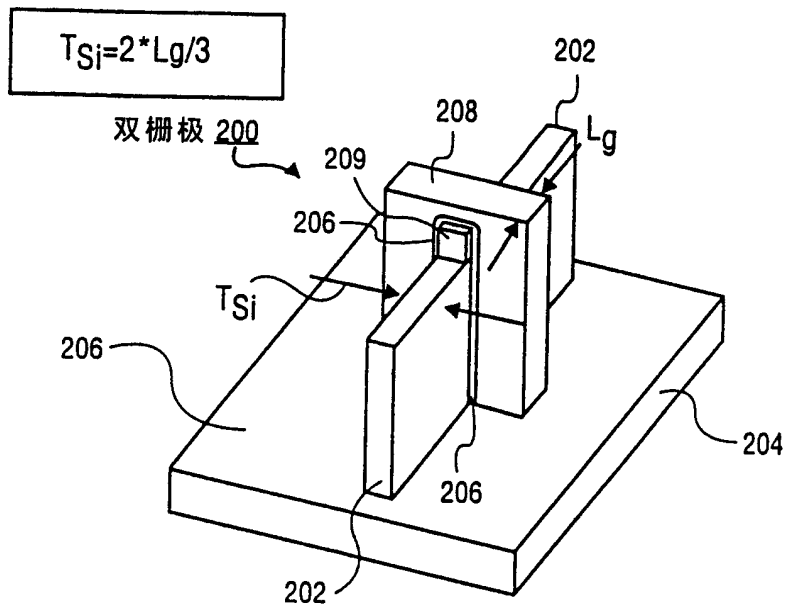


图2A

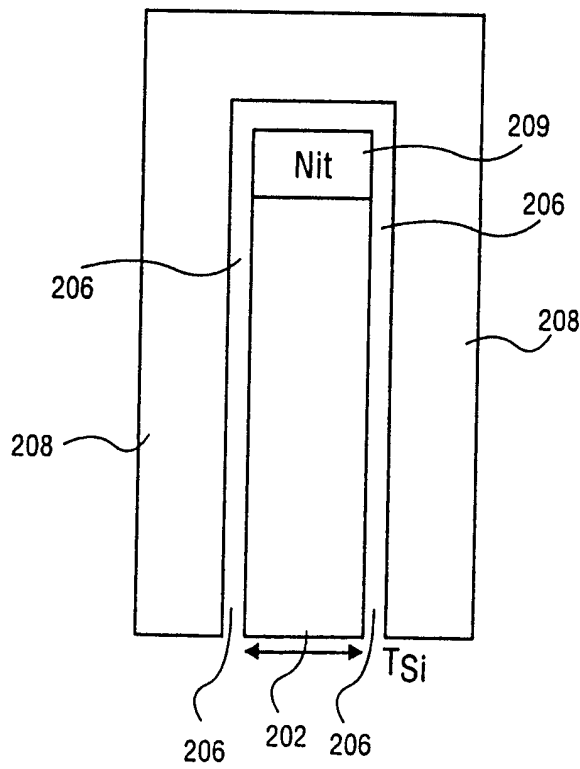


图2B

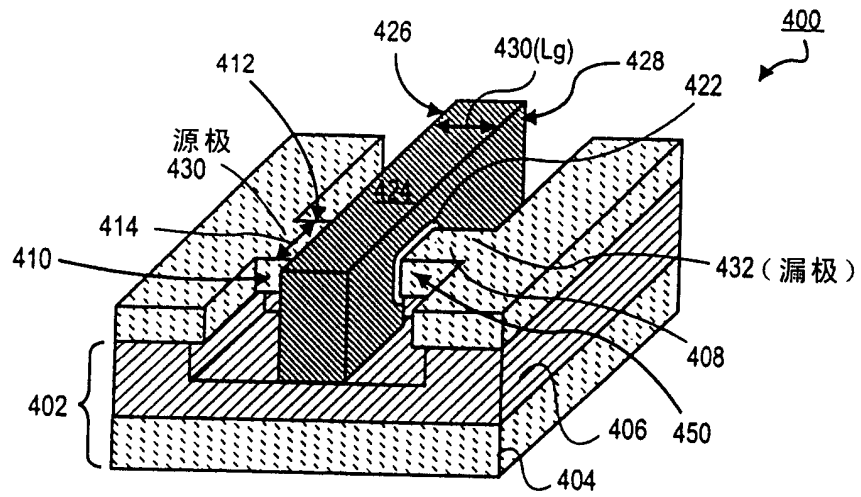


图4A

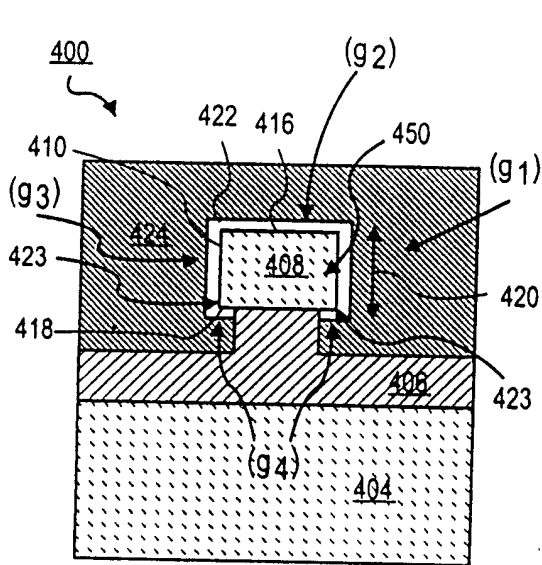


图4B

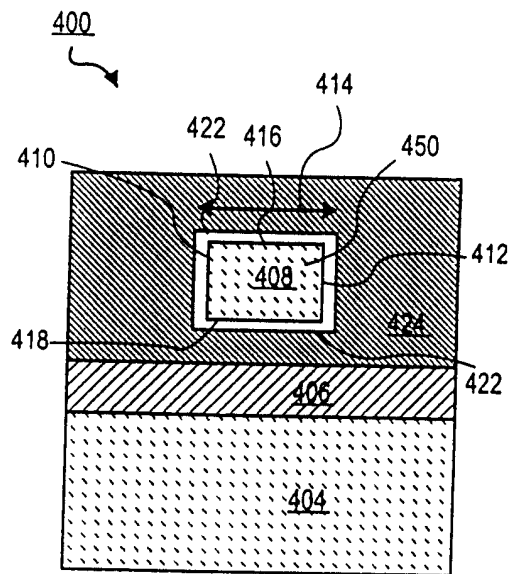


图4C

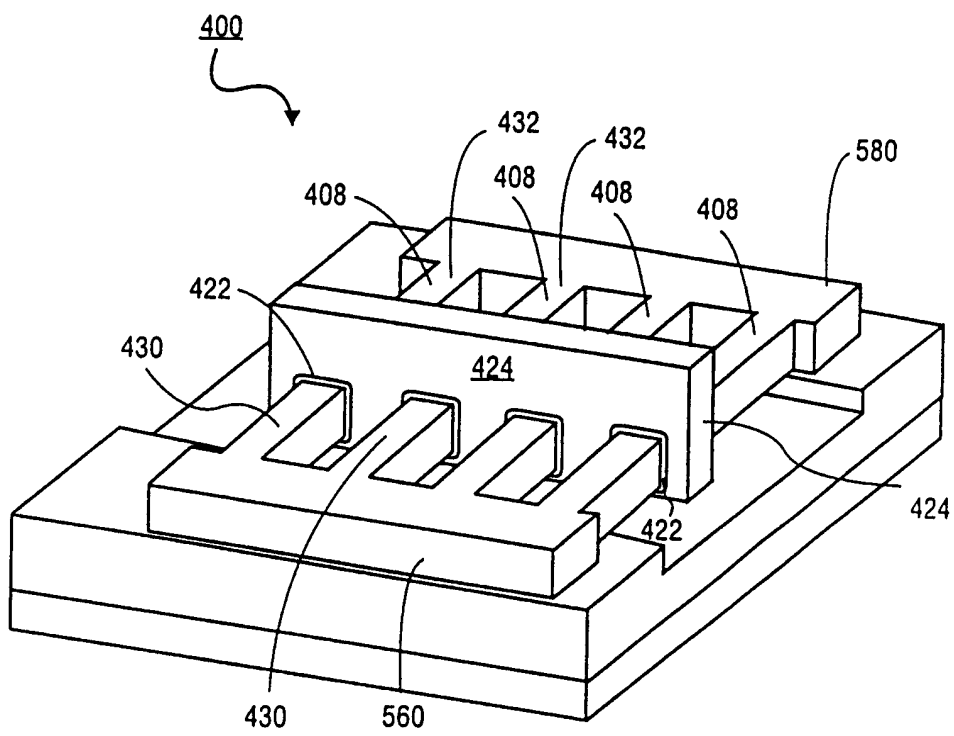


图5

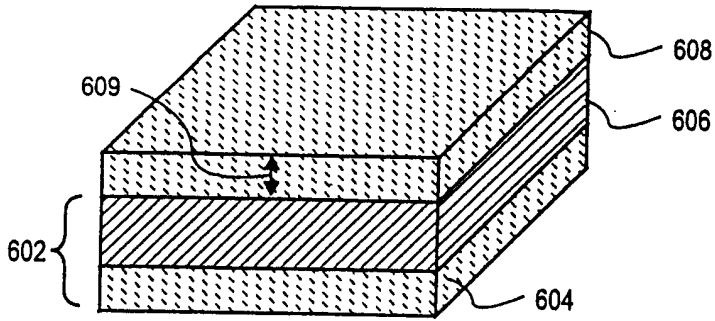


图6A

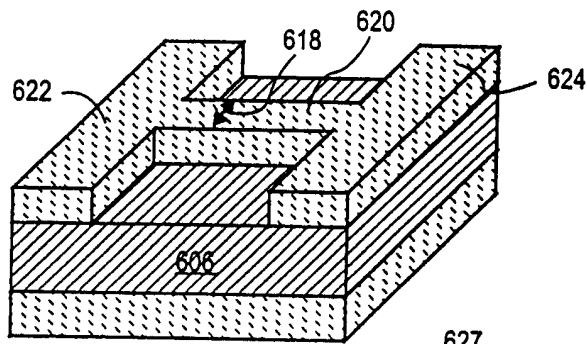


图6B

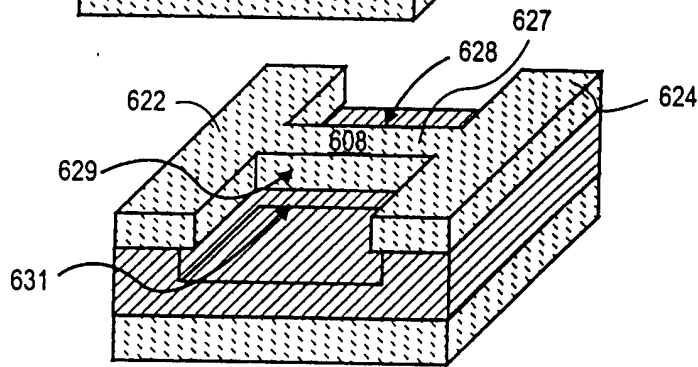


图6C

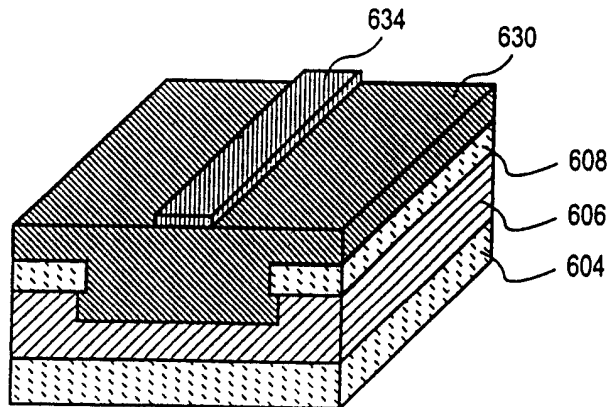


图6D

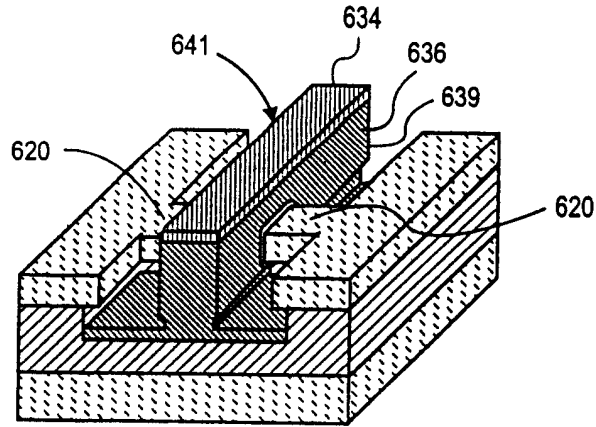


图6E

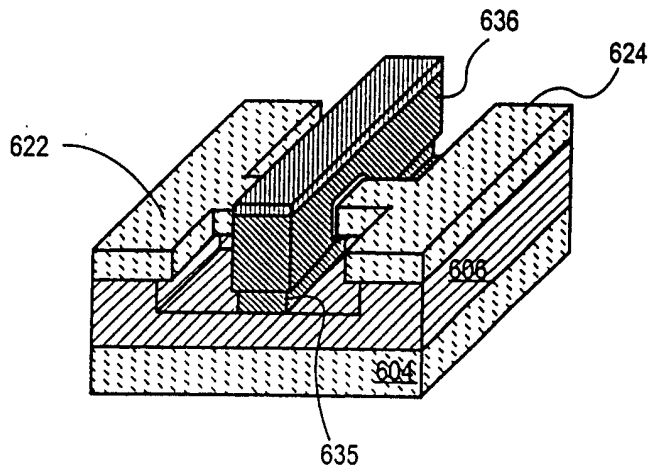


图6F

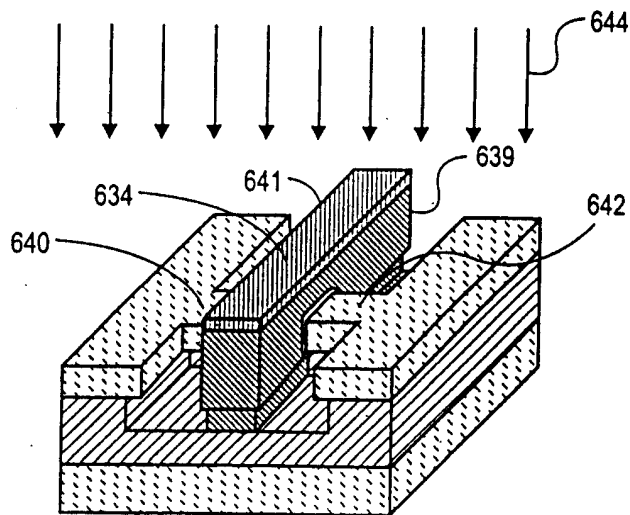


图6G

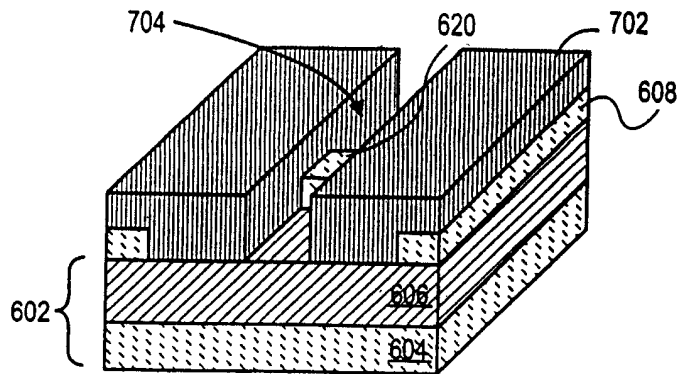


图7A

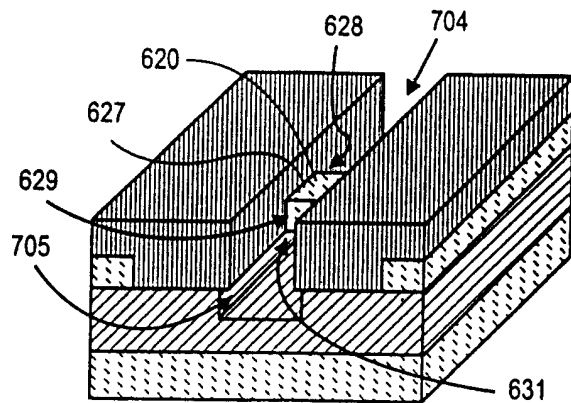


图7B

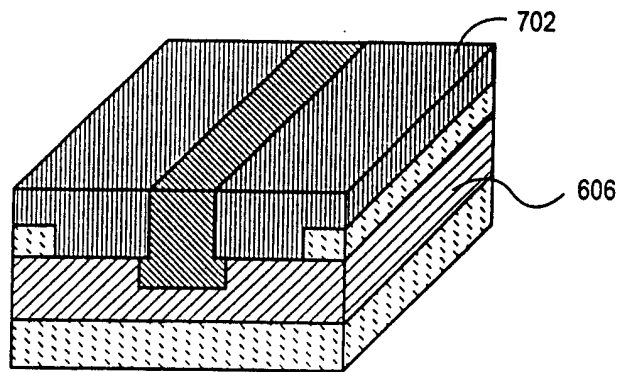


图7C

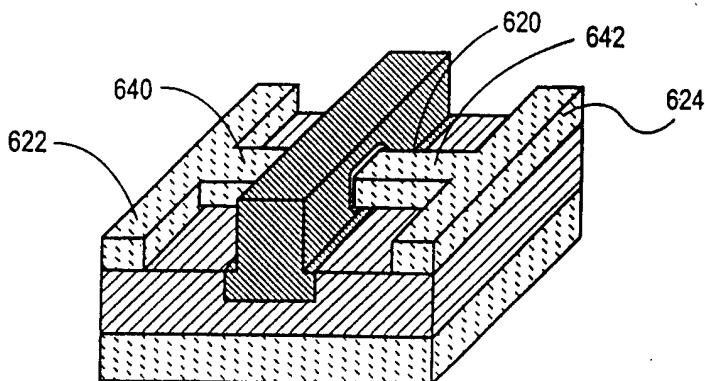


图7D

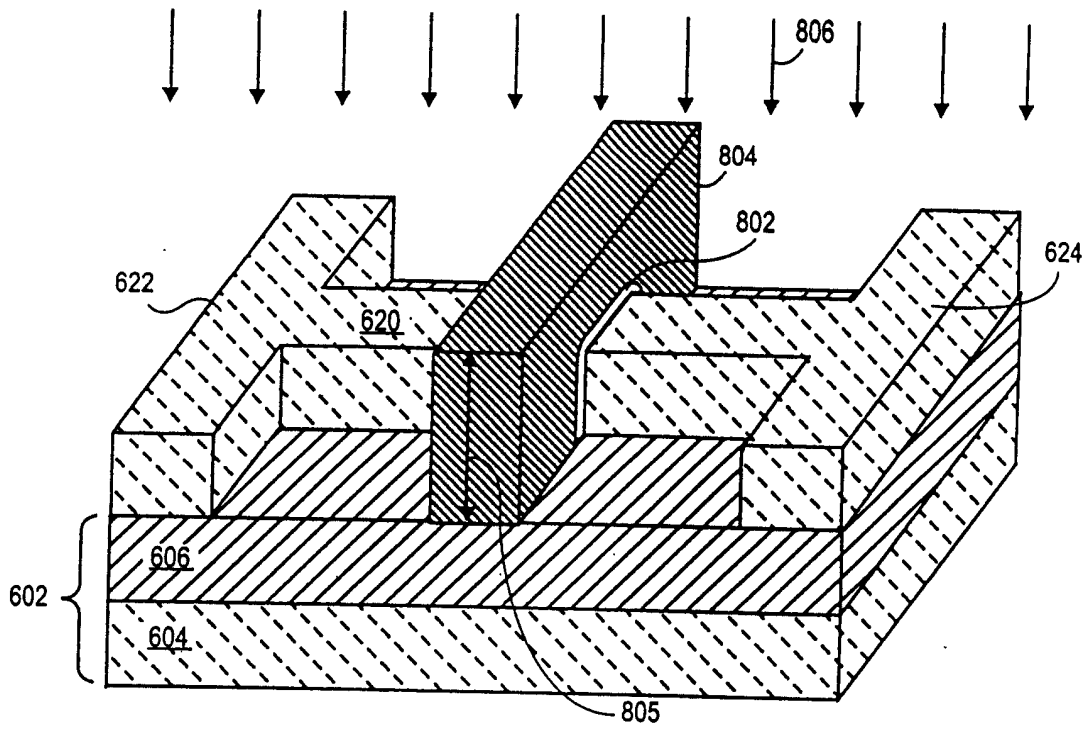


图8A

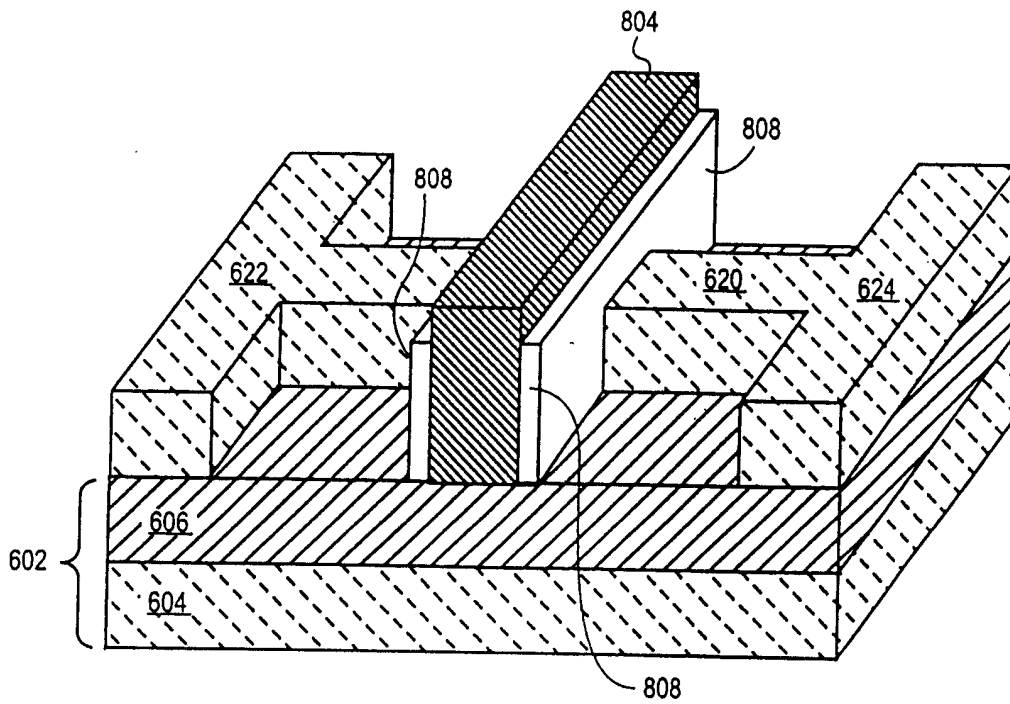


图8B

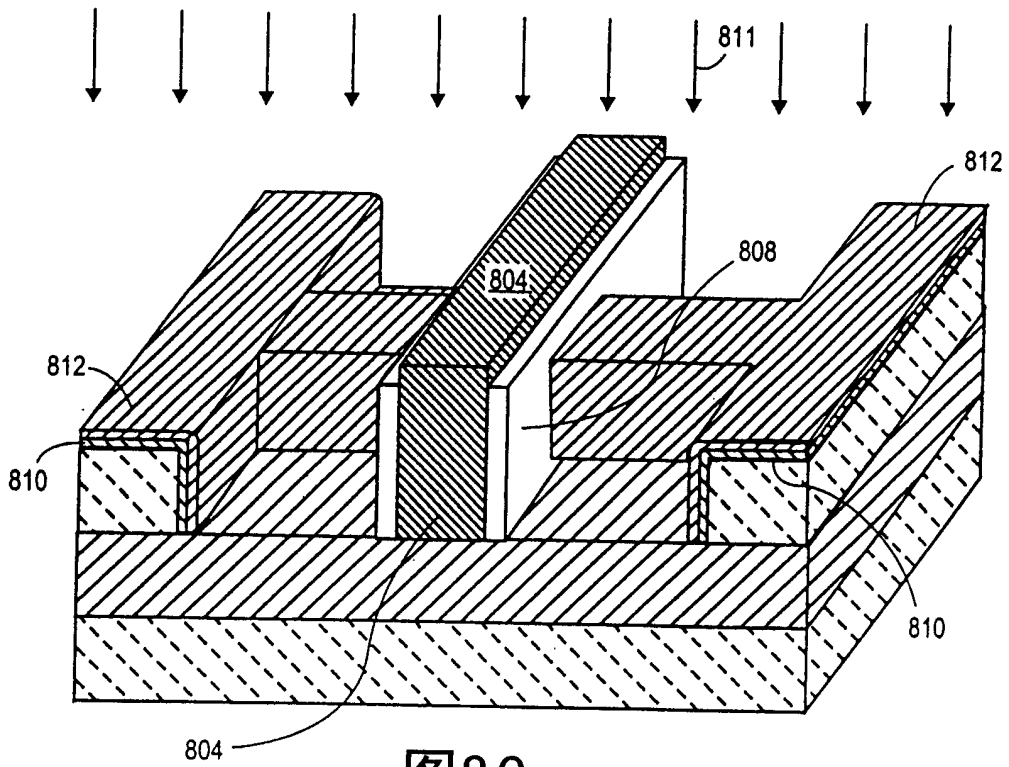


图8C

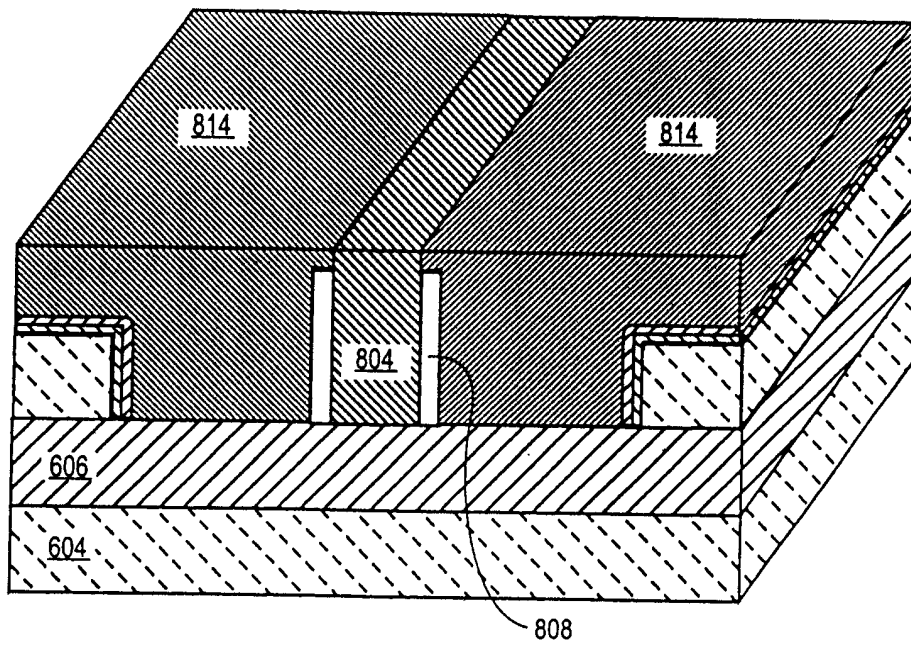


图8D

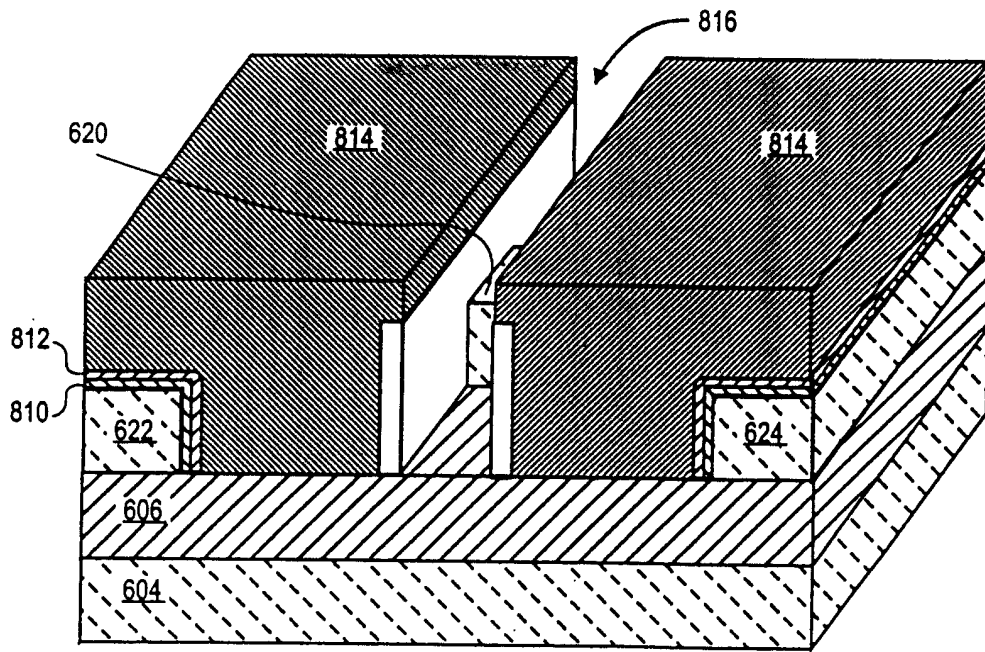


图8E

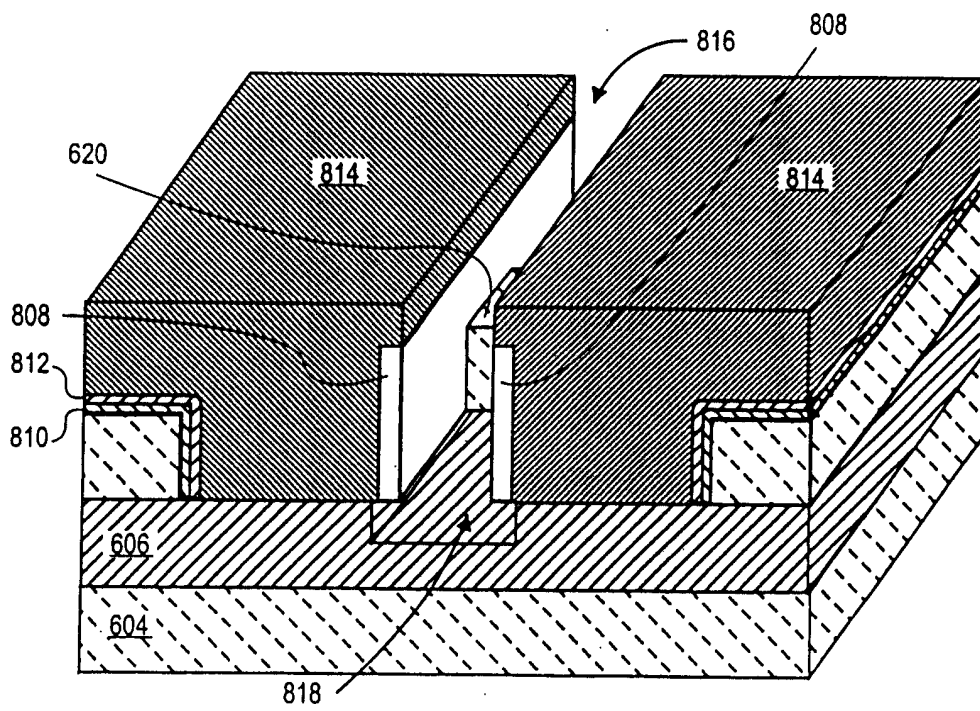


图8F

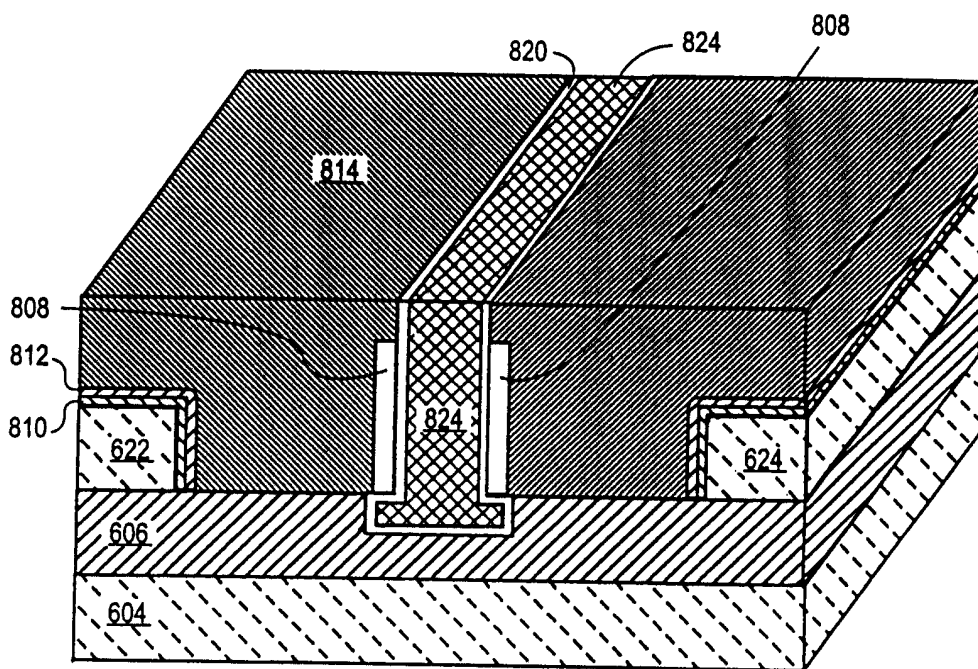


图 8G

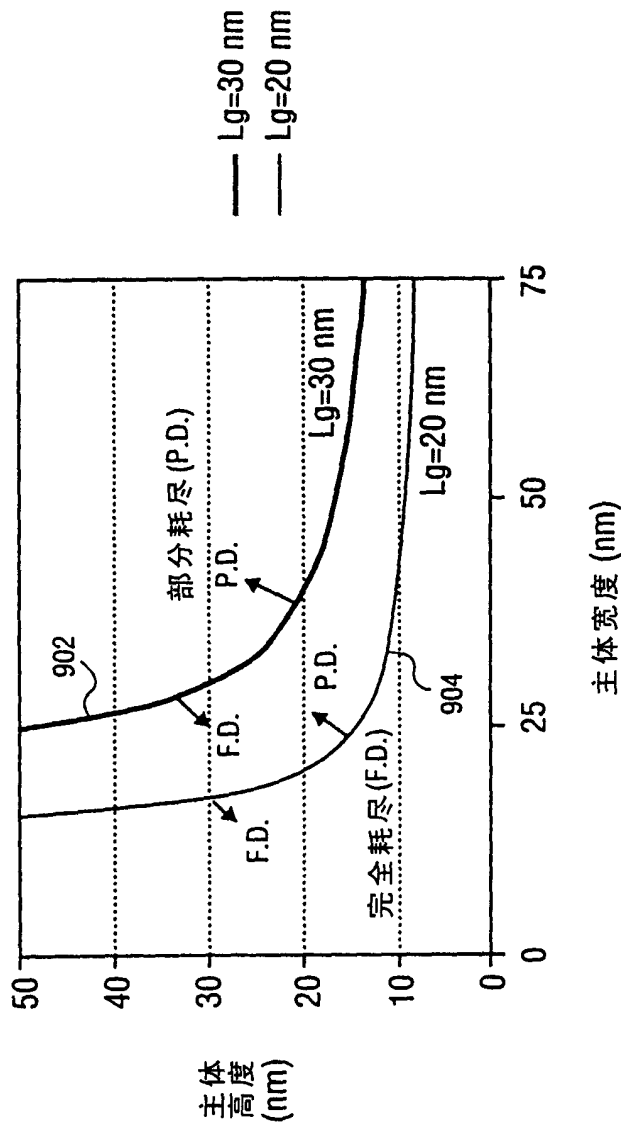


图9