(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/8242

(45) 공고일자 2004년07월14일
(11) 등록번호 10-0440188
(24) 등록일자 2004년07월02일

(21) 출원번호 10-2001-0069942
(22) 출원일자 2001년11월10일

(65) 공개번호 10-2003-0011512
(43) 공개일자 2003년02월11일

(30) 우선권주장 JP-P-2001-00220461 2001년07월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 오사와다까시
일본 가나가와껭 가와사끼시 사이와이꾸고무까이 도시바쪼 1 가부시끼가이샤 도시바 마이크로일렉트로닉스 센터내

(74) 대리인 장수길
구영창

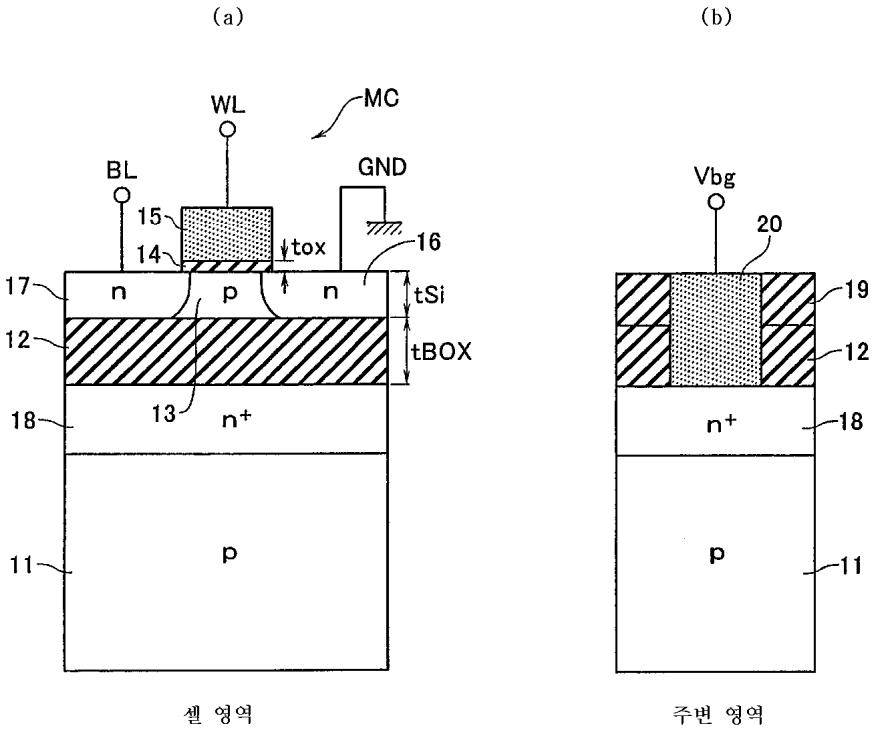
심사관 : 반성원

(54) 반도체 메모리 장치

요약

반도체 메모리 장치는 반도체 기판(11) 상에 절연막(12)을 통해 형성된 메모리 셀(MC)을 구성하기 위한 복수의 완전 공핍형 MISFET를 갖는다. 각 MISFET는 반도체층(13)과, 소스 영역(16)과, 드레인 영역(17)으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체층이 부유 상태의 채널 바디가 되는, 드레인 영역과, 상기 채널 바디의 제1 면에 형성된 주 게이트(15)와, 상기 채널 바디의 제2 면에 형성된 보조 게이트(18)를 구비하고 있다. 상기 MISFET는 상기 주 게이트로부터의 전계에 의해 상기 채널 바디가 완전 공핍화한 상태와, 그리고 상기 보조 게이트로부터의 전계에 의해 상기 채널 바디의 제2 면에 다수 캐리어를 축적 가능하게 한 상태를 기준 상태로 하여, 다수 캐리어가 축적된 제1 데이터 상태와, 다수 캐리어를 방출한 제2 데이터 상태를 갖는다.

대표도



색인어

공핍, 채널 바디, 미믹 트랜지스터, 캐리어

명세서

도면의 간단한 설명

도 1은 PD형 MISFET를 이용한 메모리 셀의 구조를 나타내는 도면.
도 2는 PD형 MISFET를 이용한 메모리 셀의 동작 원리를 설명하기 위한 바디 전위와 워드선 전압의 관계를 나타내는 도면.
도 3은 PD형 MISFET를 이용한 메모리 셀의 밴드 구조를 나타내는 도면.
도 4a는 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 구조를 나타내는 도면(셀 영역).
도 4b는 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 구조를 나타내는 도면(주변 영역).
도 5는 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 기본 밴드 구조를 나타내는 도면.
도 6은 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 기준 상태에서의 밴드 구조를 나타내는 도면.
도 7은 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 데이터 '0', '1'의 임계치와 보조 게이트 전압의 관계를 나타내는 도면.
도 8은 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 '0' 기입/판독의 동작 파형을 나타내는 도면.
도 9는 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 '1' 기입/판독의 동작 파형을 나타내는 도면.
도 10은 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 판독 시의 드레인 전류-게이트 전압 특성을 나타내는 도면.
도 11은 본 발명의 제1 실시예에 의한 FD형 MISFET를 이용한 메모리 셀의 각 데이터 상태의 임계치와 보조 게이트 전압의 관계를 나타내는 도면.
도 12a는 제2 실시예에 의한 메모리 셀의 구조를 나타내는 도면(셀 영역).
도 12b는 제2 실시예에 의한 메모리 셀의 구조를 나타내는 도면(주변 영역).
도 13a는 제3 실시예에 의한 메모리 셀의 구조를 나타내는 도면(셀 영역).
도 13b는 제3 실시예에 의한 메모리 셀의 구조를 나타내는 도면(주변 영역).
도 14a는 제4 실시예에 의한 메모리 셀의 구조를 나타내는 도면(셀 영역).

도 14b는 제4 실시예에 의한 메모리 셀의 구조를 나타내는 도면(주변 영역).
도 15는 제5 실시예에 의한 메모리 셀의 구조를 나타내는 도면.
도 16a는 제6 실시예에 의한 메모리 셀의 구조를 나타내는 도면(비트선 BL을 따른 단면도).
도 16b는 제6 실시예에 의한 메모리 셀의 구조를 나타내는 도면(워드선 WL을 따른 단면도).
도 17은 제6 실시예에 의한 메모리 셀의 '0' 기입/판독의 동작 파형을 나타내는 도면.
도 18은 제6 실시예에 의한 메모리 셀의 '1' 기입/판독의 동작 파형을 나타 내는 도면.
도 19는 제6 실시예에 의한 메모리 셀의 판독 시의 드레인 전류-게이트 전압 특성을 나타내는 도면.
도 20a는 채널 바디에 진성 실리콘을 이용한 경우에 있어서의, 각 데이터 상태의 임계치와 보조 게이트 전압의 관계를 나타내는 도면.
도 20b는 메모리 셀 어레이 외에, 미믹(mimic) 트랜지스터를 갖는 메모리 칩의 구성을 나타내는 도면.
도 21은 제1 실시예의 셀 구조에 의한 구체적인 셀 어레이의 레이아웃을 나타내는 도면.
도 22는 도 21의 I-I' 단면도.
도 23은 도 21의 II-II' 단면도.
도 24는 도 21의 III-III' 단면도.
도 25는 제5 실시예의 셀 구조에 의한 구체적인 셀 어레이의 레이아웃을 나타내는 도면.
도 26은 도 25의 I-I' 단면도.
도 27은 도 25의 II-II' 단면도.
도 28은 제6 실시예의 셀 구조에 의한 구체적인 셀 어레이의 레이아웃을 나타내는 도면.
도 29는 도 28의 I-I' 단면도.
도 30은 도 28의 II-II' 단면도.
도 31은 도 28의 III-III' 단면도.
도 32는 각 실시예에 있어서의 메모리 셀로 구성된 메모리 셀 어레이를 갖는 메모리 칩의 등가 회로를 나타내는 도면.
〈도면의 주요 부분에 대한 부호의 설명〉
11 : 실리콘 기판
12 : 절연막
13 : p형 실리콘충
14 : 게이트 절연막
15 : 주 게이트
16, 17 : 소스 · 드레인 확산층
18 : n^+ 형 확산층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 완전 공핍형 MISFET를 갖는 반도체 메모리 장치에 관한 것이다. 종래의 DRAM은 MOS 트랜지스터와 캐패시터에 의해 메모리 셀이 구성되어 있다. DRAM의 미세화는 트렌치 캐패시터 구조나 스택 캐패시터 구조의 채택에 의해 큰 진척을 이루고 있다. 현재, 단위 메모리 셀의 크기(셀 사이즈)는 최소 가공 치 수를 F로 하여, $2F \times 4F = 8F^2$ 의 면적까지 축소되어 있다. 즉, 최소 가공 치수 F가 세대와 함께 작아지고, 셀 사이즈를 일반적으로 αF^2 로 했을 때, 계수 α도 세대와 함께 작아지고, F=0.18μm의 현재, α=8이 실현되어 있다. 앞으로도 종래와 마찬가지로 변하지 않는 셀 사이즈 또는 칩 사이즈의 경향을 확보하기 위해서는 F<0.18μm에서는 α<8, 또한 F<0.13μm에서는 α<6을 만족하는 것이 요구되고, 미세 가공과 함께 셀 사이즈를 작은 면적에 어떻게 형성하는가가 큰 과제가 된다. 그 때문에, 1트랜지스터/1캐패시터의 메모리 셀을 $6F^2$ 나 $4F^2$ 의 크기로 하는 제안도 여러 가지 이루어져 왔다. 그러나, 트랜지스터를 종형으로 하지 않으면 안된다는 등의 기술적 곤란이나, 인접 메모리 셀 사이의 전기적 간섭이 커진다는 등의 문제, 또한 가공이나 막 생성 등의 제조 기술상의 곤란함이 있고, 실용화는 용이하지 않다.

발명이 이루고자 하는 기술적 과제

이에 대하여, 캐패시터를 이용하지 않고, 1트랜지스터를 메모리 셀로 하는 DRAM의 제안도, 다음과 같이 몇 개 이루어져 있다.
(1) JOHN E. LEISS et al, 'dRAM Design Using the Taper-Isolated Dynamic Cell'(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-29, NO. 4, APRIL 1982, pp. 707-714)
(2) 일본 특허공개 평3-171768호 공보

(3) Marnix R. Tack et al, 'The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures'(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp. 1373-1382)
(4) Hsing-jen Wann et al, 'A Capacitorless DRAM Cell on SOI Substrate' (IEDM 93, pp. 635-638)
(1)의 메모리 셀은 매립 채널 구조의 MOS 트랜지스터를 이용하여 구성된다. 소자 분리 절연막의 테이퍼부에 형성되는 기생 트랜지스터를 이용하여 표면 반전층의 충방전을 행하고, 2값 기억을 행한다.
(2)의 메모리 셀은 각각 웰 분리된 MOS 트랜지스터를 이용하고, MOS 트랜지스터의 웰 전위에 의해 결정되는 임계치를 2값 데이터로 한다.
(3)의 메모리 셀은 SOI 기판 상의 MOS 트랜지스터에 의해 구성된다. SOI 기판 측으로부터 큰 마이너스 전압을 인가하여 실리콘층의 산화막과 계면부에서의 홀 축적을 이용하고, 이 홀의 방출, 주입에 의해 2값 기억을 행한다.
(4)의 메모리 셀은 SOI 기판 상의 MOS 트랜지스터에 의해 구성된다. MOS 트랜지스터는 구조상 하나이지만, 드레인 확산층의 표면에 중첩되어 역도전형층이 형성되고, 실질적으로 기입용 PMOS 트랜지스터와 판독용 NMOS 트랜지스터를 일체로 조합한 구조로 하고 있다. NMOS 트랜지스터의 기판 영역을 부유 노드로 하여, 그 전위에 의해 2값 데이터를 기억한다.
그러나, (1)은 구조가 복잡하고, 기생 트랜지스터를 이용하고 있기 때문에, 특성의 제어성에도 난점이 있다. (2)는 구조는 단순하지만, 트랜지스터의 드레인, 소스 모두 신호선에 접속하여 전위 제어할 필요가 있다. 또한, 웰 분리이기 때문 에, 셀 사이즈가 크고, 또한 비트별 재기록을 할 수 없다. (3)에서는 SOI 기판측으로부터의 전위 제어를 필요로 하고 있으며, 따라서 비트별 재기록을 할 수 없고, 제어성에 난점이 있다. (4)는 특수 트랜지스터 구조를 필요로 하고, 또한 메모리 셀에는 워드선, 기입 비트선, 판독 비트선, 퍼지선을 필요로 하기 때문에, 신호선 수가 많아진다.

발명의 구성 및 작용

본 발명에 따르면, 반도체 기판(11) 상에 절연막(12)을 통해 형성된 메모리 셀(MC)을 구성하기 위한 복수의 완전 공핍형 MISFET를 포함하는 반도체 메모리 장치에 있어서, 각 MISFET는 상기 절연막 상에 형성된 반도체층(13)과, 상기 반도체층에 형성된 소스 영역(16)과, 상기 반도체층에 상기 소스 영역과 떨어져서 형성된 드레인 영역(17)으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체층이 부유 상태의 채널 바디가 되는 드레인 영역과, 상기 채널 바디의 제1 면에 형성된 채널을 형성하기 위한 주 게이트(15)와, 상기 채널 바디의 제1 면과 반대측의 제2 면에 형성된 보조 게이트(18)를 포함하며, 상기 MISFET는 상기 주 게이트로부터의 전계에 의해 상기 채널 바디가 완전 공핍화한 상태와, 그리고 상기 보조 게이트로부터의 전계에 의해 상기 채널 바디의 제2 면에 다수 캐리어가 축적 가능하게 한 상태를 기준 상태로 하여, 상기 채널 바디의 제2 면에 다수 캐리어가 축적된 제1 데이터 상태와, 상기 채널 바디의 제2 면의 다수 캐리어를 방출시킨 제2 데이터 상태를 구비하는 것을 특징으로 한다.
또한, 본 발명에 따르면, 반도체 기판(31) 상에 형성된 메모리 셀(MC)을 구 성하기 위한 복수의 완전 공핍형 MISFET를 포함하는 반도체 메모리 장치에 있어서, 각 MISFET는, 상기 반도체 기판 상에 기둥 형상으로 형성된 기둥 형상 반도체층(33)과, 상기 기둥 형상 반도체층의 상부 또는 하부의 한쪽에 형성된 소스 영역(32)과, 상기 기둥 형상 반도체층의 상부 또는 하부의 다른 쪽에, 상기 소스 영역과 떨어져서 형성된 드레인 영역(34)으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 기둥 형상 반도체층이 부유 상태의 채널 바디가 되는 드레인 영역과, 상기 채널 바디의 제1 측면에 형성된 채널을 형성하기 위한 주 게이트(36)와, 상기 채널 바디의 제1 측면과 반대측의 제2 측면에 형성된 보조 게이트(38)를 포함하며, 상기 MISFET는 상기 주 게이트로부터의 전계에 의해 상기 채널 바디가 완전 공핍화한 상태와, 그리고 상기 보조 게이트로부터의 전계에 의해 상기 채널 바디의 제2 측면에 다수 캐리어가 축적 가능하게 한 상태를 기준 상태로 하여, 상기 채널 바디의 제2 측면에 다수 캐리어가 축적된 제1 데이터 상태와, 상기 채널 바디의 제2 측면의 다수 캐리어를 방출시킨 제2 데이터 상태를 구비하는 것을 특징으로 한다.
실시예의 설명에 앞서서, 원리적인 메모리 셀로서, 부분 공핍형 MISFET를 이용한 경우를 설명한다. 부분 공핍형 MISFET는 게이트에 전압을 인가하여 채널이 형성될 때, 채널 바디가 부분적으로 공핍화(Partially Depleted)하고, 전하 중성 영역이 남는 것으로, 이하, 이를 PD형 MISFET라 한다. 이 PD형 MISFET를 이용하여, 전하 중성 영역에 과잉의 다수 캐리어가 축적된 제1 데이터 상태와, 전하 중성 영역의 과잉의 다수 캐리어가 방출된 제2 데이터 상태를 다이나믹하게 기억할 수 있다.
도 1은 그와 같은 메모리 셀 MC의 단면 구조를 나타내고 있다. 실리콘 기판 (1) 상에 실리콘 산화막 등의 절연막(2)을 통해 p형 실리콘층(3)이 형성된 SOI 기판이 이용되고 있다. 실리콘층(3)을 채널 바디로 하여, 그 표면에 게이트 절연막 (4)을 통해 게이트 전극(5)이 형성되고, 절연막(2)에 달하는 깊이에 소스 및 드레인 확산층(6, 7)이 형성되어 n 채널 MISFET가 구성되어 있다.
n 채널 MISFET로 이루어진 메모리 셀 MC는 가로 방향으로도 소자 분리된 부유의 채널 바디를 갖고 매트릭스 배열되어 셀 어레이가 구성된다. 드레인(7)은 비트선 BL에 접속되고, 게이트(5)는 워드선 WL에 접속되고, 소스(6)는 고정 전위선에 접속된다.
이 메모리 셀 MC의 동작 원리는 MISFET의 채널 바디[p형 실리콘층(3)]의 다수 캐리어인 홀의 축적을 이용한다. 즉, MISFET를 5극관 동작시킴에 따라, 드레인으로부터 큰 채널 전류를 흘리고, 드레인 접합 근방에서 임팩트 이온화를 일으킨다. 이 임팩트 이온화에 의해 생성된 과잉의 다수 캐리어(홀)를 채널 바디에 유지시키고, 그 상태를 예를 들면 데이터 '1'로 한다. 드레인(7)과 채널 바디 사이에 순방향 전류를 흘리고, 채널 바디의 과잉 홀을 드레인으로 방출시킨 상태를 데이터 '0'으로 한다.
데이터 '0', '1'은 채널 바디의 전위 차이고, MISFET의 임계치의 차로서 기억된다. 즉, 도 2에 도시한 바와 같이 홀 축적에 의해 채널 바디 전위 Vbody가 높은 데이터 '1' 상태의 임계치 Vth1은 데이터 '0' 상태의 임계치 Vth0보다 낮다.

채널 바디에 홀을 축적한 데이터 '1'을 안정적으로 유지하기 위해서는 워드선 WL에 부여하는 전압 VWL을 마이너스로 유지하는 것이 바람직하다. 이 데이터 보유 상태는 선형 영역에서 판독 동작을 행하고 있는 한, 또한 역 데이터의 기입 동작을 행하지 않는 한, 판독 동작을 행해도 변하지 않는다. 즉, 캐패시터의 전하 보유를 이용하는 1트랜지스터/1캐패시터의 DRAM과 달리, 비 파괴 판독이 가능하다.

데이터 판독은 기본적으로 메모리 셀 MC의 도통도의 차를 검출함으로써 행해진다. 워드선 전압 VWL과 바디 전위 Vbody의 관계가 도 2와 같이 되기 때문에, 예를 들면, 워드선 WL에 데이터 '0', '1'의 임계치 Vth0, Vth1의 중간 판독 전압을 부여하여, 메모리 셀의 전류 유무를 검출하면 데이터를 검출할 수 있다. 또는 임계치 Vth0, Vth1을 넘는 워드선 전압을 부여하여, 메모리 셀의 전류의 대소를 검출함으로써도, 데이터 검출을 할 수 있다.

도 1의 메모리 셀 MC는 채널 바디 영역에 전하 중성 영역이 존재하는, 소위 PD형 MISFET를 이용하고 있다. 즉, 도 3에 밴드도를 도시한 바와 같이 게이트에 채널이 형성되는 전압 Vfg=Vth를 부여했을 때, 공핍층은 채널 바디의 중간까지 연장되고, 바닥부에는 전하 중성 영역이 남는다. 이 경우, 디자인 룰의 축소와 함께 바디 영역의 두께도 축소시키는 스컬링 원칙(scalling law)에 따르면, 채널 바디의 불순물 농도도 높게 하여 행해야 한다. MISFET의 임계치 Vth의 게이트 길이(채널 길이) L에 대한 롤 오프(roll-off) 효과, 즉 단채널 효과를 억제하기 위해서도 채널 바디의 불순물 농도는 게이트 길이 L의 축소와 함께 크게 할 필요가 있다.

그런데, pn 접합 누설 전류는 채널 바디의 불순물 농도에 지수함수적으로 의 존하여 증가한다. pn 접합에서의 누설 전류 성분에는 확산 전류, 생성 · 재결합 전류 및 열 여기 전계 방출 전류(Thermal Field Emission Current)가 있다(G. Vince nt, A. Chantre and D. Bois, 'Electric Field Effect on the Thermal Emission of Traps in Semiconductor Junctions', J. Appl. Phys., 50, pp. 5484-5487, 1979.). 이들 중, 전자의 2개는 불순물 농도 NA를 높이면 감소하는 성분이다. 확산 전류는 NA를 증가시키면 중성 영역의 소수 캐리어 농도가 감소하기 때문에 감소하고, 생성 · 재결합 전류는 NA를 크게 하면 공핍층이 짧아지기 때문에 감소한다. 마지막 성분은 실리콘의 밴드 갭 내의 깊은 위치에 있는 전자가 열 에너지에 의해 방출되어 전도에 기여하는 확률이 공핍층 내의 강한 전계에 의해 증가하여 누설 전류로서 관측되는 것으로, 터널 효과에 의한 것이다. 이 이론에 따르면, 누설 전류는 공핍층 내의 전계의 강도에 지수함수적 의존성이 있기 때문에, NA를 증가시키면 그것에 지수함수적으로 의존하여 누설 전류가 증가된다.

또한, '0' 데이터 셀의 임계치 Vth0과, '1' 데이터 셀의 임계치 Vth1의 차로 표현되는 신호량 $\Delta Vth = |Vth0 - Vth1|$은 기판 바이어스 효과에 기초하여 결정된다. MISFET가 미세화되어, 임계치의 롤 오프를 억제하도록 게이트 산화막 두께 tox를 얇게 하면, 기판 바이어스 효과는 약해진다. 이 때문에, 신호량 ΔVth를 확보하기 위해서는 채널 바디의 불순물 농도를 높게 할 필요가 있다. 따라서, 신호량을 크게 하는 것과, 데이터 보유 특성을 좋게 하는 것은 양립할 수 없는 조건이 된다.

그래서, 후술하는 실시예에서는 미세화했을 때에도 누설 전류를 억제하고, 우수한 데이터 보유 특성이 얻어지도록 완전 공핍형 MISFET에 의해 메모리 셀을 구 성한다. 여기서, 완전 공핍형 MISFET는 게이트에 전압을 인가하여 채널이 형성될 때, 채널 바디가 완전 공핍화(Fully Depleted)하도록, 채널 바디의 불순물 농도와 두께가 설정되어 있는 것이며, 이하, 이를 FD형 MISFET라 한다. 이와 같은 FD형 MISFET를 메모리 셀로 하여, 주 게이트로부터의 전계에 의해 채널 바디가 완전 공핍화한 상태와, 그리고 보조 게이트로부터의 전계에 의해 채널 바디의 제2 면에 다수 캐리어를 축적할 수 있는 상태를 기준 상태로 하여, 채널 바디의 제2 면에 다수 캐리어가 축적된 제1 데이터 상태와, 채널 바디의 제2 면의 다수 캐리어를 방출시킨 제2 데이터 상태를 다이나믹하게 기억할 수 있다.

[제1 실시예]

FD형 MISFET를 이용한 제1 실시예의 메모리 셀 구조를 도 4a 및 도 4b에 도시한다. 실리콘 기판(11) 상에 실리콘 산화막 등의 절연막(12)이 형성되고, 이 절연막(12) 상에 p형 실리콘층(13)이 형성된 SOI 기판을 이용하고 있다. 절연막(12)은 실리콘층(13)의 아래에 매립되어 있기 때문에, 이하, 이를 BOX(Buried Oxide)층이라 한다. 메모리 셀 MC는 p형 실리콘층(13)에 게이트 절연막(14)을 통해 주 게이트(15)가 형성되고, 주 게이트(15)에 자기 정합되어 실리콘층(13)의 바닥부에 달하는 소스, 드레인 확산층(16, 17)이 형성된 n채널 MISFET이다.

p형 실리콘층(13)은 후에 구체적으로 설명한 바와 같이 표면에 채널이 형성되는 게이트 전압을 인가했을 때 완전 공핍화하도록 p형 실리콘층(13)의 억셉터 농도 NA와 두께 tSi가 설정되어 있다. 구체적으로, p형 실리콘층(13)의 표면으로부 터 연장되는 공핍층의 두께는 페르미 포텐셜을 Φ_F, 실리콘의 유전률을 ε_{Si}로 하여, $(4\varepsilon_{si} \cdot \Phi_F/q \cdot NA)^{1/2}$로 나타내므로, 완전 공핍형 MISFET의 조건은 $(4\varepsilon_{si} \cdot \Phi_F/q \cdot NA)^{1/2} > tSi$가 된다.

또한, 도면의 예에서는 실리콘 기판(11)을 p형으로 하여, 실리콘 기판(11)의 BOX층(12)과의 계면에는 p형 실리콘층(13)으로 이루어진 채널 바디의 이면에 용량 결합에 의해 소정의 전계를 제공하기 위한 보조 게이트가 되는 n^+형 확산층(18)이 형성되어 있다. n^+형 확산층(18)은 적어도 셀 어레이 영역 전체에 걸쳐 공통 전극 (백 플레이트)으로서 형성된다. 여기서는 채널 바디에 이면으로부터 마이너스의 바이어스 전압을 인가하는 경우를 생각하고 있으며, n^+형 확산층(18)을 보조 게이트로 하여 형성했지만, n^+형 확산층(18)을 형성하지 않고, 기판(11) 자체를 보조 게이트로 해도 되고, 또는 p^+형 확산층을 보조 게이트로 해서 형성해도 무방하다.

메모리 셀 MC는 각 채널 바디가 가로 방향으로도 상호 분리된 부유 상태가 되도록 매트릭스 배열된다. 보조 게이트로서의 n^+형층(18)은 셀 어레이 전체에 형성되고, 셀 어레이의 주변에서 BOX층(12) 및 이 위에 형성되는 층간 절연막(19)에 매립된 다결정 실리콘 등의 콘택트 플러그(20)에 의해 상부에 보조 게이트 단자가 설치된다.

구체적인 예를 들면, 게이트 길이는 L=70㎚, 게이트 절연막 두께는 tox=10 ㎚으로 하고, p형 실리콘층(13: 채널 바디)의 억셉터 농도는 $NA=1.0\times10^{15}$ ㎝ $^{-3}$ 정도로 매우 저농도로 한다. 또한, 실리콘층(13)의 두께는 tSi=25 50㎚ 정도로 한다. 또한, BOX층(12)은 30 50㎚로 비교적 얇게 하여, 이면으로부터의 채널 바디에 대한 전계 인가를 쉽게 한다.

이와 같은 조건에서 메모리 셀은 FD형 MISFET가 된다. 표면 채널이 형성될 때의 밴드 구조를 도 3에 대응시켜서 나타내면, 도 5와 같이 되고, 주 게이트에 부여하는 전압이 Vfg=Vth에서 채널 바디는 완전 공핍화된다. 단지 여기서는 p형 실리콘 기판이 직접 BOX층(12)에 접촉하는 경우를 나타내고 있다. 이와 같은 완전 공핍화 조건을 충족시킨 후, 또한 보조 게이트로부터의 바이어스 전압 Vbg의 인가에 의해 완전 공핍화한 채널 바디 이면에 홀을 축적할 수 있는 상태를 형성한다. 다시 말하면, 주 게이트로부터의 전계에 의해 채널 바디를 완전 공핍화하고, 또한 이 채널 바디의 이면에 다시 홀 축적층(p형 반전층)이 형성되는 상태를 보조 게이트로부터의 바이어스 전압 Vbg의 인가에 의해 실현한다. 이를 도 5에 대응시켜서 도 6에 도시한다.

도 6에 도시한 바와 같이 주 게이트의 전압 Vfg와 보조 게이트의 전압 Vbg에 의해 완전 공핍화한 채널 바디의 바닥부에 홀을 축적 가능하게 한 상태를 메모리 셀의 기준 상태로 한다. 이 기준 상태는 그대로 시간이 경과하면, 채널 바디 바닥부에 홀이 축적된 열평형 상태가 되고, 이를 '1' 데이터 보유 상태로 한다. '0' 데이터 기입은 드레인과 채널 바디 사이에 순방향 전류를 흘려서, 채널 바디의 홀을 방출한 상태(즉, 채널 바디가 완전 공핍화한 비평형 상태)로 하고, '0' 데이터 셀에 '1' 데이터를 기입하기 위해서는 5극관 동작에 의해 임팩트 이온화를 일으켜서, 채널 바디의 바닥부에 홀을 축적한 상태로 한다.

본 실시예에 의한 메모리 셀의 임계치 전압 Vth를 고려한다. 주 게이트로부터의 전계에 의해 실리콘층(13)이 완전 공핍화한 상태에서, 보조 게이트에 전압 Vbg를 부여하여 BOX층(12)에 접한 실리콘층(13)의 이면의 전위를 낮추면, 다수 캐리어(이 경우 정공)를 축적한 상태를 얻을 수 있다. 이 상태에서의 MISFET의 표면 채널에 대한 임계치 전압 Vthacc는 실리콘층(13)의 이면의 전위가 고정되어 보조 게이트로부터 채널 바디로의 용량 결합이 없기 때문에, 다음 수학식 1로 표현된다.

수학식 1

$$Vthacc = \phi_{FB} + (1+Csi/Cox)\cdot 2\phi_F - Qdep/2Cox - (Csi/Cox)\cdot \phi bs$$

여기서, ϕ_{FB}는 n형 폴리실리콘으로 이루어진 주 게이트(15)와 p형 실리콘층 (13: 채널 바디)의 MOS 구조에서의 플랫 밴드 전압, ϕ_F는 페르미 포텐셜, ϕbs는 채널 바디 이면의 전위, Csi는 채널 바디의 용량(=εs/tSi), Cox는 게이트 절연막의 용량(=εox/tox), Qdep는 완전 공핍화한 채널 바디의 공간 전하량 (=-q · NA · tSi)이다.

한편, 보조 게이트 전압 Vbg가 실리콘층(13)의 이면에 다수 캐리어(정공)를 축적시키는데 필요한 전계를 제공하지 않는 조건에서는 실리콘층(13)은 완전하게 공핍화되어 있기 때문에, 표면 트랜지스터의 임계치 전압은 실리콘층(13)의 이면으로부터의 보조 게이트에 의한 용량 결합의 영향을 받는다. 즉, BOX층(12)의 막 두께 tBOX와 Vbg의 값에 의존하여 임계치 전압이 변한다. 이 경우의 임계치를 Vthdep로 하면, 다음 수학식 2로 표현된다.

수학식 2

$$Vthdep = Vthacc - (Cbox/Cox)/(1+Cbox/Csi)\cdot (Vbg - Vbgacc)$$

여기서, Vbgacc는 실리콘층(13)의 이면에 다수 캐리어(정공)를 축적시키는 데 필요한 보조 게이트 전압 Vbg의 값이고, 다음 식으로 주어진다.

수학식 3

$$Vbgacc = \phi_{FB} - Csi/Cbox\cdot 2\phi_F - Qdep/2Cbox + (1+Csi/Cbox)\cdot \phi bs$$

여기서, ϕbs는 실리콘층(13)의 이면의 포텐셜이지만, 다수 캐리어(정공)가 축적되어 안정되어 있는 열평형 상태에서는 ϕbs=0V이다. 이 상태는 주 게이트에 실리콘층(13)이 완전 공핍화하는데 필요한 전압을 부여함과 함께, 보조 게이트에 Vbgacc를 제공하여 얻어지는 안정 상태이고, 또한 메모리 셀을 5극관 영역에서 동작시켜서, 다수 캐리어를 발생시켜서 '1' 데이터를 기입한 상태이기도 하다.

한편, '0' 데이터를 기입한 상태, 즉 비트선과 채널 바디의 pn 접합을 순방향으로 바이어스하고, 축적되어 있던 다수 캐리어(정공)를 방출하여, 열평형 상태 로부터 천이된 상태에서는 실리콘층(13)의 이면의 포텐셜 ϕbs는 0V가 아닌 마이너스 값이 된다. 이 '0' 데이터 상태의 실리콘층(13)의 이면의 포텐셜 ϕbs를, 지금의 경우, 디바이스 시뮬레이션의 결과로부터, $\phi bs0 = -1.57\times\phi_F$로 가정한다.

이상의 식을 이용하여, tox=10㎚, tBOX=30㎚, tSi=25㎚, $NA=1.0\times10^{15}\,cm^{-3}$, 실온(300K)의 경우에 대해, 임계치 Vth와 보조 게이트 전압 Vbg의 관계를 구하면, 도 7의 결과를 얻을 수 있다.

도 7에서, Vbg가 -3V보다 플러스측에 있는 경우에는 다수 캐리어(정공)가 실리콘 이면에 축적되지 않기 때문에, 바디는 완전 공핍화된 상태가 되고, 메모리 기능은 발현하지 않는다. 즉, '1' 데이터 기입 동작을 행하여, 다수 캐리어를 생성했다고 해도, 축적되지 않고, 즉시 드레인 또는 소스로 방출된다.

Vbg를 -3V보다 마이너스 측으로 하면, 보조 게이트측으로부터의 전계에 의해 다수 캐리어(정공)를 축적할 수 있고, 서서히 메모리로서의 기능이 발현된다. 이는 다른 견해에서 보면, Vbg가 -3V보다 클 때에는 이 셀 구조는 비평형 상태가 존재할 수 없는 안정한 상태(완전 공핍화 상태)를 유지하지만, Vbg를 보다 마이너스로 하면, 비평형 상태가 존재

할 수 있는 불안정한 상태로 천이하는 것을 의미한다. 이 불안정 상태를 포함하는 시스템을 DRAM 셀로 이용한 것이 본 실시예의 소자라고 할 수 있다. 즉, 소정의 플러스의 주 게이트 전압 Vfg와 마이너스의 보조 게이트 전압 Vbg를 부여하여 '1' 데이터를 보유하고 있는 상태(Vth가 낮은 상태)는 열평형 상태이고, '0' 데이터 상태(Vth가 높은 상태)는 축적하고 있는 다수 캐리어를 적어 도 일부 방출시킨 비평형 상태로서, 이 상태는 장시간 유지하면 '1' 데이터로 되돌아가는 불안정 상태이다.

메모리 동작을, 보조 게이트 전압 Vbg가 충분히 낮게, '0' 데이터, '1' 데이터 함께 다수 캐리어(정공)가 축적된 상태로 하여 행한다고 한다면, 신호량 ΔVth는 수학식 1로부터, 다음 수학식 4로 표현된다.

수학식 4

$$\Delta Vth=(Csi/Cox)\cdot \Delta \phi bs$$

Δφbs는 '0' 데이터 상태와 '1' 데이터 상태에서의 실리콘 이면의 포텐셜 차이다. 이에 따라, 신호량을 증대시키기 위해서는 Csi와 Cox의 비, 다시 말해서, tox/tSi를 크게 하거나, Δφbs를 크게 하면 무방하다는 것을 알 수 있다. 전자는 디바이스 구조에 대한 조건, 후자는 '0' 데이터 기입 시의 비트선 전위를 충분히 마이너스로 하면 효과가 있는 것을 의미한다.

수학식 4로부터 분명한 바와 같이 본 실시예의 메모리의 경우에는 신호량은 PD형 MISFET를 이용한 경우와 달리, 채널 바디의 불순물 농도에 의존하지 않는다. Cox를 작게, 따라서 게이트 산화막 두께 tox를 두껍게 하면 신호가 증가한다고 하는 상황은 동일하지만, PD형 MISFET의 경우에는 쇼트 채널 효과가 크고, tox는 두껍게 할 수 없다.

이에 대하여, FD형 MISFET를 이용하는 본 실시예에서는 쇼트 채널 효과가 대폭 개선되기 때문에, tox는 두껍게 설정할 수 있다. 또한, 구조적으로 신호량이 tox/t_{Si} 에만 의존한다는 것은 채널 길이를 앞으로 더욱 축소한 경우라도 이 비율만이라도 유지하도록 비례 축소하면 신호량은 일정하게 유지할 수 있음을 의미하고, 미세화가 가능한 것을 나타내고 있다.

실제, 2차원 디바이스 시뮬레이션에 의해 메모리 동작을 검증한 결과를 이하에 나타낸다. 디바이스 파라미터는 게이트 길이 L=70㎚, 게이트 산화막 두께 to x=10㎚, BOX층 두께 tBOX=30㎚, 실리콘층 두께 tSi=25㎚, 억셉터 농도 $NA=1.0\times10^{15}\,cm^{-3}$, Vbg=-5V이다.

도 8은 '0' 기입과 '0' 판독을 행한 경우이고, 도 9는 '1' 기입와 '1' 판독을 행한 경우이다. 도 8의 경우, 게이트를 -4V에서 1V로 상승하고, 이에 지연하여 드레인을 0V에서 -1.5V로 하강하여, '0' 데이터 기입을 행하고 있다. 그리고, 게이트를 -4V로 되돌려서, 드레인을 거의 0V로 되돌린 타이밍 2.5E-08이 데이터 보유 상태를 나타내고 있으며, 그 후 다시 게이트를 상승하여 판독을 행하고 있다.

도 9의 경우, 게이트를 -4V에서 1V로 상승하고, 이에 지연하여 드레인을 0V에서 1.5V로 상승하여, '1' 데이터 기입을 행하고 있다. 그리고, 게이트를 -4V로 되돌려서, 드레인을 거의 0V로 되돌린 타이밍 2.5E-08이 데이터 보유 상태를 나타내고 있으며, 그 후 다시 게이트를 상승하여 판독을 행하고 있다. 소스(고정 전위선)는 어느 경우도 0V이다.

도 8 및 도 9에 있어서, 바디 전위로서 나타내고 있는 것은 채널 바디의 한가운데(채널 길이 방향과 실리콘 깊이 방향의 한 가운데)에서의 정공의 의사 페르 미 포텐셜을 나타내고 있다. 도 10은 각각의 판독 시의 드레인 전류 Ids-게이트 전압 Vgs 특성이고, Ids0, Ids0이 각각 '0' 기입/판독, '1' 기입/판독 시의 특성이다.

이상의 결과로부터, 데이터 판독 시의 신호량 ΔVth는 500㎷정도 얻어지고 있으며, 충분한 신호량을 확보할 수 있음을 알 수 있다.

도 11은 보조 게이트 전압 Vbg를 변화시켜서 마찬가지의 디바이스 시뮬레이션을 행하여 얻어진 '0' 데이터의 Vth0과 '1' 데이터의 Vth1의 보조 게이트 전압 Vbg 의존성을 나타내고 있다. 이는 이론 계산에 의한 도 7과 좋은 일치를 나타내고 있다.

[제2 실시예]

도 12a 및 도 12b는 제2 실시예에 의한 메모리 셀 MC의 단면 구조를 도 4a 및 도 4b에 대응시켜서 나타내고 있다. 본 실시예에서는 BOX층(12) 아래에, 확산층(18) 대신에 p^+ 형 다결정 실리콘층(21)을 매립하여, 이를 보조 게이트로 한 것이다. 다시 말하면, p^+ 형 다결정 실리콘층(21)은 반도체 기판 (11)과 실리콘층(13) 사이에 있는 불순물 첨가층이다. p^+ 형 다결정 실리콘층(21)은 적어도 셀 어레이 영역 전체에 걸치는 공통 전극으로 하여 형성하면 좋다.

[제3 실시예]

도 13a 및 도 13b는 제3 실시예에 의한 메모리 셀 구조를 도 12a 및 도 12b에 대응시켜서 나타내고 있다. 본 실시예에서는 BOX층(12)이 두껍게, 그 내부에 보조 게이트가 되는 다결정 실리콘층(21)을 매설하고 있다. 이 경우도, 다결정 실리콘층(21)은 적어도 셀 어레이 영역 전체에 걸치는 공통 전극으로서 매립 형성하면 좋다.

[제4 실시예]

도 14a 및 도 14b는 도 13의 구조를 약간 변형한 실시예이다. 본 실시예에서는 BOX층(12)에 매립되는 다결정 실리콘층(21)을 게이트 전극(15)으로 이루어진 워드선 WL과 병행하는 스트라이프형 플레이트선(보조 워드선)으로서 형성하고 있다. 다결정 실리콘층(21)은 워드선 방향에 단부, 예를 들면 워드선 드라이버가 배치되는 측과 반대측의 단부에서 컨택트 플래그(20)에 의해 보조 게이트 전압 Vbg의 인가 단자에 접속된다.

또, 도 14a 및 도 14b에 도시한 바와 같이 보조 게이트를 스트라이프형으로 분리하는 구조는 도 4a 및 도 4b의 제1 실시예의 확산층(18)이나, 도 12a 및 도 12b 및 도 13a 및 도 14b의 제2 실시예 및 제3 실시예의 다결정 실리콘층(21)의 경우에도 마찬가지로 채택할 수 있다.

[제5 실시예]

지금까지의 실시예에서는 MISFET로서, 기판면과 평행하게 채널이 형성되는 횡형 MISFET를 이용했지만, 기판면과 수직 방향으로 채널을 형성하는 종형 MISFET를 이용할 수도 있다. 그와 같은 실시예의 2메모리 셀부의 단면 구조를 도 15에 도시한다.

p형 실리콘 기판(31)의 전면에 n형층(32)이 형성되어 있으며, 이 n형층(32) 상의 각 메모리 셀 영역에, 기둥 형상의 p형 실리콘층(33)이 패턴 형성되어 있다. n형층(32)은 모든 메모리 셀의 공통 소스가 된다. p형 실리콘층(32)이 부유 채널 바디로서, 그 일 측면에 게이트 절연막(35)을 통해 대향하는 주 게이트(36)가 형성되고, 다른 쪽의 측면에는 게이트 절연막(37)을 통해 대향하는 보조 게이트(38)가 형성된다. 여기서는 인접한 메모리 셀 MC가 보조 게이트(38)를 공유하는 경우를 나타내고 있다. 주 게이트(36) 및 보조 게이트(38)는 각각 워드선 WL 및 플레이트선 PL로서, 일 방향으로 병행하여 연속적으로 배치된다. 각 p형 실리콘층(33)의 상면에는 드레인 확산층(34)이 형성된다. 층간 절연막(40) 상에 각 드레인(34)에 접속되는 비트선(41)이 배치된다.

본 실시예의 경우도, p형 실리콘층(33)의 두께(가로 방향의 폭) 및 불순물 농도를 선택하여 FD형 MISFET로서, 앞의 실시예와 동일한 동작이 가능하다.

[제6 실시예]

도 16a 및 도 16b는 횡형 MISFET이지만, 채널 바디의 저면의 전위 제어를 행하는 보조 게이트를 저면에는 직접 대향시키지 않고, 측면의 저면 근처의 부분에 대향시키도록 한 것이다. BOX층(12)의 바닥부에 n^+형 확산층(18)이 형성되어 있는 것은 도 4a 및 도 4b와 동일하지만, BOX층(12)은 두껍다. 그래서, 도 16b의 워드선 WL을 따른 단면에 도시한 바와 같이 BOX층(12) 내에, p형 실리콘층(13)의 바닥부 측면에 게이트 절연막(23)을 통해 대향하는 다결정 실리콘층(22)을 매립하고 있다. 여기서는 다결정 실리콘층(22)은 p형 실리콘층(13)의 양측에 매립되어 있으 며, 바닥부가 n^+형 확산층(18)에 접속되어 있다. 따라서, 다결정 실리콘층(22)이 p형 실리콘층(13)의 바닥부를 용량 결합에 의해 전위 제어하는 보조 게이트가 된다.

본 실시예에 의해서도, 앞의 실시예와 마찬가지의 메모리 동작이 가능한 것이 시뮬레이션에 의해 실증되었다. 이하, 그 3차원 디바이스 시뮬레이션의 결과를 나타낸다. 파라미터는 게이트 길이 L 및 게이트 폭 W가 L=W=0.175μm, 주 게이트측의 게이트 산화막 두께 toxf=6.5㎚, 채널 바디의 억셉터 농도 NA=1.0×10^{5} ㎝$^{-3}$, 주 게이트(15) 및 보조 게이트(22) 모두 n^+형 다결정 실리콘, 보조 게이트 전압 Vbg=-4V, 보조 게이트측의 게이트 산화막 두께 toxb=15㎚, 실리콘층(13)의 두께 tsi=140㎚, BOX층 두께 tBOX=200㎚이다. 측면의 다결정 실리콘층(22)은 채널 바디의 높이의 정확히 한 가운데까지 매립되어 있는 것으로 하였다.

도 17 및 도 18은 각각 제1 실시예의 도 8 및 도 9에 대응하는 '0' 기입/판독 및 '1' 기입/판독의 동작 파형이다. 또한, 도 19는 도 10에 대응하는 판독 시의 드레인 전류 Ids-게이트 전압 Vgs 특성이다. 본 실시예에서의 신호량은 ΔVth=250㎷이었다.

〔진성 실리콘을 채널 바디로 하는 MISFET〕

지금까지의 실시예에서는 p형 실리콘으로 이루어진 채널 바디를 갖는 n 채널 MISFET를 이용했다. 이에 대하여 실질적으로 불순물을 포함하지 않는 진성 실리콘을 채널 바디로 하는 MISFET를 이용할 수도 있다. 이렇게 하면, 채널 바디에 있어서의 불순물 확산에 의한 결정의 부정합 등에 기인한 누설 전류가 없어지고, 데이 터 보유 특성은 더욱 개선된다. MISFET의 임계치 Vth를 플러스 값으로 하기 위해서는 주 게이트에 p^+형 다결정 실리콘을 이용할 필요가 있다. 단, 임계치 Vth가 마이너스라도, 워드선 레벨, 비트선 레벨, 소스 레벨 등을 전부 약 -1V 내린 상태에서 동작시키면 좋기 때문에, 주 게이트에 n^+형 다결정 실리콘을 이용해도 좋다.

도 20a는 진성 실리콘을 채널 바디로서 이용한 MISFET의 경우의 '0', '1' 데이터의 임계치 Vth0, Vth1과 보조 게이트 전압 Vbg의 관계를 계산한 결과를 도 11에 대응시켜서 나타내고 있다. 이 경우, p^+형 다결정 실리콘 게이트를 가정하고 있다.

보조 게이트 전압 Vbg의 값은 '1' 데이터 셀의 채널 바디에 다수 캐리어를 축적할 수 있는 값보다 마이너스측이어야 한다. 또한, 보조 게이트 전압 Vbg를 '0' 데이터 셀의 채널 바디에도 다수 캐리어를 축적할 수 있는 값[도 20a에서는 Vbg=-2V]보다 마이너스측으로 하면, 신호량 ΔVth는 최대가 된다. 그러나, 데이터 보유 시간을 크게 하기 위해서는 '0' 데이터 셀의 채널 바디 내의 드레인, 소스 접합부의 전계가 작은 것이 중요하다. 그 의미로서는 '0' 데이터 셀의 채널 바디는 저면 전위를 크게 마이너스 방향으로 끌어내리지 않고 다수 캐리어가 축적되지 않는 완전 공핍 상태가 되도록 하는 것이 바람직하다. 그렇게 하기 위해서는 보조 게이트 전압 Vbg는 '0' 데이터 셀의 채널 바디에 다수 캐리어가 축적되는 값과, '1' 데이터 셀의 채널 바디에 다수 캐리어가 축적되는 값 사이의 값으로 설정하면 좋다. 구체적으로도 20a의 결과로서는 $-2.0V<Vbg<0.5V$의 범위로 설정한다. 단 지, 데이터 보유 시간이 요구되는 사양의 값보다 크게 취할 수 있으면, '0' 데이터 셀의 채널 바디에도 다수 캐리어를 축적할 수 있는 값보다 작은 전압 Vbg로 설정하여, 신호량을 최대로 하는 것도 바람직하다.

〔상술한 실시예에 있어서의 데이터 파라미터의 변동〕

다음으로, 상술한 실시예에 의한 DRAM을 제조할 때에 있어서의 각종 디바이스 파라미터의 변동에 대한 특성 변동을 조사하면, 다음의 표 1과 같다.

[표 1]

샘플 No.	0	1	2	3	4	5	6
NA[㎝$^{-3}$]	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15	1E+15
tox[nm]	10	10	10	10	10	8	12

tBOX[㎚]	30	30	30	20	40	30	30
tSi[㎚]	25	15	35	25	25	25	25
Vbg0[V]	-5	-7.5	-4	-4	-6.5	-5	-5
Vbg1[V]	-3	-4.5	-2.25	-2	-3.5	-3	-3
Vbgs[V]	-4.5	-6.75	-3.56	-3.5	-5.75	-4.5	-4.5
Vth0[㎷]	1050	1800	710	1100	1050	810	1290
Vth1[㎷]	620	1100	410	610	610	490	780
ΔVth[㎷]	430	700	300	490	440	320	510

표 1에서는 채널 길이 L과 채널 바디의 억셉터 농도 NA는 변동되더라도 영향이 적기 때문에 그 변동은 무시하고 있다. 그 외의 게이트 산화막 두께 tox, BOX층 두께 tBOX, 실리콘층 두께 tSi의 변동에 대하여, Vbg0은 '0' 데이터 셀의 바디에 다수 캐리어(정공)를 축적하는 데 필요한 최대의 보조 게이트 전압을 나타내고, Vbg1은 '1' 데이터 셀의 바디에 다수 캐리어(정공)를 축적하는 데 필요한 최대의 보조 게이트 전압을 나타내고 있다. 또한, 실제 보조 게이트 전압의 설정치 Vbgs로서, '0' 데이터 보유 시의 바디는 완전 공핍화되어 있지만, 신호량은 되도록이면 크게 취하는 조건으로부터, Vbgs=Vbg0+(Vbg1-Vbg0)×0.25를 나타내고, 그 때의 '0' 데이터 셀의 임계치 Vth0과, '1' 데이터 셀의 임계치 Vth1, 또한 이들 차 ΔVth를 나타내고 있다.

표 1에서, tox=10㎚±20%, tBOX=30㎚±33%, tSi=25㎚±40%의 변동을 나타낸 경우, 보조 게이트 전압의 최적 설정치 Vbgs는 -3.5V ~ -6.75V의 범위에서 변한다. 또한, '0' 데이터의 임계치 Vth0은 710㎷ ~ 1800㎷, '1' 데이터의 임계치 Vth1은 410㎷ ~ 1100㎷의 범위에서 변동한다.

이들 변동을 억제하는 것이 중요한 것에는 틀림없다. 위의 예에서는 의식적으로 변동을 크게 강조하고 있지만, 실제 ±10% 정도의 변동은 있을 수 있다. 이와 같은 전제로, 가령 변동해도 보조 게이트 전압 Vbgs와, 임계치 Vth0, Vth1의 변동에 따른 기입 시의 워드선의 고레벨 전압 VWLHW, 판독 시의 워드선의 전압 VWLHR, 유지 시의 워드선의 저레벨 전압 VWLL을 칩 선별 시험 시에 트리밍하는 것도 중요하다. 이들 파라미터 변동은 칩 단위 내에서는 없다고 생각해도 좋기 때문에, 칩마다의 트리밍으로 좋다. 또는, 웨이퍼 단위나 로트마다라도 좋은 경우도 있을 수 있다. 또한, 판독 시의 감지 증폭기에 대한 영향은 더미 셀로서 메모리 셀과 동일한 구조를 사용하는 한, Vth의 변동은 공통의 변동으로서 상쇄하기 때문에, 문제는 없다.

보조 게이트 전압 Vbgs와, 상술한 워드선 전위 VWLHW/VWLHR/VWLL의 트리밍에 대해서는 여러가지의 방식을 생각할 수 있지만, 예를 들면 메모리 셀과 동일한 구조의 테스트용 MISFET를 칩마다 배치한다. 선별 시험 시에 이 테스트용 MISFET에 대하여, '0' 데이터 기입/판독 및 '1' 데이터 기입/판독을 행하고, 그 MISFET의 3 극관 영역에서의 임계치 Vth0, Vth1을 측정한다. 마찬가지의 테스트를 보조 게이트 전압 Vbg를 바꾸면서 반복하여, 최적의 보조 게이트 전압 Vbgs를 결정한다.

도 20b는 그와 같은 칩 구성을 나타내는 도면이다. 이 도 20b에 도시한 바와 같이 메모리 셀 어레이(80) 외에, 미믹 트랜지스터(90)를 설치한다. 이 미믹 트랜지스터(90)는 메모리 셀 어레이(80)에 있는 메모리 셀 MC와 동일한 구성이다. 단지, 그 주 게이트 MG와 소스 영역 S와 드레인 영역 D와 보조 게이트 AG가 패드(92, 94, 96, 98)에 각각 접속되어 있는 점이 서로 다르다. 즉, 이 칩에는 미믹 트랜지스터(90)를 테스트하기 위한 패드(92, 94, 96, 98)가 설치되어 있다.

이에 따라, 패드(92)로부터 주 게이트 MG로, 주 게이트 전압 Vfg를 직접 부여하게 되며, 패드(98)로부터 보조 게이트 AC로, 보조 게이트 전압 Vbg를 직접 부여하게 된다. 또한, 패드(94)와 패드(96) 사이를 흐르는 전류를 측정함으로써, 이 미믹 트랜지스터(90)를 흐르는 소스/드레인 사이 전류를 직접 측정할 수 있게 된다. 따라서, 미믹 트랜지스터(90)에 '1' 데이터를 기입하거나, '0' 데이터를 기입하거나 할 수 있다. 또한, '1' 데이터를 기입한 상태의 임계치 Vth1을 용이하게 측정할 수 있게 되고, '0' 데이터를 기입한 상태의 임계치 Vth0도 용이하게 측정할 수 있게 된다.

이러한 구성의 미믹 트랜지스터(90)를 설치함으로써, 칩 테스트로 기입 시의 워드선의 고레벨 전압 VWLHW, 판독 시의 워드선의 전압 VWLHR, 유지 시의 워드선의 저레벨 전압 VWLL, 보조 게이트 전압 Vbg를 몇 볼트로 설정하면 좋은가를 정확하게 측정할 수 있다.

한편, 메모리 칩에는 동작 조건을 초기 설정하기 위한 초기 설정 데이터 기억 회로로서, 퓨즈 등의 불휘발성 기억 소자를 탑재해 둔다. 그리고, 상술한 테스트 결과에 기초하여 퓨즈를 프로그램한다. 이 프로그램 데이터는 전원 투입 시에 자동적으로 판독되어, 메모리 칩 내의 보조 게이트 전압 설정 회로, VWLHW/ VWLHR/VWLL 등의 워드선 전압 발생 회로 등이 초기 설정되도록 한다. 이렇게 하여, 메모리 칩마다 최적의 동작 조건을 설정할 수 있다.

[제1 실시예의 셀 어레이 구조]

도 21은 제1 실시예 대응의 구체적인 셀 어레이의 레이아웃이고, 도 22, 도 23 및 도 24는 각각 도 21의 Ⅰ-Ⅰ', Ⅱ-Ⅱ' 및 Ⅲ-Ⅲ' 단면도이다. SOI 기판의 p형 실리콘층(13)은 도 23 및 도 24에 도시한 바와 같이 STI(Shallow Trench Isolation)에 의해 매립된 소자 분리 절연막(106)에 의해 비트선 BL의 방향으로 연속하는 스트라이프형 소자 형성 영역으로서 구획된다. 그리고, 각 p형 실리콘층 (13)에 소스(16) 및 드레인(17)을 각각 비트선 방향에 인접한 MISFET로 공유하는 형으로 복수의 MISFET가 배열 형성된다.

게이트 전극(15)은 워드선 WL로서, 비트선 BL과 교차하는 방향, 구체적으로는 직교하는 방향으로 연속적으로 배치된다. 게이트 전극(15)의 상면 및 측면은 실리콘 질화막(101)으로 덮힌 상태로 한다. 소자를 덮는 층간 절연막(103) 내에는 워드선 WL 방향으로 배열되는 MISFET의 소스(16)를 공통 접속하는 공통 소스선(SL: 102)이 다결정 실리콘 배선으로서 형성된다. 층간 절연막(103) 상에 MISFET의 드 레인에 접속되는 비트선(BL: 105)이 배치된다. 보조 게이트로서의 n^+ 형층(18)은 셀 어레이 전체에 걸치는 공통 전극으로서 형성된다.

워드선 WL 및 비트선 BL을 최소 가공 치수 F의 라인/스페이스로 형성했다고 하면, 단위 셀 면적은 도 21에 일점쇄선으로 도시한 바와 같이 $4F^2$ 가 된다.

[제5 실시예 대응의 셀 어레이 구조]

도 25는 도 15에 기본 셀 구조를 나타낸 제5 실시예 대응의 구체적인 셀 어레이의 레이아웃이고, 도 26 및 도 27은 각각 도 25의 I-I' 및 II-II' 단면도이다. p/n/p 구조의 실리콘 웨이퍼를 이용하여, n형층(32)에 달하는 깊이의 홈을 가공함으로써, 기둥 형상의 p형 실리콘층(33)이 배열 형성된다. 홈에는 절연막(39)이 매립된다. 이 절연막(39)에 워드선 WL 및 플레이트선 PL의 매립 위치에 홈을 형성하고, 실리콘층(33)의 양측면에 게이트 절연막(35, 37)을 통해 대향하는 주 게이트 (36) 및 보조 게이트(38)가 매립된다. 주 게이트(36) 및 보조 게이트(38)는 도 25에 도시한 바와 같이 병행하는 워드선 WL 및 플레이트선(보조 워드선) PL로서 패턴 형성된다.

게이트 절연막(35, 37)은 동일한 막 두께로 하는 경우에는 동시에 형성해도 되지만, 다른 막 두께로 하기 위해서는 별도의 공정이 필요하게 된다. 주 게이트 (36) 및 보조 게이트(38)의 상면 및 측면은 실리콘 질화막(110)으로 덮힌 상태로 한다. 그리고, 실리콘층(33)의 상면에 드레인(34)을 확산 형성한 후, 층간 절연막 (40)을 퇴적하고 있다. 층간 절연막(40)에 컨택트 플러그(122)를 매립하고, 그 위 에 비트선(BL: 41)을 배치하여 셀 어레이가 구성된다.

도 25에 도시한 바와 같이 플레이트선 PL은 비트선 BL 방향에 인접한 두 개의 메모리 셀에서 공유하도록, 두 개의 워드선 WL에 끼워진 상태에서 배치되어 있다. 워드선 WL 및 플레이트선 PL의 라인/스페이스를 F, 비트선 BL의 라인/스페이스를 F로 하여, 본 실시예의 경우, 단위 셀 면적은 $6F^2$ 가 된다.

[제6 실시예 대응의 셀 어레이 구조]

도 28은 도 16에 기본 셀 구조를 나타낸 제6 실시예 대응의 구체적인 셀 어레이의 레이아웃이고, 도 29, 도 30 및 도 31은 각각 도 28의 I-I', II-II' 및 III-III' 단면도이다. 도 28 및 도 29의 기본 셀 어레이 구조는 도 21 및 도 22와 마찬가지이지만, 비트선 BL과 병행하여, 각 비트선 BL의 간극부에 보조 게이트가 되는 다결정 실리콘막(22)이 매립되는 점이 다르다. 도 30에 도시한 바와 같이 다결정 실리콘막(22)은 p형 실리콘층(13)의 측면 바닥부에 대향하도록, 구체적으로는 p형 실리콘층(13)의 두께의 한가운데 정도에 상면이 위치하도록, BOX층(12) 내에 매립되고, 이것이 플레이트선(보조 워드선) PL이 된다.

[메모리 칩 등가 회로]

지금까지 셀 어레이의 구조예를 설명했지만, 주변 회로를 포함해서 메모리 칩의 등가 회로를 나타내면, 도 32와 같다. 메모리 셀 어레이(201)의 주 게이트로 이루어진 워드선은 로우 디코더(워드선 드라이버를 포함함: 205)에 의해 선택 구동된다. 메모리 셀 어레이(201)의 비트선은 감지 증폭기(202)에 접속되고, 컬럼 디 코더(203)에 의해 선택된 컬럼의 비트선이 데이터 버퍼(204)를 통해 I/O 단자와 데이터 수수가 행해진다.

어드레스 신호는 어드레스 버퍼(206)에 입력되고, 로우 어드레스, 컬럼 어드레스가 각각 로우 디코더(205), 컬럼 디코더(203)에 의해 디코드된다.

로우 디코더(205)를 통해 셀 어레이의 워드선에 부여되는 각종 제어 전압 VWL(상술한 바와 같이 기입 시의 고레벨 워드선 전압 VWLHW, 판독 시의 워드선 전압 VWLHR, 보유 시의 저레벨 워드선 전압 VWLL을 포함함), 및 보조 게이트에 주어지는 고정의 보조 게이트 전압 Vbg는 승압 회로 등을 이용한 내부 전압 발생 회로 (207)에 의해 발생된다. 전압 발생 회로(207)의 출력 전압을 칩마다 최적치로 설정하기 위해서, 초기 설정 레지스터(209)가 설치되어 있다. 상술한 바와 같이, 테스트 결과에 의해 전압 발생 회로(207)가 출력하는 각종 전압을 최적 설정하기 위한 불휘발성 기억 회로로서 퓨즈 회로(208)가 설치되어 있다. 이 퓨즈 회로(208)의 프로그래밍에 의해 각종 전압의 초기 설정치가 결정된다. 그리고, 메모리 동작시킬 때에는 전원 투입을 검출하는 파워 온 검출 회로 (210)의 출력에 의해 퓨즈 회로(208)의 데이터가 초기 설정 레지스터(209)에 자동적으로 판독되고, 이 초기 설정 레지스터(209)의 출력에 의해 전압 발생 회로 (207)가 제어되어 칩마다 최적화된 제어 전압 VWL이나 보조 게이트 전압 Vbg가 발생되도록 하고 있다.

발명의 효과

본 발명에 따르면, 완전 공핍형 MISFET에 의해 메모리 셀을 구성함으로써, 셀 사이즈 또는 칩 사이즈의 미세화 시에는 누설 전류를 억제하고, 우수한 데이터 보유 특성을 얻을 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 메모리 장치에 있어서,

반도체 기판(11); 및

상기 반도체 기판상에 절연막(12)을 통해 형성된 메모리 셀(MC) - 상기 각각의 메모리 셀은 1비트의 데이터를 저장하기 위한 유닛이고, 하나의 완전 공핍형 MISFET로 이루어짐- 을 포함하며,

상기 각각의 메모리 셀은,

상기 절연막상에 형성된 반도체층(13)과,

상기 반도체층내에 형성된 소스 영역(16)과,
상기 반도체층내에 상기 소스 영역과 떨어져서 형성된 드레인 영역(17)으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체층이 부유 상태의 채널 바디가 되는 드레인 영역과,
상기 채널 바디의 제1 면에 형성된 채널을 형성하기 위한 주 게이트(15)와,
상기 채널 바디의 제1 면과 반대측의 제2 면에 형성된 보조 게이트(18)
를 포함하고,
상기 MISFET는 상기 채널 바디의 제2 면의 일부에 다수 캐리어가 축적된 제1 데이터 상태와, 상기 채널 바디의 제2 면의 일부에 축적된 다수 캐리어가 방출된 제2 데이터 상태를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.
제1항에 있어서,
상기 제1 데이터 상태는 상기 MISFET를 5극관 동작시켜서 드레인 접합 근방에서 임팩트 이온화를 일으킴으로써 설정되고,
상기 제2 데이터 상태는 상기 채널 바디와 상기 드레인 영역 사이에 순방향 바이어스 전류를 흘림으로써 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3.
제1항에 있어서,
상기 채널 바디의 제1 면은 상기 반도체층의 표면이고, 상기 채널 바디의 제2 면은 상기 반도체층의 이면이며, 상기 주 게이트는 게이트 절연막을 통해 표면상에 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.
제3항에 있어서,
상기 보조 게이트(18)는 상기 반도체 기판(11) 상에 형성된 불순물 확산층인 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.
제3항에 있어서,
상기 보조 게이트는 상기 반도체 기판(11)과 상기 절연막(12) 사이에 매립된 불순물 첨가층(21)인 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.
제3항에 있어서,
상기 보조 게이트는 상기 절연막(12) 내에 매립된 불순물 첨가층(21)인 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.
제3항에 있어서,
상기 주 게이트는 한 방향으로 연속적으로 형성되어 워드선(WL)을 구성하고,
상기 보조 게이트는 상기 절연막(12) 내에 매립된 불순물 첨가층(21)으로서, 상기 워드선에 평행하게 스트라이프 형상으로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.
제3항에 있어서,
상기 보조 게이트는 상기 절연막(12) 내에 상기 반도체층(13)의 이면 근처의 측면에 대향하도록 매립되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.
제1항에 있어서,
복수의 MISFET가 매트릭스 배열되고, 각 MISFET의 드레인 영역(17)은 비트선 (BL)에 접속되고, 주 게이트(15)는 비트선과 교차하는 워드선(WL)에 접속되고, 소스 영역(16)은 고정 전위선에 접속되어 셀 어레이가 구성되고,
상기 보조 게이트(18)는 상기 복수의 메모리 셀의 공통 전극으로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.
제9항에 있어서,
상기 보조 게이트는 상기 셀 어레이 전체의 공통 전극으로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.
제8항에 있어서,
복수의 MISFET가 매트릭스 배열되고, 각 MISFET의 드레인 영역(17)은 비트선 (BL)에 접속되고, 주 게이트(15)는 비트선과 교차하는 워드선(WL)에 접속되고, 상기 보조 게이트는 비트선과 평행한 플레이트선(PL)에 접속되고, 소스 영역(16)은 고정 전위선에 접속되어 셀 어레이가 구성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.
제1항에 있어서,
복수의 MISFET가 매트릭스 배열되고, 각 MISFET의 드레인 영역(17)은 비트선 (BL)에 접속되고, 주 게이트(15)는 비트선과 교차하는 워드선(WL)에 접속되고, 소스 영역(16)은 고정 전위선에 접속되어 셀 어레이가 구성되고,
상기 보조 게이트(18)는 상기 비트선에 평행하며, 또한 상기 비트선 사이에 위치하는 보조 게이트선(PL)으로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.
제1항에 있어서,

상기 메모리 셀(MC) 외에, 상기 MISFET와 동일한 구성의 미믹 트랜지스터 (90)를 구비하고 있으며, 이 미믹 트랜지스터를 이용하여 테스트를 행하여 상기 MISFET에 부여하는 각종 전압을 설정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제13항에 있어서,
상기 미믹 트랜지스터(90)의 주 게이트와 보조 게이트와 소스 영역과 드레인 영역이 각각 테스트용 패드에 접속되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제1항에 있어서,
상기 주 게이트에 기입/판독/유지의 각 동작 모드에 따라 주어지는 각종 제어 전압, 및 상기 보조 게이트에 메모리 동작 중에 주어지는 고정 전압을 발생하는 내부 전압 발생 회로와,
테스트 결과에 따라 상기 각종 제어 전압 및 고정 전압의 값을 프로그래밍할 수 있는 불휘발성 기억 회로와,
상기 불휘발성 기억 회로의 판독 데이터를 보유하여 상기 내부 전압 발생 회로의 출력 전압을 제어하는 초기 설정 레지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제15항에 있어서,
상기 메모리 셀(MC) 외에, 상기 MISFET와 동일한 구성의 미믹 트랜지스터 (90)로서, 주 게이트와 소스 영역과 드레인 영역이 각각 테스트용 패드에 접속된 미믹 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17.

반도체 기판(31) 상에 형성된 메모리 셀(MC)을 구성하기 위한 복수의 완전 공핍형 MISFET를 포함하는 반도체 메모리 장치에 있어서,
각 MISFET는
상기 반도체 기판 상에 기둥 형상으로 형성된 기둥 형상 반도체층(33)과,
상기 기둥 형상 반도체층의 상부 또는 하부의 한쪽에 형성된 소스 영역(32)과,
상기 기둥 형상 반도체층의 상부 또는 하부의 다른 쪽에, 상기 소스 영역과 떨어져서 형성된 드레인 영역(34)으로서,
상기 소스 영역과 상기 드레인 영역 사이의 상기 기둥 형상 반도체층이 부유 상태의 채널 바디가 되는 드레인 영역과,
상기 채널 바디의 제1 측면에 형성된 채널을 형성하기 위한 주 게이트(36)와,
상기 채널 바디의 제1 측면과 반대측의 제2 측면에 형성된 보조 게이트(38)
를 포함하며,
상기 MISFET는 상기 주 게이트로부터의 전계에 의해 상기 채널 바디가 완전 공핍화한 상태와, 그리고 상기 보조 게이트로부터의 전계에 의해 상기 채널 바디의 제2 측면에 다수 캐리어가 축적 가능하게 한 상태를 기준 상태로 하여,
상기 채널 바디의 제2 측면에 다수 캐리어가 축적된 제1 데이터 상태와, 상기 채널 바디의 제2 측면의 다수 캐리어를 방출시킨 제2 데이터 상태를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

제17항에 있어서,
상기 제1 데이터 상태는 MISFET를 5극관 동작시켜서 드레인 접합 근방에서 임팩트 이온화를 일으킴으로써 기입되고,
상기 제2 데이터 상태는 상기 채널 바디와 드레인 사이에 순방향 바이어스 전류를 흘림으로써 기입되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19.

제17항에 있어서,
상기 소스 영역(32)은 상기 기둥 형상 반도체층의 하부에서, 복수의 메모리 셀에서 공용되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20.

제19항에 있어서,
상기 소스 영역은 셀 어레이 전체에서 공용되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21.

제17항에 있어서,
복수의 MISFET가 매트릭스 배열되고, 각 MISFET의 드레인 영역(34)은 비트선 (BL)에 접속되고, 주 게이트는 비트선과 교차하는 워드선(WL)에 접속되고, 보조 게이트는 각 워드선과 병행하는 플레이트선(PL)에 접속되고, 소스 영역(32)은 고정 전위선에 접속되어 셀 어레이가 구성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 22.

제17항에 있어서,
상기 메모리 셀(MC) 외에, 상기 MISFET와 동일한 구성의 미믹 트랜지스터 (90)를 구비하고 있으며, 이 미믹 트랜지스터를 이용하여 테스트를 행하고 상기 메모리 셀에 제공하는 각종 전압을 설정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 23.

제22항에 있어서,

상기 미믹 트랜지스터(90)의 주 게이트와 보조 게이트와 소스 영역과 드레인 영역이 각각 테스트용 패드에 접속되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 24.

제17항에 있어서,
상기 주 게이트에 기입/판독/유지의 각 동작 모드에 따라 주어지는 각종 제어 전압 및 상기 보조 게이트에 메모리 동작 중에 주어지는 고정 전압을 발생하는 내부 전압 발생 회로와,
테스트 결과에 따라 상기 각종 제어 전압 및 고정 전압의 값을 프로그래밍할 수 있는 불휘발성 기억 회로와,
상기 불휘발성 기억 회로의 판독 데이터를 보유하여 상기 내부 전압 발생 회로의 출력 전압을 제어하는 초기 설정 레지스터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 25.

제24항에 있어서,
상기 메모리 셀(MC) 외에, 상기 MISFET와 동일한 구성의 미믹 트랜지스터 (90)로서, 주 게이트와 소스 영역과 드레인 영역이 각각 테스트용 패드에 접속된 미믹 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 26.

반도체 기판상에 절연막을 통해 메모리 셀(MC)을 구성하는 완전 공핍형 MISFET를 포함하는 반도체 메모리 장치에 있어서,
상기 각 MISFET는
상기 절연막상에 형성된 반도체층과,
상기 반도체층내에 형성된 소스 영역과,
상기 반도체층내에 상기 소스 영역과 떨어져서 형성된 드레인 영역으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체층이 부유 상태의 채널 바디가 되는 드레인 영역과,
상기 채널 바디의 제1 면에 형성된 채널을 형성하기 위한 주 게이트와,
상기 채널 바디의 제2 면 - 상기 제2 면은 상기 제1 면과 반대임 - 에 형성되며, 일정한 전압이 인가되는 보조 게이트 단자에 접속되는 보조 게이트를 포함하며,
상기 MISFET는 상기 채널 바디의 제2 면의 일부에 다수 캐리어가 축적된 제1 데이터 상태와, 상기 채널 바디의 제2 면의 일부에 축적된 다수 캐리어가 방출된 제2 데이터 상태를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 27.

제26항에 있어서,
상기 제1 데이터 상태는 상기 MISFET를 5극관 동작시켜서 드레인 접합 근방에서 임팩트 이온화를 일으킴으로써 설정되고,
상기 제2 데이터 상태는 상기 채널 바디와 드레인 영역 사이에 순방향 바이어스 전류를 흘림으로써 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 28.

제26항에 있어서,
상기 채널 바디의 제1 면은 상기 반도체층의 표면이고, 상기 채널 바디의 제2 면은 상기 반도체층의 이면이며, 상기 주 게이트는 게이트 절연막을 통해 표면상에 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

청구항 29.

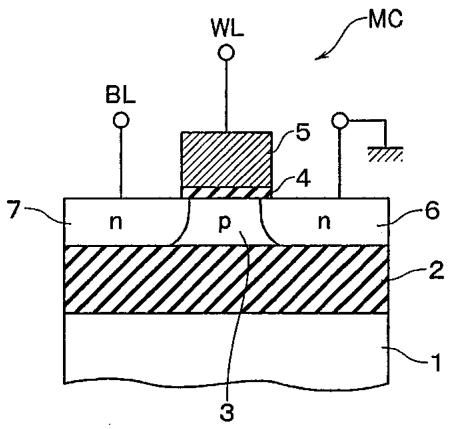
제28항에 있어서,
상기 보조 게이트(18)는 상기 반도체 기판(11) 상에 형성된 불순물 확산층인 것을 특징으로 하는 반도체 메모리 장치.

청구항 30.

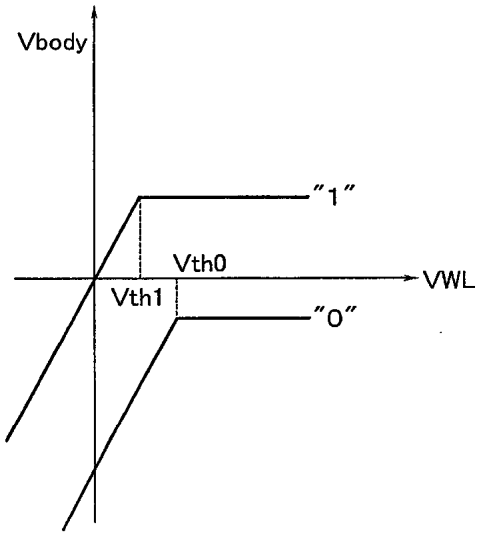
제28항에 있어서,
상기 보조 게이트는 상기 반도체 기판(11)과 상기 절연막(12) 사이에 매립된 불순물 첨가층(21)인 것을 특징으로 하는 반도체 메모리 장치.

도면

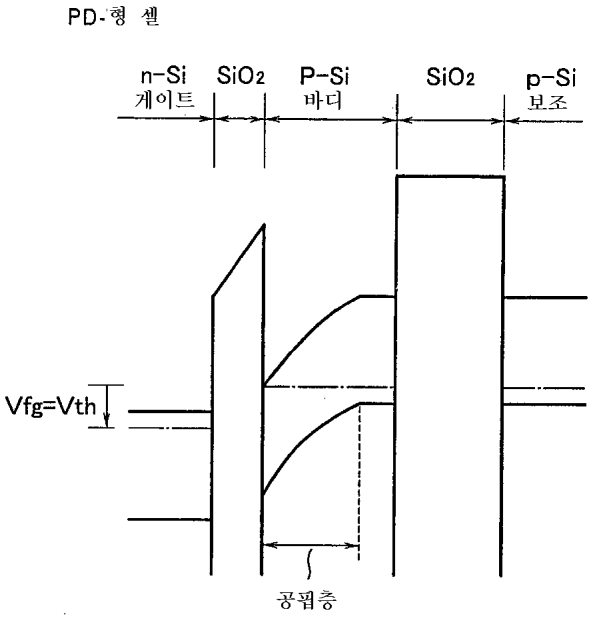
도면1


WL
MC
BL
5
4
7
n
p
n
6
2
1
3

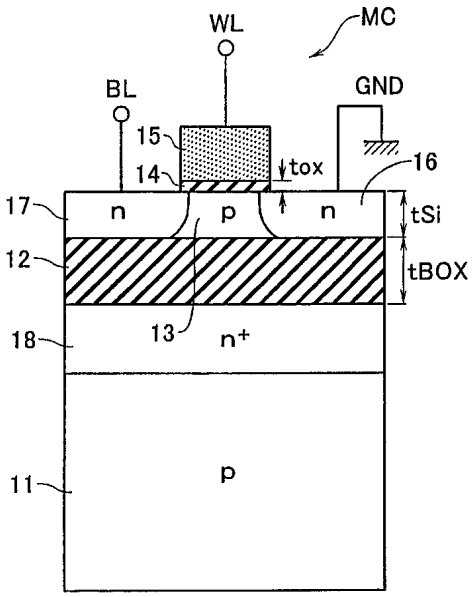
도면2


Vbody
"1"
Vth0
VWL
Vth1
"0"

도면3

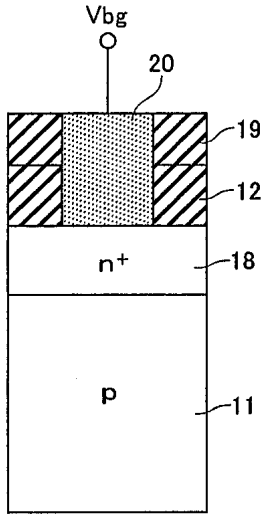

PD-형 셀
n-Si
게이트
SiO2
P-Si
바디
SiO2
p-Si
보조
Vfg=Vth
공핍층

도면4a



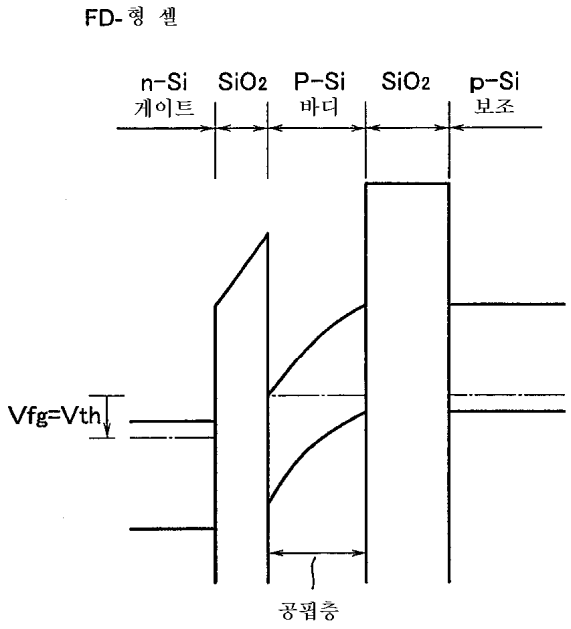
셀 영역

도면4b



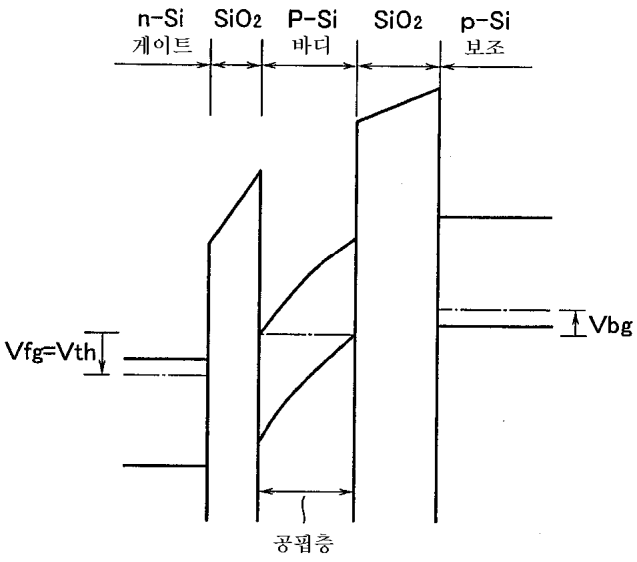
주변 영역

도면5

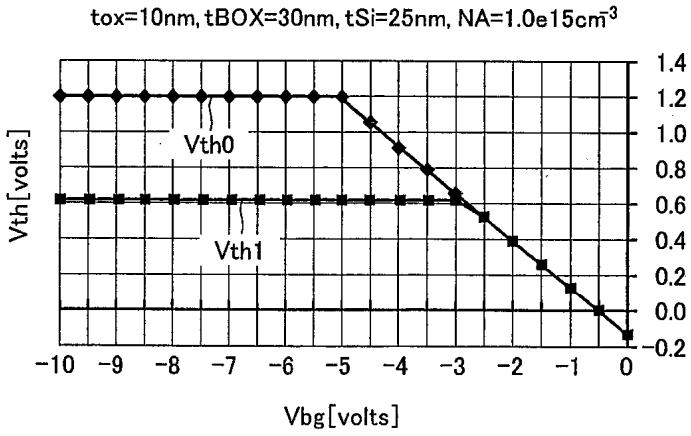


도면6

FD형 셀의 "0" 상태

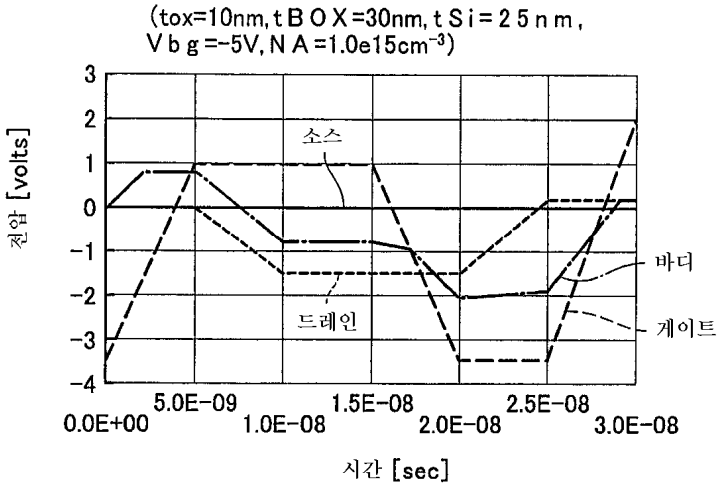


도면7



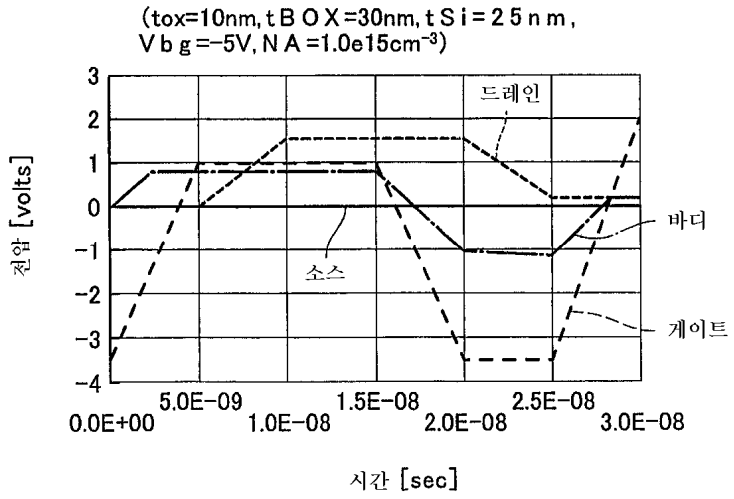
도면8

"0" 기입/판독

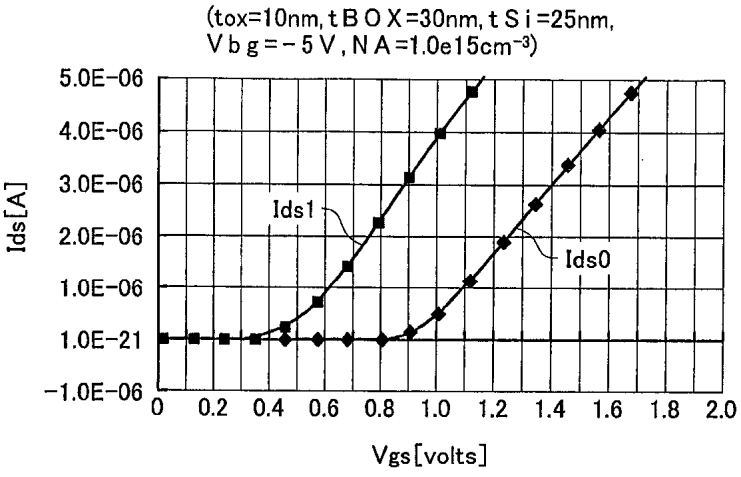


도면9

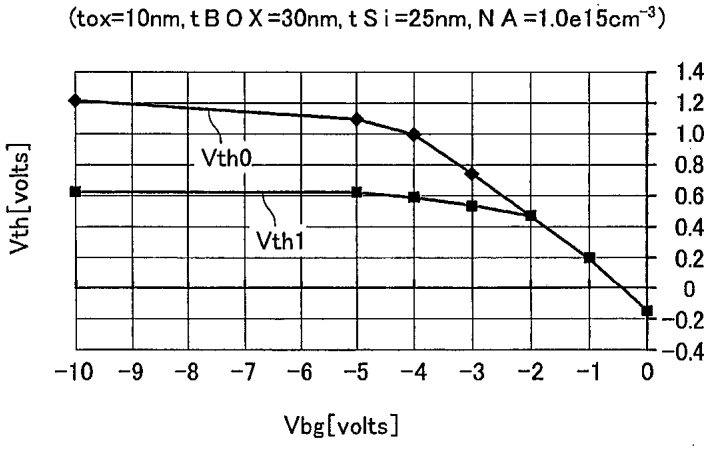
"1" 기입/판독



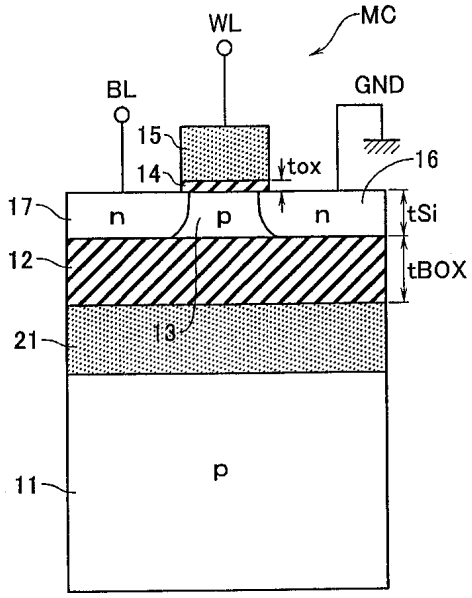
도면10



도면11

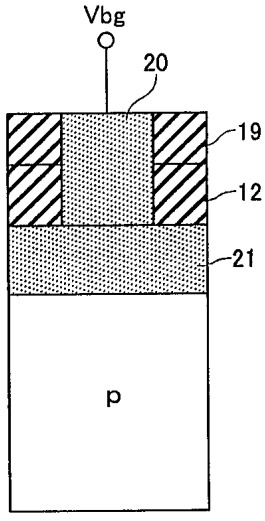


도면12a



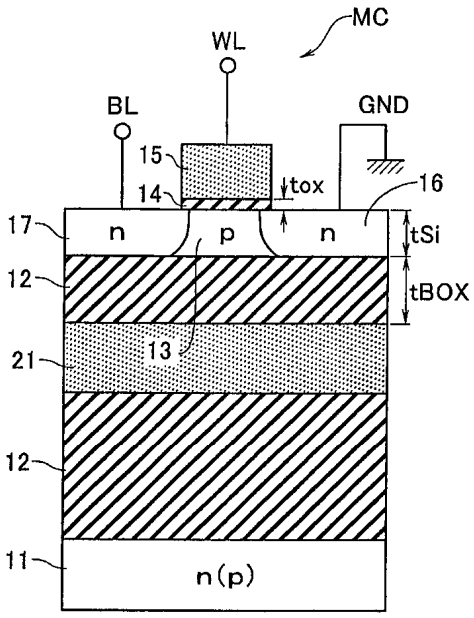
셀 영역

도면12b



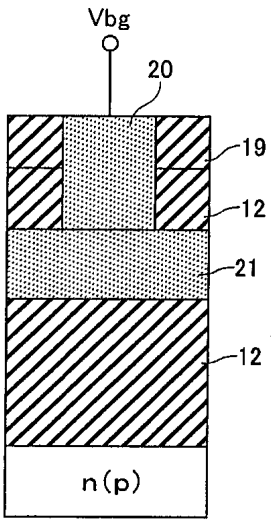
주변 영역

도면13a



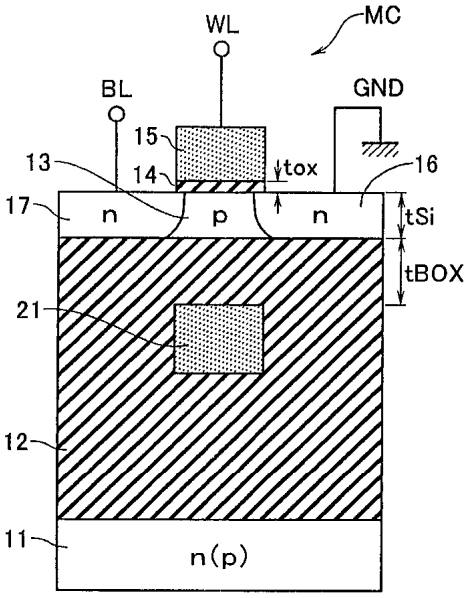
셀 영역

도면13b



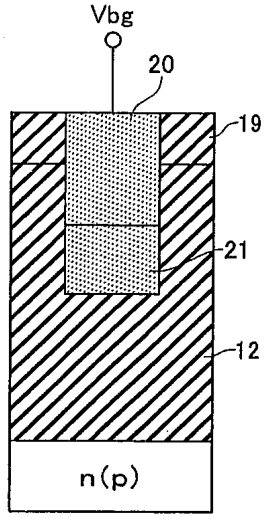
주변 영역

도면14a



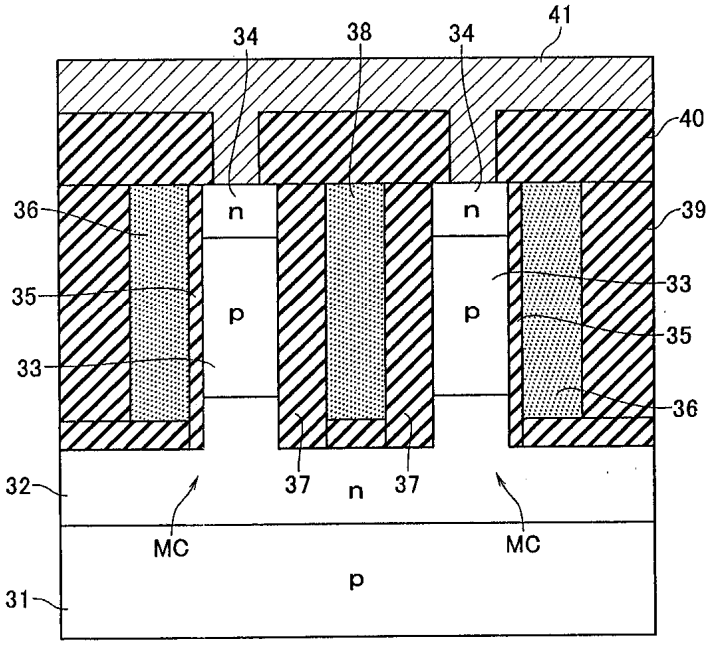
셀 영역

도면14b

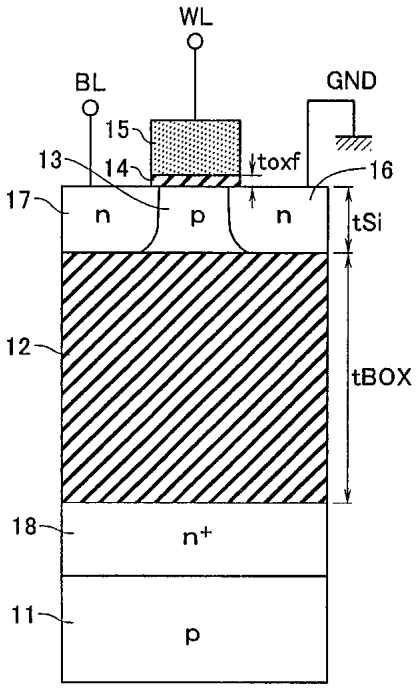


주변 영역

도면15

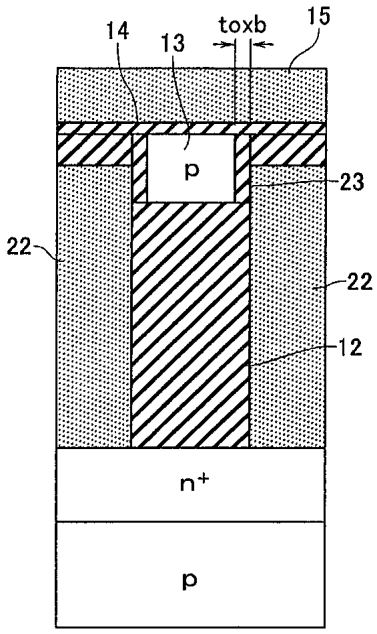


도면16a



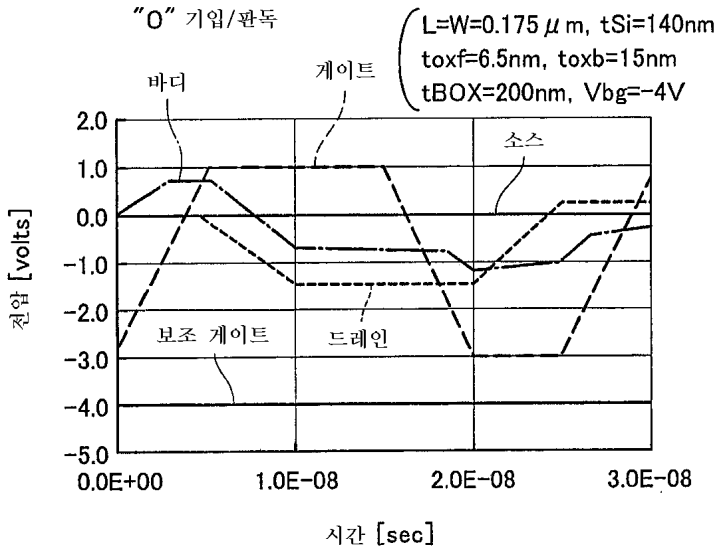
셀 영역
(BL을 따른 단면)

도면16b

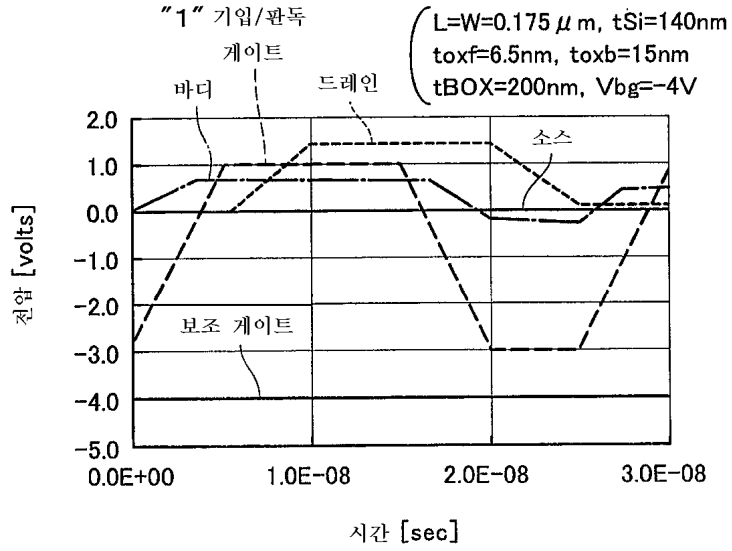


셀 영역
(WL을 따른 단면)

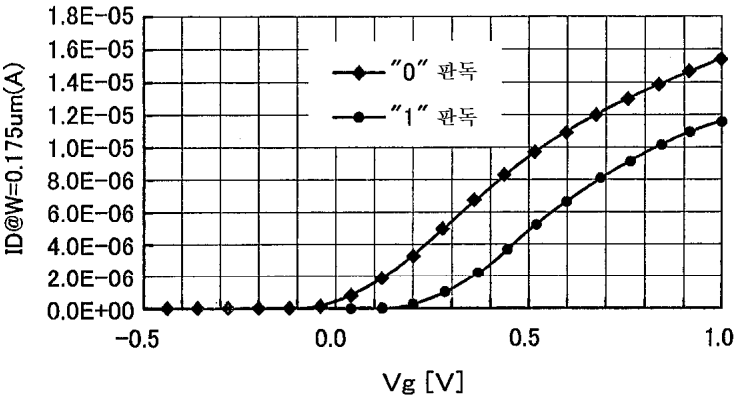
도면17



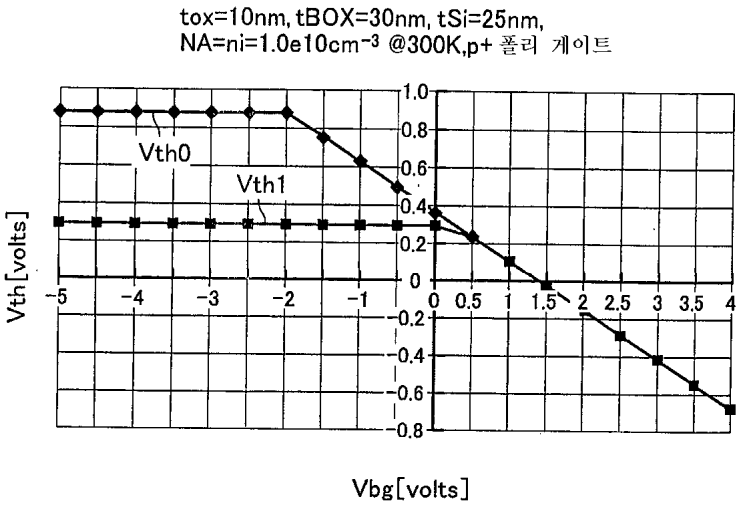
도면18



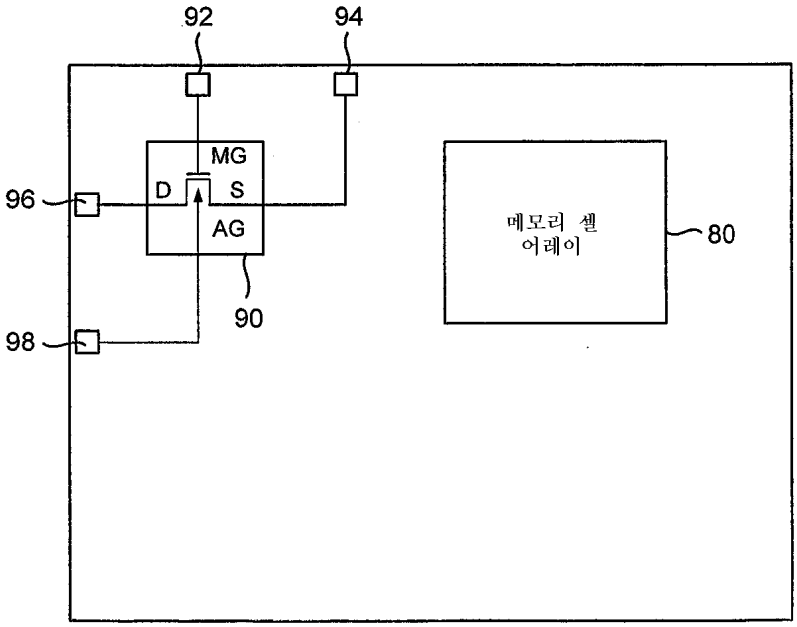
도면19



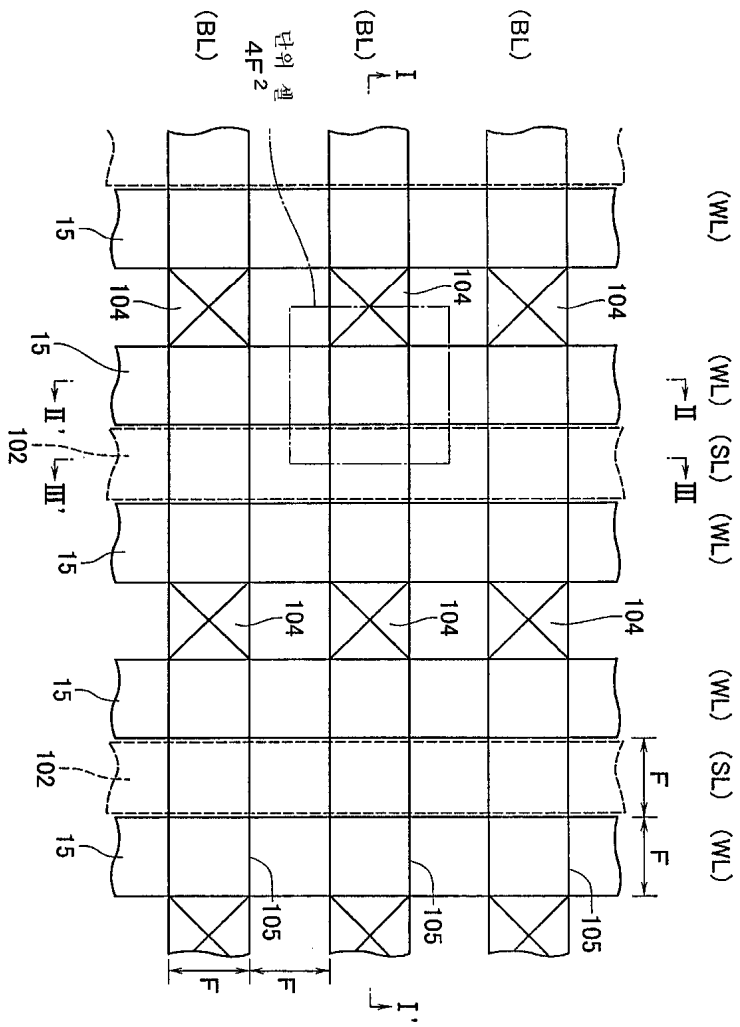
도면20a



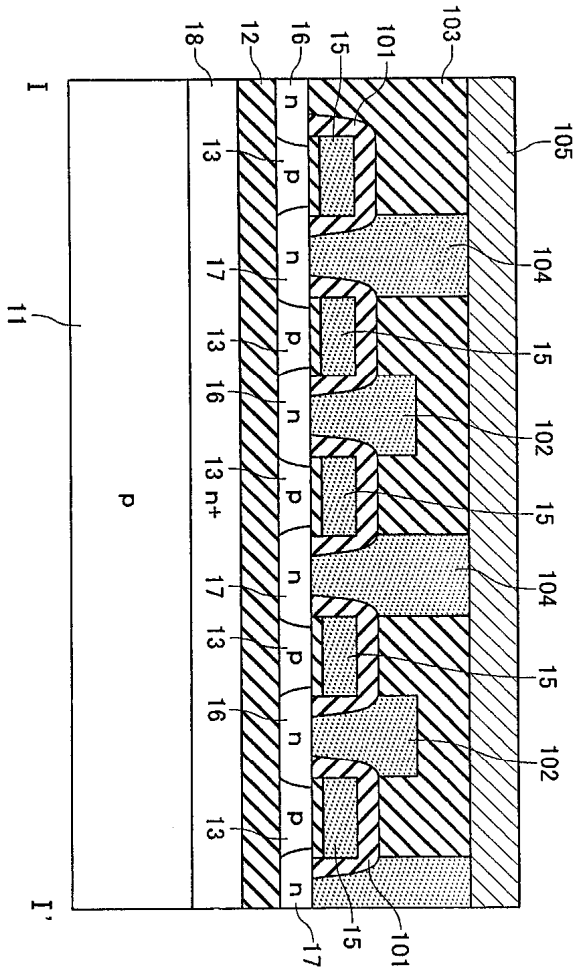
도면20b


92
94
MG
D
S
AG
96
98
90
메모리 셀
어레이
80

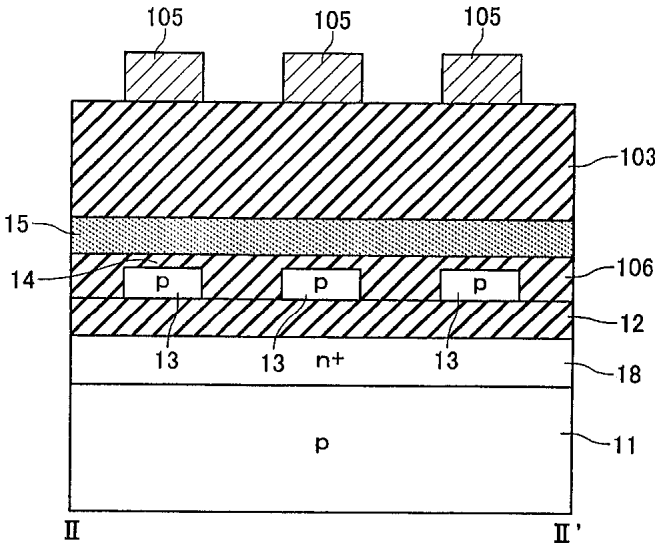
도면21


(BL)
(BL)
(BL)
단위 셀
4F²
I
I'
(WL)
(WL)
(SL)
(WL)
(WL)
(SL)
(WL)
II
II'
III
III'
15
102
104
105
F

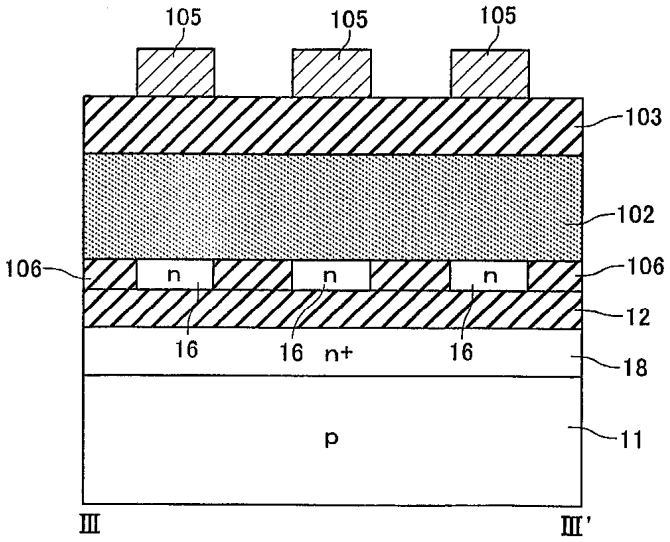
도면22


I
I'
11
p
18
12
16
15
101
103
105
104
102
n
p
13
17
16
13 n+

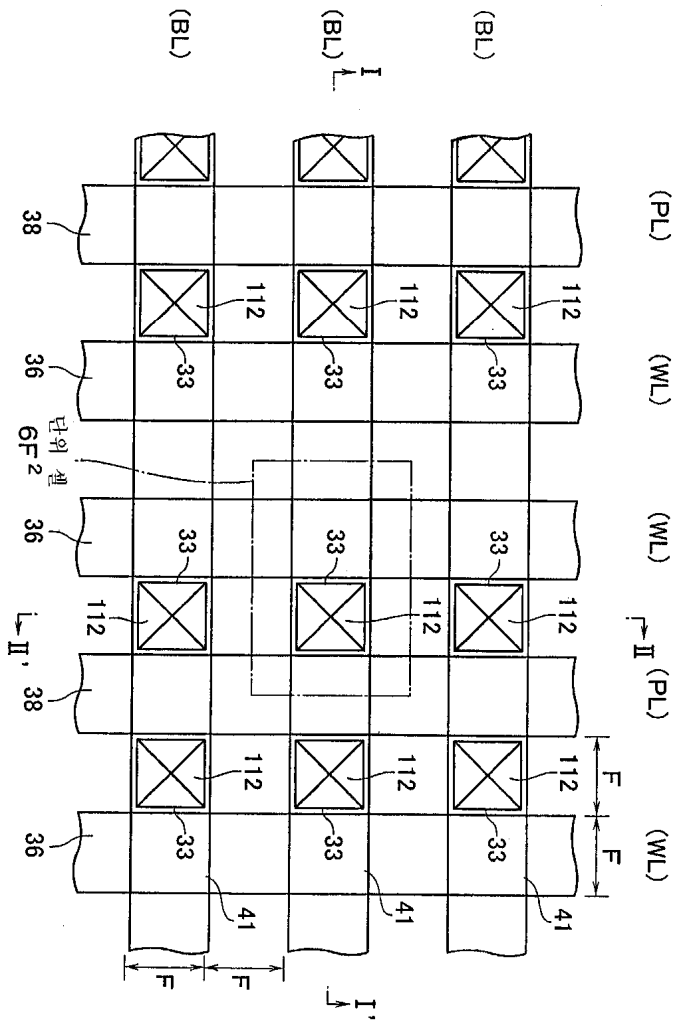
도면23


105
105
105
103
15
14
106
p
12
13
13
n+
13
18
11
II
II'

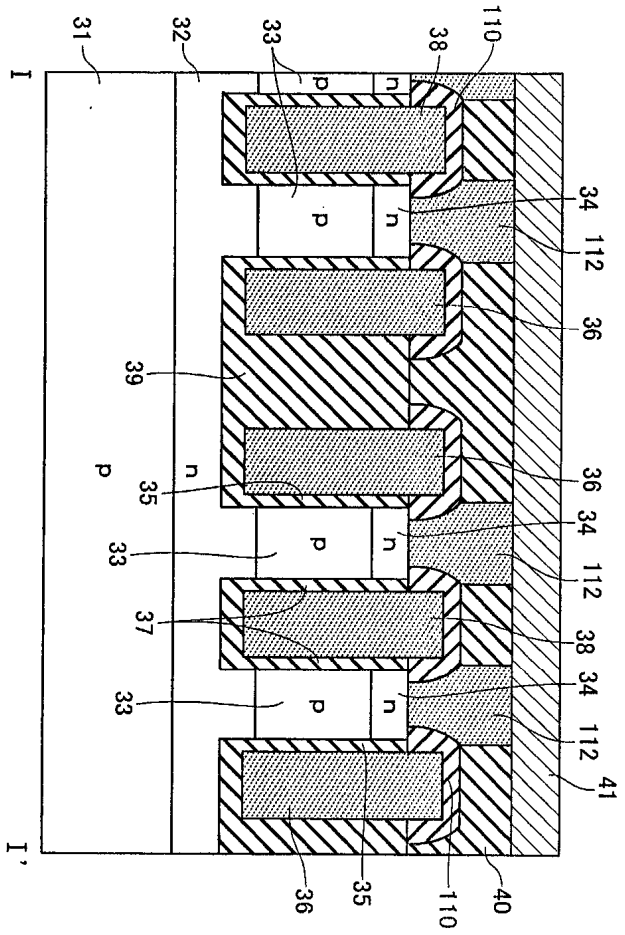
도면24


105
105
105
103
102
106
n
n
n
106
12
16
16
n+
16
18
p
11
Ⅲ
Ⅲ'

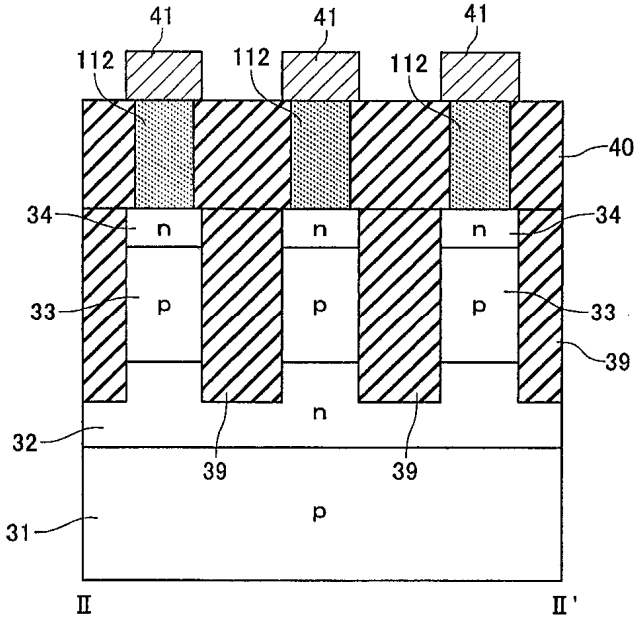
도면25


(BL)
(BL)
(BL)
I
(PL)
38
112
112
112
(WL)
36
33
33
33
단위 셀
6F²
(WL)
36
33
33
33
112
112
112
Ⅱ'
Ⅱ
38
(PL)
112
112
112
F
F
(WL)
36
33
33
33
41
41
41
F
F
I'

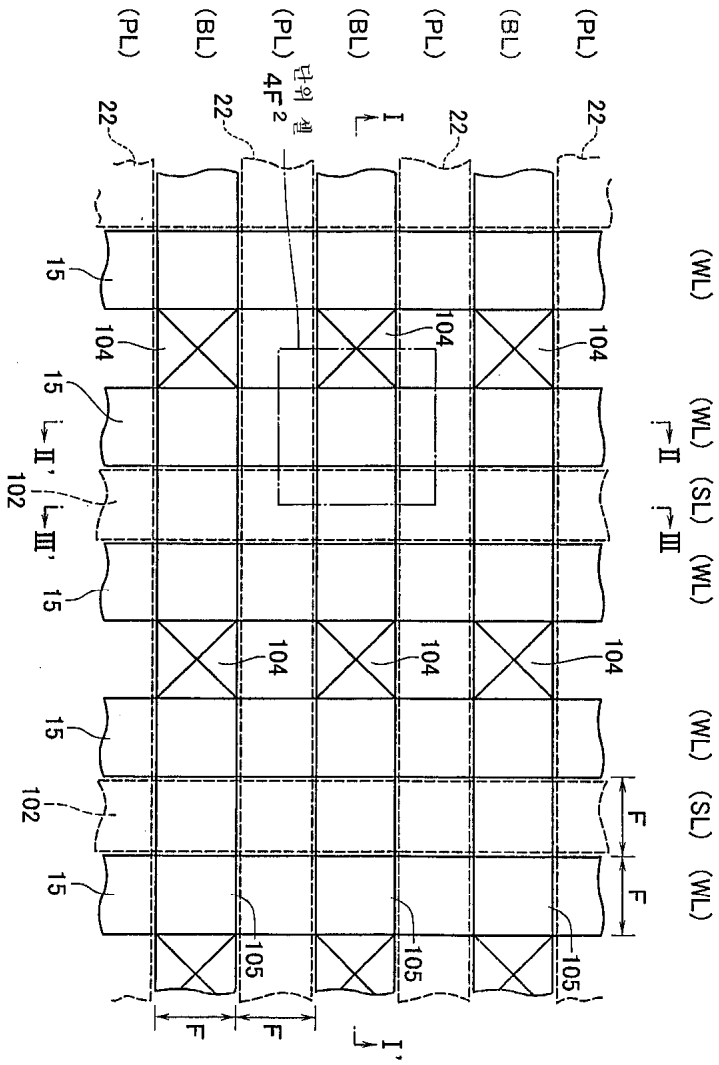
도면26


31
32
33
38
110
I
I'
p
n
34
112
36
39
35
37

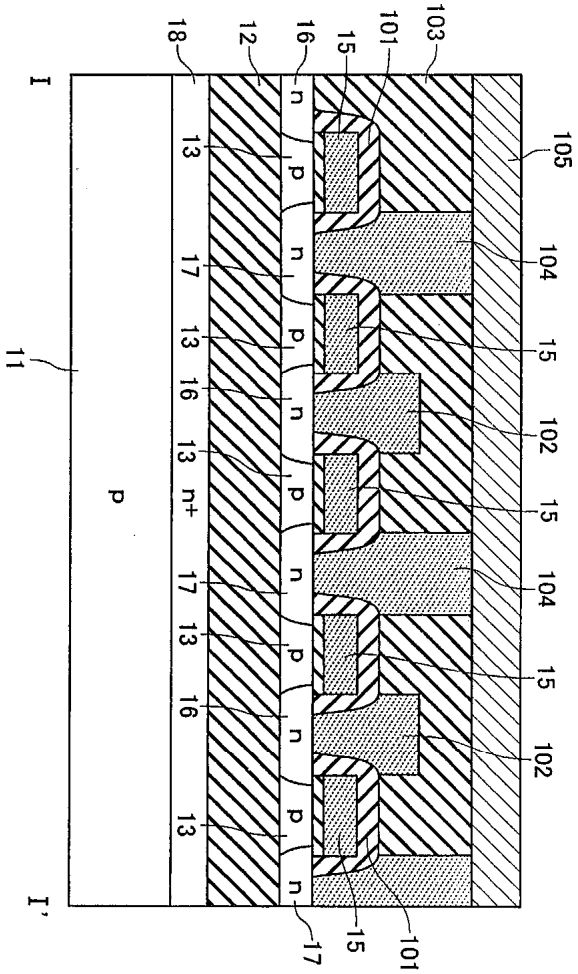
도면27


41
112
40
34
33
39
32
31
II
II'
n
p

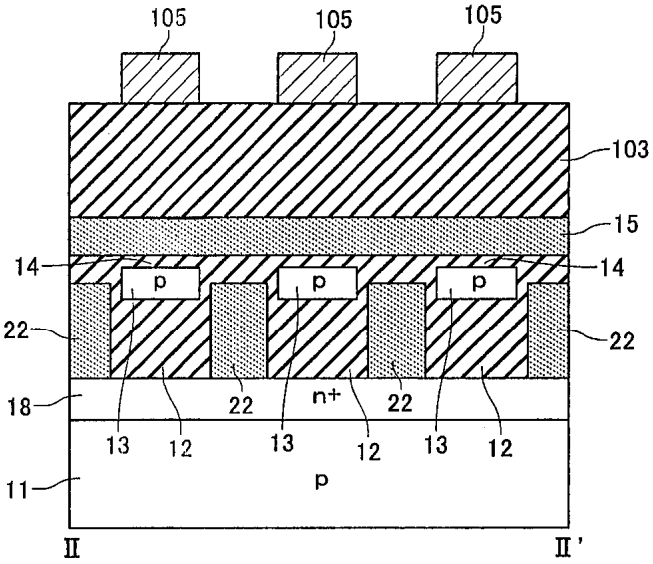
도면28


(PL)
(BL)
(PL)
(BL)
(PL)
(BL)
(PL)
단위 셀
4F²
I
I'
II
II'
III
III'
22
15
102
104
105
F
(WL)
(SL)

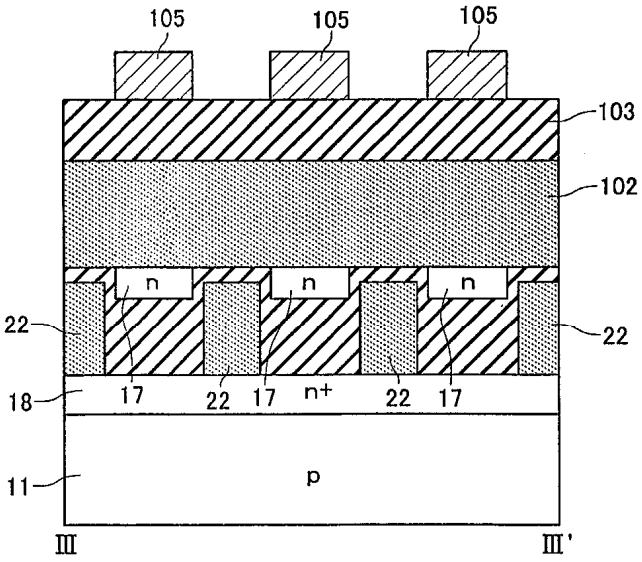
도면29


I
I'
11
p
18
12
16
15
101
103
105
104
102
13
17
n
p
n+

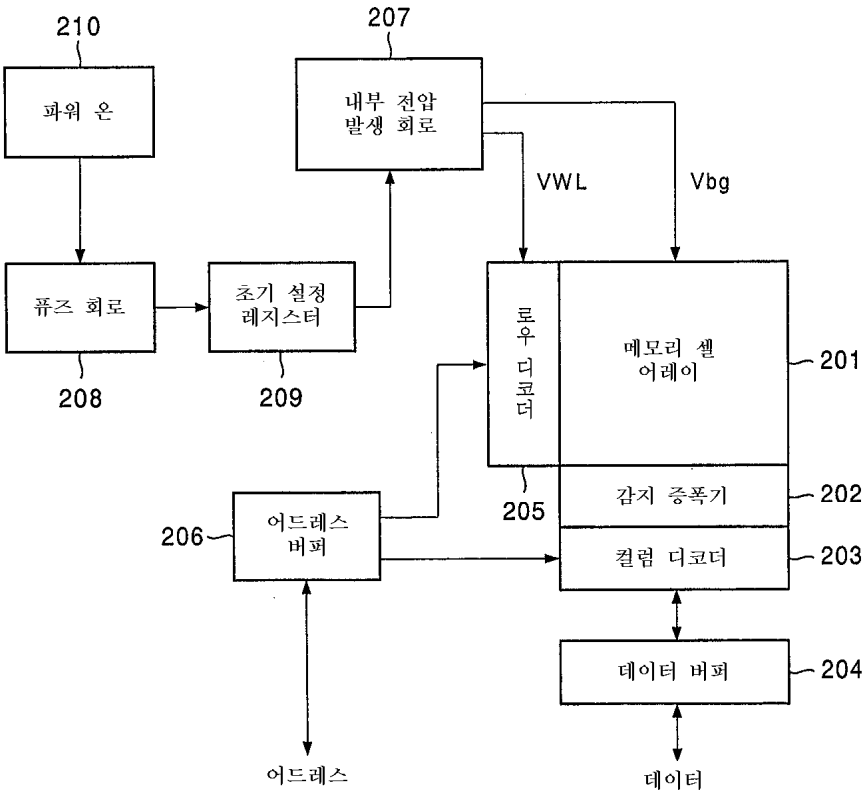
도면30


105
103
15
14
p
22
18
n+
13
12
11
II
II'

도면31


105
105
105
103
102
n
n
n
22
22
18
17
22
17
n+
22
17
11
p
Ⅲ
Ⅲ'

도면32


210
파워 온
207
내부 전압
발생 회로
VWL
Vbg
퓨즈 회로
초기 설정
레지스터
208
209
로우 디코더
메모리 셀
어레이
201
205
감지 증폭기
202
206
어드레스
버퍼
컬럼 디코더
203
데이터 버퍼
204
어드레스
데이터