



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I655772 B

(45)公告日：中華民國 108 (2019) 年 04 月 01 日

(21)申請案號：106115051

(22)申請日：中華民國 106 (2017) 年 05 月 05 日

(51)Int. Cl. : H01L29/70 (2006.01)

H01L29/36 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：簡郁芩 CHIEN, YU-CHIN (TW)；詹景琳 CHAN, CHING-LIN (TW)；林正基 LIN, CHENG-CHI (TW)

(74)代理人：葉璟宗

(56)參考文獻：

TW 364161

TW 201108413A

TW 201201369A

CN 105793986A

US 2010/0213575A1

US 2011/0310516A1

審查人員：張簡宏偉

申請專利範圍項數：9 項 圖式數：5 共 38 頁

(54)名稱

半導體元件

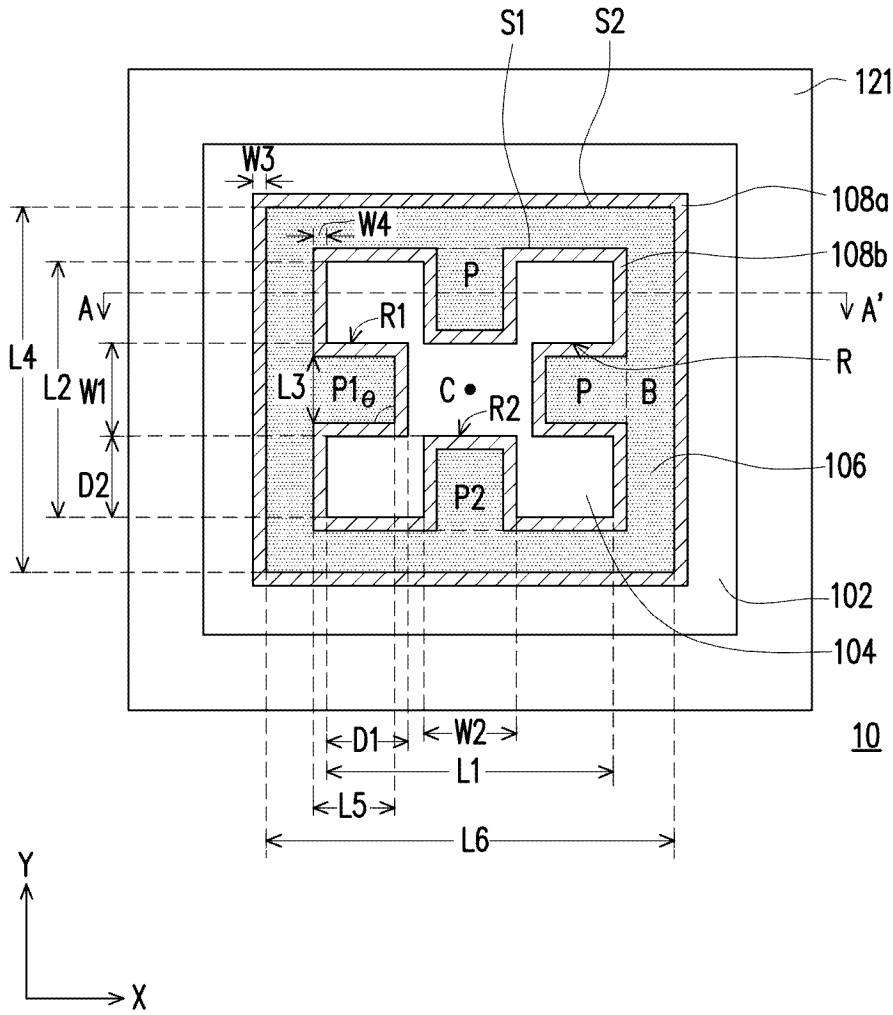
SEMICONDUCTOR DEVICE

(57)摘要

一種半導體元件。半導體元件包括具有第一導電型的第一摻雜區與第二摻雜區以及具有第二導電型的第三摻雜區位於基底中。第三摻雜區位於第一摻雜區與第二摻雜區之間。第二摻雜區位於第一摻雜區的一側。第二摻雜區的上視圖案具有至少一凹部。第三摻雜區的上視圖案具有對應至少一凹部的至少一凸部。

A semiconductor device is provided. The semiconductor device includes a first doped region and a second doped region of a first conductive type and a third doped region of a second conductive type located in a substrate. The second doped region is located at a side of the first doped region. The third doped region is located between the first doped region and the second doped region. A top-view pattern of the second doped region has at least one recess portion. A top-view pattern of the third doped region has at least one protruded portion corresponding to the at least one recess portion.

指定代表圖：



【圖1A】

符號簡單說明：

- 10 . . . 半導體元件
- 102 . . . 第一摻雜區
- 104 . . . 第二摻雜區
- 106 . . . 第三摻雜區
- 108a . . . 第一堆疊結構
- 108b . . . 第二堆疊結構
- 121 . . . 隔離結構
- B . . . 主體部
- C . . . 中心
- D1、D2 . . . 深度
- L1~L6 . . . 長度
- P、P1、P2 . . . 凸部
- R、R1、R2 . . . 凹部
- S1 . . . 內周長
- S2 . . . 外周長
- W1~W4 . . . 寬度
- X . . . 第一方向
- Y . . . 第二方向

## 【發明說明書】

【中文發明名稱】半導體元件

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明是有關於一種半導體元件，且特別是有關於一種雙載子接面電晶體（bipolar junction transistor；BJT）。

【先前技術】

【0002】 電晶體是一種固態半導體元件，其具有體積小、效率高、壽命長以及速度快等優點。雙載子接面電晶體為兩個 PN 接面構成的電晶體。BJT 能夠放大訊號、有效地控制功率、可高速工作以及具有良好的耐久能力。因此，BJT 廣泛地被應用於電流的控制，像是作為控制直流電源負載的開關元件、類比訊號放大器、三維雙極性模擬（3D bipolar simulation）、NPN 元件、以及交流頻率回應（AC frequency response）等等。

【0003】 以射極為共同端時，集極電流與基極電流的比值稱為共射極電流增益（common emitter current gain），其為 BJT 作為訊號放大器的重要參數。一般而言，當集極與基集之間的崩潰電壓固定時，共射極電流增益反比於集極與射極之間的崩潰電壓。因此，難以同時提高共射極電流增益以及集極與射極之間的崩潰電壓。

**【發明內容】**

**【0004】** 本發明提供一種半導體元件，可共同地具有較高的共射極電流增益以及較高的集極與射極之間的崩潰電壓。

**【0005】** 本發明的一實施例的半導體元件包括第一摻雜區、第二摻雜區以及第三摻雜區。第一摻雜區與第二摻雜區具有第一導電型，且第三摻雜區具有第二導電型。第一摻雜區、第二摻雜區以及第三摻雜區位於基底中。第二摻雜區位於第一摻雜區的一側。第二摻雜區的上視圖案具有至少一凹部。第三摻雜區位於第一摻雜區與第二摻雜區之間。第三摻雜區的上視圖案具有對應至少一凹部的至少一凸部。

**【0006】** 在本發明的一實施例中，上述的半導體元件更可包括井區，其位於基底中。井區的上視圖案位於第一摻雜區的上視圖案的內側。井區具有第二導電型。第二摻雜區與第三摻雜區位於井區中。

**【0007】** 在本發明的一實施例中，上述的半導體元件更可包括場區。場區位於基底中，且第二摻雜區與第三摻雜區位於場區中。

**【0008】** 在本發明的一實施例中，上述的第一摻雜區的上視圖案與第三摻雜區的上視圖案可為封閉的環狀圖案。

**【0009】** 在本發明的一實施例中，上述的第二摻雜區的上視圖案與第三摻雜區的上視圖案可均為對稱的形狀。

**【0010】** 在本發明的一實施例中，上述的至少一凹部可包括多個凹部，且至少一凸部可包括多個凸部。多個凹部與多個凸部彼此對

應設置。

【0011】 在本發明的一實施例中，上述的至少一凹部的深度與第二摻雜區的上視圖案在第一方向上或第二方向上的邊長的比值範圍可為 0.1 至 0.45。第一方向與第二方向交錯。

【0012】 在本發明的一實施例中，上述的第三摻雜區的上視圖案的內周長與外周長的比值範圍可為 1 至 2。內周長為第三摻雜區鄰近第二摻雜區的邊的周長，而外周長為第三摻雜區鄰近第一摻雜區的邊的周長。

【0013】 在本發明的一實施例中，上述的半導體元件更可包括第一堆疊結構與第二堆疊結構。第一堆疊結構位於基底上，且位於第一摻雜區與第三摻雜區之間。第一堆疊結構可包括依序堆疊於基底上的第一絕緣層與第一導體結構。第二堆疊結構位於基底上，且位於第二摻雜區與第三摻雜區之間。第二堆疊結構可包括依序堆疊於基底上的第二絕緣層與第二導體結構。

【0014】 在本發明的一實施例中，上述的第一導體結構更可包括依序堆疊於第一絕緣層上的第一多晶矽層與第一金屬矽化物層。第二導體結構更可包括依序堆疊於第二絕緣層上的第二多晶矽層與第二金屬矽化物層。半導體元件更可包括第一間隙壁與第二間隙壁。第一間隙壁位於第一堆疊結構的側壁，且第二間隙壁位於第二堆疊結構的側壁。

【0015】 在本發明的一實施例中，上述的第一堆疊結構的寬度與第二堆疊結構的寬度的比值的範圍可為 0.5 至 1.5。

【0016】 在本發明的一實施例中，上述的第二導體結構可與第二摻雜區電性連接，且第一導體結構可與第三摻雜區電性連接。

【0017】 在本發明的一實施例中，上述的第一導體結構可與第一摻雜區電性連接，且第二導體結構可與第三摻雜區電性連接。

【0018】 本發明的一實施例的半導體元件包括第一摻雜區、第二摻雜區、第三摻雜區、第一堆疊結構以及第二堆疊結構。第一摻雜區與第二摻雜區具有第一導電型，且第三摻雜區具有第二導電型。第一摻雜區、第二摻雜區以及第三摻雜區位於基底中。第二摻雜區位於第一摻雜區的一側。第三摻雜區位於第一摻雜區與第二摻雜區之間。第一堆疊結構與第二堆疊結構位於基底上。第一堆疊結構位於第一摻雜區與第三摻雜區之間。第一堆疊結構包括依序堆疊於基底上的第一絕緣層與第一導體結構。第二堆疊結構位於第二摻雜區與第三摻雜區之間。第二堆疊結構包括依序堆疊於基底上的第二絕緣層與第二導體結構。

【0019】 本發明的一實施例的半導體元件包括集極、射極以及基極。集極與射極具有第一導電型，且基極具有第二導電型。集極、射極以及基極位於基底中。射極的上視圖案位於集極的上視圖案的內側，且射極的上視圖案具有多個凹部。基極位於集極與射極之間，且基極的上視圖案具有對應於多個凹部的多個凸部。

【0020】 基於上述，由於第二摻雜區的上視圖案具有至少一凹部，故第二摻雜區的面對第三摻雜區的一側可具有較大的表面積。因此，半導體元件在運作時，有更多的載子可自第三摻雜區穿越至第

二摻雜區，或由第二摻雜區穿越至第三摻雜區。如此一來，當半導體元件作為 BJT 時，可提高 BJT 的共射極電流增益。

**【0021】** 此外，在一些實施例中，第一摻雜區與第三摻雜區之間的基底上可設置有第一堆疊結構，且第二摻雜區與第三摻雜區之間的基底上可設置有第二堆疊結構。藉由施加電壓至第一堆疊結構，可改變第一摻雜區與第三摻雜區中的空間電荷區的寬度。如此一來，可藉此改變第一摻雜區與第三摻雜區之間的電場強度。相似地，可藉由施加電壓至第二堆疊結構以改變第二摻雜區與第三摻雜區之間的電場強度。因此，藉由調整第一摻雜區、第二摻雜區以及第三摻雜區中的空間電荷區的寬度，可提高第一摻雜區與第二摻雜區之間的崩潰電壓。

**【0022】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### **【圖式簡單說明】**

#### **【0023】**

圖 1A 是依照本發明的一實施例的半導體元件的上視示意圖。

圖 1B 是沿著圖 1A 中的 A-A' 線的剖面放大示意圖。

圖 2A 至圖 2H 是依照本發明的一實施例的半導體元件的製造流程的剖面示意圖。

圖 3 是圖 2D 的上視示意圖。

圖 4 是圖 2E 的上視示意圖。

圖 5 是依照本發明的另一實施例的半導體元件的上視示意圖。

**【實施方式】**

**【0024】** 圖 1A 是依照本發明的一實施例的半導體元件的上視示意圖。圖 1B 是沿著圖 1A 中的 A-A' 線的剖面放大示意圖。

**【0025】** 請同時參照圖 1A 與圖 1B，本實施例的半導體元件 10 包括基底 100。基底 100 可為半導體基底。半導體基底的材料可包括矽、鍺、砷化鎵、碳化矽、砷化銮或磷化銮等等。在一些實施例中，基底 100 可為矽基底，且基底 100 可經摻雜而具有第二導電型。在本實施例中，是以第一導電型為 N 型且第二導電型為 P 型為例進行說明。在其他實施例中，第一導電型可為 P 型，且此時第二導電型為 N 型。N 型摻質例如是磷或砷；P 型摻質例如是硼。

**【0026】** 本實施例的半導體元件 10 還包括位於基底 100 中的第一摻雜區 102、第二摻雜區 104 以及第三摻雜區 106。第一摻雜區 102 以及第二摻雜區 104 具有第一導電型；而第三摻雜區 106 具有第二導電型。在一些實施例中，基底 100 中具有第一導電型的深井區 101，以使第一摻雜區 102、第二摻雜區 104 以及第三摻雜區 106 位於深井區 101 中。請參照圖 1A，第三摻雜區 106 位於第一摻雜區 102 與第二摻雜區 104 之間。換言之，第一摻雜區 102 與第二摻雜區 104 位於第三摻雜區 106 的兩側。在本實施例中，半導體元件 10 可作為 BJT。特別來說，第一摻雜區 102 可作為集極；第二摻雜區 104 可作為射極；而第三摻雜區 106 可作為基極。在一

些實施例中，第一摻雜區 102、第二摻雜區 104 與第三摻雜區 106 的摻雜濃度的範圍可分別在  $10^{14}/\text{cm}^3$  至  $10^{16}/\text{cm}^3$  之間。請參照圖 1A，在一實施例中，從上視圖觀之，第三摻雜區 106 在第一摻雜區 102 之內；第二摻雜區 104 在第三摻雜區 106 之內。換言之，從上視圖觀之，由內而外，為第二摻雜區 104、第三摻雜區 106 以及第一摻雜區 102。在一些示例實施例中，從上視圖觀之，第一摻雜區 102 的圖案、第二摻雜區 104 的圖案與第三摻雜區 106 的圖案皆可為對稱的形狀，但不以此為限。

**【0027】** 在本發明的一些示例實施例中，從上視圖觀之，第一摻雜區 102 的圖案可為封閉的環狀圖案，其環繞在第三摻雜區 106 周圍；而第三摻雜區 106 環繞在第二摻雜區 104 周圍。第一摻雜區 102 的圖案例如是封閉的矩形或封閉的圓形。

**【0028】** 在本發明的一些實施例中，從上視圖觀之，第三摻雜區 106 亦為封閉的形狀。在一些示例實施例中，從上視圖觀之，第三摻雜區 106 包括主體部 B 與凸部 P。主體部 B 可以是一個環狀圖案。主體部 B 的圖案例如是封閉的矩形或封閉的圓形。主體部 B 可以是與第一摻雜區 102 具有同心的圖案。凸部 P 與主體部 B 連接，且向半導體元件 10 的內部（例如是半導體元件 10 的中心 C）延伸。第三摻雜區 106 可以具有一或多個凸部 P。在一些示例實施例中，主體部 B 的圖案例如是封閉的正方形環，第三摻雜區 106 可以具有 4 個凸部 P，分別設置在第三摻雜區 106 的四個邊上。4 個凸部 P 可以兩兩相對應設置，使第三摻雜區 106 成一個對稱結

構。在一示例實施例中，4 個凸部 P 中的兩個凸部 P1 可以設置在第一方向 X 上；4 個凸部 P 中的另外兩個凸部 P2 可以設置在第二方向 Y 上。在一些實施例中，第一方向 X 可與第二方向 Y 垂直。4 個凸部 P 的形狀、面積可以是相同或相異。在一些實施例中，每一個凸部 P 的形狀例如是正方形或圓形。每一個凸部 P 的頂角 $\theta$ 可以是約 90 度角或是圓角。

**【0029】** 在本發明的一些實施例中，從上視圖觀之，第二摻雜區 104 在第三摻雜區 106 之內。換言之，第二摻雜區 104 在主體部 B 所圍的區域內，第二摻雜區 104 的上視圖案具有與凸部 P 對應的凹部 R。在一些例示實施例中，在一示例實施例中，4 個凹部 R 中的兩個凹部 R1 可以設置在第一方向 X 上；4 個凹部 R 中的另外兩個凹部 R2 可以設置在第二方向 Y 上。在一些實施例中，若不考慮凹部 R，第二摻雜區 104 的輪廓大致呈矩形或是方形。若考慮凹部 R，第二摻雜區 104 的整體輪廓大致呈類 X 形。

**【0030】** 在一些實施例中，從上視圖觀之，凹部 R1 的深度 D1 與第二摻雜區 104 在第一方向 X 上的長度 L1 的比值（深度 D1/長度 L1）範圍可為 0.1 至 0.45。相似地，凹部 R2 的深度 D2 與第二摻雜區 104 在第二方向 Y 上的長度 L2 的比值（深度 D2/長度 L2）範圍亦可為 0.1 至 0.45。此外，凹部 R 的寬度 W1 與第二摻雜區 104 在第二方向 Y 上的長度 L2 的比值範圍（寬度 W1/長度 L2）為 0.1 至 0.8。相似地，凹部 R2 的寬度 W2 與第二摻雜區 104 在第一方向 X 上的長度 L1 的比值範圍（寬度 W2/長度 L1）為 0.1 至

0.8。在一實施例中，在第一方向 X 上，凸部 P2 的長度 L5 與第三摻雜區 106 的長度 L6 的比值（長度 L5/長度 L6）範圍可為 0.1 至 0.45。在第二方向 Y 上，凸部 P1 的長度 L3 與第三摻雜區 106 的長度 L4 的比值（長度 L3/長度 L4）範圍亦可為 0.1 至 0.45。凹部 R1 與凹部 R2 可以相同或相異。換言之，D1 與 D2 可以相同或相異；W1 與 W2 可以相同或相異。在本發明的一些實施例中，4 個凹部 R 可以兩兩相對應設置，使第二摻雜區 104 成一個對稱結構。

**【0031】** 從另一方面來說，從上視圖觀之，第三摻雜區 106 與第二堆疊結構 108b 鄰近（或與第二摻雜區 104 鄰近）的邊的周長稱為內周長 S1；第三摻雜區 106 與第一堆疊結構 108a 鄰近（或與第一摻雜區 102 鄰近）的邊的周長稱為外周長 S2。由於第三摻雜區 106 具有凸部 P，因此其增加了第三摻雜區 106 的內周長 S1 的總長度，使內周長 S1 的總長度與外周長 S2 的總長度的差異減小。換言之，內周長 S1 的總長度可以小於、等於或大於外周長 S2 的總長度。在一些實施例中，內周長 S1/外周長 S2 的範圍例如是 1.00 至 1.5。在另一些實施例中，內周長 S1/外周長 S2 的範圍例如是 1.0 至 2.0。

**【0032】** 藉由設置凸部 P 與凹部 R，可增加第三摻雜區 106 面對第二摻雜區 104 的一側的表面積。如此一來，可使半導體元件 10 在運作時，有更多的載子可自第三摻雜區 106 穿越至第二摻雜區 104，或由第二摻雜區 104 穿越至第三摻雜區 106。當半導體元件 10 作為 BJT 時，可藉此提高 BJT 的共射極電流增益。

【0033】 在本實施例中，第二摻雜區 104 的上視圖案可以具有 4 個凹部 R；第三摻雜區 106 可以具有 4 個凸部 P。然而，所屬領域中具有通常知識者可依照設計需求調整凹部 R 及其對應的凸部 P 的數量、形狀及彼此的相對位置關係，本發明並不以此為限。

【0034】 在本實施例中，半導體元件 10 更可包括第一堆疊結構 108a 與第二堆疊結構 108b。第一堆疊結構 108a 與第二堆疊結構 108b 位於基底 100 上。第一堆疊結構 108a 位於第一摻雜區 102 與第三摻雜區 106 之間。第二堆疊結構 108b 位於第二摻雜區 104 與第三摻雜區 106 之間。第一堆疊結構 108a 可包括依序堆疊於基底 100 上的第一絕緣層 110a 與第一導體結構 111a。在一些實施例中，第一導體結構 111a 可以是單層，例如是第一多晶矽層 112a。在另一些實施例中，第一導體結構 111a 可以是雙層，例如是包括依序堆疊於第一絕緣層 110a 的第一多晶矽層 112a 與第一金屬矽化物層 114a。

【0035】 相似地，第二堆疊結構 108b 可包括依序堆疊於基底 100 上的第二絕緣層 110b 與第二導體結構 111b。在一些實施例中，第二導體結構 111b 可以是單層，例如是第二多晶矽層 112b。在一些實施例中，第二導體結構 111b 可以是雙層，例如是包括依序堆疊於第二絕緣層 110b 上的第二多晶矽層 112b 與第二金屬矽化物層 114b。第一金屬矽化物層 114a 與第二金屬矽化物層 114b 的材料可包括矽化鎢、矽化鈦、矽化鈷、矽化鎳或其組合。此外，在一些實施例中，第一堆疊結構 108a 的寬度 W3 與第二堆疊結構 108b 的

寬度 W4 的比值範圍（寬度 W3/寬度 W4）為 0.5 至 2。在其他實施例中，第一堆疊結構 108a 的寬度 W3 與第二堆疊結構 108b 的寬度 W4 的比值範圍（寬度 W3/寬度 W4）亦可為 0.5 至 1.5。

【0036】此外，半導體元件 10 還可包括第一間隙壁 116a 與第二間隙壁 116b。第一間隙壁 116a 位於第一堆疊結構 108a 的側壁。第二間隙壁 116b 位於第二堆疊結構 108b 的側壁。為簡潔起見，圖 1A 省略繪示第一間隙壁 116a 與第二間隙壁 116b。第一間隙壁 116a 與第二間隙壁 116b 的材料可包括氧化矽、氮氧化矽或其組合。

【0037】在一些實施例中，第一摻雜區 102 與第三摻雜區 106 中的空間電荷區（space charge region）的寬度可藉由施加電壓至第一堆疊結構 108a 來改變。如此一來，可改變第一摻雜區 102 與第三摻雜區 106 之間的電場強度。相似地，第二摻雜區 104 與第三摻雜區 106 之間的電場強度可藉由施加電壓至第二堆疊結構 108b 而改變。因此，藉由施加電壓至第一堆疊結構 108a 與第二堆疊結構 108b，可提高第一摻雜區 102 與第二摻雜區 104 之間的崩潰電壓。在一些實施例中，第二導體結構 111b 可與第二摻雜區 104 電性連接，且第一導體結構 111a 可與第三摻雜區 106 電性連接。如此一來，可使半導體元件 10 作為 BJT 時，有更多的載子可穿越第二摻雜區 104 與第三摻雜區 106 之間的介面，故可提高 BJT 的共射極電流增益。在另一些實施例中，第一導體結構 111a 可與第一摻雜區 102 電性連接，且第二導體結構 111b 可與第三摻雜區 106

電性連接。如此一來，當半導體元件 10 作為 BJT 時，亦可提高 BJT 的共射極電流增益。

【0038】請參照圖 1B，在一些實施例中，半導體元件 10 更可包括具有第二導電型的井區 118。井區 118 位於基底 100 中。以上視圖觀之，井區 118 位於第一摻雜區 102 的內側，且第二摻雜區 104 與第三摻雜區 106 位於井區 118 中。此外，半導體元件 10 還可包括具有第二導電型的場區 120。場區 120 可位於井區 118 中。此外，第二摻雜區 104 與第三摻雜區 106 可位於場區 120 中。在一些實施例中，井區 118 與場區 120 的摻雜濃度的範圍分別可在  $10^{11}/\text{cm}^3$  至  $10^{14}/\text{cm}^3$  之間。再者，半導體元件 10 更可包括隔離結構 121。隔離結構 121 位於第一摻雜區 102 的外圍，且覆蓋基底 100 的表面以及深井區 101。隔離結構 121 可以是局部區域氧化層(LOCOS)或是淺溝渠隔離(STI)結構。

【0039】圖 2A 至圖 2G 是依照本發明的一實施例的半導體元件的製造流程的剖面示意圖。圖 3 是圖 2D 的上視示意圖。圖 4 是圖 2E 的上視示意圖。

【0040】本實施例的半導體元件的製造流程包括下列步驟。須注意的是，在以下的說明中，與圖 1A 及圖 1B 所示的標號相似者代表相同或相似的構件（例如是基底 100 與基底 200）。

【0041】請參照圖 2A，在基底 200 中形成深井區 201。基底 200 可摻雜具有第二導電型的摻質，而深井區 201 可摻雜具有第一導電型的摻質。接著，可在深井區 201 中形成井區 218。井區 218 可

摻雜具有第二導電型的摻質。形成深井區 201 與井區 218 的方法可包括離子植入法。在一些實施例中，形成深井區 201 所使用的離子植入的劑量範圍可為  $10^{11}/\text{cm}^3$  至  $10^{14}/\text{cm}^3$ ，且離子植入的能量範圍可為 2 KeV 至 200 KeV。相似地，形成井區 218 所使用的摻雜質的濃度範圍亦可為  $10^{11}/\text{cm}^3$  至  $10^{14}/\text{cm}^3$ ，且離子植入的能量範圍亦可為 2 KeV 至 200 KeV。

**【0042】** 請參照圖 2B，在基底 200 上形成隔離結構 221。隔離結構 221 覆蓋部分深井區 201 以及基底 200 的表面。隔離結構 221 的形成方法可包括在基底 200 上形成覆蓋部分深井區 201 的硬罩幕層 203。隨後，進行局部區域氧化製程，以在硬罩幕層 203 暴露出的基底 200 上形成隔離結構 221。然而，本發明並不以此為限。

**【0043】** 請參照圖 2C，可在硬罩幕層 203 上形成光阻層 205，以覆蓋井區 218 以外的基底 200。接著，可以光阻層 205 為罩幕進行離子佈植，以在井區 218 中形成場區 220。在一些實施例中，形成場區 220 所使用的離子植入的劑量範圍可為  $10^{11}/\text{cm}^3$  至  $10^{14}/\text{cm}^3$ ，且離子植入的能量範圍可為 2 KeV 至 200 KeV。隨後，可去除光阻層 205 與硬罩幕層 203。

**【0044】** 請同時參照圖 2D 與圖 3，可在基底 200 上依序形成絕緣材料層與多晶矽材料層，且隨後圖案化絕緣材料層與多晶矽材料層，以形成絕緣層 210 與多晶矽層 212。絕緣層 210 可包括第一絕緣層 210a 與第二絕緣層 210b，且多晶矽層 212 可包括第一多晶矽層 212a 與第二多晶矽層 212b。在一些實施例中，第一絕緣層 210a

與第一多晶矽層 212a 構成第一堆疊結構 208a。第二絕緣層 210b 與第二多晶矽層 212b 構成第二堆疊結構 208b。

【0045】 從上視圖觀之，第一堆疊結構 208a 可覆蓋部分的深井區 201 與部分的場區 220。第二堆疊結構 208b 位於第一堆疊結構 208a 的內側（如圖 3 所示）。而且，第二堆疊結構 208b 的上視圖案可具有凹部 E（如圖 3 所示），且此凹部 E 的開口朝向第一堆疊結構 208a。在本實施例中，第二堆疊結構 208b 的上視圖案可具有 4 個凹部 E。然而，所屬領域中具有通常知識者可依照設計需求調整第二堆疊結構 208b 的凹部 E 的數量、形狀及彼此的相對位置關係，本發明並不以此為限。

【0046】 請參照圖 2E，進行離子植入，以形成第一摻雜區 202、第二摻雜區 204 以及第三摻雜區 206。特別來說，第一摻雜區 202 具有第一導電型，其形成於第一堆疊結構 208a 與隔離結構 221 之間的場區 220 中。在一些實施例中，形成第一摻雜區 202 所使用的離子植入的劑量範圍可為  $10^{11}/\text{cm}^3$  至  $10^{16}/\text{cm}^3$ ，且離子植入的能量範圍可為 2 KeV 至 200 KeV。第二摻雜區 204 具有第一導電型，其形成於第二堆疊結構 208b 的內側的場區 220 中。在一些實施例中，形成第二摻雜區 204 所使用的離子植入的劑量範圍可為  $10^{11}/\text{cm}^3$  至  $10^{16}/\text{cm}^3$ ，且離子植入的能量範圍可為 2 KeV 至 200 KeV。第三摻雜區 206 具有第二導電型，其形成於第一堆疊結構 208a 與第二堆疊結構 208b 之間的場區 220 中。在一些實施例中，形成第三摻雜區 206 所使用的離子植入的劑量範圍可為  $10^{11}/\text{cm}^3$

至  $10^{16}/\text{cm}^3$ ，且離子植入的能量範圍可為 2 KeV 至 200 KeV。

【0047】請參照圖 4，第三摻雜區 206 具有凸部 P。此凸部 P 與第二堆疊結構 208b 的凹部 E 彼此對應。對應地，第二摻雜區 204 經形成以具有凹部 R。此凹部 R 亦與第二堆疊結構 208b 的凹部 E（如圖 3 所示）對應。須注意的是，凸部 P 與凹部 R 的尺寸分別與第三摻雜區 206 及第二摻雜區 204 的尺寸的關係已於圖 1A 所示的實施例中詳細的說明，在此則不再贅述。

【0048】請參照圖 2F，在一些實施例中，可在第一堆疊結構 208a 的側壁形成第一間隙壁 216a，且在第二堆疊結構 208b 的側壁形成第二間隙壁 216b。隨後，可在第一多晶矽層 212a 上形成第一金屬矽化物層 214a，且在第二多晶矽層 212b 上形成第二金屬矽化物層 214b。在第一絕緣層 210a 上的第一多晶矽層 212a 與第一金屬矽化物層 214a 構成第一導體結構 211a，而在第二絕緣層 210b 上的第二多晶矽層 212b 與第二金屬矽化物層 214b 構成第二導體結構 211b。換言之，在這些實施例中，第一導體結構 211a 為雙層結構，且第二導體結構 211b 亦為雙層結構。在其他實施例中，第一導體結構 211a 可為單層結構，例如是第一多晶矽層 212a。相似地，第二導體結構 211b 可為單層結構，例如是第二多晶矽層 212b。形成第一間隙壁 216a 與第二間隙壁 216b 的方法可包括在基底 200 上共形地形成材料層。接著，對此材料層進行回蝕刻製程，以形成第一間隙壁 216a 與第二間隙壁 216b。此外，可藉由自動對準金屬矽化物（self-aligned silicide；salicide）製程來形成第一金屬矽化物

層 214a 與第二金屬矽化物層 214b。

【0049】 請參照圖 2G，可在基底 200 上形成介電層 223。在一些實施例中，介電層 223 的材料可包括氧化矽、氮化矽或其他低介電常數的介電材料（例如是介電常數小於 4）。介電層 223 可具有暴露出第一摻雜區 202、第二摻雜區 204、第三摻雜區 206、第一堆疊結構 208a 以及第二堆疊結構 208b 的多個接觸窗孔。接著，可在多個接觸窗孔中形成多個接觸窗 224。接觸窗 224 的材料可為導體材料，例如是金屬、合金或金屬化合物。之後，再形成金屬內連線。

【0050】 在本實施例中，請參照圖 2G，金屬內連線可經形成以使第二堆疊結構 208b 的第二導體結構 211b 與第二摻雜區 204 電性連接，且使第一堆疊結構 208a 的第一導體結構 211a 與第一摻雜區 202 電性連接。在另一些實施例中，請參照圖 2H，金屬內連線可經形成以使第一堆疊結構 208a 的第一導體結構 211a 與第一摻雜區 202 電性連接，且/或使第二堆疊結構 208b 的第二導體結構 211b 與第三摻雜區 206 電性連接。

【0051】 至此，已形成半導體元件 20。在一些實施例中，半導體元件 20 可作為 BJT。特別來說，第一摻雜區 202 可作為 BJT 的集極、第二摻雜區 204 可作為 BJT 的射極且第三摻雜區 206 可作為 BJT 的基極。

【0052】 圖 5 是依照本發明的另一實施例的半導體元件的上視示意圖。

【0053】請參照圖 5，本實施例的半導體元件 50 與圖 1A 及圖 1B 所示的半導體元件 10 相似。以下將針對半導體元件 50 與半導體元件 10 相異處進行描述，相同或相似處則不再贅述。半導體元件 50 的第三摻雜區 506 包括主體部 B3 與凸部 P3。在本實施例中，第三摻雜區 506 可以具有 8 個凸部 P3。特別來說，第三摻雜區 506 的每一邊上設置有 2 個凸部 P3，且彼此相向的 4 個凸部對應設置，以使第三摻雜區 506 形成一個對稱結構。在第三摻雜區 506 的每一邊上，2 個凸部 P3 的寬度的總合與第三摻雜區 506 的邊長的比值可大於 0 且小於或等於 2。對應地，第二摻雜區 504 的上視圖案具有與凸部 P3 對應的 8 個凹部 R3。此外，位於第二摻雜區 504 與第三摻雜區 506 之間的第二堆疊結構 508b 也具有對應於凸部 P3 的 8 個凹部。

【0054】綜上所述，由於第二摻雜區的上視圖案具有至少一凹部，故第二摻雜區的面對第三摻雜區的一側可具有較大的表面積。因此，半導體元件在運作時，有更多的載子可自第三摻雜區穿越至第二摻雜區，或由第二摻雜區穿越至第三摻雜區。如此一來，當半導體元件作為 BJT 時，可提高 BJT 的共射極電流增益。

【0055】此外，在一些實施例中，第一摻雜區與第三摻雜區之間的基底上可設置有第一堆疊結構，且第二摻雜區與第三摻雜區之間的基底上可設置有第二堆疊結構。藉由施加電壓至第一堆疊結構，可改變第一摻雜區與第三摻雜區中的空間電荷區的寬度。如此一來，可改變第一摻雜區與第三摻雜區之間的電場強度。相似地，可

藉由施加電壓至第二堆疊結構以改變第二摻雜區與第三摻雜區之間的電場強度。因此，藉由調整第一摻雜區、第二摻雜區以及第三摻雜區中的空間電荷區的寬度，可提高第一摻雜區與第二摻雜區之間的崩潰電壓。

**【0056】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

#### **【符號說明】**

#### **【0057】**

10、20、50：半導體元件

101、201：深井區

102、202：第一摻雜區

104、204、504：第二摻雜區

106、206、506：第三摻雜區

108a、208a：第一堆疊結構

108b、208b、508b：第二堆疊結構

110a、210a：第一絕緣層

111a、211a：第一導體結構

110b、210b：第二絕緣層

111b、211b：第二導體結構

- 112a、212a：第一多晶矽層
- 112b、212b：第二多晶矽層
- 114a、214a：第一金屬矽化物層
- 114b、214b：第二金屬矽化物層
- 116a、216a：第一間隙壁
- 116b、216b：第二間隙壁
- 118、218：井區
- 120、220：場區
- 121、221：隔離結構
- 203：硬罩幕層
- 205：光阻層
- 210：絕緣層
- 212：多晶矽層
- 223：介電層
- 224：接觸窗
- B、B1：主體部
- C：中心
- D1、D2：深度
- L1~L6：長度
- P、P1、P2、P3：凸部
- R、R1、R2、R3、E：凹部
- S1：內周長

S2：外周長

W1~W4：寬度

X：第一方向

Y：第二方向



I655772

## 【發明摘要】

IPC分類：H01L 29/70 (2006.01)  
H01L 29/36 (2006.01)

【中文發明名稱】半導體元件

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】一種半導體元件。半導體元件包括具有第一導電型的第一摻雜區與第二摻雜區以及具有第二導電型的第三摻雜區位於基底中。第三摻雜區位於第一摻雜區與第二摻雜區之間。第二摻雜區位於第一摻雜區的一側。第二摻雜區的上視圖案具有至少一凹部。第三摻雜區的上視圖案具有對應至少一凹部的至少一凸部。

【英文】 A semiconductor device is provided. The semiconductor device includes a first doped region and a second doped region of a first conductive type and a third doped region of a second conductive type located in a substrate. The second doped region is located at a side of the first doped region. The third doped region is located between the first doped region and the second doped region. A top-view pattern of the second doped region has at least one recess portion. A top-view pattern of the third doped region has at least one protruded portion corresponding to the at least one recess portion.

【指定代表圖】圖1A。

【代表圖之符號簡單說明】

10：半導體元件

102：第一摻雜區

104：第二摻雜區

106：第三摻雜區

108a：第一堆疊結構

108b：第二堆疊結構

121：隔離結構

B：主體部

C：中心

D1、D2：深度

L1~L6：長度

P、P1、P2：凸部

R、R1、R2：凹部

S1：內周長

S2：外周長

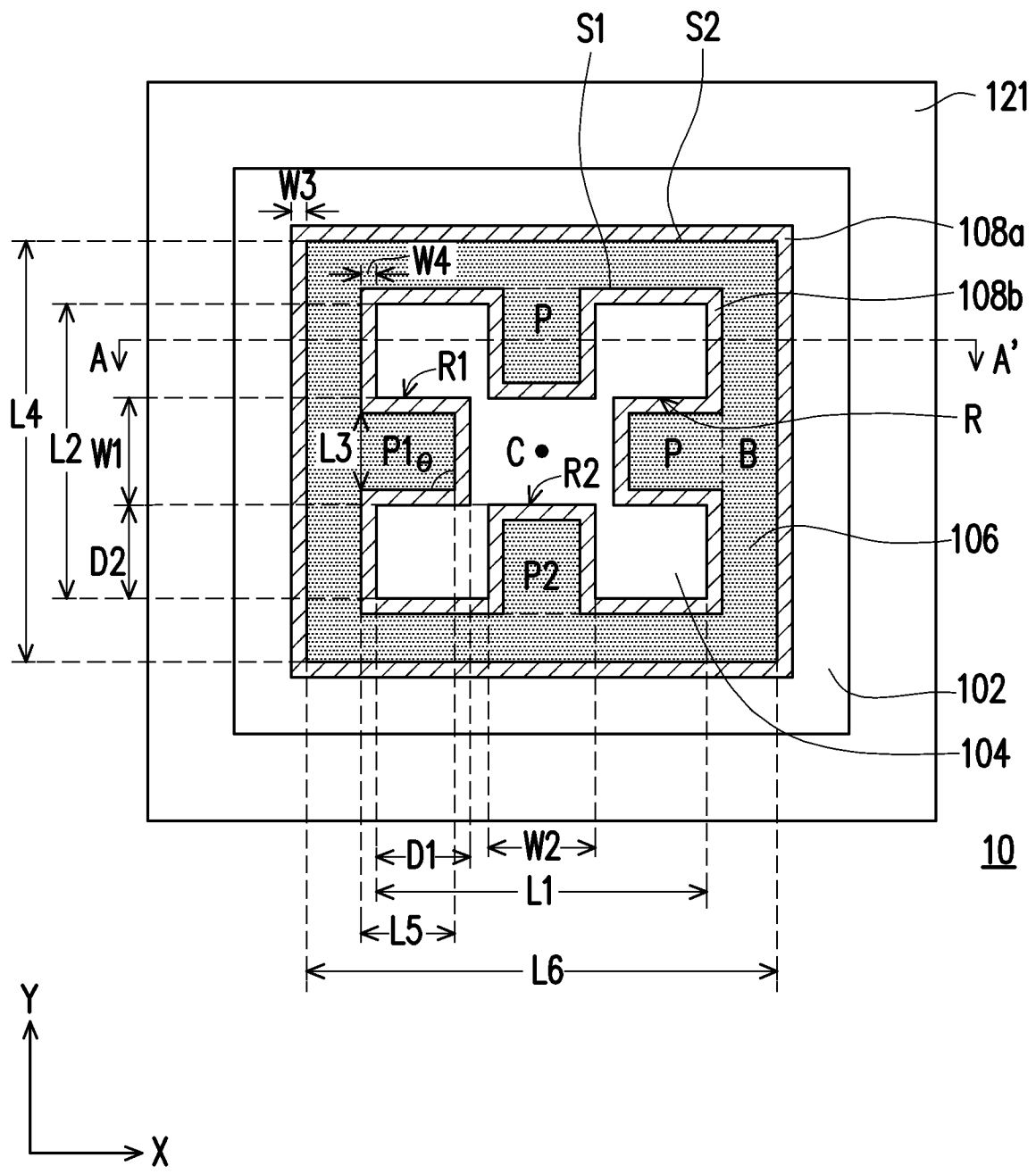
W1~W4：寬度

X：第一方向

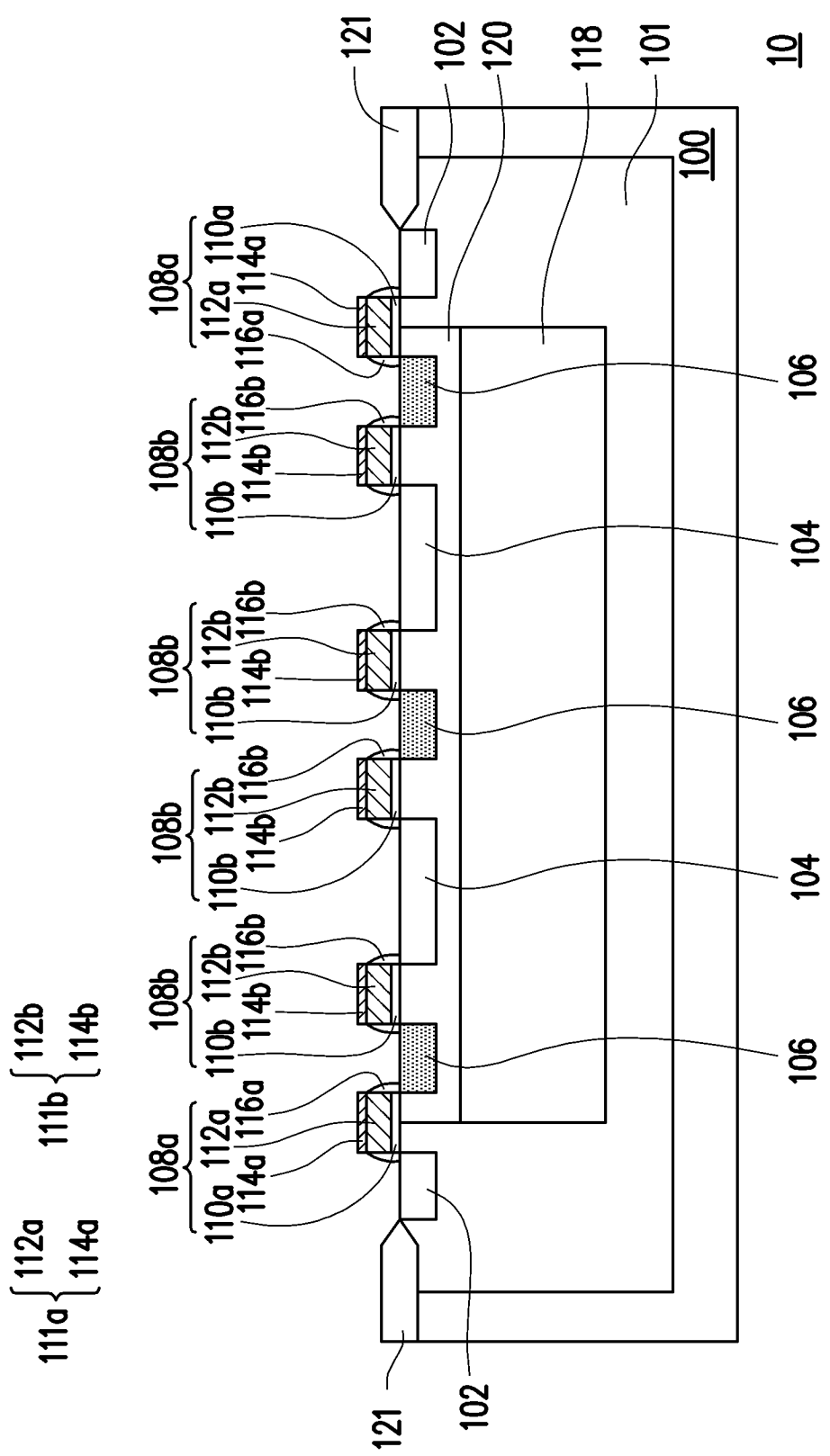
Y：第二方向

【特徵化學式】無

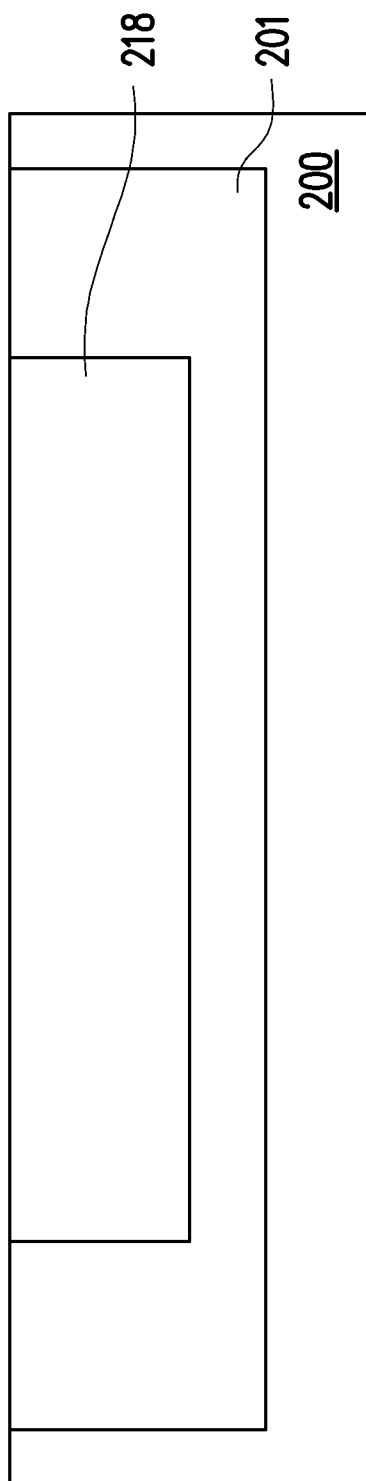
【發明圖式】



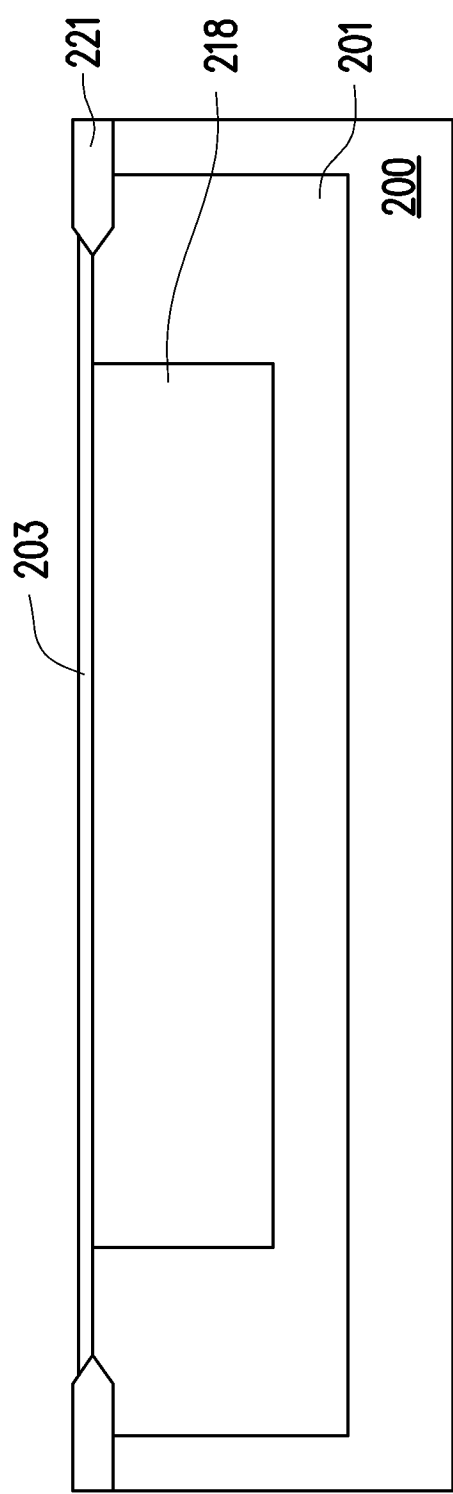
【圖1A】



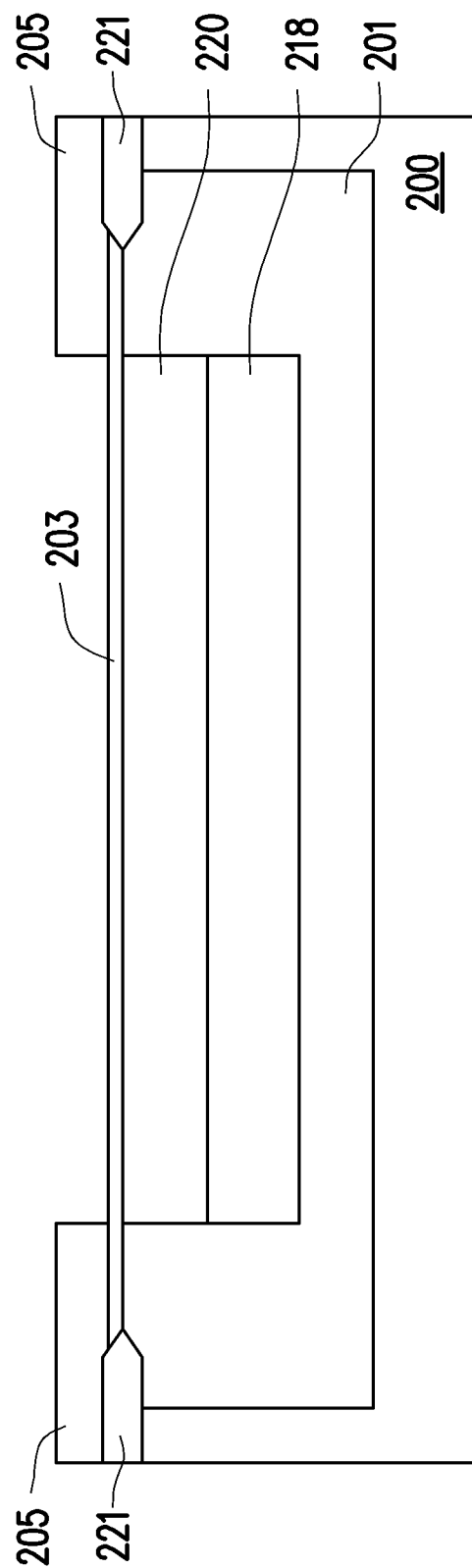
【圖1B】



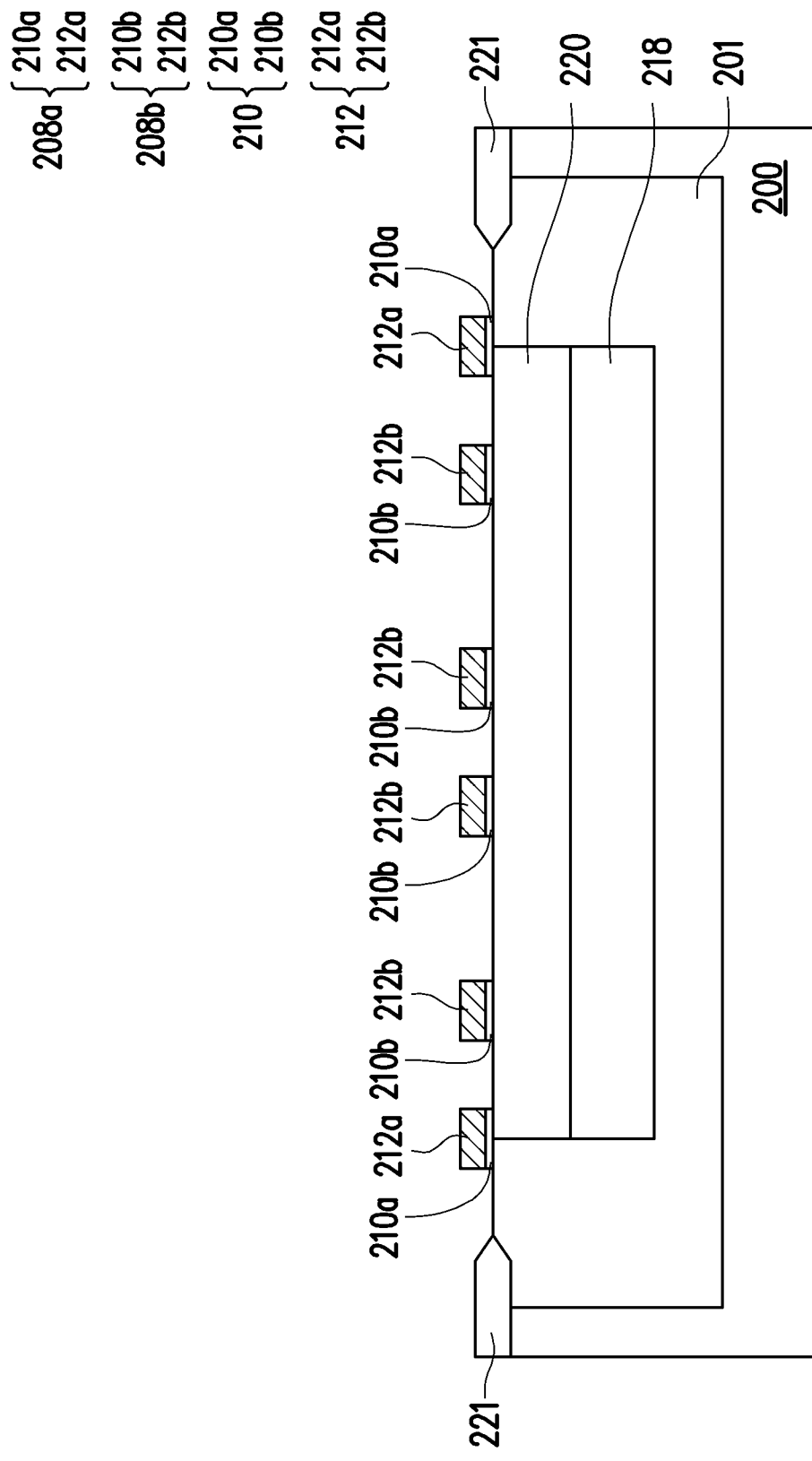
【圖2A】



【圖2B】

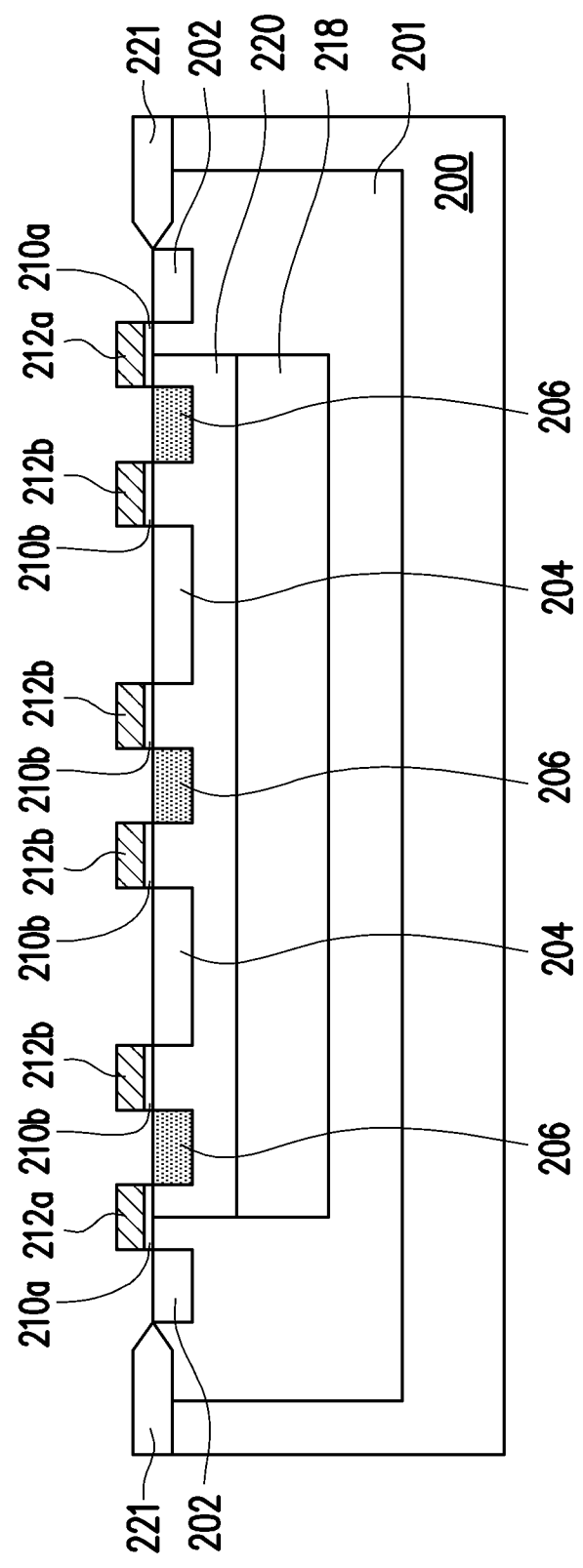


【圖2C】

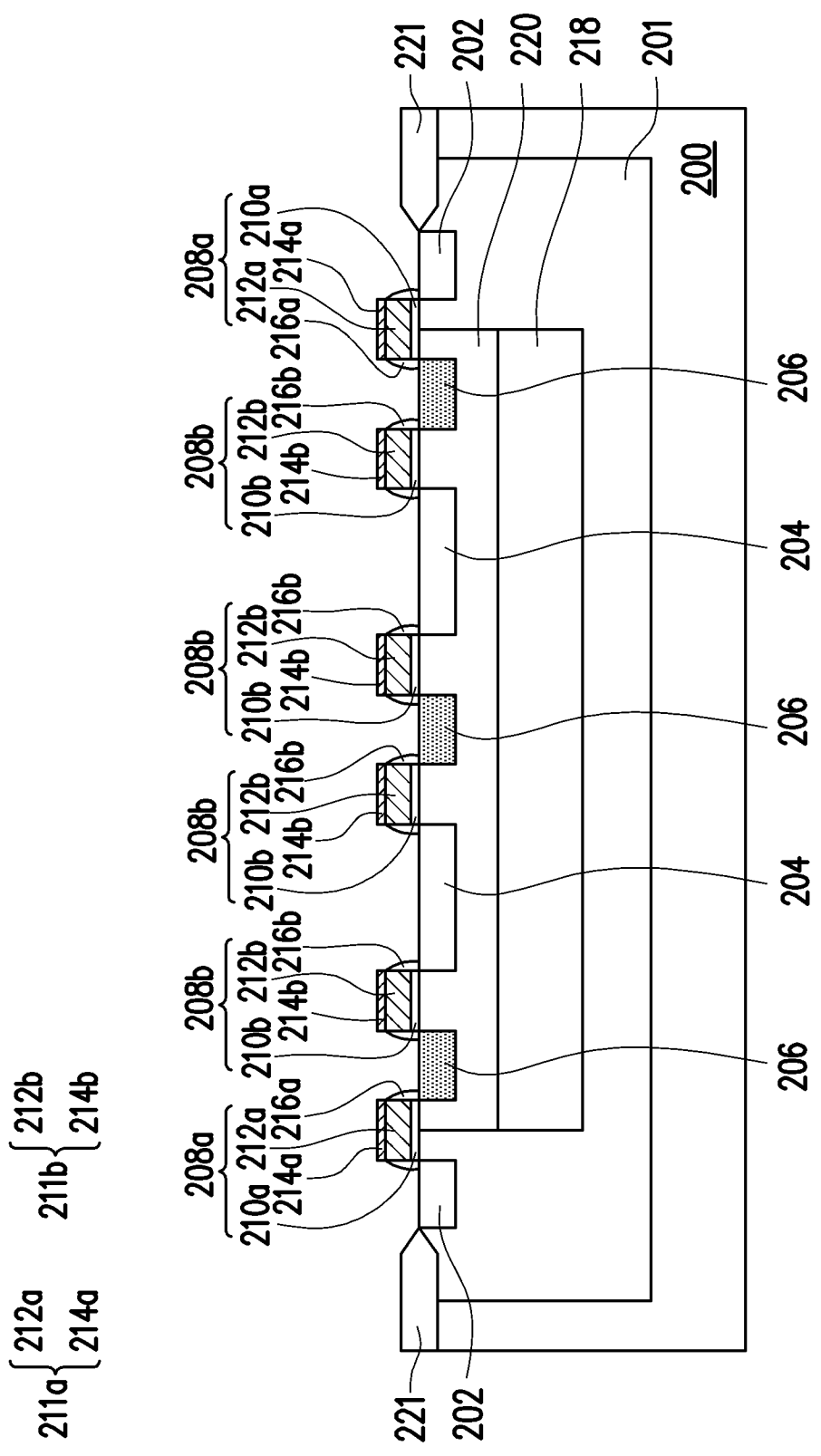


【圖2D】

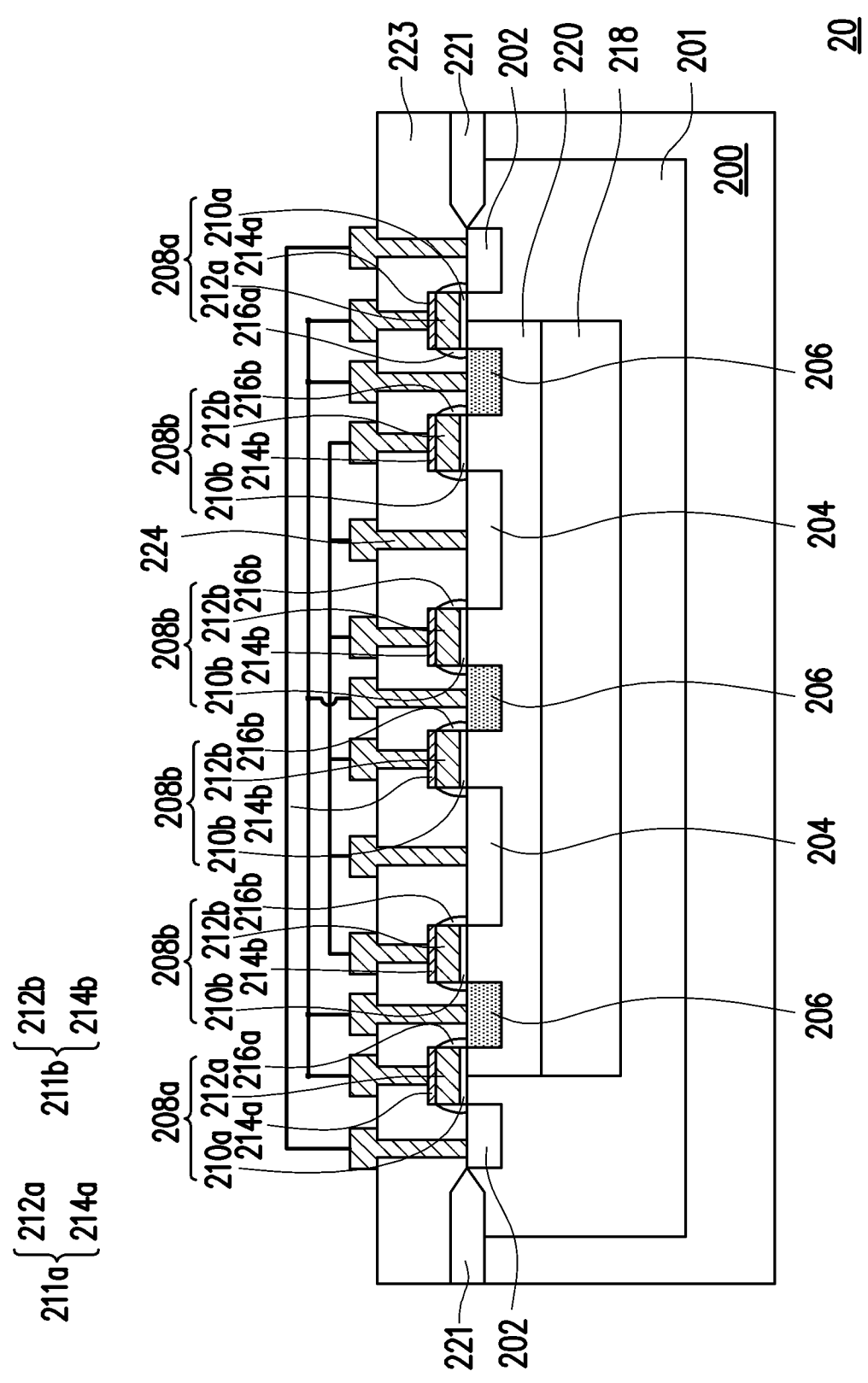
$\left. \begin{matrix} 210a \\ 212a \end{matrix} \right\} 208a$   
 $\left. \begin{matrix} 210b \\ 212b \end{matrix} \right\} 208b$



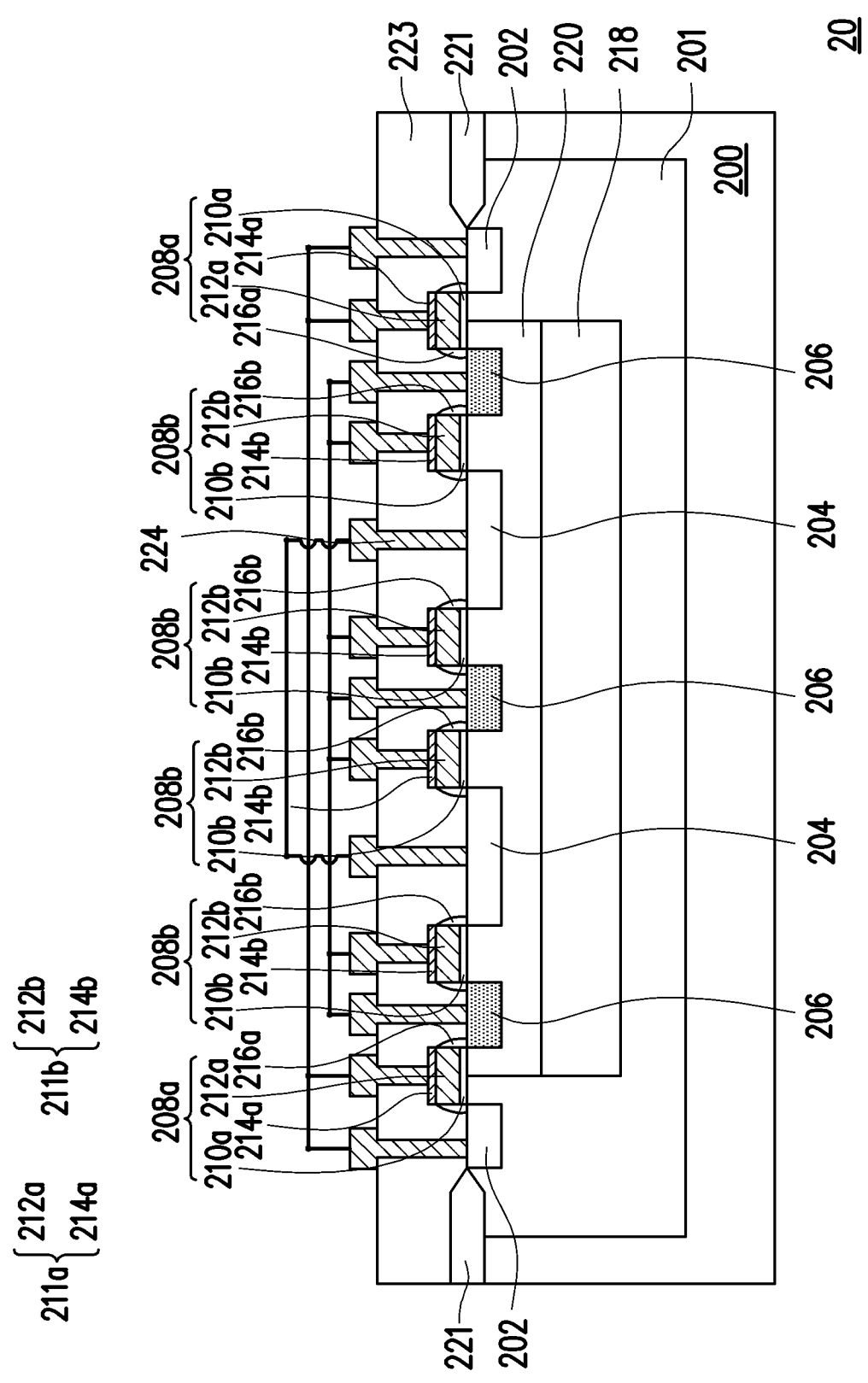
【圖2E】



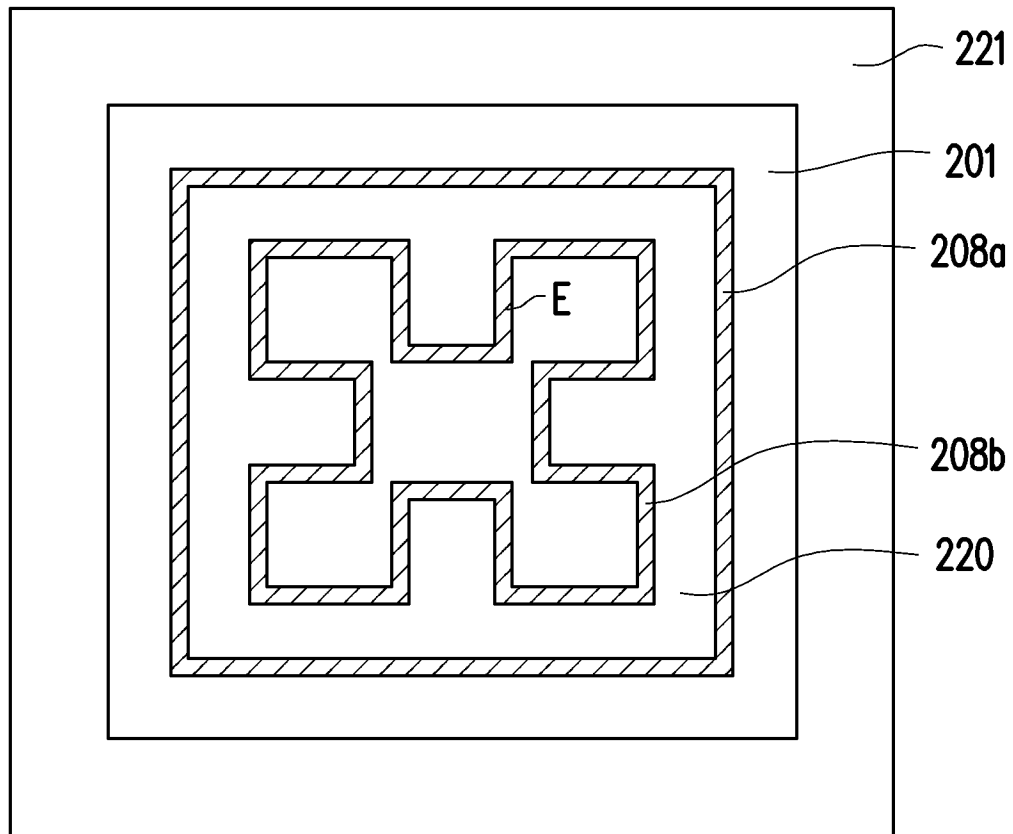
【圖2F】



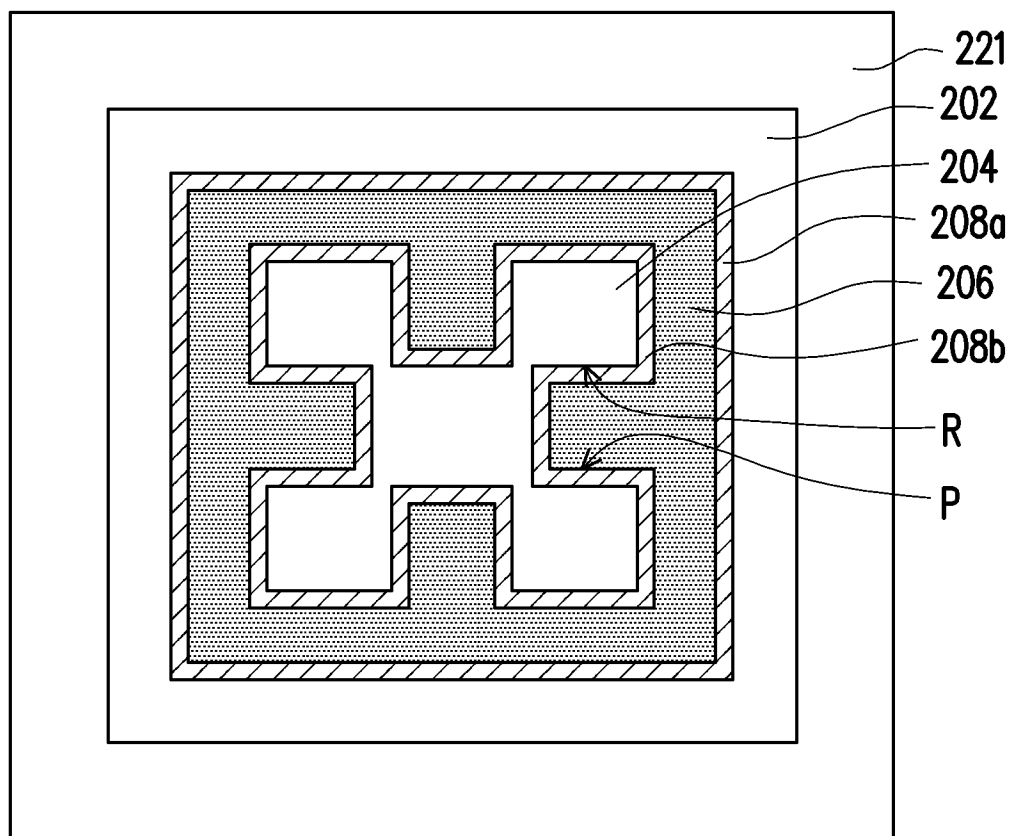
【圖2G】



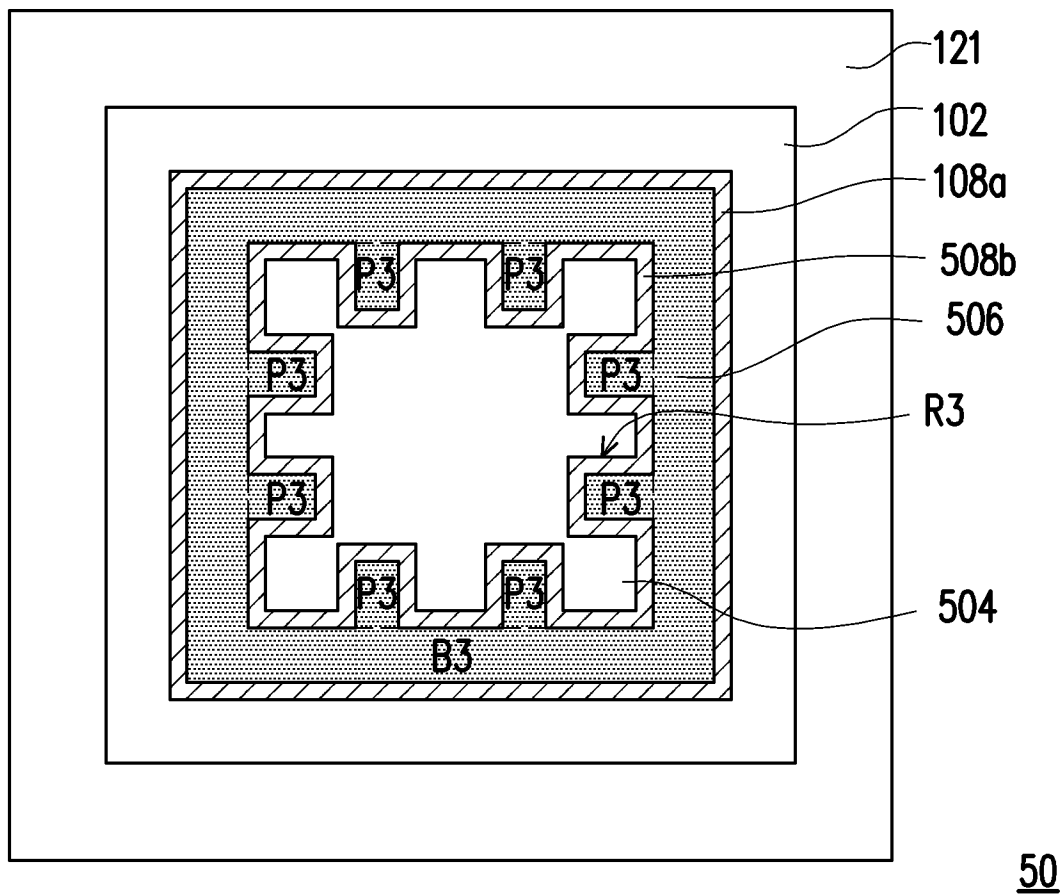
【圖2H】



【圖3】



【圖4】



【圖5】

## 【發明申請專利範圍】

【第1項】一種半導體元件，包括：

具有第一導電型的第一摻雜區，位於基底中；

具有所述第一導電型的第二摻雜區，位於所述基底中且位於所述第一摻雜區的一側，且所述第二摻雜區的上視圖案具有至少一凹部；以及

具有第二導電型的第三摻雜區，位於所述基底中且位於所述第一摻雜區與所述第二摻雜區之間，且所述第三摻雜區的上視圖案具有對應於所述至少一凹部的至少一凸部，其中所述第三摻雜區環繞所述第二摻雜區，所述第三摻雜區的上視圖案的內周長與外周長的比值範圍為 1 至 2，其中所述內周長為所述第三摻雜區鄰近所述第二摻雜區的邊的周長，而所述外周長為所述第三摻雜區鄰近所述第一摻雜區的邊的周長。

【第2項】如申請專利範圍第1項所述的半導體元件，更包括具有所述第二導電型的井區，位於所述基底中，所述井區的上視圖案位於所述第一摻雜區的上視圖案的內側，且所述第二摻雜區與所述第三摻雜區位於所述井區中。

【第3項】如申請專利範圍第1項所述的半導體元件，更包括場區，位於所述基底中，且所述第二摻雜區與所述第三摻雜區位於所述場區中。

【第4項】如申請專利範圍第1項所述的半導體元件，其中所述至少一凹部的深度與所述第二摻雜區的上視圖案在第一方向上或第二

方向上的邊長的比值範圍為0.1至0.45，所述第一方向與所述第二方向交錯。

【第5項】如申請專利範圍第1項所述的半導體元件，更包括：

第一堆疊結構，位於所述基底上，且位於所述第一摻雜區與所述第三摻雜區之間，所述第一堆疊結構包括依序堆疊於所述基底上的第一絕緣層與第一導體結構；以及

第二堆疊結構，位於所述基底上，且位於所述第二摻雜區與所述第三摻雜區之間，所述第二堆疊結構包括依序堆疊於所述基底上的第二絕緣層與第二導體結構。

【第6項】如申請專利範圍第5項所述的半導體元件，其中所述第一堆疊結構的寬度與所述第二堆疊結構的寬度的比值的範圍為0.5至1.5。

【第7項】如申請專利範圍第5項所述的半導體元件，其中所述第二導體結構與所述第二摻雜區電性連接，且所述第一導體結構與所述第三摻雜區電性連接。

【第8項】如申請專利範圍第5項所述的半導體元件，其中所述第一導體結構與所述第一摻雜區電性連接，且所述第二導體結構與所述第三摻雜區電性連接。

【第9項】一種半導體元件，包括：

第一摻雜區具有第一導電型，位於基底中；

第二摻雜區具有所述第一導電型，位於所述基底中且位於所述第一摻雜區的一側；

第三摻雜區具有第二導電型，位於所述基底中且位於所述第一摻雜區與所述第二摻雜區之間；

第一堆疊結構，位於所述基底上，且位於所述第一摻雜區與所述第三摻雜區之間，所述第一堆疊結構包括依序堆疊於所述基底上的第一絕緣層與第一導體結構；以及

第二堆疊結構，位於所述基底上，且位於所述第二摻雜區與所述第三摻雜區之間，所述第二堆疊結構包括依序堆疊於所述基底上的第二絕緣層與第二導體結構，

其中所述第三摻雜區環繞所述第二摻雜區，所述第三摻雜區的上視圖案的内周長與外周長的比值範圍為 1 至 2，其中所述内周長為所述第三摻雜區鄰近所述第二摻雜區的邊的周長，而所述外周長為所述第三摻雜區鄰近所述第一摻雜區的邊的周長。