(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/48
H01L 21/31

(45) 공고일자 2002년02월19일
(11) 등록번호 10-0318467
(24) 등록일자 2001년12월10일

(21) 출원번호 10-1998-0025282
(22) 출원일자 1998년06월30일

(65) 공개번호 특2000-0003974
(43) 공개일자 2000년01월25일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 소상문
경기도 이천시 고담동 산11번지 고담기숙사 104동 905호

(74) 대리인 최종식
박정후
정지원
특허법인 신성

심사관 : 송원선

(54) 본딩형실리콘이중막웨이퍼제조방법

요약

본 발명은 반도체 기술에 관한 것으로, 특히 웨이퍼 본딩 기술을 이용한 본딩형 실리콘 이중막(silicon on insulator, SOI) 웨이퍼(wafer) 제조방법에 관한 것이며, 트렌치형 소자 분리막 구비한 본딩형 SOI 웨이퍼 제작시 디싱 현상에 따른 상부 실리콘층의 두께 균일도 저하를 방지할 수 있는 본딩형 SOI 웨이퍼 제조방법을 제공하는데 그 목적이 있다. 본 발명은 트렌치형 소자 분리막을 형성하기 전에 웨이퍼 본딩을 실시함으로써 디싱 현상을 방지하는 기술로서, 그 상부에 절연막을 가진 제1 웨이퍼를 준비하는 제1 단계; 제2 웨이퍼에 트렌치를 형성하는 제2 단계; 상기 제1 웨이퍼의 상기 절연막 및 제2 웨이퍼의 상기 트렌치가 형성된 일면을 본딩하는 제3 단계; 상기 제2 웨이퍼의 일부 두께를 제거하여 상기 트렌치를 노출시키는 제4 단계; 상기 제4 단계 수행후, 전체구조 상부에 식각 방지막을 형성하는 제5 단계; 상기 트렌치 내부의 상기 식각 방지막을 선택 식각하는 제6 단계; 상기 제6 단계 수행후, 전체구조 상부에 트렌치 매립 절연막을 증착하는 제7 단계; 상기 트렌치 매립 절연막을 에치백하여 상기 식각 방지막을 노출시키는 제8 단계; 및 상기 식각 방지막을 제거하는 제9 단계를 포함하는 것을 특징으로 한다.

대표도

도 1d

색인어
본딩형, 실리콘 이중막 웨이퍼, 트렌치 소자분리막, 디싱 현상, 균일도

명세서

도면의 간단한 설명

도 1a 내지 도 1k는 본 발명의 일 실시예에 따른 본딩형 SOI 웨이퍼 제조 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

10 : 제1 웨이퍼11 : 열산화막

12 : 제2 웨이퍼13 : 붕소 이온층

14 : 질화막15 : 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 특히 웨이퍼 본딩 기술을 이용한 본딩형 실리콘 이중막(silicon on insulator, SOI) 웨이퍼(wafer) 제조방법에 관한 것이다.

SOI 웨이퍼는 실리콘 기판, 매립 산화막(buried oxide layer) 및 상부 실리콘층으로 이루어진다. 이러한 SOI 웨이퍼를 사용한 반도체 소자는 얇은 상부 실리콘층에 소자를 형성함으로써 완전한 소자 분리 특성을 얻을 수 있으며, 얕은 접합의 형성이 용이하여 동작 특성 또한 우수한 장점이 있다.

한편, 본딩형 SOI 웨이퍼 제조시 트렌치형 소자 분리막을 미리 형성한 다음 본딩을 실시하기도 하는데, 이와 같은 경우 상부 실리콘층 형성을 위한 씨닝(thinning) 공정의 마지막 단계인 화학 · 기계적 연마(chemical mechanical polishing) 공정시 디싱(dishing) 현상이 유발되어 소자가 형성될 상부 실리콘층의 두께 균일성을 확보할 수 없게 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 트렌치형 소자 분리막 구비한 본딩형 SOI 웨이퍼 제작시 디싱 현상에 따른 상부 실리콘층의 두께 균일도 저하를 방지할 수 있는 본딩형 SOI 웨이퍼 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 그 상부에 매립 산화막을 가진 제1 웨이퍼를 준비하는 제1 단계; 제2 웨이퍼의 필드 영역에 트렌치를 형성하는 제2 단계; 상기 제1 웨이퍼의 상기 절연막 및 제2 웨이퍼의 상기 트렌치가 형성된 일면을 본딩하는 제3 단계; 상기 제1 웨이퍼와 본딩된 상기 제2 웨이퍼의 일정 두께를 제거하여 상기 트렌치가 노출되도록 하는 제4 단계; 상기 제4 단계를 마친 전체 구조 상부에 식각 방지막을 형성하는 제5 단계; 상기 트렌치 내부의 상기 식각 방지막을 선택 식각하는 제6 단계; 상기 제6 단계를 마친 전체 구조 상부에 트렌치 매립 절연막을 형성하는 제7 단계; 상기 트렌치 매립 절연막을 에치백하여 상기 식각 방지막을 노출시키는 제8 단계; 및 상

기 식각 방지막을 제거하는 제9 단계를 포함하여 이루어진 본딩형 SOI 웨이퍼 제조방법이 제공된다.

즉, 본 발명은 트렌치형 소자 분리막을 형성하기 전에 웨이퍼 본딩을 실시함으로써 디싱 현상을 방지하는 기술이다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1a 내지 도 1k는 본 발명의 일 실시예에 따른 본딩형 SOI 웨이퍼 제조 공정을 도시한 것으로, 이하 이를 참조하여 그 공정을 살펴본다.

우선, 도 1a에 도시된 바와 같이 제1 웨이퍼(10)의 일측 표면에 열산화막(11)을 500Å 10000Å 두께로 성장시킨다. 이때, 열산화막(11)은 매립 산화막으로 형성한 것이며, 이를 대신하여 BPSG, SOG, O_3-TEOS, HDPCVD 산화막 등의 산화막을 증착할 수도 있다.

계속하여, 도 1b에 도시된 바와 같이 제2 웨이퍼(12)의 소정 깊이에 붕소 이온층(13)을 형성한다. 이때, 붕소 이온주입 에너지는 10keV 200keV, 도즈(dose)는 1.0×10^{15} /㎠ 3.0×10^{16} /㎠로 한다.

이어서, 도 1c에 도시된 바와 같이 제2 웨이퍼(12)의 필드 영역을 선택적으로 건식 식각하여 트렌치 형성한다. 이때, 트렌치의 깊이가 500 5000Å 정도가 되도록 하며, 적어도 붕소 이온층(13) 보다는 깊게 형성한다.

다음으로, 도 1d에 도시된 바와 같이 제1 웨이퍼(10)와 제2 웨이퍼(12) 표면을 피라나(Piranha), SC-1 등과 같은 상용화된 세정액을 단독 또는 혼합 사용하여 친수성 처리한 다음, 7.5×10^{-1} Torr 7.5×10^{-4} Torr의 진공하에서 제1 웨이퍼(10)와 제2 웨이퍼(12)를 본딩한다. 이때, 제1 웨이퍼(10) 상의 열산화막(11)에 제2 웨이퍼(12)의 트렌치가 형성된 상면을 본딩하여, 제2 웨이퍼(12)의 후면이 상부를 향하도록 한다. 이어서, 본딩된 제1 웨이퍼(10)와 제2 웨이퍼(12)의 접합 강도를 증가시키기 위하여 800 1200℃의 질소 또는 산소 분위기에서 30 120분 동안 열처리를 실시한다.

계속하여, 도 1e에 도시된 바와 같이 제2 웨이퍼(12)의 후면 연마 및 식각을 실시하여 트렌치 상부에 잔류하는 제2 웨이퍼(12)의 두께가 1000Å 30000Å이 되도록 한다.

이어서, 도 1f에 도시된 바와 같이 NH_4OH, H_2O_2, H_2O의 혼합용액(예컨대, 1 : 0.02 : 1의 부피비)을 사용하여 후면 연마 및 식각된 제2 웨이퍼(12)의 붕소 이온층(13) 상에 남아있는 실리콘을 식각한다. 이때, 경우에 따라서는 NH_4OH, H_2O_2 및 H_2O의 혼합용액에서 H_2O_2를 사용하지 않을 수도 있으며, NH_4OH를 대신하여 KOH를 사용할 수 있다. 이어서, 붕소 이온층(13)에 의해 두께 균일성이 맞추어진 제2 웨이퍼(12)의 화학·기계적 연마(CMP)를 실시하여 붕소 이온층(13)을 제거하고, 원하는 깊이의 트렌치를 잔류시킨다. 이때, CMP 공정은 10 30rpm의 척 테이블(chuck table) 회전 속도, 4 8psi의 스핀들(spindle) 압력, 20 40 rpm의 스핀들 회전 속도를 사용하여 진행한다.

이어서, 활성 영역인 제2 웨이퍼(실리콘층)(12)에 잔류할 수 있는 붕소 이온을 제거하고, 비정질화된 실리콘층의 단결정 회복을 위하여 800 1300℃의 수소 분위기하에서 30 120분 동안 열처리를 실시한다.

다음으로, 도 1g에 도시된 바와 같이 전체구조 상부에 질화막(14)을 500 5000Å 두께로 증착하여 트렌치를 매립한다. 이때, 질화막(14)은 저압화학기상증착(LPCVD), 플라즈마화학기상증착(PECVD) 등의 통상적인 화학기상증착법을 통해 증착한다.

계속하여, 도 1h에 도시된 바와 같이 마스크를 사용하여 트렌치에 매립된 질화막(14)을 선택적으로 건식 식각하여 필드 영역의 열산화막(11)을 노출시킨다.

이어서, 도 1i에 도시된 바와 같이 전체구조 상부에 화학기상증착 방식을 사용하여 1000 20000Å 두께의 산화막(15)을 증착하여 트렌치를 매립한 다음, 도 1j에 도시된 바와 같이 질화막(14)을 식각 정지층으로 사용하여 산화막(15)을 에치백한다. 산화막(15)의 에치백은 CF_4, C_2F_6, CHF_3 등의 C-F계 가스를 주식각제로 사용하고 HBr과 같은 폴리머 유발 가스를 추가적으로 사용하여 질화막(14) 노출시 식각 정지가 유발되도록 한다.

계속하여, 도 1k에 도시된 바와 같이 인산용액을 사용한 통상의 습식 식각을 실시하여 질화막(14)을 선택적으로 제거함으로써 본딩형 웨이퍼 제조를 완료한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은 트렌치형 소자 분리막을 구비한 본딩형 SOI 웨이퍼 제조시의 CMP에 의한 상부 실리콘층의 디싱 현상을 방지하여 활성 영역의 두께 균일도를 확보할 수 있다.

(57) 청구의 범위

청구항 1.

그 상부에 매립 산화막을 가진 제1 웨이퍼를 준비하는 제1 단계;

제2 웨이퍼의 필드 영역에 트렌치를 형성하는 제2 단계;

상기 제1 웨이퍼의 상기 절연막 및 제2 웨이퍼의 상기 트렌치가 형성된 일면을 본딩하는 제3 단계;

상기 제1 웨이퍼와 본딩된 상기 제2 웨이퍼의 일정 두께를 제거하여 상기 트렌치가 노출되도록 하는 제4 단계;

상기 제4 단계를 마친 전체 구조 상부에 식각 방지막을 형성하는 제5 단계;

상기 트렌치 내부의 상기 식각 방지막을 선택 식각하는 제6 단계;

상기 제6 단계를 마친 전체 구조 상부에 트렌치 매립 절연막을 형성하는 제7 단계;

상기 트렌치 매립 절연막을 에치백하여 상기 식각 방지막을 노출시키는 제8 단계; 및

상기 식각 방지막을 제거하는 제9 단계

를 포함하여 이루어진 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 2.

제1항에 있어서,

상기 제2 단계 수행 전, 상기 제2 웨이퍼의 상기 트렌치가 형성되는 깊이보다 얕은 깊이에 불순물층을 형성하는 제10 단계를 더 포함하여 이루어진 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 3.

제2항에 있어서,

상기 불순물층이 붕소 이온층인 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 4.

제2항 또는 제3항에 있어서,

상기 제4 단계는,

상기 제3 단계 수행후, 상기 제2 웨이퍼의 후면 연마 및 식각을 실시하여 상기 트렌치 상부로 1000 30000Å 두께의 상기 제2 웨이퍼가 잔류되도록 하는 제11 단계;

상기 제2 웨이퍼에 대한 습식 식각을 실시하여 상기 불순물층이 노출되도록 하는 제12 단계; 및

상기 제2 웨이퍼에 대한 화학·기계적 연마 공정을 실시하여 상기 불순물층을 제거하고 예정된 활성 영역의 두께만큼 상기 제2 웨이퍼를 잔류시키는 제13 단계를 포함하여 이루어진 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 5.

제4항에 있어서,

상기 제12 단계에서,

상기 습식 식각은 NH_4OH, H_2O_2, H_2O의 혼합용액을 에천트로 사용하여 수행하는 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 6.

제4항에 있어서,

상기 제12 단계에서,

상기 습식 식각은 KOH, H_2O_2, H_2O의 혼합용액을 에천트로 사용하여 수행하는 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 7.

제1항 또는 제2항에 있어서,

상기 제3 단계에서,

상기 제1 및 제2 웨이퍼의 표면 친수성 처리를 실시한 후, 상기 제1 및 제2 웨이퍼의 본딩을 실시하는 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 8.

제1항 또는 제2항에 있어서,

상기 제3 단계 수행 후, 본딩된 상기 제1 웨이퍼와 상기 제2 웨이퍼의 접합 강도를 증가시키기 위하여 800 1200℃의 질소 또는 산소 분위기하에서 30 120분 동안 열처리를 실시하는 제11 단계를 더 포함하여 이루어진 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 9.

제4항에 있어서,

상기 제13 단계 수행 후, 상기 제2 웨이퍼에 잔류하는 붕소 이온을 제거하고 상기 제2 웨이퍼의 단결정성 회복을 위하여 800 1300℃의 수소 분위기하에서 30 120분 동안 열처리를 실시하는 제14 단계를 더 포함하여 이루어진 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 10.

제1항에 있어서,

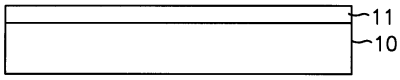
상기 식각 방지막은 질화막인 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

청구항 11.

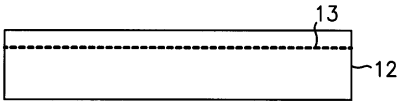
제1항 또는 제10항에 있어서,

상기 트렌치 매립 산화막은 산화막인 것을 특징으로 하는 본딩형 실리콘 이중막 웨이퍼 제조방법.

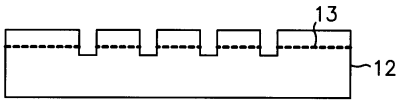
도면 1a



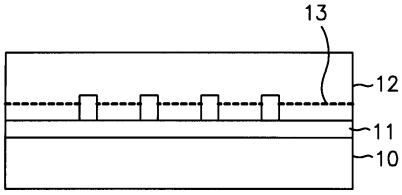
도면 1b



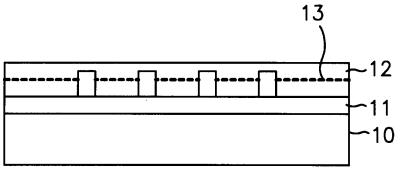
도면 1c



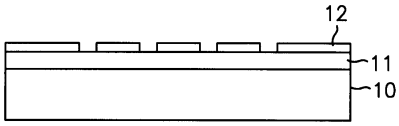
도면 1d



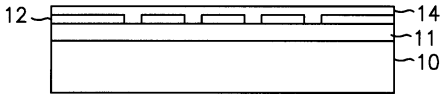
도면 1e



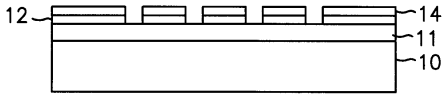
도면 1f



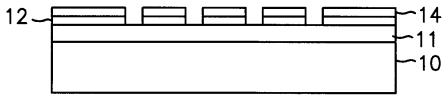
도면 1g



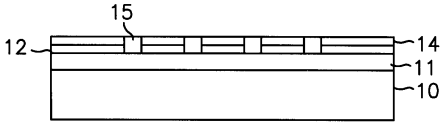
도면 1h



도면 1i



도면 1j



도면 1k

