



(19) **UA** (11) **59 400** (13) **C2**  
(51)МПК <sup>7</sup> **G 11C 16/04**

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ  
УКРАИНЫ

ГОСУДАРСТВЕННЫЙ ДЕПАРТАМЕНТ  
ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ УКРАИНЫ

(21), (22) Заявка: 2000010211, 14.07.1998

(24) Дата начала действия патента: 15.09.2003

(30) Приоритет: 14.07.1997 DE 197 30 116.9

(46) Дата публикации: 15.09.2003

(86) Заявка РСТ:  
РСТ/DE98/01970, 19980714

(72) Изобретатель:

Покрандт Вольфганг, DE,  
Зедлак Хольгер, DE,  
Виманн Ханс-Хайнрих, DE

(73) Патентовладелец:

ИНФИНЕОН ТЕКНОЛОДЖИЗ АГ, DE

(54) ПОЛУПРОВОДНИКОВОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ЭНЕРГОНЕЗАВИСИМЫМИ  
ДВУХТРАНЗИСТОРНЫМИ ЗАПОМИНАЮЩИМИ ЭЛЕМЕНТАМИ

(57) Реферат:

Предлагаемое полупроводниковое запоминающее устройство с энергонезависимыми двухтранзисторными запоминающими элементами отличается тем, что запоминающий элемент содержит МОП-транзистор с каналом n-типа для выбора элемента, запоминающий МОП-транзистор с каналом n-типа и, дополнительно, триггер с транзистором для считывания. В качестве транзистора для считывания используется МОП-транзистор с каналом p-типа, соединенный с шиной выбора строки запоминающего устройства.

Настоящее изобретение обеспечивает возможность программирования запоминающего устройства при использовании напряжений, для формирования которых не требуется сложное технологическое оборудование.

Официальный бюлетень "Промышленная собственность". Книга 1 "Изобретения, полезные модели, топографии интегральных микросхем", 2003, N 9, 15.09.2003. Государственный департамент интеллектуальной собственности Министерства образования и науки Украины.

У А 5 9 4 0 0 C 2

У А 5 9 4 0 0 C 2



(19) **UA** (11) **59 400** (13) **C2**  
 (51) Int. Cl.<sup>7</sup> **G 11C 16/04**

MINISTRY OF EDUCATION AND SCIENCE OF  
 UKRAINE

STATE DEPARTMENT OF INTELLECTUAL  
 PROPERTY

(12) **DESCRIPTION OF PATENT OF UKRAINE FOR INVENTION**

(21), (22) Application: 2000010211, 14.07.1998  
 (24) Effective date for property rights: 15.09.2003  
 (30) Priority: 14.07.1997 DE 197 30 116.9  
 (46) Publication date: 15.09.2003  
 (86) PCT application:  
 PCT/DE98/01970, 19980714

(72) Inventor:  
 Pokkrandt Wolfgang, DE,  
 Zedlak Holger, DE,  
 Vimann Hans-Heinrich, DE  
 (73) Proprietor:  
 INFINEON TECHNOLOGIES AG, DE

(54) **SEMICONDUCTOR MEMORY WITH NONVOLATILE DUAL-TRANSISTOR MEMORY CELLS**

(57) Abstract:

The invention relates to a semiconductor memory, especially with non-volatile dual transistor memory cells, comprising an N-channel selection transistor and an N-channel memory transistor, wherein a trigger circuit with a transfer transistor is also provided and is also the object of the invention. The transfer transistor in the inventive semiconductor is embodied as a P-channel transfer transistor,

wherein a transfer channel connection is linked to a row circuit leading to the memory cell. This enables the voltages required for programming to be obtained with little technological effort.

Official bulletin "Industrial property". Book 1 "Inventions, utility models, topographies of integrated circuits", 2003, N 9, 15.09.2003. State Department of Intellectual Property of the Ministry of Education and Science of Ukraine.

U A 5 9 4 0 0 C 2

U A 5 9 4 0 0 C 2



(19) **UA** (11) **59 400** (13) **C2**  
(51)МПК <sup>7</sup> **G 11C 16/04**

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ

(12) ОПИС ВИНАХОДУ ДО ПАТЕНТУ УКРАЇНИ

(21), (22) Дані стосовно заявки:  
2000010211, 14.07.1998

(24) Дата набуття чинності: 15.09.2003

(30) Дані стосовно пріоритету відповідно до Паризької конвенції : 14.07.1997 DE 197 30 116.9

(46) Публікація відомостей про видачу патенту (декларційного патенту): 15.09.2003

(86) Номер та дата подання міжнародної заявки відповідно до договору РСТ:  
PCT/DE98/01970, 19980714

(72) Винахідник(и):  
Покрандт Вольфганг , DE,  
Зедлак Хольгер , DE,  
Віманн Ханс-Хайнріх , DE

(73) Власник(и):  
ІНФІНЕОН ТЕКНОЛОДЖІС АГ, DE

(54) НАПІВПРОВІДНИКОВИЙ ЗАПАМ'ЯТОВУЮЧИЙ ПРИСТРІЙ З ЕНЕРГОНЕЗАЛЕЖНИМИ ДВОТРАНЗИСТОРНИМИ ЗАПАМ'ЯТОВУЮЧИМИ КОМІРКАМИ

(57) Реферат:

Винахід стосується напівпровідникового запам'ятовуючого пристрою з енергоне залежними двотранзисторними запам'ятовуючими комітками, що містять n-канальний транзистор вибору і n-канальний запам'ятовуючий транзистор, причому передбачена схема керування з передавальним транзистором. У запам'ятовуючому пристрої

передавальний транзистор виконано у вигляді r-канального транзистора, причому вивід каналу передавального транзистора з'єднаний з шиною рядка, що веде до запам'ятовуючої комітки. Завдяки цьому необхідні для програмування напруги можуть бути досягнуті з незначними технологічними витратами.

U A 5 9 4 0 0 C 2

U A 5 9 4 0 0 C 2

## Опис винаходу

Винахід стосується напівпровідникового запам'ятовуючого пристрою (ЗП), що містить щонайменше одну, зокрема, енергонезалежну запам'ятовуючу комірку, яка характеризується такими ознаками:

вона містить п-канальний транзистор вибору і п-канальний запам'ятовуючий транзистор, п-канальний транзистор вибору має вивід затвора, а також два виводи каналу, причому вивід затвора з'єднаний з шиною рядка, яка веде до запам'ятовуючої комірки,

п-канальний запам'ятовуючий транзистор має вивід затвора або управляючий затвор, а також два виводи каналу,

другий вивід каналу запам'ятовуючого транзистора і перший вивід каналу транзистора вибору з'єднані між собою, причому інший вивід каналу запам'ятовуючого транзистора та інший вивід каналу транзистора вибору з'єднані з шиною стовпця, що веде до запам'ятовуючої комірки,

причому напівпровідниковий ЗП містить щонайменше один передавальний транзистор, що має перший і другий виводи каналу, причому перший вивід каналу передавального транзистора з'єднано з виводом затвора запам'ятовуючого транзистора.

У напівпровідникових ЗП такого роду окремі транзистори виконані за польовою технологією на напівпровідниковій підкладці. При цьому запам'ятовуючий транзистор має плаваючий затвор, завдяки чому при подачі відповідних напруг на виводи каналу і вивід затвора він програмується таким чином, що може перебувати у бажаному стані тривалий час або незалежно від наявності напруги живлення.

Для зчитування даних із запам'ятовуючої комірки один вивід каналу запам'ятовуючого транзистора і один вивід каналу транзистора вибору з'єднані між собою, причому інший вільний вивід каналу запам'ятовуючого транзистора і інший вільний вивід каналу транзистора вибору з'єднано з шиною стовпця, що веде до запам'ятовуючої комірки. Якщо при подачі напруги на відповідну шину стовпця протікає струм, значить запам'ятовуючий транзистор при програмуванні був переведений у стан "відкритий". Якщо ж при подачі цієї напруги на відповідну шину стовпця струм не протікає, значить запам'ятовуючий транзистор при програмуванні був переведений у стан "закритий", тобто дані були зітерті.

У напівпровідникових ЗП такого роду проблему становить той факт, що формування необхідних для програмування напруг пов'язано зі значними технологічними витратами. До того ж, при програмуванні запам'ятовуючої комірки часто виникають помилки у інших запам'ятовуючих комірках, які під час даного процесу програмування не були вибрані для програмування.

У європейському патенті EP 0317 443 A1 описана двотранзисторна запам'ятовуюча комірка, що містить транзистор вибору і транзистор із плаваючим затвором. Для керування транзистором із плаваючим затвором формують спеціальну напругу.

Тому в основу винаходу покладено задачу розробки запам'ятовуючої комірки із вказаними вище родовими ознаками, а також напівпровідникового запам'ятовуючого пристрою із вказаними вище родовими ознаками, в якому з низькими технологічними витратами забезпечується бездефектне програмування.

Ця задача вирішена тим, що передавальний транзистор виконаний у вигляді р-канального транзистора, причому другий вивід каналу передавального транзистора з'єднаний на відміну від рівня техніки не із зовнішнім джерелом управляючої напруги, а з шиною рядка, що веде до запам'ятовуючої комірки.

В основу винаходу покладено знання того факту, що у схемах вказаного вище роду має бути подолана втрата порогової напруги у транзисторі передачі, для чого має бути сформована більша напруга затвора передавального транзистора. Ця проблема може бути вирішена за рахунок виконання передавального транзистора у вигляді транзистора зі зниженою пороговою напругою, що, однак, може бути досягнуто лише за рахунок збільшення технологічних витрат.

При реалізації структури і схеми під'єднання передавального транзистора для програмування запам'ятовуючого транзистора більше немає потреби у подоланні порогової напруги, завдяки чому з низькими технологічними витратами забезпечується бездефектне програмування.

Крім того, в основу винаходу покладено знання того факту, що, за рівнем техніки, внаслідок особливої схеми під'єднання передавального транзистора напруга управляючих затворів запам'ятовуючих комірок, не залучених в даний момент до процесу програмування, має не визначене, довільне "плаваюче" значення, що може призвести до ємнісних перехресних паразитних зв'язків між напругами програмування. Такі перехресні паразитні зв'язки у напівпровідниковому ЗП за винаходом відсутні, бо при програмуванні винайденого ЗП стан виводу затвора кожної запам'ятовуючої комірки задано однозначно. Згідно з винаходом, на вивід затвора передавального транзистора може бути поданий логічний сигнал, перетворений у високу напругу. Доцільно для цього застосувати логічний сигнал, що використовується для керування станом запам'ятовуючої комірки під час програмування. При цьому, завдяки виконанню передавального транзистора у вигляді р-канального транзистора, можна відмовитись від витратного у виготовленні інвертора для керування затвором передавального транзистора, оскільки р-канальний транзистор запирається при подачі сигналу на затвор і навпаки. Однак, в принципі передавальний транзистор може бути виконаний також п-канальним з інвертором.

При програмуванні ЗП за винаходом вся напруга програмування через канал передавального транзистора без втрат і без додаткових спеціальних заходів може бути передана на затвори запам'ятовуючих транзисторів.

Принагідне слід згадати, що винахід може бути реалізований також у ЗП, в яких транзистори вибору і транзистори пам'яті виконано р-канальними; при цьому передавальний транзистор має бути п-канальним. Хоча така структура скоріше не матиме застосування, вона може мати переваги, коли необхідно створити так званий

“діркопровід” для передачі носіїв заряду.

У вдосконаленому варіанті винаходу схема керування містить n-канальний розрядний транзистор, який має вивід затвора, а також перший і другий виводи розрядного каналу, причому перший вивід розрядного каналу з'єднаний з виводом затвора запам'ятовуючого транзистора, другий вивід розрядного каналу з'єднаний з корпусом, а вивід затвора з'єднаний з тією управляючою шиною, через яку здійснюється керування передавальним транзистором.

Такий розрядний транзистор під час програмування забезпечує подачу на затвор транзистора пам'яті заданого потенціалу, зокрема, потенціалу корпусу. Завдяки цьому, саме при запертому транзисторі передачі забезпечується перебування затвора запам'ятовуючого транзистора під потенціалом 0В.

Напівпровідниковий ЗП за винаходом організований у рядки і стовпці, причому всередині рядків виводи затворів транзисторів вибору і виводи затворів запам'ятовуючих транзисторів кількох запам'ятовуючих комірок з'єднані паралельно і, причому всередині стовпців перші виводи каналів запам'ятовуючих транзисторів і другі виводи каналів транзисторів вибору з'єднані паралельно. Таким чином можна дуже просто організувати винайдений ЗП у рядки і стовпці.

При цьому передбачений щонайменше один стовпець, схема керування яким містить передавальний транзистор, під'єднаний за винаходом. Додатково схема керування може містити по одному r-канальному транзистору вибору блока, що має вивід затвора вибору блока і два виводи каналу вибору блока, причому перший вивід каналу вибору блока з'єднаний з шиною рядка, що веде до запам'ятовуючої комірки, а другий вивід каналу вибору блока з'єднаний з першим виводом каналу передавального транзистора. Завдяки цьому, напівпровідниковий ЗП для програмування може бути розділений на окремі блоки, що є особливо вигідним, оскільки більше немає потреби програмувати певні стани для всього рядка ЗП, а лише для одного блока, вибраного із цього рядка. Завдяки цьому, тепер є можливість, зокрема, стирати дані у окремому блоці. Для цього передбачена шина керування вибором блоків, з'єднана з виводами затворів транзисторів вибору блоків таким чином, що керування транзисторами вибору блоків здійснюється через шину керування вибору блоків.

Винахід стосується також загалом схеми керування щонайменше однією запам'ятовуючою коміркою, що містить під'єднаний описаним вище чином передавальний транзистор.

Нижче винахід детальніше пояснюється на двох прикладах здійснення з використанням ілюстрацій, на яких зображені:

Фіг.1 схема першого варіанту напівпровідникового ЗП за винаходом;

Фіг.2 схема другого варіанту напівпровідникового ЗП за винаходом.

На фіг.1 зображена схема першого варіанту напівпровідникового ЗП за винаходом, виконаного на напівпровідниковій підкладці. На фіг.1 зображено лише фрагмент напівпровідникового запам'ятовуючого пристрою, який містить запам'ятовуючі комірки Z1, Z2, Z3 і Z4. Управління запам'ятовуючими комірками Z1, Z2, Z3 і Z4 може бути здійснене за допомогою двох шин рядків AG1, AG2 і двох шин стовпців SP1, SP2.

Для керування запам'ятовуючими комірками Z1, Z2, Z3 і Z4 служить схема управління, що містить передавальний транзистор ТИ, розрядний транзистор ET1, передавальний транзистор ТТ2, а також розрядний транзистор ET2, керування якими здійснюється через шину сигналу запису SCHRХ. На шину сигналу запису SCHRХ подано перетворений у високу напругу сигнал, сформований із логічного сигналу, який здійснює керування процесом запису.

Транзистор передачі ТТ1 і передавальний транзистор ТТ2 виготовлені за польовою технологією у вигляді r-канальних транзисторів, а розрядний транзистор ET1 і розрядний транзистор ET2 виготовлені за польовою технологією у вигляді n-канальних транзисторів.

Запам'ятовуюча комірка Z1 містить транзистор вибору АТ1 і запам'ятовуючий транзистор ST1. Транзистор вибору АТ1 виготовлений у вигляді звичайного польового n-канального транзистора, тоді як запам'ятовуючий транзистор ST1 виготовлений у вигляді n-канального транзистора із так званим "плаваючим затвором". Перший вивід каналу транзистора вибору АТ1 з'єднаний з шиною стовпця SP1, а другий вивід каналу транзистора вибору АТ1 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST1. Другий вивід каналу запам'ятовуючого транзистора ST1 з'єднаний зі спільною шиною Source.

Вивід затвора транзистора вибору АТ1 з'єднаний із шиною рядка AG1. До шини вибору рядка AG1 під'єднаний також другий вивід каналу передавального транзистора ТТ1. Перший вивід каналу передавального транзистора ТТ1 з'єднаний з виводом затвора KG1 запам'ятовуючого транзистора ST1. При цьому відповідний виводів затвора KG1 затвор запам'ятовуючого транзистора ST1 виконаний у вигляді так званого "плаваючого затвора".

Вивід затвора передавального транзистора ТТ1 з'єднаний з шиною сигналу запису SCHRХ. Вивід затвора розрядного транзистора ET1 також з'єднаний з шиною сигналу запису SCHRХ. Перший вивід каналу розрядного транзистора ET1 з'єднаний з виводом затвора KG1 запам'ятовуючого транзистора ST1, а другий вивід каналу розрядного транзистора ET1 безпосередньо з'єднаний з корпусом.

Запам'ятовуюча комірка Z3 відносно шини рядка AG1 під'єднана паралельно запам'ятовуючій комірці Z1. При цьому запам'ятовуюча комірка Z3 містить транзистор вибору АТ3, виконаний у вигляді звичайного польового n-канального транзистора, і запам'ятовуючий транзистор ST3, виконаний у вигляді n-канального транзистора з "плаваючим затвором". Перший вивід каналу транзистора вибору АТ3 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору АТ3 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST3. Другий вивід каналу запам'ятовуючого транзистора ST3 з'єднаний з шиною Source. Вивід затвора транзистора вибору АТ3 під'єднаний паралельно виводу затвора транзистора вибору АТ1 і з'єднаний з шиною рядка AG1.

Вивід затвора запам'ятовуючого транзистора ST3 під'єднаний паралельно виводу затвора запам'ятовуючого

транзистора ST1 і з'єднаний з другим виводом каналу передавального транзистора TT1. Внаслідок цього вивід затвора запам'ятовуючого транзистора ST3 також з'єднаний з першим виводом каналу розрядного транзистора ET1. Запам'ятовуюча комірка Z2 містить транзистор вибору AT2 і запам'ятовуючий транзистор ST2. Транзистор вибору AT2 виконаний у вигляді звичайного польового p-канального транзистора, а запам'ятовуючий транзистор виконаний у вигляді p-канального транзистора з "плаваючим затвором". Перший вивід каналу транзистора вибору AT2 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору AT2 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST2. Другий вивід каналу запам'ятовуючого транзистора ST2 з'єднаний зі спільною шиною Source.

Вивід затвора транзистора вибору AT2 з'єднаний з шиною рядка AG2. Другий вивід каналу передавального транзистора TT2 також з'єднаний з шиною рядка AG2. Перший вивід каналу передавального транзистора TT2 з'єднаний з виводом затвора KG2 запам'ятовуючого транзистора ST2. При цьому відповідний виводу затвора KG2 затвор запам'ятовуючого транзистора ST2 виконаний у вигляді "плаваючого затвора".

Вивід затвора передавального транзистора TT2 і вивід затвора розрядного транзистора ET2 з'єднані з шиною сигналу запису SCHRХ. Перший вивід каналу розрядного транзистора ET2 з'єднаний з виводом затвора KG2, а другий вивід каналу розрядного транзистора безпосередньо з'єднаний з корпусом. Комірка Z4 відносно шини рядка AG2 під'єднана паралельно комірки Z2. При цьому комірка Z4 містить транзистор вибору AT4, виконаний у вигляді звичайного польового p-канального транзистора, а також запам'ятовуючий транзистор ST4, виконаний у вигляді транзистора з "плаваючим затвором". Перший вивід каналу транзистора вибору AT4 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору AT4 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST4. Другий вивід каналу запам'ятовуючого транзистора ST4 з'єднаний зі спільною шиною Source. Вивід затвора транзистора вибору AT4 під'єднаний паралельно виводу затвора транзистора вибору AT і з'єднаний з шиною рядка AG2. Вивід затвора запам'ятовуючого транзистора ST4 під'єднаний паралельно виводу затвора запам'ятовуючого транзистора ST2 і з'єднаний з другим виводом каналу передавального транзистора TT2. Внаслідок цього вивід затвора запам'ятовуючого транзистора ST4 також з'єднаний з першим виводом каналу розрядного транзистора ET2.

Відносно шини стовпця SP1 комірки Z1, Z2 під'єднані паралельно, а комірки Z3, Z4 під'єднані паралельно відносно шини стовпця.

Нижче пояснюються три режими запам'ятовуючої комірки: "стирання", "запис" і "зчитування" для запам'ятовуючої комірки Z1. При цьому, в режимі "стирання" на шину стовпця SP1 не подається жоден сигнал, оскільки для цього він не потрібен. Лише при записі і при зчитуванні вмісту комірки Z1 на шину стовпця SP1 подається сигнал. Однак, в цьому описі цей процес детальніше не відображено, оскільки для суті винаходу він має другорядне значення.

У наведеній нижче таблиці відображені стани шин рядків AG1, AG2, виводів затворів KG1, KG2 і шини сигналу запису SCHRХ для окремих режимів:

	AG1	KG1	AG2	KG2	SCHRХ
Стирання	Up	Up	0	0+Utp	0
Запис	Up	0	0	0	Up
Зчитування	UI	UI	0	0+Utp	0

При цьому напруга "Up" означає напругу програмування (наприклад, 18В), напруга "UI" означає напругу зчитування, а напруга "Utp" означає додатне абсолютне значення порогової напруги p-канального транзистора (близько 1В).

Як видно із таблиці, при стиранні рядка запам'ятовуючого пристрою, в якому знаходиться комірка Z1, на шину рядка AG1 подають напругу програмування Up. При цьому на перший вивід каналу передавального транзистора TT1 також подається напруга програмування Up. На шину сигналу запису SCHRХ подають напругу 0В, завдяки чому передавальний транзистор TT1 перебуває у провідному стані, оскільки він є r-канальним транзистором. І навпаки, розрядний транзистор ET1 виконаний n-канальним, внаслідок чого подана на шину сигналу запису SCHRХ напруга 0В, прикладена до його затвора, переводить його у непровідний стан. Внаслідок цього на вивід затвора KG1 подається напруга програмування Up, що переводить "плаваючий затвор" запам'ятовуючого транзистора ST1 у стан "дані зітерто".

На комірку Z2 процеси на шині рядка AG1, а також на шині сигналу запису SCHRХ не впливають, оскільки вивід затвора KG2 постійно перебуває під заданим потенціалом шини рядка AG2: 0В+Utp.

Оскільки комірки Z3 і Z4 відносно шин рядків AG1 і AG2 під'єднані паралельно коміркам Z1 і Z2, у них відбуваються ті ж процеси, що й у комірках Z1 і Z2. Тому в режимі "стирання" здійснюється стирання даних у всіх тих комірках, що приводяться у дію шиною рядка AG1.

Стирання даних у комірках Z2 і Z4 здійснюють аналогічно до комірок Z1 і Z3.

При записі даних у комірку Z1 на шину рядка AG1 і на шину сигналу запису SCHRХ подають напругу Up. Завдяки такому стану шини сигналу запису SCHRХ, n-канальний розрядний транзистор ET1 стає провідним, а r-канальний передавальний транзистор TT1 запирається. Внаслідок цього на виводі затвора KG1 присутній потенціал корпусу, а саме 0В. Подачею потрібного сигналу на шину стовпця SP1 здійснюють запис інформації у запам'ятовуючий транзистор ST1, оскільки транзистор вибору AT1, на затвор якого подано сигнал Up, перебуває у провідному стані.

При цьому слід відмітити, що процеси у комірці Z1 не впливають на комірку Z2, оскільки вивід затвора KG2 через відкритий розрядний транзистор ET2 постійно під'єднаний до заданої напруги 0В (корпус).

При зчитуванні даних із комірки Z1 на шину рядка AG1 подають напругу UI, а на шину сигналу запису сигнал 0. Завдяки цьому вивід затвора KG1 перебуває під заданим потенціалом UI, а транзистор вибору AT1 перебуває у провідному стані. Стан запам'ятовуючого транзистора ST1 може бути зчитаний шляхом подачі підкової напруги на шину стовпця SP1.

У цьому режимі роботи шляхом подачі підкової напруги на шину стовпця SP2 може бути зчитаний стан запам'ятовуючого транзистора ST3 комірки Z3, оскільки транзистор вибору AT3 також перебуває у провідному стані. Стан комірок Z2 і Z4 не залежить від стану комірок Z1 і Z3, оскільки вивід затвора KG2 постійно перебуває під заданим потенціалом  $0B+U_{tr}$ , переданим через відкритий розрядний транзистор ET2.

На шини стовпців SP1 і SP2 як під час запису, так і під час зчитування подають відповідні стандартні значення напруги.

На фіг.2 зображена схема іншого напівпровідникового запам'ятовуючого пристрою за винаходом, виконаного на напівпровідниковій підкладинці. Наведено лише фрагмент ЗП, що охоплює чотири запам'ятовуючі комірки Z11, Z12, Z13 і Z14. Управління комірками Z11, Z12, Z13 і Z14 здійснюється за допомогою двох шин рядків AG1, AG2 і двох шин стовпців SP1, SP2.

Для керування комірками Z11, Z12, Z13 і Z14 служить схема керування, що містить передавальний транзистор TT11, розрядний транзистор ET11, передавальний транзистор TT12 і розрядний транзистор ET12, керування якими здійснюється через шину сигналу запису SCHRХ. На шину сигналу запису SCHRХ подають перетворений у сигнал високої напруги логічний сигнал, що управляє процесом запису. Крім того, схема керування містить транзистор вибору блока BT11 і транзистор вибору блока BT12. Виводи затворів транзисторів вибору блока з'єднані з шиною сигналу вибору блока BLKN. На шину вибору блока подають перетворений у сигнал високої напруги логічний сигнал, що управляє поблочним програмуванням.

Транзистори передачі TT11 і TT12 і транзистори вибору блока BT11 і BT12 виготовлені як звичайні польові транзистори з р-каналом.

Запам'ятовуюча комірка Z11 містить транзистор вибору AT11 і запам'ятовуючий транзистор ST11. Транзистор вибору AT11 виготовлений як звичайний польовий транзистор з n-каналом, а запам'ятовуючий транзистор ST11 виготовлений у вигляді n-канального транзистора із так званим "плаваючим затвором". Перший вивід каналу транзистора вибору AT11 з'єднаний з шиною стовпця SP1, а другий вивід каналу транзистора вибору AT11 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST11. Другий вивід каналу запам'ятовуючого транзистора ST11 з'єднаний зі спільною шиною Source.

Вивід затвора транзистора вибору AT11 з'єднаний з шиною рядка AG1. З шиною рядка AG1 з'єднаний також другий вивід каналу транзистора вибору блока BT11. Другий вивід каналу передавального транзистора TT11 з'єднаний з першим виводом каналу транзистора вибору блока BT11, а перший вивід каналу передавального транзистора TT11 з'єднаний з виводом затвора KG 11 запам'ятовуючого транзистора ST11. Відповідний вивід KG 11 затвор запам'ятовуючого транзистора ST11 виконаний у вигляді так званого "плаваючого затвора". Вивід затвора передавального транзистора TT11 з'єднаний з шиною сигналу запису SCHRХ.

Вивід затвора розрядного транзистора ET11 з'єднаний з шиною сигналу запису SCHRХ. Перший вивід каналу розрядного транзистора ET11 з'єднаний з виводом затвора KG 11 запам'ятовуючого транзистора ST11, а другий вивід каналу розрядного транзистора ET11 безпосередньо з'єднаний з корпусом.

Відносно шини рядка AG1 запам'ятовуюча комірка Z13 під'єднана паралельно комірці Z11. Комірка Z13 містить транзистор вибору AT13, виконаний у вигляді звичайного n-канального польового транзистора, і запам'ятовуючий транзистор ST13, виконаний у вигляді n-канального транзистора з "плаваючим затвором". Перший вивід каналу транзистора вибору AT13 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору AT13 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST3. Другий вивід каналу запам'ятовуючого транзистора ST3 з'єднаний зі спільною шиною Source. Вивід затвора транзистора вибору AT13 під'єднаний паралельно до вводу затвора транзистора вибору AT11 і з'єднаний з шиною рядка AG1. Вивід затвора транзистора ST13 під'єднаний паралельно до вводу затвора транзистора ST11 і з'єднаний з другим виводом каналу передавального транзистора TT11. Внаслідок цього вивід затвора запам'ятовуючого транзистора ST13 також з'єднаний з першим виводом каналу розрядного транзистора ET11.

Запам'ятовуюча комірка Z12 містить транзистор вибору AT12 і запам'ятовуючий транзистор ST12. Транзистор вибору AT12 виконаний у вигляді звичайного n-канального польового транзистора, а запам'ятовуючий транзистор ST12 виконаний у вигляді n-канального транзистора з так званим "плаваючим затвором". Перший вивід каналу транзистора вибору AT12 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору AT12 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST12. Другий вивід каналу запам'ятовуючого транзистора ST12 з'єднаний зі спільною шиною Source.

Вивід затвора транзистора вибору AT12 з'єднаний з шиною рядка AG2. З шиною рядка AG2 з'єднаний також другий вивід каналу транзистора вибору блока BT12. Другий вивід каналу передавального транзистора TT12 з'єднаний з першим виводом каналу транзистора вибору блока BT12, а перший вивід каналу передавального транзистора TT12 з'єднаний з виводом затвора KG 12 запам'ятовуючого транзистора ST12. При цьому відповідний вивід затвора KG12 затвор запам'ятовуючого транзистора ST12 виконаний у вигляді так званого "плаваючого затвора".

Вивід затвора транзистора з'єднаний з шиною сигналу запису SCHRХ. Вивід затвора транзистора вибору блока BT12 з'єднаний з шиною вибору блока BLKN.

Вивід затвора розрядного транзистора ET12 з'єднаний з шиною сигналу запису SCHRХ. Перший вивід каналу розрядного транзистора ET12 з'єднаний з виводом затвора KG12 запам'ятовуючого транзистора, а другий вивід каналу розрядного транзистора ET12 безпосередньо з'єднаний з корпусом.

Відносно шини рядка AG2 запам'ятовуюча комірка Z14 під'єднана паралельно до запам'ятовуючої комірки Z12. Запам'ятовуюча комірка Z14 містить транзистор вибору AT14, виконаний за звичайною технологією у вигляді n-канального польового транзистора, а також запам'ятовуючий транзистор ST14, виконаний у вигляді n-канального транзистора з "плаваючим затвором". Перший вивід каналу транзистора вибору AT14 з'єднаний з шиною стовпця SP2, а другий вивід каналу транзистора вибору AT14 з'єднаний з першим виводом каналу запам'ятовуючого транзистора ST14. Другий вивід каналу запам'ятовуючого транзистора ST14 з'єднаний із спільною шиною Source. Вивід затвора транзистора вибору AT14 під'єднаний паралельно до виводу затвора транзистора вибору AT12 і з'єднаний з шиною рядка AG2. Вивід затвора запам'ятовуючого транзистора ST14 під'єднаний паралельно до виводу затвора запам'ятовуючого транзистора ST12 і з'єднаний з другим виводом каналу передавального транзистора TT12. Внаслідок цього вивід затвора запам'ятовуючого транзистора ST14 також з'єднаний з першим виводом каналу розрядного транзистора ET12.

Запам'ятовуючі комірки Z11 і Z12 під'єднані паралельно відносно шини стовпця SP1, а запам'ятовуючі комірки Z13 і Z14 під'єднані паралельно відносно шини стовпця SP2.

Нижче пояснюються три режими запам'ятовуючої комірки: "стирання", "запис" і "зчитування" для запам'ятовуючої комірки Z11. При цьому, в режимі "стирання" на шину стовпця SP1 не подається жоден сигнал, оскільки для цього він не потрібен. Лише при записі і при зчитуванні вмісту комірки Z11 на шину стовпця SP1 подається сигнал. Однак, в цьому описі цей процес детальніше не відображено, оскільки для суті винаходу він має другорядне значення.

У наведеній нижче таблиці відображені стани шин рядків AG1, AG2, виводів затворів KG11, KG 12 і шини сигналу запису SCHRХ для окремих режимів:

	AG1	KG11	AG2	KG12	SCHRХ
Стирання	Ur	Ur	0	0+Utr	0
Запис	Ur	0	0	0	Ur
Зчитування	U1	U1	0	0+Utr	0

На шину сигналу вибору блока BLKN - в залежності від того, вибрано чи ні блок, у якому знаходяться комірки Z11-Z14, - подають напруги 0В ("вибрано") або Ur ("не вибрано").

При цьому напруга "Ur" означає напругу програмування (наприклад, 18В), напруга "U1" означає напругу зчитування, а напруга "Utr" означає додатне абсолютне значення порогової напруги r-канального транзистора (близько 1В).

Для подальшого опису принципу роботи напівпровідникового ЗП приймається, що шина сигналу запису SCHRХ постійно перебуває під потенціалом 0В, внаслідок чого канали транзисторів вибору блока перебувають у провідному стані і сигнали, подані на шини рядків, передаються на канали транзисторів передачі TT11 і TT12.

Як видно із таблиці, при стиранні рядка запам'ятовуючого пристрою, в якому знаходиться комірка Z11, на шину рядка AG1 подають напругу програмування Ur. При цьому на перший вивід каналу передавального транзистора TT11 також подається напруга програмування Ur. На шину сигналу запису SCHRХ подають напругу 0В, завдяки чому передавальний транзистор TT11 перебуває у провідному стані, оскільки він є r-канальним транзистором. І навпаки, розрядний транзистор ET11 виконаний n-канальним, внаслідок чого подана на шину сигналу запису SCHRХ напруга 0В, прикладена до його затвора, переводить його у непровідний стан. Внаслідок цього на вивід затвора KG11 подається напруга програмування Ur, що переводить "плаваючий затвор" запам'ятовуючого транзистора ST11 у стан "дані стерто".

На комірку Z12 процеси на шині рядка AG1, а також на шині сигналу запису SCHRХ не впливають, оскільки вивід затвора KG 12 постійно перебуває під заданим потенціалом шини рядка AG2: 0В+Utr.

Оскільки комірки Z13 і Z14 відносно шин рядків AG1 і AG2 під'єднані паралельно коміркам Z11 і Z12, у них відбуваються ті ж процеси, що й у комірках Z11 і Z12. Тому в режимі "стирання" здійснюється стирання даних у всіх тих комірках, що приводяться у дію шиною рядка AG1.

Стирання даних у комірках Z12 і Z14 здійснюють аналогічно до комірок Z11 і Z13.

При записі даних у комірку Z11 на шину рядка AG1 і на шину сигналу запису SCHRХ подають напругу Ur. Завдяки такому стану шини сигналу запису SCHRХ, n-канальний розрядний транзистор ET1 стає провідним, а r-канальний передавальний транзистор TT11 запирається. Внаслідок цього на виводі затвора KG 11 присутній потенціал корпусу, а саме 0В. Подачею потрібного сигналу на шину стовпця SP1 здійснюють запис інформації у запам'ятовуючий транзистор ST11, оскільки транзистор вибору AT11, на затвор якого подано сигнал Ur, перебуває у провідному стані.

При цьому слід відмітити, що процеси у комірці Z11 не впливають на комірку Z12, оскільки вивід затвора KG 12 через відкритий розрядний транзистор ET12 постійно під'єднаний до заданої напруги 0В (корпус).

При зчитуванні даних із комірки Z11 на шину рядка AG1 подають напругу U1, а на шину сигналу запису SCHRХ - сигнал 0. Завдяки цьому вивід затвора KG11 перебуває під заданим потенціалом U1, а транзистор вибору AT11 перебуває у провідному стані. Стан запам'ятовуючого транзистора ST11 може бути зчитаний шляхом подачі піджої напруги на шину стовпця SP1.

У цьому режимі роботи шляхом подачі піджої напруги на шину стовпця SP2 може бути зчитаний стан запам'ятовуючого транзистора ST13 комірки Z13, оскільки транзистор вибору AT13 також перебуває у провідному стані. Стан комірок Z12 і Z14 не залежить від стану комірок Z11 і Z13, оскільки вивід затвора KG 12 постійно перебуває під заданим потенціалом 0В+Utr, переданим через відкритий розрядний транзистор ET12.

На шини стовпців SP1 і SP2 як під час запису, так і під час зчитування подають відповідні стандартні значення напруги.

5

## Формула винаходу

1. Напівпровідниковий запам'ятовуючий пристрій, що містить щонайменше одну запам'ятовуючу комірку, яка характеризується такими ознаками:

10

- вона містить n-канальний транзистор (AT1, AT2; AT11, AT12) вибору і p-канальний запам'ятовуючий транзистор (ST1, ST2; ST11, ST12),

- p-канальний транзистор (AT1, AT2; AT11, AT12) вибору має вивід затвора, а також два виводи каналу, причому вивід затвора з'єднаний з шиною рядка (AG1), яка веде до запам'ятовуючої комірки (Z1, Z2; Z11, Z12),

15

- p-канальний запам'ятовуючий транзистор (ST1, ST2; ST11, ST12) має вивід затвора (KG1, KG2; KG 11, KG 12), а також два виводи каналу,

- другий вивід каналу запам'ятовуючого транзистора і перший вивід каналу транзистора вибору з'єднані між собою, причому перший вивід каналу запам'ятовуючого транзистора та другий вивід каналу транзистора вибору з'єднані з відповідною шиною (SP1) стовпця, що веде до запам'ятовуючої комірки (Z1, Z2; Z11, Z12), причому напівпровідниковий запам'ятовуючий пристрій містить щонайменше один передавальний транзистор (TT1, TT2; TT11, TT12), що має перший і другий виводи каналу, причому перший вивід каналу передавального транзистора з'єднано з виводом (KG1, KG2; KG11, KG12) затвора запам'ятовуючого транзистора, який відрізняється тим, що

20

- передавальний транзистор (TT1, TT2; TT11, TT12) виконаний у вигляді p-канального польового транзистора,

25

- другий вивід каналу передавального транзистора з'єднаний з шиною (AG1, AG2; AG 11, AG12) рядка, що веде до запам'ятовуючої комірки (Z1, Z2; Z11, Z12).

2. Напівпровідниковий запам'ятовуючий пристрій за п. 1, який відрізняється тим, що він містить шину керування (SCHRХ), з'єднану з затвором передавального транзистора (TT1, TT2; TT11, TT12) таким чином, що керування передавальним транзистором може бути здійснене через шину керування (SCHRХ).

30

3. Напівпровідниковий запам'ятовуючий пристрій за п. 2, який відрізняється тим, що він містить n-канальний розрядний транзистор (ET1, ET2; ET11, ET12), який має затвор, а також перший і другий виводи каналу, причому перший вивід каналу розрядного транзистора з'єднаний з виводом (KG1, KG2; KG 11, KG 12) затвора запам'ятовуючого транзистора, другий вивід каналу розрядного транзистора з'єднаний з корпусом, а затвор розрядного транзистора з'єднаний з шиною керування (SCHRХ).

35

4. Напівпровідниковий запам'ятовуючий пристрій за будь-яким із попередніх пунктів, який відрізняється тим, що він виконаний у вигляді рядків і стовпців, причому всередині рядків

- виводи затворів транзисторів вибору групи запам'ятовуючих комірок (Z1, Z3; Z2, Z4; Z11, Z13; Z12, Z14) з'єднані паралельно,

40

- виводи затворів запам'ятовуючих транзисторів групи запам'ятовуючих комірок (Z1, Z3; Z2, Z4; Z11, Z13; Z12, Z14) з'єднані паралельно, причому всередині стовпців перші виводи каналів запам'ятовуючих транзисторів і другі виводи каналів транзисторів вибору з'єднані паралельно.

45

5. Напівпровідниковий запам'ятовуючий пристрій за п. 4, який відрізняється тим, що він має схему керування щонайменше одним стовпцем, яка містить по одному p-канальному транзистору (BT11, BT12) вибору блока, що має вивід затвора вибору блока і два виводи каналу вибору блока, причому перший вивід каналу вибору блока з'єднаний з шиною (AG1, AG2) рядка, що веде до запам'ятовуючої комірки, і другий вивід каналу вибору блока з'єднаний з першим виводом каналу передавального транзистора.

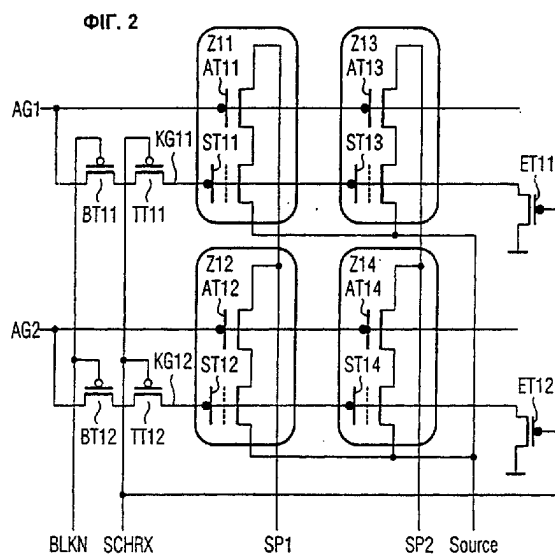
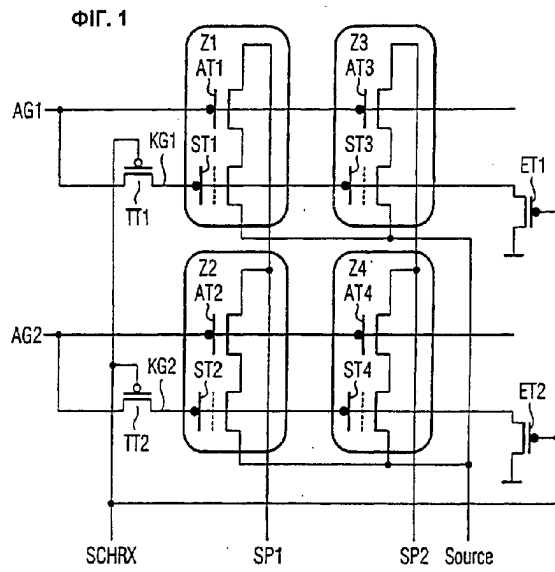
50

6. Напівпровідниковий запам'ятовуючий пристрій за п. 5, який відрізняється тим, що він містить шину керування вибором блока, з'єднану із затворами транзисторів вибору блока таким чином, що керування транзисторами (BT11, BT12) вибору блока може бути здійснене через шину (BLKN) керування вибором блока.

55

60

65



Офіційний бюлетень "Промислова власність". Книга 1 "Винаходи, корисні моделі, топографії інтегральних мікросхем", 2003, N 9, 15.09.2003. Державний департамент інтелектуальної власності Міністерства освіти і науки України.