

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 4 月 9 日 (2020.4.9)

【公開番号】特開 2019-87591 (P2019-87591A)

【公開日】令和 1 年 6 月 6 日 (2019.6.6)

【年通号数】公開・登録公報 2019-021

【出願番号】特願 2017-213329 (P2017-213329)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/41 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 5 A

H 0 1 L 21/28 3 0 1 A

H 0 1 L 29/44 S

【手続補正書】

【提出日】令和 2 年 2 月 28 日 (2020.2.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のトレンチゲート構造 ( 1 6 ) を有する半導体装置において、  
 第 1 導電型のドリフト層 ( 1 1 ) と、  
 前記ドリフト層上に配置された第 2 導電型のベース層 ( 1 2 ) と、  
 前記ドリフト層を挟み、前記ベース層と反対側に形成された第 2 導電型のコレクタ層 ( 2 2 ) と、を有する半導体基板 ( 1 0 ) と、  
 前記ベース層を貫通して前記ドリフト層に達すると共に、前記半導体基板の面方向における一方向に延設されたトレンチ ( 1 3 ) の壁面に形成されたゲート絶縁膜 ( 1 4 ) と、前記ゲート絶縁膜上に形成されたゲート電極 ( 1 5 ) と、を有する前記複数のトレンチゲート構造と、  
 前記ベース層の表層部に形成され、前記トレンチと接する第 1 導電型のエミッタ領域 ( 1 7 ) と、  
 前記ベース層および前記エミッタ領域と電気的に接続される第 1 電極 ( 2 0 ) と、  
 前記コレクタ層と電気的に接続される第 2 電極 ( 2 3 ) と、を備え、  
 前記ゲート電極は、ポリシリコンで構成され、前記ポリシリコンの粒径が 5 0 ~ 1 0 0 0 n m とされており、  
前記トレンチの延設方向を法線方向とする断面において、前記半導体基板の一面 ( 1 0 a ) と前記トレンチゲート構造の底部との間の領域のうち、隣接するトレンチゲート構造の一方の中心軸と他方の中心軸とで囲まれる領域を 1 セル領域とすると、1 セル領域に占める前記ゲート電極の体積率が 4 1 . 5 % 以下とされ、  
 前記半導体基板における前記トレンチの周囲に発生している最大応力は、3 4 0 M P a

以下とされている半導体装置。

【請求項 2】

隣接する前記トレンチの間隔 ( L ) は、 $1.3 \mu\text{m}$ 以下とされている請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極は、内部に空隙 ( 24 ) が形成されている請求項 1 または 2 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記目的を達成するための請求項 1 では、複数のトレンチゲート構造 ( 16 ) を有する半導体装置において、第 1 導電型のドリフト層 ( 11 ) と、ドリフト層上に配置された第 2 導電型のベース層 ( 12 ) と、ドリフト層を挟み、ベース層と反対側に形成された第 2 導電型のコレクタ層 ( 22 ) と、を有する半導体基板 ( 10 ) と、ベース層を貫通してドリフト層に達すると共に、半導体基板の面方向における一方向に延設されたトレンチの壁面に形成されたゲート絶縁膜 ( 14 ) と、ゲート絶縁膜上に形成されたゲート電極 ( 15 ) と、を有する複数のトレンチゲート構造と、ベース層の表層部に形成され、トレンチと接する第 1 導電型のエミッタ領域 ( 17 ) と、ベース層およびエミッタ領域と電気的に接続される第 1 電極 ( 20 ) と、コレクタ層と電気的に接続される第 2 電極 ( 23 ) と、を備え、ゲート電極は、ポリシリコンで構成され、ポリシリコンの粒径が  $50 \sim 1000 \text{ nm}$  とされており、トレンチの延設方向を法線方向とする断面において、半導体基板の一面 ( 10 a ) とトレンチゲート構造の底部との間の領域のうち、隣接するトレンチゲート構造の一方の中心軸と他方の中心軸とで囲まれる領域を 1 セル領域とすると、1 セル領域に占めるゲート電極の体積率が  $41.5\%$  以下とされ、半導体基板におけるトレンチの周囲に発生している最大応力は、 $340 \text{ MPa}$  以下とされている。