



(12)发明专利

(10)授权公告号 CN 105191126 B

(45)授权公告日 2018.06.12

(21)申请号 201480013637.2

(72)发明人 Y·朱 Y·唐

(22)申请日 2014.03.11

(74)专利代理机构 上海专利商标事务所有限公
司 31100

(65)同一申请的已公布的文献号
申请公布号 CN 105191126 A

代理人 李小芳

(43)申请公布日 2015.12.23

(51)Int.Cl.

H03K 3/03(2006.01)

(30)优先权数据

13/837,463 2013.03.15 US

(56)对比文件

US 8248172 B2,2012.08.21,

US 2007/0159259 A1,2007.07.12,

US 2011/0003571 A1,2011.01.06,

CN 102472460 A,2012.05.23,

WO 2012/111131 A1,2012.08.23,

(85)PCT国际申请进入国家阶段日
2015.09.10

(86)PCT国际申请的申请数据
PCT/US2014/023792 2014.03.11

审查员 易铭

(87)PCT国际申请的公布数据
W02014/150615 EN 2014.09.25

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

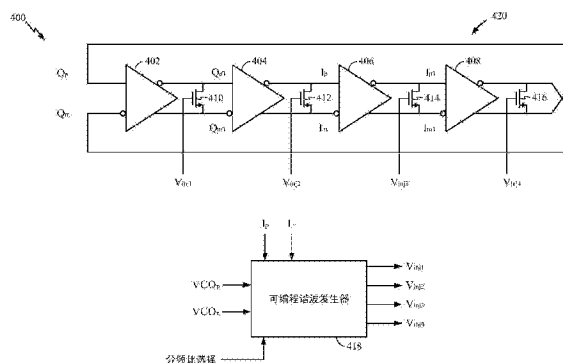
权利要求书14页 说明书14页 附图15页

(54)发明名称

用于本地振荡器生成的可编程分频器

(57)摘要

提供了方法、装置以及计算机程序产品。该装置生成LO信号。该装置包括耦合在一起的LO发生器模块和注入信号发生器模块。LO发生器模块具有多个LO输出和多个注入信号输入。LO模块被配置成基于在注入信号输入上接收到的注入信号来在LO输出上生成LO信号。注入信号发生器模块具有多个LO输入和多个注入信号输出。LO输入耦合至LO输出。注入信号输出耦合至注入信号输入。注入信号发生器模块被配置成基于在LO输入上接收到的LO信号以及基于接收到的VCO信号来在注入信号输出上生成注入信号。



1. 一种用于生成本地振荡器信号的装置,包括:

具有多个本地振荡器输出和多个注入信号输入的本地振荡器发生器模块,所述本地振荡器发生器模块被配置成基于在所述注入信号输入上接收到的注入信号来在本地振荡器输出上生成本地振荡器信号;以及

耦合至所述本地振荡器发生器模块的注入信号发生器模块,所述注入信号发生器模块具有多个本地振荡器输入和多个注入信号输出,所述本地振荡器输入耦合至所述本地振荡器输出,所述注入信号输出耦合至所述注入信号输入,所述注入信号发生器模块被配置成基于在所述本地振荡器输入上接收到的本地振荡器信号以及基于接收到的压控振荡器(VCO)信号来在所述注入信号输出上生成注入信号,

其中所述注入信号发生器模块是可编程的以同时提供至少三组不同的注入信号。

2. 如权利要求1所述的装置,其特征在于,所述本地振荡器发生器模块包括n个延迟级和n个注入信号输入,所述n个注入信号输入中的每一个位于不同的一对延迟级之间,所述n个注入信号输入中的每一个由所述注入信号发生器模块独立控制。

3. 如权利要求1所述的装置,其特征在于,所述本地振荡器发生器模块包括多个延迟级,且所述装置进一步包括耦合至所述本地振荡器发生器模块的调谐模块,所述调谐模块被配置成调谐所述本地振荡器信号的频率。

4. 如权利要求3所述的装置,其特征在于,所述调谐模块被配置成调节每个延迟级的电容,以便调谐所述本地振荡器信号的频率。

5. 如权利要求3所述的装置,其特征在于,所述调谐模块被配置成确定所述本地振荡器信号的频率,将所确定的频率与所述本地振荡器信号的目标频率相比较,以及逐步调节所述本地振荡器信号的频率直到该频率与所述目标频率之间的差异小于阈值。

6. 如权利要求1所述的装置,其特征在于,进一步包括分频比选择模块,所述分频比选择模块被配置成选择多个可用分频比中的一分频比以及将所选分频比提供给所述注入信号发生器模块,其中所述注入信号发生器模块被进一步配置成基于接收到的所选分频比来生成所述注入信号。

7. 如权利要求6所述的装置,其特征在于,所述分频比选择模块被配置成从至少三个可用分频比之一选择所述分频比。

8. 如权利要求7所述的装置,其特征在于,所述至少三个可用分频比包括为3的分频比、为4的分频比、以及为5的分频比。

9. 如权利要求7所述的装置,其特征在于,所述注入信号发生器模块和所述本地振荡器发生器模块一起被配置成基于来自所述分频比选择模块的输入按等于3、4或5的分频比来对所述接收到的VCO信号的频率进行分频,以及基于来自所述分频比选择模块的所述输入单独地以每个分频后的频率提供所述本地振荡器信号。

10. 如权利要求1所述的装置,其特征在于,进一步包括配置成将所述VCO信号提供给所述注入信号发生器模块的VCO模块。

11. 如权利要求1所述的装置,其特征在于,所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号。

12. 如权利要求1所述的装置,其特征在于,所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号。

13. 如权利要求1所述的装置,其特征在于,所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号。

14. 如权利要求1所述的装置,其特征在于,所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;所述多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号。

15. 如权利要求14所述的装置,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

16. 如权利要求14所述的装置,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

17. 如权利要求14所述的装置,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

18. 一种用于生成本地振荡器信号的装置,包括:

具有多个本地振荡器输出和多个注入信号输入的本地振荡器发生器模块,所述本地振荡器发生器模块被配置成基于在所述注入信号输入上接收到的注入信号来在本地振荡器输出上生成本地振荡器信号;以及

耦合至所述本地振荡器发生器模块的注入信号发生器模块,所述注入信号发生器模块具有多个本地振荡器输入和多个注入信号输出,所述本地振荡器输入耦合至所述本地振荡器输出,所述注入信号输出耦合至所述注入信号输入,所述注入信号发生器模块被配置成基于在所述本地振荡器输入上接收到的本地振荡器信号以及基于接收到的压控振荡器(VCO)信号来在所述注入信号输出上生成注入信号,

其中所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号,

其中基于所述接收到的VCO信号,所述注入信号发生器模块被配置成以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三

注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 α 的相位,所述第三注入信号具有等于 $\alpha+\pi$ 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

19. 如权利要求18所述的装置,其特征在于,基于所述接收到的注入信号,所述本地振荡器发生器模块被配置成以等于所述注入信号的频率一半的频率生成所述本地振荡器信号。

20. 如权利要求18所述的装置,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

21. 一种用于生成本地振荡器信号的装置,包括:

具有多个本地振荡器输出和多个注入信号输入的本地振荡器发生器模块,所述本地振荡器发生器模块被配置成基于在所述注入信号输入上接收到的注入信号来在本地振荡器输出上生成本地振荡器信号;以及

耦合至所述本地振荡器发生器模块的注入信号发生器模块,所述注入信号发生器模块具有多个本地振荡器输入和多个注入信号输出,所述本地振荡器输入耦合至所述本地振荡器输出,所述注入信号输出耦合至所述注入信号输入,所述注入信号发生器模块被配置成基于在所述本地振荡器输入上接收到的本地振荡器信号以及基于接收到的压控振荡器(VCO)信号来在所述注入信号输出上生成注入信号,

其中所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号,

其中基于所述接收到的VCO信号,所述注入信号发生器模块被配置成以等于所述VCO信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha+\pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

22. 如权利要求21所述的装置,其特征在于,基于所述接收到的注入信号,所述本地振荡器发生器模块被配置成以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号。

23. 如权利要求21所述的装置,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输

入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

24. 一种用于生成本地振荡器信号的装置,包括:

具有多个本地振荡器输出和多个注入信号输入的本地振荡器发生器模块,所述本地振荡器发生器模块被配置成基于在所述注入信号输入上接收到的注入信号来在本地振荡器输出上生成本地振荡器信号;以及

耦合至所述本地振荡器发生器模块的注入信号发生器模块,所述注入信号发生器模块具有多个本地振荡器输入和多个注入信号输出,所述本地振荡器输入耦合至所述本地振荡器输出,所述注入信号输出耦合至所述注入信号输入,所述注入信号发生器模块被配置成基于在所述本地振荡器输入上接收到的本地振荡器信号以及基于接收到的压控振荡器(VCO)信号来在所述注入信号输出上生成注入信号,

其中所述注入信号发生器模块被配置成接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号,

其中基于所述接收到的VCO信号,所述注入信号发生器模块被配置成以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha+\pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

25. 如权利要求24所述的装置,其特征在于,基于所述接收到的注入信号,所述本地振荡器发生器模块被配置成以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号。

26. 如权利要求24所述的装置,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

27. 一种用于生成本地振荡器信号的装置,包括:

具有多个本地振荡器输出和多个注入信号输入的本地振荡器发生器模块,所述本地振荡器发生器模块被配置成基于在所述注入信号输入上接收到的注入信号来在本地振荡器输出上生成本地振荡器信号;以及

耦合至所述本地振荡器发生器模块的注入信号发生器模块,所述注入信号发生器模块具有多个本地振荡器输入和多个注入信号输出,所述本地振荡器输入耦合至所述本地振荡器输出,所述注入信号输出耦合至所述注入信号输入,所述注入信号发生器模块被配置成基于在所述本地振荡器输入上接收到的本地振荡器信号以及基于接收到的压控振荡器

(VCO)信号来在所述注入信号输出上生成注入信号,

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;所述多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

28. 一种生成本地振荡器信号的方法,包括:

在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号;以及

在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号,

其中所述注入信号发生器模块是可编程的以同时提供至少三组不同的注入信号。

29. 如权利要求28所述的方法,其特征在于,所述本地振荡器发生器模块包括n个延迟级和n个注入信号输入,所述n个注入信号输入中的每一个位于不同的一对延迟级之间,所述n个注入信号输入中的每一个由所述注入信号发生器模块独立控制。

30. 如权利要求28所述的方法,其特征在于,所述本地振荡器发生器模块包括多个延迟级,并且所述方法进一步包括在耦合至所述本地振荡器发生器模块的调谐模块中调谐所述本地振荡器信号的频率。

31. 如权利要求30所述的方法,其特征在于,进一步包括在所述调谐模块中调节每个延迟级的电容,以便调谐所述本地振荡器信号的频率。

32. 如权利要求30所述的方法,其特征在于,所述调谐包括:

确定所述本地振荡器信号的频率;

将所确定的频率与所述本地振荡器信号的目标频率相比较;以及

逐步调节所述本地振荡器信号的频率直到该频率与所述目标频率之间的差异小于阈值。

33. 如权利要求28所述的方法,其特征在于,进一步包括:

在分频比选择模块中选择多个可用分频比中的一分频比;以及

将所选分频比提供给所述注入信号发生器模块,其中所述注入信号是基于接收到的所选分频比来生成的。

34. 如权利要求33所述的方法,其特征在于,所述分频比是从至少三个可用分频比之一选择的。

35. 如权利要求34所述的方法,其特征在于,所述至少三个可用分频比包括为3的分频比、为4的分频比、以及为5的分频比。

36. 如权利要求34所述的方法,其特征在于,进一步包括:

在所述注入信号发生器模块和所述本地振荡器发生器模块中基于来自所述分频比选择模块的输入按等于3、4或5的分频比来对所述接收到的VCO信号的频率进行分频;以及

基于来自所述分频比选择模块的所述输入单独地以每个分频后的频率提供所述本地振荡器信号。

37. 如权利要求28所述的方法,其特征在于,进一步包括在VCO模块中将所述VCO信号提供给所述注入信号发生器模块。

38. 如权利要求28所述的方法,其特征在于,进一步包括在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号。

39. 如权利要求28所述的方法,其特征在于,进一步包括在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号。

40. 如权利要求28所述的方法,其特征在于,进一步包括在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号。

41. 如权利要求28所述的方法,其特征在于,所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号。

42. 如权利要求41所述的方法,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

43. 如权利要求41所述的方法,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

44. 如权利要求41所述的方法,其特征在于,当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

45. 一种生成本地振荡器信号的方法,包括:

在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号;

在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号;

在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号;以及

基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 α 的相位,所述第三注入信号具有等于 $\alpha+\pi$ 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

46. 如权利要求45所述的方法,其特征在于,进一步包括基于所述接收到的注入信号且在所述本地振荡器发生器模块中以等于所述注入信号的频率一半的频率生成所述本地振荡器信号。

47. 如权利要求45所述的方法,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

48. 一种生成本地振荡器信号的方法,包括:

在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号;

在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号;

在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号;以及

基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha+\pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

49. 如权利要求48所述的方法,其特征在于,进一步包括基于所述接收到的注入信号且在所述本地振荡器发生器模块中以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号。

50. 如权利要求48所述的方法,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输

入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

51. 一种生成本地振荡器信号的方法,包括:

在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号;

在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号;

在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号;

基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha + \pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha + \pi$ 的相位。

52. 如权利要求51所述的方法,其特征在于,进一步包括基于所述接收到的注入信号且在所述本地振荡器发生器模块中以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号。

53. 如权利要求51所述的方法,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

54. 一种生成本地振荡器信号的方法,包括:

在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号;

在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号;

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;所述多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所

述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

55. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;
以及

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号的装置,

其中所述注入信号发生器模块是可编程的以同时提供至少三组不同的注入信号。

56. 如权利要求55所述的设备,其特征在于,所述本地振荡器发生器模块包括n个延迟级和n个注入信号输入,所述n个注入信号输入中的每一个位于不同的一对延迟级之间,所述n个注入信号输入中的每一个由所述注入信号发生器模块独立控制。

57. 如权利要求55所述的设备,其特征在于,所述本地振荡器发生器模块包括多个延迟级,并且所述设备进一步包括用于在耦合至所述本地振荡器发生器模块的调谐模块中调谐所述本地振荡器信号的频率的装置。

58. 如权利要求57所述的设备,其特征在于,所述用于在耦合至所述本地振荡器发生器模块的调谐模块中调谐所述本地振荡器信号的频率的装置被配置成:

确定所述本地振荡器信号的频率;

将所确定的频率与所述本地振荡器信号的目标频率相比较;以及

逐步调节所述本地振荡器信号的频率直到该频率与所述目标频率之间的差异小于阈值。

59. 如权利要求55所述的设备,其特征在于,进一步包括:

用于在分频比选择模块中选择多个可用分频比中的一分频比的装置;以及

用于将所选分频比提供给所述注入信号发生器模块的装置,

其中所述注入信号是基于接收到的所选分频比来生成的。

60. 如权利要求55所述的设备,其特征在于,进一步包括用于在VCO模块中将所述VCO信号提供给所述注入信号发生器模块的装置。

61. 如权利要求55所述的设备,其特征在于,进一步包括用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号的装置。

62. 如权利要求55所述的设备,其特征在于,进一步包括用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号的装置。

63. 如权利要求55所述的设备,其特征在于,进一步包括用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号的装置。

64. 如权利要求55所述的设备,其特征在于,所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;

所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号。

65. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置,

其中所述本地振荡器发生器模块包括多个延迟级,并且所述设备进一步包括用于在耦合至所述本地振荡器发生器模块的调谐模块中调谐所述本地振荡器信号的频率的装置;以及

用于在所述调谐模块中调节每个延迟级的电容以便调谐所述本地振荡器信号的频率的装置。

66. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置;

用于在分频比选择模块中选择多个可用分频比中的一分频比的装置;以及

用于将所选分频比提供给所述注入信号发生器模块的装置,

其中所述注入信号是基于接收到的所选分频比来生成的,

其中所述分频比是从至少三个可用分频比之一选择的。

67. 如权利要求66所述的设备,其特征在于,所述至少三个可用分频比包括为3的分频比、为4的分频比、以及为5的分频比。

68. 如权利要求66所述的设备,其特征在于,进一步包括:

用于在所述注入信号发生器模块和所述本地振荡器发生器模块中基于来自所述分频比选择模块的输入按等于3、4或5的分频比来对所述接收到的VCO信号的频率进行分频的装置;以及

用于基于来自所述分频比选择模块的所述输入单独地以每个分频后的频率提供所述本地振荡器信号的装置。

69. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置;

用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的三倍的频率的所述VCO信号的装置;以及

用于基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号的装置,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 α 的相位,所述第三注入信号具有等于 $\alpha+\pi$ 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

70. 如权利要求69所述的设备,其特征在于,进一步包括用于基于所述接收到的注入信

号且在所述本地振荡器发生器模块中以等于所述注入信号的频率一半的频率生成所述本地振荡器信号的装置。

71. 如权利要求69所述的设备,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

72. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号的装置;

用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的四倍的频率的所述VCO信号的装置;以及

用于基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号的装置,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha+\pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

73. 如权利要求72所述的设备,其特征在于,进一步包括用于基于所述接收到的注入信号且在所述本地振荡器发生器模块中以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号的装置。

74. 如权利要求72所述的设备,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

75. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器 (VCO) 信号生成所述注入信号的装置;

用于在所述注入信号发生器模块中接收以等于所述本地振荡器信号的期望频率的五倍的频率的所述VCO信号的装置;以及

用于基于所述接收到的VCO信号且在所述注入信号发生器模块中以等于所述VCO信号的频率减去所述本地振荡器信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号的装置,所述第一注入信号具有等于 α 的相位,所述第二注入信号具有等于 $\alpha+\pi$ 的相位,所述第三注入信号具有等于 α 的相位,以及所述第四注入信号具有等于 $\alpha+\pi$ 的相位。

76.如权利要求75所述的设备,其特征在于,进一步包括用于基于所述接收到的注入信号且在所述本地振荡器发生器模块中以等于所述注入信号的频率四分之一的频率生成所述本地振荡器信号的装置。

77.如权利要求75所述的设备,其特征在于,所述本地振荡器发生器模块包括串联耦合的四个延迟级,所述四个延迟级包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、串联耦合在第三延迟级和第一延迟级之间的第四延迟级,其中所述第一注入信号被施加于所述第一延迟级和所述第二延迟级之间的第一注入信号输入,所述第二注入信号被施加于所述第二延迟级和所述第三延迟级之间的第二注入信号输入,所述第三注入信号被施加于所述第三延迟级和所述第四延迟级之间的第三注入信号输入,以及所述第四注入信号被施加于所述第四延迟级和所述第一延迟级之间的第四注入信号输入。

78.一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置,

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

79.一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置,

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本

地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

80. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置,

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第一本地振荡器输出信号;以及当分频比3被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第二本地振荡器输出信号。

81. 一种用于生成本地振荡器信号的设备,包括:

用于在本地振荡器发生器模块中基于接收到的注入信号生成本地振荡器信号的装置;

用于在注入信号发生器模块中基于所述本地振荡器信号和接收到的压控振荡器(VCO)信号生成所述注入信号的装置,

其中所述接收到的VCO信号包括第一VCO信号和第二VCO信号;所述本地振荡器发生器模块具有多个本地振荡器输出;所述注入信号发生器模块具有多个注入信号输入;所述本地振荡器输出包括第一本地振荡器输出信号和第二本地振荡器输出信号;所述注入信号发生器模块包括第一晶体管和第二晶体管;多个注入信号输出中的一注入信号输出被耦合至所述第一晶体管的漏极以及所述第二晶体管的漏极;所述第一晶体管的源极耦合至所述第一VCO信号;以及所述第二晶体管的源极耦合至所述第二VCO信号,以及

其中当分频比3被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号,当分频比4被选择时所述第一晶体管的栅极耦合至电路接地,而当分频比5被选择时所述第一晶体管的栅极耦合至所述第二本地振荡器输出信号;以及当分频比3被选择时所述

第二晶体管的栅极耦合至所述第一本地振荡器输出信号,当分频比4被选择时所述第二晶体管的栅极耦合至电源电压,而当分频比5被选择时所述第二晶体管的栅极耦合至所述第一本地振荡器输出信号。

用于本地振荡器生成的可编程分频器

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年3月15日提交的题为“PROGRAMMABLE FREQUENCY DIVIDER FOR LOCAL OSCILLATOR GENERATION(用于本地振荡器生成的可编程分频器)”的美国非临时申请S/N.13/837,463的优先权,该申请通过援引全部明确纳入于此。

[0003] 背景

[0004] 领域

[0005] 本公开一般涉及通信系统,尤其涉及用于本地振荡器生成的可编程分频器。

[0006] 背景

[0007] 无线设备(例如,蜂窝电话或智能电话)可传送和接收数据以与无线通信系统进行双向通信。无线设备可包括用于数据传送的发射机以及用于数据接收的接收机。对于数据传送,发射机可用数据来调制发射本地振荡器(L0)信号以获得经调制射频(RF)信号,放大该经调制RF信号以获得具有期望输出功率电平的输出RF信号,并经由天线将该输出RF信号发射到基站。对于数据接收,接收机可经由天线获得收到RF信号,放大该收到RF信号并用接收L0信号对该收到RF信号进行下变频,并处理该经下变频的信号以恢复由基站发送的数据。

[0008] 无线设备可包括一个或多个振荡器来以一个或多个期望频率生成一个或多个振荡器信号。(诸)振荡器信号可被用于生成用于发射机的发射L0信号以及用于接收机的接收L0信号。(诸)振荡器可能被要求生成(诸)振荡器信号以满足无线设备与之通信的无线通信系统的要求。

[0009] 分频器被广泛用于生成L0信号。典型地,分频器仅提供固定分频比。因此,在多频带收发机中通常需要多个分频器。现有的可编程分频器不满足蜂窝收发机中严格的L0要求(例如小芯片面积、良好的相位噪声要求、正交输出)。因此,需要用于在多频带蜂窝收发机中生成L0信号的可编程分频器。

[0010] 概述

[0011] 在本公开的一方面,提供了方法和装置。该装置生成L0信号。该装置包括L0发生器模块和注入信号发生器模块。L0发生器模块具有多个L0输出和多个注入信号输入。L0模块被配置成基于在注入信号输入上接收到的注入信号来在L0输出上生成L0信号。注入信号发生器模块耦合至L0发生器模块。注入信号发生器模块具有多个L0输入和多个注入信号输出。L0输入耦合至L0输出。注入信号输出耦合至注入信号输入。注入信号发生器模块被配置成基于在L0输入上接收到的L0信号以及基于接收到的压控振荡器(VCO)信号来在注入信号输出上生成注入信号。

[0012] 在本公开的一方面,提供了方法和装置。该装置生成L0信号。该装置在L0发生器模块中基于接收到的注入信号生成L0信号。此外,该装置在注入信号发生器模块中基于L0信号和接收到的VCO信号生成注入信号。

[0013] 附图简述

[0014] 图1解说无线设备与不同的无线通信系统通信。

[0015] 图2是无线设备的框图。

[0016] 图3是解说使用示例性可编程谐波发生器和示例性可编程L0分频器的L0信号生成的框图。

[0017] 图4是可编程谐波发生器和可编程L0分频器的示意电路图。

[0018] 图5是解说用于生成三分频比、四分频比以及五分频比的方法的示意图。

[0019] 图6是指示对于三分频比、四分频比以及五分频比中每一者的注入信号相位序列的表。

[0020] 图7是用于提供三分频比的可编程L0分频器的示意电路图。

[0021] 图8是用于提供四分频比的可编程L0分频器的示意电路图。

[0022] 图9是用于提供五分频比的可编程L0分频器的示意电路图。

[0023] 图10A-10H是用于在可编程谐波发生器中生成注入信号的示意电路图。

[0024] 图11是可编程L0分频器内的环形振荡器延迟级的示例的示意电路图。

[0025] 图12是解说使用可编程谐波发生器、可编程L0分频器以及粗调模块的L0信号生成的框图。

[0026] 图13是生成L0信号的方法的流程图。

[0027] 详细描述

[0028] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文所描述的概念的仅有配置。本详细描述包括具体细节以提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以便避免淡化此类概念。术语“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何设计不必被解释为优于或胜过其他设计。

[0029] 现在将参照各种设备和方法给出电信系统的若干方面。这些设备和方法将在以下详细描述中进行描述并在附图中由各种框、模块、组件、电路、步骤、过程、算法等(统称为“元素”)来解说。这些元素可使用电子硬件、计算机软件或其任何组合来实现。此类元素是实现成硬件还是软件取决于具体应用和加诸于整体系统上的设计约束。

[0030] 作为示例,元素、或元素的任何部分、或者元素的任何组合可用包括一个或多个处理器的“处理系统”来实现。处理器的示例包括:微处理器、微控制器、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、状态机、门控逻辑、分立的硬件电路以及其他配置成执行本公开中通篇描述的各种功能性的合适硬件。处理系统中的一个或多个处理器可以执行软件。软件应当被宽泛地解释成意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数等,无论其是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来述及皆是如此。

[0031] 相应地,在一个或多个示例性实施例中,所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现,则各功能可作为一条或多条指令或代码存储或编码在计算机可读介质上。计算机可读介质包括计算机存储介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限定,这样的计算机可读介质可包括随机存取存储器(RAM)、只读存储器(ROM)、电可擦除可编程ROM(EEPROM)、紧致盘(CD)ROM(CD-ROM)或其它

光盘存储、磁盘存储或其它磁存储设备、或可被用来携带或存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其它介质。如本文所使用的,盘(disk)和碟(disc)包括CD、激光碟、光碟、数字多用碟(DVD)和软盘,其中盘(disk)往往以磁的方式再现数据,而碟用激光以光学方式再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0032] 图1是解说无线设备110与不同的无线通信系统120、122通信的示图100。无线系统120、122可各自是码分多址(CDMA)系统、全球移动通信系统(GSM)系统、长期演进(LTE)系统、无线局域网(WLAN)系统、或某一其他无线系统。CDMA系统可实现宽带CDMA(WCDMA)、CDMA 1X或cdma2000、时分同步码分多址(TD-SCDMA)、或某个其他版本的CDMA。TD-SCDMA也被称作通用地面无线电接入(UTRA)时分双工(TDD) 1.28Mcps选项或低码片率(LCR)。LTE支持频分双工(FDD)和时分双工(TDD)两者。例如,无线系统120可以是GSM系统,而无线系统122可以是WCDMA系统。作为另一示例,无线系统120可以是LTE系统,而无线系统122可以是CDMA系统。

[0033] 出于简化起见,示图100示出了无线系统120包括一个基站130和一个系统控制器140,而无线系统122包括一个基站132和一个系统控制器142。一般而言,每个无线系统可包括任何数目的基站以及网络实体的任意集合。每个基站可支持在该基站的覆盖内的无线设备的通信。基站也可被称为B节点、演进型B节点(eNB)、接入点、基收发机站、无线电基站、无线电收发机、收发机功能、基本服务集(BSS)、扩展服务集(ESS)、或某个其他合适的术语。无线设备110也可被称为用户装备(UE)、移动设备、远程设备、无线设备、无线通信设备、站、移动站、订户站、移动订户站、终端、移动终端、远程终端、无线终端、接入终端、客户机、移动客户机、移动单元、订户单元、无线单元、远程单元、手持机、用户代理、或某个其他合适的术语。无线设备110可以是蜂窝电话、智能电话、平板设备、无线调制解调器、个人数字助理(PDA)、手持式设备、膝上型计算机、智能本、上网本、无绳电话、无线本地环路(WLL)站、或某一其他类似的功能设备。

[0034] 无线设备110可以能够与无线系统120和/或122通信。无线设备110还可以能够接收来自广播站(诸如广播站134)的信号。无线设备110还可以能够接收来自一个或多个全球导航卫星系统(GNSS)中的卫星(诸如卫星150)的信号。无线设备110可支持用于无线通信的一种或多种无线电技术,诸如GSM、WCAMA、cdma2000、LTE、802.11等。术语“无线电技术”、“无线电接入技术”、“空中接口”和“标准”可被互换地使用。

[0035] 无线设备110可经由下行链路和上行链路与无线系统中的基站通信。下行链路(或即前向链路)是指从基站至无线设备的通信链路,而上行链路(或即反向链路)是指从无线设备至基站的通信链路。无线系统可利用TDD和/或FDD。对于TDD,下行链路和上行链路共享相同频率,且下行链路传输和上行链路传输可在不同时间段里在该相同频率上发送。对于FDD,下行链路和上行链路被分配单独的频率。下行链路传输可在一个频率上发送,而上行链路传输可在另一频率上发送。支持TDD的一些示例性无线电技术包括GSM、LTE以及TD-SCDMA。支持FDD的一些示例性无线电技术包括WCDMA、cdma2000以及LTE。无线设备110和/或基站130、132可包括示例性可编程分频器160。示例性可编程分频器160在下文提供。

[0036] 图2是示例性无线设备(诸如无线设备110)的框图200。该无线设备包括数据处理器/控制器210、收发机218和天线290。数据处理器/控制器210可被称为处理系统。处理系统可包括数据处理器/控制器210,或者包括数据处理器/控制器210和存储器216两者。收发机

218包括支持双向通信的发射机220和接收机250。发射机220和/或接收机250可用超外差式架构或直接变频式架构来实现。在超外差式架构中,信号在RF与基带之间以多级来变频,例如对于接收机来说,在一级中从RF变频到中频(IF),然后在另一级中从IF变频到基带。在直接变频式架构(也被称为零IF架构)中,信号在一级中在RF与基带之间变频。超外差式以及直接变频式架构可以使用不同的电路块和/或具有不同的要求。在图2中所示的示例性设计中,发射机220和接收机250用直接变频式架构来实现。

[0037] 在发射路径中,数据处理器/控制器210可处理(例如,编码和调制)要传送的数据,以及将数据提供给数模转换器(DAC)216。DAC 216将数字输入信号转换成模拟输出信号。模拟输出信号被提供给发射(TX)基带(低通)滤波器232,发射基带滤波器232可对该模拟输出信号进行滤波以去除由DAC 216进行的在前数模转换引起的镜频。放大器(amp)234可放大来自TX基带滤波器232的信号,以及提供经放大的基带信号。上变频器(混频器)236可接收经放大的基带信号以及来自TX LO信号发生器276的TX LO信号。上变频器236可用TX LO信号对经放大的基带信号上变频,以及提供经上变频的信号。滤波器238可对经上变频的信号进行滤波以去除由上变频引起的镜频。功率放大器(PA)240可放大来自滤波器238的经滤波RF信号以获得期望输出功率电平,以及提供输出RF信号。输出RF信号可被路由通过双工器/开关复用器264。

[0038] 对于FDD,发射机220和接收机250可被耦合至双工器264,双工器264可包括用于发射机220的TX滤波器和用于接收机250的接收(RX)滤波器。TX滤波器可对输出RF信号进行滤波,以使发射频带中的信号分量通过并且衰减接收频带中的信号分量。对于TDD,发射机220和接收机250可被耦合至开关复用器264。开关复用器264可在上行链路时间区间期间将输出RF信号从发射机220传递到天线290。对于FDD和TDD两者来说,双工器/开关复用器264可将输出RF信号提供给天线290以供经由无线信道进行传输。

[0039] 在接收路径中,天线290可接收由基站和/或其他发射机站传送的信号,以及提供收到RF信号。收到RF信号可被路由通过双工器/开关复用器264。对于FDD,双工器264内的RX滤波器对收到RF信号进行滤波,以使接收频带中的信号分量通过并且衰减发射频带中的信号分量。对于TDD,开关复用器264可在下行链路时间区间期间将收到RF信号从天线290传递到接收机250。对于FDD和TDD两者来说,双工器/开关复用器264可将收到RF信号提供给接收机250。

[0040] 在接收机250内,收到RF信号可由低噪声放大器(LNA)252放大并由滤波器254滤波器,以获得输入RF信号。下变频器(混频器)256可接收输入RF信号以及来自RX LO信号发生器286的RX LO信号。下变频器256可用RX LO信号对输入RF信号下变频,以及提供经下变频的信号。经下变频的信号可由放大器258放大,并进一步由RX基带(低通)滤波器260滤波以获得模拟输入信号。模拟输入信号被提供给模数转换器(ADC)262。ADC 262将模拟输入信号转换成数字输出信号。数字输出信号被提供给数据处理器/控制器210。

[0041] TX频率合成器270可包括TX锁相环(PLL)272和VCO 274。VCO 274可以期望频率生成TX VCO信号。TX PLL 272可从数据处理器/控制器210接收定时信息,以及生成用于VCO 274的控制信号。该控制信号可调节VCO274的频率和/或相位,从而为TX VCO信号获得期望频率。TX频率合成器270将TX VCO信号提供给TX LO信号发生器276。TX LO信号发生器可基于从TX频率合成器270接收的TX VCO信号来生成TX LO信号。

[0042] RX频率合成器280可包括RX PLL 282和VCO 284。VCO 284可以期望频率生成RX VCO信号。RX PLL 282可从数据处理器/控制器210接收定时信息,以及生成用于VCO 284的控制信号。该控制信号可调节VCO 284的频率和/或相位,从而为RX VCO信号获得期望频率。RX频率合成器280将RX VCO信号提供给RX LO信号发生器286。RX LO信号发生器可基于从RX频率合成器280接收的RX VCO信号来生成RX LO信号。

[0043] LO信号发生器276、286可各自包括分频器、缓冲器等。如果LO信号发生器276、286分别对由TX频率合成器270和RX频率合成器280提供的频率进行分频,则它们可被称为分频器。PLL 272、282可各自包括鉴相器/鉴频器、环路滤波器、电荷泵、分频器等。每个VCO信号和每个LO信号可以是具有特定基频的周期性信号。来自LO发生器276、286的TX LO信号和RX LO信号对于TDD来说可具有相同的频率,或对于FDD来说可具有不同的频率。来自VCO 274、284的TX VCO信号和RX VCO信号可具有相同的频率(例如用于TDD)或不同的频率(例如用于FDD或TDD)。

[0044] 在发射机220和接收机250中对信号的调节可由一级或多级的放大器、滤波器、上变频器、下变频器等来执行。这些电路可与图2中所示的配置不同地安排。此外,还可使用未在图2中示出的其他电路来调节发射机250和接收机220中的信号。例如,可将阻抗匹配电路定位在PA 240的输出处、LNA 252的输入处、天线290与双工器/开关复用器264之间等。还可省略图2中的一些电路。例如,滤波器238和/或滤波器254可被省略。收发机218的全部或一部分可被实现在一个或多个模拟集成电路(IC)、RF IC(RFIC)、混合信号IC等上。例如,发射机220中的TX基带滤波器232至PA 240、接收机250中的LNA 252至RX基带滤波器260、PLL 272、282、VCO 274、284、以及LO信号发生器276、286可被实现在RFIC上。PA 240以及可能其它电路也可被实现在单独的IC或电路模块上。

[0045] 数据处理器/控制器210可为无线设备执行各种功能。例如,数据处理器/控制器210可对正经由发射机220传送的数据以及正经由接收机250接收的数据执行处理。数据处理器/控制器210可控制发射机220和接收机250内的各种电路的操作。存储器212和/或存储器216可存储用于数据处理器/控制器210的程序代码和数据。存储器可位于数据处理器/控制器210内部(例如,存储器212)或位于数据处理器/控制器210外部(例如,存储器216)。存储器可被称为计算机可读介质。振荡器214可以特定频率生成VCO信号。时钟发生器216可接收来自振荡器214的VCO信号,以及可为数据处理器/控制器210内的各种模块生成时钟信号。数据处理器/控制器210可被实现在一个或多个专用集成电路(ASIC)和/或其他IC上。

[0046] 分频器(诸如分频器276、286)被广泛地用于生成LO信号。需要一种用于在多频带蜂窝收发机中生成LO信号的满足严格的LO要求(诸如小芯片面积、良好的相位噪声要求、以及正交输出)的可编程分频器。

[0047] 图3是解说使用示例性可编程谐波发生器318和示例性可编程LO分频器314的LO信号生成的框图300。如图3中所示,VCO 316将VCO信号332提供给可编程谐波发生器318。VCO 316可对应于VCO 274和/或VCO 284。可编程谐波发生器318从分频比选择模块320接收分频比选择3、4或5。可编程谐波发生器318基于VCO信号332以及分频比选择来生成注入信号328,以及将注入信号328提供给可编程LO分频器314。可编程谐波发生器318和可编程LO分频器314可对应于TX LO信号发生器276和/或RX LO信号发生器286。基于注入信号328,可编程LO分频器314生成对应于所选分频比的LO信号。可编程LO分频器314被粗调到期望目标LO

信号频率。可编程L0分频器314的输出耦合至混频器322以用于中频带(MB)L0信号生成以及高频带(HB)L0信号生成。可编程L0分频器314的输出还耦合至二分频器324,用于提供用于低频带(LB)L0信号生成的附加二分频比。VCO 316可将VCO信号334直接提供给二分频器324,用于提供用于HB L0信号生成的二分频比。二分频器324耦合至混频器326。

[0048] 示图300的装置提供了二分频比、三分频比、四分频比、五分频比、六分频比、八分频比以及十分频比。这些可用分频比可允许较低的VCO调谐范围百分比,并且因此可允许仅用一个VCO来实现VCO 316(还有VCO276、286中的每一个)。例如,利用这些可用分频比,可基于6.8GHz与8.68GHz之间的VCO信号以必需的载波频率生成L0信号。对于6.8GHz至8.68GHz的VCO调谐范围来说,VCO调谐范围百分比为24.29%(即, $(8.68\text{GHz} - 6.8\text{GHz}) / ((8.68\text{GHz} + 6.8\text{GHz}) / 2)$)。VCO调谐范围24.29%可容易地用仅一个VCO来实现。如此,示图300的装置可允许VCO 316用仅一个VCO来实现。

[0049] 可编程谐波发生器318和可编程L0分频器314(下文进一步讨论)显著地降低了VCO调谐范围要求。因此,所利用的管芯面积被减小,因为对于VCO 316来说可能不需要多个VCO。此外,可编程谐波发生器318和可编程L0分频器314减少了VCO相位噪声以及电流消耗。仅有一个VCO用于VCO 316还减少了布线所需的努力。提出了注入锁定环形振荡器用于可编程L0分频器314。注入锁定环形振荡器不要求片上电感器,并要求小的芯片面积。此外,由于环形振荡器的低品质因数(Q),注入锁定环形振荡器具有大锁频范围。

[0050] 图4是可编程谐波发生器418和可编程L0分频器420的示意电路图400。可编程L0分频器420对应于可编程L0分频器314。可编程L0分频器420可被称为本地振荡器发生器模块。可编程L0分频器420包括环形振荡器。该环形振荡器包括第一环形振荡器延迟级402,其具有耦合至输出 Q_p 的输入、耦合至输出 Q_m 的反相输入、反相输出 Q_{p1} 、以及输出 Q_{m1} 。开关410耦合在输出 Q_{p1} 、 Q_{m1} 之间。该开关可以是NMOS晶体管,其漏极耦合至输出 Q_{p1} ,源极耦合至输出 Q_{m1} ,而栅极耦合至第一注入信号 V_{inj1} 。第二环形振荡器延迟级404具有耦合至输出 Q_{p1} 的输入、耦合至输出 Q_{m1} 的反相输入、反相输出 I_p 、以及输出 I_m 。开关412耦合在输出 I_p 、 I_m 之间。该开关可以是n沟道金属氧化物半导体(MOS)(NMOS)场效应晶体管(FET)晶体管,其漏极耦合至输出 I_p ,源极耦合至输出 I_m ,而栅极耦合至第二注入信号 V_{inj2} 。第三环形振荡器延迟级406具有耦合至输出 I_p 的输入、耦合至输出 I_m 的反相输入、反相输出 I_{p1} 、以及输出 I_{m1} 。开关414耦合在输出 I_{p1} 、 I_{m1} 之间。该开关可以是NMOS晶体管,其漏极耦合至输出 I_{p1} ,源极耦合至输出 I_{m1} ,而栅极耦合至第三注入信号 V_{inj3} 。第四环形振荡器延迟级416具有耦合至输出 I_{p1} 的输入、耦合至输出 I_{m1} 的反相输入、反相输出 Q_m 、以及输出 Q_p 。开关416耦合在输出 Q_m 、 Q_p 之间。该开关可以是NMOS晶体管,其漏极耦合至输出 Q_m ,源极耦合至输出 Q_p ,而栅极耦合至第四注入信号 V_{inj4} 。

[0051] 开关410、412、416、418对差分输出 Q_{p1} 和 Q_{m1} 、 I_p 和 I_m 、 I_{p1} 和 I_{m1} 、以及 Q_p 和 Q_m 提供直接注入以迫使这些差分输出周期性地相同,以便为对环形振荡器进行注入锁频提供必需的同步。开关410、412、416、418替代地可以是BJT或任何类型的FET(如p沟道MOS(PMOS)晶体管)。环形振荡器包括偶数级,用于提供具有 90° 相移的正交L0输出信号。L0信号输出 Q_p 和 I_p 、 Q_{p1} 和 I_{p1} 、 Q_m 和 I_m 、以及 Q_{m1} 和 I_{m1} 各自具有 90° 相移差。L0信号差分输出 Q_{p1} 和 Q_{m1} 、 I_p 和 I_m 、 I_{p1} 和 I_{m1} 以及 Q_p 和 Q_m 各自具有 180° 相移差。L0信号输出 Q_p 和 Q_{p1} 、 Q_{p1} 和 I_p 、 I_p 和 I_{p1} 、 I_{p1} 和 Q_p 、 Q_m 和 Q_{m1} 、 Q_{m1} 和 I_m 、 I_m 和 I_{m1} 、以及 I_{m1} 和 Q_m 各自具有 45° 相移差。L0信号输出可取自L0信号输出 I_p 、 I_m 、 Q_p 、 Q_m 、 I_{p1} 、 I_{m1} 、 Q_{p1} 、 Q_{m1} 中的任一个。

[0052] 可编程谐波发生器418对应于可编程谐波发生器318。可编程谐波发生器418可被称为注入信号发生器模块。可编程谐波发生器模块418接收来自一VC0的差分输入 $VC0_p$ 、 $VC0_n$ ，来自可编程L0分频器420的差分输入 I_p 和 I_m ，以及分频比选择输入。基于接收到的输入，可编程L0分频器420输出注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 。输入 I_p 、 I_m 是来自可编程L0分频器420的L0信号输出。尽管可编程谐波发生器418被示为具有输入 I_p 、 I_m ，可编程谐波发生器418可替代地接收输入 I_{p1} 、 I_{m1} ，或 Q_{p1} 、 Q_{m1} ，或 Q_p 、 Q_m 。可编程谐波发生器模块418接收分频比选择，并基于该分频比选择，基于接收到的VC0信号 $VC0_p$ 、 $VC0_n$ 以及接收到的L0信号 I_p 、 I_m 生成注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 。

[0053] 图5是解说用于生成三分频比、四分频比以及五分频比的方法的示图500。对于三分频，混频器502接收频率 F_{VC0} 等于 $3f_0$ 的VC0信号以及来自L0信号发生器504的L0信号。该L0信号的频率 F_{L0} 等于 f_0 。混频器502提供频率 F_{inj} 等于 $2f_0$ 的注入信号。L0信号发生器504接收频率为 $2f_0$ 的该注入信号，并提供频率 F_{L0} 等于 f_0 的L0信号。该L0信号被反馈给混频器502。因此，按照 $F_{VC0}/F_{L0}=3f_0/f_0=3$ 获得了三分频。

[0054] 对于四分频，混频器506接收频率 F_{VC0} 等于 $3f_0$ 的VC0信号以及直流(DC)输入。混频器506提供频率 F_{inj} 等于 $4f_0$ 的注入信号。L0信号发生器508接收频率为 $4f_0$ 的该注入信号，并提供频率 F_{L0} 等于 f_0 的L0信号。因此，按照 $F_{VC0}/F_{L0}=4f_0/f_0=4$ 获得了四分频。

[0055] 对于五分频，混频器510接收频率 F_{VC0} 等于 $5f_0$ 的VC0信号以及来自L0信号发生器512的L0信号。该L0信号的频率 F_{L0} 等于 f_0 。混频器510提供频率 F_{inj} 等于 $4f_0$ 的注入信号。L0信号发生器512接收频率为 $4f_0$ 的该注入信号，并提供频率 F_{L0} 等于 f_0 的L0信号。该L0信号被反馈给混频器510。因此，按照 $F_{VC0}/F_{L0}=5f_0/f_0=5$ 获得了五分频。

[0056] 图6是指示对于三分频比、四分频比以及五分频比中每一者的注入信号相位序列的表600。对于分频比3，VC0信号具有频率 $3f_0$ ，且L0信号具有频率 f_0 。如关于图5所讨论的，从可编程谐波发生器318、418输出并被输入到可编程L0分频器314、420的注入信号具有频率 $2f_0$ 。分频比3是在可编程L0分频器314、420中部分地通过分别将注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、以及 V_{inj4} 的相位设置为 α 、 α 、 $\alpha+\pi$ 、以及 $\alpha+\pi$ 来获得的。如果 $\alpha=0$ ，则对于注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 来说，注入信号相位序列是0、0、 π 、 π 。对于分频比4，VC0信号具有频率 $4f_0$ ，且L0信号具有频率 f_0 。如关于图5所讨论的，从可编程谐波发生器318、418输出并被输入到可编程L0分频器314、420的注入信号具有频率 $4f_0$ 。分频比4是在可编程L0分频器314、420中部分地通过分别将注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、以及 V_{inj4} 的相位设置为 α 、 $\alpha+\pi$ 、 α 、以及 $\alpha+\pi$ 来获得的。如果 $\alpha=0$ ，则对于注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 来说，注入信号相位序列是0、 π 、0、 π 。对于分频比5，VC0信号具有频率 $5f_0$ ，且L0信号具有频率 f_0 。如关于图5所讨论的，从可编程谐波发生器318、418输出并被输入到可编程L0分频器314、420的注入信号具有频率 $4f_0$ 。分频比5是在可编程L0分频器314、420中部分地通过分别将注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、以及 V_{inj4} 的相位设置为 α 、 $\alpha+\pi$ 、 α 、以及 $\alpha+\pi$ 来获得的。如果 $\alpha=0$ ，则对于注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 来说，注入信号相位序列是0、 π 、0、 π 。

[0057] 图7是用于提供三分频比的可编程L0分频器700的示意电路图。可编程L0分频器700对应于可编程L0分频器314、420。如图7中所示，可编程L0分频器700内的三分频比是通过注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 获得的，其中 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 各自具有频率 $2f_0$ 以及相位分别为 α 、 α 、 $\alpha+\pi$ 、以及 $\alpha+\pi$ 。

[0058] 图8是用于提供四分频比的可编程LO分频器800的示意电路图。可编程LO分频器800对应于可编程LO分频器314、420。如图8中所示,可编程LO分频器800内的四分频比是通过注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 获得的,其中 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 各自具有频率 $4f_0$ 以及相位分别为 α 、 $\alpha+\pi$ 、 α 、以及 $\alpha+\pi$ 。

[0059] 图9是用于提供五分频比的可编程LO分频器900的示意电路图。可编程LO分频器900对应于可编程LO分频器314、420。如图9中所示,可编程LO分频器900内的五分频比是通过注入信号 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 获得的,其中 V_{inj1} 、 V_{inj2} 、 V_{inj3} 、 V_{inj4} 各自具有频率 $4f_0$ 以及相位分别为 α 、 $\alpha+\pi$ 、 α 、以及 $\alpha+\pi$ 。

[0060] 图10A-10H是用于在可编程谐波发生器318、418中生成注入信号的示意电路图。参考图10E,当启用分频比3 (En_div3) 或者启用分频比5 (En_div5) 时,开关1018闭合,否则断开。当启用分频比4 (En_div4) 时,开关1020闭合,否则断开。因此,当启用分频比3或5时,信号 I_{ip2} 被耦合至LO信号 I_p ,而当启用分频比4时,信号 I_{ip2} 被耦合至电源电压Vdd。参考图10F,当启用分频比3 (En_div3) 或者启用分频比5 (En_div5) 时,开关1022闭合,否则断开。当启用分频比4 (En_div4) 时,开关1024闭合,否则断开。因此,当启用分频比3或5时,信号 I_{im2} 被耦合至LO信号 I_m ,而当启用分频比4时,信号 I_{im2} 被耦合至电路接地 (Gnd)。参考图10G,当启用分频比3 (En_div3) 时,开关1026闭合,否则断开。当启用分频比5 (En_div5) 时,开关1028闭合,否则断开。当启用分频比4 (En_div4) 时,开关1030闭合,否则断开。因此,当启用分频比3时信号 I_{ip1} 被耦合至LO信号 I_p ,当启用分频比5时信号 I_{ip1} 被耦合至LO信号 I_m ,而当启用分频比4时信号 I_{ip1} 被耦合至电路接地。参考图10H,当启用分频比5 (En_div5) 时,开关1032闭合,否则断开。当启用分频比3 (En_div3) 时,开关1034闭合,否则断开。当启用分频比4 (En_div4) 时,开关1036闭合,否则断开。因此,当启用分频比5时信号 I_{im1} 被耦合至LO信号 I_p ,当启用分频比3时信号 I_{im1} 被耦合至LO信号 I_m ,而当启用分频比4时信号 I_{im1} 被耦合至电源电压Vdd。

[0061] 参考图10A,第一晶体管1002耦合在第一注入信号 V_{inj1} 节点和第一VCO信号 $VC0_p$ 之间,其中第一晶体管1002的漏极耦合至第一注入信号 V_{inj1} 节点,而第一晶体管1002的源极耦合至第一VCO信号 $VC0_p$ 。第二晶体管1004耦合在第一注入信号 V_{inj1} 节点和第二VCO信号 $VC0_n$ 之间,其中第二晶体管1004的漏极耦合至第一注入信号 V_{inj1} 节点,而第二晶体管1004的源极耦合至第二VCO信号 $VC0_n$ 。第一晶体管1002的栅极耦合至信号 I_{ip2} ,而第二晶体管1004的栅极耦合至信号 I_{im2} 。尽管第一和第二晶体管1002、1004被示为NMOS晶体管,但是第一和第二晶体管1002、1004可为BJT或任何类型的FET (例如,PMOS晶体管)。

[0062] 参考图10B,第一晶体管1006耦合在第二注入信号 V_{inj2} 节点和第一VCO信号 $VC0_p$ 之间,其中第一晶体管1006的漏极耦合至第二注入信号 V_{inj2} 节点,而第一晶体管1006的源极耦合至第一VCO信号 $VC0_p$ 。第二晶体管1008耦合在第二注入信号 V_{inj2} 节点和第二VCO信号 $VC0_n$ 之间,其中第二晶体管1008的漏极耦合至第二注入信号 V_{inj2} 节点,而第二晶体管1008的源极耦合至第二VCO信号 $VC0_n$ 。第一晶体管1006的栅极耦合至信号 I_{ip1} ,而第二晶体管1008的栅极耦合至信号 I_{im1} 。尽管第一和第二晶体管1006、1008被示为NMOS晶体管,但是第一和第二晶体管1006、1008可为BJT或任何类型的FET (例如,PMOS晶体管)。

[0063] 参考图10C,第一晶体管1010耦合在第三注入信号 V_{inj3} 节点和第一VCO信号 $VC0_p$ 之间,其中第一晶体管1010的漏极耦合至第三注入信号 V_{inj3} 节点,而第一晶体管1010的源极

耦合至第一VCO信号VCO_p。第二晶体管1012耦合在第三注入信号V_{inj3}节点和第二VCO信号VCO_n之间,其中第二晶体管1012的漏极耦合至第三注入信号V_{inj3}节点,而第二晶体管1012的源极耦合至第二VCO信号VCO_n。第一晶体管1010的栅极耦合至信号I_{im1},而第二晶体管1012的栅极耦合至信号I_{ip1}。尽管第一和第二晶体管1010、1012被示为NMOS晶体管,但是第一和第二晶体管1010、1012可为BJT或任何类型的FET(例如,PMOS晶体管)。

[0064] 参考图10D,第一晶体管1014耦合在第四注入信号V_{inj4}节点和第一VCO信号VCO_p之间,其中第一晶体管1014的漏极耦合至第四注入信号V_{inj4}节点,而第一晶体管1014的源极耦合至第一VCO信号VCO_p。第二晶体管1016耦合在第四注入信号V_{inj4}节点和第二VCO信号VCO_n之间,其中第二晶体管1016的漏极耦合至第四注入信号V_{inj4}节点,而第二晶体管1016的源极耦合至第二VCO信号VCO_n。第一晶体管1014的栅极耦合至信号I_{im2},而第二晶体管1016的栅极耦合至信号I_{ip2}。尽管第一和第二晶体管1014、1016被示为NMOS晶体管,但是第一和第二晶体管1014、1016可为BJT或任何类型的FET(例如,PMOS晶体管)。

[0065] 图11是可编程L0分频器314、420内的环形振荡器延迟级的示例的示意电路图1100。环形振荡器延迟级402、404、406、408可各自包括一对差分晶体管1150、1152,诸如交叉耦合的晶体管1150、1152。晶体管1150、1152的源极可被耦合在一起并耦合至电源电压V_s。晶体管1152的栅极可被耦合至晶体管1150的漏极,而晶体管1150的栅极可被耦合至晶体管1152的漏极。晶体管1150、1152可以是PMOS晶体管。晶体管1150的漏极可被耦合至晶体管1154的漏极,而晶体管1152的漏极可被耦合至晶体管1156的漏极。晶体管1154、1156的源极可被耦合在一起并耦合至电路接地。晶体管1154的栅极可被耦合至第一输入V_{inp},而晶体管1156的栅极可被耦合至第二输入V_{inn}。晶体管1154、1156可以是NMOS晶体管。晶体管1152、1156的漏极耦合至第一输出节点VCO_p,而晶体管1150、1154的漏极耦合至第二输出节点VCO_n。第一电容器组可被耦合在第一输出节点VCO_p与电路接地之间。第二电容器组可被耦合在第二输出节点VCO_n与电路接地之间。第一和第二电容器组可被配置成具有n位且可通过电容单元C、2C、…、2ⁿ⁻¹C被二进制加权。第一和第二电容器组通过粗调(CT)规程被粗调,以将可编程L0分频器314、420调节到期望目标L0频率。例如,该环形振荡器延迟级可包括5位二进制加权电容器组。通过CT规程,第一和第二电容器组每一者中的5个二进制加权电容器中的每一者要么被连接要么被断开。

[0066] 图12是解说使用可编程谐波发生器318、可编程L0分频器314以及CT模块1202的L0信号生成的框图1200。CT模块1202执行CT规程来调谐自由运转(free-running)频率,以及优化可编程L0分频器314的L0信号输出的相位噪声。在步骤1204,CT模块1202设定可编程L0分频器314的初始电容。当可编程L0分频器314包括如图11中所示的环形振荡器延迟级时,CT模块1202调节环形振荡器延迟级的第一和第二电容器组每一者的初始电容,以便设定可编程L0分频器314的L0信号输出的初始频率。在步骤1206,CT模块1202确定可编程L0分频器314的L0信号输出的自由运转频率。在步骤1208,CT模块1202将L0信号输出的当前自由运转频率与期望目标L0频率相比较。如果差异或误差大于或等于阈值,则在步骤1210,CT模块1202进一步调节电容并返回步骤1206。当差异或误差小于该阈值时,在步骤1212,CT模块1202终止CT规程。阈值T是可编程L0分频器314的L0信号输出的自由运转频率中的可接受误差E。如果L0信号输出应为频率f₀但实际为频率f₁,且f₁是可接受的,则误差是E = |f₁ - f₀|。阈值T等于该可接受误差E。

[0067] 再次参考图2和图12,分频比选择模块320选择多个分频比中的一分频比。数据处理/控制器210可基于所选的分频比来配置注入信号发生器模块318。注入信号发生器模块由数据处理/控制器210配置成基于本地振荡器信号、接收到的VCO信号以及该配置来生成注入信号。可用数据处理/控制器210实现的CT模块1202调谐本地振荡器发生器模块314,以便以期目标频率提供本地振荡器信号。本地振荡器发生器模块314基于注入信号生成本地振荡器信号。

[0068] 图13是生成L0信号的方法的流程图1300。该方法可由一装置执行,诸如以下一个或多个:可编程谐波发生器模块318、可编程L0分频器模块314、分频比选择模块320、VCO模块316、以及CT模块1202。该装置生成L0信号。在步骤1302,该装置可在分频比选择模块中选择多个可用分频比中的一分频比,以及将所选分频比提供给注入信号发生器模块。在步骤1304,该装置可在L0发生器模块中基于接收到的注入信号生成L0信号。在步骤1306,该装置可在注入信号发生器模块中基于L0信号、接收到的VCO信号以及所选分频比生成注入信号。

[0069] L0发生器模块可具有多个L0输出和多个注入信号输入。L0模块可被配置成基于在注入信号输入上接收到的注入信号来在L0输出上生成L0信号。注入信号发生器模块可被耦合至L0发生器模块。注入信号发生器模块可具有多个L0输入和多个注入信号输出。L0输入可被耦合至L0输出。注入信号输出可被耦合至注入信号输入。注入信号发生器模块可被配置成基于在L0输入上接收到的L0信号以及基于接收到的VCO信号来在注入信号输出上生成注入信号。

[0070] 在步骤1308,该装置可在注入信号发生器模块内设定注入信号的谐波功率以及注入信号序列。注入信号发生器模块可以是可编程的以提供至少三组不同的注入信号。例如,注入信号发生器模块可以是可编程的以提供对应于分频比3、4以及5中的每一者的一组注入信号。L0发生器模块可包括多个延迟级,且具体包括n个延迟级和n个注入信号输入。例如,参考图4,环形振荡器包括4个延迟级,且因此 $n=4$ 。如图4中所示,n个注入信号输入中的每一个可位于不同的一对延迟级之间,且n个注入信号输入中的每一个可由注入信号发生器模块独立控制。在步骤1310,该装置可在耦合至L0发生器模块的调谐模块中调谐L0信号的频率。该装置可在调谐模块中调节每个延迟级的电容,以便调谐L0信号的频率。该装置可通过确定L0信号的频率、将所确定的频率与L0信号的目标频率相比较、以及逐步调节L0信号的频率直到该频率与目标频率之间的差异小于阈值来调谐L0信号的频率。

[0071] 在步骤1302,可从至少三个可用分频比之一来选择分频比。该至少三个可用分频比可包括近似为3的分频比、近似为4的分频比、以及近似为5的分频比。在步骤1308,该装置可在注入信号发生器模块和L0发生器模块中基于来自分频比选择模块的输入按近似等于3、4或5的分频比来对接收到的VCO信号的频率进行分频。该装置可基于来自分频比选择模块的输入单独地以每个分频后的频率提供L0信号。

[0072] 该装置可在VCO模块中将VCO信号提供给注入信号发生器模块。对于三分频比,该装置可在注入信号发生器模块中接收以近似等于L0信号的期望频率的三倍的频率的VCO信号。该装置可基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率减去L0信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号。第一注入信号可具有近似等于 α 的相位,第二注入信号可具有近似等于 α 的相位,第三注入信号可具有近似等于 $\alpha+\pi$ 的相位,而第四注入信号可具有近似等于 $\alpha+\pi$ 的相位。该装置

可基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率一半的频率生成L0信号。L0发生器模块可包括串联耦合的四个延迟级。这四个延迟级可包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、以及串联耦合在第三延迟级和第一延迟级之间的第四延迟级。第一注入信号可被施加于第一延迟级和第二延迟级之间的第一注入信号输入，第二注入信号可被施加于第二延迟级和第三延迟级之间的第二注入信号输入，第三注入信号可被施加于第三延迟级和第四延迟级之间的第三注入信号输入，以及第四注入信号可被施加于第四延迟级和第一延迟级之间的第四注入信号输入。

[0073] 对于四分频比，该装置可在注入信号发生器模块中接收以近似等于L0信号的期望频率的四倍的频率的VCO信号。该装置可基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号。第一注入信号可具有近似等于 α 的相位，第二注入信号可具有近似等于 $\alpha+\pi$ 的相位，第三注入信号可具有近似等于 α 的相位，而第四注入信号可具有近似等于 $\alpha+\pi$ 的相位。该装置可基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率四分之一的频率生成L0信号。L0发生器模块可包括串联耦合的四个延迟级。这四个延迟级可包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、以及串联耦合在第三延迟级和第一延迟级之间的第四延迟级。第一注入信号可被施加于第一延迟级和第二延迟级之间的第一注入信号输入，第二注入信号可被施加于第二延迟级和第三延迟级之间的第二注入信号输入，第三注入信号可被施加于第三延迟级和第四延迟级之间的第三注入信号输入，以及第四注入信号可被施加于第四延迟级和第一延迟级之间的第四注入信号输入。

[0074] 对于五分频比，该装置可在注入信号发生器模块中接收以近似等于L0信号的期望频率的五倍的频率的VCO信号。该装置可基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率减去L0信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号。第一注入信号可具有近似等于 α 的相位，第二注入信号可具有近似等于 $\alpha+\pi$ 的相位，第三注入信号可具有近似等于 α 的相位，而第四注入信号可具有近似等于 $\alpha+\pi$ 的相位。该装置可基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率四分之一的频率生成L0信号。L0发生器模块可包括串联耦合的四个延迟级。这四个延迟级可包括串联耦合在第二延迟级和第四延迟级之间的第一延迟级、串联耦合在第一延迟级和第三延迟级之间的第二延迟级、串联耦合在第二延迟级和第四延迟级之间的第三延迟级、以及串联耦合在第三延迟级和第一延迟级之间的第四延迟级。第一注入信号可被施加于第一延迟级和第二延迟级之间的第一注入信号输入，第二注入信号可被施加于第二延迟级和第三延迟级之间的第二注入信号输入，第三注入信号可被施加于第三延迟级和第四延迟级之间的第三注入信号输入，以及第四注入信号可被施加于第四延迟级和第一延迟级之间的第四注入信号输入。

[0075] 在一种配置中，接收到的VCO信号包括第一VCO信号和第二VCO信号，L0发生器模块具有多个L0输出，注入信号发生器模块具有多个注入信号输入，L0输出包括第一L0输出信

号和第二L0输出信号,注入信号发生器模块包括第一晶体管和第二晶体管,这多个注入信号输出中的一注入信号输出被耦合至第一晶体管的漏极以及第二晶体管的漏极,第一晶体管的源极耦合至第一VCO信号,而第二晶体管的源极耦合至第二VCO信号。在第一配置中,当分频比3被选择时第一晶体管的栅极耦合至第一L0输出信号,当分频比4被选择时第一晶体管的栅极耦合至电源电压,而当分频比5被选择时第一晶体管的栅极耦合至第一L0输出信号。此外,当分频比3被选择时第二晶体管的栅极耦合至第二L0输出信号,当分频比4被选择时第二晶体管的栅极耦合至电路接地,而当分频比5被选择时第二晶体管的栅极耦合至第二L0输出信号。在第二配置中,当分频比3被选择时第一晶体管的栅极耦合至第一L0输出信号,当分频比4被选择时第一晶体管的栅极耦合至电路接地,而当分频比5被选择时第一晶体管的栅极耦合至第二L0输出信号。此外,当分频比3被选择时第二晶体管的栅极耦合至第二L0输出信号,当分频比4被选择时第二晶体管的栅极耦合至电源电压,而当分频比5被选择时第二晶体管的栅极耦合至第一L0输出信号。在第三配置中,当分频比3被选择时第一晶体管的栅极耦合至第二L0输出信号,当分频比4被选择时第一晶体管的栅极耦合至电源电压,而当分频比5被选择时第一晶体管的栅极耦合至第一L0输出信号。此外,当分频比3被选择时第二晶体管的栅极耦合至第一L0输出信号,当分频比4被选择时第二晶体管的栅极耦合至电路接地,而当分频比5被选择时第二晶体管的栅极耦合至第二L0输出信号。在第四配置中,当分频比3被选择时第一晶体管的栅极耦合至第二L0输出信号,当分频比4被选择时第一晶体管的栅极耦合至电路接地,而当分频比5被选择时第一晶体管的栅极耦合至第二L0输出信号。此外,当分频比3被选择时第二晶体管的栅极耦合至第一L0输出信号,当分频比4被选择时第二晶体管的栅极耦合至电源电压,而当分频比5被选择时第二晶体管的栅极耦合至第一L0输出信号。

[0076] 再次参考图3,一种设备可包括可编程谐波发生器模块318、可编程L0分频器模块314、VCO模块316、以及分频比选择模块320、和/或数据处理器/控制器210。该设备生成L0信号。该设备包括用于在L0发生器模块中基于接收到的注入信号生成L0信号的装置。该设备进一步包括用于在注入信号发生器模块中基于L0信号和接收到的VCO信号生成注入信号的装置。在一种配置中,L0发生器模块包括多个延迟级。在这样的配置中,该设备进一步包括用于在耦合至L0发生器模块的调谐模块中调谐L0信号的频率的装置。该设备可进一步包括用于在调谐模块中调节每个延迟级的电容以便调谐L0信号的频率的装置。用于调谐的装置可被配置成确定L0信号的频率,将所确定的频率与L0信号的目标频率相比较,以及逐步调节L0信号的频率直到该频率与目标频率之间的差异小于阈值。该设备可进一步包括用于在分频比选择模块中选择多个可用分频比中的一分频比的装置,以及用于将所选分频比提供给注入信号发生器模块的装置。在这样的配置中,注入信号是基于接收到的所选分频比来生成的。该设备可进一步包括用于在注入信号发生器模块和L0发生器模块中基于来自分频比选择模块的输入按近似等于3、4或5的分频比来对接收到的VCO信号的频率进行分频的装置,以及用于基于来自分频比选择模块的输入单独地以每个分频后的频率提供L0信号的装置。该设备可进一步包括用于在VCO模块中将VCO信号提供给注入信号发生器模块的装置。该设备可进一步包括用于在注入信号发生器模块中接收以近似等于L0信号的期望频率的三倍的频率的VCO信号的装置。该设备可进一步包括用于基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率减去L0信号的频率的频率提供第一注入信号、

第二注入信号、第三注入信号以及第四注入信号的装置。第一注入信号具有近似等于 α 的相位,第二注入信号具有近似等于 α 的相位,第三注入信号具有近似等于 $\alpha+\pi$ 的相位,而第四注入信号具有近似等于 $\alpha+\pi$ 的相位。该设备可进一步包括用于基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率一半的频率生成L0信号的装置。该设备可进一步包括用于在注入信号发生器模块中接收以近似等于L0信号的期望频率的四倍的频率的VCO信号的装置。该设备可进一步包括用于基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号的装置。第一注入信号具有近似等于 α 的相位,第二注入信号具有近似等于 $\alpha+\pi$ 的相位,第三注入信号具有近似等于 α 的相位,而第四注入信号具有近似等于 $\alpha+\pi$ 的相位。该设备可进一步包括用于基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率四分之一的频率生成L0信号的装置。该设备可进一步包括用于在注入信号发生器模块中接收以近似等于L0信号的期望频率的五倍的频率的VCO信号的装置。该设备可进一步包括用于基于接收到的VCO信号且在注入信号发生器模块中以近似等于VCO信号的频率减去L0信号的频率的频率提供第一注入信号、第二注入信号、第三注入信号以及第四注入信号的装置。第一注入信号具有近似等于 α 的相位,第二注入信号具有近似等于 $\alpha+\pi$ 的相位,第三注入信号具有近似等于 α 的相位,而第四注入信号具有近似等于 $\alpha+\pi$ 的相位。该设备可进一步包括用于基于接收到的注入信号且在L0发生器模块中以近似等于注入信号的频率四分之一的频率生成L0信号的装置。上述装置可以是以下一个或多个:可编程谐波发生器模块318、可编程L0分频器模块314、VCO模块316、以及分频比选择模块320、配置成执行由上述装置所述功能的数据处理器/控制器210、计算机可读介质212、和/或计算机可读介质216。

[0077] 再次参考图3,一种设备可包括可编程谐波发生器模块318、可编程L0分频器模块314、VCO模块316、以及分频比选择模块320、和/或数据处理器/控制器210。该设备生成L0信号。该设备包括用于选择多个分频比中的一分频比的装置。该设备进一步包括用于基于所选分频比来配置注入信号发生器模块的装置。注入信号发生器模块基于L0信号、接收到的VCO信号以及该配置来生成注入信号。该设备进一步包括用于调谐L0发生器模块来以期目标频率提供L0信号的装置。L0发生器模块基于注入信号生成L0信号。上述装置可以是以下一个或多个:可编程谐波发生器模块318、可编程L0分频器模块314、VCO模块316、以及分频比选择模块320、配置成执行由上述装置所述功能的数据处理器/控制器210、计算机可读介质212、和/或计算机可读介质216。

[0078] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。此外,一些步骤可被组合或被略去。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所呈现的具体次序或层次。

[0079] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各种方面的要素为本领域普通技术人员当

前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于……的装置”来明确叙述的。

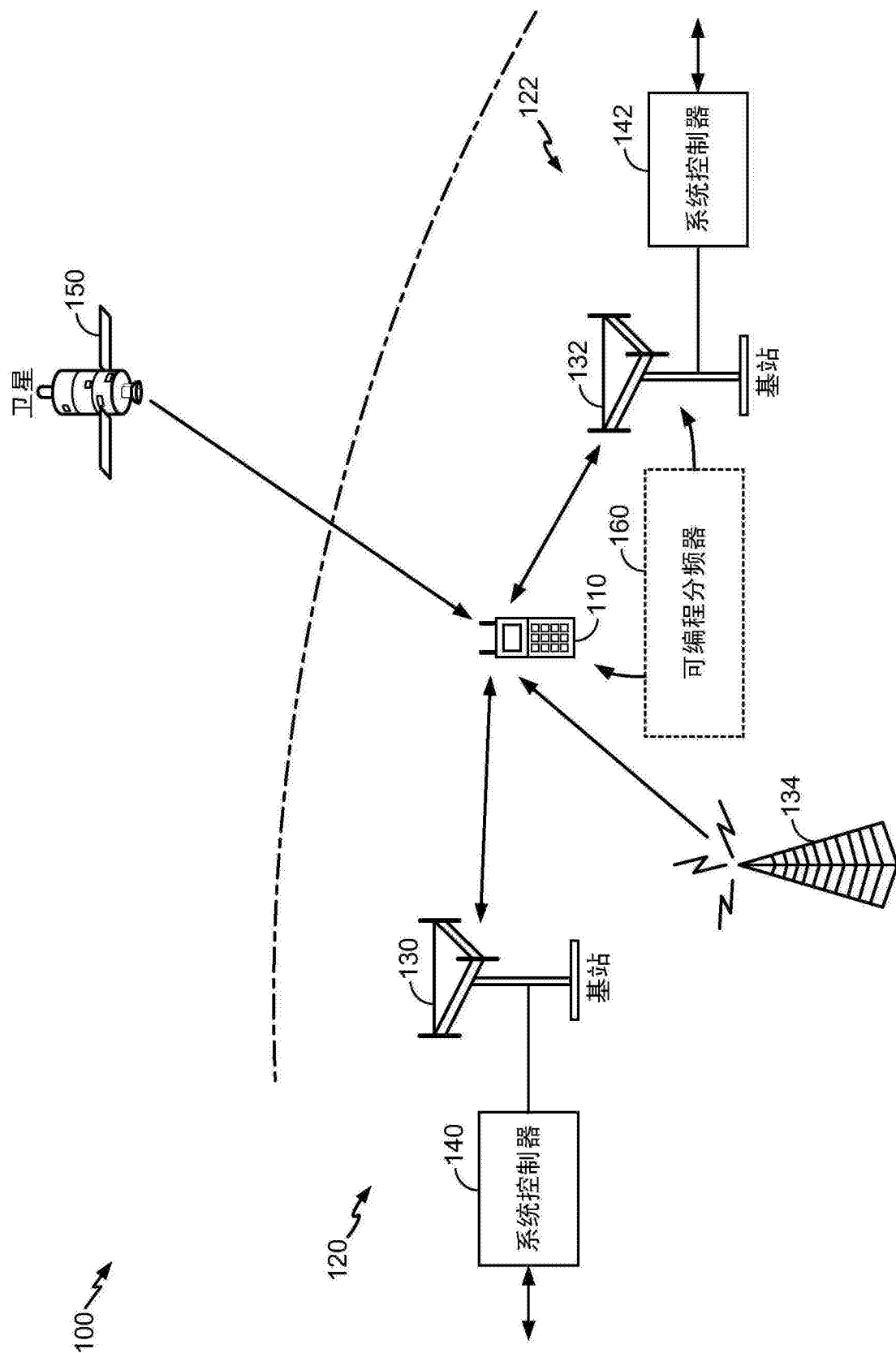


图1

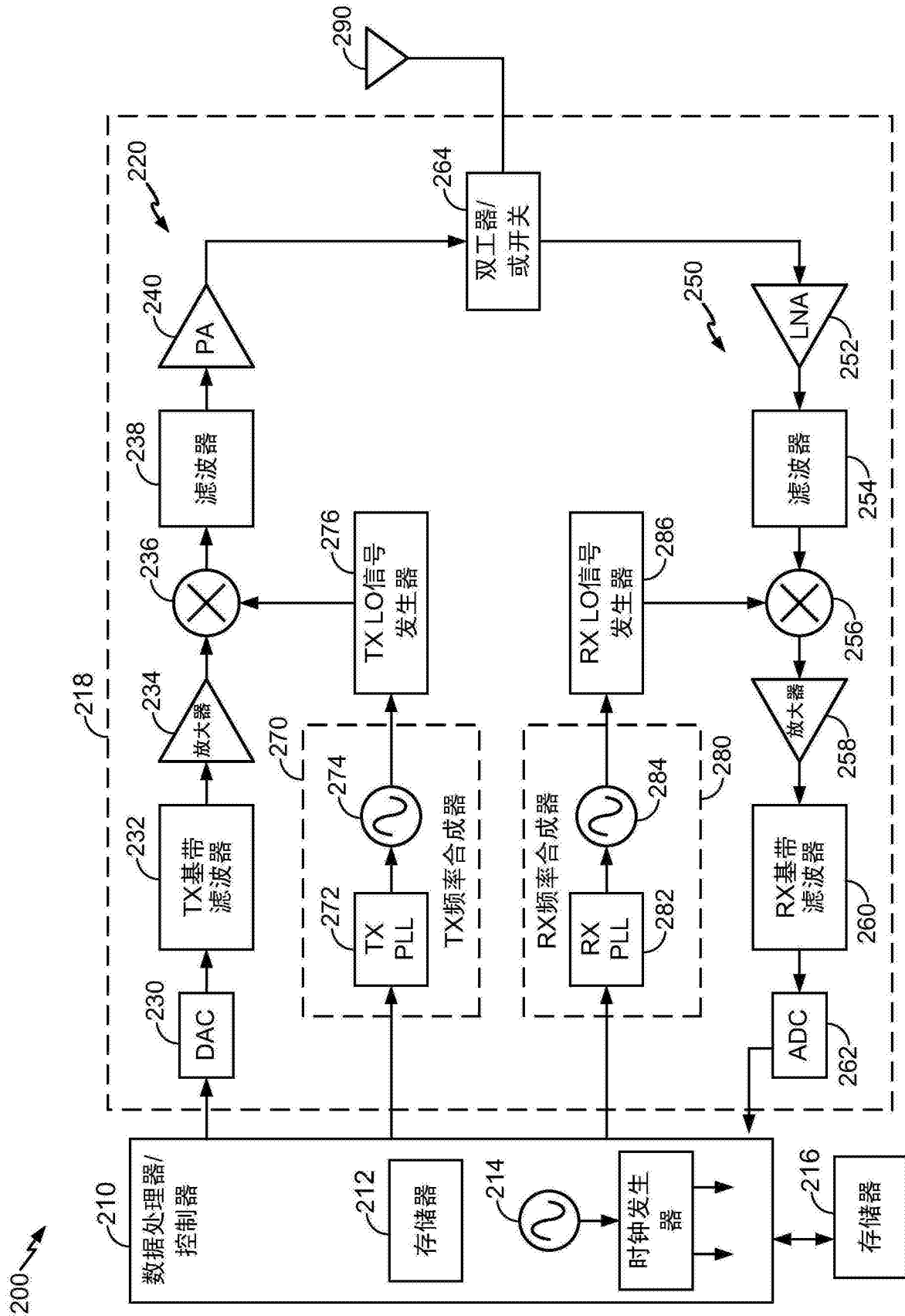


图2

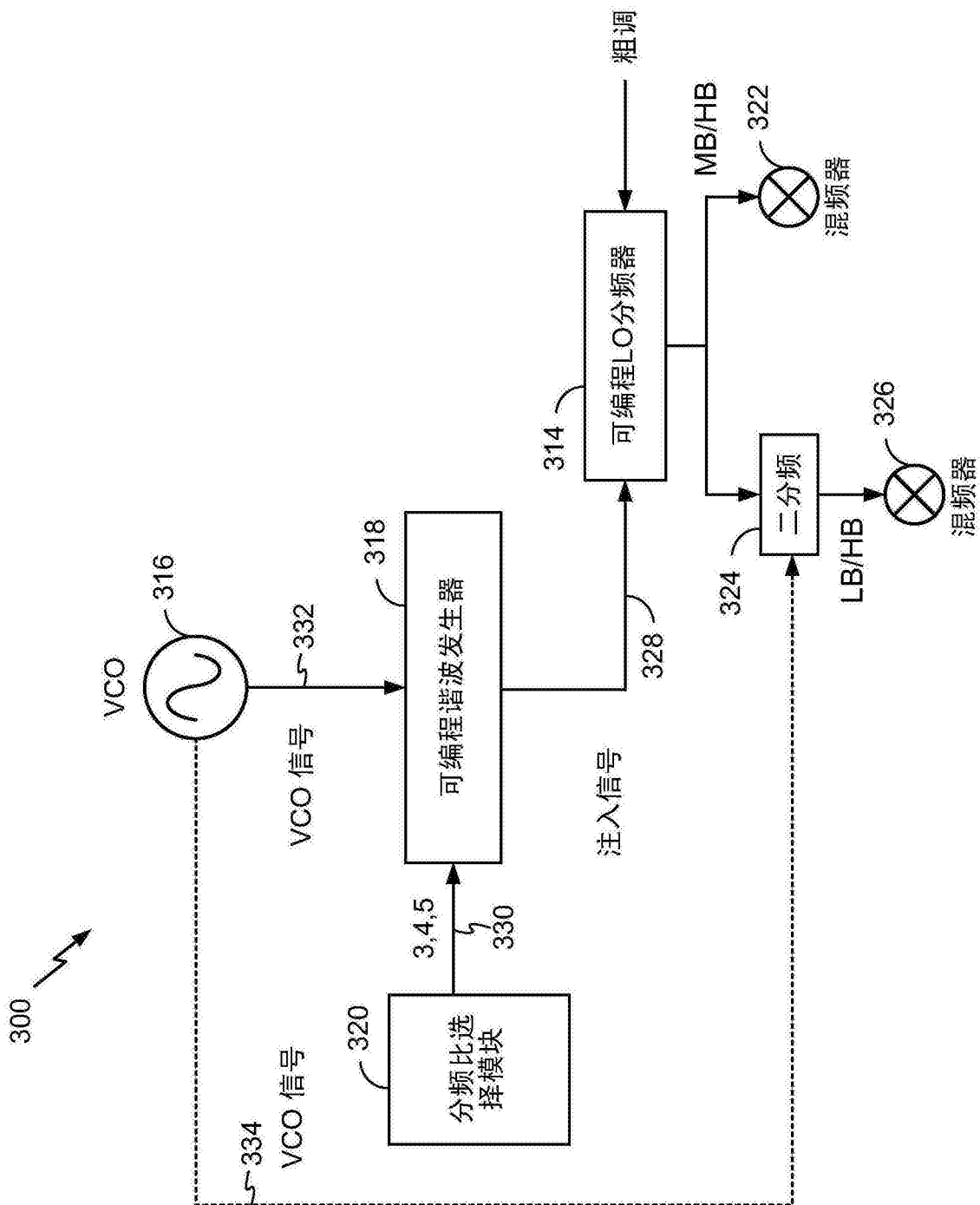


图3

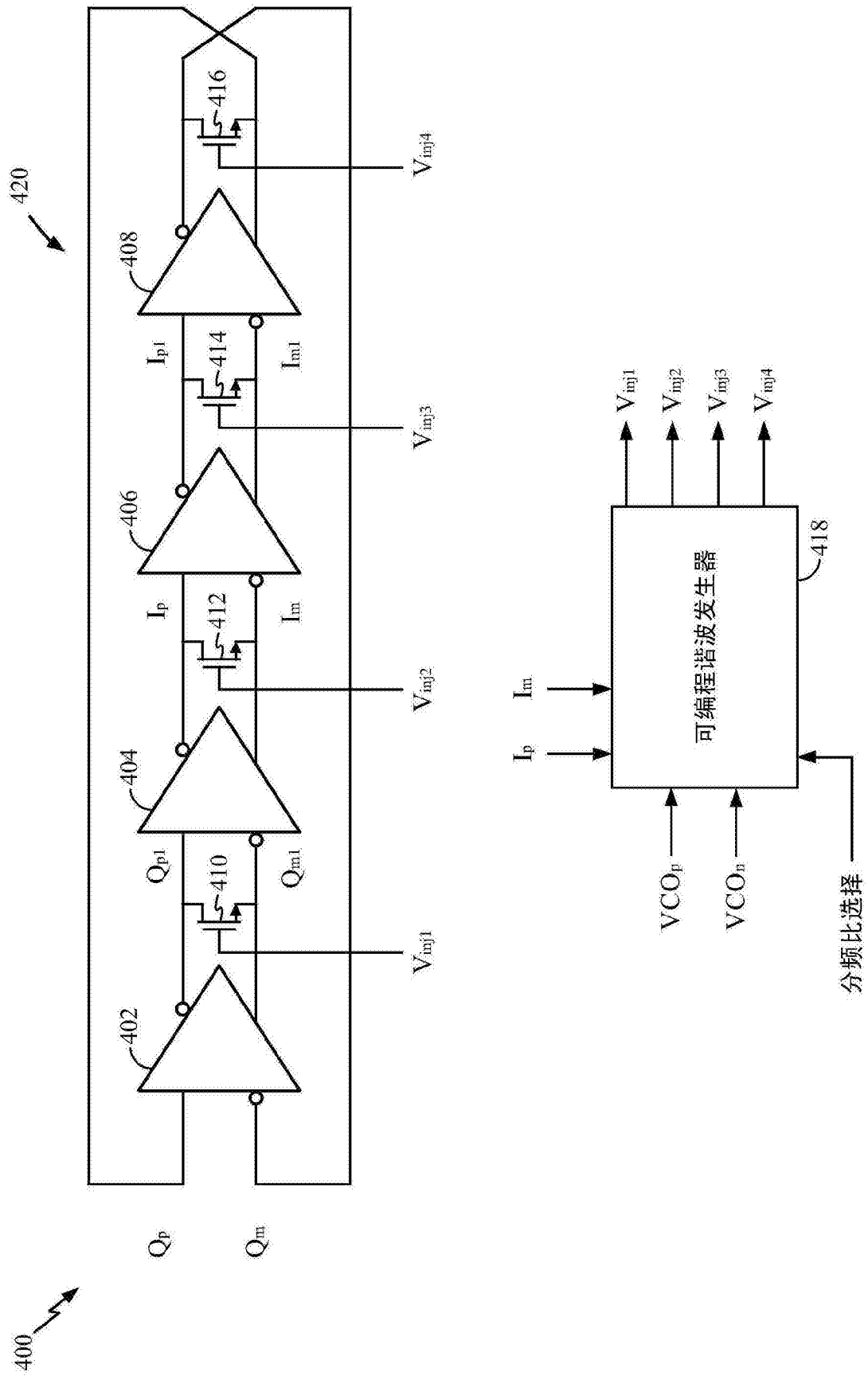
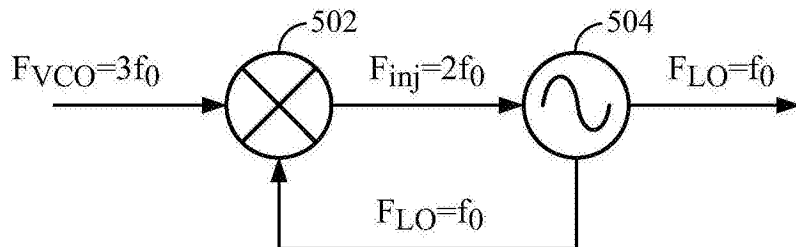


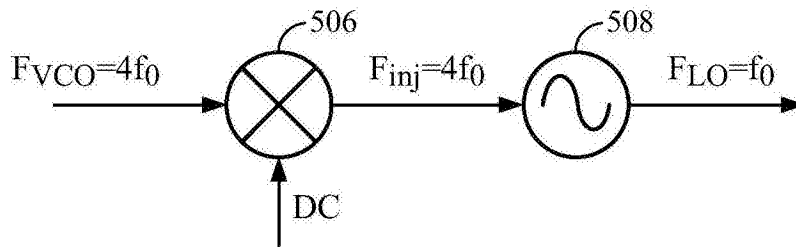
图4

500

• 三分频:



• 四分频:



• 五分频:

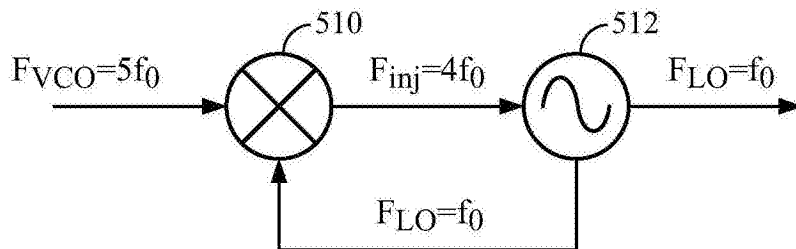


图5

600 ↗

分频比	VCO 信号	LO 信号	注入信号	注入信号 相位序列
3	$3f_0$	f_0	$2f_0$	$(\alpha, \alpha, \alpha+\pi, \alpha+\pi)$
4	$4f_0$	f_0	$4f_0$	$(\alpha, \alpha+\pi, \alpha, \alpha+\pi)$
5	$5f_0$	f_0	$4f_0$	$(\alpha, \alpha+\pi, \alpha, \alpha+\pi)$

图6

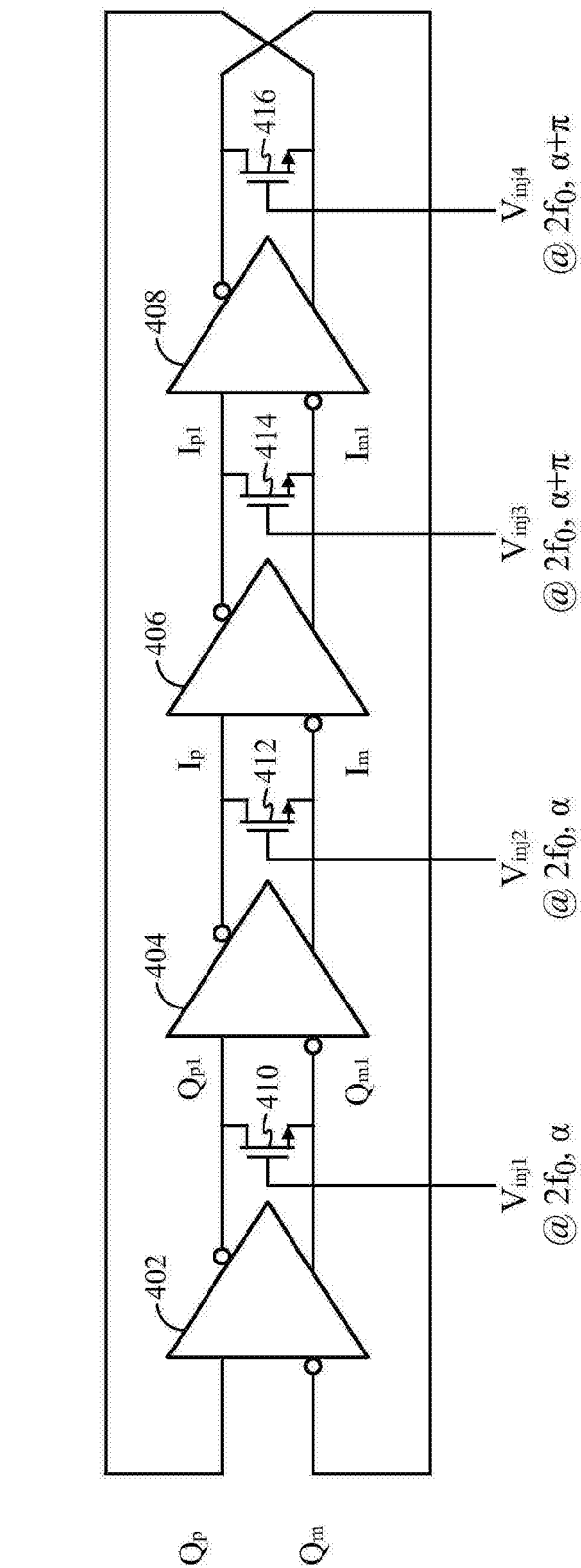


图7

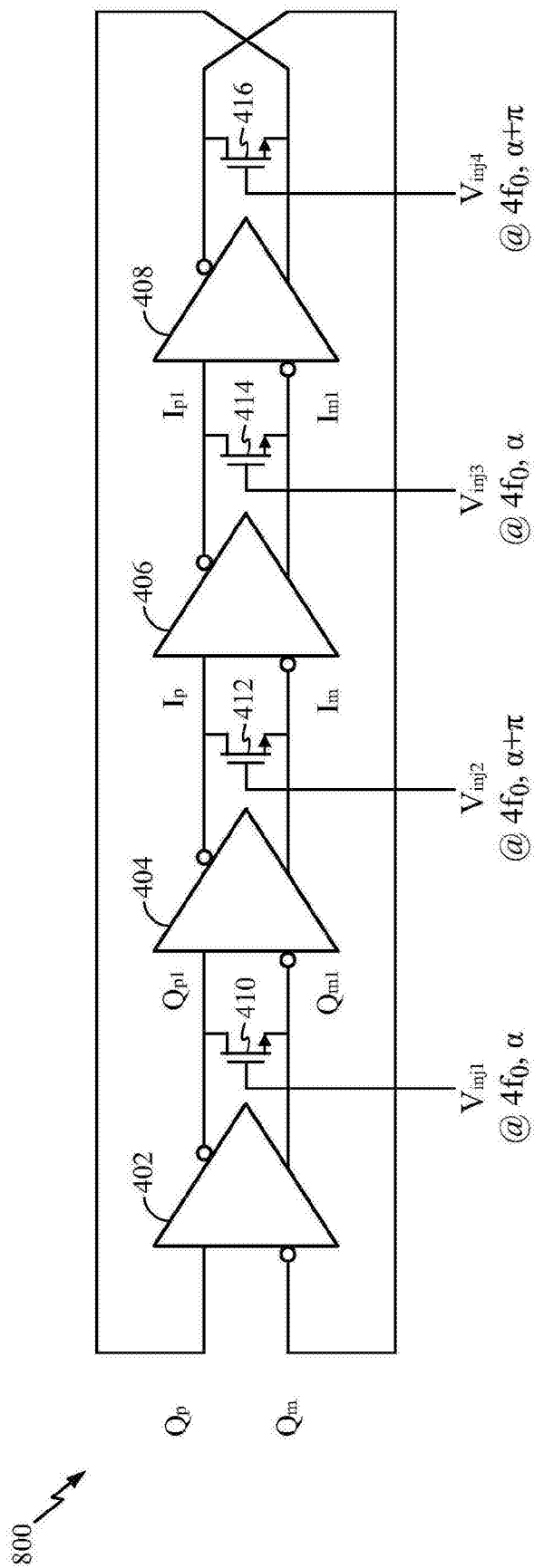


图8

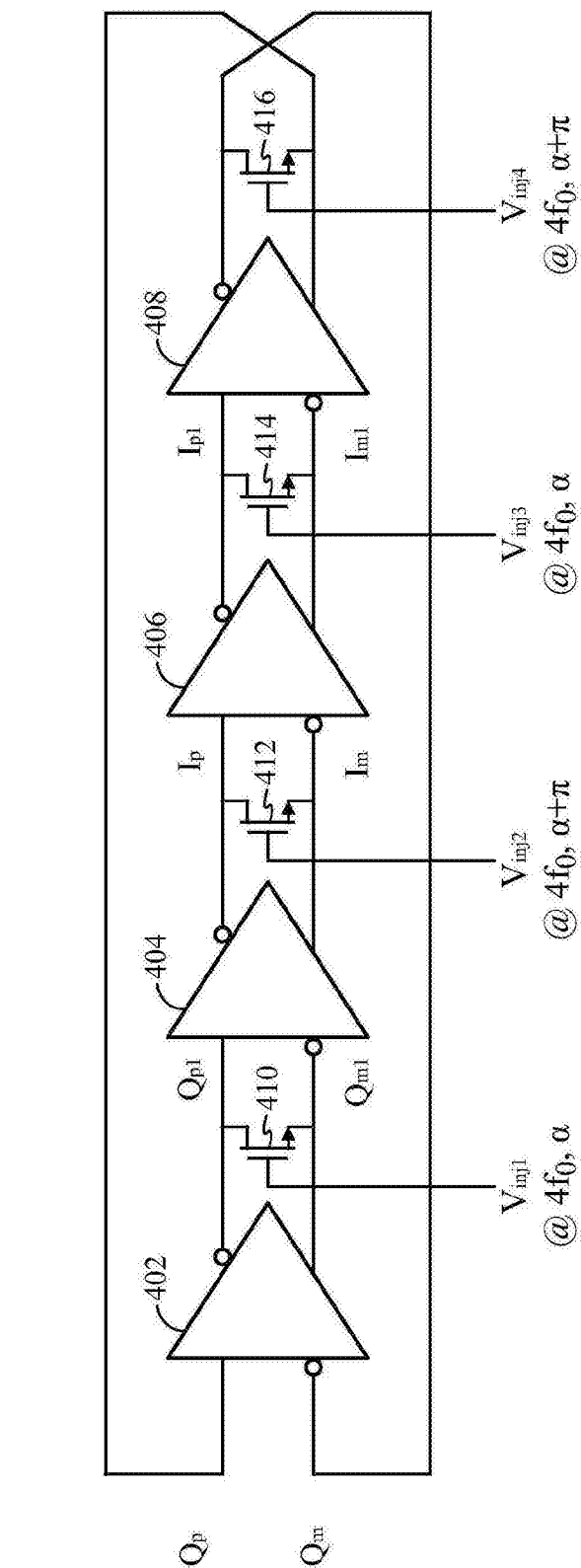


图9

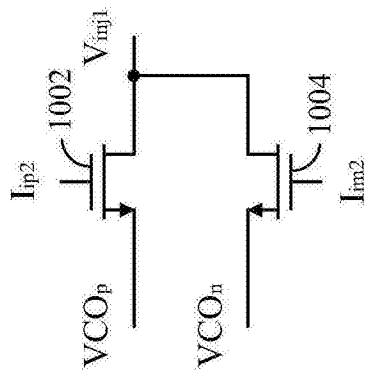


图10A

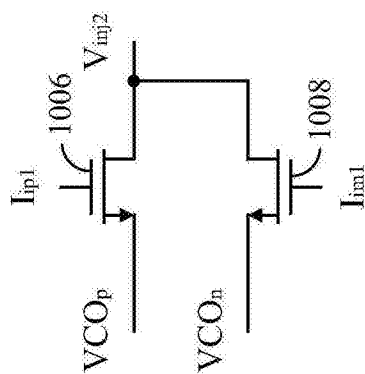


图10B

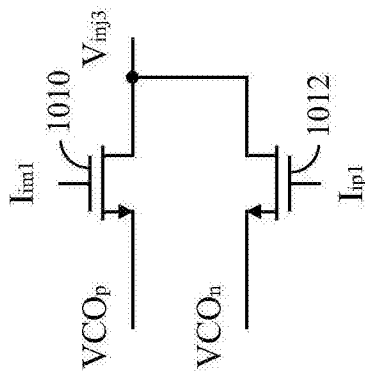


图10C

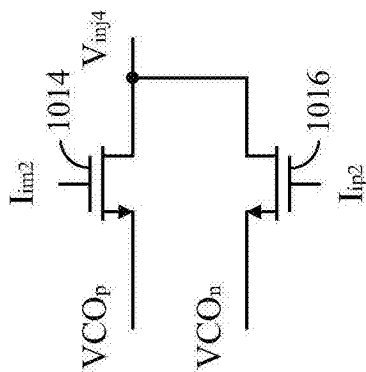


图10D

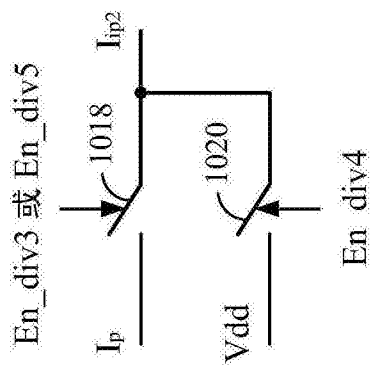


图10E

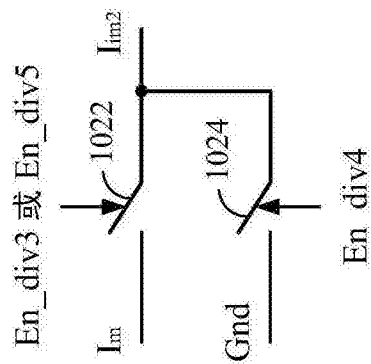


图10F

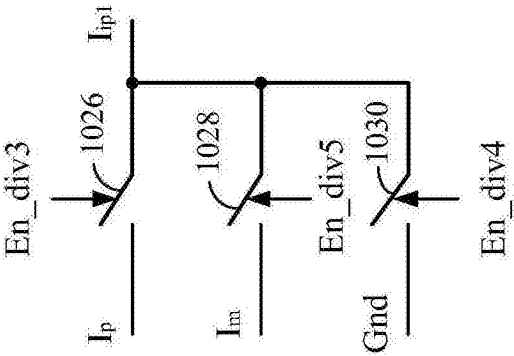


图10G

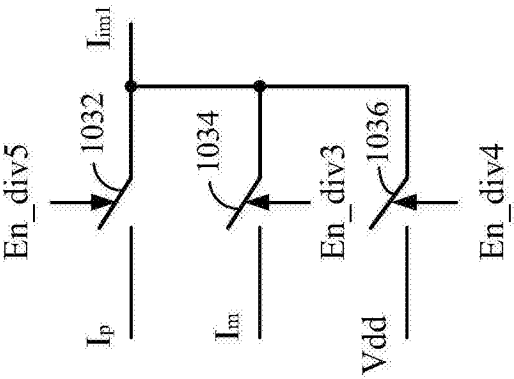


图10H

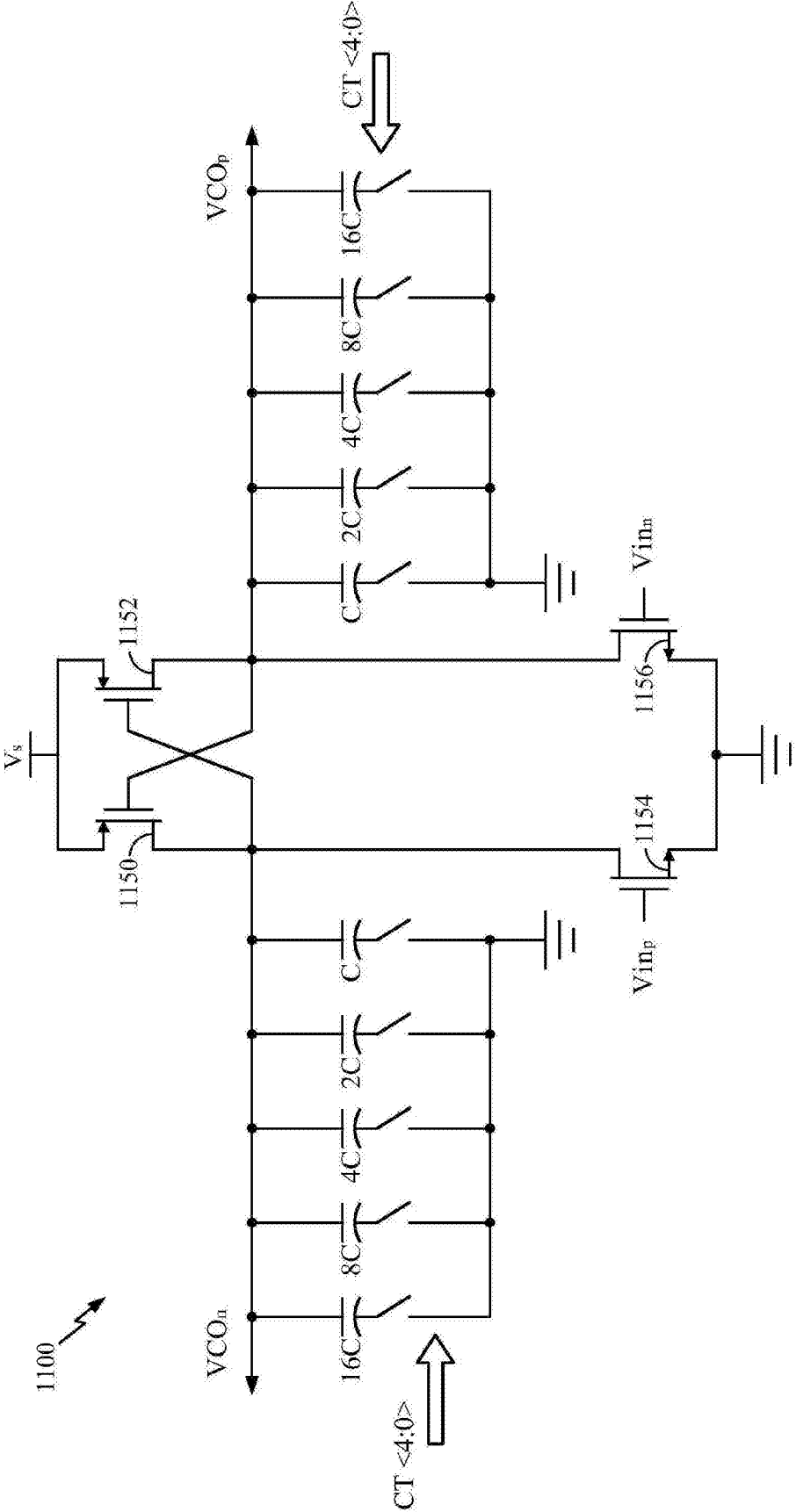


图11

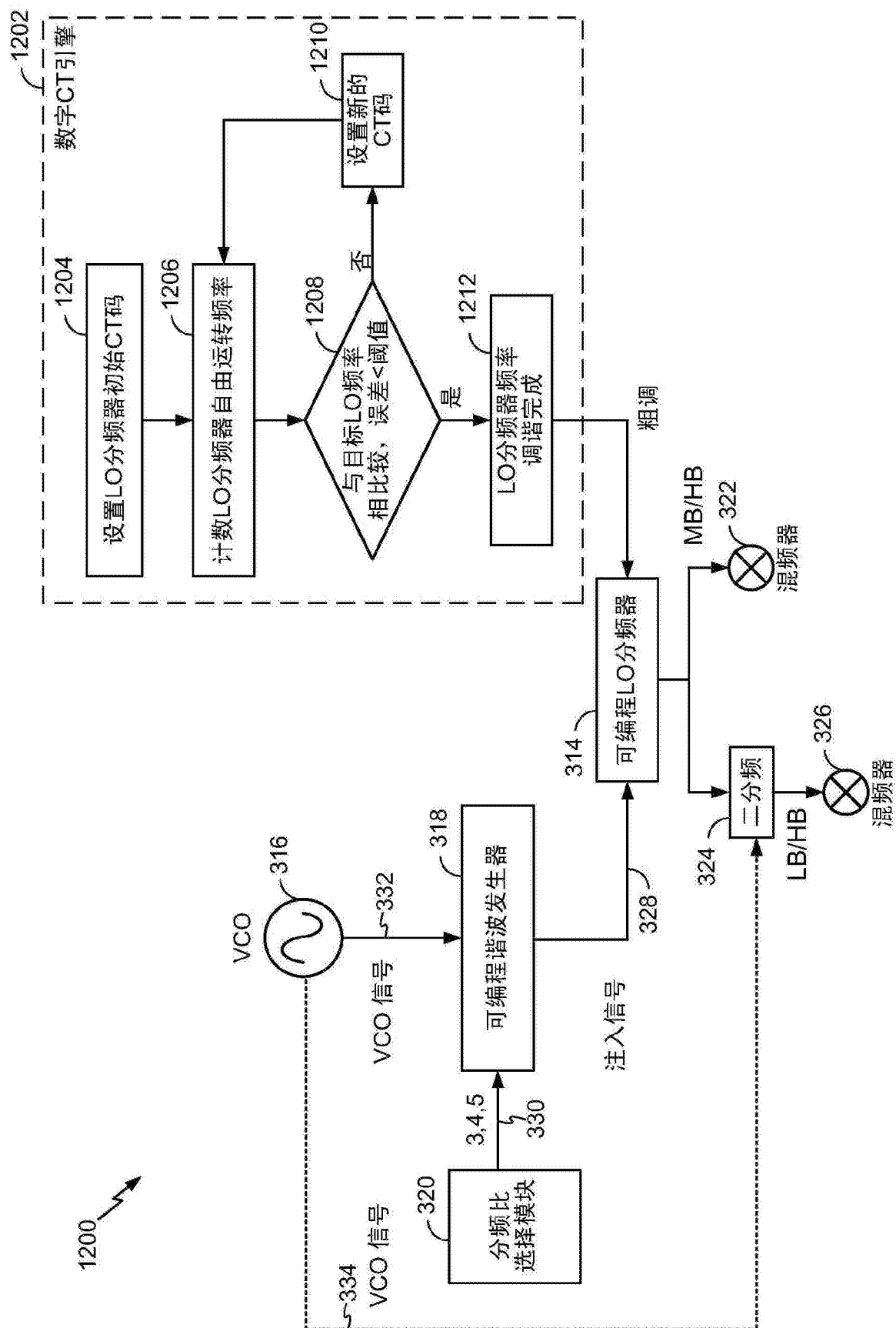


图12

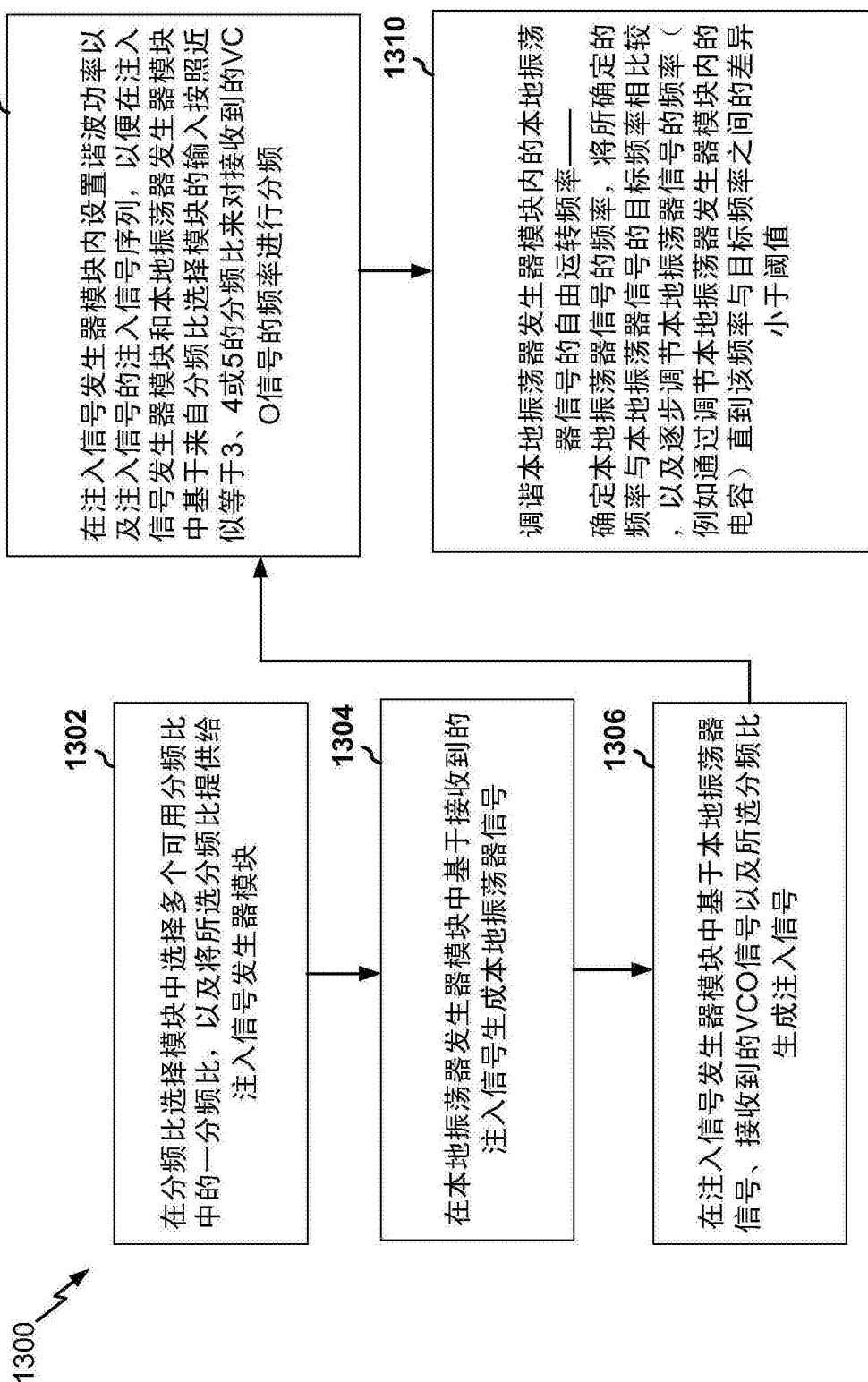


图13