

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5604107号
(P5604107)

(45) 発行日 平成26年10月8日 (2014. 10. 8)

(24) 登録日 平成26年8月29日 (2014. 8. 29)

(51) Int. Cl.

F I

G 1 1 C 15/04 (2006. 01)

G 1 1 C 15/04 6 O 1 R

G 1 1 C 11/15 (2006. 01)

G 1 1 C 11/15 1 4 O

請求項の数 10 (全 26 頁)

(21) 出願番号 特願2009-530815 (P2009-530815)
 (86) (22) 出願日 平成19年10月8日 (2007. 10. 8)
 (65) 公表番号 特表2010-506341 (P2010-506341A)
 (43) 公表日 平成22年2月25日 (2010. 2. 25)
 (86) 国際出願番号 PCT/EP2007/008702
 (87) 国際公開番号 W02008/040561
 (87) 国際公開日 平成20年4月10日 (2008. 4. 10)
 審査請求日 平成22年6月25日 (2010. 6. 25)
 (31) 優先権主張番号 60/828, 438
 (32) 優先日 平成18年10月6日 (2006. 10. 6)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 509096201
 クロッカス・テクノロジー・ソシエテ・ア
 ノニム
 フランス国、38025 グルノーブル・
 セデクス、プラス・ロベール・シューマン
 、5
 (74) 代理人 100069556
 弁理士 江崎 光史
 (74) 代理人 100111486
 弁理士 鍛冶澤 實
 (74) 代理人 100153419
 弁理士 清田 栄章

最終頁に続く

(54) 【発明の名称】 連想磁気抵抗ランダムアクセスメモリセルを提供するためのシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

第1の線と電気接続するとともに所定の磁化方向の磁化を有する第1の磁気層と、第2の線と磁気結合するとともに前記第1の磁気層の前記所定の磁化方向に対して調整可能な磁化方向の磁化を有する第2の磁気層との間に配置された絶縁層から形成された多層磁気トンネル接合の前記第2の線に結合され且つ接地されたスイッチングトランジスタを含む連想メモリ (CAM) のメモリセルに記憶されたデータを検知する方法において、

書込み動作中、

前記第1の線を介して前記第1の磁気層に書込みデータを提供するステップと、

前記第1の線内の少なくとも一部の電流を、前記スイッチングトランジスタを介して前記磁気トンネル接合に印加することにより、前記磁気トンネル接合を加熱するステップと、

前記書込みデータに基づいて前記第1の磁気層の前記所定の磁化方向を確立するステップと、

検知動作中、

前記第2の線を介して前記第2の磁気層に入力データを提供するステップと、

前記入力データに基づいて前記第2の磁気層の前記磁化方向を確立するステップと、

前記第1の磁気層の磁化方向と前記第2の磁気層の磁化方向とが垂直に配向されたときに、前記前記磁気トンネル接合の抵抗値を測定することにより、前記入力データを前記書込みデータと比較するステップとを有することを特徴とする方法。

10

20

【請求項 2】

前記書込み動作中に前記第 1 の磁気層に前記書込みデータを提供する前記ステップは、前記書込みデータを電流パルスに含めるステップを含む、ことを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記磁気トンネル接合を加熱する前記ステップは、前記スイッチングトランジスタを起動させるとともに前記電流パルスの少なくとも一部を、前記スイッチングトランジスタを介して前記磁気トンネル接合に印加するステップを有することを特徴とする請求項 2 に記載の方法。

【請求項 4】

前記磁気トンネル接合を加熱する前記ステップは、前記磁気トンネル接合の温度が所定の高い温度しきい値に達するまで前記磁気トンネル接合を加熱するステップを有することを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記磁気トンネル接合の前記温度が前記所定の高い温度しきい値に達した後、前記スイッチングトランジスタを選択解除して前記電流パルスの一部が前記磁気トンネル接合に印加されるのを防ぐステップ又は前記磁気トンネル接合の温度が所定の低い温度しきい値に冷却されるまで前記電流パルスを保持するステップのうちのいずれか一方のステップをさらに有することを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記第 1 の磁気層の前記所定の磁化方向を確立する前記ステップは、前記電流パルスにより前記第 1 の線内に誘起された磁場を前記第 1 の磁気層に印加するとともに、前記書込みデータが前記メモリセルに書き込まれるように、前記誘起された磁場に基づいて前記第 1 の磁気層の前記所定の磁化方向を揃えるステップを有することを特徴とする請求項 2 に記載の方法。

【請求項 7】

第 1 の線と電気接続するとともに所定の磁化方向の磁化を有する第 1 の磁気層と、第 2 の線と磁気結合するとともに前記第 1 の磁気層の前記所定の磁化方向に対して調整可能な磁化方向の磁化を有する第 2 の磁気層との間に配置された絶縁層から形成された多層磁気トンネル接合の前記第 2 の線に結合され且つ接地されたスイッチングトランジスタを含む連想メモリ (CAM) のメモリセルにデータを書き込む方法であって、

前記第 1 の線を介して前記第 1 の磁気層に前記第 1 の線内に磁場を誘起する電流パルスの形で書込みデータを提供するステップと、

前記スイッチングトランジスタを起動させるとともに該スイッチングトランジスタを介して前記磁気トンネル接合に前記電流パルスの少なくとも一部を印加するステップと、

前記スイッチングトランジスタを介して前記磁気トンネル接合に前記電流パルスの少なくとも一部を印加することにより、前記磁気トンネル接合を所定の高い温度しきい値まで加熱するステップと、

前記磁気トンネル接合が前記所定の高い温度しきい値に達した場合、前記スイッチングトランジスタを選択解除するステップと、

前記磁気トンネル接合が所定の低い温度しきい値に達するまで前記誘起された磁場を保持するステップと、

前記書込みデータが前記メモリセルに書き込まれるように、前記誘起された磁場に基づいて前記第 1 の磁気層の前記所定の磁化方向を揃えるステップとを有する当該方法において、

前記第 2 の線を介して前記第 2 の磁気層に前記第 2 の線内に磁場を誘起する第 2 の電流パルスの形で入力データを提供するステップと、

前記第 2 の線内に誘起された前記磁場に基づいて前記第 2 の磁気層の前記磁化方向を揃えるステップと、

前記第 1 の磁気層の磁化方向と前記第 2 の磁気層の磁化方向とが垂直に配向されたとき

10

20

30

40

50

に、前記磁気トンネル接合の抵抗値を測定することにより前記入力データを前記書込みデータと比較するステップとによって、前記メモリセルに書き込まれた前記データを検知するステップをさらに有することを特徴とする方法。

【請求項 8】

第 1 の線と電気接続するとともに所定の磁化方向の磁化を有する第 1 の磁気層と、第 2 の線と磁気結合するとともに前記第 1 の磁気層の前記所定の磁化方向に対して調整可能な磁化方向の磁化を有する第 2 の磁気層との間に配置された絶縁層から形成された多層磁気トンネル接合の前記第 2 の線に結合され且つ接地されたスイッチングトランジスタを含む連想メモリ (CAM) のメモリセルにデータを書き込む方法であって、

前記第 1 の線を介して前記第 1 の磁気層に所定の振幅を有するとともにスピン偏極した電流パルスの形で書込みデータを提供するステップと、

前記スイッチングトランジスタを起動させるとともに該スイッチングトランジスタを介して前記磁気トンネル接合に前記電流パルスの少なくとも一部を印加するステップと、

前記スイッチングトランジスタを介して前記磁気トンネル接合に前記電流パルスの少なくとも一部を印加することにより、前記磁気トンネル接合を所定の高い温度しきい値まで加熱するステップと、

前記スピン偏極した電流パルスを前記第 1 の磁気層に印加して前記第 1 の磁気層上に局所的スピントルクを誘起するステップと、

前記磁気トンネル接合が前記所定の高い温度しきい値に達した場合、前記スイッチングトランジスタを選択解除するステップと、

前記磁気トンネル接合が所定の低い温度しきい値に冷却するにつれて前記電流パルスの振幅を徐々に低減させるステップとを有し、

書込みデータが前記メモリセルに書き込まれるように、前記誘起された局所的スピントルクに基づいて前記第 1 の磁気層の前記所定の磁化方向が揃えられる当該方法において、

前記第 2 の線を介して前記第 2 の磁気層にスピン偏極した第 2 の電流パルスとして入力データを提供するステップと、

前記第 2 のスピン偏極した電流パルスを前記第 2 の磁気層に印加して前記第 2 の磁気層上に局所的スピントルクを誘起するステップと、

前記第 2 の電流パルスにより誘起された局所的スピントルクに基づいて前記第 2 の磁気層の前記磁化方向を揃えるステップと、

前記第 1 の磁気層の磁化方向と前記第 2 の磁気層の磁化方向とが垂直に配向されたときに、前記磁気トンネル接合の抵抗値を測定することにより前記入力データを前記書込みデータと比較するステップとによって、前記メモリセルに書き込まれた前記データを検知するステップをさらに有することを特徴とする方法。

【請求項 9】

第 1 の線と電気接続するとともに所定の磁化方向の磁化を有する第 1 の磁気層と、第 2 の線と磁気結合するとともに前記第 1 の磁気層の前記所定の磁化方向に対して調整可能な磁化方向の磁化を有する第 2 の磁気層との間に配置された絶縁層から形成される多層磁気トンネル接合と、

前記多層磁気トンネル接合の前記第 2 の線に結合され且つ接地されるとともに、書込み動作中に前記第 1 の線内の電流の少なくとも一部を前記磁気トンネル接合に印加することにより前記磁気トンネル接合を加熱するように選択可能なスイッチングトランジスタとを備え、

前記書込み動作中、前記第 1 の線を介して前記第 1 の磁気層に書込みデータが書き込まれて前記第 1 の磁気層の前記所定の磁化方向が確立され、

検知動作中、前記第 2 の線を介して前記第 2 の磁気層に入力データが書き込まれて前記第 2 の磁気層の前記磁化方向が調整され、

前記第 1 の磁気層の磁化方向と前記第 2 の磁気層の磁化方向とが垂直に配向されたときに、前記磁気トンネル接合の抵抗値を測定することにより前記入力データが前記書込みデータと比較されることを特徴とする連想メモリ (CAM) のメモリセル。

【請求項 10】

書込み動作中、前記スイッチングトランジスタは、前記磁気トンネル接合の温度が所定の高い温度しきい値に達するまで前記磁気トンネル接合を加熱することを特徴とする請求項 9 に記載のメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般にランダムアクセスメモリに関し、排他的な意味ではないが、より具体的には磁気トンネル接合ベースのメモリセルを有する連想ランダムアクセスメモリに関する。

10

【背景技術】

【0002】

ほとんどのメモリデバイスは、特定の記憶場所をアドレス指定することによりデータを記憶し、読み出す。しかしながら、高速なメモリアクセスに依拠するシステムにとっては、特定の記憶場所をアドレス指定することが限定要因となることが多い。データのアドレスによってではなくデータのコンテンツ自体によって記憶データ項目を特定し、アクセスできれば、メモリに記憶した項目の発見に必要な時間を大幅に短縮することができる。このようにしてアクセスされるメモリは連想メモリ (CAM) と呼ばれる。

【0003】

標準的なランダムアクセスメモリ (RAM) では、ユーザがメモリアドレスを提供し、RAM がそのアドレスに記憶されたデータワードを返すが、これとは異なり、CAM は、ユーザがデータワードを提供し、CAM がそのメモリ全体を 1 つのクロック周期で探索して、そのデータワードがメモリ内のどこかに記憶されているかどうかを調べるように設計される。データワードが見つければ、CAM は、ワードが見つかった 1 又はそれ以上の記憶アドレスのリストを返す。素子の起動時に CAM をプレロードし、素子の動作中に書き換えることができる。

20

【0004】

CAM は、そのメモリ全体を単一の動作で探索するように設計されているため、ほとんどすべての探索用途において RAM よりもかなり高速である。従って、CAM は、理想的にはイーサネット (登録商標) アドレスの検索、データ圧縮、パターン認識、キャッシュタグ、高帯域幅アドレスのフィルタリング、及びルータ、高帯域幅アドレスフィルタリング、ユーザの特権、セキュリティ、又は高性能データスイッチ、ファイアウォール、ブリッジ及びルータに関するパケット単位ベースの暗号化情報の高速検索などの機能に適している。

30

【0005】

スタティックランダムアクセスメモリ (SRAM) の CAM セルの典型的な実施構成では、6 つのトランジスタを (トランジスタなどの) 追加回路と組み合わせて、メモリ入力と所定のセルデータとの間の 1 桁比較が行われる。追加回路は、少なくとも 3 個から 4 個の追加トランジスタを含み、このため 8 個から 10 個のトランジスタからなる非常に大きなセルサイズとなり、従ってコストのかかる素子となる。従来の最新技術による SRAM ベースの CAM セルの概略を図 1 に示す。図 1 の CAM セルは、排他的論理和 (EOR) 機能を実行するように設計された 4 又はそれ以上のトランジスタを有する標準的な SRAM セルとして提供したものである。

40

【0006】

単純な記憶セルを有する RAM チップとは異なり、完全並列 CAM における各個々のメモリビットは、記憶データビットと入力データビットとの間の一致を検出するための独自の関連する比較回路を有する。従って、CAM チップは、通常のメモリチップよりも記憶容量が著しく小さい。また、個々のセルからのデータワードの形で一致する出力を組み合わせ、完全なデータワード一致信号を生成することができる。関連する追加回路により、CAM チップの物理的サイズはさらに増大する。さらに、(SRAM 素子を使用して)

50

今日実現されるようなC A Mは本質的に揮発性であり、つまり電源が落ちるとデータが失われる。この結果、すべての比較回路がすべてのクロック周期においてアクティブである必要があり、結果として大量の電力が浪費されることになる。高い値札、大電力及び本質的な揮発性により、C A Mは、よりコストのかからない方法を使用して探索スピードを実現できないような特殊用途でしか使用されない。

【0007】

磁気記憶セル(M R A M)を使用して標準的なS R A MベースのC A Mの改善を図る試みが提案されてきた。例えば米国特許第6,304,477号には、2つの磁気トンネル接合を加えた標準的なマルチトランジスタS R A M状のC A Mが開示されている。磁気トンネル接合により、記憶データの非揮発性が実現され、このことは、データの記憶のみならず、マスキングモード構造の使用にとっても決定的に重要な意味を持つ。

10

【0008】

米国特許第6,191,973号に記載がある別の手法では、磁気(M R A M)セルのみを使用したC A M構造が提案されている。この場合、セル要素は、(個々のセルに対して)基底を成す選択トランジスタのゲートの1つを駆動する入力とは異極性にある一対の磁気トンネル接合(M T J)である。開示されている方式は、密度において飛躍的な改善を提供するものであり、個々のC A Mセルは、2つの選択トランジスタと2つの磁気トンネル接合(2 T / 2 J)のみから形成される。

【先行技術文献】

【特許文献】

20

【0009】

【特許文献1】米国特許第6,304,477号明細書

【特許文献2】米国特許第6,191,973号明細書

【特許文献3】米国特許第6,950,335号明細書

【特許文献4】米国特許第5,695,864号明細書

【特許文献5】米国特許第6,603,677号明細書

【非特許文献】

【0010】

【非特許文献1】S c i e n c e、第285巻、867ページ(1999年)

【発明の概要】

30

【発明が解決しようとする課題】

【0011】

上記の点で、従来のメモリ記憶システムの前述の障害及び欠点を解決する、改善したM R A M記憶セルに対するニーズが存在する。

【図面の簡単な説明】

【0012】

【図1】C A Mセルが、排他的論理和機能を実行するように設計された4又はそれ以上のトランジスタを有する標準的なスタティックランダムアクセスメモリ(S R A M)セルとして提供される、典型的な従来技術の連想メモリ(C A M)セルを示す図である。

【図2】少なくとも1つのランダムアクセスメモリセルを有するメモリシステムの実施形態を示す詳細図である。

40

【図3】メモリセルが磁気ランダムアクセスメモリ(M R A M)セルを備えた図2のメモリセルの実施形態を示す詳細図である。

【図4 A】図3のM R A Mセルの磁気トンネル接合の実施形態を示す詳細図である。

【図4 B】図4 Aの磁気トンネル接合の例示的なトンネル磁気抵抗反応を示す特徴図である。

【図5 A】図3のM R A Mセルに対する例示的な書込み動作を示す詳細図である。

【図5 B】図5 Aの書込み動作中におけるM R A Mセルの磁気トンネル接合の動作を示す詳細図である。

【図6 A】図3のM R A Mセルの例示的な読出し動作を示す詳細図である。

50

【図 6 B】図 6 A の読出し動作中の M R A M セルの磁気トンネル接合の動作を示す詳細図である。

【図 7 A】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

【図 7 B】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

【図 7 C】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

【図 7 D】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

10

【図 7 E】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

【図 7 F】熱アシスト型切り替え (T A S) を含む、図 3 の M R A M セルの代替の例示的な書込み動作を示す詳細図である。

【図 8 A】磁化が垂直の帯磁方向に偏極した一対の磁気層を有する図 4 A ~ 図 4 B の磁気トンネル接合の代替の実施形態を示す詳細図である。

【図 8 B】図 8 A の磁気トンネル接合の例示的なトンネル磁石抵抗反応を示す特徴図である。

【図 9 A】磁気自己参照型ツイン M R A M セルを備えるとともに一対の磁気トンネル接合を含む図 3 の M R A M セルの代替の実施形態を示す詳細図である。

20

【図 9 B】例示的な書込み動作中における図 9 A の M R A M セルの第 1 の磁気トンネル接合の動作を示す詳細図である。

【図 9 C】例示的な書込み動作中における図 9 A の M R A M セルの第 1 の磁気トンネル接合の動作を示す詳細図である。

【図 10 A】単一セルの手法を通じて提供される M R A M ベースの連想メモリ (C A M) セルを備えた図 2 のメモリシステムの代替の実施形態を示す詳細図である。

【図 10 B】ツインセルの手法を通じて M R A M ベースの C A M セルが提供される図 10 A のメモリシステムの代替の実施形態を示す詳細図である。

【図 10 C】プリアンプの手法を通じて M R A M ベースの C A M セルが提供される図 10 A のメモリシステムの別の代替の実施形態を示す詳細図である。

30

【発明を実施するための形態】

【 0 0 1 3 】

全体の図を通じて、例示を目的として、図は縮尺通りに描いておらず、類似した構造又は機能の要素は、一般に同様の参照番号で表している。また、図は、本開示の好ましい実施形態についての説明を容易にすることを意図したものにすぎない。図は本開示のすべての態様を示すものではなく、開示の範囲を限定するものではない。

【 0 0 1 4 】

今日入手可能なメモリシステムは高価であり、本質的に揮発性であり、多大な電力を消費するため、さらなる高密度と不揮発性を兼ね備え、費用効果のある態様で消費電力を削減するメモリシステムは、望ましいものであるとともに幅広いデータアプリケーションの基礎を提供することができる。本明細書で開示する 1 つの実施形態によれば、図 2 に示すような少なくとも 1 つのランダムアクセスメモリセル 200 を備えたメモリシステム 100 により、この結果を実現することができる。

40

【 0 0 1 5 】

図 2 を参照してわかるように、複数の行及び列内に配置された複数のメモリセル 200 を有する形でメモリシステム 100 を示している。メモリセル 200 の個々の列は、選択したメモリセル 200 に受信した入力データビットを提供するための所定のデータ入力線 300 に関連付けられており、一方、メモリセル 200 の個々の行は、選択したメモリセル 200 から読み出した記憶データビットを提供するための所定のワード選択線 400 に関連付けられている。図 2 に示すように、データ入力線 300 が並列配置で設けられ、こ

50

のデータ入力線 3 0 0 はワード線 4 0 0 の並列配置に対して垂直であることが好ましい。同様に、ワード線 4 0 0 も複数の行末のアンプ 5 0 0 に結合される。これにより、選択したメモリセル 2 0 0 から読み出した記憶データビットの現在値をワード線 4 0 0 の末端領域に隣接して測定し、行末のアンプ 5 0 0 を介して検知できるようになる。行末のアンプ 5 0 0 は、メモリシステム 1 0 0 が、1つの状態のフルワードの読出し及び／又は比較を行えるようにする。

【 0 0 1 6 】

メモリセル 2 0 0 を磁気ランダムアクセスメモリ (M R A M) セル 2 1 0 として図 3 に示す。M R A M セル 2 1 0 は、M R A M ベースの連想メモリ (C A M) セルとして実現されることが好ましい。この結果、好ましくは同時に、M R A M セル 2 1 0 がデータを記憶できるようになるとともに、この M R A M セル 2 1 0 を検知できるようになる。例えば、メモリシステム 1 0 0 は、後で探索できるアドレスを有する登録データとして M R A M セル 2 1 0 にデータを記憶することができる一方で、M R A M セル 2 1 0 に記憶されている登録データと入力データを比較することにより M R A M セル 2 1 0 を検知することもできる。

【 0 0 1 7 】

M R A M セル 2 1 0 に磁気トンネル接合 (M T J) 2 2 0 を設けることができるという利点がある。この磁気トンネル接合 2 2 0 を、複数の M T J 層 2 2 2 を含む多層構造として図 3 に示す。例示的な磁気トンネル接合 2 2 0 の M T J 層 2 2 2 は、1 又はそれ以上の磁気 M T J 層 2 2 4 と、(図 4 A に示す) 絶縁層 2 2 6 A のような非磁気 M T J 層 2 2 6 とを含むことができる。好ましい実施形態では、磁気トンネル接合 2 2 0 の磁気 M T J 層 2 2 4 A (第 1 の磁気層 2 2 4 A) 、 2 2 4 B (第 2 の磁気層 2 2 4 B) の一方が所定の磁化方向を有する磁化 2 2 8 を有しているのに対し、磁気 M T J 層 2 2 4 A 、 2 2 4 B の他方の磁化 2 2 8 は調整可能な磁化方向を有する。例えば、図 4 A に示すように、硬強磁性層 2 2 4 B を一定方向 2 2 8 B に帯磁した形で示す。高い保磁力 (又は大きなスイッチング磁場) の材料を使用したり、或いは硬強磁性層を反強磁性材料に結合したりすることなどにより、強磁性層 2 2 4 B の磁化方向 2 2 8 B を任意の従来の方法で固定することができる。

【 0 0 1 8 】

M R A M セル 2 1 0 を形成するために、磁気トンネル接合 2 2 0 は、検知及びフィールド線 (第 1 の線) 2 3 0 などの少なくとも 1 つの電流線だけでなく、選択トランジスタ 2 5 0 とともに結合される。図 3 は、M R A M セル 2 1 0 の典型的な構成を示す図である。図 3 に示すように、検知及びフィールド線 2 3 0 はフィールド線 (第 2 の線) 2 4 0 と直交して配置され、磁気トンネル接合 2 2 0 は検知及びフィールド線 2 3 0 とフィールド線 2 4 0 との間に配置されることが好ましい。書込み動作中、検知及びフィールド線 2 3 0 とフィールド線 2 4 0 とは、入力データを M R A M セル 2 1 0 に書き込むための磁場提供者として機能する。同様に、読出し動作中、選択トランジスタ 2 5 0 と、検知線として機能する検知及びフィールド線 2 3 0 とを介して、M R A M セル 2 1 0 に記憶したコンテンツにアクセスすることができる。

【 0 0 1 9 】

通常、磁気 M T J 層 2 2 2 は、鉄、コバルト、ニッケル及びこれらの合金などの従来の強磁性材料から形成され、絶縁層 (又はバリア) 2 2 6 A により分離される。絶縁層 2 2 6 A は、薄い絶縁層として実現されるとともに酸化アルミニウム又は酸化マグネシウムなどの任意の適当な絶縁材料から形成されることが好ましい。必要に応じて、磁気トンネル接合 2 2 0 は、図 4 A に示すように 1 又はそれ以上の別の種類及び／又は構成の M T J 層 2 2 2 、並びにピニング層 2 2 6 B を含む任意の適当な数及び／又は構成の M T J 層 2 2 2 を備えることができる。典型的な反強磁性材料には I r M N 、 P t M N 又は N i M N が含まれる。

【 0 0 2 0 】

磁化方向を固定することにより、硬強磁性層 2 2 4 B は、(図 3 に示す) M R A M セル

10

20

30

40

50

210の参照層224として機能することができる。

【0021】

同様に、軟強磁性層224Aを、化228を有する形で示す。低い保磁力（又は小さなスイッチング磁場）の材料から好適に形成されているため、軟強磁性層224Aの磁化228は、調整可能な磁気方位228Aを有するとともに第1の安定方向から第2の安定方向へ任意の従来の方法で切り替えることができる。これにより、軟強磁性層224Aは、（図3に示す）MRAMセル210の記憶層224'として機能することができる。例示を目的として、軟強磁性層224A及び硬強磁性層224BをMRAMセル210の記憶層224'及び参照層224''としてそれぞれ示し説明したが、同様に軟強磁性層224Aを参照層224''として機能するように構成することができ、硬強磁性層224Bは記憶層224'として機能することができる。

10

【0022】

MRAMセル210の異なるレベルのセル抵抗が、記憶層224'及び参照層224''の相対的な磁気方向に関連付けられる。若干言い方を変えれば、MRAMセル210の記憶層224'及び参照層224''の磁気方向が逆方向にある（すなわち「逆行」する）場合、磁気トンネル接合220は第1のセル抵抗を有することができるのに対し、MRAMセル210の参照層224''の磁気方向が記憶層224'の磁気方向と同じ方向にある、すなわち「平行」する場合、磁気トンネル接合220は第2のセル抵抗を有することができる。

【0023】

20

磁気トンネル接合220の例示的なトンネル磁気抵抗反応を示す特徴図を図4Bに示す。この特徴図は、トンネル磁気抵抗反応を磁場強度Hの関数としてセル抵抗Rの形で表している。図4Bの特徴図によって示すように、軟強磁性層224Aの帯磁方向228A及び硬強磁性層224Bの磁化方向228Bが同じ方向を有する（すなわち「平行」である）場合、MRAMセル210のセル抵抗Rは、第1のセル抵抗値 R_1 を有する。同様に、軟強磁性層224Aの帯磁方向228A及び硬強磁性層224Bの磁化方向228Bが異なる方向を有する（すなわち「逆行」する）場合、MRAMセル210のセル抵抗Rは、第1のセル抵抗値 R_1 よりも大きい第2のセル抵抗値 R_2 を有することができる。

【0024】

第1のセル抵抗値 R_1 と第2のセル抵抗値 R_2 との間の抵抗差は、「磁気抵抗」又は「トンネル磁気抵抗」（TMR）として知られており、例えば、（図4Aに示す）絶縁層226Aを形成する絶縁材料の厚さ及び組成などの特性に基づいて変動することができる。第1のセル抵抗値 R_1 と第2のセル抵抗値 R_2 との間の抵抗差は、酸化アルミニウムベースの磁気トンネル接合220の場合、約50から70パーセントの間になることがあり、酸化マグネシウムベースの磁気トンネル接合220の場合、200%パーセント上回ることもある。

30

【0025】

図5A～図5Bを参照して、書込み動作を参照しながらMRAMセル210の動作について説明する。図4Aを参照しながらより詳細に上述した態様では、MRAMセル210に多層磁気トンネル接合（MTJ）220を設けることができ、このMTJ層は、少なくとも1つの中間非磁性MTJ層226と共に、記憶層（又はデータ層）224A及び参照層（又は検知層）224Bなどの少なくとも2つの磁気MTJ層224を含む。参照層224Bが、高保磁力材料から形成できるとともに所定方向228Bに帯磁するのに対し、記憶層224Aの磁化228は、調整可能な帯磁方向228Aを有する。この結果、外部から印加された磁場及び/又は（スピン偏極した）書き込み電流を上述した態様で加えることにより、記憶層224Aの帯磁方向228Aを必要に応じて第1の安定方向から第2の安定方向へ切り替えることができる。必要に応じて、MRAMセル210を連想メモリ（CAM）MRAMセルとして実現することができる。

40

【0026】

書込み動作中、高（すなわち「1」の）論理状態又は低（すなわち「0」の）論理状態

50

などの所定の論理状態のデータビットが、検知及びフィールド線230及び/又はフィールド線240などの少なくとも1つの電流線を介してMRAMセル210へ与えられる。MRAMセル210がデータビットを受け取り、記憶層(又はデータ層)224Aの磁化228を選択した帯磁方向228Aに調整することにより、データビットがMRAMセル210に書き込まれる。上述のように、記憶層224Aの帯磁方向228Aは、電流線230、240によって発生した磁場を通じて揃えられることが好ましい。電流線230、240を流れる電流の極性により、記憶層224Aの帯磁方向228A、ひいてはMRAMセル210の論理状態が決定される。代替の実施形態では、選択トランジスタ250を介してMRAMセル210を流れる(スピン偏極した)書き込み電流により、或いは磁場及び書き込み電流の両方の組み合わせにより、記憶層224Aの帯磁方向228Aが揃えられる。この結果、MRAMセル210の磁化228が、受信済みのデータビットに関連する所定の論理状態と一致するように揃えられる。メモリシステム100を形成するMRAMセル210には、全体的に及び/又は部分的にいつでも書き込みを行うことができる。必要に応じて、書き込み動作はスピン移動による効果を含むことができ、この場合、磁気トンネル接合220を流れる電流は、参照層(又は検知層)224Bの磁化方向228Bを直接切り替えることができる。

【0027】

例示的な読出し動作中のMRAMセル210の動作を図6A~図6Bに示す。所定の論理状態のデータビットがMRAMセル210に予め書き込まれ、或いはMRAMセル210によって記憶される。読出し動作の開始時に、メモリシステム100が(図4Bに示す)MRAMセル210のセル抵抗Rを検知し、このセル抵抗Rが、参照層224Bの所定の帯磁方向228Bに対して記憶層224Aの帯磁方向228Aに、図4A~図4Bを参照しながら上記で開示した態様で関連付けられる。この結果、検知したセル抵抗値を使用して、MRAMセル210によって記憶された記憶データビットの論理状態を決定することができる。セル抵抗Rは、任意の従来する方法で検知することができる。例えば、選択トランジスタ250を介して磁気トンネル接合220に電流を印加してセル抵抗Rを検知することができる。

【0028】

MRAMセル210が連想メモリ(CAM)のMRAMセルとして実現される場合、例えば、選択した論理状態のデータビットをMRAMセル210に入力して、MRAMセル210が記憶する記憶データビットと比較することができる。MRAMセル210は、図6Aに示すような検知及びフィールド線230などの少なくとも1つの電流線を介して、入力されたデータビットを受け取る。検知及びフィールド線230を流れる電流は磁場を誘起し、この磁場は参照層224Bの磁化228と揃えられる。若干言い方を換えれば、検知及びフィールド線230を流れる電流の極性が、参照層224Bの磁化228を誘起して所定の帯磁方向228Bと揃えられるようにする。

【0029】

次に、入力されたデータビットにより誘起された形の参照層224Bの帯磁方向228Bが、記憶データビットに関連する記憶層224Aの帯磁方向228Aと比較される。これにより、記憶層224Aと参照層224Bとの相対的な整合を測定することができる。参照層224Bの帯磁方向228Bと記憶層224Aの帯磁方向228Aとが同じ方向を有する(すなわち「平行」である)場合、入力されたデータビットは記憶データビットと一致する。しかしながら、参照層224Bの帯磁方向228Bと記憶層224Aの帯磁方向228Aとが反対方向にある(すなわち「逆行」する)場合、入力されたデータビットと記憶データビットとは一致しない。従って、MRAMセル210はデータマスク動作をサポートすることができ、この場合、データアドレスは、読出し動作中のデータには関連しない。平行な記憶層224A及び参照層224Bが、入力データビットと記憶データビットとが一致することを示すことができるのに対し、必要に応じて、一致しない入力データビットと記憶データビットとを、逆行する磁気方向228A、228Bで記憶層224A及び参照層224Bに関連付けることができる。

【0030】

これにより、MRAMセル210は、内蔵型排他的NOR(XNOR)回路として動作することができ、この結果MRAMセル210は、記憶データビットと入力されたデータビットとの間の一致を独自に決定できるようになるという利点が得られる。若干言い方を換えれば、MRAMセル210は、いかなる追加のセル要素も必要とせずに単一のメモリセルにデータ記憶、データ入力、及びデータ検知の機能を組み込むという利点を提供する。MRAMセル210はさらに、1つの選択トランジスタ及び1つの磁気トンネル接合(1T/1J)MRAMセル、及び/又は2つの選択トランジスタ及び2つの磁気トンネル接合(2T/2J)MRAMセルなどを介して、いかなる追加のセル要素も必要とせずに、及び固有の不揮発性及び高密度(又は小型の特質)と相俟ってデータ記憶、データ入力、及びデータ検知の機能を提供する。MRAMセル210は、徹底的な拡張性の縮小化技術ノードを提供しながら、特に集積回路基板上に最低限のスペースしか必要としないことに関して、メモリシステム100に組み込むのが容易でありかつコスト効率のよいものとなり得る。同様に、MRAMセル210は、特に「動的モード」においてこれらの利点を低電力消費及び高速動作と組み合わせることができる。

10

【0031】

図7A~図7Fは、熱アシスト型切り替え(TAS)を含む代替の書込み動作中のMRAMセル210の動作を示す図である。ここでは、上述のように検知及びフィールド線230及び/又はフィールド線240などの1又はそれ以上の電流線を介してMRAMセル210に磁場を与える行為を、磁気トンネル接合220を介して電流を注入し、MRAMセル210内に熱を誘起することと組み合わせることにより書込み動作が行われる。記憶層224Aは、強磁性膜/反強磁性二重層として形成されることが好ましい。強磁性膜/反強磁性二重層を形成するための例示的な材料として、FeCo/PtMn及び/又はFeCo/IrMnを挙げることができる。これにより、MRAMセル210は、高密度及び高拡張性を、容易化された読出し動作に組み合わせるといった利点を提供することができる。

20

【0032】

書込み動作より前のMRAMセル210の初期状態を図7A~図7Bに示す。入力データビットをMRAMセル210に書込むための単一の電流線として検知及びフィールド線230を示し、選択トランジスタ250を通過するソース-ドレイン経路を切断した選択トランジスタ250を停止した形で示す。初期状態では、図7A~図7BのMRAMセル210は、低(すなわち「0」の)論理状態の記憶データビットを有している。さらに、記憶データビットが低論理状態にあるため、記憶層224Aの帯磁方向228A及び参照層224Bの帯磁方向228を同じ方向を有する(すなわち「平行」である)形で示す。従って、図4Bを参照しながらさらに詳細に上述した態様で、磁気トンネル接合220のセル抵抗Rは低いセル抵抗値R1となる。

30

【0033】

書込み動作が開始されると、図7C~図7Dに示すように、選択トランジスタ250は、選択トランジスタ250を通過するソース-ドレイン経路を形成すべく作動し、検知線230を介してMRAMセル210へ電流パルスが送信される。電流パルスが書込み動作に関連付けられることにより、高(すなわち「1」の)論理状態の入力データビットがMRAMセル210に書き込まれるようになる。電流パルスがMRAMセル210に到達し、選択トランジスタ250が作動しているので、この電流パルスは、選択トランジスタ250のソース-ドレイン経路、並びに磁気トンネル接合220を通過して進む。この結果、磁気トンネル接合220が加熱し始める。

40

【0034】

磁気トンネル接合220が加熱するにつれて、検知及びフィールド線230を介して流れる電流パルスは同様に磁場を誘起し、この磁場は、参照層224Bの磁化228に揃えられる。これにより、さらに詳細に上述した態様で、磁場の印加を通じて記憶層224Aの帯磁方向228Aを第1の安定方向から第2の安定方向へ切り替えることができる。検

50

知及びフィールド線 230 から磁場を印加すると、図 7C ~ 図 7D に示すように記憶層 224A の帯磁方向 228A が逆になり始め、参照層 224B の帯磁方向 228B と反対方向に（すなわち「逆行」するように）揃えられるようになる。

【0035】

磁気トンネル接合 220 の温度が所定の温度しきい値（すなわち「ブロッキング温度」）に達すると、選択トランジスタ 250 が停止し、電流パルスがこれ以上磁気トンネル接合 220 を通って進まないようにソース - ドレイン経路を切断する。この結果、磁気トンネル接合 220 が冷却し始める。磁気トンネル接合 220 が冷却し、磁気トンネル接合 220 の温度が所定の低い温度しきい値に冷却されるまで保持されるため、フィールド線 230 から発生する磁場は、記憶層 224A に印加され続ける。これにより、記憶層 224A の磁化 228A が、フィールド線 230 を通って進む電流パルスによって生み出された磁場により誘起された新たな帯磁方向 228A に「凍結」される。

【0036】

書込み動作後の MRAM セル 210 の最終状態を図 7E ~ 図 7F に示す。図 7E に示すように、高論理状態の入力データビットが MRAM セル 210 に書き込まれ、新たな記憶データビットとなっている。選択トランジスタ 250 は、ソース - ドレイン経路を切断した状態で停止したままであり、高論理状態の入力データビットが MRAM セル 210 に書き込まれている。若干言い方を換えれば、MRAM セル 210 は、高論理状態の記憶データビットを有している。さらに、記憶層 224A の新たな帯磁方向 228A 及び参照層 224B の帯磁方向 228B を、反対方向に揃えられた形で（すなわち「逆行」する形で）示す。従って、磁気トンネル接合 220 のセル抵抗 R は、図 4B を参照しながらさらに詳細に上述した態様で、高いセル抵抗値 R_2 になっている。熱アシスト型切り替え（TAS）を含む書込み動作に関する追加の詳細を米国特許第 6,950,335 号に見出すことができ、該特許の開示内容はその全体が引用により本明細書に組み入れられる。

【0037】

書込み動作中における熱アシスト型切り替えの使用は、MRAM セル 210 のパフォーマンス全体、特に小型の形状サイズ及び / 又は高密度における改善に役立つことができる。同様に、単一の電流線 230、240 を使用して入力データビットを MRAM セル 210 に書き込むとともに MRAM セル 210 の製造コストを削減することができる。また、MRAM セル 210 の作製に使用する材料の種類及び形状を最適化して、参照層 224B を最小化することにより MRAM セル 210 の消費電力を削減することができる。

【0038】

代替の手法では、（熱アシストの有無に関わらず）外部磁場によってではなくスピン偏極した電流（電流誘起磁気切り替え - CIMS）によって MRAM セル 210 に書き込みが行われる。Science、第 285 巻、867 ページ（1999 年）及び米国特許第 5,695,864 号の文献における全金属小型（100nm 未満）構造において実験的に立証されるように、スピン偏極した電流は、偏極キャリアとシステムの磁気モーメントとの間の角回転モーメントの移動処理によって、磁化の歳差運動又は切り替え（反転）さえも誘起することができる。必要な電流がセルの面積に対応するので、このような構造は非常に拡張性がある。さらに、この構造は、潜在的に非常に高速であるとともに磁場を発生させるための金属配線を必要とせず、従ってセルサイズ及びドライバオーバーヘッドの両方が減少する。

【0039】

CIMS 書込みを、米国特許第 6,950,335 号における MRAM メモリの一般的事例に記載されるような TAS と好適に組み合わせることができる。この場合、図 7A ~ 図 7F で説明したように MRAM セル 210 に書き込みが行われるが、フィールド線 230 によって発生した磁場が存在しないという違いがある。その代わりに、加熱電流 600 自体を使用して、これが磁気トンネル接合 210 を通って流れる一方で適当にスピン偏極することにより、記憶層 224A の帯磁方向 228A に切り替える。これは、米国特許第 6,603,677 号に記載されるように、接点 210 内に特定の層を追加することに

より行われる。

【 0 0 4 0 】

データ層に書き込みを行うのに T A S と C I M S とを組み合わせる使用することにより、特に小型の形状サイズにおいて書き込み電力の削減が可能となる。読出しに関しては、磁場駆動型 C A M 構造の場合と変わらない。

【 0 0 4 1 】

図 7 A ~ 図 7 F の熱アシスト型切り替え (T A S) を含む書き込み動作を通じた態様を含む、図 5 A ~ 図 5 B 及び図 6 A ~ 図 6 B をそれぞれ参照しながらさらに詳細に上述した態様で M R A M セル 2 1 0 に入力データを書き込み、この M R A M セル 2 1 0 から記憶データを読み出すことができる。連想メモリ (C A M) の動作に関しては、図 8 A に示すように、磁場を誘起する検知及びフィールド線 2 3 0 を介して入力データビットを受信することができる。検知及びフィールド線 2 3 0 の誘起された磁場は、細長い M R A M セル 2 1 0 の長さに対して垂直な方向に発生する。従って、検知及びフィールド線 2 3 0 の誘起された磁場の磁極性に応じて、記憶層 2 2 4 A の磁化方向 2 2 8 A と同じ方向にある (すなわち「平行」である)、或いは反対方向にある (すなわち「逆行」する) 磁化方向 2 2 8 B で参照層 2 2 4 B を配置することができる。

【 0 0 4 2 】

図 8 B を参照すると、図 8 A の磁気トンネル接合 2 2 0 の例示的なトンネル磁気抵抗反応を示す特徴図を示しており、セル抵抗 R を、8 A を参照しながら上述した態様で磁場強度 H の関数として表している。図 8 B の特徴図によって示すように、M R A M セル 2 1 0 のセル抵抗 R は、記憶層 2 2 4 A の帯磁方向 2 2 8 A と参照層 2 2 4 B の磁化方向 2 2 8 B とがほぼ同じ方向を有する (すなわち「平行」である) 場合、第 1 のセル抵抗値 R_1 を有する。同様に、M R A M セル 2 1 0 のセル抵抗 R は、記憶層 2 2 4 A の帯磁方向 2 2 8 A と参照層 2 2 4 B の磁化方向 2 2 8 B とが反対の方向を有する (すなわち「逆行」する) 場合、第 1 のセル抵抗値 R_1 よりも大きい第 2 のセル抵抗値 R_2 を有することができる。さらに、M R A M セル 2 1 0 は、第 1 及び第 2 のセル抵抗値 R_1 、 R_2 の中間に位置するセル抵抗値 R を、参照層 2 2 4 B の磁化方向 2 2 8 B の、記憶層 2 2 4 A の帯磁方向 2 2 8 A に対する平行方向と逆行方向との間の遷移として想定することができる。図 8 A に示すように、例えば、M R A M セル 2 1 0 のセル抵抗値 R は、磁化方向 2 2 8 A、2 2 8 B がより平行になると減少し、磁化方向 2 2 8 A、2 2 8 B がより逆行すると増加することができる。

【 0 0 4 3 】

データ入力線 3 0 0 を流れる入力データビット電流によって誘起された磁場を介して参照層 2 2 4 B の磁化方向 2 2 8 B を動かす (すなわち変動させる) ことにより、入力データビットを、M R A M セル 2 1 0 内に記憶された記憶データビットと比較できるという利点が得られる。これにより、参照層 2 2 4 B の磁化方向 2 2 8 B を切り替えずに入力データビットと記憶データビットとを比較することができる。この結果、検知層 2 2 4 B の磁化方向 2 2 8 B を切り替える必要なく M R A M セル 2 0 0 を動的モードで動作させて、読出し動作を行うことができる。磁化方向 2 2 8 A、2 2 8 B が垂直に配向されることにより、減少した消費電力と相俟った高速読出し動作を M R A M セル 2 1 0 がサポートすることができるという利点が得られる。この結果、M R A M セル 2 1 0 の設計及び製造管理を単純化することができる。さらに、データ入力線 3 0 0 が提供する誘起された磁場が、参照層 2 2 4 B の磁化方向 2 2 8 B を完全に切り替えるのではなく変動させるため、M R A M セル 2 1 0 が読出し動作中に消費する電力量を減少させるとともに M R A M セル 2 1 0 の動作速度を上昇させることができる。

【 0 0 4 4 】

図 8 A ~ 図 8 B を参照しながら M R A M セル 2 1 0 の代替の実施形態を示し、これについて説明する。図 8 A に示すように、M R A M セル 2 1 0 は、図 3 及び図 4 A ~ 図 4 B を参照しながらさらに詳細に上述した態様で実現される磁気トンネル接合 2 2 0 を含む。記憶層 2 2 4 A 及び参照層 2 2 4 B などの一対の磁気 M Y J 層 2 2 4 の間に配置された、絶

10

20

30

40

50

縁層 226A などの少なくとも 1 つの非磁気 M T J 層 226 を含む形で磁気トンネル接合 220 を示す。ここで、記憶層 224A は、参照層 224B の磁化方向 228B に対して直角に配向された磁化方向 228A を備えた磁化 228 を有する。換言すれば、記憶層 224A の磁化方向 228A と参照層 224B の磁化方向 228B は垂直方向に偏極する。これにより、M R A M セル 210 は、参照層 224B の磁化方向 228B を切り替える必要なく動的モードで動作して読出し動作を行うことができる。磁化方向 228A、228B が垂直に配向されることにより、減少した消費電力と相俟った高速読出し動作を M R A M セル 210 がサポートすることができるという利点を得られる。

【0045】

任意の従来の態様で、図 8A の M R A M セル 210 を実現することができる。例えば、M R A M セル 210 を細長い磁気セルとして実現することができ、また、上部に M R A M セル 210 を形成したチップ（又はウエハー）（図示せず）を、M R A M セル 210 の短い方向に沿って配向された磁場内で冷却することもできる。これにより、記憶層 224A に、加熱処理中にチップ（又はウエハー）に印加された磁場方向に凍結した磁化方向 228A を有する磁化 228 を与えることができる。加熱処理中、参照層 224B を低エネルギー状態に置くように、参照層 224B の磁化方向 228B を細長い M R A M セル 210 の長さに沿って配向することができる。

【0046】

図 9A は、M R A M セル 210 の別の代替の実施形態を示す図であり、M R A M セル 210 を、気自己参照型ツイン M R A M セルを備えた形で示している。M R A M セル 210 は、各々が図 3、図 4A ~ 図 4B 及び図 8A ~ 図 8B を参照しながらさらに詳細に上述した態様で提供される 2 つの磁気トンネル接合 220A、220B を含む。個々の磁気トンネル接合 220A、220B は、記憶層 224A 及び参照層 224B などの一対の磁気 M T J 層 224 の間に配置された、絶縁層 226A などの少なくとも 1 つの非磁気 M T J 層 226 を有する。図 9A に示すように、第 1 の磁気トンネル接合 220A の記憶層 224A と、第 2 の磁気トンネル接合 220B の記憶層 224A とを、書き込み線 270 などの第 1 の共通電流線を介して結合することができるのに対し、データ入力 260 などの第 2 の共通電流線は、磁気トンネル接合 220A、220B の参照層 224B を結合させることができる。同様に、個々の磁気トンネル接合 220A、220B の参照層 224B を、図示のような、及び時として 2 つの選択トランジスタ及び 2 つの磁気トンネル接合（2T/2J）構成と呼ばれるようなそれぞれの選択トランジスタ 250 に結合することができる。

【0047】

データ入力線 260 を U 字型形状にすることにより、磁気トンネル接合 220A、220B が書き込み時に直列接続された状態の図 9A の M R A M セル 210 を示す。書き込み動作中、選択した極性を有する磁場を発生させるようにされたデータ入力線 260 を介して、M R A M セル 210 に入力データビットを提供することができる。M R A M セル 210 が、データ入力線 260 を介して入力データビットを受信することにより、磁気トンネル接合 220A、220B の各々に入力データビットを書き込むことができるようになる。図 9B 及び図 9C に示すように、データ入力線 260 の U 字型形状により、第 1 の磁気トンネル接合 220A の参照層 224B は、第 2 の磁気トンネル接合 220B の参照層 224B の磁化方向 228B とは反対の磁化方向 228B を有することができるようになる。換言すれば、データ入力線 260 を流れる電流により、磁気トンネル接合 220A、220B の参照層 224B が反対の磁化方向 228B を有するようにされる。

【0048】

従って、M R A M セル 210 は、高（すなわち「1」の）論理状態又は低（すなわち「0」の）論理状態などの所定の論理状態の入力データビットを受信し、この入力データビットを所定の論理状態の記憶データビット b として第 1 の磁気トンネル接合 220A に書き込む。磁気トンネル接合 220A、220B の参照層 224B は反対向きの磁化方向 228A を有しているため、M R A M セル 210 は、入力データビットを、第 1 の磁気トン

10

20

30

40

50

ネル接合 220A の記憶データビット b の補数である記憶データビット $\neg b$ として第 2 の磁気トンネル接合 220B に書き込む。若干言い方を換えれば、第 1 の磁気トンネル接合 220A の記憶データビット b 及び第 2 の磁気トンネル接合 220B の記憶データビット $\neg b$ は、逆の論理状態の相補データビットとなる。従って、MRAMセル 210 は、その後の読出し動作中に逆の論理状態の相補形データビット b 、 $\neg b$ を提供するため、MRAMセル 210 の磁気トンネル接合 220A、220B は、読出し動作のために異なって結合されることになる。

【0049】

必要に応じて、MRAMセル 210 には、図 9A に示すように 2 又はそれ以上の磁気トンネル接合 220A、220B を設けることができる。図 9A の磁気トンネル接合 220A、220B は直列配列で配置された形で示している。直列配列の磁気トンネル接合 220A、220B の場合、MRAMセル 210 は、読出し動作中、磁気トンネル接合 220A、220B の各々から記憶データビット b に所定の論理状態を与えることができる。

【0050】

メモリシステム 100 は、MRAMセル 210 の検知速度を上げるための照合作業を行うために、差動センスアンプ及び \neg 又は多段階差動センスアンプなどの（図 2 に示す）センスアンプ 500 を含むことができる。さらに、センスアンプ 500 の厳選した実施形態に関する詳細については図 10A ~ 図 10C を参照しながらさらに詳述する。同様に、MRAMセル 210 を、抵抗が動的変動する集積アンプなどの集積アンプとして動作するように構成された従来のスタティックランダムアクセスメモリ（SRAM）セルと結合することができる。この集積アンプを、「動的」モードで動作する単一の MRAMセル 210、及び \neg 又は差動モードで動作する一対の MRAMセル 210 に適用できるという利点がある。

【0051】

各々が MRAMベースの連想メモリ（CAM）セル 280 を備えた複数のメモリセル 200 を有するメモリアレイ 290 を備えたメモリシステム 100 を図 10A ~ 図 10C に示す。例えば図 10 を参照すると、従来の $[N+1] \times [M+1]$ 行列の MRAMベースの CAMセル 280 として実現されたメモリアレイ 290 を示している。従って、 $[N+1]$ という数は、ワード選択線 $400_0 \sim 400_N$ の数を表し、これはメモリアレイ 290 内の MRAMベースの CAMセル 280 の行の数と一致するのに対して、入力データ線 $300_0 \sim 300_M$ の数は $[M+1]$ という数によって表され、これはメモリアレイ 290 内の MRAMベースの CAMセル 280 の列の数と一致する。必要に応じて、メモリシステム 100 のメモリ容量及びメモリ構成に応じて、 $[N+1]$ 及び $[M+1]$ の数は任意の適当な数であってもよい。

【0052】

（図 3 に示した）MRAMセル 210 を参照しながらさらに詳細に上述した態様で、単一セルの手法を通じて MRAMベースの CAMセル 280 を実現することができる。図 10A に示すように、この単一セルの手法では、個々の MRAMベースの CAMセル 280 に磁気トンネル接合 220 及び選択トランジスタ 250 を設けることができる。磁気トンネル接合 220 は、図 3 を参照しながらさらに詳細に上述した態様で多層構造の形で実現されるとともに、（図 3 に示す）1 又はそれ以上の磁気 MTJ 層 224 及び \neg 又は（図 3 に示す）非磁気 MTJ 層 226 を含むことが好ましい。従って、MRAMベースの CAMセル 280 は、1 つの選択トランジスタ 250 及び 1 つの磁気トンネル接合 220（1T/1J）MRAMセルであると説明することができる。

【0053】

図 10A に示すように、メモリアレイ 290 の選択された列内の個々の MRAMベースの CAMセル 280 は共通入力データ線 300_I を共有する。若干言い方を換えれば、選択された入力データ線 300_I は、メモリアレイ 290 の関連する列内の個々の MRAMベースの CAMセル 280 に結合される。例えば、入力データ線 300_0 を、MRAMベースの CAMセル 280_{00} 、 \dots 、 280_{N0} と結合した形で示しているのに対して

、入力データ線3001は、MRAMベースのCAMセル280₀₁、・・・、280_{N1}と結合される。同様に、メモリアレイ290の選択された行内の個々のMRAMベースのCAMセル280は、共通ワード選択線400_Jを共有する。従って、共通ワード選択線400_Jをメモリアレイ290の関連する行内の個々のMRAMベースのCAMセル280と結合することができる。ワード選択線400₀を、MRAMベースのCAMセル280₀₀、280₀₁、・・・、280_{0M}と結合した形で示しており、ワード選択線400_Nは、MRAMベースのCAMセル280_{N0}、280_{N1}、・・・、280_{NM}と結合される。

【0054】

同様に、メモリアレイ290の選択された行内の個々のMRAMベースのCAMセル280を、共通一致線510_Kを共有する形で示す。これにより、共通一致線510_Kをメモリアレイ290の関連する行内の個々のMRAMベースのCAMセル280と結合することができる。図10Aに示すように、一致線510₀をMRAMベースのCAMセル280₀₀、280₀₁、・・・、280_{0M}と結合することができ、一致線510_NをMRAMベースのCAMセル280_{N0}、280_{N1}、・・・、280_{NM}と結合することができる。一致線510₀、・・・、510_Nは、複数の最終センスアンプ500にさらに結合されるとともに、これに入力信号（図示せず）を提供するように構成された形で示している。最終センスアンプ500は、入力信号を最大論理レベルまで増幅するとともに出力一致線510₀、・・・、520_Nを介して従来の方法で出力信号（図示せず）を供給することができる。

【0055】

例示的な書込み動作の開始時に、入力データワード（図示せず）がメモリアレイ290の適当な行の上へロードされる。入力データワードは、各々が、高（すなわち「1」の）論理状態又は低（すなわち「0」の）論理状態などの複数の所定の論理状態を有する複数の入力データビットを含む。個々の関連する一致線510に関連付けられた最終センスアンプ500を作動不能にすることができ、関連するワード選択線400に電圧（又は電流）を印加することにより、メモリアレイ290の適当な行が選択される。次に、入力データワードの個々の入力データビットが、入力データ線300に印加された電流パルスを通じて適当なMRAMベースのCAMセル280内に書き込まれる。図5A～図5Bを参照しながらさらに詳細に上述した態様で、電流パルスが入力データ線300内に磁場を誘起し、この結果必要に応じて、（図5Aに示す）それぞれの磁気トンネル接合220の記憶層224Aを切り替えてデータワードを書き込む。これにより、入力データワードがメモリアレイ290によって記憶データワードとして記憶される。

【0056】

個々のMRAMベースのCAMセル280に書き込まれた入力データビットの論理状態は、関連する電流パルスが、関連する入力データ線300を通して流れる方向によって決まる。さらに、関連する電流パルスの方向は、関連する入力データ線300において誘起された磁場の方向に影響を及ぼす。同様に、誘起された磁場の方向は、（図5Bに示す）MRAMベースのCAMセル280の関連する記憶層224Aの帯磁方向228Aに影響し、この帯磁方向228Aが、記憶データワードの個々の記憶データビットの論理状態を決定する。この書込み動作は当業で周知であり、フィールド誘起磁気切替え（FIMS）と呼ばれることがある。

【0057】

必要に応じて、メモリシステム100は、熱アシスト型切り替え（TAS）を含む例示的な書込み動作を、7A～図7Fを参照しながらさらに詳細に上述した態様で適用することにより、メモリアレイ290に入力データワードを書き込むことができる。熱アシスト型切り替えを含む書込み動作を適用してメモリアレイ290に入力データワードを書き込む場合、個々の関連する一致線510に関連付けられた最終センスアンプ500は作動不能となり、関連するワード選択線400に電圧（又は電流）を印加することにより、メモリアレイ290の適当な行が選択される。次に、個々の一致線510が加熱システム53

10

20

30

40

50

0を介して加熱される。加熱システム530は、任意の従来のタイプの加熱システムとして実現することができる。例えば、個々の一致線510を加熱するための包括的加熱システム、及び/又は図10Aに示すような、関連する一致線510を加熱するための複数の局所加熱システムとして加熱システム530を実現することができる。若干言い方を換えれば、加熱システム530は複数の局所加熱システムを備えることができ、この場合、メモリアレイ290内のCAMセル280の個々の行(又は列)が局所加熱システムに関連付けられる。

【0058】

例示のみを目的として、熱アシスト型切り替えという観点から説明及び図示を行ったが、メモリアレイ290に入力データワードを書き込むのに電圧及び/又は電流の印加を介する方法を含む任意の従来の方法で書き込み動作を容易にすることができる。例えば、メモリシステム100は、個々の一致線510に電圧(又は電流)を印加するための包括的な電圧(又は電流)源システム(図示せず)、及び/又は関連する一致線510に電圧(又は電流)を印加するための複数の局所的な電圧(又は電流)源システム(図示せず)を含むことができる。同様に、メモリシステム100は複数の局所的な電圧(又は電流)源システムを含むことができ、この場合、メモリアレイ290内のCAMセル280の個々の行(又は列)は、局所的な電圧(又は電流)源システムに関連付けられる。必要に応じて、メモリシステム100は、加熱システム530に加えて、及び/又はこれの代替として電圧(又は電流)源システムを含むことができる。

【0059】

電流パルスは上述の態様で入力データ線300に印加される。電流パルスは、入力データ線300内に磁場を誘起することにより、必要に応じてそれぞれの磁気トンネル接合220の記憶層(又はバイアス交換層)224Aを切り替えて、適当なMRAMベースのCAMセル280内にデータワードを書き込む。上述のように、個々のMRAMベースのCAMセル280に書き込まれた入力データビットの論理状態は、関連する電流パルスが、関連する入力データ線300を通して流れる方向、従って入力データ線300内に誘起される磁場の方向によって決まる。この結果、入力データワードがメモリアレイ290によって記憶データワードとして記憶される。

【0060】

入力データワードがメモリアレイ290に書き込まれ、及びこれによって記憶データワードとして記憶されると、例示的な読出し動作中、メモリシステムは、図6A~図6Bを参照しながらさらに詳細に上述した態様で記憶データワードを提供することができる。入力データワードのように、記憶データワードは、各々が高(すなわち「1」の)論理状態又は低(すなわち「0」の)論理状態などの複数の所定の論理状態を有する複数の記憶データビットを含む。読出し動作が開始すると、個々の関連する一致線510に関連付けられた最終センスアンプ500が作動可能になる。この後、個々の入力データ線300に静電流を印加することができる。静電流の極性は、所望の記憶データワードの画像ベクトルを含むことが好ましい。読出し動作中、加熱システム530を作動不能にすることができ、或いは、必要に応じて、加熱システム530を電圧検知手法のための電流偏光器として動作可能にすることもできる。

【0061】

メモリアレイ290内の個々の記憶データワードは、ワード選択線400を介して包括的に選択される。静電流が、(図6Bに示す)メモリアレイ290内のそれぞれの磁気トンネル接合220の参照層224Bを、好ましくは対応する記憶層224Aに支障をきたすことなく偏極させることができるように、静電流には適当な電流量が供給される。記憶データワードを包括的に選択することにより、記憶データワードを並行して検知できるようになるという利点が得られる。例えば、最終センスアンプ500が電流センスアンプを備える場合、選択された最終センスアンプ500に一致線510を介して供給される誘起電流は、対応する記憶データワードにおける個々の記憶データビットの電流の和に依存することができるのに対して、入力データ線300を流れる電流は、(図6Bに示す)記憶

層 2 2 4 A の帯磁方向 2 2 8 A と (図 6 B に示す) 参照層 2 2 4 B の帯磁方向 2 2 8 B との間の相対的帯磁方向に依存することができる。

【 0 0 6 2 】

一致するビットは、記憶層 2 2 4 A の帯磁方向 2 2 8 A と参照層 2 2 4 B の帯磁方向 2 2 8 B との間の差に等しい帯磁方向を有すると定義することができる。一致するビットは平行状態に相当することができ、従って、低いセル抵抗値 R_1 及び高い電流値 I_H に関連付けられる。これに対して、一致しないビットは、帯磁方向 2 2 8 A と帯磁方向 2 2 8 B との間の差とは反対の帯磁方向を有すると定義することができる。同様に、一致しないビットは逆行状態に相当するため、これを高いセル抵抗値 R_2 及び低い電流値 I_L に関連付けることができる。

10

【 0 0 6 3 】

従って、入力データワードと記憶データワードとが一致する結果、 $[M+1] \times I_H$ の積に等しい総電流量と同等の入力電流が最終センスアンプ 5 0 0 に供給されるという結果を得ることができる。同様に、入力データワードと記憶データワードとが一致しない結果、 $(M \times I_H) + I_L$ 以下の総電流量と同等の入力電流を得ることができる。個々の最終センスアンプ 5 0 0 は、 $(I_H - I_L)$ の差未満の精度で電流を検知するのに適したものであることが好ましい。従って、電流から電圧への変換後、最終センスアンプ 5 0 0 は、関連する出力一致線 5 1 0 を介して適当な出力信号を供給することができる。入力データワードと記憶データワードとが一致する場合、最終センスアンプ 5 0 0 は、高論理レベルなどの第 1 の所定の論理レベルの出力信号を供給し、そうでない場合、出力信号には低論理レベルなどの第 2 の所定の論理レベルが与えられる。照合中に、システムが加熱することなく、関連する入力データ線 3 0 0 に入力フィールド電流が印加され、関連するセンスアンプ 5 0 0 が起動する。

20

【 0 0 6 4 】

図 1 0 を参照すると、メモリシステム 1 0 0 には、複数の M R A M ベースの C A M セル 2 8 0 を備えたメモリアレイ 2 9 0 が設けられており、メモリアレイ 2 9 0 には差動 M R A M - C A M メモリ構造が設けられる。この差動 M R A M - C A M メモリ構造では、M R A M ベースの C A M セル 2 8 0 が、磁気自己参照型ツイン M R A M セルとして、図 9 A ~ 図 9 C を参照しながらさらに詳細に上述した態様で設けられる。従って、M R A M ベースの C A M セル 2 8 0 の各々に、第 1 及び第 2 の磁気トンネル接合 2 2 0 A、2 2 0 B などの一対の磁気トンネル接合 2 2 0 と、図 1 0 B に示すような 2 つの選択トランジスタ 2 5 0 とを設けることができる。磁気トンネル接合 2 2 0 は、図 3 を参照しながらさらに詳細に上述した態様で多層構造の形で実現されるとともに、(図 3 に示す) 1 又はそれ以上の磁気 M T J 層 2 2 4 及び / 又は (図 3 に示す) 非磁気 M T J 層 2 2 6 を含むことが好ましい。従って、M R A M ベースの C A M セル 2 8 0 は、2 つの選択トランジスタ 2 5 0 及び 2 つの磁気トンネル接合 2 2 0 (2 T / 2 J) M R A M セルであると説明することができる。

30

【 0 0 6 5 】

個々の M R A M ベースの C A M セル 2 8 0 はデータ入力線 3 0 0 に結合され、第 1 及び第 2 の磁気トンネル接合 2 2 0 A、2 2 0 B と電気接続する。同様に、第 1 及び第 2 の磁気トンネル接合 2 2 0 A、2 2 0 B は、一対の一致線 5 1 0 に結合される。第 1 の磁気トンネル接合 2 2 0 A を第 1 の一致線 5 1 2 と結合した形で示しているのに対して、第 2 の磁気トンネル接合 2 2 0 B は第 2 の一致線 5 1 4 に結合することができる。図 1 0 B に示すように、一致線 5 1 2、5 1 4 は、磁気トンネル接合 2 2 0 A、2 2 0 B を差動センスアンプ 5 0 0 と結合させることができる。差動センスアンプ 5 0 0 は、多段階差動センスアンプを備えることが好ましく、照合作業中の動作速度の増加に適用されることが望ましい。

40

【 0 0 6 6 】

メモリアレイ 2 9 0 の例示的な行を、M 個の M R A M ベースの C A M セル 2 8 0₀₀、
 ・ ・ ・、2 8 0_{0M} の行を参照しながら図 1 0 B に示す。M R A M ベースの C A M セル 2

50

80₀₀、・・・、280_{0M}を、入力データ線300₀～300_Mにそれぞれ結合され、ワード選択線400_{0A}、400_{0B}を介して選択された形で示す。必要に応じて、メモリシステム100は、個々の一致線512、514を、さらに詳細に上述した態様で加熱するための少なくとも1つの加熱システム530を含むことができる。例示を目的として、MRAMベースのCAMセル280の1つの行を参照しながら、メモリシステム100の構造及び動作を示し、これらについて説明するが、メモリシステム100は、MRAMベースのCAMセル280の(図10Aに示す)任意の適当な数N個の行を含むことができる。

【0067】

書込み動作は、1又はそれ以上のサイクルの負荷動作を含むことができる。例えば、データ入力線260に直線形状が与えられた場合、書込み動作は2つのサイクルの負荷動作を含むことができる。負荷動作の第1のサイクル中には、入力データが、関連するMRAMベースのCAMセル280の第1の磁気トンネル接合220Aに書き込まれるのに対して、第2のサイクル中には、入力データが、関連するMRAMベースのCAMセル280の第2の磁気トンネル接合220Bに書き込まれる。これにより、(図9B～図9Cに示す)個々のMRAMベースのCAMセル280の磁気トンネル接合220A、220Bの記憶層224Aが、(図9B～図9Cに示す)同じ帯磁方向228Aを有することができるという利点を得られる。データ入力線260に(図9Aに示す)U字型形状が与えられる場合、1つのサイクルの負荷動作で書込み動作を行うことができ、この場合、MRAMベースのCAMセル280の磁気トンネル接合220A、220Bは、反対の磁気方向228Aを有する。個々のMRAMベースのCAMセル280の磁気トンネル接合220A、220Bは、MRAMベースのCAMセル280の検知速度に悪影響を与えることなく同じデータ入力線300を共有することができるという利点を得られる。

【0068】

上記の例に戻ると、データ入力線260には直線形状が与えられ、2サイクルの負荷動作の第1のサイクル中に入力データ線300₀～300_Mに電流パルスが印加されて、入力データ線300₀～300_M内に磁場を誘起し、第1のワード選択線400_{0A}が起動し、各々は上述の態様で行われる。第1のワード選択線400_{0A}の起動により、入力データ線300₀～300_M上の電流パルスに関連する入力データを、関連するMRAMベースのCAMセル280の第1の磁気トンネル接合220Aに書き込むことができるようになる。必要に応じて、同様に、加熱システム530を起動して第1の一致線512を加熱することができ、これが作動可能な第1の磁気トンネル接合220Aに関連付けられる。これにより、負荷動作の第1のサイクル中に、MRAMベースのCAMセル280の第1の磁気トンネル接合220Aにデータを書き込むことができる。

【0069】

同様に、2サイクルの負荷動作の第2のサイクル中に、入力データ線300₀～300_Mに電流パルスが印加される。これにより、上述のように、入力データ線300₀～300_M内に磁場が誘起される。ここで、第2のワード選択線400_{0B}が起動し、入力データ線300₀～300_M上の電流パルスに関連する入力データを、関連するMRAMベースのCAMセル280の第2の磁気トンネル接合220Bに書き込むことができるようになる。必要に応じて、加熱システム530を起動させることができる。これにより、作動可能な第2の磁気トンネル接合220Aに関連付けられた第2の一致線512を上述の態様で加熱することができる。この結果、負荷動作の第2のサイクル中に、MRAMベースのCAMセル280の第2の磁気トンネル接合220Bにデータを書き込むことができるようになる。

【0070】

2サイクルの負荷動作の後に照合動作を行うことができる。照合動作中、第1及び第2のワード選択線400_{0A}、400_{0B}が起動する。これにより、(図9B～図9Cに示す)個々のMRAMベースのCAMセル280の磁気トンネル接合220A、220Bの参照層224Bは、(図9B～図9Cに示す)同じ磁化方向228Bを有することができる

10

20

30

40

50

。選択された磁気トンネル接合 220 A、220 B の記憶層 224 A 及び参照層 224 B がそれぞれの磁気方向 228 A、228 B を反対方向に有する（すなわち「逆行」する場合、この選択された磁気トンネル接合 220 A、220 B は、（図 4 B に示す）高いセル抵抗値 R_2 を有することができ、関連する一致線 512、514 は、さらに詳細に上述した態様で低い線電流を有することができる。同様に、選択された磁気トンネル接合 220 A、220 B の記憶層 224 A 及び参照層 224 B が、それぞれの磁気方向 228 A、228 B を同じ方向に有する（すなわち「平行」である）場合、関連する一致線 512、514 が高い線電流を有するように、選択された磁気トンネル接合 220 A、220 B は（図 4 B に示す）低いセル抵抗値 R_1 を有することができる。差動センスアンプ 500 は、それぞれ的一致線 512、514 により供給された線電流を受け取るとともに、線電流の比較結果を、カ一致線 510 を介して提供することができる。

10

【0071】

同様に、図 10 C に示すように、プリアンプ手法においてメモリシステム 100 を提供することができる。プリアンプ手法では、個々の MRAM ベースの CAM セル 280 が、図 9 A ~ 図 9 C を参照しながらさらに詳細に上述した態様で、磁気自己参照型ツイン MRAM セルとして実現される。従って、図 10 B に示すように、MRAM ベースの CAM セル 280 に、第 1 及び第 2 の磁気トンネル接合 220 A、220 B などの一対の磁気トンネル接合 220 を設けることができる。磁気トンネル接合 220 は、図 3 を参照しながらさらに詳細に上述した態様で多層構造の形で実現されるとともに、（図 3 に示す）1 又はそれ以上の磁気 MTJ 層 224 及び / 又は（図 3 に示す）非磁気 MTJ 層 226 を含むことが好ましい。上述のように、MRAM ベースの CAM セル 280 は、（図 10 B に示す）2 つの選択トランジスタ 250 及び 2 つの磁気トンネル接合 220（2T / 2J）MRAM セルとして実現されることが好ましい。

20

【0072】

図 10 C に示すように、例示的な MRAM ベースの CAM セル 280 は、ローカルプリアンプシステム 282 をさらに含む。このローカルプリアンプシステム 282 は、任意の従来の態様で実現することができ、ローカルセンスアンプシステムとして実現されることが好ましい。例えば、図 10 C のローカルプリアンプシステム 282 は、ラッチベースのローカルプリアンプシステム 282 を備えた形で示すものである。MRAM ベースの CAM セル 280 は、データ入力線 300 に結合され、第 1 及び第 2 の磁気トンネル接合 220 A、220 B と電気接続することができるとともに、ワード選択線 400_{0A}、400_{0B} を介して選択することができる。磁気トンネル接合 220 A、220 B は、ローカルプリアンプシステム 282 を介して少なくとも 1 つの一致線 510 と電気接続することができる。必要に応じて、メモリシステム 100 は、（図 10 B に示す）個々の一致線 510 を加熱するための少なくとも 1 つの加熱システム 530 を、さらに詳細に上述した態様で含むことができる。例示を目的として、1 つの MRAM ベースの CAM セル 280 を参照しながら、メモリシステム 100 の構造及び動作を示し、これらについて説明するが、メモリシステム 100 は、任意の適当な数及び / 又は構成の MRAM ベースの CAM セル 280 を含むことができる。

30

【0073】

（図 10 B に示す）差動 MRAM - CAM のメモリ構造を参照しながら上述した態様では、プリアンプ手法における MRAM ベースの CAM セル 280 への書込み動作は、1 又はそれ以上のサイクル負荷動作を含むことができる。例えば、データ入力線 260 に（図 9 A に示す）U 字型形状が与えられる場合、1 つのサイクルの負荷動作で書込み動作を行うことができ、この場合、MRAM ベースの CAM セル 280 の磁気トンネル接合 220 A、220 B は反対の磁気方向 228 A を有する。これとは別に、或いはこれに加えて、例えば、データ入力線 260 に直線形状が与えられる場合、書込み動作は 2 つのサイクル負荷動作を含むことができ、（図 9 B ~ 図 9 C に示す）個々の MRAM ベースの CAM セル 280 の磁気トンネル接合 220 A、220 B の記憶層 224 A が（図 9 B ~ 図 9 C に示す）同じ帯磁方向 228 A を有することができるという利点を得られる。

40

50

【 0 0 7 4 】

2 サイクルの負荷動作では、負荷動作の第 1 のサイクル中には、入力データが、M R A M ベースの C A M セル 2 8 0 の第 1 の磁気トンネル接合 2 2 0 A に書き込まれるのに対して、第 2 のサイクル中には、入力データが、関連する M R A M ベースの C A M セル 2 8 0 の第 2 の磁気トンネル接合 2 2 0 B に書き込まれる。図 1 0 C に示すように、第 1 のワード選択線 4 0 0_{0 A} を、N チャネルの金属酸化物半導体電界効果トランジスタ（すなわち N チャネル M O S F E T ）N₀ などの第 1 のスイッチングトランジスタを介して第 1 の磁気トンネル接合 2 2 0 A に結合することができる。同様に、第 2 のワード選択線 4 0 0_{0 B} と第 2 の磁気トンネル接合 2 2 0 B とを、N チャネル M O S F E T N₁ などの第 2 のスイッチングトランジスタを介して結合することができる。

10

【 0 0 7 5 】

2 サイクルの負荷動作の第 1 のサイクル中、入力データ線 3 0 0 に電流パルスが印加されて、入力データ線 3 0 0 内に磁場を誘起し、第 1 のワード選択線 4 0 0_{0 A} が上述の態様で起動する。第 1 のワード選択線 4 0 0_{0 A} の起動により、入力データ線 3 0 0 上の電流パルスに関連する入力データビットを、M R A M ベースの C A M セル 2 8 0 の第 1 の磁気トンネル接合 2 2 0 A に書き込むことができるようになる。これにより、負荷動作の第 1 のサイクル中に、第 1 の磁気トンネル接合 2 2 0 A に入力データビットを書き込むことができるようになる。同様に、負荷動作の第 2 のサイクル中に、入力データ線 3 0 0 に電流パルスが印加される。この結果、上述のように、入力データ線 3 0 0 内に磁場が誘起される。ここで、第 2 のワード選択線 4 0 0_{0 B} が起動し、入力データ線 3 0 0 上の電流パルスに関連する入力データビットを、M R A M ベースの C A M セル 2 8 0 の第 2 の磁気トンネル接合 2 2 0 B に書き込むことができるようになる。これにより、負荷動作の第 2 のサイクル中に、第 2 の磁気トンネル接合 2 2 0 B に入力データビットを書き込むことができるようになる。

20

【 0 0 7 6 】

従来のプッシュプル構成で実現した形で示すように、ローカルブリアンプシステム 2 8 2 は、第 1 のペアのクロスカップリングした P チャネルの金属酸化物半導体電界効果トランジスタ（すなわち P チャネル M O S F E T ）P₀、P₁ 及び第 2 のペアのクロスカップリングした N チャネルの M O S F E T N₂、N₃ を含むことができる。第 1 のペアのクロスカップリングした P チャネルの M O S F E T P₀、P₁ と、第 2 のペアのクロスカップリングした N チャネルの M O S F E T N₂、N₃ との構成により、従来のラッチシステム 2 8 4 が形成される。P チャネルの M O S F E T P₀、P₁ の各々の、ソース電極及び / 又はドレイン電極などの導電電極の一方が、電源（図示せず）に結合されることにより、高（すなわち「1」の）論理状態に関連付けられた電位 V_{DD} が導電電極に印加されるようになる。M O S F E T P₀、P₁、N₂、N₃ のベース電極を、イネーブル信号 E N に結合されたベース電極を有する P チャネルの M O S F E T P₂ を介して結合された形でさらに示す。同様に、イネーブル信号 E N を、N チャネルの M O S F E T N₅ のベース電極に結合することができる。N チャネルの M O S F E T N₅ は、一致線 5 1 0 と別の N チャネルの M O S F E T N₄ との間に配置され、アースへのソース - ドレイン経路を提供する。

30

40

【 0 0 7 7 】

負荷サイクル中、M R A M ベースの C A M セル 2 8 0 の磁気トンネル接合 2 2 0 A、2 2 0 B は、一致線 5 1 0 から分離されることが好ましい。必要に応じて、M R A M ベースの C A M セル 2 8 0 が待機モードにある場合、及び / 又はワード選択線 4 0 0_{0 A}、4 0 0_{0 B} 各々が低（すなわち「0」の）論理状態を有する場合、同様に、磁気トンネル接合 2 2 0 A、2 2 0 B を一致線 5 1 0 から分離することができる。磁気トンネル接合 2 2 0 A、2 2 0 B と一致線 5 1 0 とは、任意の従来の態様で分離することができる。例えば、図 1 0 C に示すように、磁気トンネル接合 2 2 0 A、2 2 0 B は、N チャネルの M O S F E T N₅ を介して一致線 5 1 0 から分離される。イネーブル信号 E N において高論理状態を実現及び / 又は保持することにより、磁気トンネル接合 2 2 0 A、2 2 0 B を一致線 5

50

10 から分離するようにNチャネルのMOSFET_{N5}を構成することができる。

【0078】

2サイクルの負荷動作の後に検知動作を行うことができる。検知動作が開始されると、一致線510が高論理状態にプリチャージされ、イネーブル信号ENが高論理状態になる。各々上述したように、第1及び第2のワード選択線400_{0A}、400_{0B}が起動し、入力データビットが静電流のパルスとしてデータ入力線300に印加され、データ入力線300内に磁場を誘起する。この結果、PチャネルのMOSFET_{P0}、P₁及びNチャネルのMOSFET_{N2}、N₃により形成されたラッチシステム284が不安定になることにより、ローカルプリアンプシステム282が、磁気トンネル接合220A、220Bの差動磁気状態を検知できるようになる。これにより、磁気トンネル接合220Bが低い論理状態のデータビットBを記憶する場合、一致線510はプリチャージした論理状態にとどまるのに対して、記憶データビットBが高論理状態を有する場合、一致線510上の電位が低い論理状態へ降下する。

10

【0079】

選択された磁気トンネル接合220A、220Bの(図9B~図9Cに示す)記憶層224Aと(図9B~図9Cに示す)参照層224Bとが、(図9B~図9Cに示す)それぞれの磁気方向228A、228Bを反対方向に有する(すなわち「逆行」する)場合、磁気トンネル接合220A、220Bは、さらに詳細に上述した態様で(図4Bに示す)高いセル抵抗値R₂を有することができる。同様に、磁気トンネル接合220A、220Bの記憶層224Aと参照層224Bが、それぞれの磁気方向228A、228Bを同じ方向に有する(すなわち「平行」である)場合、磁気トンネル接合220A、220Bは(図4Bに示す)低いセル抵抗値R₁を有することができる。この結果、MRAMベースのCAMセル280の磁気トンネル接合220A、220B間の不一致が、ラッチシステム284のラッチ出力ノード286を高論理状態へ追いやることになる。

20

【0080】

従って、MRAMベースのCAMセル280の第1の磁気トンネル接合220Aと第2の磁気トンネル接合220Bとが一致しない場合、ラッチシステム284のラッチ出力ノード286が高論理状態になり、NチャネルのMOSFET_{N4}を作動可能にする。さらに、NチャネルのMOSFET_{N4}が、一致線510を低(すなわち「0」の)論理状態へ追いやる。同様に、MRAMベースのCAMセル280の磁気トンネル接合220A、220B間に一致が生じた場合、ラッチシステム284のラッチ出力ノード286は低論理状態になる。ラッチシステム284のラッチ出力ノード286は低論理状態を示し、NチャネルのMOSFET_{N4}作動不能にする。これにより、一致線510は低論理状態へ追いやられず、以前の論理状態を維持できるようになる。一致線510の論理状態がセンスアンプ500に与えられ、関連する出力一致線510を介して適当な出力信号を供給することができる。

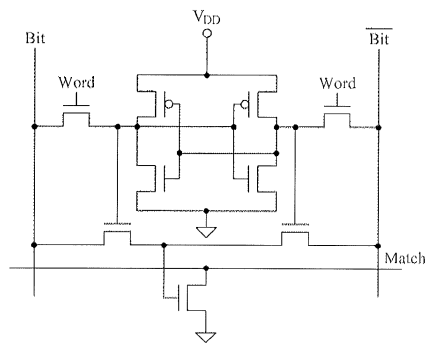
30

【0081】

本開示には様々な修正及び代替形態が可能であり、本開示の具体例を図面において例示として示し、本明細書において詳細に説明した。しかしながら、開示した特定の形態又は方法に本開示を限定すべきではなく、これとは逆に、本開示はすべての修正、同等物、及び代替例を対象範囲とするものであることを理解されたい。

40

【図 1】



(従来の技術)

【図 2】

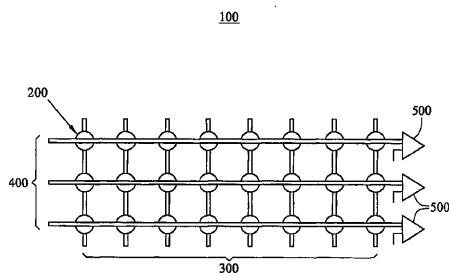


FIG. 2

【図 4 B】

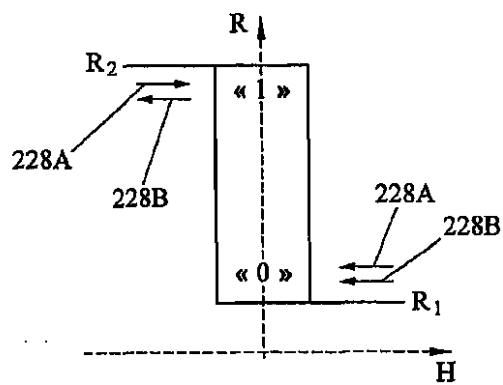


FIG. 4B

【図 3】

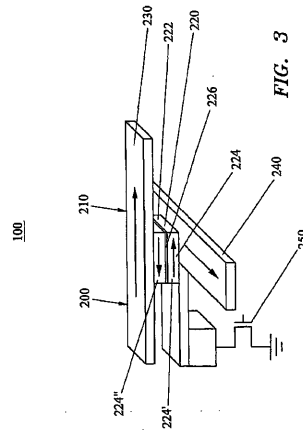


FIG. 3

【図 4 A】

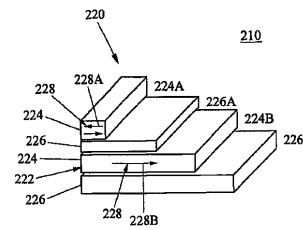


FIG. 4A

【図 5 A】

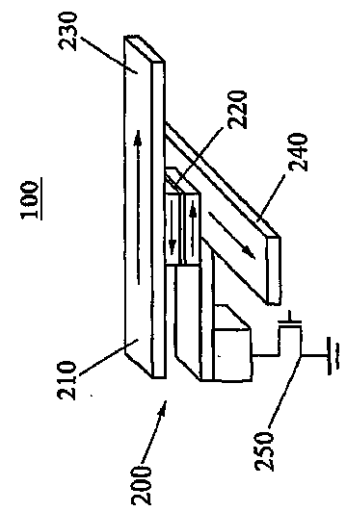


FIG. 5A

【図 5 B】

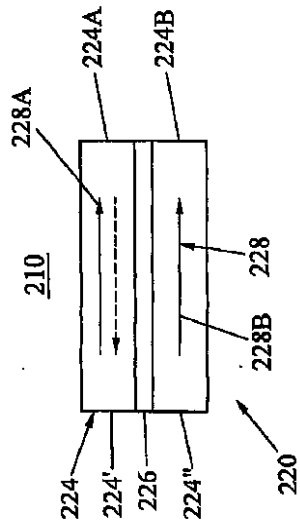


FIG. 5B

【図 6 A】

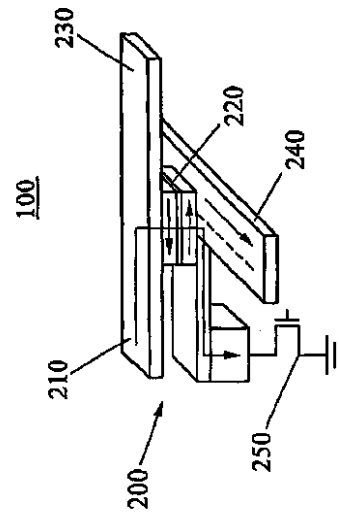


FIG. 6A

【図 6 B】

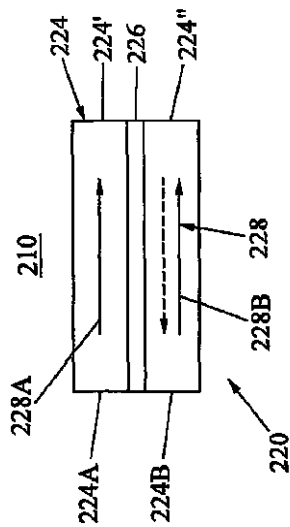
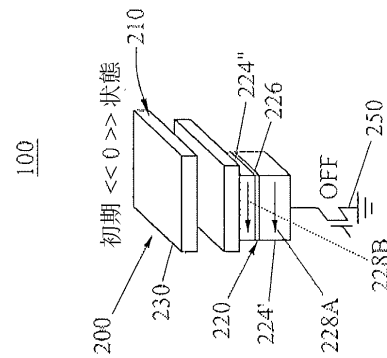


FIG. 6B

【図 7 A】



【図 7 B】

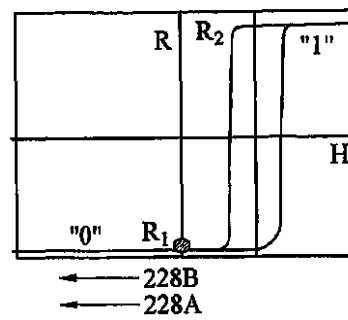
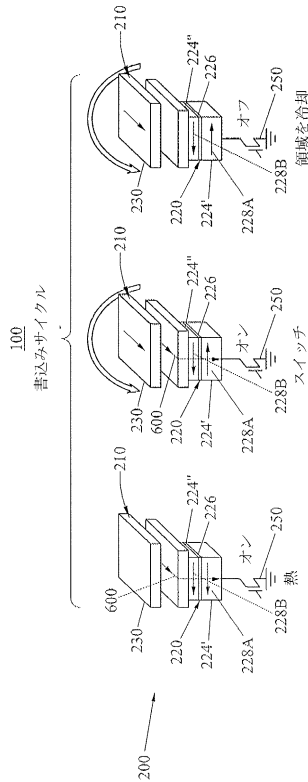


FIG. 7B

【図 7 C】



【図 7 D】

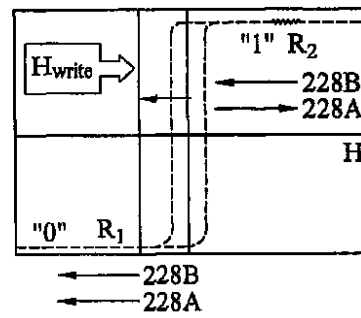
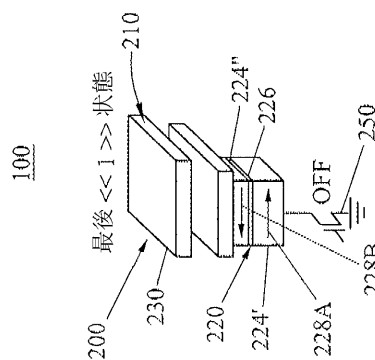


FIG. 7D

【図 7 E】



【図 7 F】

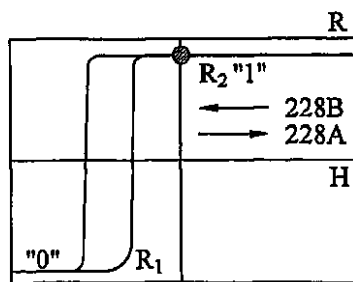


FIG. 7F

【図 8 A】

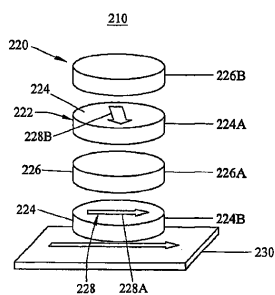


FIG. 8A

【図 8 B】

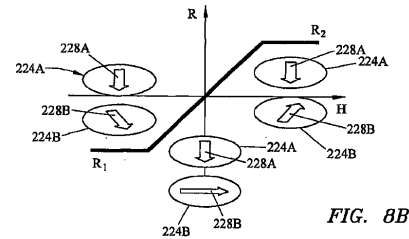


FIG. 8B

【図 9 A】

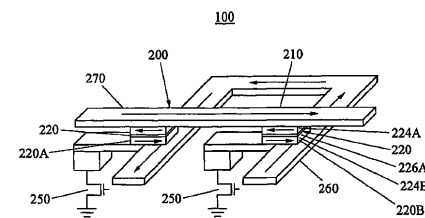
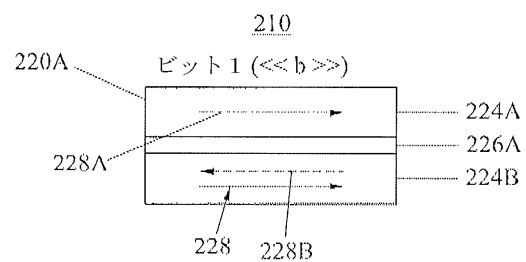
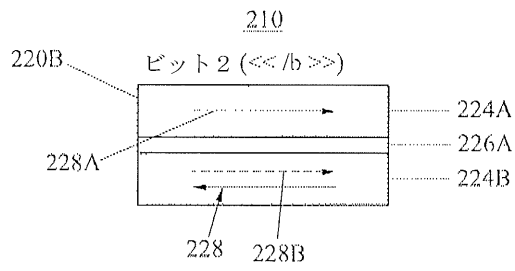


FIG. 9A

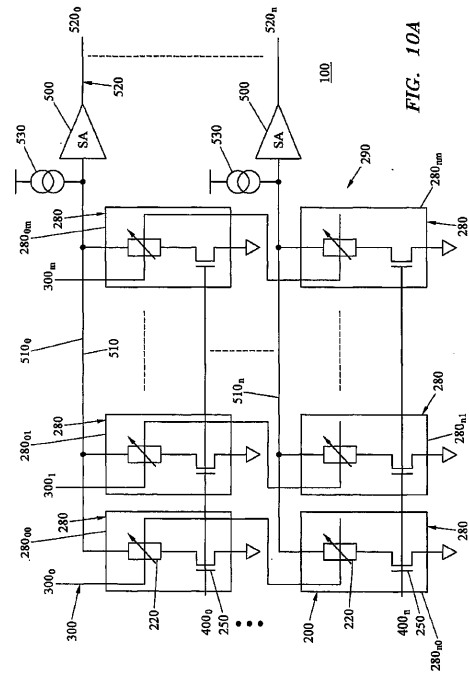
【図 9 B】



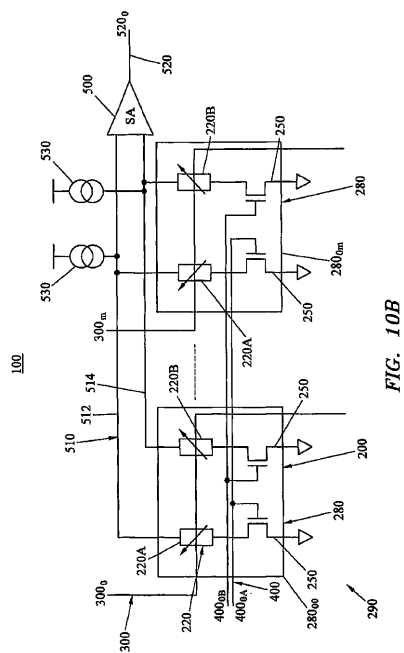
【図 9 C】



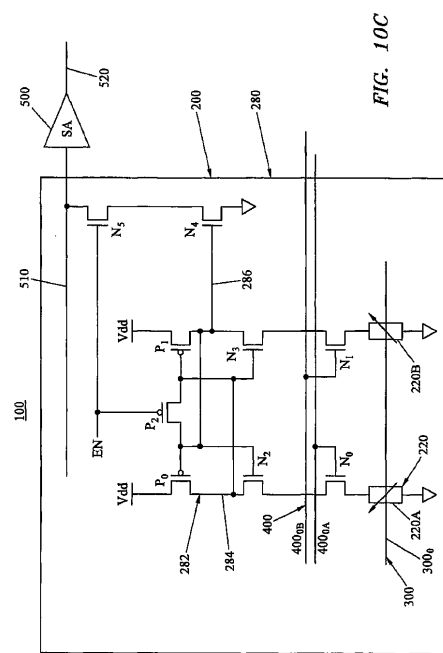
【図 10 A】



【図 10 B】



【図 10 C】



フロントページの続き

- (72)発明者 ノジエール・ジャン・ピエール
フランス共和国、38025 グルノーブル・セデクス・プラス・ロベール・シューマン、5
- (72)発明者 ジャヴェルリアック・ヴィルジール
フランス共和国、38100 グルノーブル、アレー・デ・ロマンティク

審査官 酒井 恭信

- (56)参考文献 特開2005-259206(JP, A)
米国特許出願公開第2005/0002228(US, A1)
特公昭44-023675(JP, B1)
米国特許第06191973(US, B1)
米国特許第06950335(US, B1)

- (58)調査した分野(Int.Cl., DB名)
G11C 15/04
G11C 11/15