[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/108
H01L 23/52 H01L 21/768
H01L 21/28

[12] 发明专利说明书

[21] ZL 专利号 96123443.1

[45] 授权公告日 2004 年 2 月 18 日

[11] 授权公告号 CN 1139129C

[22] 申请日 1996.11.14 [21] 申请号 96123443.1

[30] 优先权

[32] 1995.11.14 [33] JP [31] 295220/1995

[32] 1996. 2.20 [33] JP [31] 031655/1996

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 轰原广见 三浦英生 铃树正恭
西原晋治 池田修二 佐原政司
石田进一 阿部宏美 荻岛淳史
内山博之 阿部园子

审查员 樊晓东

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

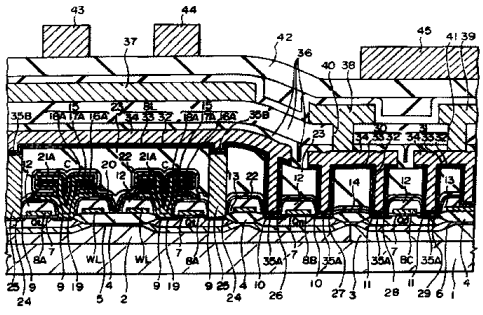
代理人 王以平

权利要求书 6 页 说明书 26 页 附图 40 页

[54] 发明名称 半导体集成电路器件及其制造方法

[57] 摘要

一种半导体器件，具有硅基片、电布线用金属、开在形成于硅基片上的绝缘膜上并用于硅基片和电布线用金属连接的多个接触孔、形成于该接触孔内部的硅化钛膜，其特征是，硅化钛膜的膜厚为 10nm－120nm，最好是 20nm－84nm，通过该硅化钛膜连接半导体区域和电布线用金属。



ISSN1008-4274

1. 一种半导体器件，包括：

硅衬底；

在所述硅衬底上形成的绝缘膜；

在所述绝缘膜上形成的电布线用金属；

在所述绝缘膜中设置的多个接触孔；以及

在所述接触孔内部形成于硅衬底或多晶硅上的电连接所述电布线用金属的硅化钛膜，

其中，所述硅化钛膜的膜厚为 10－120nm。

2. 如权利要求 1 的半导体器件，其特征是包括以下部分：

在存储单元选择用 MISFET（Qt）的上部通过绝缘膜形成的叠层电容器结构的存储单元（C）；

由通过绝缘膜形成在所述存储单元上部的 W 膜、TiN 膜和 Ti 膜构成的位线（BL）；

第 1 接触孔（24），用于连接形成所述存储单元选择用 MISFET 的源区或漏区的第 1 半导体区域和所述位线；

与所述第 1 半导体区域相同导电型的多晶硅塞（25），形成在所述第 1 接触孔内部；

与形成所述存储单元外围电路的 MISFET（Qp、Qn）的源区或漏区的第 2 半导体区域作电连接的布线层（30、31），该布线层由 W 膜、TiN 膜和 Ti 膜形成；做成与所述位线在同一层，由把所述布线层形成于内部的第 2 接触孔（26、27、28、29），连接所述第 2 半导体区域和所述布线层；

在所述第 1 接触孔内部，具有形成于所述多晶硅塞和所述位线之间小于 120nm 膜厚的第 1 硅化钛膜（35B）；以及

在所述第 2 接触孔内部，具有形成于所述第 2 半导体区域和所述布线层之间大于 10nm 膜厚的第 2 硅化钛膜（35A）。

3. 如权利要求 2 的半导体器件，其特征是所述第 1 接触孔孔径

小于 0.4μm，所述第 1 硅化钛膜的膜厚小于 84nm。

4. 如权利要求 2 的半导体器件，其特征是所述第 1 接触孔孔径小于 0.3μm，所述第 1 硅化钛膜的膜厚小于 72nm。

5. 如权利要求 2 的半导体器件，其特征是所述第 2 硅化钛膜的膜厚大于 20nm。

6. 如权利要求 1 的半导体器件，其特征是包括以下部分:

在存储单元选择用 MISFET（Qt）的上部通过绝缘膜形成的叠层电容器结构的存储单元（C）;

由通过绝缘膜形成在所述存储单元上部的 W 膜、TiN 膜和 Ti 膜构成的位线（BL）;

第 1 接触孔（24），用于连接形成所述存储单元选择用 MISFET 的源区或漏区的第 1 半导体区域和所述位线;

与所述第 1 半导体区域相同导电型的多晶硅塞（25），形成在所述第 1 接触孔内部;

与形成所述存储单元外围电路的 MISFET（Qp、Qn）的源区或漏区的第 2 半导体区域作电连接的布线层（30、31），该布线层由 W 膜、TiN 膜和 Ti 膜形成；做成与所述位线在同一层，由把所述布线层形成于内部的第 2 接触孔（26、27、28、29），连接所述第 2 半导体区域和所述布线层;

在所述第 1 接触孔内部，形成于所述多晶硅塞和所述位线之间的第 1 硅化钛膜（35B）；以及

在所述第 2 接触孔内部，形成于所述第 2 半导体区域和所述布线层之间的第 2 硅化钛膜（35A）。

7. 如权利要求 6 的半导体器件，其特征是所述第 1 半导体区域包括 n 型半导体。

8. 如权利要求 7 的半导体器件，其特征是所述第 2 半导体区域包括 P 型半导体。

9. 如权利要求 1 的半导体器件，其特征是，所述硅化钛膜膜厚为 10nm－120nm，经所述硅化钛膜在所述接触孔内部连接所述硅衬底

和所述电布线用金属。

10. 如权利要求 9 的半导体器件，其特征是所述硅化钛膜膜厚为 20nm – 84nm。

11. 如权利要求 9 的半导体器件，其特征是所述电布线用金属在与所述硅化钛膜连接的面上含有钛。

12. 如权利要求 1 的半导体器件，其特征是，经所述硅化钛膜在所述接触孔内部连接所述硅衬底和所述电布线用金属，所述硅衬底和所述绝缘膜的界面、所述硅衬底和所述硅化钛膜的界面距离为 18nm – 78nm。

13. 如权利要求 12 的半导体器件，其特征是所述电布线用金属在与所述硅化钛膜连接的面上含有钛。

14. 如权利要求 1 的半导体器件，其特征是，经所述硅化钛膜在所述接触孔内部连接所述硅衬底和所述电布线用金属，所述硅衬底和所述绝缘膜的界面、所述硅衬底和所述硅化钛膜的界面的界面距离为 9nm – 110nm。

15. 如权利要求 14 的半导体器件，其特征是，所述电布线用金属在与所述硅化钛膜连接的面上包括钛。

16. 如权利要求 1 的半导体器件，包括在所述多个接触孔的至少 1 个接触孔的内部填入的多晶硅、以及在所述多晶硅表面上形成的硅化钛膜；

其特征是，所述硅化钛膜膜厚为 10nm – 120nm，经所述硅化钛膜在所述接触孔的内部连接所述多晶硅和所述电布线用金属。

17. 如权利要求 16 的半导体器件，其特征是，所述硅化钛膜厚为 20nm – 84nm。

18. 如权利要求 16 的半导体器件，其特征是所述电布线用金属在与所述硅化钛膜连接的面上含有钛。

19. 如权利要求 1 的半导体器件，包括单晶硅衬底、在所述单晶硅衬底上形成的 MOS 结构的栅电极、在形成所述单晶硅衬底的所述栅电极之面上形成的绝缘膜、该绝缘膜含有用于连接所述栅电极和所

述电布线金属的至少 1 个接触孔、以及形成于所述接触孔内部的硅化钛膜;

其特征是，所述硅化钛膜膜厚为 10nm – 120nm，通过所述硅化钛膜在所述接触孔内部连接所述栅电极和所述电布线用金属。

20. 如权利要求 19 的半导体器件，其特征是所述硅化钛膜厚度为 20nm – 84nm。

21. 如权利要求 19 的半导体器件，其特征是所述电布线用金属在与所述硅化钛膜连接的面上含有钛。

22. 如权利要求 1 的半导体器件，其特征是所述接触孔的孔径在 0.4μm 以下，所述硅化钛膜的膜厚为 10 – 75nm。

23. 一种半导体器件的制造方法，包括:

在硅衬底上形成绝缘膜;

在所述绝缘膜中形成多个接触孔;

通过钛的硅化反应在所述接触孔内部形成 10 – 120nm 的硅化钛膜。

24. 如权利要求 23 的半导体器件的制造方法，其特征是包括以下步骤:

在半导体衬底上形成存储单元的存储单元选择用 MISFET（Qt）和外围电路的 MISFET（Qp、Qn）之后，在所述存储单元选择用 MISFET 上部通过绝缘膜形成信息存储用电容器元件;

在覆盖所述存储单元的绝缘膜上设置位线用接触孔，在所述位线用接触孔内部填埋入与形成所述存储单元选择用 MISFET 的源区和漏区的半导体区域同样导电型多晶硅塞（25）之后，于覆盖所述外围电路的 MISFET 的绝缘膜中设置接触孔;

在所述绝缘膜上淀积 Ti 膜及 TiN 膜;

通过退火处理，在所述位线用接触孔内部的所述多晶硅塞的表面，形成膜厚小于 120nm 的第 1 硅化钛层（35B），同时，在所述外围电路接触孔底部露出的所述 MISFET 的半导体区域表面形成膜厚大于 10nm 的第 2 硅化钛层（35A）；以及

在所述 TiN 膜上堆积 W 膜之后，使所述 W 膜及其下层的所述 TiN 膜以及所述 Ti 膜构成图形，借此，同时形成由积层膜构成的位线及所述外围电路的布线，积层膜由 W 膜、TiN 膜和 Ti 膜组成。

25. 如权利要求 24 的半导体器件的制造方法，其特征是形成所述硅化钛层的步骤包括形成大于 20nm 厚度的所述第 2 硅化钛层。

26. 如权利要求 24 的半导体器件的制造方法，其特征是淀积所述 Ti 膜及 TiN 膜的步骤包括在惰性气体环境中连续淀积所述 Ti 膜及 TiN 膜。

27. 如权利要求 24 的半导体器件的制造方法，其特征是淀积所述 Ti 膜及 TiN 膜的步骤包括用平行光管溅射法或低压和长距离溅射法淀积所述 Ti 膜。

28. 如权利要求 23 的半导体器件的制造方法，针对下述构成的半导体集成电路器件：

在半导体衬底的主表面上具有相对标高高的第 1 区域和相对标高低的第 2 区域，在连接所述第 1 区域的用于形成存储单元选择用 MISFET（Qt）的源区或漏区的第 1 半导体区域和第 1 布线的第 1 接触孔（24）内部，形成与所述第 1 区域的第 1 半导体区域同样导电型的多晶硅塞（25），同时，由同一布线层的 W 膜、TiN 膜和 Ti 膜构成通过第 2 接触孔（26、27、28、29）与所述第 2 区域的用于形成存储单元外围电路的 MISFET（Qp、Qn）的源区或漏区的第 2 半导体区域连接的第 2 布线和所述第 1 布线，

其特征在于包括如下步骤：

在覆盖所述第 1 区域的绝缘膜中设置所述第 1 接触孔，在所述第 1 接触孔的内部填入与所述第 1 区域的第 1 半导体区域同样导电型的多晶硅塞；

在覆盖所述第 2 区域的绝缘膜中设置所述第 2 接触孔；

在所述绝缘膜上淀积 Ti 膜及 TiN 膜之后，通过退火处理，在所述第 1 接触孔内部的所述多晶硅塞的表面形成膜厚小于 120nm 的第 1 硅化钛层（35B），同时，在所述第 2 接触孔底面上露出的所述第 2

半导体区域表面上形成膜厚为 10nm 以上的第 2 硅化钛层（35A）；以及，

在所述 TiN 膜上堆积 W 膜之后，通过使所述 W 膜及其下层的所述 TiN 膜及所述 Ti 膜构成图形，同时形成用由 W 膜、TiN 膜和 Ti 膜组成的积层膜构成的第 1 布线及第 2 布线。

29. 如权利要求 23 的半导体器件的制造方法，其特征是包括以下步骤：

在所述接触孔内部淀积钛膜，使与所述硅衬底连接；以及，

通过热处理使所述钛膜和硅起反应，使膜厚为 4nm – 48nm 的所述钛膜发生硅化反应。

30. 如权利要求 29 的半导体器件的制造方法，其特征是所述硅化反应的步骤包括使厚度为 8nm – 34nm 所述钛膜发生硅化反应。

31. 如权利要求 23 的半导体器件的制造方法，其特征是包括以下步骤：

在所述接触孔内部填入多晶硅；

在所述接触孔内部淀积钛膜，使与所述多晶硅连接；以及，

经热处理使所述钛膜和所述多晶硅反应，使膜厚为 4nm – 48nm 的所述钛膜发生硅化反应。

32. 如权利要求 31 的制造方法，其特征是所述硅化反应的步骤包括使膜厚为 8nm – 34nm 的所述钛膜发生硅化反应。

33. 如权利要求 23 的半导体器件的制造方法，其特征是包括以下步骤：

在所述接触孔内部淀积 4nm – 48nm 膜厚的钛，使与所述硅衬底连接；以及，

经热处理使所述钛膜和硅起反应，使所述钛膜的至少一部分发生硅化反应。

34. 如权利要求 33 的半导体器件的制造方法，其特征是淀积所述钛的步骤包括淀积膜厚为 8nm – 34nm 的所述钛。

半导体集成电路器件及其制造方法

本发明涉及半导体集成电路器件及其制造技术；尤其是有关通过硅化钛层连接半导体区域和电布线金属的技术，该技术有效地应用于具有ＤＲＡＭ（动态随机存取存储器）的半导体集成电路器件中，所述ＤＲＡＭ备有在存储单元选择用ＭＩＳＦＥＴ上部配置信息存储用电容器元件的叠层电容器构造的存储单元。

近年来对于大容量ＤＲＡＭ，为了补偿因存储单元的微小化而使信息存储用电容器元件的蓄电量（Ｃｓ）的减小，采取了在存储单元选择用ＭＩＳＦＥＴ上配置信息存储用电容器元件的叠层电容器结构。

叠层电容器结构的信息存储用电容器元件是依次把电荷收集极（下部电极）、电介质膜、极板电极（上部电极）层叠形成。信息存储用电容器元件的电荷收集极由掺有ｎ型杂质（磷）的多晶硅构成，被连至用ｎ沟型构成的存储单元选择用ＭＩＳＦＥＴ的半导体区域（源、漏区域）中的一个。极板电极构成为多个存储单元公共电极，提供一定的固定电位。

在存储单元上部配置进行数据的写入、读出的位线。位线通过在覆盖存储单元的绝缘膜上所开的连接孔，被连至存储单元选择用ＭＩＳＦＥＴ半导体区域（源、漏区域）的另一个。为了使数据写入、读出高速化而用低阻金属制成位线。

备有上述叠层电容器结构存储单元的ＤＲＡＭ的存储器阵列的标高（距基片表面高度）比起外围电路的基片来大致仅为相当于蓄电用电容器元件的高度。因此，一旦存储单元进一步微小化，则连接存储单元选择用ＭＩＳＦＥＴ的半导体区域和位线的连接孔纵横比变得非常之大，所以难以在连接孔内部充分堆积位线用金属材料。

在ＪＰ－Ａ－７－１４２６０４（相应的美国专利申请号为０８/３４１９６６，申请日为１９９４，１１，１６）中记载的ＤＲＡＭ，作为相

应于上述的举措，采用在连接孔内部埋入与存储单元选择用ＭＩＳＦＥＴ半导体区域同样导电型的（ｎ型）多晶硅膜的多晶硅塞技术。该项技术是，给覆盖存储单元的绝缘膜打孔，所形成的连接孔达到存储单元选择用ＭＩＳＦＥＴ半导体区域之后，应用工序有效区域（step coverage）良好的ＣＶＤ法充分埋入多晶硅膜于连接孔内部，其后用蚀刻除去（反向腐蚀 etch back）留在绝缘膜上多余的多晶硅膜。

使用（ｎ型的）多晶硅膜作为埋入连接孔内部的塞材料，不仅作为确保位线导通措施是有效的，而且对于缩小存储单元尺寸也是有效的。即，在缩小存储单元尺寸的ＤＲＡＭ中，因位线的连接孔径变得极微小，所以一旦用把光刻胶作为掩模的蚀刻开出该连接孔，在存储单元选择用ＭＩＳＦＥＴ的半导体区域和连接孔之间掩模对不准情况下，则其后埋入连接孔内的塞材料和半导体区域的接触面积变小，接触电阻变大，但使用与半导体区域一样的导电型（ｎ型）的多晶硅膜作为塞材料的情况是由于因通过多晶硅膜中（ｎ型）杂质扩散在基片上而降低接触电阻，能使半导体区域与接触孔的掩膜对准余量缩小的缘故。

并且，上述公报所记载的ＤＲＡＭ的位线由钨（Ｗ）膜构成，同时用与该位线同层的Ｗ膜构成连至组成外围电路的互补ＭＩＳＦＥＴ（ＣＭＯＳＦＥＴ）的半导体区域（源、漏区域）的第１层布线。

用与铝（Ａｌ）相比抗电迁移性高的Ｗ构成位线及外围电路第１层布线，成为确保微小化了的ＤＲＡＭ布线寿命的有效措施。为了用同层Ｗ膜构成位线和外围电路第１层的布线，在位线用连接孔内部埋入多晶硅塞的前述技术是不可缺少的。其原因是，在位线用连接孔内设有埋入塞材料时，纵横比非常大（位线用的）的连接孔和纵横比小的（外围电路的）连接孔中必须同时埋进塞材料，所以处理负担大。然而该例未对硅化钛层的形成作任何描述。

本发明人在备有叠层电容器结构存储单元的ＤＲＡＭ中就有关用同层Ｗ膜同时形成位线和外围电路第１层布线时产生的问题进行了研究，其内容概要如下。

一般已了解到Ｗ膜对氧化硅膜等的绝缘膜的结合力差。并且在布线和

基片接触处，构成布线的金属材料和构成基片的硅发生反应，形成硅化物层，但W膜和硅基片反应产生的硅化物（硅化钨）层使基片的应力增大。从而，在用W膜构成外围电路第1层布线的情况下，对绝缘膜的粘结性提高，而且在与硅基片反应时，必须把如形成应力小的硅化物层的金属膜设置在W膜的下层。

钛（Ti）对绝缘膜的粘结性良好，而且与硅基片反应时形成的硅化钛层（$Tisi_X$，$X \leqslant 2$）因对基片的应力影响小，所以作为设置在W膜下层的金属膜是最佳材料。并且，在构成外围电路的MISFET 的半导体区域（源、漏区域）和第1层布线的界面上形成硅化钛层作为降低布线接触电阻的措施也是有效的。

然而，另一方面，问题是与作为用CVD法堆积W膜时的源气的WF_6反应在膜表面形成了所不希望的反应层。因此，在Ti膜上堆积W膜情况下，有必要在Ti膜和W膜中间设置对这些膜的粘结性良好，并且不与WF_6反应的阻挡层。作为像这样的阻挡层最好是TiN（氮化钛）。

为用上述的W膜、TiN膜和Ti膜的叠层膜同时形成位线和外围电路第1层的布线，首先在覆盖存储单元的绝缘膜上开了孔的位线用连接孔内部埋入多晶硅塞之后，在覆盖外围电路MISFET的绝缘膜上开连接孔。接着，在绝缘膜上用溅射法连接堆积Ti膜和TiN膜之后，在氮气气氛中给基片退火，使Ti膜和硅（基片）反应，在两者界面上形成硅化钛层。其后，用 CVD法堆积W膜于TiN膜上面，用把光刻胶作为掩模的蚀刻使W膜及其下层TiN膜及Ti膜构图，形成位线及外围电路第1层布线，这就是所设想的工艺。

但是本发明人进一步研究上述工艺，发现以下问题。

如前所述，在用W膜、TiN膜和Ti膜的叠层膜同时形成位线和外围电路的第1层布线处理中，在TiN膜和Ti膜的堆积前，事先在位线用连接孔内埋进多晶硅塞。为此，使基片退火，在Ti膜和硅基片界面上形成硅化钛层时，在位线用连接孔内部，在多晶硅塞和Ti膜的界面上形成硅化钛层。

然而，一旦在多晶硅塞上形成硅化钛层，则在两者界面产生剥离，往

往发生位线导通不良现象。查其原因可得出以下结论，剥离产生的频度与在多晶硅塞上形成的硅化钛层的膜厚之间存在相关关系。

图２５是表示研究硅化钛层膜厚和界面剥离关系之结果的图表。如图所示，一旦硅化钛层的膜厚成为某值以上则发生剥离。并且，连接孔径越小，膜厚较薄时就要产生剥离。查其剥离发生原因，认为：一旦硅化钛层的膜厚加厚，则在多晶硅塞和硅化钛层的界面上施加硅化钛层形成时的体积收缩产生的应力和ＴｉＮ膜结晶产生的应力增大。

然而另一方面，在Ｔｉ膜和硅基片的界面上形成硅化钛层情况下，当没有确保硅化钛层的膜厚大于某种程度时，会加大接触电阻。尤其是，在Ｐ沟道型ＭＩＳＦＥＴ的源漏区域（Ｐ型半导体区域）的表面形成硅化钛层情况下可判定，如图２６所示，当硅化钛层的膜厚变薄，则接触电阻显著增加。

作为使硅基片表面和金属布线电连接的接触部分的电阻降低的传统技术，例如在特开平０７－７８８２１号公报（以下称公知例）中记载了在硅基片上和叠层金属布线之间形成硅化钛膜的技术。

但是，硅化钛膜的厚度越大，接触孔的孔径越小越易于剥离，这影响了半导体器件的高集成化、微小化。

为了通过在硅和金属界面上形成硅化物膜得到低的接触电阻，需要某种程度形成的硅化钛（尤其是$TiSi_2$：二硅化物）膜厚。然而，硅化钛是通过对堆积钛膜的硅作热处理形成的，所以因膜体积改变而在膜内部产生应力。

并且，通过该膜内部应力加大了硅化钛膜和硅的界面附近的界面上产生的应力。对在该界面上发生的平均应力，进行实验和分析，证明接触孔的孔径越小、硅化钛层的膜厚越大是硅化钛膜剥离的原因。

像这样，在位线用的连接孔中埋入多晶硅塞，并在Ｗ膜、ＴｉＮ膜和Ｔｉ膜的叠层膜中同时形成位线和外围电路的第１层布线情况下，要同时实现确保位线的导通可靠性和降低连接在外围电路的ＭＩＳＦＥＴ的源、漏区域的布线接触电阻是困难的。

本发明的目的在于提供一种半导体器件及其制造方法，在接触孔的硅

和硅化钛膜的连接界面中不发生硅化钛膜的剥离。

本发明的另一个目的是提供一种技术，备有叠层电容器结构的存储单元，在W膜、TiN膜和Ti膜的叠层膜中形成位线和外围电路的第1层布线的DRAM中，可实现确保连接至存储单元的存储单元选择用MISFET的位线的导通可靠性，和降低连至外围电路MISFET的布线接触电阻。

为实现上述目的，在绝缘膜上设置的接触孔内通过硅化钛膜连接硅和电布线用金属的半导体器件中，把所述硅化钛膜的膜厚做成10－120nm，最好是20－84nm。

在像这样的半导体器件的硅基片上设置绝缘膜，在该绝缘膜上开接触孔，在该接触孔内部堆积钛膜，使与所述硅基片连接，然后对所述钛膜和所述硅作热处理，使所述钛膜的膜厚4－48nm，最好8－34nm，反应成硅化物。

其中，所谓钛膜还包括含有钛以外成分的金属膜。

作为本发明一实施例的半导体集成电路器件，备有在存储单元选择用MISFET上部配置信息存储用电容器元件的叠层电容器结构的存储单元，在连接所述存储单元选择用MISFET半导体区域和位线的连接孔内形成与所述半导体区域同一导电型多晶硅塞。同时，在具有用3层构造的同一布线层W膜、TiN膜和Ti膜构成连至外围电路MISFET的半导体区域的布线和所述位线的DRAM之半导体集成电路器件中，在所述连接孔内部多晶硅塞表面及所述外围电路MISFET的半导体区域表面形成硅化钛膜。

具体来说，使在所述连接孔内的多晶硅塞表面形成的硅化钛膜厚小于120nm，在所述外围电路MISFET半导体区域表面形成的硅化钛膜厚大于10nm，理想的是大于20nm。并且在本发明所述的膜厚和孔径数值不是精确值，若考虑到工业上的加工误差、最大包括±10%的误差。

根据本发明的半导体集成电路器件的制造方法，当制造备有在存储单元选择用MISFET上部设置信息存储用电容器元件的叠层电容器结构

的存储单元的ＤＲＡＭ情况下，其步骤如下：

（ａ）在半导体基片上形成存储单元的存储单元选择用ＭＩＳＦＥＴ和外围电路的ＭＩＳＦＥＴ，然后在所述的存储单元选择用ＭＩＳＦＥＴ上部形成信息存储用电容器元件；

（ｂ）在覆盖所述存储单元的绝缘膜上开位线用连接孔，在所述位线用连接孔内填入与所述存储单元选择用ＭＩＳＦＥＴ半导体区域相同的导电型多晶硅塞之后，在覆盖所述外围电路ＭＩＳＦＥＴ的绝缘膜上开连接孔；

（ｃ）在所述绝缘膜上堆积Ｔｉ膜及ＴｉＮ膜之后，通过使所述半导体基片退火，在所述位线用连接孔内的多晶硅塞表面形成膜厚小于１２０ｎｍ的硅化钛，同时，在露出所述外围电路连接孔底部的所述ＭＩＳＦＥＴ半导体区域表面形成膜厚大于１０ｎｍ、最好大于２０ｎｍ的硅化钛层；

（ｄ）在所述ＴｉＮ膜上堆积Ｗ膜之后，通过使所述Ｗ膜和其下层的所述ＴｉＮ膜及所述Ｔｉ膜构图，同时形成用由Ｗ膜、ＴｉＮ膜和Ｔｉ膜组成的叠层膜构成的位线及外围电路第１层布线。

根据本发明，在设置于绝缘膜上的接触孔内通过硅化钛膜连接硅和电布线用金属的半导体器件中，将所述硅化钛膜厚取为１０－１２０ｎｍ，理想的是２０－８４ｎｍ，可降低硅和金属布线的接触电阻，而勿须担心硅和硅化钛界面上发生断线，可形成良好的接触。

根据本发明，备有叠层电容器结构的存储单元，在连接所述存储单元选择用ＭＩＳＦＥＴ的半导体区域和位线的连接孔内形成与所述半导体区域同一导电型多晶硅塞，同时，在用相同布线层Ｗ膜、ＴｉＮ膜和Ｔｉ膜构成连接至外围电路ＭＩＳＦＥＴ的半导体区域的第１层布线和所述位线的ＤＲＡＭ中，可同时实现确保位线导通可靠性和降低连至外围电路ＭＩＳＦＥＴ的源漏区域的布线接触电阻。

图１是本发明一实施例的ＤＲＡＭ的局部剖面图；

图２是用于说明图１的ＤＲＡＭ制造方法初始制造工序的图；

图3－24是分别用于说明图2－23的下一个制造工序的图；

图25表示硅化钛层膜厚和在多晶硅塞界面上的剥离之间关系的图表；

图26表示在P型半导体区域的表面形成的硅化钛层膜厚与接触电阻关系的图表；

图27表示作为本发明一实施例的半导体器件的接触构造的图；

图28A－28D表示图27的半导体器件制造工序；

图29表示伴随硅化物反应产生的硅化钛/硅界面的位置；

图30表示与硅化物反应相关的膜内应力图表；

图31表示在硅膜和硅化钛膜界面上发生的平均应力和钛膜厚及接触孔径之间关系的图表；

图32表示接触孔径为0.4μm时的断线故障率（硅化钛膜剥离）和硅化钛膜厚之间关系的图表；

图33、35、37、39、41分别表示作为本发明其它实施例的半导体器件的接触结构图；

图34A－34D、36A－36D、38A－38D、40A－40D、42A－42D分别表示图33、35、37、39、41的半导体器件制造的工序；

图43A－43D表示本发明形成的半导体器件制造工序其它实施例之图。

下面根据附图详细说明本发明的实施例。此外，用于说明实施例的所有附图中，具有相同功能的部分标以相同符号，在说明中重复的部分从略。

图1是表示作为本发明一个实施例的DRAM的存储器阵列、外围电路各一部分的剖面图。有关制造方法在后叙述。

在由P^-型单晶硅组成的半导体基片1的主表面上，在存储器阵列及外围电路形成公共P型阱2和外围电路的n型阱3。在P型阱2、n型阱3的各主表面上形成元件分离用场氧化膜4，在包括该场氧化膜4下部的P型阱2内形成P型沟道停止层5，并且在n型阱3内形成n型沟道停止

层6。

在存储器阵列的P型阱2的激活区域形成DRAM的存储单元（多个），各存储单元用由n沟道型构成的1个存储单元选择用MISFETQt和在其上部配置的1个信息存储用电容器元件C组成。即，存储单元由在存储单元选择用MISFETQt的上部配置信息存储用电容器元件C的叠层电容器结构形成。

存储单元的存储单元选择用MISFETQt由栅氧化膜7、栅电极8A及一对n型半导体区域9、9（源、漏区域）构成。栅电极8A由第1层多晶硅膜组成，与字线WL形成整体。构成栅电极8A和字线WL的该多晶硅膜上，为降低其电阻值而掺有n型杂质（例如磷）。

在外围电路区域的P型阱2的有源区域形成n沟道型MISFETQn，在n型阱3的有源区域形成P沟道MISFETQp。即，该DRAM的外围电路由使n沟道型MISFETQn和P沟道型MISFETQp组合的CMOS电路构成。n沟道型MISFETQn由栅氧化膜7、栅电极8B及一对n型半导体区域10、10（源、漏区域）构成，P沟道型MISFETQp由栅氧化膜7、栅电极8C及一对P型半导体区域11、11（源、漏区域）构成。n沟道型MISFETQn的栅电极8B及P沟道型MISFETQp的栅电极8C由与存储单元选择用MISFETQt的栅电极8A（及字线 WL）相同的第一层多晶硅膜组成。

在存储单元选择用MISFETQt的栅电极8A、n沟道型MISFETQn的栅电极8B、P沟道型MISFETQp的栅电极8C的各上部形成氧化硅膜12，在侧壁形成氧化硅的侧壁衬垫13。在氧化硅膜12及侧壁衬垫13上部形成氧化硅膜14。

在覆盖存储单元选择用MISFETQt的氧化硅膜14上部构成信息存储用电容器元件C。信息存储用电容器元件C由电荷收集极15、电价质膜20及极板电极21A组成。

信息存储用电容器元件C的电荷收集极15由3层叶片16A、17A、18A构成，由第2、3、4层多晶硅膜分别构成第1（下层）、2（中间层）、3层（上层）叶片16A、17A、18A。电荷收集极1

5通过在氧化硅膜12及栅氧化膜7上开的连接孔19，连至存储单元选择用MISFETQt的一个n型半导体区域9。由于在图1，栅氧化膜7、氧化硅膜12以及侧壁衬垫13都是用SiO_2作成，所以在图中未展示分界线。

电荷收集极15上部形成的电介质膜20由氮化硅膜构成，在该电介质膜20上部形成的极板电极21A由第5层多晶硅膜作成。

在存储单元的信息存储用电容器元件C及外围电路n沟道型MISFETQn、P沟道型MISFETQp的各上部形成氧化硅膜22及BPSG（掺硼磷硅玻璃）膜23。

在存储单元选择用MISFETQt的另一个n型半导体区域9，通过在BPSG膜23、氧化硅膜22、14及栅氧化膜7上所开出的连接孔24连接位线BL。把多晶硅塞25填入该连接孔24内。位线BL经该多晶硅塞25与n型半导体区域9连接。

通过开在BPSG膜23、氧化硅膜22、14及栅氧化膜7上的连接孔26使位线BL与外围电路n沟道型MISFETQn的一个n型半导体区域10连接。并且通过开在BPSG膜23、氧化硅膜22、14及栅氧化膜7上的连接孔27使第1层布线30与n沟道型MISFETQn的另一个n型半导体区域10连接。

在外围电路的P沟道型MISFETQp的一个P型半导体区域11上，通过开在BPSG膜23、氧化硅膜22、14及栅氧化膜7的连接孔28连接第1层布线30。并且，在P沟道型MISFETQp的另一个P型半导体区域11上，通过开在BPSG膜23、氧化硅膜22、14及栅氧化膜7上的连接孔29连接第一层布线31。

位线BL和第1层布线30、31由从下层依次层叠Ti膜32、TiN膜33、W膜34的叠层结构形成，配置在相同的布线层上。在连接存储单元选择用MISFETQt的n型半导体区域9和位线BL的连接孔24内形成的多晶硅塞25之表面，设置通过与构成位线BL一部分的Ti膜32和多晶硅的反应形成的硅化钛层35B。而且，在与外围电路的n沟道型MISFETQn的n型半导体区域10与第1层布线30的

连接孔２７的底部上，设置通过与构成布线３０一部分的Ｔｉ膜３２和硅基片（ｎ型半导体区域１０）反应形成的硅化钛层３５Ａ。同样，在连接Ｐ沟道型ＭＩＳＦＥＴＱｐ的Ｐ型半导体区域１１和第１层布线３１的连接孔２８、２９之底部，设置通过与构成布线３１一部分的Ｔｉ膜３２和硅基片（Ｐ型半导体区域１１）反应形成的硅化钛层３５Ａ。

这里，为防止多晶硅塞２５与硅化钛层３５Ｂ界面剥离，要使在多晶硅塞２５表面形成的硅化钛层３５Ｂ的膜厚小于１２０ｎｍ。与此相反，为降低布线３１和Ｐ型半导体区域１１的接触电阻，要使在Ｐ沟道型ＭＩＳＦＥＴＱｐ的Ｐ型半导体区域１１表面形成的硅化钛层３５Ａ的膜厚大于１０ｎｍ。

在位线ＢＬ及第１层布线３０、３１之上层，形成第１层的层间绝缘膜３６。该层间绝缘膜３６，如由氧化硅膜、旋涂玻璃（Ｓｐｉｎ Ｏｎ Ｇｌａｓｓ）膜、氧化硅膜叠层了的３层绝缘膜构成。

在第１层的层间绝缘膜３６上形成第２层布线３７、３８、３９。虽然对第２层布线３７、３８、３９的材料不作特别限定，但要用比如在添加硅和铜（Ｃｕ）的Ａｌ合金单层膜或Ａｌ合金上下叠层ＴｉＮ等的金属阻挡层的叠层膜构成。存储器阵列上部配置的布线３７构成如分路用字线。外围电路上部配置了的布线３８、３９中之一（布线３８）通过设在层间绝缘膜３６上的连接孔４０连接到第１层布线３０，另一条通过设在层间绝缘膜３６上的连接孔４１连接到第１层布线３１。

在第２层布线３７、３８、３９上层形成第２层的层间绝缘膜４２。该层间绝缘膜４２与比如第１层的层间绝缘膜３６一样由叠层氧化硅膜、旋涂玻璃膜、氧化硅膜的３层绝缘膜构成。

在第２层的层间绝缘膜４２上形成第３层布线４３、４４、４５。虽然对第３层布线４３、４４、４５的材料无特别限定，但比如与第２层布线３７、３８、３９一样，由在Ａｌ合金单层膜或Ａｌ合金上下叠层ＴｉＮ等的金属阻挡层的叠层膜组成。在存储器阵列上部配置的布线４３构成如Ｙ选择线。

另外，在第３层布线４３、４４、４５的上层形成由氧化硅膜和氮化

硅膜的叠层膜等组成的钝化膜，根据需要在钝化膜上形成聚酰亚胺树脂等的保护膜，这些在附图中省去了。

下面用图2－24说明上述构成的DRAM的制造方法的一例。

首先如图2所示，在半导体基片1的主表面一部分上将n型杂质（磷）作离子注入形成n型阱3，在其它部分上离子注入P型杂质（硼）形成P型阱2之后，再用选择氧化（LOCOS）法在P型阱2、n型阱3的各表面上形成场氧化膜4。接着，在P型阱2上离子注入P型杂质（硼），在n型阱3上离子注入n型杂质（磷）之后，使半导体基片1退火，扩散这些杂质，在P型阱2内形成P型沟道停止层5，在n型阱3内形成n型沟道停止层6。然后使用场氧化膜4围住的P型阱2、n型阱3的各活性区域表面作热氧化形成栅氧化膜7。

接着如图3所示，作成存储单元选择用MISFETQt的栅电极8A（字线WL）、n沟道型MISFETQn的栅电极8B、P沟道型MISFETQp的栅电极8C。栅电极8A（字线WL）、8B、8C是用CVD法依次在半导体基片1上堆积第1层多晶硅膜和氧化硅膜12之后，通过把光刻胶作为掩膜的蚀刻同时使氧化硅膜12及多晶硅膜构图。多晶硅膜用SiH_4和PH_3的混合气体堆积在原位置掺杂磷。

下面如图4所示，在P型阱2离子注入n型杂质（磷），形成构成存储单元选择用MISFETQt的源、漏区域的n型半导体区域9、9和构成n沟道型MISFETQn的源、漏区域的n型半导体区域10、10。并且在n型阱3离子注入P型杂质（硼），形成构成P沟道型MISFETQp的源、漏区域的P型半导体区域11、11。

接着如图5所示，在存储单元选择用MISFETQt的栅电极8A（字线WL）、n沟道型MISFETQn的栅电极8B、P沟道型MISFETQp的栅电极8C的各个侧壁上形成侧壁衬垫13之后，用CVD法在半导体基片1的整个面上淀积氧化硅膜14。侧壁衬垫13是用CVD法在半导体基片1所有面上淀积氧化硅膜，并通过各向异性腐蚀加工该氧化硅膜形成的。

接着如图6所示，用把光刻胶作为掩模的蚀刻使氧化硅膜14及栅氧

化膜7开孔，在形成达到存储单元选择用ＭＩＳＦＥＴＱｔ的其中一个ｎ型半导体区域9的连接孔１９之后，在半导体基片1的所有面上用ＣＶＤ法淀积第2层多晶硅膜１６。在多晶硅膜１６上与第1层多晶硅膜同样地掺入ｎ型杂质（磷）。

接着如图7所示，用把光刻胶作为掩膜的蚀刻使多晶硅膜１６构图，形成构成电荷收集极１５的一部分的第1层叶片１６Ａ。第1层叶片１６Ａ通过连接孔１９与存储单元选择用ＭＩＳＦＥＴＱｔ的一ｎ型半导体区域9连接。

然后如图8所示，在半导体基片1的整个面上用ＣＶＤ法依次淀积氮化硅膜５０、氧化硅膜５１及ＢＰＳＧ膜５２之后，使半导体基片1退火，回流ＢＰＳＧ膜５２的表面，然后反向蚀刻ＢＰＳＧ膜５２，使其表面平直。

然后如图9所示，用ＣＶＤ法在ＢＰＳＧ膜５２上依次淀积氧化硅膜５３、第3层多晶硅膜１７、氧化硅膜５４。在多晶硅膜１７上掺入ｎ型杂质（磷）。

接着如图１０所示，利用把光刻胶作为掩模的蚀刻使氧化硅膜５４、多晶硅膜１７、氧化硅膜５３、ＢＰＳＧ膜５２、氧化硅膜５１及氮化硅膜５０开孔，形成达到叶片１６Ａ的连接孔５５之后，如图１１所示，在连接孔５５内部及氧化硅膜５４上用ＣＶＤ法淀积第4层多晶硅膜１８。在多晶硅膜１８中掺入ｎ型杂质（磷）。

下面如图１２所示，用使光刻胶作为掩模的蚀刻，依次使第4层多晶硅膜１８、氧化硅膜５４、第3层多晶硅膜１７、氧化硅膜５３、ＢＰＳＧ膜５２、氧化硅膜５１及氮化硅膜５０构图。

下面如图１３所示，用湿法蚀刻除去在第4层多晶硅膜１８和第3层多晶硅膜１７之间剩下的氧化硅膜５４、第3层多晶硅膜１７和叶片１６Ａ之间剩下的氧化硅膜５３、ＢＰＳＧ膜５２、氧化硅膜５１及氮化硅膜５０，形成由3层叶片１６Ａ、１７Ａ、１８Ａ构成的电荷收集极１５。

如图１４所示，用ＣＶＤ法在半导体基片1的整个面上淀积由氮化硅组成的电介质膜２０以后，如图１５所示，在电介质膜２０上用ＣＶＤ法

堆积第5层多晶硅膜21。在多晶硅膜21中掺入n型杂质（磷）。

如图16所示，用使光刻胶作为掩模的蚀刻使第5层多晶硅膜21构图形成极板电极21A后，对电介质膜20构图，形成由电荷收集极15、电介质膜20、极板21A构成的信息存储用电容器元件C。

如图17所示，用CVD法在半导体基片1的整个面上依次淀积氧化硅膜22及BPSG膜23之后，使半导体基片1退火，回流BPSG膜23之表面，这里，存储器阵列与外围电路相比，其标高大体相当于只是信息存储用电容元件C的高度。

如图18所示，利用把光刻胶作为掩模的蚀刻在BPSG膜23、氧化硅膜22、14、栅氧化膜7上开孔，形成达到存储单元选择用MISFET Qt的另一个n型半导体区域9的连接孔24。该连接孔24的孔径为0.4－0.6μm、其深度为2μm。

如图19所示，在连接孔24内填入多晶硅塞25、多晶硅塞25的填入是在BPSG膜23上用CVD法淀积多晶硅膜之后，用蚀刻除去BPSG膜23上的多晶硅膜进行的。这时，为了防止在BPSG膜23上残留多晶硅膜，要作充分的过腐蚀，所以多晶硅塞25的表面高度比连接孔24上端还要低些。

如图20所示，用把光刻胶作为掩模的蚀刻、在BPSG膜23、氧化硅膜22、14、栅氧化膜7上开孔，形成直达外围电路n沟道型MISFETQn的n型半导体区域10的直径为0.5μm的连接孔26、27，和到达P沟道型MISFETQp的p型半导体区域11的直径为0.5μm的连接孔 28、29，之后，用溅射法在BPSG膜23上依次淀积35nm膜厚的Ti膜32、70nm厚的TiN膜33。

为防止Ti膜32表面的氧化，要在氮等非活性气体环境中连续淀积Ti膜32和TiN膜33。并且，与填入多晶硅塞25的连接孔24相比，其长度与直径比高的外围电路连接孔26－29内部也要充分地淀积Ti膜32，所以要使用下述方法，即平行光管溅射法，在靶和晶片之间配置一种板，板上设置称之为平行光管的峰窝状孔穴；及低压和长距离溅射法，拉开靶和晶片的距离，降低气压进行成膜。

如图２１所示，半导体基片１在６５０^{0} Ｃ温度下退火约１０分钟，在外围电路连接孔２６－２９底部形成硅化钛层３５Ａ，在位线ＢＬ用连接孔２４内的多晶硅塞２５表面形成硅化钛层３５Ｂ。

有关位线ＢＬ用的连接孔２４，由于最好作电连接，所以重要的是不产生剥离。如前述图２５所示，为了防止多晶硅塞２５和硅化钛层３５Ｂ的界面剥离，当连接孔２４直径约为0.6μｍ时，硅化钛层３５Ｂ膜厚作成小于 １２０ｎｍ，并且连接孔２４的直径为0.4μｍ时，膜厚作成小于８４ｎｍ，当连接孔２４的直径为0.3－0.2μｍ时，膜厚作成小于７２ｎｍ。

另一方面，由于使连接至外围电路的Ｐ沟道型ＭＩＳＦＥＴＱｐ的Ｐ型半导体区域１１的布线31的接触电阻作成在一般ＤＲＡＭ中允许的 ６×１０$^{-7}$ Ωｃｍ^{2} 以下，如图２６所示，所以把硅化钛３５Ａ膜的厚度作成 １０ｎｍ以上。并且，要求高速工作的ＤＲＡＭ和在同一芯片上形成ＤＲＡＭ及高速逻辑ＬＳＩ的器件情况下，最好使硅化钛层３５Ａ的膜厚作成大于２０ｎｍ（接触电阻小于２×１０$^{-7}$ Ωｃｍ^{2} ）。另外，在ｎ沟道型ＭＩＳＦＥＴ的ｎ型半导体区域１０表面上形成的硅化钛层３５Ａ和在掺入ｎ型杂质的多晶硅塞２５表面形成的硅化钛层３５Ｂ的接触电阻与其膜厚无关，大体为５×１０$^{-8}$ Ωｃｍ^{2} 。

本发明中上述数据就工业加工公差来说，其误差最大为±１０％。

如图２２所示，用ＣＶＤ法在半导体基片１的全部面上淀积Ｗ膜３４，该Ｗ膜３４可用二层膜构成，该二层膜是用ＣＶＤ法淀积的Ｗ膜（下层）和用溅射法淀积的Ｗ膜（上层）。

如图２３所示，由把光刻胶作为掩膜的蚀刻，使 BPSG 膜２３上的Ｗ膜３４、ＴｉＮ膜３３、Ｔｉ膜３２构图，形成位线ＢＬ及布线３０、３１。

如图２４所示，在位线ＢＬ及布线３０、３１上层淀积第１层的层间绝缘膜３６之后，在该层间绝缘膜３６上形成连接孔４０、４１，接着使淀积在层间绝缘膜３６上的金属膜（如Ａｌ合金膜）构图，形成第２层布线３７、３８、３９。

然后在第2层布线37、38、39的上层淀积第二层层间绝缘膜42，再对堆积在层间绝缘膜36上的金属膜（例如Al合金膜）进行构图，形成第3层布线43、44、45，这样，所述图1所示的本实施例的DRAM基本完成。

以上根据实施例对由本发明者所作的发明作了具体说明，但本发明并不仅仅限于所述实施例，无可置疑、在不脱离其宗旨的范围内可作出各种变化。

在所述实施例中，虽然对在备有叠层电容器结构的存储单元的DRAM中应用的例子作了说明，但本发明形成相对半导体基片主表面标高高的第1区域和相对标高低的第二区域，在连接所述第1区域的第1半导体区域和第1布线的第1连接孔内部，形成和所述第1区域的半导体区域同一导电型多晶硅塞，同时，用同一布线层的W膜、TiN膜和Ti膜构成连接第2连接孔与所述第2区域的第2半导体区域的第2布线和所述第1层的第1布线。上述构形一般可应用于半导体集成电路器件中。

下面，说明本发明的半导体器件的布线用金属部分和半导体区域接触结构的各种实施例及其制造方法。

本发明的半导体器件接触构造一实施例如图27所示，备有硅基片151和在该基片151表面形成的绝缘膜154，在设置于绝缘膜上的接触孔内部，通过硅化钛膜156连接设置在硅基片151上的元件形成区域153和电布线用金属160。

该半导体器件接触结构剖面利用图28A－28D所示方法制作。即：

（1）在硅基片151上形成如图28A所示的元件分离区域152及元件成形区域153。

（2）在形成元件成形区域153上的元件之后，在硅基片151上形成绝缘膜154。并且在绝缘膜154上设置接触孔155（见图28B）。

（3）堆积8nm以上的钛膜157，使与绝缘膜154上面、接触孔 155内部的绝缘膜154侧壁、及接触孔155底面元件成形区域

１５３上面相接（见图２８Ｃ）。

（４）对堆积钛膜１５７达８ｎｍ以上的硅基片１５１作热处理，使钛膜１５７和元件成形区１５３的硅进行硅化物反应，在界面上形成硅化钛膜１５６。

这时，设定热处理条件，使钛膜１５７的膜厚为４－４８ｎｍ，最好为８－３４ｎｍ，作硅化物反应。钛膜１５７的４－４８ｎｍ对应于１０－１２０ｎｍ的硅化物层，８－３４ｎｍ对应于２０－８４ｎｍ的硅化物层。

此外，为了作硅化物反应，热处理温度必须是至少在６５０℃以上，最好是８００℃以上，理由在后叙述。并且该温度为了防止导入硅的杂质的扩散，理想的是在１０００℃以下。

通过使钛膜１５７的厚度８－３４ｎｍ起硅化物反应，硅化钛１５６膜厚成为２０－８４ｎｍ。在理论上这是由于对于钛膜厚１，消耗厚度约2.3的硅，形成膜厚约为2.5的硅化钛的缘故。

下面参照图２９－３２，说明本实施例的半导体器件的接触结构的作用效果。

图２９是表示相应于硅化物反应而产生的硅化钛和硅界面位置的模式图。如图２９所示，在硅基片 151 上堆积钛膜１５７，通过热处理使所述硅基片１５１和钛膜１５７起反应，在形成硅化钛膜１５６的情况下，从理论上来说，对于钛膜厚１，消耗约2.3的硅形成膜厚约2.5的硅化钛。从而由因硅基片１５１和钛膜１５７的硅化物反应发生体积变化（体积收缩）及密度变化而形成的硅化钛膜和硅基片的界面１０２的位置、比起绝缘膜１５４和硅基片１５１界面１０１的位置，在硅一侧仅低2.3（与反应中所消耗的钛的膜厚比）。例如在２０－８４ｎｍ的范围内形成硅化钛膜厚情况下，界面１０１和１０２的距离为１８－７８ｎｍ。例如在１０－１２０ｎｍ范围内形成硅化钛膜厚情况下，界面１０１和１０２的距离为９－１１０ｎｍ。并且因该硅化物反应而产生的体积变化（体系收缩）及密度变化，在硅化钛膜内产生应力。

图３０是表示与硅化物反应相应的膜内应力的图表。另外应力值是实

验的测定值。

如图３０所展示，热处理温度在５５０℃以上时膜内应力急剧增加。通过实验了解到，这是由于在５５０℃以上发生硅化钛反应，形成硅化钛膜的缘故，在硅化钛膜内部最大产生１０００ＭＰａ拉应力。

图３１是这样的一种结果，考虑由图３０求得的产生应力之最大值１０００ＭＰａ和接触结构，根据有限元法分析在硅化钛和硅之界面发生的平均应力（剪切应力）。分析图３１可知，孔径一定时，随着硅化钛膜膜厚增加，界面上产生的平均应力增加，并且，硅化钛膜膜厚一定时，随着接触孔孔径减小，界面上产生的平均应力增加。

通过对比其中所得的分析结果和故障产生的实验数据，断线发生的临界应力定为２８０ＭＰａ。为了不产生硅化钛膜的剥离，必须设计成在界面上发生的平均应力在断线临界应力值以下。即，若使硅化钛膜厚在８４ｎｍ以下，则与接触孔的孔径无关，可使产生在界面上的平均应力在断线临界应力值以下。此外当接触孔的孔径大于０.４０μｍ情况下，即便硅化钛的膜厚不在８４ｎｍ以下，也可使在界面产生的平均应力在断线临界应力值以下，但在接触孔的孔径为０.４μｍ以下情况下，硅化钛膜厚若比８４ｎｍ厚，则硅化钛膜具有剥离可能性。从而，孔径在０.４μｍ以下的接触孔中，为了防止硅化钛膜之剥离，有必要使硅化钛的膜厚作成８４ｎｍ以下。

图３２表示为验证以上结果，试作孔径为０.４μｍ的接触孔，研究断线故障率（硅化钛膜的剥离）和硅化钛膜的膜厚之关系的结果。硅化钛膜厚达到７５ｎｍ，虽然未发生故障，但当超过８４ｎｍ，则故障显然剧增。据此，在接触孔内部，当由钛膜７和硅的硅化物反应形成硅化钛膜１５６情况下，为了防止在硅和硅化钛膜界面的硅化钛膜的断线故障，必须使硅化钛膜厚控制在８４ｎｍ以下，最好在７５ｎｍ以下。

可是通过实验确认，硅化钛膜的接触电阻在上述膜厚为２０ｎｍ以下时增大，所以低电阻要求的部分必须把硅化钛膜作成２０ｎｍ以上。

即是说，为了形成低接触电阻，且不发生剥离的稳定的接触，硅化钛的膜厚必须是２０－８４ｎｍ。

在本实施例中，如图２７所示，在硅化物反应中未使用的钛膜１５７存在于氮化钛膜和硅化钛膜之间。

这样，一旦在氮化钛膜和硅化钛膜之间存在钛膜１５７，比起直接层积氮化钛膜和硅化钛膜来，氮化钛膜的膜内应力降低，可提高氮化钛膜的剥离强度。

此外，为使氮化钛膜和硅化钛膜之间存在钛层１５７，应使钛层 157 之膜厚大于作硅化物反应的厚度，在热处理时控制热处理温度及热处理时间，使硅化钛膜厚控制在２０－８４ｎｍ。

在图２７所示的本实施例半导体器件的接触结构断面图中，在接触孔１５５内部，在接触孔底面元件形成区域１５３和电布线用金属膜１６０的边界上，形成硅化钛膜１５６。在硅化钛膜１５６上面层迭钛膜１５７、氮化钛膜１５８、钨膜１５９，作为电布线用金属膜 160 。并且在绝缘膜１５４上面层迭钛膜１５７、氮化钛膜１５８、钨膜１５９。

但是钛膜１５７未必一定存在，可直接连上氮化钛膜１５８。而且氮化钛膜１５８以及钨膜１５９并不仅限于此，作为电布线用金属膜１６０，例如除金属钛、氮化钛、钨外，还可由铝合金、硅化钼、硅化钨，或这些多种材料组成的叠层结构构成。还有可以是其它的导电性膜、绝缘膜。并且也可不是非同种材料的叠层结构。

在图３３、３４Ａ－３４Ｄ中分别表示作为本发明其它实施例的半导体器件的接触结构剖面及其制造方法。

即：

（１）图３４Ａ表示在硅基片１５１上形成元件分离区域１５２，以及元件形成区域 153 。

（２）图３４Ｂ表示在元件形成区域１５３上形成元件之后，在其上面形成绝缘膜１５４。然后在绝缘膜１５４上形成接触孔１５５。

（３）堆积８－３４ｎｍ的钛膜１５７，使与绝缘膜１５４上面、接触孔１５５内的绝缘膜侧壁，以及接触孔１５５底面元件形成区域１５３上面接触。

（４）对堆积８－３４ｎｍ的钛膜１５７的硅基片１５１作热处理，

使钛膜157和元件形成区域153的硅作硅化物反应，在界面上形成硅化钛膜156。

此外，为了发生硅化物的反应，热处理温度至少必须是在650℃以上，最好是800℃以上。并且，为了防止导入硅中的杂质的扩散，该温度最好是1000℃以下。

在本实施例，如图34C、34D所示，在接触孔155底面上相接形成的钛膜157全部成为硅化钛膜。

这样，使钛膜157全部作硅化物反应情况下，硅化钛的膜厚由钛膜157的膜厚来确定，所以能易于作硅化钛膜的厚度控制。

此外，在该情况下，由于直接叠层氮化钛膜和硅化钛膜，所以与在氮化钛膜和硅化钛膜之间存在钛膜157的情况相比较，氮化钛膜的膜内应力高。

图35、36A－36D分别表示作为本发明另外的实施例的半导体器件的接触结构剖面及其制造方法。即:

（1）如图36A所示，在硅基片151上形成元件分离区域152及元件形成区域153。在所述元件形成区域153上形成元件之后，在其上面作成绝缘膜154。该绝缘膜如由氧化硅组成。在绝缘膜上为取得与元件形成区域的导通，形成孔径为0.4μm以下的接触孔155。

（2）如图36B所示，利用如CVD（Chemical Vapor Deposition：化学汽相淀积法）淀积多晶硅膜161，使绝缘膜154上面和接触孔155内的绝缘侧壁及接触孔的底面元件形成区153上面连接，通过所述多晶硅161填埋接触孔155内部。其后，通过腐蚀除去在绝缘膜154上面淀积的多晶硅膜。

（3）如图36C所示，淀积厚8nm以上的钛膜157，以便连接绝缘膜154上面和接触孔155内部的绝缘膜侧壁及接触孔底面的多晶硅膜161上面。

（4）如图36D所示，其后经热处理使钛膜157和多晶硅膜161作硅化物反应，在界面形成硅化钛膜156。这时反应的钛膜157之厚度为8－34nm。这样，由热处理形成的硅化钛膜156的厚度为2

0－84nm。此外，形成硅化物的热处理温度至少在650℃以上，最好为800℃以上。并且，为了防止导入硅中的杂质扩散，最好是在1000℃以下。

在本实施例中，如图36B所示，必要的工序是淀积多晶硅膜161、以便连接绝缘膜154上面及接触孔155内部的绝缘膜侧壁至接触孔底面的元件成形区域153上面，可是用多晶硅161填埋接触孔155内部，使接触孔155的深度变浅，作为下一个堆积钛膜157的工序就变得容易。

随着接触孔孔径的变小，接触孔的纵横比（深度比直径）有增加的趋势，用传统的溅射法难以在接触孔侧面和底面上覆盖足够厚的布线金属。

然而，利用阶段覆盖性优良的CVD技术填多晶硅于接触孔内，使接触孔的深度变浅，可容易地在接触孔的侧面和底面上堆积8nm以上的钛膜。

并且在本实施例，如图35所示，在硅化物反应中没有使用的钛膜157存在于氮化钛膜和硅化钛膜之间。

像这样，比起直接层迭氮化钛膜和硅化钛，在氮化钛膜和硅化钛膜之间存在钛膜157时，氮化钛膜之膜内应力降低，可提高氮化钛膜的剥离强度。

此外，为使氮化钛膜和硅化钛膜之间存在钛层157，应使钛层157之膜厚大于作硅化物反应的厚度，在热处理时控制热处理温度及热处理时间，使硅化钛膜之厚度为20－84nm。

本实施例的半导体器件的接触孔内部，在硅基片151上直接堆积的多晶硅161和电布线金属160的界面上，形成硅化钛膜156。在硅化钛膜上面层迭钛膜157、氮化钛膜158、钨膜159作为电布线金属膜160。并且，在所述绝缘膜154上面层迭钛膜157、氮化钛膜158、钨膜159。钛膜157未必要留下，在绝缘膜154上直接连接氮化钛膜158也可以。并且，所述氮化钛膜158及所述钨膜159并不仅限于此，也可以是其它导电性膜、绝缘膜。并且可以是非不同种材料的叠层结构。

在图３７、３８Ａ－３８Ｄ中分别表示为本发明其它实施例的半导体器件之接触结构截面图及其制造方法。即：

（１）如图３８所示，在硅基片１５１上形成元件分离区域１５２及元件形成区域１５３。在所述元件形成区域１５３形成元件之后，在其上面形成绝缘膜１５４。该绝缘膜如由氧化硅组成。在绝缘膜上为获得与元件形成区域的导通，形成接触孔１５５。

（２）如图３８Ｂ所示，用如ＣＶＤ（Ｃｈｅｍｉｃａｌ ＶａｐｏｒＤｅｐｏｓｉｔｉｏｎ：化学汽相淀积法）淀积多晶硅膜１６１，使与绝缘膜１５４上面及接触孔１５５内的绝缘膜侧壁和接触孔底面元件形成区域１５３上面连接，接触孔１５５内由所述多晶硅１６１填埋。其后，用腐蚀等方法除去堆在绝缘膜４上面的多晶硅膜。

（３）淀积钛膜１５７，厚度为８－３４ｎｍ，以便连接绝缘膜１５４上面、接触孔１５５内的绝缘膜侧壁及接触孔１５５底面的元件形成区域１５３。

（４）对堆积厚８－３４ｎｍ的钛膜１５７的硅基片１５１作热处理，使钛膜１５７和元件形成区域１５３的硅起硅化物反应，在界面上形成硅化钛膜１５６。

此外，用于形成硅化物的热处理温度至少为６５０℃以上，最好在８００℃以上。并且为了防止导入硅中的杂质扩散，理想的是该温度低于１０００℃。

在本实施例中，如图３８Ｂ所示，淀积多晶硅膜１６１，使与绝缘膜１５４上面及接触孔１５５内的绝缘膜侧壁、接触孔底面的元件形成区域１５３上面相连的工序是必须的，但用多晶硅１６１填埋接触孔１５５内部，可减小接触孔１５５的深度，下一个工序堆积钛膜１５１就变得容易。

随着接触孔的直径变小，接触孔的纵横比（深度/直径）有增加趋势，用传统的溅射法难以覆盖足够厚的布线金属到接触孔侧面和底面。

然而，利用阶段覆盖性优良的ＣＶＤ技术填埋多晶硅于接触孔内，减小接触孔的深度，可容易地在接触孔侧面和底面堆积８ｎｍ以上的钛膜。

在本实施例中，如图３７所示，全部钛膜１５７变成硅化钛。

像这样，在全部钛膜１５７作硅化物反应情况下，硅化钛膜之厚度因由钛膜１５７的厚度所决定，所以易于控制硅化钛膜的厚度。

此外，在这种情况下，由于直接层迭氮化钛膜和硅化钛膜，比起在氮化钛膜和硅化钛膜之间存在钛膜１５７的情况来，氮化钛膜的膜内应力高。

本实施例的半导体器件的接触部，在接触孔 155 的内部，在硅基片１５１上直接淀积的多晶硅 １６１和电布线金属１６０的界面上形成硅化钛膜１５６。在所述硅化钛膜上面，层叠氮化钛膜１５８、钨膜１５９作为电布线金属膜１６０。并在所述绝缘膜１５４上面层迭钛膜１５７、氮化钛膜１５８、钨膜１５９。钛膜１５７未必要留下，氮化钛膜１５８可直接与绝缘膜１５４上面连接。并且，所述氮化钛膜１５８及所述钨膜１５９并不限于此，也可以是其他的导电膜、绝缘膜。也可以是同种材料的叠层构造。

在图３９、４０Ａ－４０Ｄ中，分别表示作为本发明其它实施例的ＭＯＳ（金属氧化物半导体）晶体管之栅电极接触结构剖面图及其制造方法。即：

（１）如图４０Ａ所示，在硅基片１５１上的元件形成区域１５３形成约１５ｎｍ厚的硅氧化膜１６２。在所述硅氧化膜１６２上用ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ：化学汽相淀积法）形成多晶硅膜，用光刻法形成保护膜图形，将此作为掩模用干腐蚀法使多晶硅膜和硅氧化膜构成图形，形成多晶硅栅电极１６３。以硅基片１５１、硅氧化膜１６２、多晶硅栅电极１６３的三层结构形成ＭＯＳ构造的栅电极。

（２）如图４０Ｂ所示，在硅基片１５１上面及栅电极１６３上面一个面上淀积绝缘膜１５４，为了与栅电极１６３导通，开接触孔１５５，达到栅电极。

（３）如图４０Ｃ所示，在所述绝缘膜１５４上面及所述接触孔１５５内部淀积钛膜１５７，使与栅电极１６３连接。

（４）如图４０Ｄ所示，然后经热处理通过钛膜１５７和栅电极１６

3的硅的硅化物反应，在界面上形成硅化钛膜５６。这时，反应的钛膜１５７之厚度为８－３４ｎｍ，以此作热处理形成的硅化钛膜１５６的膜厚为２０－８４ｎｍ。此外,形成硅化物的热处理温度至少高于６５０℃,最好是８００℃以上。并且为防止导入硅中的杂质扩散，该温度最好低于１０００℃。

在本实施例中，如图３９所示，在氮化钛膜和硅化钛膜之间存在在硅化物反应中未用的钛膜１５７。

像这样，一旦在氮化钛膜和硅化钛膜之间存在钛膜１５７，比起直接层迭氮化钛膜和硅化钛膜，氮化钛膜的膜内应力降低，可提高氮化钛膜的剥离强度。

此外，为使氮化钛膜和硅化钛膜之间存在钛层１５７，要把钛层１５７的膜厚作成大于作硅化物反应的膜厚，在热处理时控制热处理温度和热处理时间，使硅化钛膜膜厚控制在２０－８４ｎｍ内。

本实施例半导体器件的接触部在接触孔１５５内部，在电布线金属膜１６０和由多晶硅组成的栅电极１６３的界面上形成硅化钛膜 156 。在图３９及图４０Ａ－４０Ｄ中表示了这样的情况，在硅化钛膜１５６上面层迭未反应的钛膜１５７、氮化钛１５８作为电布线用金属膜１６０。然而，在栅电极１６３上面淀积８－３４ｎｍ的钛膜１５７，形成硅化钛膜１５６要耗费所述钛膜的全部，在硅化钛膜１５６上也可不留下钛膜１５７。并且，在绝缘膜１５４上直接连接氮化钛膜１５８也可以。所述氮化钛膜１５８并不仅限于此，也可以是其他导电性膜、绝缘膜。并且可以是同种材料的叠层结构。

图４１、４２Ａ－４２Ｄ中分别表示作为本发明其它实施例的ＭＯＳ晶体管的栅电极接触结构剖面图及其制造方法。即:

（１）如图４２Ａ所示，在硅基片１５１的元件形成区域１５３上形成约１５ｎｍ厚的氧化硅膜１６２。在所述氧化硅膜１６２上用ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ：化学汽相淀积法）形成多晶硅膜，用光刻法形成保护膜图形，以此对掩膜用干式腐蚀法使多晶硅膜和氧化硅膜构成图形，形成多晶硅栅电极１６３。

（2）如图４２Ｂ所示，在硅基片１５１上面及栅电极１６３上面一个面上淀积绝缘膜１５４，为与栅电极１６３取得导通，开接触孔１５５，达到栅电极。例如用ＣＶＤ法淀积多晶硅膜１６１使与绝缘膜１５４上面及接触孔 １５５内部的绝缘膜侧壁、接触孔底面的栅电极１６３上面连接，用所述多晶硅１６１填埋接触孔１５５内部。其后，用腐蚀法等除去淀积在绝缘膜１５４上面的多晶硅膜。

（３）如图４２Ｃ所示，在所述绝缘膜１５４上面及多晶硅膜１６１上面一个面上淀积钛膜１５７。

（４）其后经热处理，通过钛膜１５７和多晶硅１６１的硅化物反应，形成在界面上的硅化钛膜１５６。这时反应的钛膜１５７之厚度为８－３４ｎｍ，借此由热处理形成的硅化钛膜１５６之厚度为２０－８４ｎｍ。形成硅化物的热处理温度至少高于６５０℃，最好高于８００℃。并且为防止导入硅中的杂质的扩散，该温度最好低于１０００℃。

在本实施例中，如图４２Ｂ所示，淀积多晶硅膜１６１使绝缘膜１５４上面及接触孔１５５内部的绝缘膜侧壁、接触孔底面的元件形成区域１５３上面连接的工序是必须的，但利用多晶硅１６１填埋接触孔１５５内部，使接触孔１５５的深度变浅，则使下一个工序堆积钛膜１５７变得容易了。

随着接触孔的小孔径化，接触孔的纵横比（深度/直径）有增加的趋势，用传统的线射法难以在接触孔侧面和底面覆盖足够厚的布线金属。

然而，用阶段覆盖性优良的ＣＶＤ技术在接触孔内填埋多晶硅，通过使接触孔的深度变浅，可容易地在接触孔侧面和底面堆积大于８ｎｍ厚的钛膜。

并且在本实施例，如图４１所示，在氮化钛膜和硅化钛膜之间存在作硅化物反应中未使用的钛膜１５７。

像这样，在氮化钛膜和硅化钛膜之间存在钛膜１５７情况下，比起直接积层氮化钛膜和硅化钛膜来，氮化钛膜的膜内应力降低，可提高氮化钛膜的剥离强度。

此外，为了使钛层１５７存在于氮化钛膜和硅化钛膜之间，把钛层１

５７的膜厚作成大于硅化物反应的膜厚，并在热处理时应控制热处理温度和热处理时间，把硅化钛膜厚控制在２０－８４ｎｍ范围。

本实施例的半导体器件的接触部，于接触孔１５５内部，在填埋入的与栅电极１６３连接的多晶硅１６１和电布线金属膜１６０的界面，形成硅化钛膜１５６。在图４１及图４２Ａ－４２Ｄ中，表示在硅化钛膜１５６上面作为电布线金属膜１６０的叠层未反应的钛膜１５７、氮化钛膜１５８的情况。但是，在栅电极１６３上面淀积８－３４ｎｍ的钛膜１５７，形成硅化钛膜１５６要消耗所述钛膜的整体，所以在硅化钛膜１５６上面可不残留钛膜１５７。并且在绝缘膜１５４上直接连接氮化钛膜１５８也可以。所述氮化钛膜１５８并不仅限于此，也可以是其它的导电性膜、绝缘膜。并且，也可是同种材料的叠层结构，所述硅化钛膜１５６的膜厚为２０－８４ｎｍ。

在以上所有的实施例之制造工序中，所说明的是硅化钛膜的形成，在堆积钛膜１５７使与单晶硅基片１５１或多晶硅１６１连接的工序之后，还有通过热处理形成硅化钛膜１５６的工序的情况。但是，并不仅限于在各实施例中说明的制造工序，如图４３Ａ－４３Ｄ所示，在形成电布线金属膜１６０之后也可作热处理。即：

（１）如图４３Ａ所示，在硅基片１５１上形成元件分离区域１５２及元件形成区域１５３。

（２）如图４３Ｂ所示，在所述元件形成区域１５３上形成元件之后，在其上面形成绝缘膜１５４。该绝缘膜例如由氧化硅组成。在绝缘膜上为获得与元件形成区域导通而形成接触孔１５５。

（３）如图４３Ｃ所示，堆积钛膜１５７，使与绝缘膜１５４上面及接触孔１５５内部的绝缘膜侧壁和接触孔底面元件形成区域１５３上面连接。再在所述钛膜１５７上面层迭氮化钛膜１５８、钨膜１５９。所述氮化钛膜１５８及所述钨膜１５９并不仅限于此，也可以是其他导电性膜、绝缘膜。

（４）如图４３Ｄ所示，其后经热处理通过钛膜１５７和元件形成区域　１５３的硅的硅化物反应，在界面上形成硅化钛膜１５６。这时反应

的钛膜157的厚度为8－34nm。因此，由热处理形成的硅化钛膜156之厚度为20－84nm。此外，形成硅化物的热处理温度至少高于650℃，最好高于800℃。并且，为了防止导入硅中的杂质的扩散，该温度最好是在1000℃以下。

通过把形成的硅化钛膜156之厚度作成20－84nm，可降低硅与钛的接触电阻，并且，可使在硅和硅化钛膜的界面上产生的平均应力变为发生断线临界应力值以下，形成为不发生硅化钛膜剥离的良好接触。

在图43D中，表示叠层未反应的钛膜157、氮化钛膜158、钨膜 159在硅化钛膜156上面作为电布线金属膜160的情况。然而，堆积8－34nm的钛膜157，使与硅基片151上的元件形成区域153连接，形成硅化钛膜156消耗所述全部钛膜156，在硅化钛膜156上面也可不残留钛膜157。并且，即使在绝缘膜4上直接连接氮化钛膜158也可以。所述氮化钛膜158、钨膜159并不仅限于此，也可以是其他导电性膜、绝缘膜。并且也可以是同种材料的叠层构造。所述硅化钛膜156的厚度为20－84nm。

图1

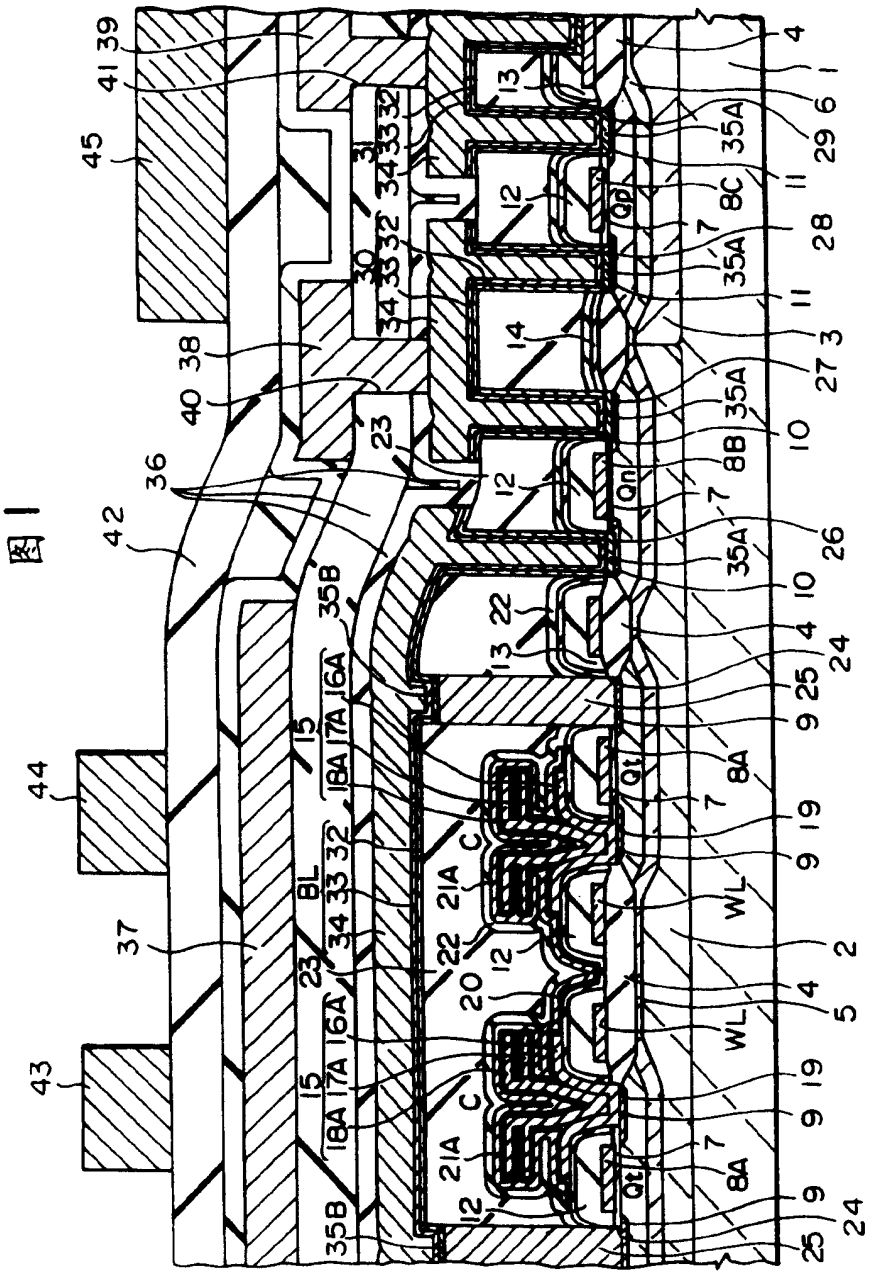

39
41
45
38
40
36
42
44
37
43
31
30
32
33
34
23
35B
16A
17A
18A
15
BL
C
21A
20
22
13
12
14
Qp
Qn
Qt
WL
8A
8B
8C
7
9
10
11
24
25
26
27
28
29
6
1
4
3
2
5
19

图 2

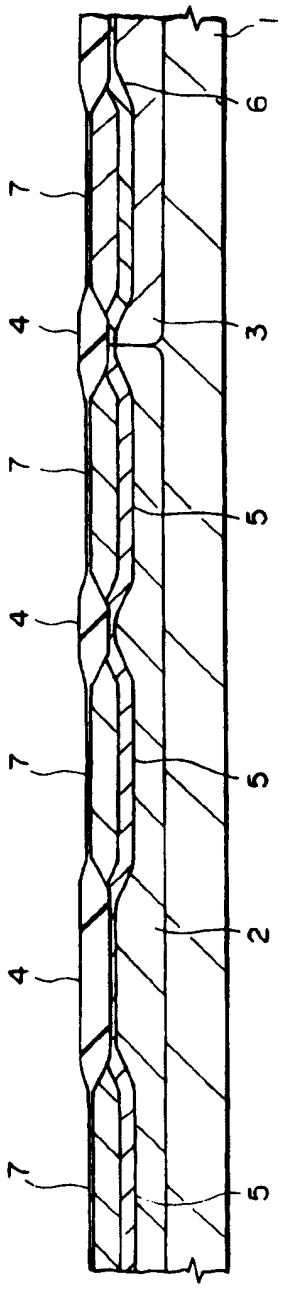


图. 3

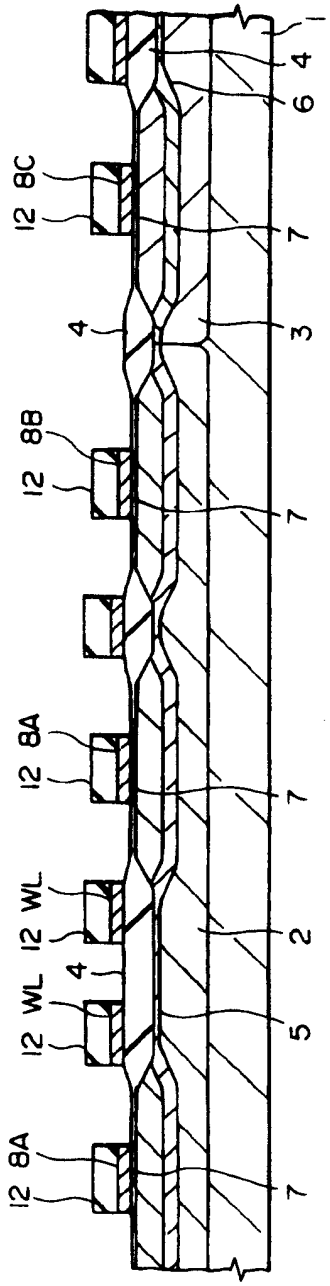


图. 4

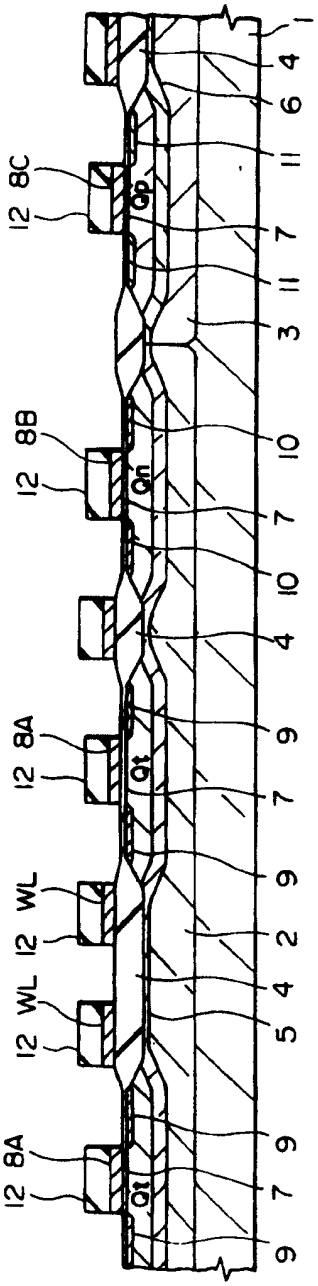

1
4
6
11
12 8C
Qp
7
11
3
12 8B
Qn
10
7
10
4
12 8A
Qt
9
7
12 WL
9
12 WL
2
4
12 WL
5
12 8A
Qt
9
7
9

图. 5

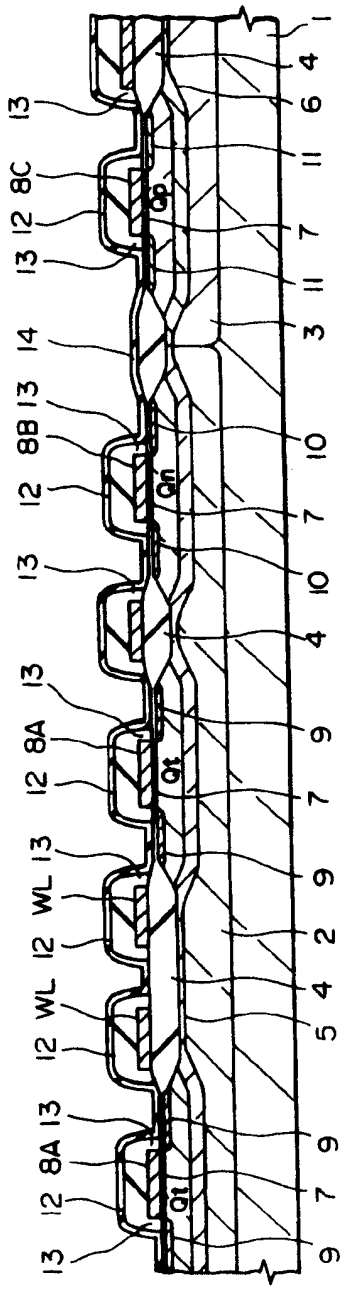

1
4
6
11
7
11
3
10
7
10
4
9
7
9
2
4
5
9
7
9
13
8C
12
13
14
13
8B
12
13
13
8A
12
13
WL
12
WL
12
13
8A
12
13
Qp
Qn
Qt
Qt

图. 6

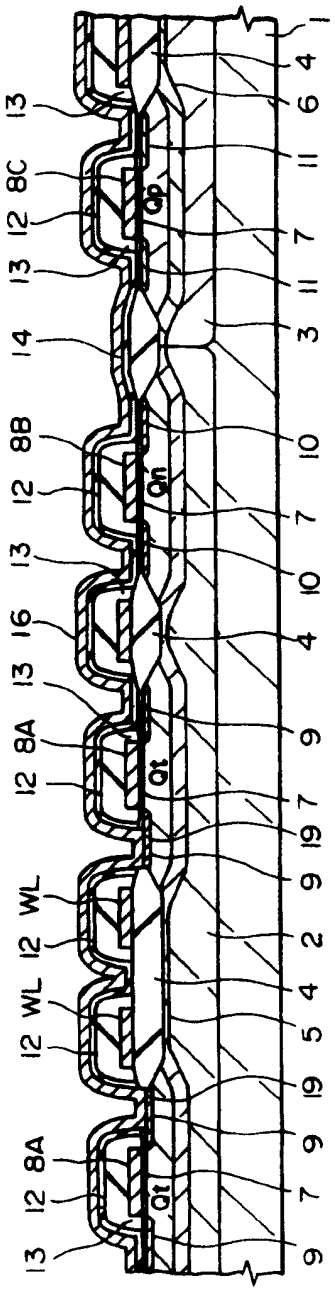

1
4
6
11
7
11
3
10
7
10
4
9
7
19
9
2
4
5
19
9
7
9
13
12 8A
12 WL
12 WL
12 WL
13
16
13
12 8B
13
12 8C
13
14
Qt
Qn
Qp

图. 7

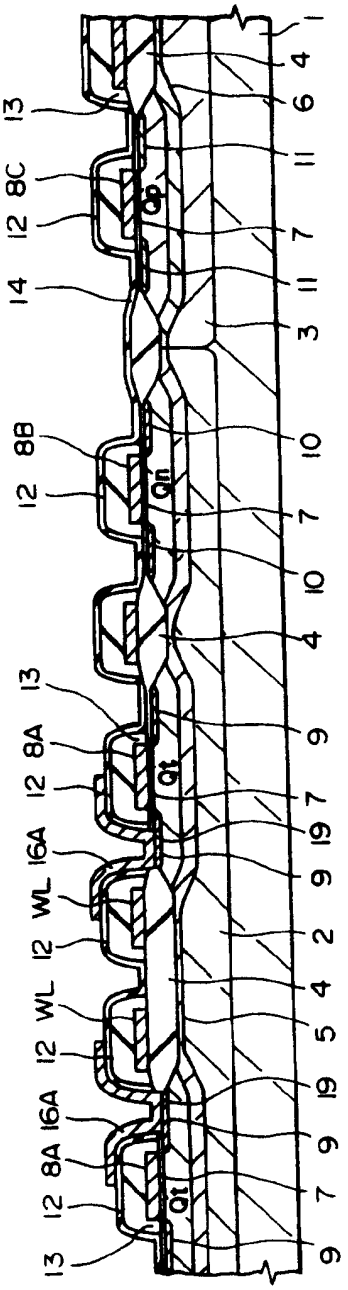

1
4
6
11
7
11
3
10
7
10
4
9
19
9
2
4
5
19
9
7
9
13
12 8C
14
12 8B
12
13
12 8A
16A
WL
12
WL
12
16A
8A
12
13
Qp
Qn
Qt
Qt

图. 8

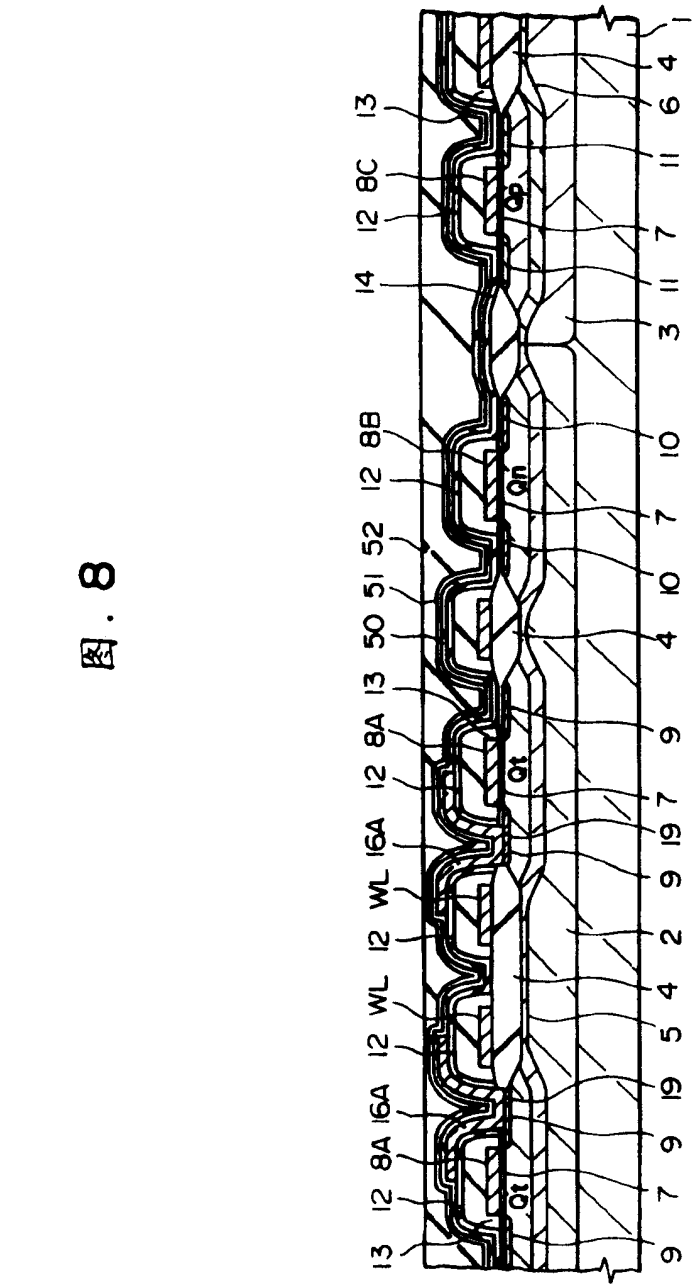

13
12 8C
14
12 8B
12
52
51
50
13
12 8A
12 16A
12 WL
12 WL
12 16A
12 8A
13
Qp
Qn
Qt
Qt
1
4
6
11
7
11
3
10
7
10
4
9
7
19
9
2
4
5
19
9
7
9

图.9

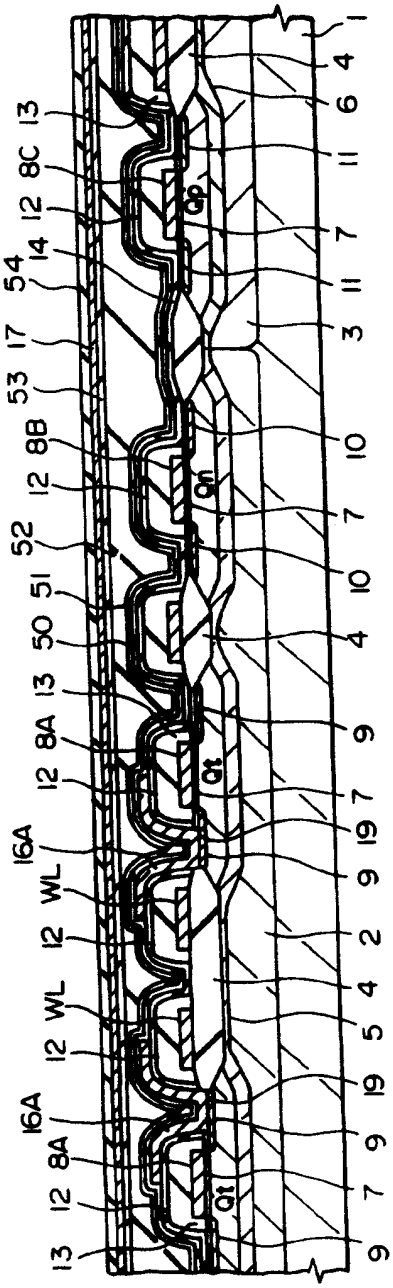

1
4
6
11
7
11
3
10
7
10
4
9
7
19
9
2
4
5
19
9
7
9
13
8C
12
14
54
17
53
8B
12
52
51
50
13
8A
12
16A
WL
12
WL
12
16A
8A
12
13
Qp
Qn
Qt
Qt

图. 10

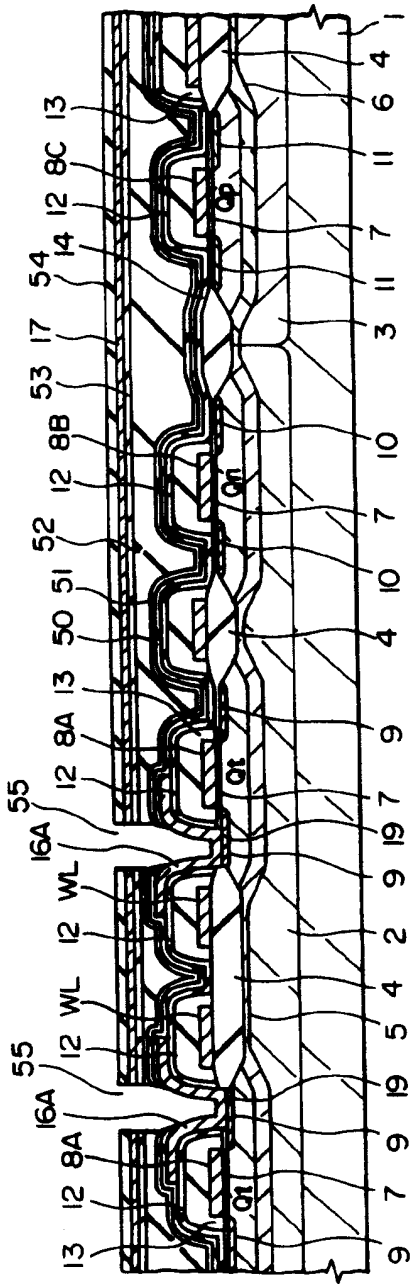

1
4
6
11
7
11
3
10
7
10
4
9
7
19
9
2
4
5
19
9
7
9
13
12
8A
55
16A
WL
12
WL
12
55
16A
8A
12
13
50
51
52
12
8B
53
17
54
14
12
8C
13
Qt
Qt
Qt
Qt
Qt

图. 11

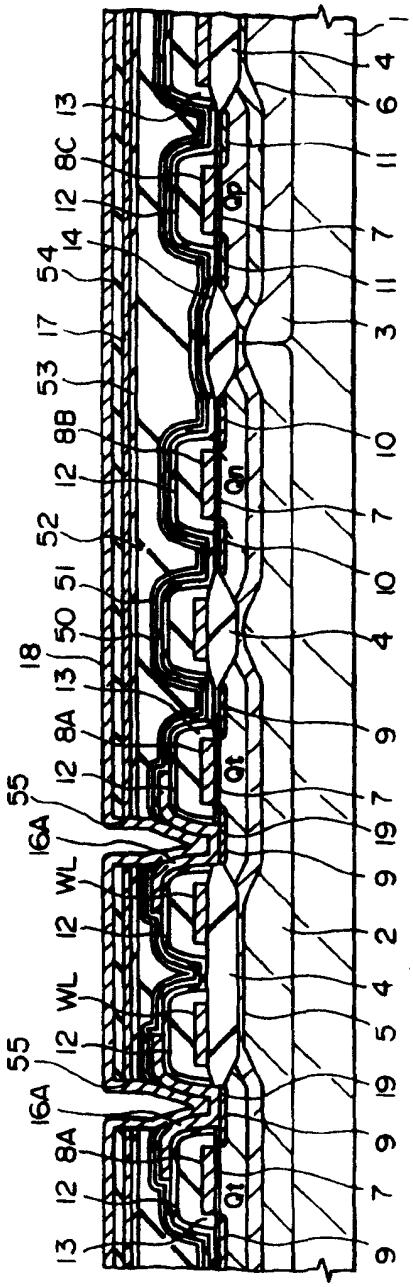

1
4
6
11
7
11
3
10
7
10
4
9
7
19
9
2
4
5
19
9
7
9
13
12
8A
16A
55
12
WL
12
WL
12
16A
55
18
13
8A
12
Qt
50
51
52
12
8B
Qn
53
17
54
14
12
8C
Qp
13

图. 12

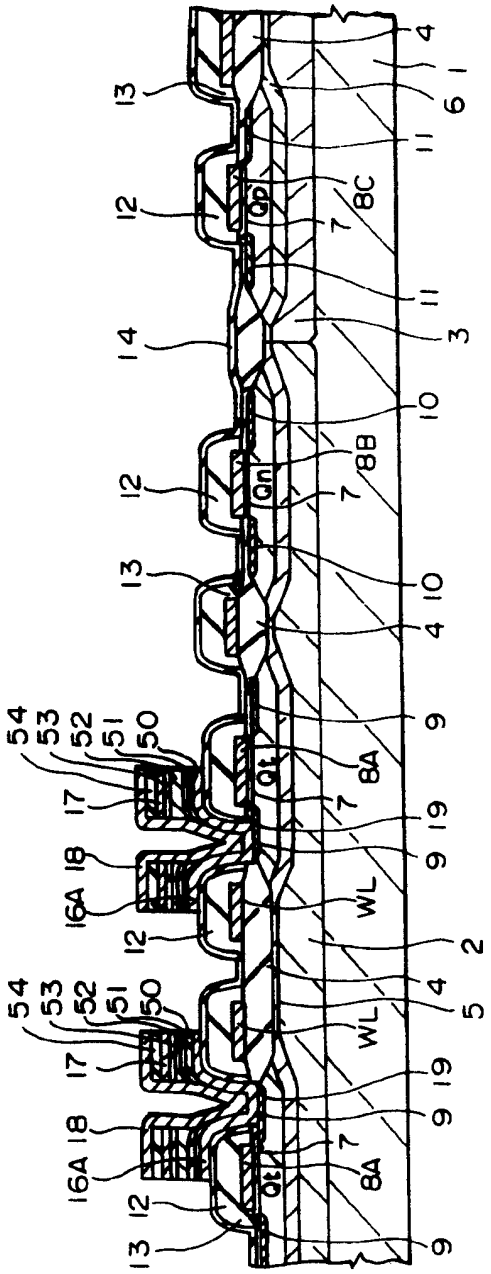

13
12
14
12
13
54
53
52
51
50
17
18
16A
12
54
53
52
51
50
17
18
16A
12
13
4
6
1
11
Qp
7
8C
11
3
10
Qn
7
8B
10
4
9
Qt
7
8A
19
9
WL
2
4
5
WL
19
9
7
Qt
8A
9

图. 13

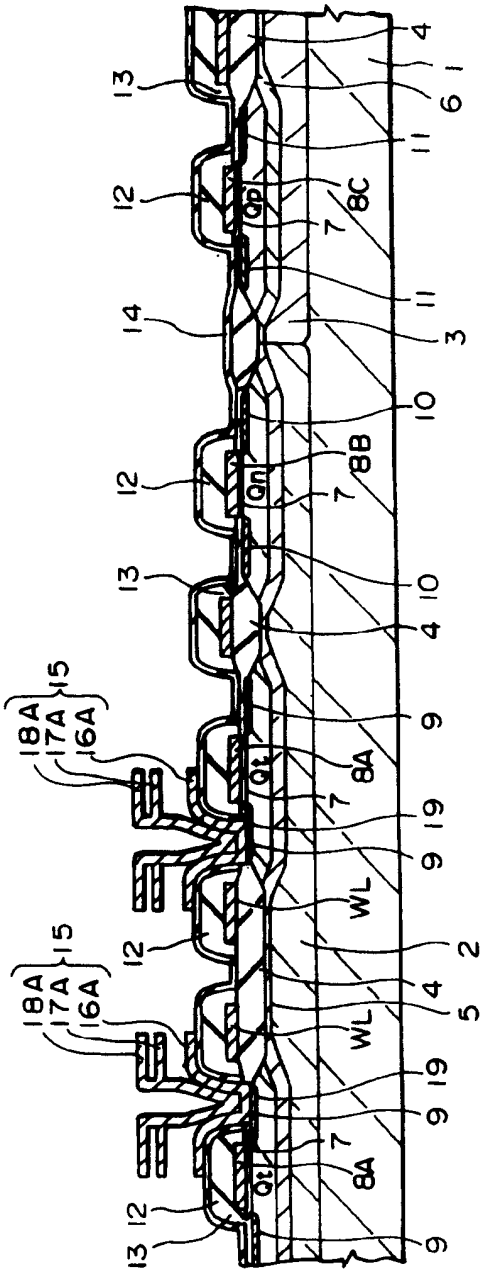

4
1
6
11
12
8C
7
Qp
11
14
3
10
12
8B
7
Qn
13
10
4
9
15
18A
17A
16A
Qt
8A
7
19
9
WL
12
2
15
18A
17A
16A
4
5
WL
19
9
7
Qt
8A
12
13
9

图. 14

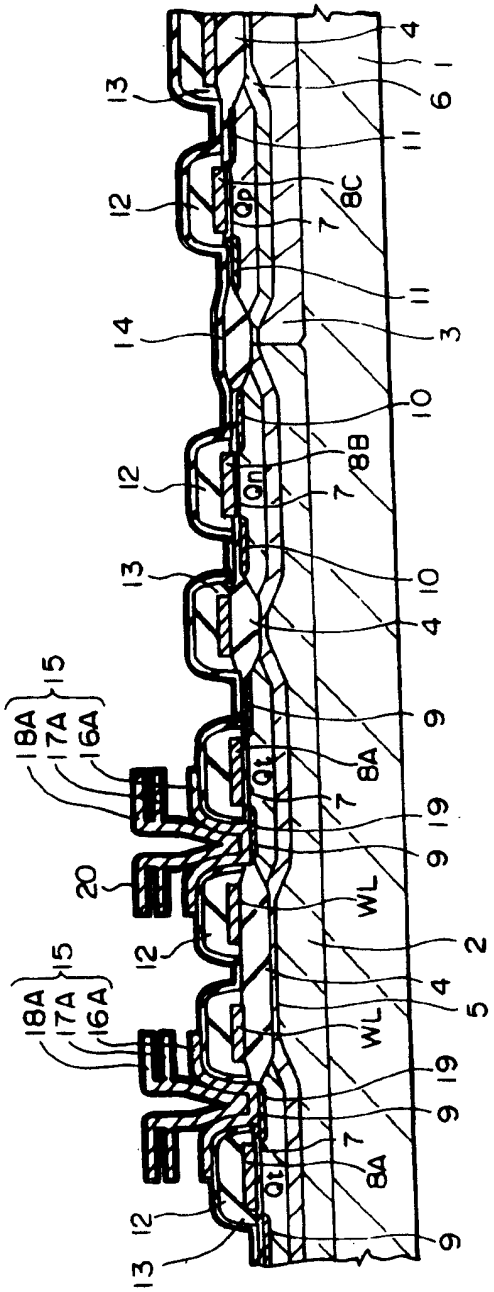

4
1
6
11
13
12
Qp
7
8C
11
14
3
10
12
Qn
7
8B
13
10
4
15
18A
17A
16A
9
Qt
7
8A
19
9
20
WL
12
2
15
18A
17A
16A
4
5
WL
19
9
7
Qt
8A
12
13
9

图15

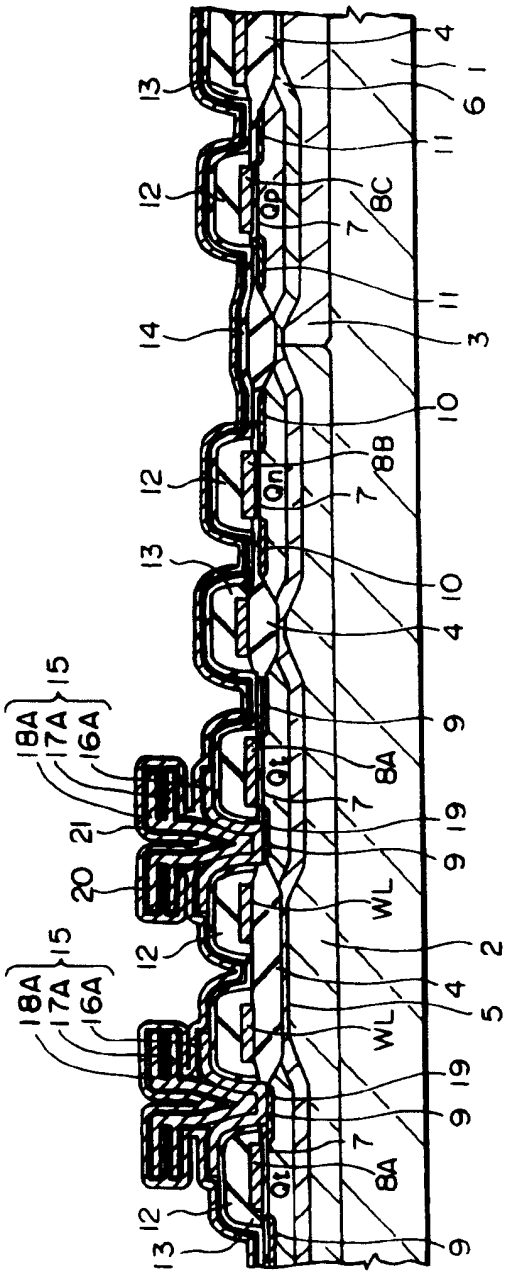

13
12
14
12
13
15
18A
17A
16A
21
20
15
18A
17A
16A
12
13
4
6
1
11
Qp
7
8C
11
3
14
10
Qn
7
8B
10
13
4
9
Qt
7
8A
19
9
WL
2
12
4
5
WL
19
9
7
Qt
8A
12
9

图. 16

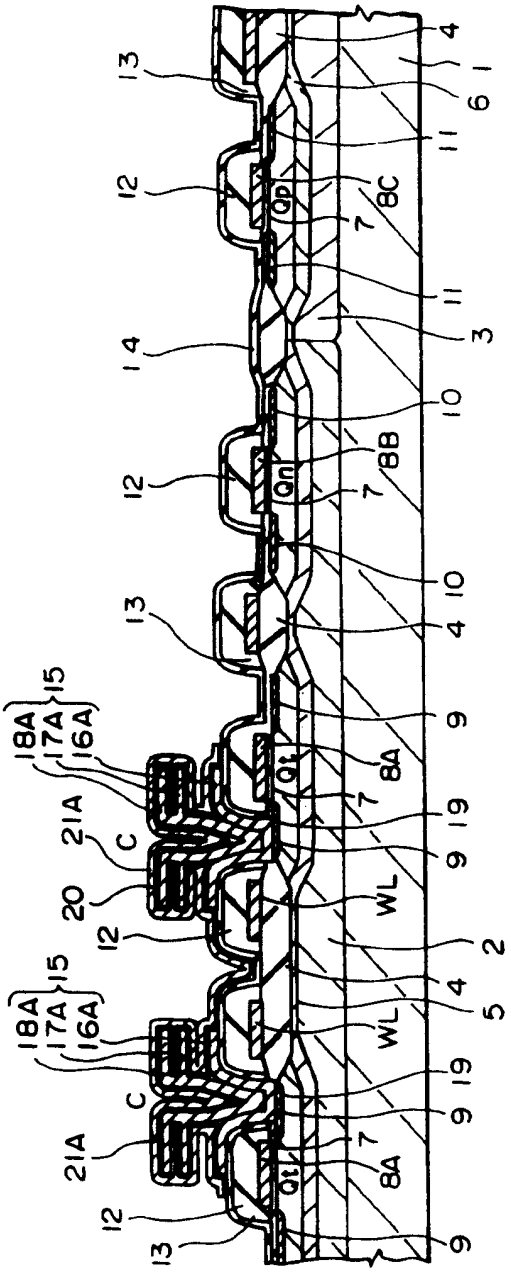

13
12
14
12
13
15
18A
17A
16A
21A
C
20
12
15
18A
17A
16A
C
21A
12
13
4
1
6
11
Qp
7
8C
11
3
10
Qn
7
8B
10
4
9
Qt
7
8A
19
9
WL
2
4
5
WL
19
9
7
8A
9

图. 17

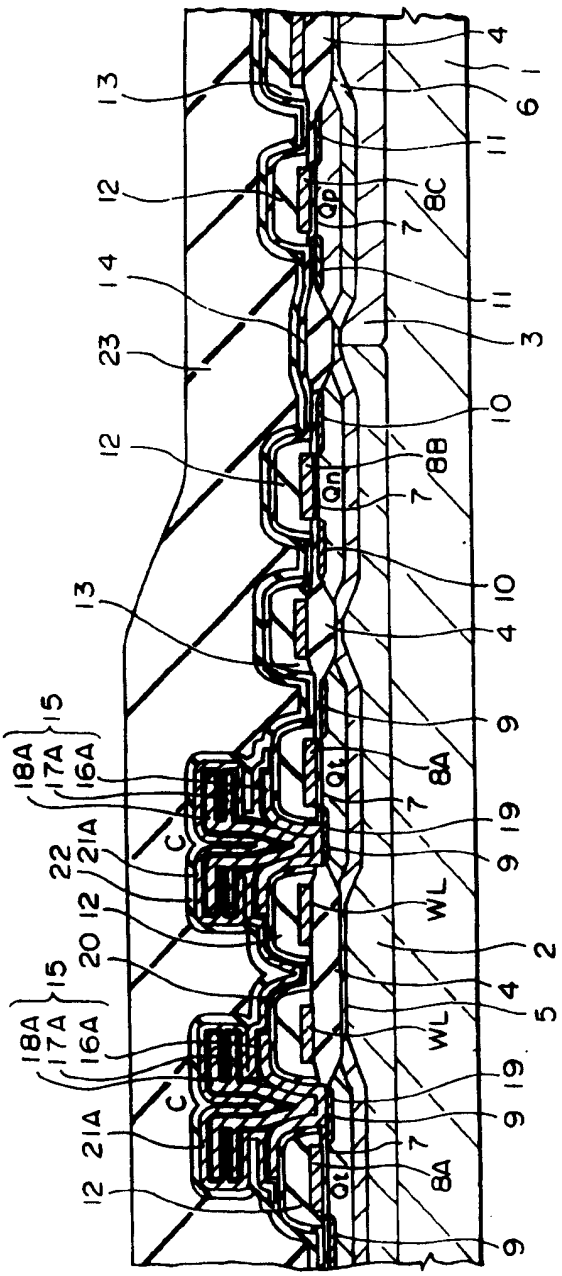

13
12
14
23
12
13
15
18A
17A
16A
22
21A
12
20
15
18A
17A
16A
21A
12
4
6
1
11
Qp
7
8C
11
3
10
Qn
7
8B
10
4
9
Qt
7
8A
9
19
WL
2
4
5
WL
9
19
Qt
7
8A
9
C
C

图. 18

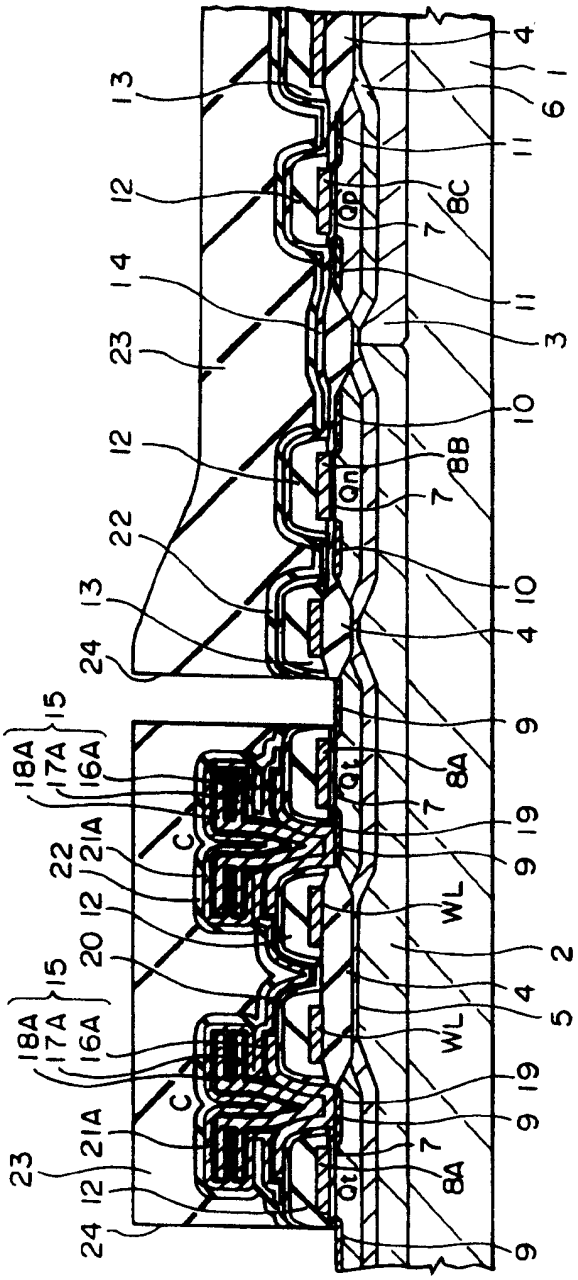

13
12
14
23
12
22
13
24
15
18A
17A
16A
21A
22
12
20
15
18A
17A
16A
21A
23
12
24
C
C
Qp
Qn
Qt
Qt
4
6
1
11
7
8C
11
3
10
7
8B
10
4
9
7
8A
9
19
9
WL
2
4
5
WL
9
19
9
7
8A
9

图. 19

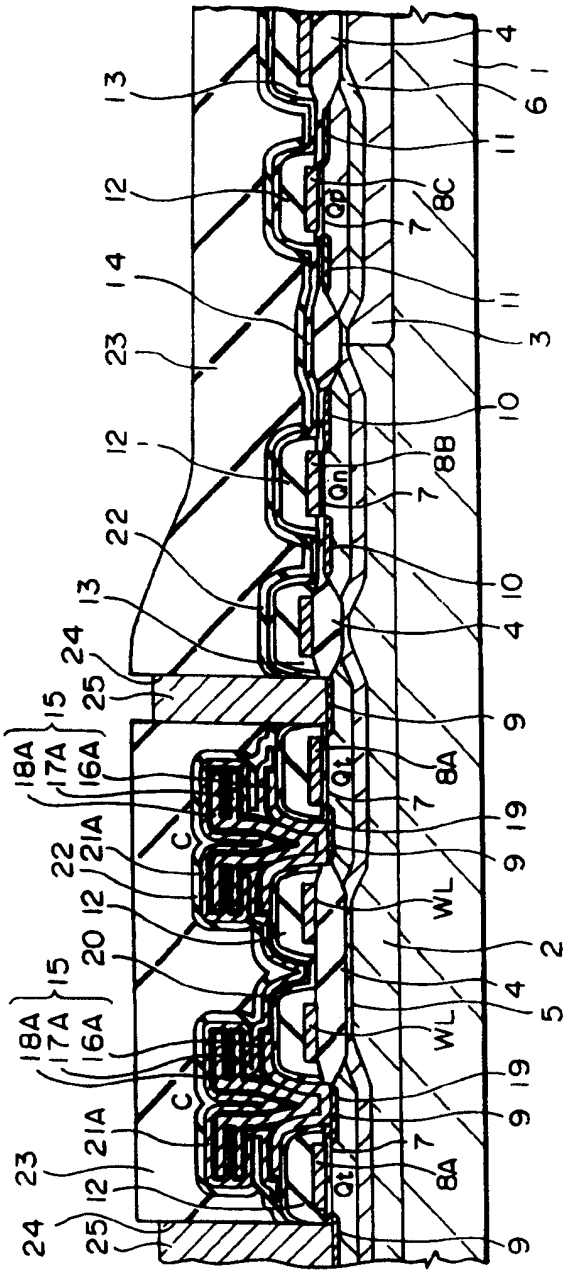

13
12
14
23
12
22
13
24
25
15
18A
17A
16A
21A
22
12
20
15
18A
17A
16A
C
C
21A
23
12
24
25
4
1
6
11
8C
7
Qp
11
3
10
8B
7
Qn
10
4
9
8A
7
Qt
19
9
WL
2
4
5
WL
19
9
7
8A
Qt
9

图. 20

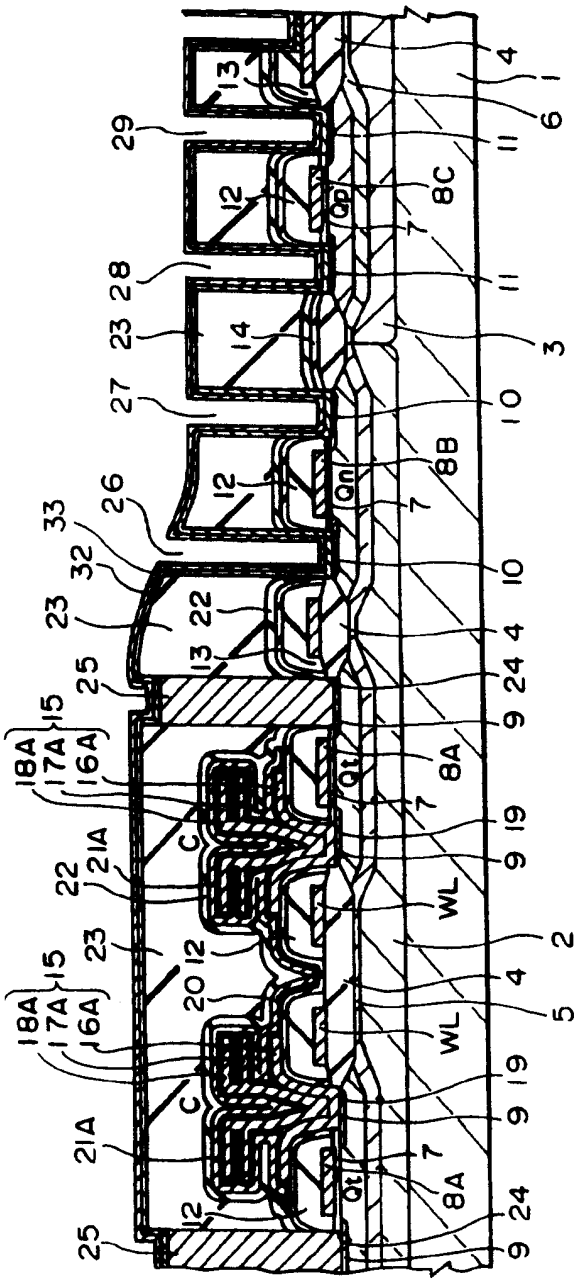

1
2
3
4
5
6
7
8A
8B
8C
9
10
11
12
13
14
15
16A
17A
18A
19
20
21A
22
23
24
25
26
27
28
29
32
33
C
Qt
Qn
Qp
WL

图. 21

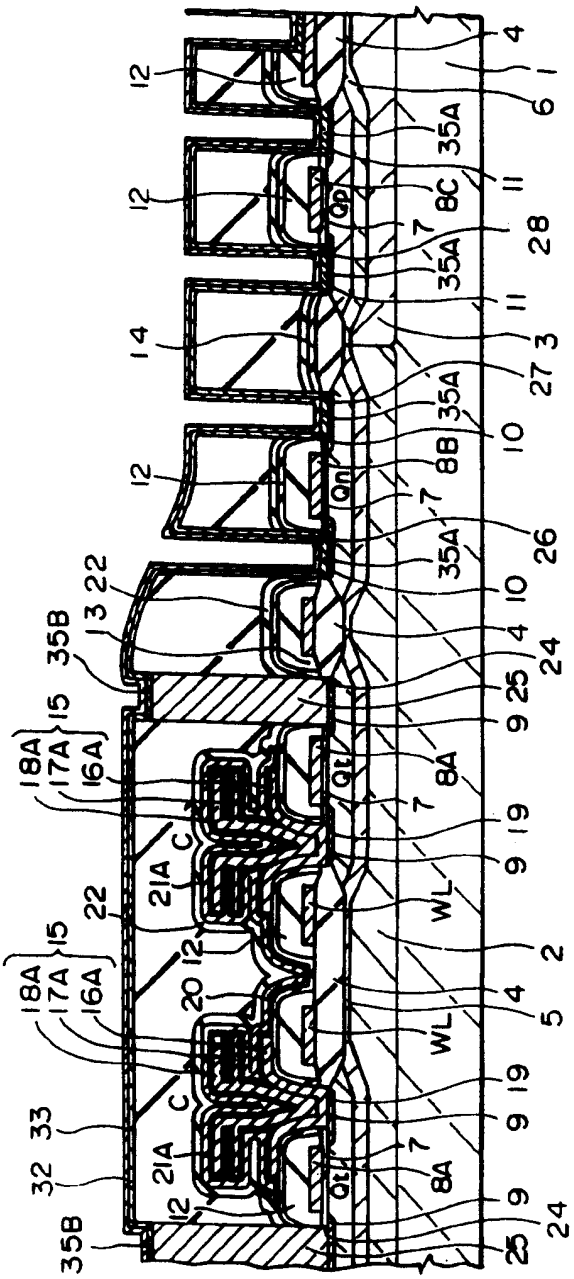

12
12
14
12
13
22
35B
15
18A
17A
16A
C
21A
22
12
20
18A
17A
16A
15
C
33
32
21A
12
35B
4
1
6
35A
11
8C
Qp
7
28
35A
11
3
27
35A
10
8B
Qn
7
26
35A
10
4
24
25
9
8A
Qt
7
19
9
WL
2
4
5
WL
19
9
7
8A
Qt
9
24
25

图 22

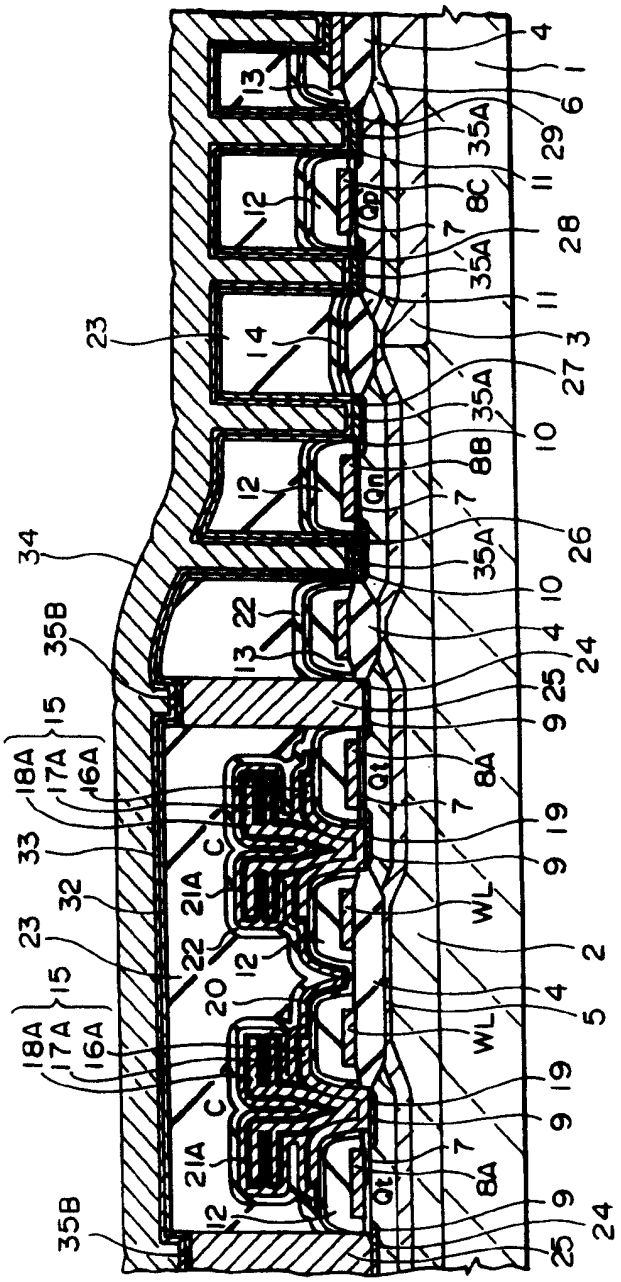

4
1
6
29
35A
11
8C
Qp
7
28
35A
11
3
27
35A
10
8B
Qn
7
26
35A
10
4
24
25
9
8A
Qt
7
19
9
WL
2
4
5
WL
19
9
7
8A
Qt
9
24
25
13
12
14
12
22
13
23
34
35B
15
18A
17A
16A
33
32
C
21A
22
12
20
23
15
18A
17A
16A
C
21A
12
35B

图 23

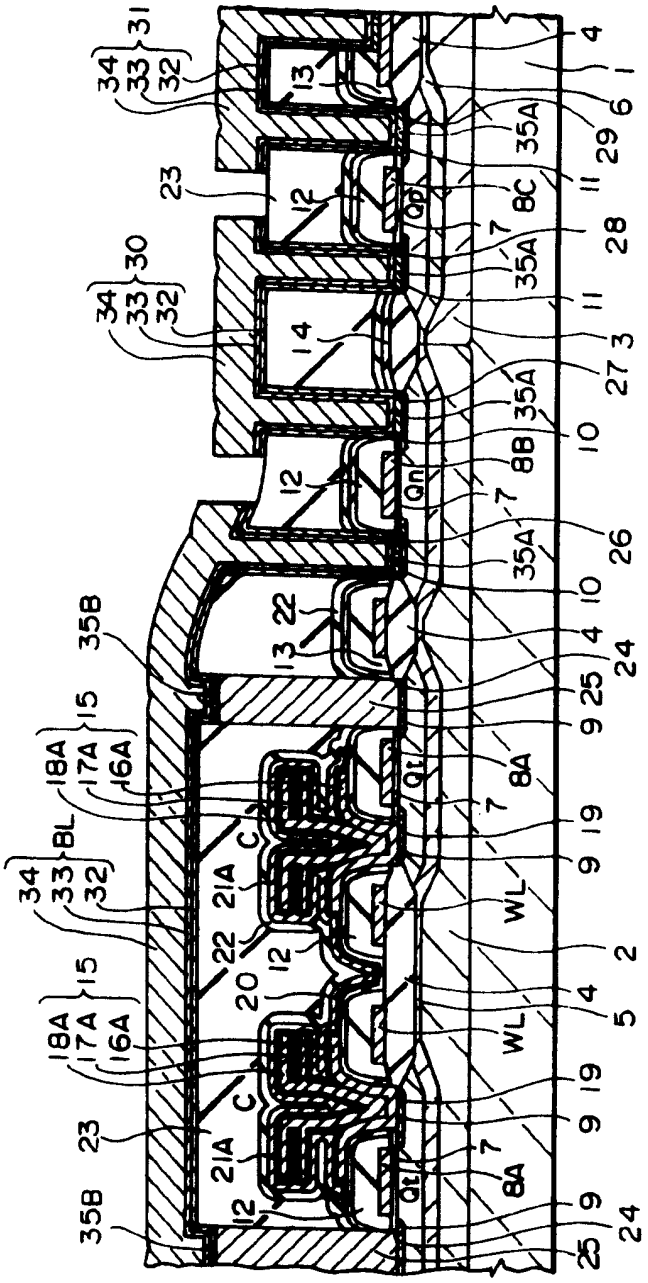

31
34
33
32
13
23
12
30
14
22
35B
15
18A
17A
16A
BL
C
21A
20
Qp
Qn
Qt
WL
8A
8B
8C
35A
1
2
3
4
5
6
7
9
10
11
19
24
25
26
27
28
29

图. 24

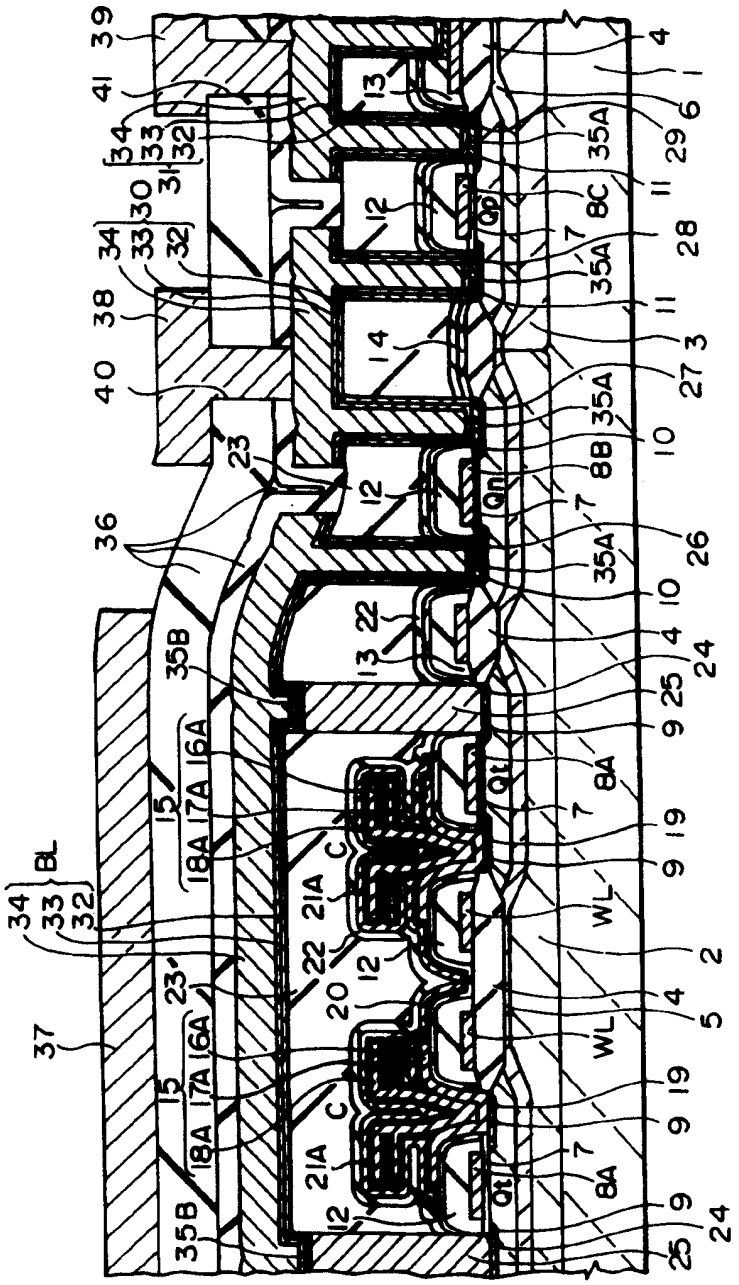
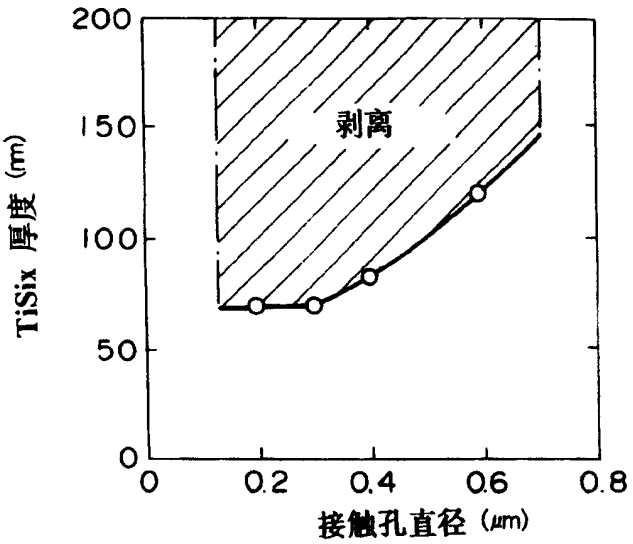
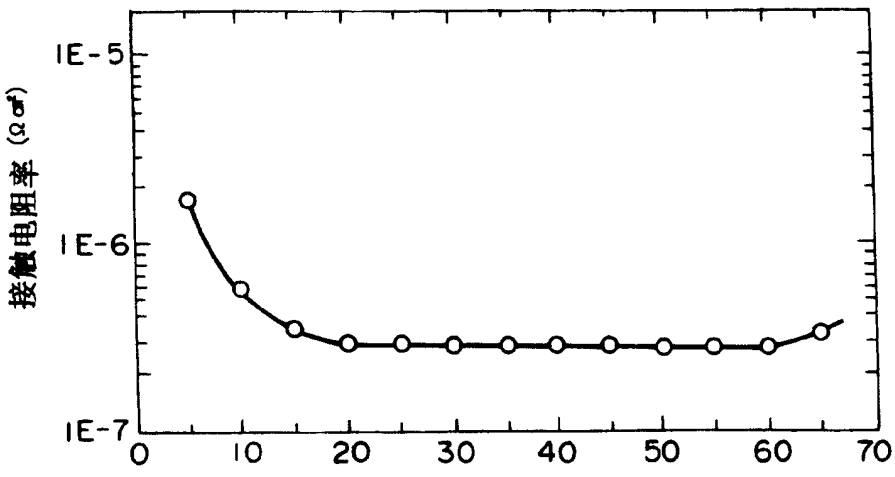

39
41
34
33
32
31
30
38
40
36
23
35B
15
16A
17A
18A
BL
37
21A
C
20
22
12
13
14
Qp
Qn
Qt
WL
8A
8B
8C
35A
7
9
10
11
2
3
4
5
6
1
19
24
25
26
27
28
29

图. 25



TiSix 临界厚度对接触孔直径的关系

图. 26



P 型半导体基片的接触电阻和 TiSix 厚度之间的关系曲线

图.27

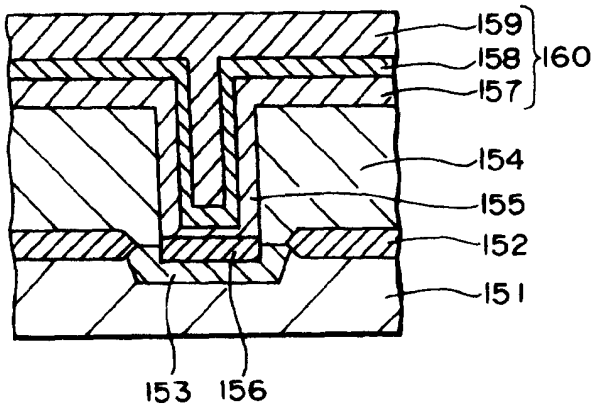


图.28A

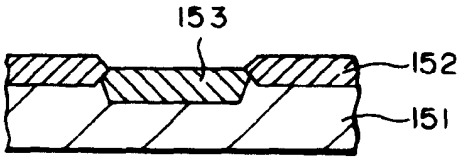


图.28B

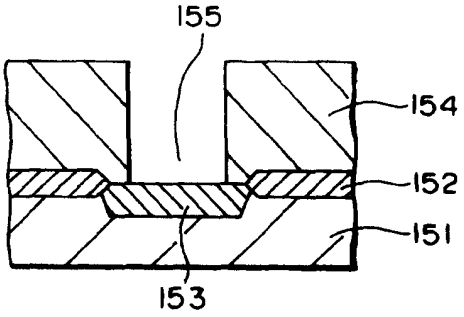


图.28C

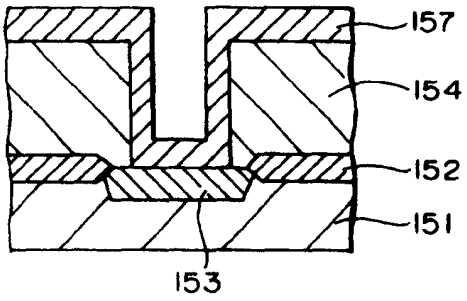


图.28D

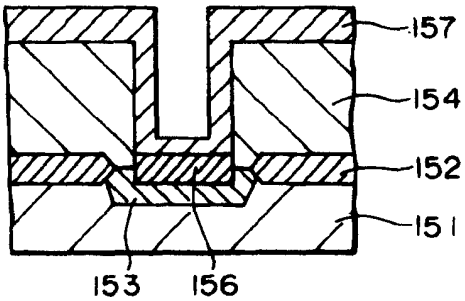


图.29

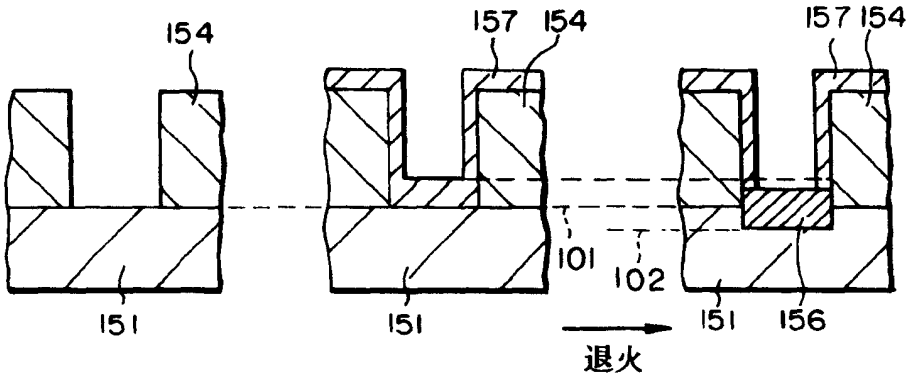

154
157
154
157
154
101
102
151
151
151
156
退火

图.30

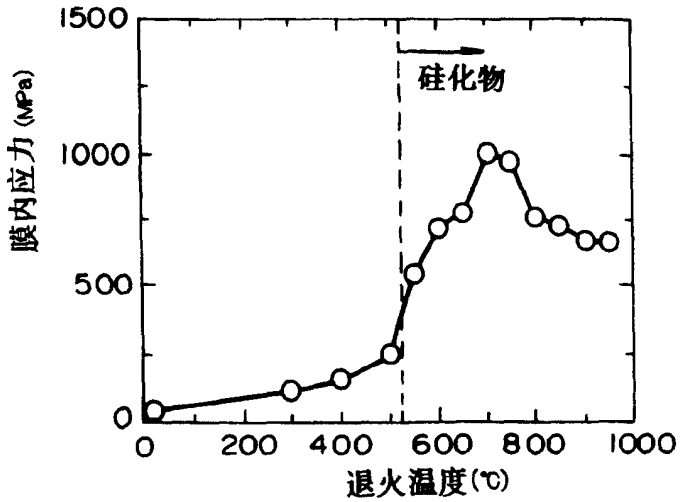

1500
1000
500
0
膜内应力(MPa)
硅化物
0
200
400
600
800
1000
退火温度(℃)

图.31

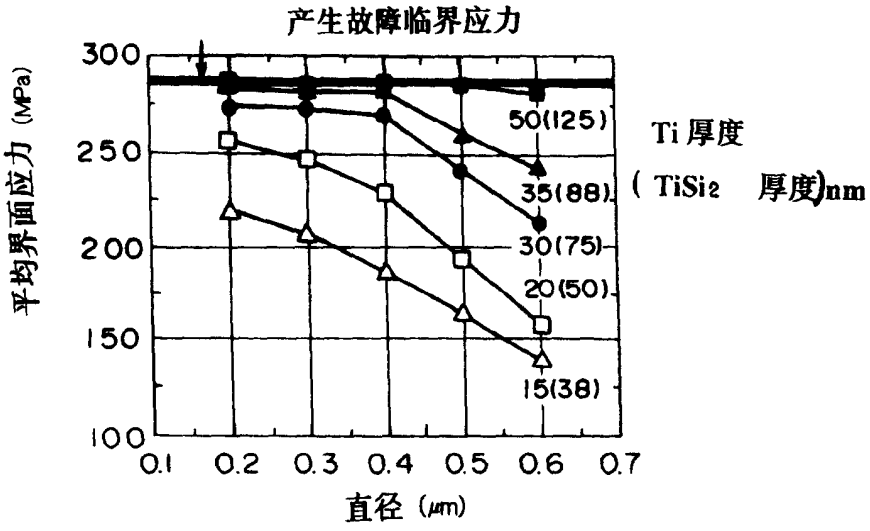

产生故障临界应力
平均界面应力 (MPa)
300
250
200
150
100
0.1
0.2
0.3
0.4
0.5
0.6
0.7
直径 (μm)
50(125)
35(88)
30(75)
20(50)
15(38)
Ti 厚度
(TiSi2 厚度)nm

图.32

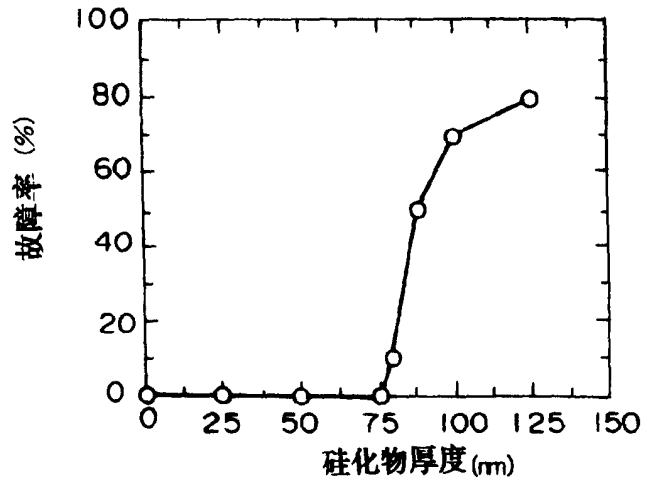

故障率 (%)
100
80
60
40
20
0
0
25
50
75
100
125
150
硅化物厚度(nm)

图. 33

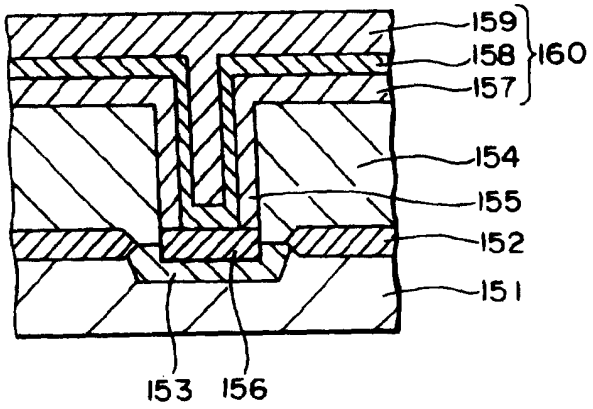


图. 34A

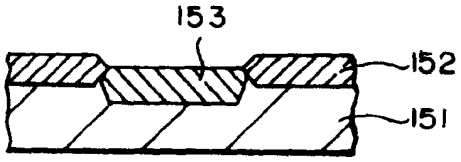


图. 34B

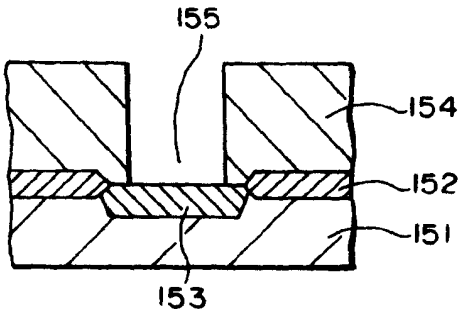


图. 34C

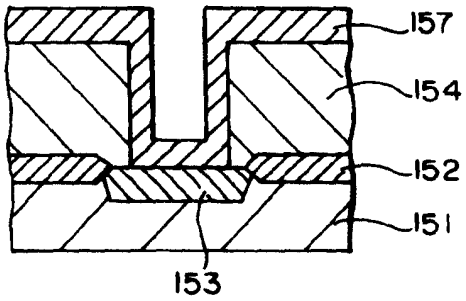


图. 34D

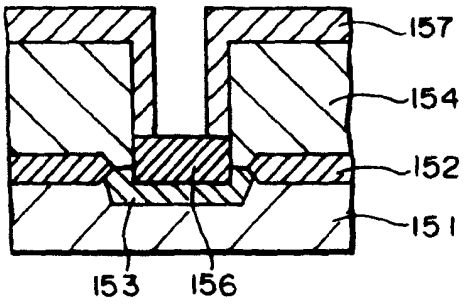


图. 35

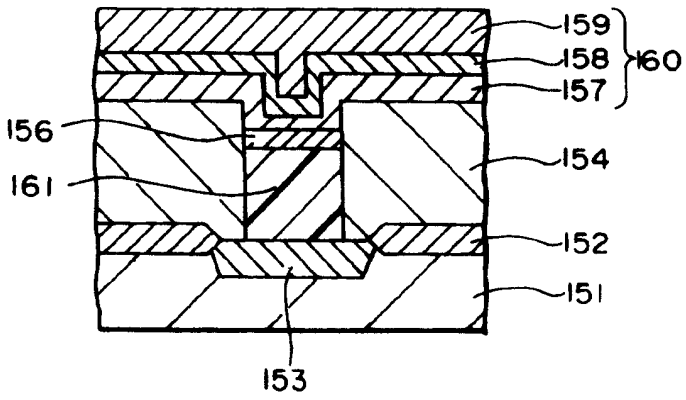


图. 36A

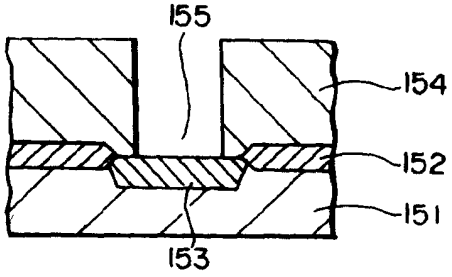


图. 36B

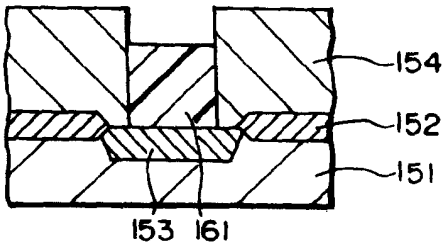


图. 36C

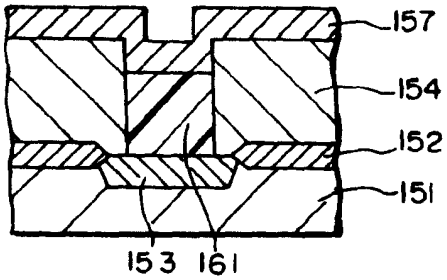


图. 36D

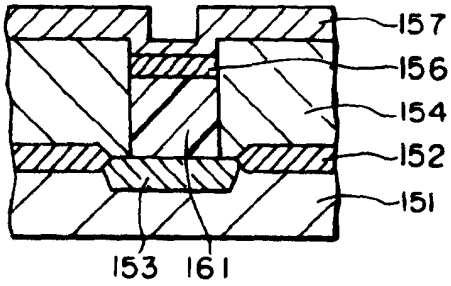


图.37

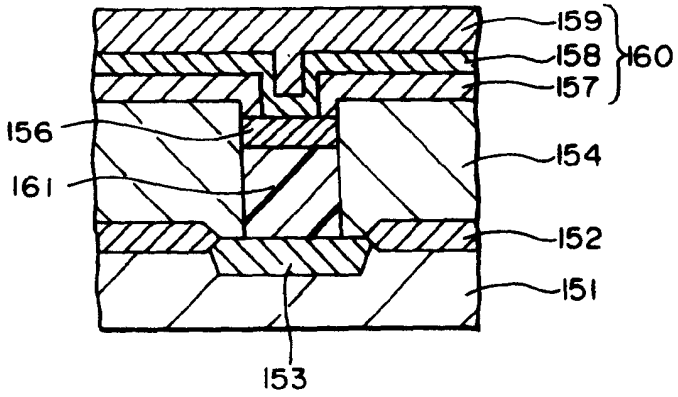


图. 38A

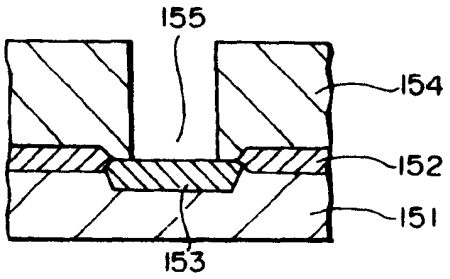


图. 38B

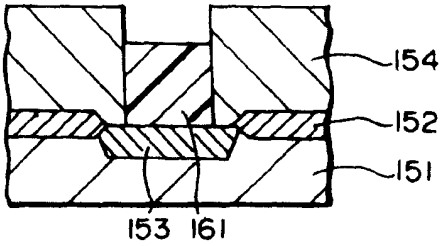


图. 38C

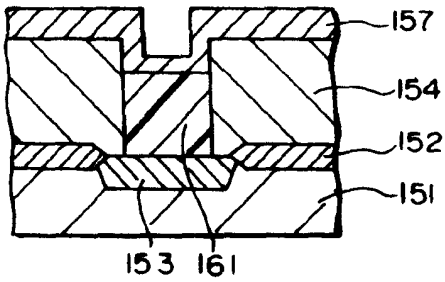


图. 38D

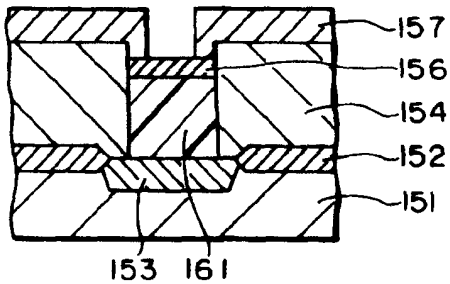


图. 39

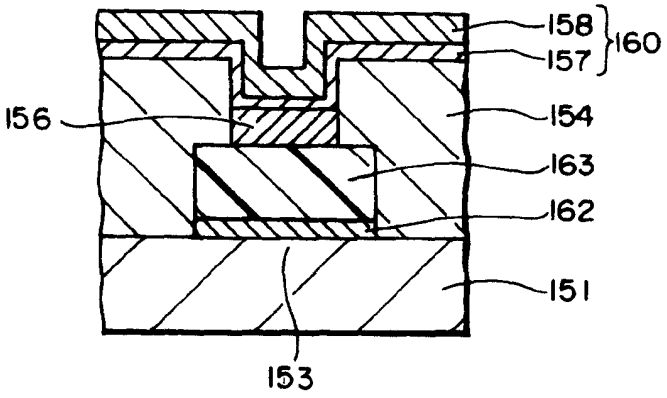


图. 40A

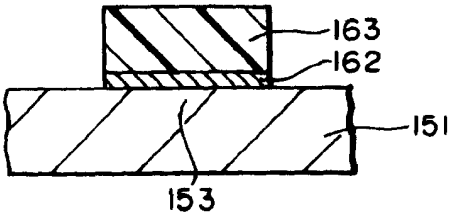


图. 40B

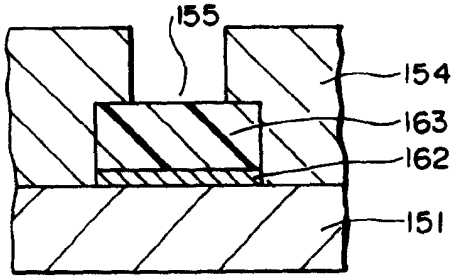


图. 40C

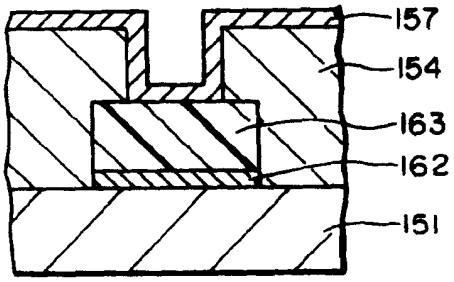


图. 40D

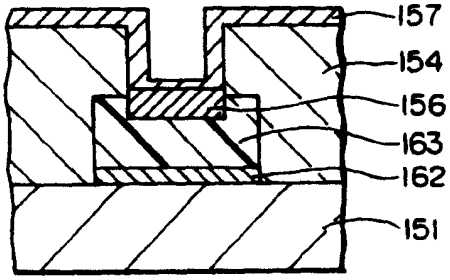


图. 41

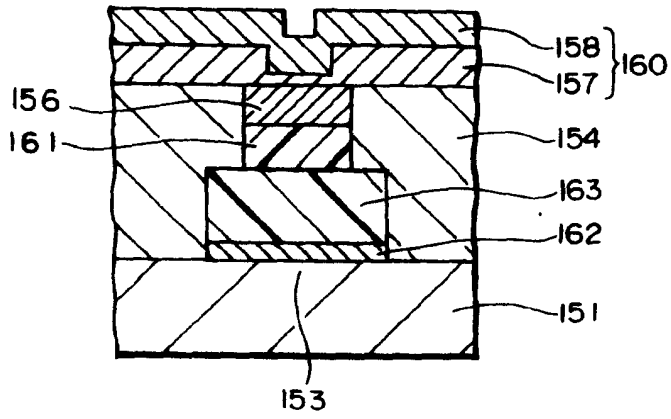


图. 42A

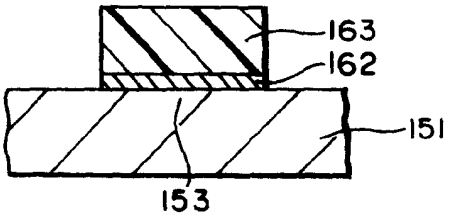


图. 42B

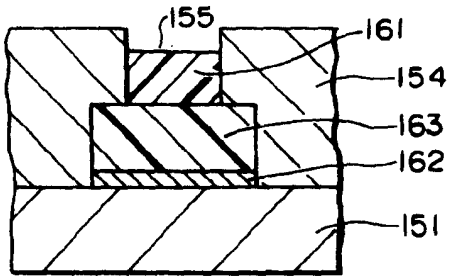


图. 42C

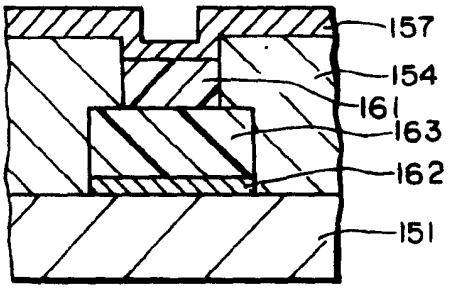


图. 42D

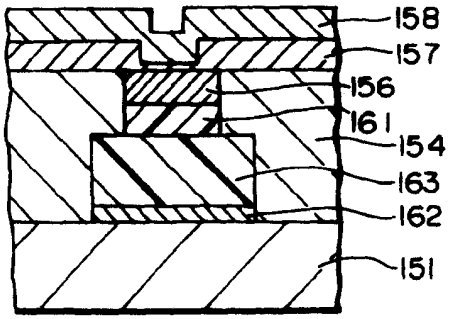


图. 43A

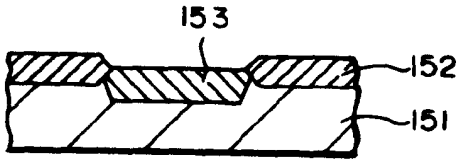


图. 43B

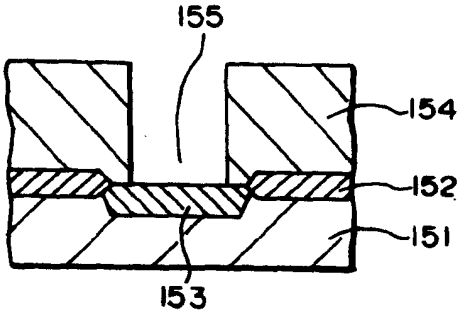


图. 43C

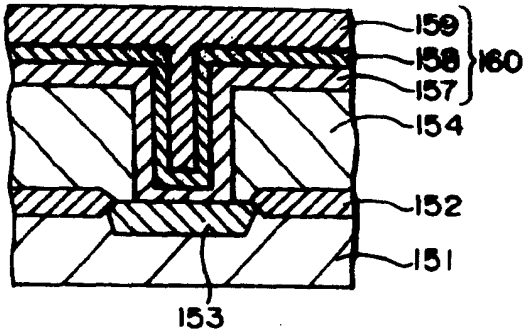


图. 43D

