

公告本

406355

申請日期	88. 5. 3
案 號	88107123
類 別	H01L 21/76

A4
C4

(以上各欄由本局填註)

406355

發明專利說明書

一、發明 名稱	中 文	結合淺溝渠隔離與絕緣層上有矽之結構及其製造方法
	英 文	
二、發明 創作人	姓 名	莊淑雅
	國 籍	中華民國
	住、居所	新竹縣寶山鄉雙溪村寶新路 147 巷 23 號
三、申請人	姓 名 (名稱)	聯誠積體電路股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(一)

本發明是有關於一種半導體元件結構及其製造方法，且特別是有關於一種結合淺溝渠隔離(Shallow Trench Isolation, STI)與絕緣層上有矽(Silicon On Insulator, SOI)之結構及其製造方法，並可降低在淺溝渠隔離結構上之應力。

在積體電路蓬勃發展的今日，元件縮小化與積集化是必然之趨勢，也是各界積極發展的重要課題。當元件尺寸逐漸縮小，積集度(Integration)逐漸提高，元件間的隔離結構也必須縮小，因此元件隔離技術困難度也逐漸增高。

習知之元件隔離有利用區域氧化法(Local Oxidation, LOCOS)來形成的場氧化層(Field Oxide)，然而由於場氧化層受限於其外型之鳥嘴(Bird's Beak)特性，要縮小其尺寸實有困難。有鑒於此，已有其他元件隔離方法持續被發展出來，其中以淺溝渠隔離(Shallow Trench Isolation, STI)最被看好，目前已被廣泛應用在深次微米(Sub-half Micron)的積體電路製程中。

淺溝渠隔離(STI)是一種在基底上形成圖案化之硬罩幕層，利用非等向性蝕刻方法在半導體基底中形成溝渠，然後在溝渠中填入氧化物，以形成元件之隔離區，之後再去除硬罩幕層的技術。由於 STI 所形成之場隔離區具有可調整大小(Scaleable)的優點，因此對於深次微米製程中的互補式金氧半導體(CMOS)而言，是一種較為理想與的元件隔離技術。

另外，在元件與基底之隔離技術中，絕緣層上有矽

五、發明說明(二)

(Silicon On Insulator, SOI)是一種在矽基底中埋入一層氧化矽絕緣層，以在 CMOS 元件底下形成隔離區的技術。其具有可降低接面漏電流(Junction leakage)與電容(Capacitance)等等之優點。並且由於 CMOS 電晶體不與矽基底相連，因此由"源極與基底"和"井區與基底"連接所造成的 CMOS 電晶體閉鎖(Latch-up)問題，將因為中間這層絕緣層隔離而消失。

目前 SOI 的製造方式約有三種：

1. 在一矽基底中，利用離子植入法植入氧於基底中，深度約 2 微米(micron)，然後利用熱製程使植入之氧與矽基底反應形成一氧化矽層於基底中。

2. 在一矽基底上先形成一氧化矽層，再與另一矽基底接合而形成一絕緣層上有矽之基底。

3. 在一矽基底上先形成一氧化矽層，在利用磊晶的方法在氧化矽層上形成矽層。

儘管 SOI 的結構具有諸多優點，但由於目前形成 SOI 的製作成本昂貴，且均在整片基底上製作形成，其製程與 CMOS 製程難以結合。而且 SOI 製作技術較為複雜，並不適合於量產。

由上可知，若能提供區域性(Local)的 SOI 製作技術，再結合 STI 結構，將此二種絕緣方法相結合，共同運用於半導體元件之製造，則可兼具兩者之優點，使元件之設計更加彈性與靈活。

例如，可應用在一種動態隨機存取記憶體(DRAM)中所

五、發明說明(3)

使用的開關電晶體(Pass transistor)之結構。其中，開關電晶體建構於 SOI 上較佳，可減少漏電流的問題。

基於上述之觀點，本發明提供一種結合淺溝渠隔離與絕緣層上有矽之結構與其製造方法，不僅可具有兩者之優點，並且不需使用硬罩幕層，可解決以傳統方法製造淺溝渠隔離所產生的應力問題。

本發明提供一種結合淺溝渠隔離與絕緣層上有矽之結構與其製造方法。包括提供一基底，基底至少包括一淺溝渠隔離區域與一絕緣層上有矽區域。然後在絕緣層上有矽區域之基底中形成第一開口，用以製作絕緣層上有矽結構。接著在基底與第一開口之表面依序形成共形之第一襯氧化層與第一氧化矽層。然後在氧化矽層上形成一非晶矽層，且填滿第一開口。之後以化學機械研磨法進行平坦化，去除第一氧化矽層上的非晶矽層，以留下部分之非晶矽層填滿第一開口。接著利用微影蝕刻的方法，在淺溝渠隔離區域之基底中，形成第二開口，用以製作淺溝渠隔離結構。然後在第二開口之內表面形成一共形之第二襯氧化層。接著在基底上形成一第二氧化矽層，且填滿第二開口。然後執行一高溫緻密化製程，使第二氧化矽層緻密化，同時使非晶矽層轉變成一單晶矽層。再以化學機械研磨法進行平坦化，去除單晶矽層上之第二氧化矽層，直到暴露出單晶矽層時終止。接著在單晶矽層表面形成犧牲氧化層，以去除單晶矽層表面的雜質。之後視製程需要(如形成井區)決定是否進行摻雜。然後剝除基底與單晶矽層表面暴露之氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (Ψ)

化矽層，以暴露出基底與單晶矽層。最後在基底與單晶矽層上形成閘極氧化層與閘極，並接著進行元件的製作。

由於以光阻層作為定義第二開口時的罩幕層，且使用單晶矽層作為平坦化製程的終止層，因此可避免傳統使用硬罩幕層形成淺溝渠隔離結構所產生的應力問題。另外，在形成第一開口時，可使用虛擬圖案(Dummy pattern)，增加單晶矽層的面積，藉以在平坦化第二氧化矽層時，增進終點偵測的靈敏度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1F 圖是繪示依照本發明一較佳實施例之製程剖面示意圖。

圖式之標記說明：

100：基底

102：淺溝渠隔離區域

104：絕緣層上有矽區域

110：第一開口

112：第一襯氧化層

114：第一氧化矽層

116、116a：非晶矽層

116b：單晶矽層

118：第二開口

五、發明說明(5)

120：第二襯氧化層

122：氧化矽層

124：第二氧化矽層

126：犧牲氧化層

128：閘極氧化層

130：閘極層

較佳實施例

請參照第 1A 圖，提供一矽基底 100，矽基底 100 至少包括一淺溝渠隔離(STI)區域 102 與一絕緣層上有矽(SOI)區域 104。然後在絕緣層上有矽(SOI)區域 104 之矽基底 100 中，預定製作絕緣層上有矽之位置，形成一第一開口 110，其形成的方法比如以傳統的微影和蝕刻方式進行。接著在基底 100 與開口 110 之表面依序形成共形(Conformal)之第一襯氧化層 112 與第一氧化矽層 114，其形成之方法比如襯氧化層 112 是以熱氧化法形成，而氧化矽層 114 比如是以化學氣相沉積法(CVD)沉積而成，厚度約 1000 埃左右。接著在氧化矽層 114 上形成一非摻雜(undoped)之非晶矽層(amorphous silicon)116 且填滿開口 110，其形成的方法比如是以 CVD 所沉積而成。

請參照第 1B 圖，進行一平坦化製程，比如使用化學機械研磨法(CMP)，以去除氧化矽層 114 上的部分非晶矽層 116，留下部分之非晶矽層 116a 填滿開口 110。接著在淺溝渠隔離(STI)區域之基底 100 中，預定製作淺溝渠隔離的位置，形成一第二開口 118。其形成的方法比如以傳統

五、發明說明(6)

的微影和蝕刻方式進行，在基底 100 上形成一圖案化的光阻層代替傳統製程所使用之墊氧化層(Pad oxide)與氮化矽硬罩幕層(Hard mask)，然後以光阻層為罩幕，進行非等向性蝕刻以形成所需要的開口 118，之後再去除光阻層。

請參照第 1C 圖，在開口 118 之內表面形成一第二襯氧化層 120，形成襯氧化層 120 之方法比如以熱氧化法進行。由於熱氧化之關係，會在非晶矽層 116a 之表面形成一層氧化矽層 122。接著在基底 100 上形成一第二氧化矽層 124 且填滿開口 118，形成氧化矽層 124 的方法比如是以 CVD 沉積而成。接著對氧化矽層 124 進行一緻密化(Densification)步驟，比如在溫度約攝氏 1000 度左右進行回火，以使氧化矽層 124 變得緻密。在此同時，非晶矽層 116a 將因為高溫而再結晶，轉變成一單晶矽(single crystal silicon)層 116b。

請參照第 1D 圖，進行一平坦化製程，去除單晶矽層 116b 上的氧化矽層 124 與 122，比如使用 CMP 進行研磨，直到暴露出非晶矽層 116b 時停止，在此單晶矽層 116b 即作為 CMP 之終止層。此外，可在形成開口 110 時，使用虛擬圖案(dummy pattern)，也就是在其他區域形成多個開口，並在其中形成單晶矽層，以增加單晶矽層 116b 的形成位置，增進 CMP 對研磨終點的感測能力，可藉此增進 CMP 的均勻度。接著在單晶矽層 116b 表面形成一犧牲氧化層 126，藉以去除雜質，確保 SOI 表面結構的品質。若需要對基底 100 進行摻雜時，比如形成井區(Well)，可在此時進行摻

五、發明說明(1)

雜，比如是以離子植入法進行。由於本發明，在 CMP 製程中係以單晶矽層作為研磨終止層，且在製作開口 118 時，係以傳統微影蝕刻方法中的光阻層作為蝕刻罩幕，並不需要使用傳統的氮化矽硬罩幕層，因此在製作淺溝渠隔離的過程中，不會發生傳統使用氮化矽硬罩幕層所產生的應力 (Stress) 問題。

請參照第 1E 圖，去除基底 100 與單晶矽層 116b 表面暴露之氧化矽層，比如以氫氟酸 (HF) 溶液作濕式浸漬 (Wet dip) 去除氧化矽層 114、襯氧化層 112 與犧牲氧化層 126，以及部分氧化矽層 124。但濕式浸漬僅去除在基底 100 與單晶矽層 116b 表面暴露之氧化矽層，在單晶矽層 116b 底下與週緣之氧化矽層 114 與襯氧化層 112 則未被去除。由單晶矽層 116b 以及其下的氧化矽層 114 和襯氧化層 112 組成絕緣層上有矽 (SOI) 之結構。在形成 SOI 之製造過程中，可藉由控制第一開口 110 之深度，以及第一襯氧化層 112、第一氧化矽層 114、第二襯氧化層 120、氧化矽層 122 與犧牲氧化層 126 之厚度，來控制單晶矽層 116b 形成的厚度，藉以使 CMOS 元件具有較佳之性能與較低之漏電流。比如形成單晶矽層 116b 的厚度約 500 埃左右。

請參照第 1F 圖，進行半導體元件之製作。比如以熱氧化法在基底 100 與單晶矽層 116b 上形成閘極氧化層 128。接著比如在閘極氧化層 128 上以 CVD 沉積摻雜的多晶矽 (doped polysilicon) 以形成閘極層 130。然後再進行後續元件製作的製程，在此不再贅述。

五、發明說明(8)

由上述本發明較佳實施例可知，應用本發明可同時提供淺溝渠隔離與絕緣層上有矽二種結構，使得在積體電路設計時可以有更大的彈性，並且在製作過程中以光阻層作為罩幕層，且以單晶矽層作為平坦化時的終止層，可避免傳統使用硬罩幕層製作淺溝渠隔離時所造成的應力問題。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 結合淺溝渠隔離與絕緣層上有矽)
之結構及其製造方法

一種結合淺溝渠隔離與絕緣層上有矽之結構及其製造方法。包括提供一基底，基底至少包括一淺溝渠隔離區域與一絕緣層上有矽區域。接著在絕緣層上有矽區域之基底中形成第一開口，用以製作絕緣層上有矽結構。然後在基底上與第一開口內形成一具形之第一絕緣層。之後形成一非晶矽層填滿第一開口。接著在淺溝渠隔離區域之中形成第二開口，用以製作淺溝渠隔離結構。然後在基底上形成一第二絕緣層，且填滿第二開口。之後執行一緻密化製程，使第二絕緣層緻密化，同時使非晶矽層轉變成一單晶矽層。接著以單晶矽層為終點，對第二絕緣層進行平坦化。最後剝除基底上暴露的第一絕緣層。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

406355

六、申請專利範圍

1. 一種淺溝渠隔離結合絕緣層上有矽之製造方法，包括：

提供一基底，該基底至少包括一淺溝渠隔離區域與一絕緣層上有矽區域；

於該絕緣層上有矽區域之該基底中形成一第一開口；

於該基底上與該第一開口內形成一共形之第一絕緣層；

形成一非晶矽層填滿該第一開口；

於該淺溝渠隔離區域之該基底中形成一第二開口；

形成一第二絕緣層填滿該第二開口；

執行一緻密化製程，使該第二絕緣層緻密化，並使該開口內之該非晶矽層轉變成一單晶矽層；

去除該基底上暴露之該第一絕緣層。

2. 如申請專利範圍第 1 項所述之方法，其中該第一絕緣層包括依序形成之一襯氧化層與一氧化矽層。

3. 如申請專利範圍第 1 項所述之方法，其中該第二絕緣層包括由一氧化矽層所組成。

4. 如申請專利範圍第 3 項所述之方法，其中形成該第二絕緣層之前，更包括於該第二開口之內表面形成一共形之襯氧化層。

5. 如申請專利範圍第 1 項所述之方法，其中該緻密化製程在溫度約攝氏 1000 度左右。

6. 如申請專利範圍第 1 項所述之方法，其中去除該第一絕緣層的方法包括濕式浸漬法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7. 一種淺溝渠隔離結合絕緣層上有矽之製造方法，包括：

提供一基底，該基底至少包括一淺溝渠隔離區域與一絕緣層上有矽區域；

於該絕緣層上有矽區域之該基底中形成一第一開口；

於該基底上與該開口內依序形成共形之一第一襯氧化層與一第一氧化矽層；

形成一非晶矽層填滿該第一開口；

於該淺溝渠隔離區域之該基底中形成一第二開口；

於該第二開口之內表面形成一共形之第二襯氧化層；

於該基底上形成第二氧化矽層，且填滿該第二開口；

執行一緻密化製程，使該第二氧化矽層緻密化，並使該第一開口內之該非晶矽層轉變成一單晶矽層；

進行一平坦化製程，去除部分之該第二絕緣層，直到暴露出該單晶矽層；以及

依序去除該基底上暴露之該第一氧化矽層與該第一襯氧化層。

8. 如申請專利範圍第 7 項所述之方法，其中該形成該第一襯氧化層與該第二襯氧化層的方法包括熱氧化法。

9. 如申請專利範圍第 7 項所述之方法，其中形成該第一氧化矽層與該第二氧化矽層的方法包括化學氣相沉積法。

10. 如申請專利範圍第 7 項所述之方法，其中形成該第二開口的方法包括微影與蝕刻。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

11. 如申請專利範圍第 7 項所述之方法，其中該緻密化製程在溫度約攝氏 1000 度左右。

12. 如申請專利範圍第 7 項所述之方法，其中該平坦化製程包括化學機械研磨法。

13. 如申請專利範圍第 7 項所述之方法，其中去除該第一絕緣層的方法包括濕式浸漬法。

14. 一種淺溝渠隔離結合絕緣層上有矽之結構，係架構於一基底，該基底包括一淺溝渠隔離區域與一絕緣層上有矽區域，該結構至少包括：

一第一絕緣層，配置於該淺溝渠隔離區域，並嵌入該基底中；

一單晶矽層，配置於該絕緣層上有矽區域，並嵌入該基底中；以及

一第二絕緣層，配置於該單晶矽層與該基底之間。

15. 如申請專利範圍第 14 項所述之結構，其中該第一絕緣層包括一緻密氧化層。

16. 如申請專利範圍第 15 項所述之結構，其中該緻密氧化層與該基底之間更包括以一襯氧化層相隔。

17. 如申請專利範圍第 14 項所述之結構，其中該第二絕緣層包括一氧化矽層。

18. 如申請專利範圍第 17 項所述之結構，其中該氧化矽層與該基底之間更包括以一襯氧化層相隔。

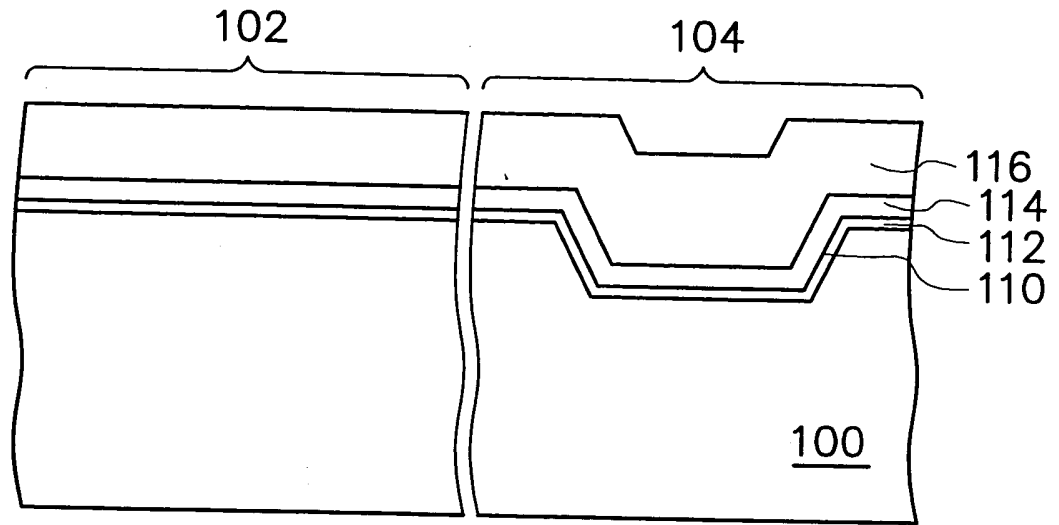
(請先閱讀背面之注意事項再填寫本頁)

裝

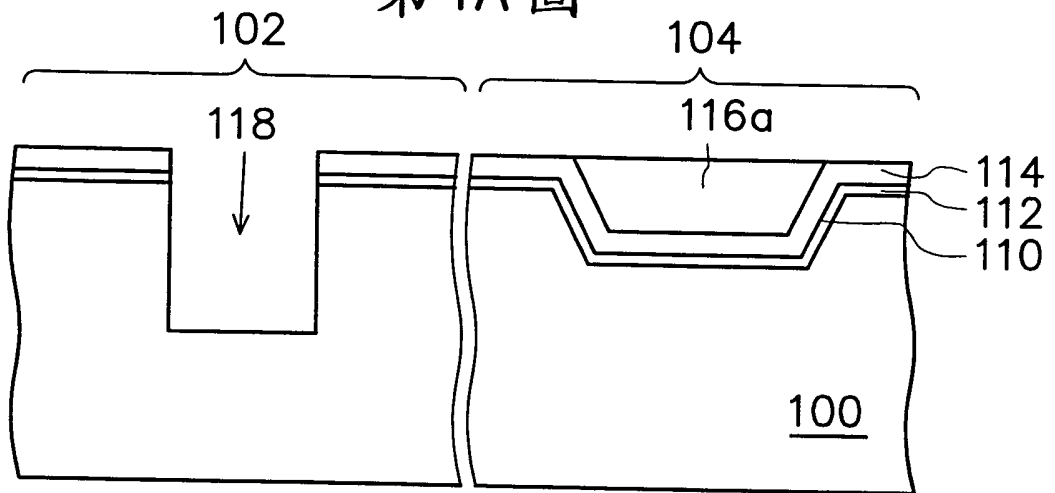
訂

線

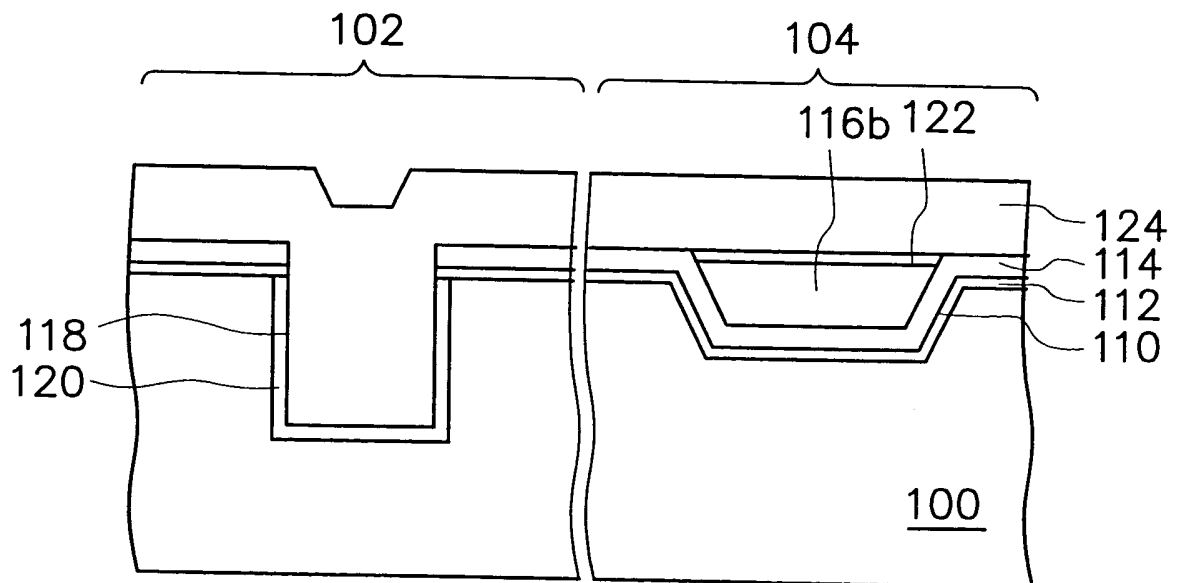
4486TW



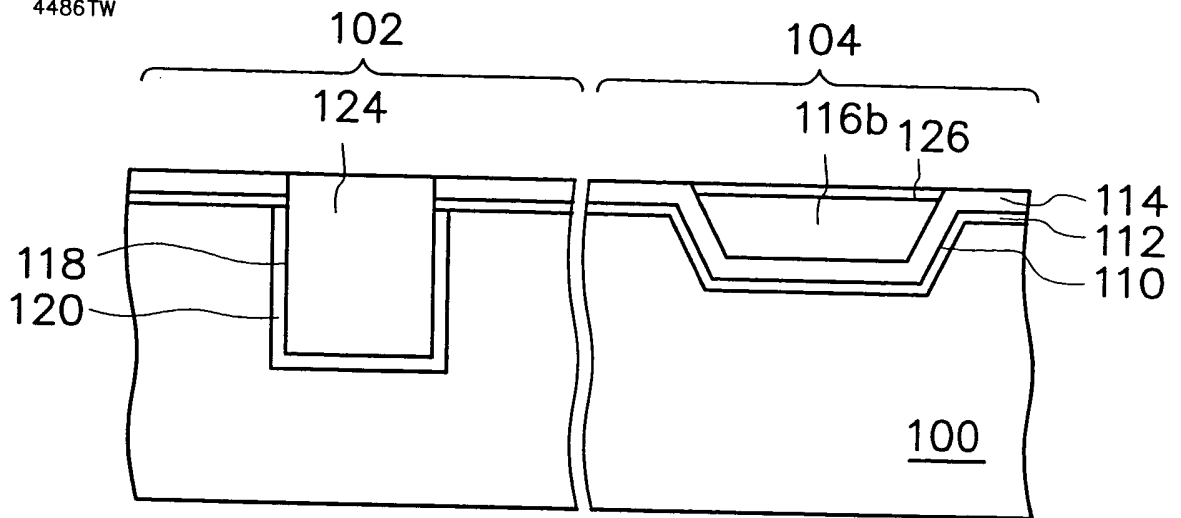
第 1A 圖



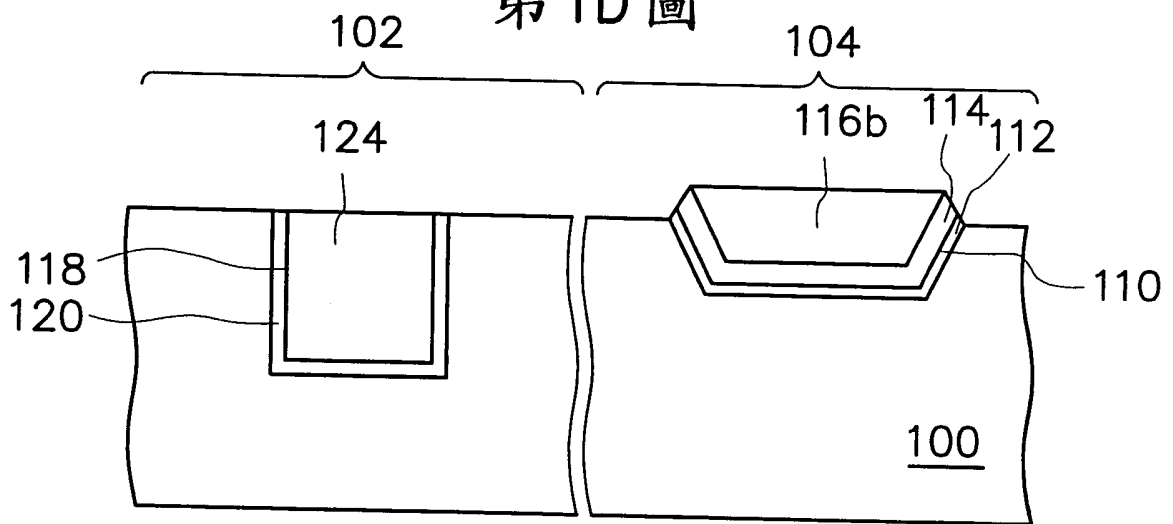
第 1B 圖



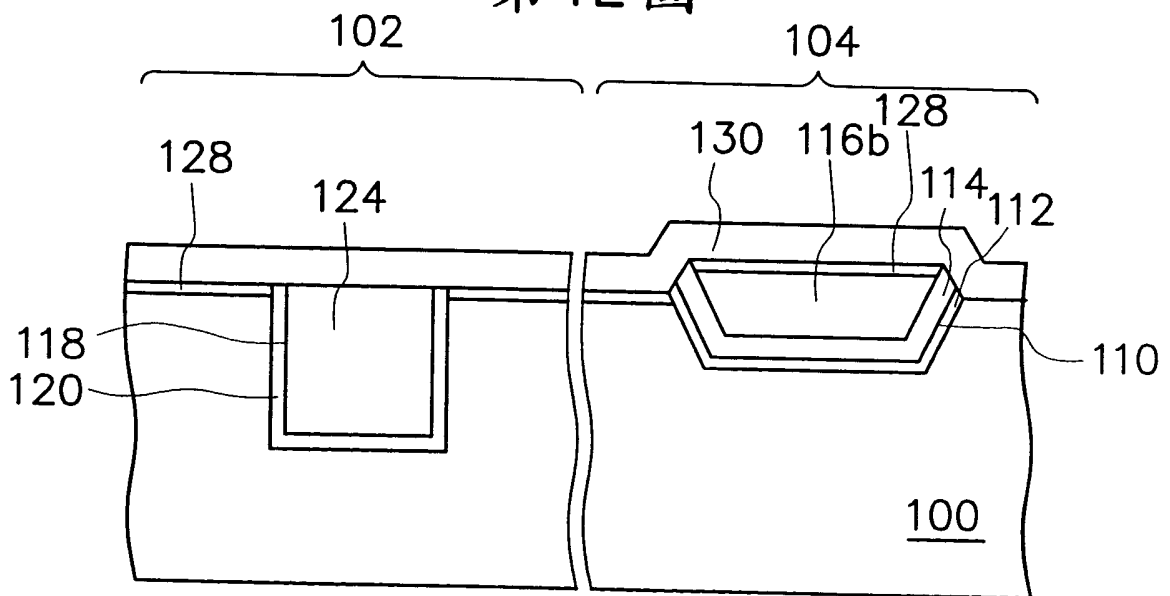
第 1C 圖



第1D圖



第1E圖



第1F圖