(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月5日(05.12.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/248011 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/739* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号： PCT/JP2024/019603

(22) 国際出願日： 2024年5月28日(28.05.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-089176 2023年5月30日(30.05.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 日笠 旭紘 (HIKASA, Akihiro); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

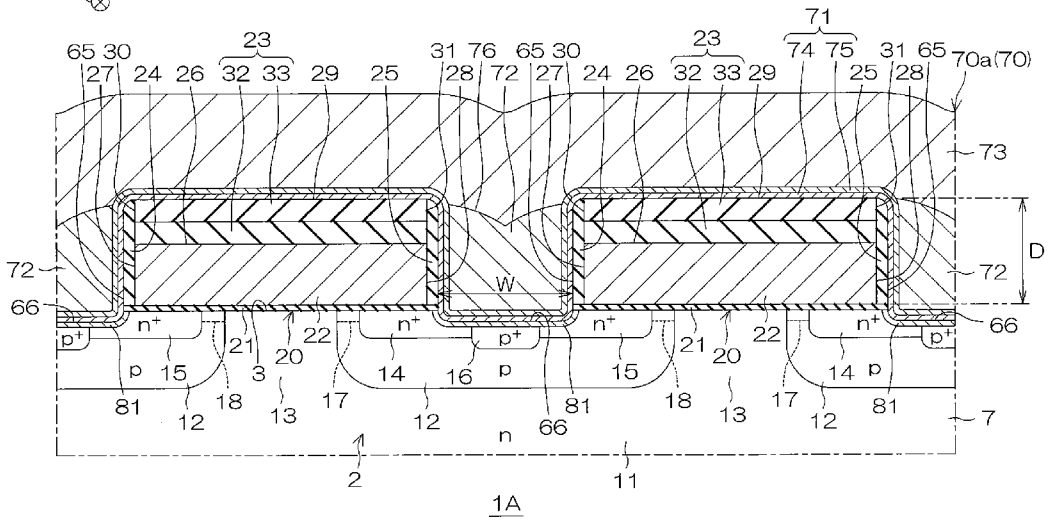
(74) 代理人: 弁理士法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称： 半導体装置およびその製造方法

図7



(57) **Abstract:** A semiconductor device comprises: a chip that has a main surface; a plurality of planar gate structures each including a gate insulating film that covers the main surface, a gate electrode that is disposed on the gate insulating film, and a side wall insulating film that covers a side wall of the gate electrode, said gate structures being disposed on the main surface at intervals; an opening that is defined by the plurality of side wall insulating films in a region between the plurality of gate structures; and a main electrode that is mechanically connected to the plurality of side wall insulating

WO 2024/248011 A1

[続葉有]

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

films in the opening and electrically connected to the main surface.

(57) 要約:半導体装置は、主面を有するチップと、前記主面を被覆するゲート絶縁膜、前記ゲート絶縁膜の上に配置されたゲート電極、および、前記ゲート電極の側壁を被覆する側壁絶縁膜をそれぞれ含み、前記主面の上に間隔を空けて配置されたプレーナ型の複数のゲート構造と、複数の前記ゲート構造の間の領域で複数の前記側壁絶縁膜によって区画された開口と、前記開口内で複数の前記側壁絶縁膜に機械的に接続され、前記主面に電気的に接続された主電極と、を含む。

明　細　書

発明の名称 ： 半導体装置およびその製造方法

技術分野

[0001] この出願は、２０２３年５月３０日に日本国特許庁に提出された特許出願２０２３－０８９１７６号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本開示は、半導体装置およびその製造方法に関する。

背景技術

[0002] 特許文献１（US2022/0093491A1）は、複数のプレーナゲート構造を備えた半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第２０２２／００９３４９１号明細書

[0004] ［概要］

本開示は、電気的特性を向上できる半導体装置およびその製造方法を提供する。

[0005] 本開示は、主面を有するチップと、前記主面を被覆するゲート絶縁膜、前記ゲート絶縁膜の上に配置されたゲート電極、および、前記ゲート電極の側壁を被覆する側壁絶縁膜をそれぞれ含み、前記主面の上に間隔を空けて配置されたプレーナ型の複数のゲート構造と、複数の前記ゲート構造の間の領域において複数の前記側壁絶縁膜によって区画され、前記主面を露出させる開口と、前記開口内において複数の前記側壁絶縁膜に機械的に接続され、前記開口内において前記主面に電気的に接続された主電極と、を含む、半導体装置を提供する。

[0006] 本開示は、ウエハの主面の上に下絶縁膜を形成する工程と、複数のゲート電極を前記下絶縁膜の上に形成する工程と、複数の前記ゲート電極を被覆するベース絶縁膜を前記下絶縁膜の上に形成する工程と、複数の前記ゲート電

極の側壁に対する前記ベース絶縁膜の被覆部を残存させるように前記ベース絶縁膜を選択的に除去し、複数の前記ゲート電極の側壁をそれぞれ被覆する複数の側壁絶縁膜を形成する工程と、前記下絶縁膜のうち複数の前記ゲート電極による隠蔽部を複数のゲート絶縁膜として残存させるように前記下絶縁膜のうち複数の前記側壁絶縁膜によって区画された露出部を除去し、前記主面を露出させる開口を形成する工程と、前記開口内において複数の前記側壁絶縁膜に機械的に接続され、前記開口内において前記主面に電気的に接続されるように前記主面の上に主電極を形成する工程と、を含む、半導体装置の製造方法を提供する。

[0007] 上述のまたはさらに他の目的、特徴および効果は、添付図面を参照する詳細な説明により明らかにされる。

図面の簡単な説明

[0008] [図1]図１は、第１形態に係る半導体装置を示す平面図である。

[図2]図２は、図１に示すII-II線に沿う断面図である。

[図3]図３は、第１主面のレイアウト例を示す平面図である。

[図4]図４は、第１主面の要部を示す拡大平面図である。

[図5]図５は、第１主面の更なる要部を示す拡大平面図である。

[図6]図６は、図５に示すVI-VI線に沿う断面図である。

[図7]図７は、図６の要部を第１例に係るゲート構造と共に示す拡大断面図である。

[図8]図８は、図５に示すVIII-VIII線に沿う断面図である。

[図9]図９は、図８の要部を第１例に係る配線構造と共に示す拡大断面図である。

[図10A]図１０Ａは、第２例に係るゲート構造を示す拡大断面図である。

[図10B]図１０Ｂは、第３例に係るゲート構造を示す拡大断面図である。

[図10C]図１０Ｃは、第４例に係るゲート構造を示す拡大断面図である。

[図10D]図１０Ｄは、第５例に係るゲート構造を示す拡大断面図である。

[図10E]図１０Ｅは、第６例に係るゲート構造を示す拡大断面図である。

[図10F]図１０Ｆは、第７例に係るゲート構造を示す拡大断面図である。

[図10G]図１０Ｇは、第８例に係るゲート構造を示す拡大断面図である。

[図10H]図１０Ｈは、第９例に係るゲート構造を示す拡大断面図である。

[図10I]図１０Ｉは、第１０例に係るゲート構造を示す拡大断面図である。

[図10J]図１０Ｊは、第１１例に係るゲート構造を示す拡大断面図である。

[図11A]図１１Ａは、第２例に係る配線構造を示す拡大断面図である。

[図11B]図１１Ｂは、第３例に係る配線構造を示す拡大断面図である。

[図11C]図１１Ｃは、第４例に係る配線構造を示す拡大断面図である。

[図11D]図１１Ｄは、第５例に係る配線構造を示す拡大断面図である。

[図11E]図１１Ｅは、第６例に係る配線構造を示す拡大断面図である。

[図11F]図１１Ｆは、第７例に係る配線構造を示す拡大断面図である。

[図11G]図１１Ｇは、第８例に係る配線構造を示す拡大断面図である。

[図11H]図１１Ｈは、第９例に係る配線構造を示す拡大断面図である。

[図11I]図１１Ｉは、第１０例に係る配線構造を示す拡大断面図である。

[図12]図１２は、半導体装置の製造に使用されるウエハを示す概略図である。

[図13A]図１３Ａは、半導体装置の製造方法を示す断面図である。

[図13B]図１３Ｂは、図１３Ａの後の工程を示す断面図である。

[図13C]図１３Ｃは、図１３Ｂの後の工程を示す断面図である。

[図13D]図１３Ｄは、図１３Ｃの後の工程を示す断面図である。

[図13E]図１３Ｅは、図１３Ｄの後の工程を示す断面図である。

[図13F]図１３Ｆは、図１３Ｅの後の工程を示す断面図である。

[図13G]図１３Ｇは、図１３Ｆの後の工程を示す断面図である。

[図13H]図１３Ｈは、図１３Ｇの後の工程を示す断面図である。

[図13I]図１３Ｉは、図１３Ｈの後の工程を示す断面図である。

[図13J]図１３Ｊは、図１３Ｉの後の工程を示す断面図である。

[図13K]図１３Ｋは、図１３Ｊの後の工程を示す断面図である。

[図13L]図１３Ｌは、図１３Ｋの後の工程を示す断面図である。

[図13M]図１３Ｍは、図１３Ｌの後の工程を示す断面図である。

[図13N]図１３Ｎは、図１３Ｍの後の工程を示す断面図である。

[図13O]図１３Ｏは、図１３Ｎの後の工程を示す断面図である。

[図13P]図１３Ｐは、図１３Ｏの後の工程を示す断面図である。

[図13Q]図１３Ｑは、図１３Ｐの後の工程を示す断面図である。

[図13R]図１３Ｒは、図１３Ｑの後の工程を示す断面図である。

[図14]図１４は、第２形態に係る半導体装置のゲート構造を示す拡大断面図である。

[図15]図１５は、図１４に示す半導体装置の配線構造を示す拡大断面図である。

[図16A]図１６Ａは、図１４に示す半導体装置の製造方法を示す断面図である。

[図16B]図１６Ｂは、図１６Ａの後の工程を示す断面図である。

[図16C]図１６Ｃは、図１６Ｂの後の工程を示す断面図である。

[図17]図１７は、第３形態に係る半導体装置を示す断面図である。

[図18]図１８は、ソース主電極の第１変形例を示す断面図である。

[図19]図１９は、ソース主電極の第２変形例を示す断面図である。

[0009] ［詳細な説明］

以下、添付図面を参照して、具体的な形態が詳細に説明される。添付図面は、いずれも模式図であり、厳密に図示されたものではなく、相対的な位置関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0010] この明細書において「ほぼ（substantially）」の文言が使用される場合、この文言は、比較対象の数値（形態）と等しい数値（形態）を含む他、比較対象の数値（形態）を基準とする±１０％の範囲の数値誤差（形態誤差）も含む。以下の説明では「第１」、「第２」、「第３」等の文言が使用される

が、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0011] 以下の説明では、「ｐ型」または「ｎ型」を用いて半導体（不純物）の導電型が示されるが、「ｐ型」が「第１導電型」と称され、「ｎ型」が「第２導電型」と称されてもよい。むろん、「ｎ型」が「第１導電型」と称され、「ｐ型」が「第２導電型」と称されてもよい。「ｐ型」は３価元素に起因する導電型であり、「ｎ型」は５価元素に起因する導電型である。３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種である。５価元素は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも１種である。

[0012] 図１は、第１形態に係る半導体装置１Ａを示す平面図である。図２は、図１に示すII-II線に沿う断面図である。図３は、第１主面３のレイアウト例を示す平面図である。図４は、第１主面３の要部を示す拡大平面図である。図５は、第１主面３の更なる要部を示す拡大平面図である。

[0013] 図６は、図５に示すVI-VI線に沿う断面図である。図７は、図６の要部を第１例に係るゲート構造２０と共に示す拡大断面図である。図８は、図５に示すVIII-VIII線に沿う断面図である。図９は、図８の要部を第１例に係る配線構造５０と共に示す拡大断面図である。

[0014] 図１～図９を参照して、半導体装置１Ａは、デバイス構造の一例としての絶縁ゲート型のトランジスタ構造Ｔｒを有する半導体スイッチング装置である。トランジスタ構造Ｔｒは、縦型（Vertical type）構造を有している。半導体装置１Ａは、ＳｉＣ単結晶を含むチップ２を有するＳｉＣ半導体装置である。チップ２は、「ＳｉＣチップ」または「半導体チップ」と称されてもよい。

[0015] チップ２は、この形態（this embodiment）では、六方晶のＳｉＣ単結晶からなり、直方体形状に形成されている。六方晶のＳｉＣ単結晶は、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。この形態では、チップ２が４Ｈ－Ｓｉ

Ｃ単結晶からなる例が示されるが、チップ２は他のポリタイプからなっていてもよい。

[0016] チップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する第１～第４側面５Ａ～５Ｄを有している。第１主面３および第２主面４は、鉛直方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Ｚは、チップ２の厚さ方向や第１主面３（第２主面４）の法線方向でもある。第１主面３および第２主面４は、平面視において正方形状または長方形状に形成されていてもよい。

[0017] 第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面によって形成されていることが好ましい。この場合、第１主面３はＳｉＣ単結晶のシリコン面（（０００１）面）によって形成され、第２主面４はＳｉＣ単結晶のカーボン面（（０００－１）面）によって形成されていることが好ましい。

[0018] 第１側面５Ａおよび第２側面５Ｂは、第１主面３に沿う第１方向Ｘに延び、第１主面３に沿って第１方向Ｘに交差する第２方向Ｙに対向している。具体的には、第２方向Ｙは、第１方向Ｘに直交している。第３側面５Ｃおよび第４側面５Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0019] この形態では、第１方向ＸがＳｉＣ単結晶のｍ軸方向（［１－１００］方向）であり、第２方向ＹがＳｉＣ単結晶のａ軸方向（［１１－２０］方向）である。第１方向ＸがＳｉＣ単結晶のａ軸方向であり、第２方向ＹがＳｉＣ単結晶のｍ軸方向であってもよい。以下では、第１主面３に沿って延びる方向が「水平方向」と表現されることがある。水平方向は、第１方向Ｘおよび第２方向Ｙによって形成されるＸＹ平面（水平面）でもあり、鉛直方向Ｚに直交している。

[0020] チップ２（第１主面３および第２主面４）は、ＳｉＣ単結晶のｃ面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有している。つまり、ＳｉＣ単結晶のｃ軸（（０００１）軸）は、鉛直軸からオフ方向に向けてオフ角分だけ傾斜している。また、ＳｉＣ単結晶のｃ面は、水平面に対してオフ

角分だけ傾斜している。

[0021] オフ方向は、ＳｉＣ単結晶のａ軸方向（つまり第２方向Ｙ）であることが好ましい。オフ角は、０°を超えて１０°以下であってもよい。オフ角は、０°を超えて１°以下、１°以上２．５°以下、２．５°以上５°以下、５°以上７．５°以下、および、７．５°以上１０°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0022] オフ角は、５°以下であることが好ましい。オフ角は、２°以上４．５°以下であることが特に好ましい。オフ角は、典型的には、４°±０．１°の範囲に設定される。この明細書は、オフ角が０°である形態（つまり、第１主面３がｃ面に対してジャスト面である形態）を除外しない。

[0023] チップ２は、この形態では、第１半導体層６および第２半導体層７を含む積層構造を有している。第１半導体層６は、ＳｉＣ単結晶（半導体単結晶）を含む基板（ＳｉＣ基板）からなり、前述のオフ方向およびオフ角を有している。第１半導体層６は、第２主面４を形成し、第１～第４側面５Ａ～５Ｄの一部を形成している。

[0024] 第１半導体層６は、１０μｍ以上５００μｍ以下の厚さを有していてもよい。第１半導体層６の厚さは、１０μｍ以上５０μｍ以下、５０μｍ以上１００μｍ以下、１００μｍ以上１５０μｍ以下、１５０μｍ以上２００μｍ以下、２００μｍ以上３００μｍ以下、３００μｍ以上４００μｍ以下、および、４００μｍ以上５００μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0025] 第２半導体層７は、ＳｉＣ単結晶（半導体単結晶）を含むエピタキシャル層（ＳｉＣエピタキシャル層）からなり、第１半導体層６の上に積層されている。第２半導体層７は、前述のオフ方向およびオフ角を有している。第２半導体層７は、第１主面３を形成し、第１～第４側面５Ａ～５Ｄの一部を形成している。第２半導体層７は、第１半導体層６の厚さ未満の厚さを有していることが好ましい。第２半導体層７の厚さは、第１半導体層６の厚さよりも大きくてもよい。

[0026] 第２半導体層７の厚さは、５μｍ以上５０μｍ以下であってもよい。第２半導体層７の厚さは、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、２０μｍ以上２５μｍ以下、２５μｍ以上３０μｍ以下、３０μｍ以上３５μｍ以下、３５μｍ以上４０μｍ以下、４０μｍ以上４５μｍ、および、４５μｍ以上５０μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0027] 半導体装置１Ａは、チップ２（第１主面３）の内方部に設定された活性領域８を含む。活性領域８は、トランジスタ構造Ｔｒ（デバイス構造）を含み、出力電流（ドレイン電流）が生成される領域である。

[0028] 活性領域８は、平面視においてチップ２の周縁（第１～第４側面５Ａ～５Ｄ）から間隔を空けてチップ２の内方部に設定されている。活性領域８は、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に設定されている。活性領域８の平面積は、第１主面３の平面積の５０％以上９０％以下であることが好ましい。

[0029] 半導体装置１Ａは、チップ２において活性領域８外に設定された外周領域９を含む。外周領域９は、デバイス構造（トランジスタ構造Ｔｒ）を含まない領域である。外周領域９は、チップ２（第１主面３）の周縁部に設定されている。つまり、外周領域９は、平面視においてチップ２の周縁および活性領域８の間の領域に設けられている。外周領域９は、平面視において活性領域８に沿って帯状に延び、活性領域８を取り囲む多角環状（この形態では四角環状）に設定されている。

[0030] 半導体装置１Ａは、活性領域８において第２主面４の表層部に形成されたｎ型の第１半導体領域１０を含む。第１半導体領域１０には、第１電位（高電位）としてのドレイン電位が付与される。第１半導体領域１０は、「ドレイン領域」、「第１領域」等と称されてもよい。

[0031] 第１半導体領域１０は、第２主面４に沿って層状に延びている。第１半導体領域１０は、活性領域８の全域に形成されている。第１半導体領域１０は、活性領域８から外周領域９に引き出され、外周領域９において第２主面４

の表層部に位置された部分を有している。第１半導体領域１０は、全周に亘って活性領域８から外周領域９に引き出されている。第１半導体領域１０は、第１～第４側面５Ａ～５Ｄのうちの少なくとも１つから露出している。第１半導体領域１０は、この形態では、第１～第４側面５Ａ～５Ｄの全周から露出している。

[0032] 第１半導体領域１０は、第１半導体層６に形成されている。第１半導体領域１０は、第１半導体層６の下端（第２主面４）および第１半導体層６の上端（第２半導体層７）の間の厚さ範囲の全域に形成され、第２半導体層７に接続されている。第１半導体領域１０は、ｎ型の第１半導体層６を利用して形成され、第１半導体層６の厚さに対応した厚さを有している。第１半導体領域１０は、第２主面４の表層部にｎ型不純物を導入することによって形成されていてもよい。

[0033] 半導体装置１Ａは、活性領域８において第１主面３の表層部に形成されたｎ型の第２半導体領域１１を含む。第２半導体領域１１は、「ドリフト領域」、「第２領域」等と称されてもよい。第２半導体領域１１は、第１半導体領域１０の不純物濃度よりも低い不純物濃度を有している。

[0034] 第２半導体領域１１は、第１主面３に沿って層状に延び、チップ２の内部において第１半導体領域１０に電気的に接続されている。第２半導体領域１１は、活性領域８の全域に形成されている。第２半導体領域１１は、この形態では、活性領域８から外周領域９に引き出され、外周領域９において第１主面３の表層部に位置された部分を有している。

[0035] 第２半導体領域１１は、全周に亘って活性領域８から外周領域９に引き出されている。第２半導体領域１１は、第１～第４側面５Ａ～５Ｄのうちの少なくとも１つから露出していることが好ましい。第２半導体領域１１は、この形態では、第１～第４側面５Ａ～５Ｄの全周から露出している。

[0036] 第２半導体領域１１は、第２半導体層７に形成されている。第２半導体領域１１は、第１半導体層６の上端（第１半導体領域１０）および第２半導体層７の上端（第１主面３）の間の厚さ範囲の全域に形成され、第１半導体層

６（第１半導体領域１０）に接続されている。第２半導体領域１１は、この形態では、ｎ型の第２半導体層７を利用して形成され、第２半導体層７の厚さに対応した厚さを有している。第２半導体領域１１は、第１主面３の表層部にｎ型不純物を導入することによって形成されていてもよい。

[0037] 半導体装置１Ａは、活性領域８において第１主面３の表層部に間隔を空けて形成されたｐ型の複数のボディ領域１２を含む。複数のボディ領域１２は、第２半導体領域１１の表層部にそれぞれ形成されている。複数のボディ領域１２は、第２半導体領域１１のｎ型不純物濃度よりも高いｐ型不純物濃度を有している。ボディ領域１２には、第１電位（高電位）とは異なる第２電位（低電位）としてのソース電位が付与される。

[0038] 複数のボディ領域１２は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のボディ領域１２は、第２方向Ｙに延びるストライプ状に配列されている。また、複数のボディ領域１２の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。

[0039] 複数のボディ領域１２は、第２半導体領域１１の底部から第１主面３側に間隔を空けて形成され、第２半導体領域１１の一部を挟んで第１半導体領域１０に対向している。複数のボディ領域１２は、第２半導体領域１１の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。

[0040] 複数のボディ領域１２は、第２半導体領域１１の中間部の深さ位置を厚さ方向に横切っていてもよい。複数のボディ領域１２は、第１主面３から露出している。複数のボディ領域１２は、第２半導体領域１１とｐｎ接合部（ｐｎ接合ダイオード：ボディダイオード）をそれぞれ形成し、逆バイアス電圧の印加時において第２半導体領域１１に空乏層を拡げる。

[0041] 複数のボディ領域１２は、１μｍ以上１０μｍ以下の幅をそれぞれ有していてもよい。ボディ領域１２の幅は、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、４μｍ以上５μｍ以下、５μｍ以上６μｍ以下、６μｍ以上７μｍ以下、７μｍ以上８μｍ以下、８μｍ以上９μｍ以下、および、９μｍ以上１０μｍ以下のうちの少なくとも１つの範囲に属

する値を有していてもよい。ボディ領域１２の幅は、１．５μｍ以上２．５μｍ以下であることが好ましい。

[0042] 複数のボディ領域１２は、０．１μｍ以上２．５μｍ以下の厚さ（深さ）をそれぞれ有していてもよい。ボディ領域１２の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、および、２μｍ以上２．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ボディ領域１２の厚さは、０．５μｍ以上１．５μｍ以下であることが好ましい。

[0043] 半導体装置１Ａは、第１主面３の表層部に形成されたｎ型の複数の表層ドリフト領域１３を含む。複数の表層ドリフト領域１３は、この形態では、第２半導体領域１１の一部からそれぞれなる。複数の表層ドリフト領域１３は、第２半導体領域１１のｎ型不純物濃度よりも高いｎ型不純物濃度を有していてもよいし、第２半導体領域１１のｎ型不純物濃度よりも低いｎ型不純物濃度を有していてもよい。

[0044] 複数の表層ドリフト領域１３は、第２半導体領域１１の表層部において第１方向Ｘに隣り合う複数のボディ領域１２の間の領域にそれぞれ区画されている。つまり、複数の表層ドリフト領域１３は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。また、複数の表層ドリフト領域１３は、第２方向Ｙに延びるストライプ状に形成されている。表層ドリフト領域１３は、両サイドに位置された複数のボディ領域１２とｐｎｐ型のＪＦＥＴ構造を形成している。

[0045] 表層ドリフト領域１３の幅は、ボディ領域１２の幅未満であることが好ましい。表層ドリフト領域１３の幅は、ボディ領域１２の幅よりも大きくてもよい。表層ドリフト領域１３は、水平方向（この形態では第１方向Ｘ）に関して、０．１μｍ以上５μｍ以下の幅を有している。

[0046] 表層ドリフト領域１３の幅は、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．

５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。表層ドリフト領域１３の幅は、０．５μｍ以上２μｍ以下であることが好ましい。

[0047] 半導体装置１Ａは、複数のボディ領域１２の表層部にそれぞれ形成されたｎ型の複数のソース領域１４、１５を含む。複数のソース領域１４、１５は、第２半導体領域１１のｎ型不純物濃度よりも高いｎ型不純物濃度を有している。複数のソース領域１４、１５には、ソース電位が付与される。

[0048] 複数のソース領域１４、１５は、各ボディ領域１２の表層部において第１方向Ｘの一方側（第３側面５Ｃ側）に位置された第１ソース領域１４および第１方向Ｘの他方側（第４側面５Ｄ側）に位置された第２ソース領域１５を含む。この形態では、１つの第１ソース領域１４がボディ領域１２の一端側に形成され、１つの第２ソース領域１５がボディ領域１２の他端側に形成されている。

[0049] 第１ソース領域１４は、ボディ領域１２の一端から他端側に間隔を空けて形成されている。第２ソース領域１５は、第１ソース領域１４からボディ領域１２の他端側に間隔を空けて形成されている。第２ソース領域１５は、ボディ領域１２の他端から一端側に間隔を空けて形成されている。

[0050] 複数のソース領域１４、１５は、ボディ領域１２の延在方向に沿って帯状に延びている。複数のソース領域１４、１５は、第２方向Ｙに関して、ボディ領域１２の両端部から内方に間隔を空けて形成され、ボディ領域１２の両端部を第１主面３から露出させている（図５参照）。

[0051] 複数のソース領域１４、１５は、ボディ領域１２の底部から第１主面３側に間隔を空けて形成され、ボディ領域１２の一部を挟んで第２半導体領域１１に対向している。複数のソース領域１４、１５は、ボディ領域１２の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。

[0052] 複数の第１ソース領域１４が１つのボディ領域１２に形成される場合、複数の第１ソース領域１４はボディ領域１２の延在方向に間隔を空けて形成さ

れていてもよい。この場合、各第１ソース領域１４は、第２方向Ｙに延びる帯状に形成されていてもよい。複数の第２ソース領域１５が１つのボディ領域１２に形成される場合、複数の第２ソース領域１５はボディ領域１２の延在方向に間隔を空けて形成されていてもよい。この場合、各第２ソース領域１５は、第２方向Ｙに延びる帯状に形成されていてもよい。

[0053] 半導体装置１Ａは、ボディ領域１２の表層部において複数のソース領域１４、１５とは異なる領域に形成されたｐ型の複数のコンタクト領域１６を含む。コンタクト領域１６は、「バックゲート領域」と称されてもよい。複数のコンタクト領域１６は、ボディ領域１２のｐ型不純物濃度よりも高いｐ型不純物濃度を有している。複数のコンタクト領域１６には、ソース電位が付与される。

[0054] この形態では、１つのコンタクト領域１６が、１つのボディ領域１２の表層部において第１ソース領域１４および第２ソース領域１５の間の領域に介在され、ボディ領域１２に電気的に接続されている。コンタクト領域１６は、ボディ領域１２（ソース領域１４、１５）の延在方向に沿って帯状に延びている。コンタクト領域１６は、第２方向Ｙに関して、ボディ領域１２の両端部から内方に間隔を空けて形成され、ボディ領域１２の両端部を第１主面３から露出させている（図５参照）。

[0055] コンタクト領域１６は、この形態では、ソース領域１４、１５の幅よりも小さい幅を有している。コンタクト領域１６の幅は、ソース領域１４、１５の幅よりも大きくてもよい。コンタクト領域１６は、ボディ領域１２の底部から第１主面３側に間隔を空けて形成され、ボディ領域１２の一部を挟んで第２半導体領域１１に対向している。

[0056] コンタクト領域１６は、ボディ領域１２の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。コンタクト領域１６は、この形態では、ソース領域１４、１５の厚さ（深さ）よりも大きい厚さ（深さ）を有し、ソース領域１４、１５の底部よりもボディ領域１２の底部側に位置された底部を有している。

[0057] 複数のコンタクト領域１６が１つのボディ領域１２に形成される場合、複数のコンタクト領域１６はボディ領域１２の延在方向に間隔を空けて形成されていてもよい。この場合、各コンタクト領域１６は、第２方向Ｙに延びる帯状に形成されていてもよい。

[0058] 半導体装置１Ａは、第１主面３の表層部に形成されたｐ型の複数のチャネル領域１７、１８を含む。複数のチャネル領域１７、１８は、複数のボディ領域１２の表層部にそれぞれ形成されている。複数のチャネル領域１７、１８は、第１方向Ｘの一方側の第１チャネル領域１７および第１方向Ｘの他方側の第２チャネル領域１８を含む。

[0059] 第１チャネル領域１７は、ボディ領域１２の表層部において第２半導体領域１１（表層ドリフト領域１３）および第１ソース領域１４の間の領域に形成されている。第２チャネル領域１８は、ボディ領域１２の表層部において第２半導体領域１１（表層ドリフト領域１３）および第２ソース領域１５の間の領域に形成されている。

[0060] 複数のチャネル領域１７、１８は、この形態では、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のチャネル領域１７、１８は、第２方向Ｙに延びるストライプ状に配列されている。

[0061] 半導体装置１Ａは、活性領域８において第１主面３の上に配置されたプレーナ電極型の複数のゲート構造２０を含む。複数のゲート構造２０は、縦型のトランジスタ構造Ｔｒのゲートを構成している。

[0062] 複数のゲート構造２０は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造２０は、第２方向Ｙに延びるストライプ状に配列されている。また、複数のゲート構造２０の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。

[0063] 複数のゲート構造２０は、ゲート絶縁膜２１、ゲート電極２２、第１プレーナ絶縁膜２３および複数の側壁絶縁膜２４、２５をそれぞれ含む。以下、１つのゲート構造２０の構成が説明される。

[0064] ゲート絶縁膜２１は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。ゲート絶縁膜２１は、この形態では、酸化シリコン膜からなる単層構造を有している。ゲート絶縁膜２１は、チップ２の酸化物からなる酸化シリコン膜を含むことが好ましい。

[0065] ゲート絶縁膜２１は、第１主面３を膜状に被覆している。ゲート絶縁膜２１は、平面視において第２方向Ｙに帯状に延びている。ゲート絶縁膜２１は、少なくとも１つのチャネル領域１７、１８を被覆している。ゲート絶縁膜２１は、この形態では、１つの表層ドリフト領域１３を横切って隣り合う２つのボディ領域１２に跨り、表層ドリフト領域１３および複数のチャネル領域１７、１８を被覆している。

[0066] 具体的には、ゲート絶縁膜２１は、一方のボディ領域１２側の第１ソース領域１４および他方のボディ領域１２側の第２ソース領域１５に跨り、表層ドリフト領域１３、第１ソース領域１４、第２ソース領域１５、第１チャネル領域１７および第２チャネル領域１８を被覆している。

[0067] ゲート絶縁膜２１は、コンタクト領域１６から間隔を空けて第１ソース領域１４を部分的に被覆し、第１主面３から第１ソース領域１４の一部およびコンタクト領域１６を露出させている。ゲート絶縁膜２１は、コンタクト領域１６から間隔を空けて第２ソース領域１５を部分的に被覆し、第１主面３から第２ソース領域１５の一部およびコンタクト領域１６を露出させている。

[0068] ゲート絶縁膜２１は、１０ｎｍ以上１５０ｎｍ以下の厚さを有していてもよい。ゲート絶縁膜２１の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、および、１２５ｎｍ以上１５０ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ゲート絶縁膜２１の厚さは、２５ｎｍ以上７５ｎｍ以下であることが好ましい。

[0069] ゲート電極２２は、ゲート絶縁膜２１の上に配置されている。ゲート電極

２２には、制御電位としてのゲート電位が付与される。ゲート電極２２は、ｐ型の導電性ポリシリコンおよびｎ型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート電極２２の導電型は、達成すべきゲート閾値電圧に応じて調節される。

[0070] ゲート電極２２は、平面視において第２方向Ｙに帯状に延びている。ゲート電極２２は、この形態では、第１方向Ｘに関してゲート絶縁膜２１の両端から内方に間隔を空けて形成され、ゲート絶縁膜２１の両端部を露出させている。つまり、ゲート電極２２は、複数のソース領域１４、１５および複数のコンタクト領域１６を露出させている。

[0071] ゲート電極２２は、少なくとも１つのチャネル領域１７、１８に対向するようにゲート絶縁膜２１の上に配置されている。ゲート電極２２は、この形態では、１つの表層ドリフト領域１３を横切って隣り合う２つのボディ領域１２に跨り、ゲート絶縁膜２１を挟んで表層ドリフト領域１３および複数のチャネル領域１７、１８に対向している。

[0072] 具体的には、ゲート電極２２は、一方のボディ領域１２側の第１ソース領域１４および他方のボディ領域１２側の第２ソース領域１５に跨り、ゲート絶縁膜２１を挟んで表層ドリフト領域１３、第１ソース領域１４、第２ソース領域１５、第１チャネル領域１７および第２チャネル領域１８に対向している。

[0073] ゲート電極２２は、電極面２６、第１方向Ｘの一方側の第１側壁２７、および、第１方向Ｘの他方側の第２側壁２８を有している。電極面２６は、ゲート絶縁膜２１（第１主面３）に沿って平坦に延びている。電極面２６は、ゲート絶縁膜２１（第１主面３）に対してほぼ平行に延びていてもよい。

[0074] 第１側壁２７は、第１方向Ｘに関してゲート絶縁膜２１の一端部から他端部側に間隔を空けて形成され、鉛直方向Ｚに延びている。第２側壁２８は、第１方向Ｘに関してゲート絶縁膜２１の他端部から一端部側に間隔を空けて形成され、鉛直方向Ｚに延びている。

[0075] 第１側壁２７および第２側壁２８は、ゲート絶縁膜２１に対してほぼ垂直

に延びていてもよい。つまり、ゲート電極２２は、断面視において四角形状（扁平な長方形状）に形成されていてもよい。第１側壁２７および第２側壁２８は、電極面２６に向けて斜め傾斜していてもよい。つまり、ゲート電極２２は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。

[0076] ゲート電極２２は、１μｍ以上１０μｍ以下の幅を有していてもよい。ゲート電極２２の幅は、延在方向に直交する方向（つまり第１方向Ｘ）の幅である。ゲート電極２２の幅は、１μｍ以上２．５μｍ以下、２．５μｍ以上５μｍ以下、５μｍ以上７．５μｍ以下、および、７．５μｍ以上１０μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ゲート電極２２の幅は、１．５μｍ以上２．５μｍ以下であることが好ましい。

[0077] ゲート電極２２は、０．１μｍ以上２μｍ以下の厚さを有していてもよい。ゲート電極２２の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ゲート電極２２の厚さは、０．２μｍ以上１μｍ以下であることが好ましい。

[0078] 第１プレーナ絶縁膜２３は、ゲート電極２２の上に配置されている。具体的には、第１プレーナ絶縁膜２３は、電極面２６を膜状に被覆し、第１側壁２７および第２側壁２８の双方を露出させている。第１プレーナ絶縁膜２３は、ゲート絶縁膜２１を被覆する部分を有さない。第１プレーナ絶縁膜２３は、平面視において第２方向Ｙに帯状に延びている。

[0079] 第１プレーナ絶縁膜２３は、第１絶縁面２９、第１方向Ｘの一方側の第１絶縁側壁３０、および、第１方向Ｘの他方側の第２絶縁側壁３１を有している。第１絶縁面２９は、電極面２６に沿って平坦に延びている。第１絶縁面２９は、電極面２６に対してほぼ平行に延びていてもよい。

[0080] 第１絶縁側壁３０は、ゲート電極２２の上で鉛直方向Ｚに延び、ゲート電極２２の第１側壁２７に接続されている。第１絶縁側壁３０は、第１側壁２７に対して面一に形成されていてもよい。

[0081] 第１絶縁側壁３０は、第１側壁２７よりも外方に位置され、積層方向にゲート絶縁膜２１に対向していてもよい。第１絶縁側壁３０は、第１側壁２７から間隔を空けて電極面２６の上に位置され、電極面２６の周縁部を露出させていてもよい。この場合、第１絶縁側壁３０は、電極面２６の周縁部を介して第１側壁２７に接続されていてもよい。

[0082] 第２絶縁側壁３１は、ゲート電極２２の上で鉛直方向Ｚに延び、ゲート電極２２の第２側壁２８に接続されている。第２絶縁側壁３１は、第２側壁２８に対して面一に形成されていてもよい。

[0083] 第２絶縁側壁３１は、第２側壁２８よりも外方に位置され、積層方向にゲート絶縁膜２１に対向していてもよい。第２絶縁側壁３１は、第２側壁２８から間隔を空けて電極面２６の上に位置され、電極面２６の周縁部を露出させていてもよい。この場合、第２絶縁側壁３１は、電極面２６の周縁部を介して第２側壁２８に接続されていてもよい。

[0084] 第１絶縁側壁３０および第２絶縁側壁３１は、ゲート絶縁膜２１に対してほぼ垂直に延びていてもよい。つまり、第１プレーナ絶縁膜２３は、断面視において四角形状（扁平な長方形状）に形成されていてもよい。第１絶縁側壁３０および第２絶縁側壁３１は、第１絶縁面２９に向けて斜め傾斜していてもよい。つまり、第１プレーナ絶縁膜２３は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。

[0085] 第１プレーナ絶縁膜２３は、０．１μｍ以上２μｍ以下の厚さを有していてもよい。第１プレーナ絶縁膜２３の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第１プレーナ絶縁膜２３の厚さは、０．２μｍ以上であることが好ましい。

[0086] 第１プレーナ絶縁膜２３は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。第１プレーナ絶縁膜２３は、単一絶縁膜からなる単層構造を有していてもよい。第１プレー

ナ絶縁膜２３は、複数の絶縁膜を含む積層構造を有していてもよい。第１プレーナ絶縁膜２３は、この形態では、ゲート電極２２側からこの順に積層された第１酸化膜３２（第１絶縁膜）および第２酸化膜３３（第２絶縁膜）を含む積層構造を有している。

[0087] 第１酸化膜３２は、不純物無添加の酸化シリコン膜からなる単層構造を有している。不純物無添加の酸化シリコン膜は、ＮＳＧ膜（Nondoped Silicate Glass film）と称されてもよい。第１酸化膜３２は、電極面２６を膜状に直接被覆し、第１側壁２７および第２側壁２８の双方を露出させている。第１酸化膜３２は、平面視において第２方向Ｙに帯状に延び、第１絶縁側壁３０の一部および第２絶縁側壁３１の一部を形成している。

[0088] 第１酸化膜３２は、０．０１μｍ以上０．２μｍ以下の厚さを有していてもよい。第１酸化膜３２の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．１５μｍ以下、および、０．１５μｍ以上０．２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第１酸化膜３２の厚さは、０．０５μｍ以上であることが好ましい。

[0089] 第２酸化膜３３は、燐を含有する酸化シリコン膜からなる単層構造、または、燐を含有する酸化シリコン膜を含む積層構造を有していてもよい。燐を含有する酸化シリコン膜は、ホウ素を含有していてもよい。燐を含有する酸化シリコン膜は、ＰＳＧ膜（Phosphorus Silicon Glass film）と称されてもよい。燐およびホウ素の双方を含有する酸化シリコン膜は、ＢＰＳＧ膜（Boron Phosphorus Silicon Glass film）と称されてもよい。

[0090] 第２酸化膜３３は、第１酸化膜３２の上に積層されたＰＳＧ膜またはＢＰＳＧ膜からなる単層構造を有していてもよい。第２酸化膜３３は、第１酸化膜３２の上に積層されたＰＳＧ膜、および、ＰＳＧ膜の上に積層されたＢＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜３３は、第１酸化膜３２の上に積層されたＢＰＳＧ膜、および、ＢＰＳＧ膜の上に積層されたＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜３３は、この形態で

は、一例としてＰＳＧ膜からなる単層構造を有している。

[0091] 第２酸化膜３３は、第１酸化膜３２を膜状に直接被覆し、第１側壁２７および第２側壁２８の双方を露出させている。第２酸化膜３３は、平面視において第２方向Ｙに帯状に延び、第１絶縁面２９、第１絶縁側壁３０の一部および第２絶縁側壁３１の一部を形成している。

[0092] 第２酸化膜３３は、第１酸化膜３２の厚さよりも大きい厚さを有していることが好ましい。第２酸化膜３３の厚さは、第１酸化膜３２の厚さ未満であってもよい。第２酸化膜３３の厚さは、０．０５μｍ以上１．８μｍ以下であってもよい。

[0093] 第２酸化膜３３の厚さは、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上１．８μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第２酸化膜３３の厚さは、０．１μｍ以上であることが好ましい。

[0094] 第２酸化膜３３は、第１プレーナ絶縁膜２３の平坦性（つまり電極面２６に対する第１プレーナ絶縁膜２３の成膜性）を高めている。第２酸化膜３３の不純物拡散に起因するゲート電極２２の電気的特性の変動は、不純物無添加の第１酸化膜３２によって抑制されている。ゲート電極２２の不純物拡散に起因する第２酸化膜３３の絶縁特性の変動は、不純物無添加の第１酸化膜３２によって抑制されている。

[0095] 複数の側壁絶縁膜２４、２５は、第１側壁２７および第２側壁２８をそれぞれ被覆している。具体的には、複数の側壁絶縁膜２４、２５は、第１側壁２７を被覆する第１側壁絶縁膜２４、および、第２側壁２８を被覆する第２側壁絶縁膜２５を含む。

[0096] 第１側壁絶縁膜２４は、ゲート絶縁膜２１の上で第１側壁２７を被覆している。第１側壁絶縁膜２４は、コンタクト領域１６から間隔を空けてゲート絶縁膜２１の上に形成され、第２ソース領域１５の一部およびコンタクト領域１６を露出させている。具体的には、第１側壁絶縁膜２４は、ゲート絶縁

膜２１の上のみに配置され、第２ソース領域１５を直接被覆する部分およびコンタクト領域１６を直接被覆する部分を有さない。

[0097] 第１側壁絶縁膜２４は、ゲート絶縁膜２１を挟んで第２ソース領域１５の一部に対向している。第１側壁絶縁膜２４は、第２チャネル領域１８からボディ領域１２の内方に間隔を空けて形成されている。第１側壁絶縁膜２４は、ゲート絶縁膜２１を挟んで第２チャネル領域１８に対向する部分を有さない。

[0098] 第１側壁絶縁膜２４は、この形態では、第１側壁２７から第１プレーナ絶縁膜２３の第１絶縁側壁３０側に引き出され、第１絶縁側壁３０を被覆している。つまり、第１側壁絶縁膜２４は、第１側壁２７を被覆する部分および第１絶縁側壁３０を被覆する部分を有している。また、第１側壁絶縁膜２４は、ゲート電極２２および第１プレーナ絶縁膜２３の境界部を被覆する部分を有している。

[0099] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において第１側壁２７の傾斜角度とほぼ等しい傾斜角度で延び、第１側壁２７に対してほぼ平行に延びる膜面を有している。第１側壁絶縁膜２４は、第１絶縁側壁３０に対する被覆部において第１絶縁側壁３０の傾斜角度とほぼ等しい傾斜角度で延び、第１絶縁側壁３０に対してほぼ平行に延びる膜面を有している。

[0100] 第１側壁絶縁膜２４は、この形態では、ゲート絶縁膜２１（第１主面３）および第１絶縁面２９の間の領域をほぼ垂直に延びている。つまり、第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において鉛直方向Ｚに延びる膜面を有し、第１絶縁側壁３０に対する被覆部において鉛直方向Ｚに延びる膜面を有している。

[0101] 第１側壁絶縁膜２４は、第１絶縁側壁３０側において第１酸化膜３２および第２酸化膜３３の双方を被覆している。つまり、第１側壁絶縁膜２４は、第１酸化膜３２および第２酸化膜３３の境界部を被覆する部分を有している

。第１側壁絶縁膜２４は、第１絶縁面２９に対して第１主面３側に形成され、第１絶縁面２９を露出させている。つまり、第１側壁絶縁膜２４は、第１絶縁面２９から第２酸化膜３３を露出させている。

[0102] 第２側壁絶縁膜２５は、ゲート絶縁膜２１の上で第２側壁２８を被覆している。第２側壁絶縁膜２５は、コンタクト領域１６から間隔を空けてゲート絶縁膜２１の上に形成され、第１ソース領域１４の一部およびコンタクト領域１６を露出させている。具体的には、第２側壁絶縁膜２５は、ゲート絶縁膜２１の上のみに配置され、第１ソース領域１４を直接被覆する部分およびコンタクト領域１６を直接被覆する部分を有さない。

[0103] 第２側壁絶縁膜２５は、ゲート絶縁膜２１を挟んで第１ソース領域１４の一部に対向している。第２側壁絶縁膜２５は、第１チャネル領域１７からボディ領域１２の内方に間隔を空けて形成されている。第２側壁絶縁膜２５は、ゲート絶縁膜２１を挟んで第１チャネル領域１７に対向する部分を有さない。

[0104] 第２側壁絶縁膜２５は、この形態では、第２側壁２８から第１プレーナ絶縁膜２３の第２絶縁側壁３１側に引き出され、第２絶縁側壁３１を被覆している。つまり、第２側壁絶縁膜２５は、第２側壁２８を被覆する部分および第２絶縁側壁３１を被覆する部分を有している。また、第２側壁絶縁膜２５は、ゲート電極２２および第１プレーナ絶縁膜２３の境界部を被覆する部分を有している。

[0105] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度および第２絶縁側壁３１の傾斜角度に倣って第２側壁２８および第２絶縁側壁３１を膜状に被覆している。第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において第２側壁２８の傾斜角度とほぼ等しい傾斜角度で延び、第２側壁２８に対してほぼ平行に延びる膜面を有している。第２側壁絶縁膜２５は、第２絶縁側壁３１に対する被覆部において第２絶縁側壁３１の傾斜角度とほぼ等しい傾斜角度で延び、第２絶縁側壁３１に対してほぼ平行に延びる膜面を有している。

[0106] 第２側壁絶縁膜２５は、この形態では、ゲート絶縁膜２１（第１主面３）

および第１絶縁面２９の間の領域をほぼ垂直に延びている。つまり、第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において鉛直方向Ｚに延びる膜面を有し、第２絶縁側壁３１に対する被覆部において鉛直方向Ｚに延びる膜面を有している。

[0107] 第２側壁絶縁膜２５は、第２絶縁側壁３１側において第１酸化膜３２および第２酸化膜３３の双方を被覆している。つまり、第２側壁絶縁膜２５は、第１酸化膜３２および第２酸化膜３３の境界部を被覆する部分を有している。第２側壁絶縁膜２５は、第１酸化膜３２を挟んで第１側壁絶縁膜２４に対向する部分、および、第２酸化膜３３を挟んで第１側壁絶縁膜２４に対向する部分を有している。

[0108] 第２側壁絶縁膜２５は、第１絶縁面２９に対して第１主面３側に形成され、第１絶縁面２９を露出させている。つまり、第２側壁絶縁膜２５は、第１絶縁面２９から第２酸化膜３３を露出させている。

[0109] 複数の側壁絶縁膜２４、２５は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。複数の側壁絶縁膜２４、２５は、単一絶縁膜からなる単層構造をそれぞれ有していてもよい。複数の側壁絶縁膜２４、２５は、複数の絶縁膜を含む積層構造をそれぞれ有していてもよい。

[0110] 複数の側壁絶縁膜２４、２５は、この形態では、不純物無添加の酸化シリコン膜からなる単層構造をそれぞれ有している。つまり、複数の側壁絶縁膜２４、２５は、ＮＳＧ膜からそれぞれなる。複数の側壁絶縁膜２４、２５は、この形態では、ＮＳＧ膜の一例としてオルトケイ酸テトラエチル膜からそれぞれなる。オルトケイ酸テトラエチル膜は、「ＴＥＯＳ膜（Tetraethyl orthosilicate film）」と称されてもよい。

[0111] 複数の側壁絶縁膜２４、２５がＮＳＧ膜（ＴＥＯＳ膜）からなる場合、第２酸化膜３３の不純物拡散に起因するゲート電極２２の電気的特性の変動が複数の側壁絶縁膜２４、２５によって抑制される。また、ゲート電極２２の不純物拡散に起因する第２酸化膜３３の絶縁特性の変動が複数の側壁絶縁膜

２４、２５によって抑制される。

[0112] 複数の側壁絶縁膜２４、２５は、ゲート電極２２の厚さ未満の厚さをそれぞれ有している。複数の側壁絶縁膜２４、２５の厚さは、ゲート電極２２の第１側壁２７または第２側壁２８を基準とする複数の側壁絶縁膜２４、２５の水平方向の厚さである。複数の側壁絶縁膜２４、２５の厚さは、第１プレーナ絶縁膜２３の厚さ（総厚さ）未満である。

[0113] 複数の側壁絶縁膜２４、２５の厚さは、第２酸化膜３３の厚さ未満であることが好ましい。複数の側壁絶縁膜２４、２５の厚さは、第１酸化膜３２の厚さ未満であることが好ましい。複数の側壁絶縁膜２４、２５の厚さは、ゲート絶縁膜２１の厚さよりも大きいことが好ましい。複数の側壁絶縁膜２４、２５の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。

[0114] 複数の側壁絶縁膜２４、２５の厚さは、０．０５μｍ以上０．５μｍ以下であってもよい。複数の側壁絶縁膜２４、２５の厚さは、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．１５μｍ以下、０．１５μｍ以上０．２μｍ以下、０．２μｍ以上０．２５μｍ以下、０．２５μｍ以上０．３μｍ以下、０．３μｍ以上０．３５μｍ以下、０．３５μｍ以上０．４μｍ以下、０．４μｍ以上０．４５μｍ以下、および、０．４５μｍ以上０．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。複数の側壁絶縁膜２４、２５の厚さは、０．１μｍ以上０．３μｍ以下であることが好ましい。

[0115] ゲート構造２０は、ゲート電極２２に付与されたゲート電位に応答してチャネル領域１７、１８の反転および非反転を制御する。ゲート電極２２にゲート電位が付与されると、チャネル領域１７、１８がオン状態になり、チャネル領域１７、１８（ボディ領域１２）を介して第２半導体領域１１およびソース領域１４、１５の間にドレイン電流が流れる。このように、チップ２の内方部（活性領域８）には、プレーナゲート型のトランジスタ構造Ｔｒが形成されている。

[0116] 半導体装置１Ａは、外周領域９において第１主面３の表層部に形成された

ｐ型のアウターボディ領域４０を含む。アウターボディ領域４０は、第２半導体領域１１の表層部に形成されている。アウターボディ領域４０は、第２半導体領域１１のｎ型不純物濃度よりも高いｐ型不純物濃度を有している。

[0117] アウターボディ領域４０は、ボディ領域１２のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していることが好ましい。アウターボディ領域４０のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度未満であってもよいし、ボディ領域１２のｐ型不純物濃度よりも高くてもよい。

[0118] アウターボディ領域４０は、第１主面３の周縁（第１～第４側面５Ａ～５Ｄ）から活性領域８側に間隔を空けて形成され、活性領域８に沿って帯状に延びている。アウターボディ領域４０は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、複数のボディ領域１２（活性領域８）を複数方向から区画している。

[0119] アウターボディ領域４０は、この形態では、平面視において複数のボディ領域１２（活性領域８）を一括して取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。

[0120] つまり、アウターボディ領域４０は、活性領域８および外周領域９の境界部を形成している。アウターボディ領域４０は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0121] アウターボディ領域４０は、第１主面３から露出している。アウターボディ領域４０は、第２半導体領域１１の底部から第１主面３側に間隔を空けて形成され、第２半導体領域１１の一部を挟んで（第１半導体領域１０）に対向している。アウターボディ領域４０は、第２半導体領域１１の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。アウターボディ領域４０は、第２半導体領域１１の中間部の深さ位置を厚さ方向に横切っていてもよい。

[0122] アウターボディ領域４０は、活性領域８側の内縁部および第１主面３の周縁側の外縁部を有している。アウターボディ領域４０の内縁部は、第１方向

Ｘに延びる部分において複数のボディ領域１２に接続され、第２半導体領域１１の表層部において複数のボディ領域１２と複数の表層ドリフト領域１３をそれぞれ区画している。

[0123] つまり、アウターボディ領域４０は、複数のボディ領域１２に電気的に接続されている。これにより、アウターボディ領域４０には、複数のボディ領域１２を介してソース電位が付与される。アウターボディ領域４０は、第２半導体領域１１とｐｎ接合部を形成し、逆バイアス電圧の印加時において第２半導体領域１１に空乏層を拡げる。

[0124] アウターボディ領域４０は、ソース領域１４、１５から第２方向Ｙに間隔を空けて複数のボディ領域１２に接続されている。したがって、アウターボディ領域４０は、表層部においてソース領域１４、１５を有さない（図５参照）。また、アウターボディ領域４０は、コンタクト領域１６から第２方向Ｙに間隔を空けて複数のボディ領域１２に接続されている。したがって、アウターボディ領域４０は、表層部においてコンタクト領域１６を有さない（図５参照）。

[0125] アウターボディ領域４０は、ボディ領域１２の幅よりも大きい幅を有していることが好ましい。アウターボディ領域４０の幅は、延在方向に直交する方向の幅である。アウターボディ領域４０の幅は、ボディ領域１２の幅とほぼ等しくてもよいし、ボディ領域１２の幅未満であってもよい。

[0126] ボディ領域１２の幅に対するアウターボディ領域４０の幅の比は、１以上５０以下であってもよい。幅の比は、１以上１０以下、１０以上２０以下、２０以上３０以下、３０以上４０以下、および、４０以上５０以下のうちの少なくとも１つの範囲に属する値を有していてもよい。幅の比は、１０以上であることが好ましい。幅の比は、２０以上４０以下であることが好ましい。

[0127] アウターボディ領域４０は、ボディ領域１２の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していることが好ましい。アウターボディ領域４０の厚さは、ボディ領域１２の厚さ未満であってもよいし、ボディ領域１２の厚さよ

りも大きくてもよい。

[0128] 半導体装置１Ａは、外周領域９において第１主面３に形成されたｐ型の終端領域４１を含む。終端領域４１は、「ウェル領域」、「終端ウェル領域」等と称されてもよい。終端領域４１は、第２半導体領域１１の表層部に形成されている。

[0129] 終端領域４１は、ボディ領域１２のｐ型不純物濃度とは異なるｐ型不純物濃度を有している。終端領域４１のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも高いことが好ましい。終端領域４１のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも低くてもよい。また、終端領域４１のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度とほぼ等しくてもよい。

[0130] 終端領域４１は、アウターボディ領域４０のｐ型不純物濃度とは異なるｐ型不純物濃度を有している。終端領域４１のｐ型不純物濃度は、アウターボディ領域４０のｐ型不純物濃度よりも高いことが好ましい。終端領域４１のｐ型不純物濃度は、アウターボディ領域４０のｐ型不純物濃度よりも低くてもよい。また、終端領域４１のｐ型不純物濃度は、アウターボディ領域４０のｐ型不純物濃度とほぼ等しくてもよい。

[0131] 終端領域４１は、第１主面３の周縁から内方に間隔を空けて、第１主面３の周縁およびアウターボディ領域４０の間の領域に形成されている。終端領域４１は、平面視においてアウターボディ領域４０に沿って帯状に延びている。終端領域４１は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。

[0132] 終端領域４１は、この形態では、平面視においてアウターボディ領域４０（活性領域８および複数のボディ領域１２）を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。終端領域４１は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有

していてもよい（図４参照）。

[0133] 終端領域４１は、第２半導体領域１１の底部から第１主面３側に間隔を空けて形成され、第２半導体領域１１の一部を挟んで第１半導体領域１０に対向している。終端領域４１は、第２半導体領域１１の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。

[0134] 終端領域４１は、第２半導体領域１１の中間部の深さ位置を厚さ方向に横切っていてもよい。終端領域４１は、アウターボディ領域４０の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していてもよい。終端領域４１の厚さは、アウターボディ領域４０の厚さよりも大きくてもよいし、アウターボディ領域４０の厚さよりも小さくてもよい。

[0135] 終端領域４１は、活性領域８側の内縁部および第１主面３の周縁側の外縁部を有している。終端領域４１の内縁部は、第２半導体領域１１の表層部においてアウターボディ領域４０の外縁部に接続されている。

[0136] これにより、終端領域４１は、アウターボディ領域４０に電気的に接続され、アウターボディ領域４０を介して複数のボディ領域１２に電気的に接続されている。終端領域４１は、第２半導体領域１１とｐｎ接合部を形成し、逆バイアス電圧の印加時において第２半導体領域１１に空乏層を拡げる。

[0137] 終端領域４１の内縁部は、この形態では、全周に亘ってアウターボディ領域４０の外縁部に接続されている。終端領域４１がアウターボディ領域４０のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有している場合、終端領域４１は、アウターボディ領域４０の一部（引き出し部）と見做されてもよい。

[0138] 終端領域４１（内縁部）は、第２半導体領域１１の表層部においてアウターボディ領域４０の外縁部にオーバラップしたオーバラップ領域４２を有している。オーバラップ領域４２は、アウターボディ領域４０の外縁部および終端領域４１の内縁部を含む高濃度な領域である。つまり、オーバラップ領域４２は、アウターボディ領域４０のｐ型不純物および終端領域４１のｐ型不純物の双方を含み、アウターボディ領域４０のｐ型不純物濃度および終端

領域４１のｐ型不純物濃度の双方よりも高いｐ型不純物濃度を有している。

[0139] オーバラップ領域４２のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも高いことが好ましい。オーバラップ領域４２のｐ型不純物濃度は、コンタクト領域１６のｐ型不純物濃度未満であってもよい。オーバラップ領域４２のｐ型不純物濃度は、コンタクト領域１６のｐ型不純物濃度よりも高くてもよい。

[0140] オーバラップ領域４２は、平面視においてアウターボディ領域４０に沿って帯状に延びている。オーバラップ領域４２は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。オーバラップ領域４２は、この形態では、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。

[0141] オーバラップ領域４２は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。オーバラップ領域４２の幅は、ボディ領域１２の幅よりも大きいことが好ましい。オーバラップ領域４２の幅は、ボディ領域１２の幅未満であってもよい。

[0142] 半導体装置１Ａは、オーバラップ領域４２に代えて比較的高濃度のｐ型のウェル領域（４２）を有していてもよい。この場合、ウェル領域（４２）は、アウターボディ領域４０のｐ型不純物濃度および終端領域４１のｐ型不純物濃度の双方よりも高いｐ型不純物濃度を有している。

[0143] ウェル領域（４２）のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも高いことが好ましい。ウェル領域（４２）のｐ型不純物濃度は、コンタクト領域１６のｐ型不純物濃度とほぼ等しくてもよい。ウェル領域（４２）のｐ型不純物濃度は、コンタクト領域１６のｐ型不純物濃度未満であってもよいし、コンタクト領域１６のｐ型不純物濃度よりも高くてもよい。

[0144] ウェル領域（４２）は、アウターボディ領域４０の表層部および終端領域４１の表層部のいずれか一方または双方に形成されていてもよい。ウェル領

域（４２）は、終端領域４１がアウターボディ領域４０のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有し、アウターボディ領域４０の一部（引き出し部）として形成されている場合に有効である。

[0145] 半導体装置１Ａは、外周領域９において第１主面３の表層部に形成された少なくとも１つのｐ型のフィールド領域４３を含む。複数のフィールド領域４３は、電気的に浮遊状態に形成されていてもよい。複数のフィールド領域４３は、ソース電位に固定されていてもよい。

[0146] フィールド領域４３の個数は任意である。フィールド領域４３の個数は、１個以上２０個以下であってもよい。フィールド領域４３の個数は、１個以上５個以下、５個以上１０個以下、１０個以上１５個以下、および、１５個以上２０個以下のうちの少なくとも１つの範囲に属する値を有していてもよい。フィールド領域４３の個数は、典型的には、１個以上８個以下である。半導体装置１Ａは、この形態では、３個のフィールド領域４３を含む。

[0147] 複数のフィールド領域４３は、第２半導体領域１１の表層部に形成されている。複数のフィールド領域４３は、第１主面３の周縁から内方に間隔を空けて第１主面３の周縁および複数のボディ領域１２（活性領域８）の間の領域に形成されている。

[0148] 具体的には、複数のフィールド領域４３は、第１主面３の周縁およびアウターボディ領域４０の間の領域に形成されている。さらに具体的には、複数のフィールド領域４３は、第１主面３の周縁および終端領域４１の間の領域において、終端領域４１の外縁部から第１主面３の周縁側に間隔を空けて配列されている。

[0149] 複数のフィールド領域４３は、平面視において複数のボディ領域１２（終端領域４１）に沿って延びる帯状に形成されている。複数のフィールド領域４３は、第１方向Ｘに帯状に延びる部分、および、第２方向Ｙに帯状に延びる部分をそれぞれ有している。

[0150] 複数のフィールド領域４３は、この形態では、平面視において複数のボディ領域１２（終端領域４１）を取り囲む多角環状（この形態では四角環状）

に形成されている。複数のフィールド領域４３は、第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0151] 複数のフィールド領域４３は、第２半導体領域１１の底部の深さ位置から第１主面３側に間隔を空けて形成されている。複数のフィールド領域４３は、第２半導体領域１１の中間部の深さ位置から第１主面３側に間隔を空けて形成されていることが好ましい。複数のフィールド領域４３は、第２半導体領域１１の中間部の深さ位置を厚さ方向に横切っていてもよい。複数のフィールド領域４３は、第２半導体領域１１とｐｎ接合部をそれぞれ形成し、逆バイアス電圧の印加時において第２半導体領域１１に向けて空乏層を拡げる。

[0152] 複数のフィールド領域４３の幅、深さ、間隔、ｐ型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。複数のフィールド領域４３の幅は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域４３の幅は、第１主面３の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域４３の幅は、第１主面３の周縁側に向けて徐々に減少していてもよい。

[0153] 複数のフィールド領域４３の深さは、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域４３の深さは、第１主面３の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域４３の深さは、第１主面３の周縁側に向けて徐々に減少していてもよい。

[0154] 複数のフィールド領域４３は、比較的浅い浅部および当該浅部よりも深い深部を有していてもよい。浅部は内方側に形成され、深部は周縁側に形成されていてもよい。浅部は周縁側に形成され、深部は内方側に形成されていてもよい。

[0155] 複数のフィールド領域４３の間隔は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域４３の間隔は、第１主面３の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域４３の間隔は、

第１主面３の周縁側に向けて徐々に減少していてもよい。

[0156] 複数のフィールド領域４３のｐ型不純物濃度は、ほぼ一定であってもよいし、不均一であってもよい。複数のフィールド領域４３のｐ型不純物濃度は、第１主面３の周縁側に向けて徐々に増加していてもよい。複数のフィールド領域４３のｐ型不純物濃度は、第１主面３の周縁側に向けて徐々に減少していてもよい。

[0157] 複数のフィールド領域４３は、ボディ領域１２のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していてもよい。複数のフィールド領域４３のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも高くてもよいし、ボディ領域１２のｐ型不純物濃度よりも低くてもよい。

[0158] 複数のフィールド領域４３のｐ型不純物濃度は、アウターボディ領域４０のｐ型不純物濃度とほぼ等しくてもよい。複数のフィールド領域４３のｐ型不純物濃度は、アウターボディ領域４０のｐ型不純物濃度よりも高くてもよいし、アウターボディ領域４０のｐ型不純物濃度よりも低くてもよい。

[0159] 複数のフィールド領域４３のｐ型不純物濃度は、終端領域４１のｐ型不純物濃度とほぼ等しくてもよい。複数のフィールド領域４３のｐ型不純物濃度は、終端領域４１のｐ型不純物濃度よりも高くてもよいし、終端領域４１のｐ型不純物濃度よりも低くてもよい。

[0160] 半導体装置１Ａは、外周領域９において第１主面３を被覆する主面絶縁膜４４を含む。主面絶縁膜４４は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。主面絶縁膜４４は、この形態では、酸化シリコン膜からなる単層構造を有している。

[0161] 主面絶縁膜４４は、チップ２の酸化物からなる酸化シリコン膜を含むことが好ましい。主面絶縁膜４４は、ゲート絶縁膜２１の絶縁材料と同種の絶縁材料からなることが好ましい。主面絶縁膜４４は、ゲート絶縁膜２１の厚さとほぼ等しい厚さを有していることが好ましい。

[0162] 主面絶縁膜４４は、外周領域９において第１主面３を膜状に被覆している。主面絶縁膜４４は、第２半導体領域１１、アウターボディ領域４０、終端

領域４１および複数のフィールド領域４３を一括して被覆している。主面絶縁膜４４は、活性領域８側において複数のゲート絶縁膜２１に接続されている。具体的には、主面絶縁膜４４は、複数のゲート絶縁膜２１と一体的に形成され、複数のゲート絶縁膜２１と１つの絶縁膜を形成している。

[0163] 半導体装置１Ａは、外周領域９において第１主面３の上に配置されたプレーナ型の配線構造５０を含む。配線構造５０は、外周領域９において複数のゲート構造２０のレイアウトとは異なるレイアウトで第１主面３の上に選択的に引き回され、活性領域８側において複数のゲート構造２０に接続されている。配線構造５０は、「ゲート配線構造」と称されてもよい。配線構造５０は、複数のゲート構造２０にゲート電位を付与する。

[0164] 配線構造５０は、前述の主面絶縁膜４４、ゲート配線５１、第２プレーナ絶縁膜５２および複数の第３側壁絶縁膜５３を含む。ゲート配線５１は、「第２ゲート電極」等と称されてもよい。ゲート配線５１は、ｐ型の導電性ポリシリコンおよびｎ型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート配線５１は、ゲート電極２２の導電型と同じ導電型を有していることが好ましい。

[0165] ゲート配線５１は、外周領域９において第１主面３の周縁から活性領域８側に間隔を空けて主面絶縁膜４４の上に配置されている。ゲート配線５１は、この形態では、終端領域４１から活性領域８側に間隔を空けて配置され、主面絶縁膜４４のうちアウターボディ領域４０を被覆する部分の上に配置されている。つまり、ゲート配線５１は、主面絶縁膜４４を挟んでアウターボディ領域４０に対向している。ゲート配線５１は、積層方向に終端領域４１に対向していてもよい。

[0166] ゲート配線５１は、複数のゲート電極２２とは異なる方向に延びる部分を有している。ゲート配線５１は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、複数のゲート電極２２（活性領域８）を複数方向から区画している。

[0167] ゲート配線５１は、この形態では、平面視において複数のゲート電極２２

（活性領域８）を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。ゲート配線５１は、有端状または無端状であってもよい。

[0168] ゲート配線５１は、この形態では、平面視においてアウターボディ領域４０に沿って帯状（この形態では環状）に延び、積層方向の全域に主面絶縁膜４４を挟んでアウターボディ領域４０に対向している。ゲート配線５１は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0169] ゲート配線５１は、この形態では、平面視においてアウターボディ領域４０の幅未満の幅を有し、アウターボディ領域４０の内縁部および外縁部から間隔を空けてアウターボディ領域４０の上に配置されている。つまり、この形態では、複数のゲート電極２２がアウターボディ領域４０の上まで引き出され、ゲート配線５１がアウターボディ領域４０の上で複数のゲート電極２２に接続されている。ゲート配線５１の幅は、アウターボディ領域４０の幅よりも大きくてもよい。

[0170] ゲート配線５１の幅は、ゲート電極２２の幅よりも大きいことが好ましい。ゲート配線５１の幅は、延在方向に直交する方向の幅である。ゲート配線５１の幅は、ゲート電極２２の幅以下であってもよい。たとえば、ゲート電極２２の幅に対するゲート配線５１の幅の比は、０．５以上５０以下であってもよい。

[0171] 幅の比は、０．５以上１以下、１以上１０以下、１０以上２０以下、２０以上３０以下、３０以上４０以下、および、４０以上５０以下のうちの少なくとも１つの範囲に属する値を有していてもよい。幅の比は、５以上であってもよい。幅の比は、２０以上４０以下であってもよい。

[0172] ゲート配線５１は、配線面５４、内縁側の第１配線側壁５５、および、外縁側の第２配線側壁５６を有している。配線面５４は、主面絶縁膜４４（第１主面３）に沿って平坦に延びている。配線面５４は、主面絶縁膜４４（第

１主面３）に対してほぼ平行に延びていてもよい。

[0173] 第１配線側壁５５は、主面絶縁膜４４の上で鉛直方向Ｚに延びている。第１配線側壁５５は、第１方向Ｘに延びる部分において複数のゲート電極２２（第１側壁２７および第２側壁２８）に接続されている。

[0174] つまり、ゲート配線５１は、複数のゲート電極２２に対してＴ字状に接続された複数の部分を有し、複数のゲート電極２２に電気的に接続されている。第２配線側壁５６は、主面絶縁膜４４の上で鉛直方向Ｚに延びている。第２配線側壁５６は、外周領域９において開放端として形成されている。

[0175] 第１配線側壁５５および第２配線側壁５６は、主面絶縁膜４４に対して垂直に延びていてもよい。つまり、ゲート配線５１は、断面視において四角形状（扁平な長方形状）に形成されていてもよい。第１配線側壁５５および第２配線側壁５６は、配線面５４に向けて斜め傾斜していてもよい。つまり、ゲート配線５１は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。

[0176] ゲート配線５１は、ゲート電極２２の厚さとほぼ等しい厚さを有していることが好ましい。ゲート配線５１の厚さは、ゲート電極２２の厚さよりも大きくてもよいし、ゲート電極２２の厚さ未満であってもよい。

[0177] ゲート配線５１は、１μｍ以上１０μｍ以下の厚さを有していてもよい。ゲート配線５１の厚さは、１μｍ以上２．５μｍ以下、２．５μｍ以上５μｍ以下、５μｍ以上７．５μｍ以下、および、７．５μｍ以上１０μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。ゲート配線５１の厚さは、１μｍ以上５μｍ以下であることが好ましい。

[0178] 第２プレーナ絶縁膜５２は、ゲート配線５１の上に配置され、配線面５４を膜状に被覆している。第２プレーナ絶縁膜５２は、ゲート配線５１の第１配線側壁５５を露出させ、ゲート配線５１の第２配線側壁５６を被覆している。第２プレーナ絶縁膜５２は、ゲート配線５１の全域に亘って配線面５４および第２配線側壁５６を直接被覆し、第１配線側壁５５を露出させている。

[0179] 第２プレーナ絶縁膜５２は、複数のゲート電極２２およびゲート配線５１の接続部において複数の第１プレーナ絶縁膜２３に接続されている。つまり、第２プレーナ絶縁膜５２は、複数の第１プレーナ絶縁膜２３にＴ字形状に接続された複数の部分を有している。第２プレーナ絶縁膜５２は、第２配線側壁５６側の角部に対する被覆部において円弧状に湾曲した円弧角部を有している。

[0180] 第２プレーナ絶縁膜５２は、第２絶縁面５７、および、第１配線側壁５５側の第３絶縁側壁５８を有している。第２絶縁面５７は、配線面５４に沿って平坦に延びている。第２絶縁面５７は、配線面５４に対してほぼ平行に延びていてもよい。

[0181] 第３絶縁側壁５８は、ゲート配線５１の上で鉛直方向Ｚに延び、ゲート配線５１の第１配線側壁５５に接続されている。第３絶縁側壁５８は、複数のゲート電極２２およびゲート配線５１の接続部において複数の第１プレーナ絶縁膜２３の第１絶縁側壁３０および第２絶縁側壁３１に接続されている。つまり、第３絶縁側壁５８は、第１側壁絶縁膜２４にＬ字形状に接続された部分、および、第２側壁絶縁膜２５にＬ字形状に接続された部分を有している。

[0182] 第３絶縁側壁５８は、第１配線側壁５５に対して面一に形成されていてもよい。第３絶縁側壁５８は、第１配線側壁５５よりも活性領域８側に位置され、積層方向に主面絶縁膜４４に対向していてもよい。

[0183] 第３絶縁側壁５８は、第１配線側壁５５から間隔を空けて配線面５４の上に位置され、配線面５４の周縁部を露出させていてもよい。この場合、第３絶縁側壁５８は、配線面５４の周縁部を介して第１配線側壁５５に接続されていてもよい。第３絶縁側壁５８は、主面絶縁膜４４に対してほぼ垂直に延びていてもよい。第３絶縁側壁５８は、第２絶縁面５７に向けて斜め傾斜していてもよい。

[0184] 第２プレーナ絶縁膜５２は、第１プレーナ絶縁膜２３の厚さとほぼ等しい厚さを有していることが好ましい。第２プレーナ絶縁膜５２の厚さは、第１

プレーナ絶縁膜２３の厚さよりも大きくてもよいし、第１プレーナ絶縁膜２３の厚さ未満であってもよい。

[0185] 第２プレーナ絶縁膜５２の厚さは、０．１μｍ以上２μｍ以下であってもよい。第２プレーナ絶縁膜５２の厚さは、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第２プレーナ絶縁膜５２の厚さは、０．２μｍ以上であることが好ましい。

[0186] 第２プレーナ絶縁膜５２は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。第２プレーナ絶縁膜５２は、単一絶縁膜からなる単層構造を有していてもよい。第２プレーナ絶縁膜５２は、複数の絶縁膜を含む積層構造を有していてもよい。

[0187] 第２プレーナ絶縁膜５２は、この形態では、第１プレーナ絶縁膜２３と同様、ゲート配線５１側からこの順に積層された第１酸化膜５９（第１絶縁膜）および第２酸化膜６０（第２絶縁膜）を含む積層構造を有している。

[0188] 第１酸化膜５９は、ＮＳＧ膜からなる単層構造を有している。第１酸化膜５９は、ゲート配線５１の配線面５４および第２配線側壁５６を膜状に直接被覆し、ゲート配線５１の第１配線側壁５５を露出させている。第１酸化膜５９は、ゲート配線５１の上で第３絶縁側壁５８の一部を形成している。

[0189] 第１酸化膜５９は、配線面５４に対する被覆部において水平方向に平坦に延びている。第１酸化膜５９は、複数のゲート電極２２およびゲート配線５１の接続部において複数の第１酸化膜３２に接続されている。つまり、第１酸化膜５９は、複数の第１酸化膜３２にＴ字形状に接続された複数の部分を有している。

[0190] 第１酸化膜５９は、第２配線側壁５６に対する被覆部において鉛直方向Ｚに延びている。第１酸化膜５９は、第２配線側壁５６に対する被覆部において第２配線側壁５６の傾斜角度とほぼ等しい傾斜角度で延びていることが好ましい。第１酸化膜５９の膜面は、第２配線側壁５６に対してほぼ平行に延

びる部分を有していることが好ましい。第１酸化膜５９は、ゲート配線５１の第２配線側壁５６側の角部に対する被覆部において円弧状に湾曲した円弧角部を有していることが好ましい。

[0191] 第１酸化膜５９は、第１プレーナ絶縁膜２３の第１酸化膜３２の厚さとほぼ等しい厚さを有していることが好ましい。第１酸化膜５９の厚さは、第１酸化膜３２の厚さよりも大きくてもよいし、第１酸化膜３２の厚さ未満であってもよい。

[0192] 第１酸化膜５９は、０．０１μｍ以上０．２μｍ以下の厚さを有していてもよい。第１酸化膜５９の厚さは、０．０１μｍ以上０．０５μｍ以下、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．１５μｍ以下、および、０．１５μｍ以上０．２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第１酸化膜５９の厚さは、０．０５μｍ以上であることが好ましい。

[0193] 第２酸化膜６０は、ＰＳＧ膜およびＢＰＳＧ膜のいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第２酸化膜６０は、第１酸化膜５９の上に積層されたＰＳＧ膜、および、ＰＳＧ膜の上に積層されたＢＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜６０は、第１酸化膜５９の上に積層されたＢＰＳＧ膜、および、ＢＰＳＧ膜の上に積層されたＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜６０は、この形態では、一例としてＰＳＧ膜からなる単層構造を有している。

[0194] 第２酸化膜６０は、第１酸化膜５９を膜状に直接被覆している。第２酸化膜６０は、第１酸化膜５９を挟んで配線面５４および第２配線側壁５６を膜状に被覆し、ゲート配線５１の第１配線側壁５５を露出させている。

[0195] 第２酸化膜６０は、配線面５４に対する被覆部において水平方向に平坦に延び、第１酸化膜５９の上で第３絶縁側壁５８の一部を形成している。第２酸化膜６０は、複数のゲート電極２２およびゲート配線５１の接続部において複数の第２酸化膜３３に接続されている。つまり、第２酸化膜６０は、複数の第２酸化膜３３にＴ字形状に接続された複数の部分を有している。

[0196] 第２酸化膜６０は、第２配線側壁５６に対する被覆部において鉛直方向Ｚに延びている。第２酸化膜６０は、第２配線側壁５６に対する被覆部において第２配線側壁５６の傾斜角度とほぼ等しい傾斜角度で延びていることが好ましい。第２酸化膜６０の膜面は、第２配線側壁５６に対してほぼ平行に延びる部分を有していることが好ましい。第２酸化膜６０は、ゲート配線５１の第２配線側壁５６側の角部に対する被覆部において円弧状に湾曲した円弧角部を有していることが好ましい。

[0197] 第２酸化膜６０は、第１酸化膜５９の厚さよりも大きい厚さを有していることが好ましい。第２酸化膜６０の厚さは、第１酸化膜５９の厚さ未満であってもよい。第２酸化膜６０の厚さは、第１プレーナ絶縁膜２３の第２酸化膜３３の厚さとほぼ等しいことが好ましい。第２酸化膜６０の厚さは、第２酸化膜３３の厚さよりも大きくてもよいし、第２酸化膜３３の厚さ未満であってもよい。

[0198] 第２酸化膜６０の厚さは、０．０５μｍ以上１．８μｍ以下であってもよい。第２酸化膜６０の厚さは、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．５μｍ以下、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、および、１．５μｍ以上１．８μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第２酸化膜６０の厚さは、０．１μｍ以上であることが好ましい。

[0199] 第２酸化膜６０は、第２プレーナ絶縁膜５２の平坦性（つまり配線面５４に対する第２プレーナ絶縁膜５２の成膜性）を高めている。第２酸化膜６０の不純物拡散に起因するゲート配線５１の電気的特性の変動は、不純物無添加の第１酸化膜５９によって抑制されている。ゲート配線５１の不純物拡散に起因する第２酸化膜６０の絶縁特性の変動は、不純物無添加の第１酸化膜５９によって抑制されている。

[0200] 複数の第３側壁絶縁膜５３は、ゲート配線５１の第１配線側壁５５をそれぞれ被覆している。具体的には、複数の第３側壁絶縁膜５３は、第１配線側壁５５のうち複数のゲート電極２２およびゲート配線５１の接続部以外の部

分をそれぞれ被覆している。以下、１つの第３側壁絶縁膜５３の構成が説明される。

[0201] 第３側壁絶縁膜５３は、主面絶縁膜４４の上で第１配線側壁５５を被覆し、主面絶縁膜４４を挟んでアウターボディ領域４０の一部に対向している。第３側壁絶縁膜５３は、複数のソース領域１４、１５およびコンタクト領域１６からゲート配線５１側に間隔を空けて形成されている。第３側壁絶縁膜５３は、複数のソース領域１４、１５およびコンタクト領域１６に対向する部分を有さない。

[0202] 第３側壁絶縁膜５３は、この形態では、第１配線側壁５５から第２プレーナ絶縁膜５２の第３絶縁側壁５８側に引き出され、第３絶縁側壁５８を被覆している。つまり、第３側壁絶縁膜５３は、第１配線側壁５５を被覆する部分および第３絶縁側壁５８を被覆する部分を有している。また、第３側壁絶縁膜５３は、ゲート配線５１および第２プレーナ絶縁膜５２の境界部を被覆する部分を有している。

[0203] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において第１配線側壁５５の傾斜角度とほぼ等しい傾斜角度で延び、第１配線側壁５５に対してほぼ平行に延びる膜面を有している。第３側壁絶縁膜５３は、第３絶縁側壁５８に対する被覆部において第３絶縁側壁５８の傾斜角度とほぼ等しい傾斜角度で延び、第３絶縁側壁５８に対してほぼ平行に延びる膜面を有している。

[0204] 第３側壁絶縁膜５３は、この形態では、主面絶縁膜４４（第１主面３）および第２絶縁面５７の間の領域をほぼ垂直に延びている。つまり、第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において鉛直方向Ｚに延びる膜面を有し、第３絶縁側壁５８に対する被覆部において鉛直方向Ｚに延びる膜面を有している。

[0205] 第３側壁絶縁膜５３は、第３絶縁側壁５８側において第１酸化膜５９およ

び第２酸化膜６０の双方を被覆している。また、第３側壁絶縁膜５３は、第１酸化膜５９および第２酸化膜６０の境界部を被覆する部分を有している。第３側壁絶縁膜５３は、第２絶縁面５７に対して第１主面３側に形成され、第２絶縁面５７を露出させている。つまり、第３側壁絶縁膜５３は、第２絶縁面５７から第２酸化膜６０を露出させている。

[0206] 第３側壁絶縁膜５３は、ゲート電極２２およびゲート配線５１の接続部において複数の側壁絶縁膜２４、２５に接続されている。つまり、第３側壁絶縁膜５３は、第１側壁絶縁膜２４にＬ字形状に接続された部分、および、第２側壁絶縁膜２５にＬ字形状に接続された部分を有している。

[0207] 第３側壁絶縁膜５３は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。第３側壁絶縁膜５３は、単一絶縁膜からなる単層構造を有していてもよい。第３側壁絶縁膜５３は、複数の絶縁膜を含む積層構造を有していてもよい。

[0208] 第３側壁絶縁膜５３は、複数の側壁絶縁膜２４、２５の絶縁材料と同種の絶縁材料からなることが好ましい。第３側壁絶縁膜５３は、この形態では、ＮＳＧ膜からなる単層構造を有している。第３側壁絶縁膜５３は、この形態では、ＮＳＧ膜の一例としてのＴＥＯＳ膜からそれぞれなる。

[0209] 第３側壁絶縁膜５３がＮＳＧ膜からなる場合、第２酸化膜６０（第２酸化膜３３）の不純物拡散に起因するゲート配線５１（ゲート電極２２）の電気的特性の変動が第３側壁絶縁膜５３によって抑制される。また、ゲート配線５１（ゲート電極２２）の不純物拡散に起因する第２酸化膜６０（第２酸化膜３３）の絶縁特性の変動が第３側壁絶縁膜５３によって抑制される。

[0210] 第３側壁絶縁膜５３は、複数の側壁絶縁膜２４、２５の厚さとほぼ等しい厚さを有していることが好ましい。第３側壁絶縁膜５３は、第１配線側壁５５を基準とする第３側壁絶縁膜５３の水平方向の厚さである。

[0211] 第３側壁絶縁膜５３は、ゲート配線５１の厚さ未満の厚さをそれぞれ有している。第３側壁絶縁膜５３の厚さは、第２プレーナ絶縁膜５２の厚さ（総厚さ）未満である。第３側壁絶縁膜５３の厚さは、ゲート電極２２の厚さ未

満である。第３側壁絶縁膜５３の厚さは、第１プレーナ絶縁膜２３の厚さ（総厚さ）未満である。

[0212] 第３側壁絶縁膜５３の厚さは、第２酸化膜６０（第２酸化膜３３）の厚さ未満であることが好ましい。第３側壁絶縁膜５３の厚さは、第１酸化膜５９（第１酸化膜３２）の厚さ未満であることが好ましい。第３側壁絶縁膜５３の厚さは、ゲート絶縁膜２１の厚さよりも大きいことが好ましい。第３側壁絶縁膜５３の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。

[0213] 第３側壁絶縁膜５３の厚さは、側壁絶縁膜２４、２５の厚さとほぼ等しいことが好ましい。第３側壁絶縁膜５３の厚さは、側壁絶縁膜２４、２５の厚さよりも大きくてもよいし、側壁絶縁膜２４、２５の厚さ未満であってもよい。第３側壁絶縁膜５３の厚さは、０．１μｍ以上０．５μｍ以下であってもよい。

[0214] 第３側壁絶縁膜５３の厚さは、０．１μｍ以上０．１５μｍ以下、０．１５μｍ以上０．２μｍ以下、０．２μｍ以上０．２５μｍ以下、０．２５μｍ以上０．３μｍ以下、０．３μｍ以上０．３５μｍ以下、０．３５μｍ以上０．４μｍ以下、０．４μｍ以上０．４５μｍ以下、および、０．４５μｍ以上０．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。第３側壁絶縁膜５３の厚さは、０．１５μｍ以上０．２５μｍ以下であることが好ましい。

[0215] 半導体装置１Ａは、外周領域９において主面絶縁膜４４を被覆するアウター絶縁膜６１を含む。アウター絶縁膜６１は、外周領域９においてチップ２の周縁およびゲート構造２０（ゲート配線５１）の間の領域に形成され、主面絶縁膜４４を挟んでアウターボディ領域４０、終端領域４１、複数のフィールド領域４３を被覆している。

[0216] アウター絶縁膜６１は、チップ２の周縁側において第１～第４側面５Ａ～５Ｄに連なっている。アウター絶縁膜６１は、第１～第４側面５Ａ～５Ｄから内方に間隔を空けて形成され、第１主面３の周縁部（第２半導体領域１１）を露出させていてもよい。アウター絶縁膜６１は、配線構造５０側におい

て第２プレーナ絶縁膜５２に接続されている。

[0217] 具体的には、アウター絶縁膜６１は、第２プレーナ絶縁膜５２と同様、第１酸化膜５９および第２酸化膜６０を含む積層構造を有し、第２プレーナ絶縁膜５２と一体的に形成されている。アウター絶縁膜６１は、第２プレーナ絶縁膜５２のうちゲート配線５１に対する被覆部からチップ２の周縁側に引き出された引き出し部であると見做されてもよい。

[0218] 半導体装置１Ａは、活性領域８側において複数のゲート構造２０の間の領域にそれぞれ区画された複数のソース開口６５を含む。複数のソース開口６５は、この形態では、複数のゲート構造２０の配列に応じて第１方向Ｘに間隔を空けて形成され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のソース開口６５は、第２方向Ｙに延びるストライプ状に形成されている。

[0219] 複数のソース開口６５は、複数のゲート構造２０および配線構造５０によって取り囲まれた領域にそれぞれ区画されている。具体的には、複数のソース開口６５は、第１方向Ｘに関して一方のゲート構造２０の第１側壁絶縁膜２４、および、他方のゲート構造２０の第２側壁絶縁膜２５によってそれぞれ区画されている。複数のソース開口６５は、第２方向Ｙに関して配線構造５０の第３側壁絶縁膜５３によってそれぞれ区画された両端部を有している。

[0220] 複数のソース開口６５は、複数のボディ領域１２の直上にそれぞれ区画され、複数のゲート絶縁膜２１および主面絶縁膜４４を貫通している。つまり、複数のソース開口６５は、下端部において複数のゲート絶縁膜２１および主面絶縁膜４４を露出させている。複数のソース開口６５は、第１主面３（チップ２）の一部をそれぞれ露出させている。

[0221] 具体的には、複数のソース開口６５は、対応するボディ領域１２内に形成された複数のソース領域１４、１５およびコンタクト領域１６をそれぞれ露出させている。複数のソース開口６５は、この形態では、ボディ領域１２の両端部をそれぞれ露出させている。

[0222] 複数のソース開口６５は、第１方向Ｘに関して、複数の側壁絶縁膜２４、２５の厚さ以上の開口幅Ｗをそれぞれ有している。開口幅Ｗは、複数のゲート構造２０の間の距離でもある。開口幅Ｗは、複数の側壁絶縁膜２４、２５の厚さよりも大きいことが好ましい。開口幅Ｗは、ゲート電極２２の幅以下であることが好ましい。ソース開口６５の幅は、ゲート電極２２の幅未満であることが特に好ましい。

[0223] 開口幅Ｗは、０．２μｍ以上０．６μｍ以下であってもよい。開口幅Ｗは、０．２μｍ以上０．２５μｍ以下、０．２５μｍ以上０．３μｍ以下、０．３μｍ以上０．３５μｍ以下、０．３５μｍ以上０．４μｍ以下、０．４μｍ以上０．４５μｍ以下、０．４５μｍ以上０．５μｍ以下、０．５μｍ以上０．５５μｍ以下、および、０．５５μｍ以上０．６μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。開口幅Ｗは、０．２５μｍ以上０．４５μｍ以下であることが好ましい。

[0224] ソース開口６５は、０．１μｍ以上２μｍ以下の開口深さＤを有していてもよい。開口深さＤは、０．１μｍ以上０．２５μｍ以下、０．２５μｍ以上０．５μｍ以下、０．５μｍ以上０．７５μｍ以下、０．７５μｍ以上１μｍ以下、１μｍ以上１．２５μｍ以下、１．２５μｍ以上１．５μｍ以下、１．５μｍ以上１．７５μｍ以下、および、１．７５μｍ以上２μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。開口深さＤは、０．５μｍ以上１μｍ以下であることが好ましい。

[0225] ソース開口６５は、０．５以上３以下のアスペクト比Ｄ／Ｗを有していることが好ましい。アスペクト比Ｄ／Ｗは、開口幅Ｗに対する開口深さＤの比によって定義される。アスペクト比Ｄ／Ｗは、０．５以上０．７５以下、０．７５以上１以下、１以上１．２５以下、１．２５以上１．５以下、１．５以上１．７５以下、１．７５以上２以下、２以上２．２５以下、２．２５以上２．５以下、２．５以上２．７５以下、および、２．７５以上３以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0226] 半導体装置１Ａは、第１主面３において複数のソース開口６５から露出し

た部分にそれぞれ形成された複数のソースリセス６６を含む。複数のソースリセス６６は、第１主面３の一構成要素と見做されてもよい。半導体装置１Ａは、必ずしもソースリセス６６を有している必要はない。したがって、ソースリセス６６を有さない構成が採用されてもよい。

[0227] 複数のソースリセス６６は、対応するソース開口６５の平面形状に整合する平面形状をそれぞれ有し、第１主面３から第２主面４側に向けて窪んでいる。複数のソースリセス６６は、対応するボディ領域１２の底部から第１主面３側に間隔を空けて形成され、対応する複数のソース領域１４、１５およびコンタクト領域１６をそれぞれ露出させている。

[0228] 具体的には、複数のソースリセス６６は、対応する複数のソース領域１４、１５（コンタクト領域１６）の底部から第１主面３側に間隔を空けて形成されている。複数のソースリセス６６は、この形態では、ボディ領域１２の両端部をそれぞれ露出させている。

[0229] 半導体装置１Ａは、外周領域９においてアウター絶縁膜６１に形成された少なくとも１つ（この形態では複数）のアウター開口６７を含む。複数のアウター開口６７は、アウター絶縁膜６１において終端領域４１を被覆する部分に形成されている。

[0230] 複数のアウター開口６７は、アウター絶縁膜６１を貫通し、終端領域４１を露出させている。複数のアウター開口６７は、この形態では、アウター絶縁膜６１において終端領域４１のオーバラップ領域４２を被覆する部分に形成され、オーバラップ領域４２を露出させている。

[0231] 複数のアウター開口６７は、終端領域４１（オーバラップ領域４２）に代えてまたはこれに加えて、アウターボディ領域４０および終端領域４１のいずれか一方または双方を露出させていてもよい。

[0232] 複数のアウター開口６７は、第１酸化膜５９および第２酸化膜６０の双方を貫通し、第１酸化膜５９および第２酸化膜６０の双方によって区画された壁面を有している。複数のアウター開口６７は、アウター絶縁膜６１の円弧角部によって区画された開口端をそれぞれ有している。

[0233] 複数のアウター開口６７は、終端領域４１（オーバラップ領域４２）に沿って間隔を空けて形成されている（図４および図５参照）。複数のアウター開口６７は、平面視において四角形状（正方形状）、長方形状、六角形状、円形状等に形成されていてもよい。複数のアウター開口６７は、平面視において終端領域４１（オーバラップ領域４２）に沿って延びる帯状に形成されていてもよい。アウター開口６７は、０．５以上３以下（好ましくは１よりも大きい）のアスペクト比を有していてもよい。

[0234] 半導体装置１Ａは、単一のアウター開口６７を有していてもよい。単一のアウター開口６７は、終端領域４１（オーバラップ領域４２）に沿って延びる帯状に形成されていてもよい。単一のアウター開口６７は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有していてもよい。

[0235] 単一のアウター開口６７は、第１主面３の周縁に平行な４辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のアウター開口６７は、平面視において終端領域４１（オーバラップ領域４２）に倣って第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0236] 半導体装置１Ａは、第１主面３において複数のアウター開口６７から露出した部分にそれぞれ形成された複数のアウターリセス６８を含む。複数のアウターリセス６８は、第１主面３の一構成要素と見做されてもよい。半導体装置１Ａは、必ずしもアウターリセス６８を有している必要はない。したがって、アウターリセス６８を有さない構成が採用されてもよい。

[0237] 複数のアウターリセス６８は、対応するアウター開口６７の平面形状に整合する平面形状をそれぞれ有し、第１主面３から第２主面４側に向けて窪んでいる。複数のアウターリセス６８は、終端領域４１（オーバラップ領域４２）の底部から第１主面３側に間隔を空けて形成され、終端領域４１（オーバラップ領域４２）をそれぞれ露出させている。

[0238] アウターリセス６８は、ソースリセス６６の深さとほぼ等しい深さを有していてもよい。単一のアウター開口６７が形成される場合、単一のアウター開口６７の平面形状に整合する単一のアウターリセス６８が形成される。

[0239] 半導体装置１Ａは、外周領域９において第２プレーナ絶縁膜５２に形成された少なくとも１つ（この形態では複数）のゲート開口６９を含む。複数のゲート開口６９は、第２プレーナ絶縁膜５２を貫通し、ゲート配線５１を露出させている。複数のゲート開口６９は、ゲート配線５１に沿って間隔を空けて形成されている（図４および図５参照）。

[0240] 複数のゲート開口６９は、第１酸化膜５９および第２酸化膜６０の双方を貫通し、第１酸化膜５９および第２酸化膜６０の双方によって区画された壁面を有している。複数のゲート開口６９は、第２プレーナ絶縁膜５２の円弧角部によって区画された開口端をそれぞれ有していてもよい。

[0241] 複数のゲート開口６９は、平面視において四角形状（正方形状）、長方形状、六角形状、円形状等に形成されていてもよい。複数のゲート開口６９は、平面視においてゲート配線５１に沿って延びる帯状に形成されていてもよい。ゲート開口６９は、０．５以上３以下（好ましくは１よりも大きい）のアスペクト比を有していてもよい。

[0242] 半導体装置１Ａは、単一のゲート開口６９を有していてもよい。単一のゲート開口６９は、ゲート配線５１に沿って延びる帯状に形成されていてもよい。単一のゲート開口６９は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有していてもよい。

[0243] 単一のゲート開口６９は、第１主面３の周縁に平行な４辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のゲート開口６９は、平面視においてゲート配線５１に倣って第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0244] 図１等を参照して、半導体装置１Ａは、複数のゲート構造２０の上に配置されたソース主電極７０を含む。ソース主電極７０は、外部からソース電位

が付与される端子電極である。ソース主電極７０は、「第１主電極」、「第１端子電極」、「第１パッド電極」等と称されてもよい。

[0245] ソース主電極７０は、活性領域８において複数のゲート構造２０を一括して被覆している。ソース主電極７０は、複数の第１プレーナ絶縁膜２３を挟んで複数のゲート電極２２を被覆し、複数の第１プレーナ絶縁膜２３によって複数のゲート電極２２から電気的に切り離されている。

[0246] ソース主電極７０は、配線構造５０を膜状に被覆する周縁部を有している。ソース主電極７０の周縁部は、第２プレーナ絶縁膜５２を挟んでゲート配線５１を被覆し、第２プレーナ絶縁膜５２によってゲート配線５１から電気的に切り離されている。ソース主電極７０は、複数のゲート構造２０および配線構造５０の上から複数のソース開口６５内に入り込んでいる。

[0247] ソース主電極７０は、複数のソース開口６５内において複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３に機械的に接続され、複数のソース開口６５内において第１主面３に電気的に接続されている。具体的には、ソース主電極７０は、複数のソース開口６５内において複数のボディ領域１２、複数のソース領域１４、１５、複数のコンタクト領域１６等に電気的に接続されている。

[0248] ソース主電極７０は、平面視において第１パッド部７０ａ、第２パッド部７０ｂおよび第３パッド部７０ｃを含む。第１パッド部７０ａは、比較的大きい平面積を有し、ソース主電極７０の本体を形成している。

[0249] 第１パッド部７０ａは、この形態では、平面視において活性領域８の中央部に対して第４側面５Ｄ側に偏在され、チップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に形成されている。第１パッド部７０ａは、複数の第１プレーナ絶縁膜２３によって複数のゲート電極２２から電気的に切り離され、複数のソース開口６５を介して複数のボディ領域１２等に電気的に接続されている。

[0250] 第２パッド部７０ｂは、第１パッド部７０ａの平面積未満の平面積を有し、第１パッド部７０ａの第２方向Ｙの一端部（第１側面５Ａ側の端部）から

第３側面５Ｃ側に向けて帯状（四角形状）に引き出されている。第２パッド部７０ｂは、複数の第１プレーナ絶縁膜２３によって複数のゲート電極２２から電気的に切り離され、複数のソース開口６５を介して複数のボディ領域１２等に電気的に接続されている。

[0251] 第３パッド部７０ｃは、第１パッド部７０ａの平面積未満の平面積を有し、第１パッド部７０ａの第２方向Ｙの他端部（第２側面５Ｂ側の端部）から第３側面５Ｃ側に向けて帯状（四角形状）に引き出され、第２方向Ｙに第２パッド部７０ｂに対向している。第３パッド部７０ｃは、複数の第１プレーナ絶縁膜２３によって複数のゲート電極２２から電気的に切り離され、複数のソース開口６５を介して複数のボディ領域１２等に電気的に接続されている。

[0252] 第３パッド部７０ｃの平面積は、第２パッド部７０ｂの平面積とほぼ等しくてもよい。第３パッド部７０ｃの平面積は、第２パッド部７０ｂの平面積よりも大きくてもよいし、第２パッド部７０ｂの平面積未満であってもよい。第２パッド部７０ｂおよび第３パッド部７０ｃのいずれか一方または双方は、電流モニタ用の端子部として使用されてもよい。

[0253] ソース主電極７０は、必ずしも第２パッド部７０ｂおよび第３パッド部７０ｃの双方を同時に有している必要はない。ソース主電極７０は、第２パッド部７０ｂおよび第３パッド部７０ｃのうちのいずれ一方のみを有していてもよい。ソース主電極７０は、第１パッド部７０ａのみからなり、第２パッド部７０ｂおよび第３パッド部７０ｃを有していなくてもよい。

[0254] 図６および図７を参照して、ソース主電極７０は、第１下側電極膜７１、複数の第１埋設電極７２および第１上側電極膜７３を含む。第１下側電極膜７１は、「第１下側電極」と称されてもよい。

[0255] 第１上側電極膜７３は、「第１上側電極」と称されてもよい。第１下側電極膜７１は、ソース主電極７０（第１パッド部７０ａ、第２パッド部７０ｂおよび第３パッド部７０ｃ）の下層部を形成し、活性領域８において複数のゲート構造２０を一括して膜状に被覆している。

[0256] 第１下側電極膜７１は、この形態では、複数のゲート構造２０の上に積層された第１電極膜７４、および、第１電極膜７４の上に積層された第２電極膜７５を含む積層構造を有している。この形態では、第１電極膜７４はＴｉ膜を含み、第２電極膜７５はＴｉＮ膜を含む。第１下側電極膜７１は、必ずしも積層構造を有している必要はなく、第１電極膜７４（Ｔｉ膜）および第２電極膜７５（ＴｉＮ膜）のいずれか一方からなる単層構造を有していてもよい。

[0257] 第１電極膜７４は、活性領域８において複数のゲート構造２０を一括して膜状に直接被覆している。第１電極膜７４は、複数の第１プレーナ絶縁膜２３を挟んで複数のゲート電極２２を被覆し、複数の第１プレーナ絶縁膜２３によって複数のゲート電極２２から電気的に切り離されている。第１電極膜７４は、配線構造５０を膜状に直接被覆する周縁部を有している。第１電極膜７４の周縁部は、第２プレーナ絶縁膜５２を挟んでゲート配線５１を被覆し、第２プレーナ絶縁膜５２によってゲート配線５１から電気的に切り離されている。

[0258] 第１電極膜７４は、第１絶縁面２９および第２絶縁面５７を膜状に直接被覆する部分を有し、第１絶縁面２９および第２絶縁面５７の上から複数のソース開口６５内に入り込んでいる。第１電極膜７４は、複数のソース開口６５内において第１主面３、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３を膜状に直接被覆している。以下、１つのソース開口６５内における第１電極膜７４の構成が説明される。

[0259] 第１電極膜７４は、複数の側壁絶縁膜２４、２５に沿って延び、複数の側壁絶縁膜２４、２５を挟んで複数のゲート電極２２および複数の第１プレーナ絶縁膜２３に対向している。第１電極膜７４は、この形態では、複数の側壁絶縁膜２４、２５を挟んで第１酸化膜３２および第２酸化膜３３に対向している。

[0260] 第１電極膜７４は、複数の側壁絶縁膜２４、２５に対する被覆部において複数の側壁絶縁膜２４、２５の傾斜角度とほぼ等しい傾斜角度で延び、複数

の側壁絶縁膜２４、２５に対してほぼ平行に延びる膜面を有していることが好ましい。第１電極膜７４は、第３側壁絶縁膜５３に沿って延び、第３側壁絶縁膜５３を挟んでゲート配線５１および第２プレーナ絶縁膜５２に対向している。

[0261] 第１電極膜７４は、この形態では、第３側壁絶縁膜５３を挟んで第１酸化膜５９および第２酸化膜６０に対向している。第１電極膜７４は、第３側壁絶縁膜５３に対する被覆部において第３側壁絶縁膜５３の傾斜角度とほぼ等しい傾斜角度で延び、第３側壁絶縁膜５３に対してほぼ平行に延びる膜面を有していることが好ましい。

[0262] 第１電極膜７４は、ソース開口６５の底部において第１主面３を膜状に被覆し、第１主面３に電気的に接続されている。具体的には、第１電極膜７４は、ソース開口６５の底部においてソースリセス６６を膜状に被覆する部分を有し、ボディ領域１２、複数のソース領域１４、１５およびコンタクト領域１６に電気的に接続されている。

[0263] 第１電極膜７４は、第１主面３の高さ位置からソースリセス６６の底部側に間隔を空けてソースリセス６６を膜状に被覆していてもよい。第１電極膜７４は、第１主面３の高さ位置に対してソースリセス６６の底部側に位置された部分、および、第１主面３の高さ位置に対してゲート絶縁膜２１側に位置された部分を有していてもよい。

[0264] 第１電極膜７４は、ゲート電極２２（ゲート配線５１）の厚さ未満の厚さを有している。第１電極膜７４の厚さは、第１プレーナ絶縁膜２３（第２プレーナ絶縁膜５２）の厚さ（総厚さ）未満である。第１電極膜７４の厚さは、第２酸化膜３３（第２酸化膜６０）の厚さ未満であってもよい。第１電極膜７４の厚さは、第１酸化膜３２（第１酸化膜５９）の厚さ未満であってもよい。

[0265] 第１電極膜７４の厚さは、側壁絶縁膜２４、２５の厚さ未満であってもよい。第１電極膜７４の厚さは、側壁絶縁膜２４、２５の厚さよりも大きくてもよい。第１電極膜７４の厚さは、ゲート絶縁膜２１の厚さよりも大きいこ

とが好ましい。第１電極膜７４の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。

[0266] 第１電極膜７４の厚さは、１０ｎｍ以上１００ｎｍ以下であってもよい。第１電極膜７４の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、および、７５ｎｍ以上１００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0267] 第２電極膜７５は、活性領域８において第１電極膜７４を挟んで複数のゲート構造２０を一括して膜状に被覆している。第２電極膜７５は、第１電極膜７４を挟んで複数の第１プレーナ絶縁膜２３を膜状に被覆している。第２電極膜７５は、第１電極膜７４を挟んで配線構造５０を膜状に被覆する周縁部を有している。第２電極膜７５の周縁部は、第１電極膜７４の周縁部を挟んで第２プレーナ絶縁膜５２（ゲート配線５１）を被覆している。

[0268] 第２電極膜７５は、第１電極膜７４を挟んで第１絶縁面２９および第２絶縁面５７を膜状に被覆する部分を有し、第１絶縁面２９および第２絶縁面５７の上から複数のソース開口６５内に入り込んでいる。

[0269] 第２電極膜７５は、複数のソース開口６５内において第１電極膜７４を挟んで第１主面３、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３を膜状に被覆している。以下、１つのソース開口６５内における第２電極膜７５の構成が説明される。

[0270] 第２電極膜７５は、複数の側壁絶縁膜２４、２５に対する被覆部において第１電極膜７４に沿って延び、複数の側壁絶縁膜２４、２５および第１電極膜７４を挟んで複数のゲート電極２２および複数の第１プレーナ絶縁膜２３に対向している。第２電極膜７５は、この形態では、複数の側壁絶縁膜２４、２５および第１電極膜７４を挟んで第１酸化膜３２および第２酸化膜３３に対向している。

[0271] 第２電極膜７５は、第３側壁絶縁膜５３に対する被覆部において第１電極膜７４に沿って延び、第３側壁絶縁膜５３および第１電極膜７４を挟んでゲート配線５１および第２プレーナ絶縁膜５２に対向している。第２電極膜７

５は、この形態では、第３側壁絶縁膜５３および第１電極膜７４を挟んで第１酸化膜５９および第２酸化膜６０に対向している。

[0272] 第２電極膜７５は、複数の側壁絶縁膜２４、２５に対する被覆部において複数の側壁絶縁膜２４、２５の傾斜角度とほぼ等しい傾斜角度で延び、複数の側壁絶縁膜２４、２５に対してほぼ平行に延びる膜面を有していることが好ましい。第２電極膜７５は、第３側壁絶縁膜５３に対する被覆部において第３側壁絶縁膜５３の傾斜角度とほぼ等しい傾斜角度で延び、第３側壁絶縁膜５３に対してほぼ平行に延びる膜面を有していることが好ましい。

[0273] 第２電極膜７５は、ソース開口６５の底部において第１電極膜７４を挟んで第１主面３を膜状に被覆し、第１電極膜７４を介して第１主面３に電気的に接続されている。具体的には、第２電極膜７５は、第１電極膜７４を挟んでソースリセス６６を膜状に被覆する部分を有し、第１電極膜７４を介してボディ領域１２、複数のソース領域１４、１５およびコンタクト領域１６に電気的に接続されている。

[0274] 第１電極膜７４が第１主面３に対してソースリセス６６の底部側に位置されている場合、第２電極膜７５はソースリセス６６内に位置された部分を有していてもよい。第１電極膜７４が第１主面３よりも上方に位置された部分を有する場合、第２電極膜７５の全体はソースリセス６６の上方に位置される。

[0275] 第２電極膜７５は、ゲート電極２２（ゲート配線５１）の厚さ未満の厚さを有している。第２電極膜７５の厚さは、第２プレーナ絶縁膜５２（第１プレーナ絶縁膜２３）の厚さ（総厚さ）未満である。第２電極膜７５の厚さは、第２酸化膜３３（第２酸化膜６０）の厚さ未満であってもよい。第２電極膜７５の厚さは、第１酸化膜３２（第１酸化膜５９）の厚さ未満であってもよい。

[0276] 第２電極膜７５の厚さは、側壁絶縁膜２４、２５の厚さ未満であってもよい。第２電極膜７５の厚さは、側壁絶縁膜２４、２５の厚さよりも大きくてもよい。第２電極膜７５の厚さは、ゲート絶縁膜２１の厚さよりも大きいこ

とが好ましい。第２電極膜７５の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。第２電極膜７５の厚さは、第１電極膜７４の厚さよりも大きいことが好ましい。第２電極膜７５の厚さは、第１電極膜７４の厚さ未満であってもよい。

[0277] 第２電極膜７５の厚さは、５０ｎｍ以上２００ｎｍ以下であってもよい。第２電極膜７５の厚さは、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、１２５ｎｍ以上１５０ｎｍ以下、１５０ｎｍ以上１７５ｎｍ以下、および、１７５ｎｍ以上２００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0278] 複数の第１埋設電極７２は、ソース主電極７０（第１パッド部７０ａ、第２パッド部７０ｂおよび第３パッド部７０ｃ）の中層部を形成し、複数のソース開口６５にそれぞれ埋設されている。第１埋設電極７２は、第１下側電極膜７１の導電材料とは異なる導電材料を含む。第１埋設電極７２は、タングステン、モリブデン、タングステン合金およびモリブデン合金のうちの少なくとも１つを含む。第１埋設電極７２は、この形態では、タングステンを含む。

[0279] 複数の第１埋設電極７２は、この形態では、単一の第１下側電極膜７１を介して複数のソース開口６５に対して１対１の対応関係でそれぞれ埋設されている。複数の第１埋設電極７２は、複数のソース開口６５内において第１下側電極膜７１を介して第１主面３（チップ２）に電気的に接続されている。具体的には、複数の第１埋設電極７２は、複数のボディ領域１２、複数のソース領域１４、１５およびコンタクト領域１６に電気的に接続されている。以下、１つの第１埋設電極７２の構成が説明される。

[0280] 第１埋設電極７２は、第１絶縁面２９および第２絶縁面５７から第１主面３側に間隔を空けてソース開口６５に埋設され、第１下側電極膜７１（第２電極膜７５）のうち第１絶縁面２９および第２絶縁面５７を被覆する部分を露出させている。つまり、第１埋設電極７２は、第１絶縁面２９を挟んでゲート電極２２の電極面２６に対向する部分を有さない。また、第１埋設電極

７２は、第２絶縁面５７を挟んでゲート配線５１の配線面５４に対向する部分を有さない。

[0281] 第１埋設電極７２は、複数の側壁絶縁膜２４、２５を挟んで水平方向に複数のゲート電極２２および複数の第１プレーナ絶縁膜２３に対向している。第１埋設電極７２は、この形態では、複数の側壁絶縁膜２４、２５を挟んで水平方向に第１酸化膜３２および第２酸化膜３３に対向している。

[0282] 第１埋設電極７２は、第３側壁絶縁膜５３を挟んで水平方向にゲート配線５１および第２プレーナ絶縁膜５２に対向している。第１埋設電極７２は、この形態では、複数の側壁絶縁膜２４、２５を挟んで水平方向に第１酸化膜５９および第２酸化膜６０に対向している。第１埋設電極７２は、第１下側電極膜７１を挟んで積層方向に複数のソース領域１４、１５およびコンタクト領域１６に対向し、第１下側電極膜７１を介して複数のソース領域１４、１５およびコンタクト領域１６に電気的に接続されている。

[0283] 第１下側電極膜７１が第１主面３に対してソースリセス６６の底部側に位置されている場合、第１埋設電極７２はソースリセス６６内に位置された部分を有していてもよい。第１下側電極膜７１が第１主面３よりも上方に位置された部分を有する場合、第１埋設電極７２の全体はソースリセス６６の上方に位置される。

[0284] 第１埋設電極７２は、ソース開口６５から露出した第１埋設電極面７６を有している。第１埋設電極面７６は、ゲート電極２２の電極面２６の高さ位置よりも第１絶縁面２９側に位置されている。

[0285] 第１埋設電極７２は、第１酸化膜３２の高さ位置よりも第１絶縁面２９側に位置されていることが好ましい。第１埋設電極面７６は、ゲート配線５１の配線面５４の高さ位置よりも第２絶縁面５７側に位置されている。第１埋設電極７２は、第１酸化膜５９の高さ位置よりも第２絶縁面５７側に位置されていることが好ましい。

[0286] 第１埋設電極面７６は、中央部において第１主面３（チップ２）側に向けて窪んだ窪みを有している。窪みの底部は、電極面２６（配線面５４）の高

さ位置に対して第１絶縁面２９（第２絶縁面５７）側に位置されていることが好ましい。

[0287] 窪みの底部は、第１酸化膜３２（第１酸化膜５９）の高さ位置よりも第１絶縁面２９側に位置されていることが好ましい。窪みの底部は、第１酸化膜３２（第１酸化膜５９）の高さ位置よりも第１主面３側に位置されていてもよい。また、窪みの底部は、電極面２６（配線面５４）の高さ位置よりも第１主面３側に位置されていてもよい。

[0288] 第１上側電極膜７３は、ソース主電極７０（第１パッド部７０ａ、第２パッド部７０ｂおよび第３パッド部７０ｃ）の上層部を形成し、第１下側電極膜７１および複数の第１埋設電極７２を膜状に被覆している。

[0289] 第１上側電極膜７３は、第１下側電極膜７１の導電材料および第１埋設電極７２の導電材料とは異なる導電材料を含む。第１上側電極膜７３は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第１上側電極膜７３は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。

[0290] 第１上側電極膜７３は、活性領域８において第１下側電極膜７１を挟んで複数のゲート構造２０を一括して膜状に被覆している。第１上側電極膜７３は、第１絶縁面２９および第２絶縁面５７を被覆する部分において第１下側電極膜７１に機械的および電気的に接続されている。

[0291] 具体的には、第１上側電極膜７３は、第１下側電極膜７１を挟んで複数の第１プレーナ絶縁膜２３を膜状に被覆している。第１上側電極膜７３は、第１下側電極膜７１を挟んで配線構造５０を膜状に被覆する周縁部を有している。第１上側電極膜７３の周縁部は、第１下側電極膜７１の周縁部を挟んで第２プレーナ絶縁膜５２（ゲート配線５１）を被覆している。

[0292] 第１上側電極膜７３は、複数のソース開口６５を被覆する部分において複数の第１埋設電極７２に機械的および電気的に接続されている。これにより、第１上側電極膜７３は、第１下側電極膜７１および複数の第１埋設電極７２の双方を介して複数のボディ領域１２、複数のソース領域１４、１５、コ

ンタクト領域１６等に電気的に接続されている。

[0293] 第１上側電極膜７３は、第１絶縁面２９および第２絶縁面５７の高さ位置に対して第１主面３側の高さ位置で第１埋設電極７２（第１埋設電極面７６）に接続され、複数の側壁絶縁膜２４、２５を挟んで水平方向に第１プレーナ絶縁膜２３に対向している。また、第１上側電極膜７３は、第３側壁絶縁膜５３を挟んで水平方向に第２プレーナ絶縁膜５２に対向している。

[0294] 第１上側電極膜７３は、第１埋設電極７２に対する被覆部において第１埋設電極面７６の窪みを埋め戻している。第１上側電極膜７３は、この形態では、電極面２６よりも上方で第１埋設電極面７６に接続され、水平方向にゲート電極２２に対向する部分を有さない。

[0295] 第１上側電極膜７３は、この形態では、第１酸化膜３２の高さ位置よりも上方で第１埋設電極面７６に接続されている。第１埋設電極面７６が電極面２６の高さ位置よりも下方に位置された部分を有している場合、第１上側電極膜７３は水平方向にゲート電極２２に対向する部分を有していてもよい。

[0296] 第１上側電極膜７３は、第１下側電極膜７１の厚さ（総厚さ）よりも大きい厚さを有している。第１上側電極膜７３の厚さは、ゲート電極２２の厚さおよびゲート配線５１の厚さの双方よりも大きい。第１上側電極膜７３の厚さは、第１埋設電極７２の厚さよりも大きい。第１上側電極膜７３の厚さは、第１プレーナ絶縁膜２３の厚さおよび第２プレーナ絶縁膜５２の厚さの双方よりも大きい。

[0297] 第１上側電極膜７３の厚さは、０．５μｍ以上５μｍ以下であってもよい。第１上側電極膜７３の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0298] 半導体装置１Ａは、ソース主電極７０から外周領域９の上に引き出されたソースフィンガー電極８０を含む。ソースフィンガー電極８０は、ソース主

電極７０に付与されたソース電位を外周領域９に伝達する。ソースフィンガー電極８０は、この形態では、ソース主電極７０（第１パッド部７０ａ）のうちの第４側面５Ｄ側の部分から外周領域９の上に引き出されている。

[0299] ソースフィンガー電極８０は、ソース主電極７０から配線構造５０を介してアウター絶縁膜６１の上に引き出されている。ソースフィンガー電極８０は、アウター絶縁膜６１のうちの複数のアウター開口６７が形成された領域まで引き出され、複数のアウター開口６７内において終端領域４１に電気的に接続されている。具体的には、ソースフィンガー電極８０は、複数のアウター開口６７を介して終端領域４１のオーバラップ領域４２に電気的に接続されている。

[0300] ソースフィンガー電極８０は、終端領域４１（オーバラップ領域４２）に沿って帯状に延びている。ソースフィンガー電極８０は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。

[0301] ソースフィンガー電極８０は、この形態では、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に形成され、ソース主電極７０を取り囲んでいる。ソースフィンガー電極８０は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0302] ソースフィンガー電極８０は、ソース主電極７０と同様、第１下側電極膜７１、複数の第１埋設電極７２および第１上側電極膜７３を含む。第１下側電極膜７１は、ソース主電極７０と同様、第１電極膜７４および第２電極膜７５を含む積層構造を有している。第１下側電極膜７１は、ソースフィンガー電極８０の下層部を形成し、外周領域９においてアウター絶縁膜６１を被覆している。

[0303] 第１下側電極膜７１は、アウター絶縁膜６１のうち複数のアウター開口６７が形成された領域を一括して膜状に被覆し、第１絶縁面２９の上から複数のアウター開口６７内に入り込んでいる。

[0304] 第１下側電極膜７１は、各アウター開口６７の底部において第１主面３を膜状に被覆し、第１主面３（チップ２）に電気的に接続されている。具体的には、第１下側電極膜７１は、各アウター開口６７の底部においてアウターリセス６８を膜状に被覆する部分を有し、アウターリセス６８内において終端領域４１（オーバラップ領域４２）に電気的に接続されている。

[0305] 第１下側電極膜７１は、第１主面３の高さ位置からアウターリセス６８の底部側に間隔を空けてアウターリセス６８を膜状に被覆していてもよい。第１下側電極膜７１は、第１主面３の高さ位置に対してアウターリセス６８の底部側に位置された部分、および、第１主面３の高さ位置に対して主面絶縁膜４４側に位置された部分を有していてもよい。

[0306] 複数の第１埋設電極７２は、ソースフィンガー電極８０の中層部を形成し、複数のアウター開口６７にそれぞれ埋設されている。複数の第１埋設電極７２は、この形態では、単一の第１下側電極膜７１を介して複数のアウター開口６７に対して１対１の対応関係でそれぞれ埋設されている。複数の第１埋設電極７２は、第１下側電極膜７１を介して終端領域４１（オーバラップ領域４２）に電気的に接続されている。

[0307] 第１埋設電極７２は、アウター絶縁膜６１の絶縁面から第１主面３側に間隔を空けてアウター開口６７に埋設され、第１下側電極膜７１（第２電極膜７５）のうちアウター絶縁膜６１の絶縁面を被覆する部分を露出させている。第１埋設電極７２は、第１下側電極膜７１を挟んで水平方向に第１酸化膜５９および第２酸化膜６０に対向している。第１埋設電極７２は、第１下側電極膜７１を挟んで積層方向に終端領域４１（オーバラップ領域４２）に対向している。

[0308] 第１埋設電極７２は、アウター開口６７から露出した第１埋設電極面７６を有している。第１埋設電極面７６は、アウター開口６７において第１酸化膜５９の高さ位置よりもアウター絶縁膜６１の絶縁面側に位置されている。第１埋設電極面７６は、第１酸化膜５９の高さ位置よりも第１主面３側に位置されていてもよい。

[0309] 第１下側電極膜７１が第１主面３に対してアウターリセス６８の底部側に位置されている場合、第１埋設電極７２はアウターリセス６８内に位置された部分を有していてもよい。第１下側電極膜７１が第１主面３よりも上方に位置された部分を有する場合、第１埋設電極７２の全体はアウターリセス６８の上方に位置される。

[0310] 第１上側電極膜７３は、ソースフィンガー電極８０の上層部を形成し、第１下側電極膜７１および複数の第１埋設電極７２を膜状に被覆している。第１上側電極膜７３は、アウター絶縁膜６１の絶縁面を被覆する部分において第１下側電極膜７１に機械的および電気的に接続され、複数のアウター開口６７を被覆する部分において複数の第１埋設電極７２に機械的および電気的に接続されている。第１上側電極膜７３は、第１下側電極膜７１および複数の第１埋設電極７２を介して終端領域４１（オーバラップ領域４２）に電気的に接続されている。

[0311] 第１上側電極膜７３は、アウター絶縁膜６１の絶縁面の高さ位置に対して第１主面３側の高さ位置で第１埋設電極面７６に接続されている。第１上側電極膜７３は、第１酸化膜５９の高さ位置よりも上方で第１埋設電極面７６に接続されている。第１埋設電極７２が第１酸化膜５９の高さ位置よりも下方に埋設されている場合、第１上側電極膜７３は第１酸化膜５９の高さ位置よりも下方で第１埋設電極面７６に接続されていてもよい。

[0312] 半導体装置１Ａは、第１主面３において複数のソース開口６５から露出した部分の表面部にそれぞれ形成された複数の第１シリサイド部８１を含む。第１シリサイド部８１は、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドおよびバナジウムシリサイドのうちの少なくとも１つを含んでいてもよい。第１シリサイド部８１は、チタンシリサイド、ニッケルシリサイドまたはコバルトシリサイドからなることが好ましい。

[0313] 複数の第１シリサイド部８１は、この形態では、複数のボディ領域１２の表層部において複数のソースリセス６６の壁面（側壁および底壁）に沿って

膜状にそれぞれ形成され、ソース主電極７０に機械的および電気的に接続されている。

[0314] 複数の第１シリサイド部８１は、複数のソース領域１４、１５の底部および複数のコンタクト領域１６の底部から第１主面３側に間隔を空けて形成されている。複数の第１シリサイド部８１は、ソース主電極７０を複数のボディ領域１２、複数のソース領域１４、１５および複数のコンタクト領域１６に電気的に接続させている。

[0315] 半導体装置１Ａは、第１主面３において複数のアウター開口６７から露出した部分の表面部にそれぞれ形成された複数の第２シリサイド部８２を含む。第２シリサイド部８２は、チタンシリサイド、ニッケルシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドおよびバナジウムシリサイドのうちの少なくとも１つを含んでいてもよい。第２シリサイド部８２は、チタンシリサイド、ニッケルシリサイドまたはコバルトシリサイドからなることが好ましい。第２シリサイド部８２は、第１シリサイド部８１と同種のシリサイドからなることが特に好ましい。

[0316] 複数の第２シリサイド部８２は、この形態では、終端領域４１（オーバラップ領域４２）の表層部において複数のアウターリセス６８の壁面（側壁および底壁）に沿って膜状に形成され、ソースフィンガー電極８０に機械的および電気的に接続されている。

[0317] 複数の第２シリサイド部８２は、終端領域４１（オーバラップ領域４２）の底部から第１主面３側に間隔を空けて形成されている。つまり、複数の第２シリサイド部８２は、ソースフィンガー電極８０を終端領域４１（オーバラップ領域４２）に電気的に接続させている。

[0318] 半導体装置１Ａは、外周領域９の上に選択的に引き回されたゲートフィンガー電極８３を含む。ゲートフィンガー電極８３は、ソース主電極７０およびソースフィンガー電極８０の間の領域に設けられ、ソース主電極７０およびソースフィンガー電極８０から間隔を空けて配線構造５０の上に配置されている。

[0319] ゲートフィンガー電極８３は、配線構造５０に沿って帯状に延びている。ゲートフィンガー電極８３は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。ゲートフィンガー電極８３は、この形態では、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に形成され、ソース主電極７０を取り囲んでいる。ゲートフィンガー電極８３は、第４側面５Ｄ側においてソースフィンガー電極８０を通過させる一対の開放端を有している。

[0320] ゲートフィンガー電極８３は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。ゲートフィンガー電極８３は、第２プレーナ絶縁膜５２の上から複数のゲート開口６９に入り込み、ゲート配線５１に電気的に接続されている。

[0321] ゲートフィンガー電極８３は、ゲート配線５１の幅未満の幅を有し、ゲート配線５１の第１配線側壁５５および第２配線側壁５６から間隔を空けてゲート配線５１の上に配置されている。

[0322] つまり、ゲートフィンガー電極８３は、第３側壁絶縁膜５３からチップ２の周縁側に間隔を空けて形成されている。ゲート配線５１の幅は、ゲート配線５１の幅よりも大きくてもよい。この場合、ゲートフィンガー電極８３は、ゲート配線５１の第２配線側壁５６よりもチップ２の周縁側に引き出された部分を有していてもよい。

[0323] 図８および図９を参照して、ゲートフィンガー電極８３は、第２下側電極膜８４、少なくとも１つ（この形態では複数）の第２埋設電極８５および第２上側電極膜８６を含む。第２下側電極膜８４は、「第２下側電極」と称されてもよい。第２上側電極膜８６は、「第２上側電極」と称されてもよい。第２下側電極膜８４は、ゲートフィンガー電極８３の下層部を形成し、外周領域９において配線構造５０を膜状に被覆している。

[0324] 第２下側電極膜８４は、この形態では、配線構造５０の上に積層された第１電極膜８７、および、第１電極膜８７の上に積層された第２電極膜８８を

含む積層構造を有している。この形態では、第１電極膜８７はＴｉ膜を含み、第２電極膜８８はＴｉＮ膜を含む。第２下側電極膜８４は、必ずしも積層構造を有している必要はなく、第１電極膜８７（Ｔｉ膜）および第２電極膜８８（ＴｉＮ膜）のいずれか一方からなる単層構造を有していてもよい。

[0325] 第１電極膜８７は、外周領域９において配線構造５０を膜状に直接被覆している。第１電極膜８７は、第２プレーナ絶縁膜５２の第２絶縁面５７を膜状に直接被覆する部分を有し、第２絶縁面５７の上から複数のゲート開口６９内に入り込んでいる。第１電極膜８７は、複数のゲート開口６９の壁面に沿って膜状に延び、第１酸化膜５９および第２酸化膜６０を直接被覆している。第１電極膜８７は、配線面５４を膜状に被覆し、ゲート配線５１に電気的に接続されている。

[0326] 第１電極膜８７は、ゲート配線５１（ゲート電極２２）の厚さ未満の厚さを有している。第１電極膜８７の厚さは、第２プレーナ絶縁膜５２（第１プレーナ絶縁膜２３）の厚さ（総厚さ）未満である。第１電極膜８７の厚さは、第２酸化膜６０（第２酸化膜３３）の厚さ未満であってもよい。第１電極膜８７の厚さは、第１酸化膜５９（第１酸化膜３２）の厚さ未満であってもよい。

[0327] 第１電極膜８７の厚さは、側壁絶縁膜２４、２５の厚さ未満であってもよい。第１電極膜８７の厚さは、側壁絶縁膜２４、２５の厚さよりも大きくてもよい。第１電極膜８７の厚さは、ゲート絶縁膜２１の厚さよりも大きいことが好ましい。第１電極膜８７の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。第１電極膜８７の厚さは、ソース側の第１電極膜７４の厚さとほぼ等しいことが好ましい。

[0328] 第１電極膜８７の厚さは、１０ｎｍ以上１００ｎｍ以下であってもよい。第１電極膜８７の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、および、７５ｎｍ以上１００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0329] 第２電極膜８８は、外周領域９において第１電極膜８７を挟んで配線構造

５０を膜状に被覆している。第２電極膜８８は、第１電極膜８７を挟んで第２プレーナ絶縁膜５２の第２絶縁面５７を膜状に被覆する部分を有し、第２絶縁面５７の上から複数のゲート開口６９内に入り込んでいる。

[0330] 第２電極膜８８は、複数のゲート開口６９の壁面に沿って膜状に延び、第１電極膜８７を挟んで第１酸化膜５９および第２酸化膜６０を被覆している。第２電極膜８８は、第１電極膜８７を挟んで配線面５４を膜状に被覆し、第１電極膜８７を介してゲート配線５１に電気的に接続されている。

[0331] 第２電極膜８８は、ゲート電極２２（ゲート配線５１）の厚さ未満の厚さを有している。第２電極膜８８の厚さは、第２プレーナ絶縁膜５２（第１プレーナ絶縁膜２３）の厚さ（総厚さ）未満である。第２電極膜８８の厚さは、第２酸化膜３３（第２酸化膜６０）の厚さ未満であってもよい。第２電極膜８８の厚さは、第１酸化膜３２（第１酸化膜５９）の厚さ未満であってもよい。

[0332] 第２電極膜８８の厚さは、側壁絶縁膜２４、２５の厚さ未満であってもよい。第２電極膜８８の厚さは、側壁絶縁膜２４、２５の厚さよりも大きくてもよい。第２電極膜８８の厚さは、ゲート絶縁膜２１の厚さよりも大きいことが好ましい。第２電極膜８８の厚さは、ゲート絶縁膜２１の厚さ未満であってもよい。

[0333] 第２電極膜８８の厚さは、第１電極膜８７の厚さよりも大きいことが好ましい。第２電極膜８８の厚さは、第１電極膜８７の厚さ未満であってもよい。第２電極膜８８の厚さは、ソース側の第２電極膜７５の厚さとほぼ等しいことが好ましい。

[0334] 第２電極膜８８の厚さは、５０ｎｍ以上２００ｎｍ以下であってもよい。第２電極膜７５の厚さは、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、１２５ｎｍ以上１５０ｎｍ以下、１５０ｎｍ以上１７５ｎｍ以下、および、１７５ｎｍ以上２００ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0335] 複数の第２埋設電極８５は、ゲートフィンガー電極８３の中層部を形成し

、複数のゲート開口６９にそれぞれ埋設されている。第２埋設電極８５は、第２下側電極膜８４の導電材料とは異なる導電材料を含む。

[0336] 第２埋設電極８５は、タングステン、モリブデン、タングステン合金およびモリブデン合金のうちの少なくとも１つを含む。第２埋設電極８５は、ソース側の第１埋設電極７２の導電材料と同種の導電材料を含むことが好ましい。第２埋設電極８５は、この形態では、タングステンを含む。

[0337] 複数の第２埋設電極８５は、この形態では、単一の第２下側電極膜８４を介して複数のゲート開口６９に対して１対１の対応関係でそれぞれ埋設されている。複数の第２埋設電極８５は、複数のゲート開口６９内において第２下側電極膜８４を介してゲート配線５１に電気的に接続されている。

[0338] 第２埋設電極８５は、第２プレーナ絶縁膜５２の第２絶縁面５７からゲート配線５１側に間隔を空けてゲート開口６９に埋設され、第２下側電極膜８４（第２電極膜８８）のうち第２絶縁面５７を被覆する部分を露出させている。つまり、第２埋設電極８５は、積層方向（鉛直方向Ｚ）に関して第２プレーナ絶縁膜５２を挟んでゲート配線５１の配線面５４に対向する部分を有さない。

[0339] 第２埋設電極８５は、第２下側電極膜８４を挟んで第２プレーナ絶縁膜５２を被覆している。第２埋設電極８５は、この形態では、第２下側電極膜８４を挟んで第１酸化膜５９および第２酸化膜６０を被覆している。

[0340] 第２埋設電極８５は、ゲート開口６９から露出した第２埋設電極面８９を有している。第２埋設電極面８９は、第２絶縁面５７よりも第１絶縁面２９側に位置されている。第２埋設電極面８９は、中央部において第１主面３（チップ２）側に向けて窪んだ窪みを有している。窪みの底部は、第１酸化膜５９の高さ位置よりも第２絶縁面５７側に位置されていることが好ましい。窪みの底部は、第１酸化膜５９の高さ位置よりもゲート配線５１側に位置されていてもよい。

[0341] 第２上側電極膜８６は、ゲートフィンガー電極８３の上層部を形成し、第２下側電極膜８４および複数の第２埋設電極８５を膜状に被覆している。第

２上側電極膜８６は、第２下側電極膜８４の導電材料および第２埋設電極８５の導電材料とは異なる導電材料を含む。

[0342] 第２上側電極膜８６は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第２上側電極膜８６は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第２上側電極膜８６は、ソース側の第１上側電極膜７３の導電材料と同種の導電材料を含むことが好ましい。

[0343] 第２上側電極膜８６は、第２絶縁面５７を被覆する部分において第２下側電極膜８４に機械的および電気的に接続され、複数のゲート開口６９を被覆する部分において複数の第２埋設電極８５に機械的および電気的に接続されている。これにより、第２上側電極膜８６は、第２下側電極膜８４および複数の第２埋設電極８５を介してゲート配線５１に電気的に接続されている。

[0344] 第２上側電極膜８６は、第２絶縁面５７の高さ位置に対してゲート配線５１側の高さ位置で第２埋設電極８５（第２埋設電極面８９）に接続されている。第２上側電極膜８６は、第１酸化膜５９の高さ位置よりも上方で第２埋設電極面８９に接続されている。

[0345] 第２上側電極膜８６は、第２埋設電極８５に対する被覆部において第２埋設電極面８９の窪みを埋め戻している。第２埋設電極８５が第１酸化膜５９の高さ位置よりも下方に埋設されている場合、第２上側電極膜８６は第１酸化膜５９の高さ位置よりも下方で第２埋設電極面８９に接続されていてもよい。

[0346] 第２上側電極膜８６は、第２下側電極膜８４の厚さ（総厚さ）よりも大きい厚さを有している。第２上側電極膜８６の厚さは、ゲート配線５１の厚さよりも大きい。第２上側電極膜８６の厚さは、第２埋設電極８５の厚さよりも大きい。第２上側電極膜８６の厚さは、第１プレーナ絶縁膜２３の厚さおよび第２プレーナ絶縁膜５２の厚さの双方よりも大きい。第２上側電極膜８６の厚さは、ソース側の第１上側電極膜７３の厚さとほぼ等しいことが好ましい。

[0347] 第２上側電極膜８６の厚さは、０．５μｍ以上５μｍ以下であってもよい。第２上側電極膜８６の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0348] 半導体装置１Ａは、複数のゲート構造２０の上に配置されたゲート主電極９０を含む。ゲート主電極９０は、外部からゲート電位が付与される端子電極である。ゲート主電極９０は、「第２主電極」、「第２パッド電極」、「第２端子電極」等と称されてもよい。ゲート主電極９０は、ソース主電極７０およびソースフィンガー電極８０から間隔を空けてソース主電極７０およびソースフィンガー電極８０の間の領域に配置されている。

[0349] ゲート主電極９０は、この形態では、第１パッド部７０ａに対して第３側面５Ｃ側の領域に配置され、第２パッド部７０ｂおよび第３パッド部７０ｃによって挟み込まれている。つまり、ゲート主電極９０は、第１方向Ｘに第１パッド部７０ａに対向し、第２方向Ｙに第２パッド部７０ｂおよび第３パッド部７０ｃに対向している。

[0350] ゲート主電極９０は、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に形成されている。ゲート主電極９０は、ソース主電極７０（第１パッド部７０ａ）の平面積未満を有している。ゲート主電極９０は、第２パッド部７０ｂ（第３パッド部７０ｃ）の平面積未満の平面積を有していてもよい。

[0351] ゲート主電極９０は、活性領域８および外周領域９を被覆する部分の上に配置され、ゲートフィンガー電極８３に接続されている。ゲート主電極９０は、活性領域８において複数の第１プレーナ絶縁膜２３が一体化した絶縁領域の上に配置され、複数のボディ領域１２、複数のソース領域１４、１５および複数のコンタクト領域１６から電気的に切り離されている。ゲート主電極９０は、外周領域９において第２プレーナ絶縁膜５２を挟んでゲート配線

５１を被覆していてもよい。

[0352] ゲート主電極９０は、ゲートフィンガー電極８３と同様、第２下側電極膜８４および第２上側電極膜８６を含む。第２下側電極膜８４は、ゲートフィンガー電極８３と同様、第１電極膜７４および第２電極膜７５を含む積層構造を有している。第２下側電極膜８４は、ゲート主電極９０の下層部を形成し、絶縁領域を膜状に被覆している。第２上側電極膜８６は、ゲート主電極９０の上層部を形成し、第２下側電極膜８４を膜状に被覆している。

[0353] 具体的な図示は省略されるが、ゲート主電極９０は、ゲートフィンガー電極８３と同様、複数の第２埋設電極８５を有していてもよい。この場合、ゲート主電極９０は、ゲートフィンガー電極８３と同様、複数の第２埋設電極８５を介してゲート配線５１に電気的に接続されていてもよい。

[0354] ゲート主電極９０の下方に複数のゲート電極２２が配置されている場合、ゲート主電極９０は、複数の第２埋設電極８５を介して複数のゲート電極２２に電気的に接続されていてもよい。ゲート主電極９０は、複数の第２埋設電極８５を有していなくてもよい。

[0355] つまり、ゲート主電極９０は、直下の領域において複数のゲート電極２２に対する電気的な接続部およびゲート配線５１に対する電気的な接続部を有していなくてもよい。ゲート主電極９０の下方の領域に複数のゲート電極２２が位置されない構成が採用されてもよい。

[0356] ゲート主電極９０に付与されたゲート電位は、ゲートフィンガー電極８３を介してゲート配線５１に付与される。ゲート電位は、ゲート配線５１に沿う配線経路（電流経路）を介して複数のゲート電極２２に伝達される。これにより、複数のゲート電極２２がオン状態になり、複数のチャネル領域１７、１８のオンオフが制御される。

[0357] 半導体装置１Ａは、第２主面４を被覆するドレイン主電極９１を含む。ドレイン主電極９１は、外部からドレイン電位が付与される端子電極である。ドレイン主電極９１は、「第３主電極」、「第３パッド電極」、「第３端子電極」等と称されてもよい。

[0358] ドレイン主電極９１は、第１半導体領域１０に電気的に接続されている。ドレイン主電極９１は、第２主面４の周縁（第１～第４側面５Ａ～５Ｄ）に連なるように第２主面４の全域を被覆していてもよい。ドレイン主電極９１は、第２主面４の周縁部を露出させるように第２主面４を部分的に被覆していてもよい。

[0359] ソース主電極７０およびドレイン主電極９１の間（第１主面３および第２主面４の間）に印加可能なブレークダウン電圧は、５００Ｖ以上３０００Ｖ以下であってもよい。ブレークダウン電圧は、５００Ｖ以上１０００Ｖ以下、１０００Ｖ以上１５００Ｖ以下、１５００Ｖ以上２０００Ｖ以下、２０００Ｖ以上２５００Ｖ以下、および、２５００Ｖ以上３０００Ｖ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0360] 以下、図１０Ａ～図１０Ｊを参照して、ゲート構造２０の他の形態例が示される。図１０Ａ～図１０Ｊは、第２～第１１例に係るゲート構造２０を示す拡大断面図である。ゲート構造２０は、必ずしも、第１～第１１例（図７、図１０Ａ～図１０Ｊ）の構成のいずれか１つからなる必要はない。ゲート構造２０は、第１～第１１例の構成のうちの少なくとも２つの特徴を同時に含んでいてもよい。第１～第１１例に係るゲート構造２０は、いずれも製造過程においてプロセス条件を調節することによって得られる。

[0361] 図１０Ａ（第２例）を参照して、ゲート電極２２は、この形態では、断面視においてテーパ形状（好ましくは等脚台形状）に形成されている。ゲート電極２２は、電極面２６に向けて斜め傾斜した第１側壁２７および第２側壁２８を有し、ゲート絶縁膜２１側から電極面２６側に向けて徐々に狭まる幅を有する先細り形状に形成されている。第２側壁２８は、第１側壁２７の傾斜角度（絶対値）とは異なる傾斜角度（絶対値）を有していてもよい。

[0362] 第１プレーナ絶縁膜２３は、この形態では、ゲート電極２２の傾斜角度とは異なる傾斜角度でゲート電極２２の上に積層されている。第１プレーナ絶縁膜２３は、第１側壁２７の傾斜角度とは異なる第１絶縁側壁３０、および、第２側壁２８の傾斜角度とは異なる第２絶縁側壁３１を有している。

[0363] 第１絶縁側壁３０の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１側壁２７の傾斜角度よりも小さい。第２絶縁側壁３１の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第２側壁２８の傾斜角度よりも小さい。第１絶縁側壁３０および第２絶縁側壁３１は、この形態では、第１主面３に対してほぼ垂直に延びている。

[0364] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第１絶縁側壁３０に対する被覆部において鉛直線に沿って延びる膜面を有している。

[0365] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度および第２絶縁側壁３１の傾斜角度に倣って第２側壁２８および第２絶縁側壁３１を膜状に被覆している。第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第２絶縁側壁３１に対する被覆部において鉛直線に沿って延びる膜面を有している。

[0366] 図１０Ｂ（第３例）を参照して、ゲート電極２２は、この形態では、断面視において電極面２６に対してほぼ垂直に延びる第１側壁２７および第２側壁２８を有し、扁平な長方形状に形成されている。第１プレーナ絶縁膜２３は、この形態では、ゲート電極２２の傾斜角度とは異なる傾斜角度でゲート電極２２の上に積層されている。具体的には、第１プレーナ絶縁膜２３は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されている。

[0367] 第１プレーナ絶縁膜２３は、第１絶縁面２９に向けて斜め傾斜した第１絶縁側壁３０および第２絶縁側壁３１を有し、ゲート電極２２側から第１絶縁面２９側に向けて徐々に狭まる幅を有する先細り形状に形成されている。第１絶縁側壁３０の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１側壁２７の傾斜角度よりも大きい。第２絶縁側壁３１の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第２側壁２８の傾斜角度よりも大きい。

[0368] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において鉛直線に沿って延びる膜面、および、第１絶縁側壁３０に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0369] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度および第２絶縁側壁３１の傾斜角度に倣って第２側壁２８および第２絶縁側壁３１を膜状に被覆している。第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において鉛直線に沿って延びる膜面、および、第２絶縁側壁３１に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0370] 図１０Ｃ（第４例）を参照して、ゲート電極２２は、この形態では、断面視においてテーパ形状（好ましくは等脚台形状）に形成されている。ゲート電極２２は、電極面２６に向けて斜め傾斜した第１側壁２７および第２側壁２８を有し、ゲート絶縁膜２１側から電極面２６側に向けて徐々に狭まる幅を有する先細り形状に形成されていてもよい。

[0371] 第２側壁２８は、第１側壁２７の傾斜角度（絶対値）とは異なる傾斜角度（絶対値）を有していてもよい。第２側壁２８の傾斜角度（絶対値）は、第１側壁２７の傾斜角度（絶対値）とほぼ等しくてもよい。

[0372] 第１プレーナ絶縁膜２３は、この形態では、断面視においてテーパ形状（好ましくは等脚台形状）に形成されている。第１プレーナ絶縁膜２３は、第１絶縁面２９に向けて斜め傾斜した第１絶縁側壁３０および第２絶縁側壁３１を有し、ゲート電極２２側から第１絶縁面２９側に向けて徐々に狭まる幅を有する先細り形状に形成されている。

[0373] 第１絶縁側壁３０の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１側壁２７の傾斜角度と異なっていてもよい。第１絶縁側壁３０の傾斜角度は、第１側壁２７の傾斜角度未満であってもよいし、第１側壁２７の傾斜角度よりも大きくてもよい。第１絶縁側壁３０は、この形態では、第１側壁２７の傾斜角度とほぼ等しい傾斜角度を有し、第１側壁２７に

対してほぼ面一に形成されている。

[0374] 第２絶縁側壁３１の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第２側壁２８の傾斜角度と異なっていてもよい。第２絶縁側壁３１の傾斜角度は、第２側壁２８の傾斜角度未満であってもよいし、第２側壁２８の傾斜角度よりも大きくてもよい。第１絶縁側壁３０は、この形態では、第１側壁２７の傾斜角度とほぼ等しい傾斜角度を有し、第１側壁２７に対してほぼ面一に形成されている。

[0375] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第１絶縁側壁３０に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0376] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度および第２絶縁側壁３１の傾斜角度に倣って第２側壁２８および第２絶縁側壁３１を膜状に被覆している。第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第２絶縁側壁３１に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0377] 図１０Ｄ（第５例）を参照して、第１プレーナ絶縁膜２３は、この形態では、第１円弧角部および第２円弧角部を有している。第１円弧角部は、第１絶縁面２９および第１絶縁側壁３０を円弧状に接続している。第２円弧角部は、第１絶縁面２９および第２絶縁側壁３１を円弧状に接続している。

[0378] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度に倣って第１側壁２７を膜状に被覆し、第１円弧角部の円弧面に倣って第１円弧角部を円弧膜状に被覆している。第１側壁絶縁膜２４は、第１円弧角部に対する被覆部において第１絶縁面２９側からゲート電極２２側に向けて漸増する膜厚を有していてもよい。

[0379] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度に倣って第２側壁２８を膜状に被覆し、第２円弧角部の円弧面に倣って第２円弧角部を円弧膜状に被

覆している。第２側壁絶縁膜２５は、第２円弧角部に対する被覆部において第１絶縁面２９側からゲート電極２２側に向けて漸増する膜厚を有していてもよい。

[0380] 図１０Ｅ（第６例）を参照して、第１プレーナ絶縁膜２３は、この形態では、ゲート電極２２の上から水平方向（第１方向Ｘ）にゲート電極２２外の領域に張り出すようにゲート電極２２の上に積層されている。

[0381] 第１プレーナ絶縁膜２３は、この形態では、第１側壁２７から水平方向（第１方向Ｘ）に突出した第１絶縁側壁３０、および、第２側壁２８から水平方向（第１方向Ｘ）に突出した第２絶縁側壁３１を有している。つまり、第１プレーナ絶縁膜２３は、ゲート電極２２の上から第１方向Ｘの一方側に張り出した第１オーバハング部、および、ゲート電極２２の上から第１方向Ｘの一方側に張り出した第２オーバハング部を有している。

[0382] 第１オーバハング部は、第１プレーナ絶縁膜２３の裏面および第１絶縁側壁３０によって区画され、積層方向にゲート電極２２を介さずにゲート絶縁膜２１に対向している。第１絶縁側壁３０は、第１プレーナ絶縁膜２３の裏面を介して第１側壁２７に接続されている。

[0383] 第２オーバハング部は、第１プレーナ絶縁膜２３の裏面および第２絶縁側壁３１によって区画され、積層方向にゲート電極２２を介さずにゲート絶縁膜２１に対向している。第２絶縁側壁３１は、第１プレーナ絶縁膜２３の裏面を介して第２側壁２８に接続されている。

[0384] 第１側壁絶縁膜２４は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１側壁絶縁膜２４は、第１プレーナ絶縁膜２３の裏面を被覆する部分を有していてもよい。第１側壁絶縁膜２４は、第１側壁２７に対する被覆部において第１絶縁側壁３０に対する被覆部よりもゲート電極２２（第１側壁２７）側に窪んだ窪みを有していてもよい。

[0385] 第２側壁絶縁膜２５は、第２側壁２８の傾斜角度および第２絶縁側壁３１の傾斜角度に倣って第２側壁２８および第２絶縁側壁３１を膜状に被覆して

いる。第２側壁絶縁膜２５は、第１プレーナ絶縁膜２３の裏面を被覆する部分を有していてもよい。第２側壁絶縁膜２５は、第２側壁２８に対する被覆部において第２絶縁側壁３１に対する被覆部よりもゲート電極２２（第１側壁２７）側に窪んだ窪みを有していてもよい。

[0386] ソース主電極７０の第１下側電極膜７１（第１電極膜７４および第２電極膜７５）は、第１側壁絶縁膜２４の窪みに沿って延びる部分を有していてもよい。この場合、第１電極膜７４および第２電極膜７５のいずれか一方または双方は、第１側壁絶縁膜２４の一部を挟んでゲート絶縁膜２１に対向していてもよい。

[0387] ソース主電極７０の第１下側電極膜７１（第１電極膜７４および第２電極膜７５）は、第１側壁絶縁膜２４の窪みに沿って延びる部分を有していてもよい。この場合、第１電極膜７４および第２電極膜７５のいずれか一方または双方は、第２側壁絶縁膜２５の一部を挟んでゲート絶縁膜２１に対向していてもよい。

[0388] ゲート電極２２に対する第１プレーナ絶縁膜２３の張り出し量が小さい場合、第１側壁絶縁膜２４は、窪みを有さず、第１側壁２７に対する被覆部および第１絶縁側壁３０に対する被覆部の双方において鉛直線に連続的に延びる膜面を有していてもよい。同様に、ゲート電極２２に対する第１プレーナ絶縁膜２３の張り出し量が小さい場合、第２側壁絶縁膜２５は、窪みを有さず、第２側壁２８に対する被覆部および第２絶縁側壁３１に対する被覆部の双方において鉛直線に連続的に延びる膜面を有していてもよい。

[0389] 図１０Ｆ（第７例）を参照して、第１側壁絶縁膜２４は、この形態では、第１絶縁面２９から第１主面３（ゲート絶縁膜２１）側に間隔を空けて第１プレーナ絶縁膜２３の第１絶縁側壁３０を被覆している。第１側壁絶縁膜２４は、この形態では、第１酸化膜３２および第２酸化膜３３の境界部を横切って第１酸化膜３２および第２酸化膜３３の双方を被覆し、第１絶縁側壁３０から第２酸化膜３３の上端部を露出させている。

[0390] 第２側壁絶縁膜２５は、この形態では、第１絶縁面２９から第１主面３（

ゲート絶縁膜２１）側に間隔を空けて第１プレーナ絶縁膜２３の第２絶縁側壁３１を被覆している。第２側壁絶縁膜２５は、この形態では、第１酸化膜３２および第２酸化膜３３の境界部を横切って第１酸化膜３２および第２酸化膜３３の双方を被覆し、第１絶縁側壁３０から第２酸化膜３３の上端部を露出させている。

[0391] ソース主電極７０の第１下側電極膜７１は、この形態では、第１絶縁側壁３０の露出部および第２絶縁側壁３１の露出部を直接被覆する部分を有している。具体的には、第１電極膜７４は、第１絶縁側壁３０および第２絶縁側壁３１において第２酸化膜３３を直接被覆する部分を有している。一方、第２電極膜７５は、第１絶縁側壁３０および第２絶縁側壁３１において第１電極膜７４を挟んで第２酸化膜３３を被覆する部分を有している。

[0392] 図１０Ｇ（第８例）を参照して、第１側壁絶縁膜２４は、この形態では、第１酸化膜３２および第２酸化膜３３の境界部から第１主面３（ゲート絶縁膜２１）側に間隔を空けて第１絶縁側壁３０を被覆し、第１絶縁側壁３０から第１酸化膜３２および第２酸化膜３３の双方を露出させている。

[0393] 第２側壁絶縁膜２５は、この形態では、第１酸化膜３２および第２酸化膜３３の境界部から第１主面３（ゲート絶縁膜２１）側に間隔を空けて第２絶縁側壁３１を被覆し、第２絶縁側壁３１から第１酸化膜３２および第２酸化膜３３の双方を露出させている。

[0394] ソース主電極７０の第１下側電極膜７１は、この形態では、第１絶縁側壁３０の露出部および第２絶縁側壁３１の露出部の双方を直接被覆する部分を有している。具体的には、第１電極膜７４は、第１絶縁側壁３０および第２絶縁側壁３１において第１酸化膜３２および第２酸化膜３３の双方を直接被覆する部分を有している。一方、第２電極膜７５は、第１絶縁側壁３０および第２絶縁側壁３１において第１電極膜７４を挟んで第１酸化膜３２および第２酸化膜３３の双方を被覆する部分を有している。

[0395] 図１０Ｈ（第９例）を参照して、複数の側壁絶縁膜２４、２５は、この形態では、第１絶縁面２９よりも上方に突出した突出部をそれぞれ有している

。突出部は、第１プレーナ絶縁膜２３の厚さ未満の突出量を有している。突出部の突出量は、第１酸化膜３２の厚さ未満である。突出部の突出量は、第２酸化膜３３の厚さ未満である。突出部の突出量は、複数の側壁絶縁膜２４、２５の厚さ未満であってもよい。突出部の突出量は、複数の側壁絶縁膜２４、２５の厚さよりも大きくてもよい。

[0396] ソース主電極７０の第１下側電極膜７１は、この形態では、複数の側壁絶縁膜２４、２５の突出部を直接被覆する部分を有している。具体的には、第１電極膜７４は、複数の側壁絶縁膜２４、２５の突出部を直接被覆する部分を有している。一方、第２電極膜７５は、第１電極膜７４を挟んで複数の側壁絶縁膜２４、２５の突出部を被覆する部分を有している。

[0397] 図１０Ｉ（第１０例）を参照して、複数の側壁絶縁膜２４、２５は、この形態では、複数の絶縁膜を含む積層構造を有している。複数の絶縁膜の積層数は、２層、３層、４層または５層であってもよい。複数の側壁絶縁膜２４、２５は、複数の絶縁膜として、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。酸化シリコン膜は、ＮＳＧ膜、ＴＥＯＳ膜、ＰＳＧ膜およびＢＰＳＧ膜のいずれかであってもよい。

[0398] 複数の絶縁膜は、０．０５μｍ以上０．５μｍ以下の厚さをそれぞれ有していてもよい。複数の絶縁膜は、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．１５μｍ以下、０．１５μｍ以上０．２μｍ以下、０．２μｍ以上０．２５μｍ以下、０．２５μｍ以上０．３μｍ以下、０．３μｍ以上０．３５μｍ以下、０．３５μｍ以上０．４μｍ以下、０．４μｍ以上０．４５μｍ以下、および、０．４５μｍ以上０．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0399] 図１０Ｉでは、複数の側壁絶縁膜２４、２５が第１絶縁膜９５および第２絶縁膜９６を含む積層構造（２層構造）を有している例が示されている。以下では、第１側壁絶縁膜２４側の構成が説明される。第２側壁絶縁膜２５側の構成は、以下の説明において「第１側壁２７」を「第２側壁２８」に置き

換え、「第１絶縁側壁３０」を「第２絶縁側壁３１」に置き換えることによって得られる。

[0400] 第１絶縁膜９５は、ゲート絶縁膜２１の上で第１側壁２７を被覆している。第１絶縁膜９５は、ゲート絶縁膜２１の上において水平方向に延びる下端部を有していてもよい。第１絶縁膜９５は、この形態では、第１側壁２７から第１プレーナ絶縁膜２３の第１絶縁側壁３０側に引き出され、第１側壁２７を被覆する部分および第１絶縁側壁３０を被覆する部分を有している。第１絶縁膜９５は、ゲート電極２２および第１プレーナ絶縁膜２３の境界部を被覆する部分を有している。

[0401] 第１絶縁膜９５は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第１絶縁膜９５は、第１側壁２７に対する被覆部において第１側壁２７の傾斜角度とほぼ等しい傾斜角度で延び、第１側壁２７に対してほぼ平行に延びる膜面を有している。また、第１絶縁膜９５は、第１絶縁側壁３０に対する被覆部において第１絶縁側壁３０の傾斜角度とほぼ等しい傾斜角度で延び、第１絶縁側壁３０に対してほぼ平行に延びる膜面を有している。

[0402] 第１絶縁膜９５は、第１絶縁側壁３０において第１酸化膜３２および第２酸化膜３３の双方を被覆している。第１絶縁膜９５は、第１酸化膜３２および第２酸化膜３３の境界部を被覆する部分を有している。第１絶縁膜９５は、第１絶縁面２９に対して第１主面３側に形成され、第１絶縁面２９を露出させている。第１絶縁膜９５は、第１絶縁面２９から第２酸化膜３３を露出させている。

[0403] 第２絶縁膜９６は、ゲート絶縁膜２１の上で第１絶縁膜９５を挟んで第１側壁２７を被覆している。第２絶縁膜９６は、第１絶縁膜９５の下端部の上に位置された下端部を有している。第２絶縁膜９６の下端部は、第１絶縁膜９５の下端部を挟んでゲート絶縁膜２１に対向している。第２絶縁膜９６の下端部は、ゲート絶縁膜２１に直接接続されていてもよい。

[0404] 第２絶縁膜９６は、この形態では、第１側壁２７から第１プレーナ絶縁膜

２３の第１絶縁側壁３０側に引き出され、第１絶縁膜９５を挟んで第１絶縁側壁３０を被覆している。第２絶縁膜９６は、第１絶縁膜９５を挟んで第１側壁２７を被覆する部分、および、第１絶縁膜９５を挟んで第１絶縁側壁３０を被覆する部分を有している。第２絶縁膜９６は、第１絶縁膜９５を挟んでゲート電極２２および第１プレーナ絶縁膜２３の境界部を被覆する部分を有している。

[0405] 第２絶縁膜９６は、第１側壁２７の傾斜角度および第１絶縁側壁３０の傾斜角度に倣って第１側壁２７および第１絶縁側壁３０を膜状に被覆している。第２絶縁膜９６は、第１側壁２７に対する被覆部において第１側壁２７の傾斜角度とほぼ等しい傾斜角度で延び、第１側壁２７に対してほぼ平行に延びる膜面を有している。また、第２絶縁膜９６は、第１絶縁側壁３０に対する被覆部において第１絶縁側壁３０の傾斜角度とほぼ等しい傾斜角度で延び、第１絶縁側壁３０に対してほぼ平行に延びる膜面を有している。

[0406] 第２絶縁膜９６は、第１絶縁側壁３０において第１絶縁膜９５を挟んで第１酸化膜３２および第２酸化膜３３の双方を被覆している。第２絶縁膜９６は、第１絶縁膜９５を挟んで第１酸化膜３２および第２酸化膜３３の境界部を被覆する部分を有している。第２絶縁膜９６は、第１絶縁面２９に対して第１主面３側に形成され、第１絶縁面２９を露出させている。第２絶縁膜９６は、第１絶縁面２９から第２酸化膜３３を露出させている。

[0407] 図１０Ｊ（第１１例）を参照して、複数のゲート構造２０は、この形態では、狭ピッチに配列され、１よりも大きいアスペクト比Ｄ／Ｗを有する縦長の複数のソース開口６５を区画している。複数のソース開口６５は、開口幅Ｗよりも大きい開口深さＤを有し、断面視において縦長形状にそれぞれ形成されている。

[0408] 換言すると、第１側壁絶縁膜２４および第２側壁絶縁膜２５は、１よりも大きいアスペクト比Ｄ／Ｗを有する縦長のソース開口６５を区画している。このようなソース開口６５は、水平方向に膨出した部分を有さない膜状の第１側壁絶縁膜２４、および、水平方向に膨出した部分を有さない膜状の第２

側壁絶縁膜２５によって適切に形成されている。

[0409] 開口幅Wは、第１側壁絶縁膜２４（第２側壁絶縁膜２５）の厚さの１倍以上５倍以下であることが好ましい。開口幅Wは、第１側壁絶縁膜２４（第２側壁絶縁膜２５）の厚さの１．５倍以上３倍以下であることが特に好ましい。開口幅Wは、０．２５μｍ以上０．４５μｍ以下であることが好ましい。開口深さＤは、０．５μｍ以上１μｍ以下であることが好ましい。アスペクト比Ｄ／Wは、３以下であることが好ましい。アスペクト比Ｄ／Wは、２以下であることが特に好ましい。

[0410] ソース主電極７０は、この形態では、断面視において縦長柱状に延びる複数の第１埋設電極７２、および、縦長柱状に延びる複数の第１埋設電極７２に機械的および電気的に接続された第１上側電極膜７３を含む。複数の第１埋設電極７２は、対応するソース開口６５のアスペクト比Ｄ／Wに対応して、断面視において１よりも大きいアスペクト比Ｄ／Wを有している。

[0411] 複数のゲート構造２０が狭ピッチに配列された構成では、単位面積当たりのチャネル面積が増加される。したがって、このような構成は、活性領域８（トランジスタ構造Ｔｒ）のオン抵抗を削減する上で有効である。一方、複数のゲート構造２０が狭ピッチで配列された構成では、複数のゲート構造２０のレイアウトに起因してソース開口６５の幅が縮小される。この場合、ソース開口６５に対するソース主電極７０の埋設性および成膜性が問題になる。

[0412] この点、第１埋設電極７２および第１上側電極膜７３を含むソース主電極７０によれば、複数のソース開口６５に複数の第１埋設電極７２が埋設されているため、複数のソース開口６５に対する第１上側電極膜７３の埋設性の低下が抑制される。また、複数のソース開口６５に起因する段差が複数の第１埋設電極７２によって緩和されるため、複数のソース開口６５に対する第１上側電極膜７３の成膜性の低下が抑制される。

[0413] よって、ソース主電極７０は第１主面３に適切に電気的に接続されることができる。第１１例に係るゲート構造２０の構成は、（アスペクト比Ｄ／W

）は、第１～第１０例に係るゲート構造２０に適用されることが好ましい。

[0414] 以下、図１１Ａ～図１１Ｉを参照して、配線構造５０の他の形態例が示される。図１１Ａ～図１１Ｉは、第２～第１０例に係る配線構造５０を示す拡大断面図である。第１～第１０例に係る配線構造５０は、いずれも製造過程においてプロセス条件を調節することによって得られる。配線構造５０は、必ずしも、第１～第１０例（図９、図１１Ａ～図１１Ｉ）の構成のいずれか１つからなる必要はない。配線構造５０は、第１～第１０例の構成のうちの少なくとも２つの特徴を同時に含んでいてもよい。

[0415] また、第１～第１０例に係る配線構造５０のうちの少なくとも１つは、第１～第１１例に係るゲート構造２０（図７、図１０Ａ～図１０Ｊ参照）のうちの少なくとも１つと組み合わせ可能である。第１～第１０例に係る配線構造５０のうちの少なくとも２つの組み合わせ形態が、第１～第１１例に係るゲート構造２０（図７、図１０Ａ～図１０Ｊ参照）のうちの少なくとも１つに適用されてもよい。

[0416] 以下に示される第２～第１０例に係る配線構造５０（図１１Ａ～図１１Ｉ参照）は、例示順に、前述の第２～第１０例に係るゲート構造２０（図１０Ａ～図１０Ｉ参照）の構成にそれぞれ対応した構成を有している。したがって、ゲート構造２０のレイアウトおよび配線構造５０のレイアウトの統一性の観点から、第１～第１０例に係る配線構造５０および第１～第１０例に係るゲート構造２０は、同一番号の形態例同士で組み合わせられることが好ましい。

[0417] 図１１Ａ（第２例）を参照して、ゲート配線５１は、この形態では、配線面５４に向けて斜め傾斜した第１配線側壁５５を有している。ゲート配線５１は、主面絶縁膜４４側から配線面５４側に向けて徐々に狭まる幅を有する先細り形状（テーパ形状）に形成されている。

[0418] ゲート配線５１の第２配線側壁５６は、第１配線側壁５５の傾斜角度（絶対値）とは異なる傾斜角度（絶対値）を有していてもよい。第２配線側壁５６は、この形態では、配線面５４に対してほぼ垂直に延びている。第２配線

側壁５６は、配線面５４に向けて斜め傾斜していてもよい。

[0419] 第２プレーナ絶縁膜５２は、この形態では、第１配線側壁５５の傾斜角度とは異なる傾斜角度を有する第３絶縁側壁５８を含む。第３絶縁側壁５８の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１配線側壁５５の傾斜角度よりも小さい。

[0420] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第３絶縁側壁５８に対する被覆部において鉛直線に沿って延びる膜面を有している。

[0421] 図１１Ｂ（第３例）を参照して、ゲート配線５１は、この形態では、断面視において配線面５４に対してほぼ垂直に延びる第１配線側壁５５を有している。ゲート配線５１の第２配線側壁５６は、この形態では、配線面５４に対してほぼ垂直に延びている。第２配線側壁５６は、配線面５４に向けて斜め傾斜していてもよい。

[0422] 第２プレーナ絶縁膜５２は、この形態では、第１配線側壁５５の傾斜角度とは異なる傾斜角度を有する第３絶縁側壁５８を含む。具体的には、第３絶縁側壁５８は、断面視において第２絶縁面５７に向けて斜め傾斜している。第３絶縁側壁５８の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１配線側壁５５の傾斜角度よりも大きい。

[0423] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において鉛直線に沿って延びる膜面、および、第３絶縁側壁５８に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0424] 図１１Ｃ（第４例）を参照して、ゲート配線５１は、この形態では、配線面５４に向けて斜め傾斜した第１配線側壁５５を有している。ゲート配線５１は、主面絶縁膜４４側から配線面５４側に向けて徐々に狭まる幅を有する

先細り形状（テーパ形状）に形成されている。ゲート配線５１の第２配線側壁５６は、この形態では、配線面５４に対してほぼ垂直に延びている。第２配線側壁５６は、配線面５４に向けて斜め傾斜していてもよい。

[0425] 第２プレーナ絶縁膜５２は、この形態では、第２絶縁面５７に向けて斜め傾斜した第３絶縁側壁５８を有している。第３絶縁側壁５８の傾斜角度は、鉛直方向Ｚに沿う鉛直線を基準（０°）としたとき、第１配線側壁５５の傾斜角度と異なっていてもよい。

[0426] 第３絶縁側壁５８の傾斜角度は、第１配線側壁５５の傾斜角度未満であってもよいし、第１配線側壁５５の傾斜角度よりも大きくてもよい。第３絶縁側壁５８は、この形態では、第１配線側壁５５の傾斜角度とほぼ等しい傾斜角度を有し、第１配線側壁５５に対してほぼ面一に形成されている。

[0427] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において鉛直線に対して斜め傾斜した膜面、および、第３絶縁側壁５８に対する被覆部において鉛直線に対して斜め傾斜した膜面を有している。

[0428] 図１１Ｄ（第５例）を参照して、第２プレーナ絶縁膜５２は、この形態では、第３円弧角部を有している。第３円弧角部は、第２絶縁面５７および第３絶縁側壁５８を円弧状に接続している。

[0429] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度に倣って第１配線側壁５５を膜状に被覆し、第３円弧角部の円弧面に倣って第３円弧角部を円弧膜状に被覆している。第３側壁絶縁膜５３は、第３円弧角部に対する被覆部において第２絶縁面５７側からゲート配線５１側に向けて漸増する膜厚を有していてもよい。

[0430] 図１１Ｅ（第６例）を参照して、第２プレーナ絶縁膜５２は、この形態では、ゲート配線５１の上から水平方向（第２方向Ｙ）にゲート配線５１外の領域に張り出すようにゲート配線５１の上に積層されている。第２プレーナ絶縁膜５２は、この形態では、第１配線側壁５５から水平方向（第２方向Ｙ

）に突出した第３絶縁側壁５８を有している。

[0431] つまり、第２プレーナ絶縁膜５２は、ゲート配線５１の上から活性領域８の内方側に向けて張り出した第３オーバハング部を有している。第３オーバハング部は、第２プレーナ絶縁膜５２の裏面および第３絶縁側壁５８によって区画され、積層方向にゲート配線５１を介さずに主面絶縁膜４４に対向している。第３絶縁側壁５８は、第２プレーナ絶縁膜５２の裏面を介して第１配線側壁５５に接続されている。

[0432] 第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第３側壁絶縁膜５３は、第２プレーナ絶縁膜５２の裏面を被覆する部分を有していてもよい。第３側壁絶縁膜５３は、第１配線側壁５５に対する被覆部において第３絶縁側壁５８に対する被覆部よりもゲート配線５１（第１配線側壁５５）側に窪んだ窪みを有していてもよい。

[0433] ソース主電極７０の第１下側電極膜７１（第１電極膜７４および第２電極膜７５）は、第３側壁絶縁膜５３の窪みに沿って延びる部分を有していてもよい。この場合、第１電極膜７４および第２電極膜７５のいずれか一方または双方は、第３側壁絶縁膜５３の一部を挟んで主面絶縁膜４４に対向していてもよい。

[0434] ゲート配線５１に対する第２プレーナ絶縁膜５２の張り出し量が小さい場合、第３側壁絶縁膜５３は、窪みを有さず、第１配線側壁５５に対する被覆部および第３絶縁側壁５８に対する被覆部の双方において鉛直線に連続的に延びる膜面を有していてもよい。

[0435] 図１１Ｆ（第７例）を参照して、第３側壁絶縁膜５３は、この形態では、第２絶縁面５７から第１主面３（主面絶縁膜４４）側に間隔を空けて第２プレーナ絶縁膜５２の第３絶縁側壁５８を被覆している。第３側壁絶縁膜５３は、この形態では、第１酸化膜５９および第２酸化膜６０の境界部を横切って第１酸化膜５９および第２酸化膜６０の双方を被覆し、第３絶縁側壁５８から第２酸化膜６０の上端部を露出させている。

[0436] ソース主電極７０の第１下側電極膜７１は、この形態では、第３絶縁側壁５８の露出部を直接被覆する部分を有している。具体的には、第１電極膜７４は、第３絶縁側壁５８において第２酸化膜６０を直接被覆する部分を有している。一方、第２電極膜７５は、第３絶縁側壁５８において第１電極膜７４を挟んで第２酸化膜６０を被覆する部分を有している。

[0437] 図１１Ｇ（第８例）を参照して、第３側壁絶縁膜５３は、この形態では、第１酸化膜５９および第２酸化膜６０の境界部から第１主面３（主面絶縁膜４４）側に間隔を空けて第３絶縁側壁５８を被覆し、第３絶縁側壁５８から第１酸化膜５９および第２酸化膜６０の双方を露出させている。

[0438] ソース主電極７０の第１下側電極膜７１は、この形態では、第３絶縁側壁５８の露出部を直接被覆する部分を有している。具体的には、第１電極膜７４は、第３絶縁側壁５８において第１酸化膜５９および第２酸化膜６０の双方を直接被覆する部分を有している。一方、第２電極膜７５は、第３絶縁側壁５８において第１電極膜７４を挟んで第１酸化膜５９および第２酸化膜６０の双方を被覆する部分を有している。

[0439] 図１１Ｈ（第９例）を参照して、第３側壁絶縁膜５３は、この形態では、第２絶縁面５７よりも上方に突出した突出部を有している。突出部は、第２プレーナ絶縁膜５２の厚さ未満の突出量を有している。突出部の突出量は、第１酸化膜５９の厚さ未満である。突出部の突出量は、第２酸化膜６０の厚さ未満である。突出部の突出量は、第３側壁絶縁膜５３の厚さ未満であってもよい。突出部の突出量は、第３側壁絶縁膜５３の厚さよりも大きくてもよい。

[0440] ソース主電極７０の第１下側電極膜７１は、この形態では、第３側壁絶縁膜５３の突出部を直接被覆する部分を有している。具体的には、第１電極膜７４は、第３側壁絶縁膜５３の突出部を直接被覆する部分を有している。一方、第２電極膜７５は、第１電極膜７４を挟んで第３側壁絶縁膜５３の突出部を被覆する部分を有している。

[0441] 図１１Ｉ（第１０例）を参照して、第３側壁絶縁膜５３は、この形態では

、複数の絶縁膜を含む積層構造を有している。複数の絶縁膜の積層数は、２層、３層、４層または５層であってもよい。第３側壁絶縁膜５３は、複数の絶縁膜として、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。酸化シリコン膜は、ＮＳＧ膜、ＴＥＯＳ膜、ＰＳＧ膜およびＢＰＳＧ膜のいずれかであってもよい。

[0442] 複数の絶縁膜は、０．０５μｍ以上０．５μｍ以下の厚さをそれぞれ有していてもよい。複数の絶縁膜は、０．０５μｍ以上０．１μｍ以下、０．１μｍ以上０．１５μｍ以下、０．１５μｍ以上０．２μｍ以下、０．２μｍ以上０．２５μｍ以下、０．２５μｍ以上０．３μｍ以下、０．３μｍ以上０．３５μｍ以下、０．３５μｍ以上０．４μｍ以下、０．４μｍ以上０．４５μｍ以下、および、０．４５μｍ以上０．５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0443] 図１１Ｉでは、第３側壁絶縁膜５３が第１絶縁膜９７および第２絶縁膜９８を含む積層構造（２層構造）を有している例が示されている。第１絶縁膜９７は、主面絶縁膜４４の上で第１配線側壁５５を被覆している。第１絶縁膜９７は、主面絶縁膜４４の上において水平方向に延びる下端部を有していてもよい。第１絶縁膜９７は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。

[0444] 第１絶縁膜９７は、この形態では、第１配線側壁５５から第３絶縁側壁５８側に引き出され、第１配線側壁５５を被覆する部分および第３絶縁側壁５８を被覆する部分を有している。第１絶縁膜９７は、ゲート配線５１および第２プレーナ絶縁膜５２の境界部を被覆する部分を有している。

[0445] 第１絶縁膜９７は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第１絶縁膜９７は、第１配線側壁５５に対する被覆部において第１配線側壁５５の傾斜角度とほぼ等しい傾斜角度で延び、第１配線側壁５５に対してほぼ平行に延びる膜面を有している。また、第１絶縁膜９７は、第

３絶縁側壁５８に対する被覆部において第３絶縁側壁５８の傾斜角度とほぼ等しい傾斜角度で延び、第３絶縁側壁５８に対してほぼ平行に延びる膜面を有している。

[0446] 第１絶縁膜９７は、第３絶縁側壁５８において第１酸化膜５９および第２酸化膜６０の双方を被覆している。第１絶縁膜９７は、第１酸化膜５９および第２酸化膜６０の境界部を被覆する部分を有している。第１絶縁膜９７は、第２絶縁面５７に対して第１主面３側に形成され、第２絶縁面５７を露出させている。第１絶縁膜９７は、第２絶縁面５７から第２酸化膜６０を露出させている。

[0447] 第２絶縁膜９８は、主面絶縁膜４４の上で第１絶縁膜９７を挟んで第１配線側壁５５を被覆している。第２絶縁膜９８は、第１絶縁膜９７の下端部の上に位置された下端部を有している。第２絶縁膜９８の下端部は、第１絶縁膜９７の下端部を挟んで主面絶縁膜４４に対向している。第２絶縁膜９８の下端部は、主面絶縁膜４４に直接接続されていてもよい。

[0448] 第２絶縁膜９８は、この形態では、第１配線側壁５５から第３絶縁側壁５８側に引き出され、第１絶縁膜９７を挟んで第３絶縁側壁５８を被覆している。第２絶縁膜９８は、第１絶縁膜９７を挟んで第１配線側壁５５を被覆する部分、および、第１絶縁膜９７を挟んで第３絶縁側壁５８を被覆する部分を有している。第２絶縁膜９８は、第１絶縁膜９７を挟んでゲート配線５１および第２プレーナ絶縁膜５２の境界部を被覆する部分を有している。

[0449] 第２絶縁膜９８は、第１配線側壁５５の傾斜角度および第３絶縁側壁５８の傾斜角度に倣って第１配線側壁５５および第３絶縁側壁５８を膜状に被覆している。第２絶縁膜９８は、第１配線側壁５５に対する被覆部において第１配線側壁５５の傾斜角度とほぼ等しい傾斜角度で延び、第１配線側壁５５に対してほぼ平行に延びる膜面を有している。また、第２絶縁膜９８は、第３絶縁側壁５８に対する被覆部において第３絶縁側壁５８の傾斜角度とほぼ等しい傾斜角度で延び、第３絶縁側壁５８に対してほぼ平行に延びる膜面を有している。

[0450] 第２絶縁膜９８は、第３絶縁側壁５８において第１絶縁膜９７を挟んで第１酸化膜５９および第２酸化膜６０の双方を被覆している。第２絶縁膜９８は、第１絶縁膜９７を挟んで第１酸化膜５９および第２酸化膜６０の境界部を被覆する部分を有している。第２絶縁膜９８は、第２プレーナ絶縁膜５２の第２絶縁面５７に対して第１主面３側に形成され、第２絶縁面５７を露出させている。第２絶縁膜９８は、第２絶縁面５７から第２酸化膜６０を露出させている。

[0451] 以上、半導体装置１Ａは、チップ２、プレーナ型の複数のゲート構造２０、ソース開口６５（開口）およびソース主電極７０（主電極）を含む。チップ２は、第１主面３を有している。複数のゲート構造２０は、第１主面３の上に間隔を空けて配置されている。複数のゲート構造２０は、ゲート絶縁膜２１、ゲート電極２２および側壁絶縁膜２４、２５をそれぞれ含む。ゲート絶縁膜２１は、第１主面３を被覆している。ゲート電極２２は、ゲート絶縁膜２１の上に配置されている。側壁絶縁膜２４、２５は、ゲート電極２２の側壁を被覆している。

[0452] ソース開口６５は、複数のゲート構造２０の間の領域において複数の側壁絶縁膜２４、２５によって区画され、第１主面３を露出させている。ソース主電極７０は、ソース開口６５内において複数の側壁絶縁膜２４、２５に機械的に接続され、ソース開口６５内において第１主面３に電気的に接続されている。

[0453] この構成によれば、電気的特性を向上できる半導体装置１Ａが提供される。たとえば、この半導体装置１Ａによれば、複数のゲート構造２０が狭ピッチに配列されるため、単位面積当たりの電流経路が増加されることができる。これにより、オン抵抗が削減される。

[0454] チップ２は、ＳｉＣを含むことが好ましい。この構成によれば、ＳｉＣ半導体装置としての半導体装置１Ａが提供される。側壁絶縁膜２４、２５は、断面視においてゲート電極２２の側壁を膜状に被覆し、ゲート電極２２の側壁に沿って延びる膜面を有していてもよい。この構成によれば、側壁絶縁膜

２４、２５の占有面積が削減されるため、ソース開口６５の開口幅Wが縮小される。これにより、複数のゲート構造２０が適切に狭ピッチに配列されることができる。

[0455] 側壁絶縁膜２４、２５は、ゲート絶縁膜２１の上でゲート電極２２の側壁を被覆していてもよい。この構成によれば、側壁絶縁膜２４、２５の形成箇所がゲート絶縁膜２１の上に制限されるため、ゲート絶縁膜２１外の領域への側壁絶縁膜２４、２５の拡張が抑制される。これにより、側壁絶縁膜２４、２５の占有面積に起因して複数のゲート構造２０のピッチが拡張されることが抑制される。

[0456] 側壁絶縁膜２４、２５は、ゲート電極２２の厚さ未満の厚さを有していることが好ましい。側壁絶縁膜２４、２５は、側壁絶縁膜２４、２５は、単一絶縁膜からなる単層構造を有していることが好ましい。側壁絶縁膜２４、２５は、単一絶縁膜としての不純物無添加の酸化膜からなることが好ましい。これらの構成によれば、側壁絶縁膜２４、２５の占有面積が低減されることができる。

[0457] 複数のゲート構造２０は、ゲート電極２２の上に配置された第１プレーナ絶縁膜２３をそれぞれ含んでいてもよい。この構成によれば、ゲート電極２２に対する絶縁性が向上される。この場合、側壁絶縁膜２４、２５は、ゲート電極２２の側壁および第１プレーナ絶縁膜２３の側壁を被覆していてもよい。この構成によれば、ゲート電極２２に対する絶縁性が適切に向上される。

[0458] この場合、ソース主電極７０は、積層方向に第１プレーナ絶縁膜２３を挟んでゲート電極２２に対向する部分を有し、第１プレーナ絶縁膜２３によってゲート電極２２から電気的に切り離されていてもよい。この構成によれば、複数のゲート構造２０が狭ピッチに配列されたレイアウトにおいて、ソース主電極７０が複数のゲート構造２０から第１プレーナ絶縁膜２３によって適切に電気的に切り離される。

[0459] 第１プレーナ絶縁膜２３は、複数の絶縁膜を含む積層構造を有していても

よい。この場合、側壁絶縁膜２４、２５は、第１プレーナ絶縁膜２３の側壁において複数の絶縁膜を被覆していてもよい。第１プレーナ絶縁膜２３は、複数の絶縁膜として、ゲート電極２２を被覆する不純物無添加の第１酸化膜３２、および、燐を含有し、第１酸化膜３２を被覆する第２酸化膜３３を含んでいてもよい。

[0460] ソース開口６５は、側壁絶縁膜２４、２５の厚さ以上の幅を有していてもよい。ソース開口６５は、ゲート電極２２の幅以下の幅を有していてもよい。ソース開口６５の幅は、側壁絶縁膜２４、２５の厚さの１倍以上５倍以下であってもよい。側壁絶縁膜２４、２５の厚さは、０．０５μｍ以上０．５μｍ以下であってもよい。ソース開口６５の幅は、０．２μｍ以上０．６μｍ以下であってもよい。

[0461] ソース主電極７０は、第１埋設電極７２および第１上側電極膜７３を含む積層構造を有していてもよい。第１埋設電極７２は、ソース開口６５内で第１主面３に電気的に接続されている。第１上側電極膜７３は、第１埋設電極７２の上で第１埋設電極７２を介して第１主面３に電気的に接続されている。

[0462] 複数のゲート構造２０が狭ピッチで配列された場合、複数のゲート構造２０のレイアウトに起因してソース開口６５の幅が縮小する。この場合、ソース開口６５に対するソース主電極７０の埋設性および成膜性が問題になる。

[0463] この点、第１埋設電極７２および第１上側電極膜７３を含むソース主電極７０によれば、第１埋設電極７２によってソース開口６５に起因する段差が緩和されるため、複数のソース開口６５に対する第１上側電極膜７３の埋設性および成膜性の低下が抑制される。したがって、ソース主電極７０は第１主面３に適切に電気的に接続されることができる。

[0464] 半導体装置１Ａは、第１主面３においてソース開口６５から露出した部分に形成された第１シリサイド部８１を含んでいてもよい。この構成によれば、ソース主電極７０は、第１シリサイド部８１を介してチップ２に電気的に接続されることができる。これにより、チップ２に対するソース主電極７０

のオーミック性が向上されることができる。

[0465] 半導体装置１Ａは、ｎ型の第２半導体領域１１（半導体領域）、ｐ型のボディ領域１２、ｎ型のソース領域１４、１５（不純物領域）およびｐ型のチャネル領域１７、１８（チャネル）を含んでいてもよい。

[0466] 第２半導体領域１１は、第１主面３の表層部に形成されていてもよい。ボディ領域１２は、第２半導体領域１１の表層部に形成されていてもよい。ソース領域１４、１５は、ボディ領域１２の表層部に形成されていてもよい。チャネル領域１７、１８は、ボディ領域１２の表層部において第２半導体領域１１およびソース領域１４、１５の間の領域に形成されていてもよい。

[0467] この場合、ゲート絶縁膜２１は、チャネル領域１７、１８を被覆していてもよい。ゲート電極２２は、ゲート絶縁膜２１を挟んでチャネル領域１７、１８に対向していてもよい。ソース開口６５は、ソース領域１４、１５を露出させていてもよい。ソース主電極７０は、ソース開口６５内においてソース領域１４、１５に電気的に接続されていてもよい。

[0468] 半導体装置１Ａは、ｐ型のコンタクト領域１６を含んでいてもよい。コンタクト領域１６は、ボディ領域１２の表層部においてソース領域１４、１５とは異なる領域に形成されていてもよい。この場合、ソース開口６５は、ソース領域１４、１５およびコンタクト領域１６を露出させていてもよい。ソース主電極７０は、ソース開口６５内においてソース領域１４、１５およびコンタクト領域１６に電気的に接続されていてもよい。

[0469] 図１２は、半導体装置１Ａの製造に使用されるウエハ１００を示す概略図である。図１２を参照して、ウエハ１００は、チップ２の基材であり、ＳｉＣ単結晶を含む。ウエハ１００は、扁平な円盤状に形成されている。ウエハ１００は、扁平な直方体形状に形成されていてもよい。

[0470] ウエハ１００は、一方側の第１ウエハ主面１０１、他方側の第２ウエハ主面１０２、ならびに、第１ウエハ主面１０１および第２ウエハ主面１０２を接続するウエハ側面１０３を有している。第１ウエハ主面１０１はチップ２の第１主面３に対応し、第２ウエハ主面１０２はチップ２の第２主面４に対

応している。

[0471] 第１ウエハ主面１０１および第２ウエハ主面１０２は、ＳｉＣ単結晶のｃ面によって形成されている。第１ウエハ主面１０１はＳｉＣ単結晶のシリコン面によって形成され、第２ウエハ主面１０２はＳｉＣ単結晶のカーボン面によって形成されている。ウエハ１００（第１ウエハ主面１０１および第２ウエハ主面１０２）は、前述のオフ方向およびオフ角を有している。

[0472] ウエハ１００は、ウエハ側面１０３においてＳｉＣ単結晶の結晶方位を示す目印１０４を有している。目印１０４は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠き部からなる。オリエンテーションノッチは、平面視において第１ウエハ主面１０１の中央部に向けて凹形状（たとえば先細り形状）に切り欠かれた切り欠き部からなる。

[0473] 目印１０４は、ｍ軸方向に延びる第１のオリエンテーションフラット、および、ａ軸方向に延びる第２のオリエンテーションフラットのいずれか一方または双方を含んでいてもよい。目印１０４は、ｍ軸方向に窪んだオリエンテーションノッチ、および、ａ軸方向に窪んだオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。

[0474] ウエハ１００は、この形態では、第１半導体層６および第２半導体層７を含む積層構造を有している。第１半導体層６は、ＳｉＣ単結晶（半導体単結晶）を含む半導体ウエハ（ＳｉＣウエハ）からなり、前述のオフ方向およびオフ角を有している。第１半導体層６は、第２ウエハ主面１０２およびウエハ側面１０３を形成している。

[0475] 第２半導体層７は、ＳｉＣ単結晶（半導体単結晶）を含むエピタキシャル層（ＳｉＣエピタキシャル層）からなり、第１半導体層６の上に積層されている。つまり、ウエハ１００は、この形態では、半導体ウエハおよびエピタキシャル層を含む積層構造を有するエピタキシャルウエハ（所謂エピウエハ）からなる。第２半導体層７は、前述のオフ方向およびオフ角を有している

。第２半導体層７は、第１ウエハ主面１０１およびウエハ側面１０３を形成している。

[0476] ウエハ１００は、第２ウエハ主面１０２側の領域（表層部）において第１半導体領域１０を含む。第１半導体領域１０は、第２ウエハ主面１０２に沿って延びる層状に形成されている。第１半導体領域１０は、この形態では、第１半導体層６によって形成されている。

[0477] ウエハ１００は、第１ウエハ主面１０１側の領域（表層部）において第２半導体領域１１を含む。第２半導体領域１１は、第１ウエハ主面１０１に沿って延びる層状に形成され、第１半導体領域１０に電気的に接続されている。第２半導体領域１１は、この形態では、第２半導体層７によって形成されている。

[0478] ウエハ１００は、複数のデバイス領域１０５および複数の切断予定ライン１０６を含む。たとえば、複数のデバイス領域１０５および複数の切断予定ライン１０６は、第１ウエハ主面１０１側に形成されたアライメントマーク等によって区画される。各デバイス領域１０５は、半導体装置１Ａに対応する領域である。複数のデバイス領域１０５は、平面視において四角形状にそれぞれ設定されている。

[0479] 複数のデバイス領域１０５は、この形態では、平面視において第１方向Ｘおよび第２方向Ｙに沿って行列状に設定される。複数のデバイス領域１０５は、平面視において第１ウエハ主面１０１の周縁から内方に間隔を空けてそれぞれ設定されている。複数の切断予定ライン１０６は、複数のデバイス領域１０５を区画するように第１方向Ｘおよび第２方向Ｙに沿って延びる格子状に設定されている。

[0480] 図１３Ａ～図１３Ｒは、半導体装置１Ａの製造方法を示す断面図である。図１３Ａ～図１３Ｒでは、図６に対応する領域の断面図が示されている。図１３Ａを参照して、まず、前述のウエハ１００（図１２参照）の用意工程が実施される。

[0481] 次に、図１３Ｂを参照して、複数のボディ領域１２およびアウターボディ

領域４０の形成工程が実施される。この工程では、まず、所定のレイアウトを有する第１マスク１１０が第１ウエハ主面１０１の上に形成される。

[0482] 第１マスク１１０は、無機系マスク（所謂ハードマスク）および有機系マスク（所謂ソフトマスク）のいずれか一方または双方を含んでいてもよい。第１マスク１１０は、複数のボディ領域１２およびアウターボディ領域４０を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0483] 次に、ｐ型不純物（３価元素）が、第１マスク１１０を介するイオン注入法によって第２半導体領域１１の表層部に注入される。ｐ型不純物（３価元素）は、アルミニウムであることが好ましい。これにより、複数のボディ領域１２およびアウターボディ領域４０が形成される。第１マスク１１０は、この後、除去される。

[0484] 次に、図１３Ｃを参照して、複数のソース領域１４、１５の形成工程が実施される。この工程では、まず、所定のレイアウトを有する第２マスク１１１が第１ウエハ主面１０１の上に形成される。第２マスク１１１は、無機系マスク（所謂ハードマスク）および有機系マスク（所謂ソフトマスク）のいずれか一方または双方を含んでいてもよい。第２マスク１１１は、複数のソース領域１４、１５を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0485] 次に、ｎ型不純物（５価元素）が、第２マスク１１１を介するイオン注入法によってボディ領域１２の表層部に注入される。ｎ型不純物（５価元素）は、燐であることが好ましい。これにより、複数のソース領域１４、１５が形成される。第２マスク１１１は、この後、除去される。

[0486] 次に、図１３Ｄを参照して、複数のコンタクト領域１６の形成工程が実施される。この工程では、まず、所定のレイアウトを有する第３マスク１１２が第１ウエハ主面１０１の上に形成される。第３マスク１１２は、無機系マスク（所謂ハードマスク）および有機系マスク（所謂ソフトマスク）のいずれか一方または双方を含んでいてもよい。第３マスク１１２は、複数のコンタクト領域１６を形成すべき領域を露出させ、それら以外の領域を被覆して

いる。

[0487] 次に、ｐ型不純物（３価元素）が、第３マスク１１２を介するイオン注入法によってボディ領域１２の表層部に注入される。ｐ型不純物（３価元素）は、アルミニウムであることが好ましい。これにより、複数のコンタクト領域１６が形成される。コンタクト領域１６の形成工程後、第３マスク１１２は除去される。

[0488] 具体的な図示は省略されるが、終端領域４１は、所定のレイアウトを有するマスク（図示せず）を介するイオン注入法によってｐ型不純物（３価元素）を第２半導体領域１１の表層部に導入することによって形成される。終端領域４１の形成工程は、ボディ領域１２（アウターボディ領域４０）の形成工程の後に実施されてもよいし、ボディ領域１２（アウターボディ領域４０）の形成工程の前に実施されてもよい。

[0489] 同様に、複数のフィールド領域４３は、所定のレイアウトを有するマスク（図示せず）を介するイオン注入法によってｐ型不純物（３価元素）を第２半導体領域１１の表層部に導入することによって形成される。フィールド領域４３の形成工程は、ボディ領域１２（アウターボディ領域４０）の形成工程の後に実施されてもよいし、ボディ領域１２（アウターボディ領域４０）の形成工程の前に実施されてもよい。

[0490] ボディ領域１２（アウターボディ領域４０）の形成工程、ソース領域１４、１５の形成工程、コンタクト領域１６の形成工程、終端領域４１の形成工程およびフィールド領域４３の形成工程の順序は任意であり、適宜入れ替えられてもよい。

[0491] 次に、図１３Ｅを参照して、下ベース絶縁膜１１３（下絶縁膜）の形成工程が実施される。下ベース絶縁膜１１３は、複数のゲート絶縁膜２１および主面絶縁膜４４のベースとなる。下ベース絶縁膜１１３は、第１ウエハ主面１０１の上に膜状に形成される。ゲート絶縁膜２１は、ＣＶＤ（Chemical Vapor Deposition）法または酸化処理法（たとえば熱酸化処理法）によって形成されてもよい。

[0492] 次に、図１３Ｆを参照して、ベースゲート電極１１４の形成工程が実施される。ベースゲート電極１１４は、複数のゲート電極２２のベースとなる。ベースゲート電極１１４は、下ベース絶縁膜１１３の上に膜状に形成される。ベースゲート電極１１４は、ＣＶＤ法によって形成されてもよい。

[0493] 次に、図１３Ｇを参照して、ベースゲート電極１１４の第１パターニング工程（前処理工程）が実施される。この工程では、まず、所定のレイアウトを有する第４マスク１１５がベースゲート電極１１４の上に形成される。第４マスク１１５は、ベースゲート電極１１４のうち活性領域８に対する被覆部を被覆し、ベースゲート電極１１４のうち外周領域９に対する被覆部を選択的に露出させている。

[0494] 次に、ベースゲート電極１１４の不要な部分（外周領域９に対する被覆部）が、第４マスク１１５を介するエッチング法によって除去される。ベースゲート電極１１４の不要な部分は、下ベース絶縁膜１１３が露出するまで除去される。

[0495] エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。この工程により、ゲート配線５１の第２配線側壁５６としてのベースゲート電極１１４の外縁部が外周領域９の上に形成される（図８および図９も併せて参照）。

[0496] 次に、図１３Ｈを参照して、上ベース絶縁膜１１６（上絶縁膜）の形成工程が実施される。上ベース絶縁膜１１６は、複数の第１プレーナ絶縁膜２３、第２プレーナ絶縁膜５２およびアウター絶縁膜６１のベースとなる。

[0497] 上ベース絶縁膜１１６は、この形態では、第１ベース酸化膜１１７および第２ベース酸化膜１１８を含む。第１ベース酸化膜１１７は、複数の第１酸化膜３２および第１酸化膜５９のベースとなる。第２ベース酸化膜１１８は、複数の第２酸化膜３３および第２酸化膜６０のベースとなる。

[0498] 第１ベース酸化膜１１７は、この形態では、ＮＳＧ膜からなり、下ベース絶縁膜１１３およびベースゲート電極１１４の上に膜状に積層される。第１ベース酸化膜１１７は、ＣＶＤ法によって形成されてもよい。

[0499] 第２ベース酸化膜１１８は、燐を含有する酸化シリコン膜を含み、第１ベース酸化膜１１７の上に膜状に積層される。第２ベース酸化膜１１８は、ＣＶＤ法によって形成される。第２ベース酸化膜１１８の形成工程後、リフロー工程（熱処理工程）が実施される。これにより、上ベース絶縁膜１１６が平滑化される。

[0500] 次に、図１３Ｉを参照して、複数の第１プレーナ絶縁膜２３、第２プレーナ絶縁膜５２、アウター絶縁膜６１、複数のアウター開口６７および複数のゲート開口６９の形成工程が実施される。この工程は、上ベース絶縁膜１１６のパターニング工程でもある。

[0501] この工程では、まず、所定のレイアウトを有する第５マスク１１９が上ベース絶縁膜１１６の上に形成される。第５マスク１１９は、上ベース絶縁膜１１６のうち複数の第１プレーナ絶縁膜２３、第２プレーナ絶縁膜５２およびアウター絶縁膜６１を形成すべき領域を被覆しており、複数のアウター開口６７および複数のゲート開口６９を形成すべき領域を露出させている。

[0502] 次に、上ベース絶縁膜１１６の不要な部分が、第５マスク１１９を介するエッチング法によって除去される。上ベース絶縁膜１１６の不要な部分は、上ベース絶縁膜１１６が露出するまで除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。

[0503] ウエットエッチング法は、等方性であってもよいし、異方性であってもよい。ドライエッチング法は、等方性であってもよいし、異方性であってもよい。この工程により、複数の第１プレーナ絶縁膜２３、第２プレーナ絶縁膜５２、アウター絶縁膜６１、複数のアウター開口６７および複数のゲート開口６９が形成される。

[0504] 複数のアウター開口６７に対するエッチング工程は、第１ウエハ主面１０１の一部を第２ウエハ主面１０２に向けて掘り下げる工程を含んでいてもよい。この工程では、第１ウエハ主面１０１のうち複数のアウター開口６７から露出した部分に複数のアウターリセス６８が形成される。第５マスク１１

９は、その後、除去される。

[0505] 前述の第１～第１１例（図７、図１０Ａ～図１０Ｊ参照）に係る第１プレーナ絶縁膜２３の構成、および、前述の第１～第１０例（図９、図１１Ａ～図１１Ｉ参照）に係る第２プレーナ絶縁膜５２の構成は、上ベース絶縁膜１１６に対するエッチング処理条件を適宜調節する工程によって得られる。

[0506] 次に、図１３Ｊを参照して、ベースゲート電極１１４の第２パターニング工程（後処理工程）が実施される。ベースゲート電極１１４の第２パターニング工程は、複数のゲート電極２２およびゲート配線５１の形成工程でもある。この工程では、ベースゲート電極１１４の不要な部分が、複数の第１プレーナ絶縁膜２３、第２プレーナ絶縁膜５２およびアウター絶縁膜６１を介するエッチング法によって除去される。

[0507] つまり、この工程では、ベースゲート電極１１４のうち複数の第１プレーナ絶縁膜２３および第２プレーナ絶縁膜５２によって区画された複数の露出部が除去される。ベースゲート電極１１４の不要な部分は、前述の第５マスク１１９を介するエッチング法によって除去されてもよい。

[0508] ベースゲート電極１１４の不要な部分は、下ベース絶縁膜１１３が露出するまで除去される。エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。ウエットエッチング法は、等方性であってもよいし、異方性であってもよい。ドライエッチング法は、等方性であってもよいし、異方性であってもよい。

[0509] この工程により、複数のゲート電極２２およびゲート配線５１が下ベース絶縁膜１１３の上に形成される（図６～図９も併せて参照）。この工程では、複数のゲート電極２２が複数の第１プレーナ絶縁膜２３に対して自己整合的に形成される。

[0510] これにより、複数の第１プレーナ絶縁膜２３によってそれぞれ被覆された複数のゲート電極２２が下ベース絶縁膜１１３の上に形成される。また、この工程では、ゲート配線５１が第２プレーナ絶縁膜５２に対して自己整合的に形成される。これにより、第２プレーナ絶縁膜５２によって被覆されたゲ

ート配線５１が下ベース絶縁膜１１３の上に形成される。

[0511] 前述の第１～第１１例（図７、図１０Ａ～図１０Ｊ参照）に係るゲート電極２２の構成、および、前述の第１～第１０例（図９、図１１Ａ～図１１Ｉ参照）に係るゲート配線５１の構成は、ベースゲート電極１１４に対するエッチング処理条件を適宜調節する工程によって得られる。

[0512] 次に、図１３Ｋを参照して、ベース側壁絶縁膜１２０の形成工程が実施される。ベース側壁絶縁膜１２０は、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３のベースとなる。ベース側壁絶縁膜１２０は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。

[0513] ベース側壁絶縁膜１２０は、単一絶縁膜からなる単層構造を有していてもよい。ベース側壁絶縁膜１２０は、複数の絶縁膜を含む積層構造を有していてもよい。ベース側壁絶縁膜１２０は、この形態では、ＮＳＧ膜の一例としてＴＥＯＳ膜からなる。ベース側壁絶縁膜１２０は、ＣＶＤ法によって形成されてもよい。

[0514] ベース側壁絶縁膜１２０は、下ベース絶縁膜１１３の上で、複数のゲート電極２２、複数の第１プレーナ絶縁膜２３、ゲート配線５１、第２プレーナ絶縁膜５２およびアウター絶縁膜６１を一括して被覆する。

[0515] 具体的には、ベース側壁絶縁膜１２０は、下ベース絶縁膜１１３、ゲート電極２２の第１側壁２７および第２側壁２８、第１プレーナ絶縁膜２３の第１絶縁側壁３０および第２絶縁側壁３１、ゲート配線５１の第１配線側壁５５、第２プレーナ絶縁膜５２の第３絶縁側壁５８、ならびに、アウター絶縁膜６１を膜状に被覆する。

[0516] 次に、図１３Ｌを参照して、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３の形成工程が実施される。この工程では、エッチング法（エッチバック法）によってベース側壁絶縁膜１２０の不要な部分が選択的に除去される。ベース側壁絶縁膜１２０の不要な部分は、ベース側壁絶縁膜１２０のうち水平方向に延びる部分である。つまり

、ベース側壁絶縁膜１２０は、鉛直方向Ｚに沿って延びる部分が残存されるように、水平方向に沿って延びる部分が除去される。

[0517] 具体的には、この工程では、ゲート電極２２の第１側壁２７および第２側壁２８に対する被覆部、第１プレーナ絶縁膜２３の第１絶縁側壁３０および第２絶縁側壁３１に対する被覆部、ゲート配線５１の第１配線側壁５５に対する被覆部、第２プレーナ絶縁膜５２の第３絶縁側壁５８に対する被覆部が残存されるように、ベース側壁絶縁膜１２０のうち第１絶縁面２９に対する被覆部、第２絶縁面５７に対する被覆部およびアウター絶縁膜６１の絶縁面に対する被覆部が除去される。

[0518] エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。ウエットエッチング法は、異方性であることが好ましい。ドライエッチング法は、異方性であることが好ましい。エッチング法は、ＲＩＥ法（Reactive Ion Etching Method）であることが特に好ましい。

[0519] この工程により、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３が形成される。複数の第１側壁絶縁膜２４および複数の第２側壁絶縁膜２５は複数のゲート電極２２（複数の第１プレーナ絶縁膜２３）に対して自己整合的に形成され、複数の第３側壁絶縁膜５３はゲート配線５１（第２プレーナ絶縁膜５２）に対して自己整合的に形成される。

[0520] 次に、図１３Ｍを参照して、複数のゲート絶縁膜２１、主面絶縁膜４４および複数のソース開口６５の形成工程が実施される。この工程では、下ベース絶縁膜１１３のうち複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３によって区画された複数の露出部がエッチング法によって除去される。

[0521] この工程では、下ベース絶縁膜１１３のうち複数のゲート電極２２（複数の第１プレーナ絶縁膜２３）による隠蔽部が複数のゲート絶縁膜２１として残存される。また、下ベース絶縁膜１１３のうちゲート配線５１（第２プレ

ーナ絶縁膜５２）およびアウター絶縁膜６１による隠蔽部が主面絶縁膜４４として残存される。

[0522] エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。ウエットエッチング法は、異方性であることが好ましい。ドライエッチング法は、異方性であることが好ましい。エッチング法は、ＲＩＥ法であることが特に好ましい。

[0523] 前述のベース側壁絶縁膜１２０に対するエッチング工程は、下ベース絶縁膜１１３に対するエッチング工程を兼ねていてもよい。この場合、ベース側壁絶縁膜１２０の不要な部分は、下ベース絶縁膜１１３の不要な部分と同時に除去される。下ベース絶縁膜１１３に対するエッチング工程は、前述のベース側壁絶縁膜１２０に対するエッチング工程とは別に実施されてもよい。

[0524] これにより、複数のゲート絶縁膜２１および主面絶縁膜４４が形成される。また、これにより、第１ウエハ主面１０１を露出させる複数のソース開口６５が形成される。複数のソース開口６５に対するエッチング工程は、第１ウエハ主面１０１の一部を第２ウエハ主面１０２に向けて掘り下げる工程を含んでいてもよい。この工程では、第１ウエハ主面１０１のうち複数のソース開口６５から露出した部分に複数のソースリセス６６が形成される。

[0525] 次に、図１３Ｎを参照して、ベース下側電極膜１２１の形成工程が実施される。ベース下側電極膜１２１は、第１下側電極膜７１および第２下側電極膜８４のベースである。ベース下側電極膜１２１は、第１ベース下側電極膜１２２および第２ベース下側電極膜１２３を含む積層構造を有している。第１ベース下側電極膜１２２は、第１電極膜７４および第１電極膜８７のベースである。第２ベース下側電極膜１２３は、第２電極膜７５および第２電極膜８８のベースである。

[0526] 第１ベース下側電極膜１２２は、この形態では、Ｔｉ膜を含む。第１ベース下側電極膜１２２は、スパッタ法または蒸着法によって形成されてもよい。第１ベース下側電極膜１２２は、第１絶縁面２９、第２絶縁面５７、複数のソース開口６５の壁面、複数のアウター開口６７の壁面および複数のゲー

ト開口６９の壁面に沿って膜状に形成される。

[0527] 第２ベース下側電極膜１２３は、この形態では、ＴｉＮ膜を含む。第２ベース下側電極膜１２３は、スパッタ法または蒸着法によって形成されてもよい。第２ベース下側電極膜１２３は、第１絶縁面２９、第２絶縁面５７、複数のソース開口６５の壁面、複数のアウター開口６７の壁面および複数のゲート開口６９の壁面に沿って膜状に形成される。

[0528] 第１ベース下側電極膜１２２の形成工程後、第１ベース下側電極膜１２２が第１ウエハ主面１０１のＳｉＣと反応（シリサイド反応）され、複数の第１シリサイド部８１および複数の第２シリサイド部８２が形成される。シリサイド反応は、ＲＴＡ法等のアニール法によって実施されてもよい。

[0529] 第１シリサイド部８１（第２シリサイド部８２）の形成工程は、第２ベース下側電極膜１２３の形成工程に先立って実施されてもよい。第１シリサイド部８１（第２シリサイド部８２）の形成工程は、第２ベース下側電極膜１２３の形成工程後に実施されてもよい。

[0530] チタンシリサイド以外のシリサイドを含む第１シリサイド部８１（第２シリサイド部８２）が形成されてもよい。この場合、第１ベース下側電極膜１２２の形成工程に先立って、ウエハ１００を金属膜（図示せず）によってシリサイド化させる工程が実施される。金属膜は、ニッケル膜、コバルト膜、モリブデン膜、タングステン膜およびバナジウム膜のうちの少なくとも１つを含んでいてもよい。

[0531] 次に、図１３０を参照して、ベース中間電極膜１２４の形成工程が実施される。ベース中間電極膜１２４は、ベース下側電極膜１２１の上に形成される。ベース中間電極膜１２４は、タングステン、モリブデン、タングステン合金およびモリブデン合金のうちの少なくとも１つを含む。ベース中間電極膜１２４は、この形態では、タングステンを含む。

[0532] ベース中間電極膜１２４は、ＣＶＤ法（たとえば減圧ＣＶＤ法）によって形成されてもよい。ベース中間電極膜１２４は、複数のソース開口６５、複数のアウター開口６７および複数のゲート開口６９を埋め戻し、第１絶縁面

２９、第２絶縁面５７およびアウター絶縁膜６１の絶縁面を膜状に被覆している。

[0533] 次に、図１３Ｐを参照して、ベース中間電極膜１２４の除去工程が実施される。この工程では、エッチング法（エッチバック法）によってベース中間電極膜１２４の不要な部分が除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。

[0534] ベース中間電極膜１２４の不要な部分は、ベース下側電極膜１２１が露出するまで除去される。これにより、複数のソース開口６５に複数の第１埋設電極７２が埋設される。また、複数のアウター開口６７に複数の第１埋設電極７２が埋設される。また、複数のゲート開口６９に複数の第２埋設電極８５が埋設される。

[0535] 次に、図１３Ｑを参照して、ベース上側電極膜１２５の形成工程が実施される。ベース上側電極膜１２５は、第１上側電極膜７３および第２上側電極膜８６のベースである。ベース上側電極膜１２５は、ベース下側電極膜１２１、複数の第１埋設電極７２および複数の第２埋設電極８５の上に膜状に積層される。

[0536] ベース上側電極膜１２５は、ＡｌＩ膜、ＡｌＩ合金膜、ＣｕＩ膜およびＣｕＩ合金膜のうちの少なくとも１つを含んでいてもよい。ベース上側電極膜１２５は、ＡｌＳｉ合金膜、ＡｌＣｕ合金膜およびＡｌＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。ベース上側電極膜１２５は、スパッタ法または蒸着法によって形成されてもよい。

[0537] 次に、ベース上側電極膜１２５が、ソース主電極７０、ソースフィンガー電極８０、ゲートフィンガー電極８３およびゲート主電極９０に分割される。この工程では、所定のレイアウトを有するマスク（図示せず）がベース上側電極膜１２５の上に形成される。マスク（図示せず）は、ソース主電極７０、ソースフィンガー電極８０、ゲートフィンガー電極８３およびゲート主電極９０を形成すべき領域を被覆し、これらの領域以外の領域を露出させている。

[0538] 次に、マスク（図示せず）を介するエッチング法によってベース上側電極膜１２５の不要な部分が除去される。ベース上側電極膜１２５の不要な部分は、ベース下側電極膜１２１が露出するまで除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。マスク（図示せず）は、ベース上側電極膜１２５のエッチング工程後、除去される。

[0539] 次に、ベース上側電極膜１２５を介するエッチング法によってベース下側電極膜１２１の不要な部分が除去される。ベース下側電極膜１２１の不要な部分は、第２プレーナ絶縁膜５２およびアウター絶縁膜６１が露出するまで除去される。

[0540] ベース下側電極膜１２１の除去工程は、エッチング法によって第２ベース下側電極膜１２３を除去する工程、および、エッチング法によって第１ベース下側電極膜１２２を除去する工程を含む。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。

[0541] ベース下側電極膜１２１の不要な部分は、ベース上側電極膜１２５のエッチング工程に係るマスク（図示せず）を介するエッチング法によって除去されてもよい。これにより、ソース主電極７０、ソースフィンガー電極８０、ゲートフィンガー電極８３およびゲート主電極９０が形成される。

[0542] 次に、図１３Ｒを参照して、第２ウエハ主面１０２の上にドレイン主電極９１が形成される。ドレイン主電極９１は、スパッタ法または蒸着法によって形成されてもよい。その後、切断予定ライン１０６に沿ってウエハ１００が切断され、複数の半導体装置１Ａが切り出される。以上を含む工程を経て、半導体装置１Ａが製造される。

[0543] 図１４は、第２形態に係る半導体装置１Ｂのゲート構造２０を示す拡大断面図である。図１５は、図１４に示す半導体装置１Ｂの配線構造５０を示す拡大断面図である。図１４を参照して、半導体装置１Ｂは、半導体装置１Ａと同様、第１側壁２７を被覆する第１側壁絶縁膜２４、および、第２側壁２８を被覆する第２側壁絶縁膜２５を含む。

[0544] 第１側壁絶縁膜２４は、この形態では、酸化シリコン膜からなる単層構造を有している。第１側壁絶縁膜２４は、ゲート電極２２（ポリシリコン）の酸化物を含む酸化シリコン膜からなることが好ましい。

[0545] 第１側壁絶縁膜２４は、この形態では、ゲート絶縁膜２１および第１プレーナ絶縁膜２３の間の領域において第１側壁２７を被覆している。第１側壁絶縁膜２４は、第１側壁２７を被覆し、第１絶縁側壁３０を露出させている。具体的には、第１側壁絶縁膜２４は、第１側壁２７の全域を被覆し、第１絶縁側壁３０の全域を露出させている。

[0546] つまり、第１側壁絶縁膜２４は、ゲート絶縁膜２１に接続された下端部、および、第１プレーナ絶縁膜２３に接続された上端部を有している。第１側壁絶縁膜２４は、第１側壁２７の傾斜角度に倣って第１側壁２７を膜状に被覆している。第１側壁絶縁膜２４は、第１側壁２７の傾斜角度とほぼ等しい傾斜角度で延び、第１側壁２７に対してほぼ平行に延びる膜面を有している。

[0547] 第１側壁絶縁膜２４は、この形態では、ゲート絶縁膜２１および第１プレーナ絶縁膜２３の間の領域をほぼ垂直に延びている。ゲート電極２２が先細り形状（テーパ形状）に形成され、第１側壁２７が斜め傾斜している場合、第１側壁絶縁膜２４は第１側壁２７に対する被覆部において鉛直線に対して斜め傾斜した膜面を有していてもよい。

[0548] 第２側壁絶縁膜２５は、この形態では、酸化シリコン膜からなる単層構造を有している。第２側壁絶縁膜２５は、ゲート電極２２（ポリシリコン）の酸化物を含む酸化シリコン膜からなることが好ましい。

[0549] 第２側壁絶縁膜２５は、この形態では、ゲート絶縁膜２１および第１プレーナ絶縁膜２３の間の領域において第２側壁２８を被覆している。第２側壁絶縁膜２５は、第２側壁２８を被覆し、第２絶縁側壁３１を露出させている。具体的には、第２側壁絶縁膜２５は、第２側壁２８の全域を被覆し、第２絶縁側壁３１の全域を露出させている。

[0550] 第２側壁絶縁膜２５は、ゲート絶縁膜２１に接続された下端部、および、

第１プレーナ絶縁膜２３に接続された上端部を有している。第２側壁絶縁膜２５は、第２側壁２８の傾斜角度に倣って第２側壁２８を膜状に被覆している。第２側壁絶縁膜２５は、第２側壁２８の傾斜角度とほぼ等しい傾斜角度で延び、第２側壁２８に対してほぼ平行に延びる膜面を有している。

[0551] 第２側壁絶縁膜２５は、この形態では、ゲート絶縁膜２１および第１プレーナ絶縁膜２３の間の領域をほぼ垂直に延びている。ゲート電極２２が先細り形状（テーパ形状）に形成され、第２側壁２８が斜め傾斜している場合、第２側壁絶縁膜２５は第２側壁２８に対する被覆部において鉛直線に対して斜め傾斜した膜面を有していてもよい。

[0552] 図１５を参照して、半導体装置１Ｂは、半導体装置１Ａと同様、第１配線側壁５５を被覆する第３側壁絶縁膜５３を含む。第３側壁絶縁膜５３は、この形態では、酸化シリコン膜からなる単層構造を有している。第３側壁絶縁膜５３は、ゲート配線５１（ポリシリコン）の酸化物を含む酸化シリコン膜からなることが好ましい。

[0553] 第３側壁絶縁膜５３は、この形態では、主面絶縁膜４４および第２プレーナ絶縁膜５２の間の領域において第１配線側壁５５を被覆している。第３側壁絶縁膜５３は、第１配線側壁５５を被覆し、第３絶縁側壁５８を露出させている。具体的には、第３側壁絶縁膜５３は、第１配線側壁５５の全域を被覆し、第３絶縁側壁５８の全域を露出させている。

[0554] つまり、第３側壁絶縁膜５３は、主面絶縁膜４４に接続された下端部、および、第２プレーナ絶縁膜５２に接続された上端部を有している。第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度に倣って第１配線側壁５５を膜状に被覆している。第３側壁絶縁膜５３は、第１配線側壁５５の傾斜角度とほぼ等しい傾斜角度で延び、第１配線側壁５５に対してほぼ平行に延びる膜面を有している。

[0555] 第３側壁絶縁膜５３は、この形態では、主面絶縁膜４４および第２プレーナ絶縁膜５２の間の領域をほぼ垂直に延びている。ゲート配線５１が先細り形状（テーパ形状）に形成され、第１配線側壁５５が斜め傾斜している場合

、第３側壁絶縁膜５３は第１配線側壁５５に対する被覆部において鉛直線に対して斜め傾斜した膜面を有していてもよい。

[0556] 複数のソース開口６５は、半導体装置１Ａの場合と同様、複数のゲート構造２０および配線構造５０によって取り囲まれた領域にそれぞれ区画されている。複数のソース開口６５は、この形態では、第１方向Ｘに関して一方のゲート構造２０の第１プレーナ絶縁膜２３および第１側壁絶縁膜２４、ならびに、他方のゲート構造２０の第１プレーナ絶縁膜２３および第２側壁絶縁膜２５によってそれぞれ区画されている。複数のソース開口６５は、第２方向Ｙに関して配線構造５０の第２プレーナ絶縁膜５２および第３側壁絶縁膜５３によってそれぞれ区画された両端部を有している。

[0557] ソース主電極７０の第１下側電極膜７１は、この形態では、第１絶縁側壁３０の露出部および第２絶縁側壁３１の露出部の双方を直接被覆する部分を有している。具体的には、第１電極膜７４は、第１絶縁側壁３０の全域および第２絶縁側壁３１の全域を直接被覆している。つまり、第１電極膜７４は、第１絶縁側壁３０において第１酸化膜３２および第２酸化膜３３の双方を直接被覆し、第２絶縁側壁３１において第１酸化膜３２および第２酸化膜３３の双方を直接被覆している。

[0558] 一方、第２電極膜７５は、第１電極膜７４を挟んで第１絶縁側壁３０の全域および第２絶縁側壁３１の全域を被覆している。つまり、第２電極膜７５は、第１絶縁側壁３０側において第１電極膜７４を挟んで第１酸化膜３２および第２酸化膜３３の双方を被覆し、第２絶縁側壁３１側において第１電極膜７４を挟んで第１酸化膜３２および第２酸化膜３３の双方を被覆している。

[0559] 半導体装置１Ｂに係る側壁絶縁膜２４、２５の構成は、前述の第１～第１１例（図７、図１０Ａ～図１０Ｊ）に係るゲート構造２０（ゲート電極２２）のいずれか１つに適用されてもよい。半導体装置１Ｂに係る側壁絶縁膜２４、２５の構成は、前述の第１～第１０例（図９、図１１Ａ～図１１Ｉ）に係る配線構造５０（ゲート配線５１）のいずれか１つに適用されてもよい。

[0560] 半導体装置１Ｂに係る第３側壁絶縁膜５３の構成は、前述の第１～第１１例（図７、図１０Ａ～図１０Ｊ）に係るゲート構造２０（ゲート電極２２）のいずれか１つに適用されてもよい。半導体装置１Ｂに係る第３側壁絶縁膜５３の構成は、前述の第１～第１０例（図９、図１１Ａ～図１１Ｉ）に係る配線構造５０（ゲート配線５１）のいずれか１つに適用されてもよい。

[0561] 図１６Ａ～図１６Ｃは、図１４に示す半導体装置１Ｂの製造方法を示す断面図である。図１６Ａを参照して、半導体装置１Ｂの製造方法では、前述のベースゲート電極１１４の第２パターニング工程（図１３Ｊ参照）の後のウエハ１００が用意される。

[0562] 次に、図１６Ｂを参照して、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３の形成工程が実施される。この工程では、ベース側壁絶縁膜１２０の形成工程に代えて、複数のゲート電極２２およびゲート配線５１に対する酸化処理工程が実施される。酸化処理工程は、熱酸化処理工程およびウエット酸化処理工程のいずれか一方または双方であってもよい。

[0563] この工程により、複数のゲート電極２２のうち複数の第１プレーナ絶縁膜２３から露出した部分（つまり第１側壁２７および第２側壁２８）が酸化され、ゲート配線５１のうち第２プレーナ絶縁膜５２から露出した部分（つまり第１配線側壁５５）が酸化される。これにより、複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３が形成される。

[0564] 次に、図１６Ｃを参照して、複数のゲート絶縁膜２１、主面絶縁膜４４および複数のソース開口６５の形成工程が実施される。この工程では、下ベース絶縁膜１１３のうち複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３によって区画された複数の露出部がエッチング法によって除去される。

[0565] この工程では、下ベース絶縁膜１１３のうち複数のゲート電極２２（複数の第１プレーナ絶縁膜２３）による隠蔽部が複数のゲート絶縁膜２１として

残存される。また、下ベース絶縁膜１１３のうちゲート配線５１（第２プレーナ絶縁膜５２）およびアウター絶縁膜６１による隠蔽部が主面絶縁膜４４として残存される。

[0566] エッチング法は、ウエットエッチング法およびドライエッチング法のうちのいずれか一方または双方であってもよい。ウエットエッチング法は、異方性であることが好ましい。ドライエッチング法は、異方性であることが好ましい。エッチング法は、ＲＩＥ法であることが特に好ましい。

[0567] この工程を経て、複数のゲート絶縁膜２１、主面絶縁膜４４および複数のソース開口６５が形成される。その後、図１３Ｎ～図１３Ｒと同様の工程を経て、半導体装置１Ｂが製造される。

[0568] 図１７は、第３形態に係る半導体装置１Ｃを示す断面図である。半導体装置１Ｃは、第２半導体領域１１内において複数のボディ領域１２の下方の厚さ範囲に形成されたｐ型の複数のコラム領域１３０を含む。

[0569] 複数のコラム領域１３０は、コンタクト領域１６のｐ型不純物濃度よりも低いｐ型不純物濃度を有している。複数のコラム領域１３０のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも高くてもよい。複数のコラム領域１３０のｐ型不純物濃度は、ボディ領域１２のｐ型不純物濃度よりも低くてもよい。

[0570] 複数のコラム領域１３０は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のコラム領域１３０は、複数のボディ領域１２に沿って第２方向Ｙに延びるストライプ状に形成されている。また、複数のボディ領域１２の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。

[0571] 複数のコラム領域１３０は、断面視において厚さ方向に延びる柱状に形成され、複数のボディ領域１２に１対１の対応関係で重なっている。複数のコラム領域１３０は、ｐ型の単一の不純物領域からなる単層構造を有していてもよいし、ｐ型の複数の不純物領域が厚さ方向に積層された積層構造を有していてもよい。以下、１つのコラム領域１３０の構成が具体的に説明される

。

[0572] コラム領域１３０は、第２半導体領域１１の中間部を厚さ方向に横切っている。コラム領域１３０は、下端部および上端部を有している。コラム領域１３０の下端部は、第２半導体領域１１の中間部に対して第２半導体領域１１の底部側に位置されている。コラム領域１３０の下端部は、第２半導体領域１１の底部からボディ領域１２側に間隔を空けて形成されていてもよい。コラム領域１３０の下端部は、第２半導体領域１１の底部を横切って第１半導体領域１０の表層部に位置されていてもよい。

[0573] コラム領域１３０の上端部は、第２半導体領域１１の中間部に対してボディ領域１２の底部（下端部）側に位置されている。コラム領域１３０の上端部は、ボディ領域１２の底部に接続されていることが好ましい。

[0574] つまり、コラム領域１３０は、ボディ領域１２に電気的に接続されていることが好ましい。コラム領域１３０の上端部は、ボディ領域１２の底部から第２半導体領域１１の底部側に間隔を空けて形成され、第２半導体領域１１の一部を挟んでボディ領域１２に対向していてもよい。

[0575] コラム領域１３０は、ボディ領域１２の幅未満の幅を有し、ボディ領域１２の周縁部から内方に間隔を空けて形成されている。コラム領域１３０の幅は、コンタクト領域１６の幅よりも大きくてもよい。コラム領域１３０は、ボディ領域１２の厚さよりも大きい厚さを有している。コラム領域１３０の厚さは、第２半導体領域１１の厚さ未満であってもよい。コラム領域１３０の厚さは、第２半導体領域１１の厚さよりも大きくてもよい。

[0576] 半導体装置１Ｃは、第２半導体領域１１内に形成されたｎ型の複数の中間ドリフト領域１３１を含む。複数の中間ドリフト領域１３１は、第２半導体領域１１のうちの複数のコラム領域１３０の間に区画された領域からそれぞれなる。

[0577] 中間ドリフト領域１３１は、第２半導体領域１１のｎ型不純物濃度よりも高いｎ型不純物濃度を有していてもよいし、第２半導体領域１１のｎ型不純物濃度よりも低いｎ型不純物濃度を有していてもよい。中間ドリフト領域１

３１は、表層ドリフト領域１３のｎ型不純物濃度よりも高いｎ型不純物濃度を有していてもよいし、表層ドリフト領域１３のｎ型不純物濃度よりも低いｎ型不純物濃度を有していてもよい。

[0578] 複数の中間ドリフト領域１３１は、第１方向Ｘに複数のコラム領域１３０と交互に配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数の中間ドリフト領域１３１は、複数のコラム領域１３０に沿って第２方向Ｙに延びるストライプ状に形成されている。また、複数の中間ドリフト領域１３１の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。

[0579] 複数の中間ドリフト領域１３１は、断面視において厚さ方向に延びる柱状に形成され、複数の表層ドリフト領域１３に１対１の対応関係で接続されている。複数の中間ドリフト領域１３１は、複数の表層ドリフト領域１３の幅よりも大きい幅をそれぞれ有し、第１方向Ｘに隣り合う２つのボディ領域１２に接続された両端部を有している。

[0580] 複数の中間ドリフト領域１３１は、ボディ領域１２の下方の厚さ範囲において複数のコラム領域１３０と共にチャージバランスを有する複数のｐｎ接合部を形成している。チャージバランスを有する状態は、互いに隣り合う複数のコラム領域１３０に関して、一方のｐｎ接合部から拡がる空乏層、および、他方のｐｎ接合部から拡がる空乏層が、複数の中間ドリフト領域１３１内で接続される状態を意味する。これにより、複数の中間ドリフト領域１３１は、ボディ領域１２の下方の領域において複数のコラム領域１３０とスーパージャンクション構造を構成している。

[0581] 複数のコラム領域１３０の形成工程は、マスクの形成工程およびｐ型不純物の注入工程を含む。マスクの形成工程では、複数のコラム領域１３０を形成すべき領域を露出させる開口を有するマスクが第１ウエハ主面１０１の上に形成される。ｐ型不純物の注入工程では、マスクを介するイオン注入法によって第２半導体領域１１にｐ型不純物が注入される。

[0582] イオン注入法は、チャネリングイオン注入法であることが好ましい。チャネリングイオン注入工程では、ウエハ１００（第２半導体層７）の結晶軸の

うち原子列が疎であるチャネル軸（たとえばｃ軸）に沿ってｐ型不純物が注入される。ｐ型不純物は、チャネリング効果に起因する小角散乱を繰り返しながら第２半導体領域１１の深い領域まで注入される。つまり、チャネリング注入法の場合、ＳｉＣ単結晶の原子列に対する３価元素の衝突確率が低減される。これにより、複数のコラム領域１３０が形成される。

[0583] コラム領域１３０の形成工程は、ボディ領域１２の形成工程の後に実施されてもよい。この場合、コラム領域１３０は、厚さ方向にボディ領域１２に接続されるように第２半導体領域１１の内部に形成される。コラム領域１３０の形成工程は、ボディ領域１２の形成工程の前に実施されてもよい。この場合、ボディ領域１２の形成工程において、厚さ方向にコラム領域１３０に接続されるようにボディ領域１２が第２半導体領域１１の表層部に形成される。

[0584] 以上、半導体装置１Ｃは、半導体装置１Ａの構成に加えてｐ型のコラム領域１３０を含む。コラム領域１３０は、第２半導体領域１１内においてボディ領域１２の下方の厚さ範囲に形成されている。この構成によれば、スーパージャンクション型の半導体装置１Ｃが提供される。チップ２がＳｉＣ単結晶を含む場合、ボディ領域１２に関して新規な構成を有するスーパージャンクション型のＳｉＣ半導体装置が提供される。

[0585] この形態では、複数のコラム領域１３０（複数の中間ドリフト領域１３１）が複数のボディ領域１２に沿って第２方向Ｙに延びるストライプ状に形成された例が示された。しかし、複数のコラム領域１３０は、第１方向Ｘに延びる帯状にそれぞれ形成され、第２方向Ｙに間隔を空けて配列されていてもよい。つまり、複数のコラム領域１３０の延在方向は、ＳｉＣ単結晶のオフ方向に交差（具体的には直交）していてもよい。この場合、複数のコラム領域１３０は、複数のボディ領域１２に交差（具体的には直交）する。

[0586] 複数のコラム領域１３０（複数の中間ドリフト領域１３１）は、第１方向Ｘおよび第２方向Ｙの双方に交差する交差方向に間隔を空けて配列され、当該交差方向に直交する直交方向に延びる帯状にそれぞれ形成されていてもよ

い。つまり、複数のコラム領域１３０の延在方向は、ＳｉＣ単結晶のオフ方向に交差していてもよい。この場合、複数のコラム領域１３０は、複数のボディ領域１２に交差する。

[0587] この形態では、複数のボディ領域１２（ボディ領域１２）が第２方向Ｙに延びるストライプ状に形成された例が示された。しかし、複数のボディ領域１２は、第１方向Ｘに延びる帯状にそれぞれ形成され、第２方向Ｙに間隔を空けて配列されていてもよい。つまり、複数のボディ領域１２は、第１方向Ｘに延びるストライプ状に形成されていてもよい。また、複数のボディ領域１２の延在方向は、ＳｉＣ単結晶のオフ方向に交差（具体的には直交）していてもよい。

[0588] この場合、複数のコラム領域１３０（複数の中間ドリフト領域１３１）は、第１方向Ｘに延びる帯状にそれぞれ形成され、第２方向Ｙに間隔を空けて配列されていてもよい。つまり、複数のコラム領域１３０（複数の中間ドリフト領域１３１）は、複数のボディ領域１２に沿って第１方向Ｘに延びるストライプ状に形成されていてもよい。

[0589] 複数のコラム領域１３０は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されていてもよい。つまり、複数のコラム領域１３０は、第２方向Ｙに延びるストライプ状に形成されていてもよい。また、複数のコラム領域１３０の延在方向は、ＳｉＣ単結晶のオフ方向に一致していてもよい。

[0590] この場合、複数のコラム領域１３０は、複数のボディ領域１２に交差（具体的には直交）する。複数のコラム領域１３０（複数の中間ドリフト領域１３１）は、第１方向Ｘおよび第２方向Ｙの双方に交差する交差方向に間隔を空けて配列され、当該交差方向に直交する直交方向に延びる帯状にそれぞれ形成されていてもよい。

[0591] この形態では、複数のコラム領域１３０（複数の中間ドリフト領域１３１）が半導体装置１Ａの構成に適用された例が示された。しかし、複数のコラム領域１３０（複数の中間ドリフト領域１３１）は、第２形態に係る半導体

装置１Ｂに適用されてもよい。

[0592] 以下、第１～第３形態に係る半導体装置１Ａ～１Ｃに適用される変形例が示される。図１８は、ソース主電極７０の第１変形例を示す断面図である。図１８では、変形例に係るソース主電極７０が半導体装置１Ａに適用された構成が例示されている。第１変形例に係るソース主電極７０は、半導体装置１Ｂおよび半導体装置１Ｃに適用可能である。

[0593] 前述の各形態では、ソース主電極７０が複数の第１埋設電極７２を含んでいた。しかし、図１８に示されるように、ソース主電極７０は、複数の第１埋設電極７２に代えて中間電極膜１３２を含んでいてもよい。

[0594] 中間電極膜１３２は、第１下側電極膜７１の導電材料とは異なる導電材料を含む。中間電極膜１３２は、タングステン膜、モリブデン膜、タングステン合金膜およびモリブデン合金膜のうちの少なくとも１つを含む。中間電極膜１３２は、この形態では、タングステン膜を含む。

[0595] 中間電極膜１３２は、ソース主電極７０の中間層として第１下側電極膜７１の上に積層され、活性領域８において複数のゲート構造２０を一括して膜状に被覆している。中間電極膜１３２は、第１絶縁面２９および第２絶縁面５７の上において第１下側電極膜７１に機械的および電気的に接続されている。

[0596] 具体的には、中間電極膜１３２は、第１下側電極膜７１を挟んで複数の第１プレーナ絶縁膜２３を膜状に被覆している。中間電極膜１３２は、第１下側電極膜７１を挟んで配線構造５０を膜状に被覆する周縁部を有している。中間電極膜１３２の周縁部は、第１下側電極膜７１の周縁部を挟んで第２プレーナ絶縁膜５２を被覆している。

[0597] 中間電極膜１３２は、第１絶縁面２９および第２絶縁面５７の上から複数のソース開口６５に入り込んでいる。中間電極膜１３２は、複数のソース開口６５内において複数の第１側壁絶縁膜２４、複数の第２側壁絶縁膜２５および複数の第３側壁絶縁膜５３に機械的に接続され、複数のソース開口６５内において第１下側電極膜７１を介して第１主面３に電気的に接続されてい

る。

[0598] 具体的には、ソース主電極７０は、複数のソース開口６５内において第１下側電極膜７１を介して複数のボディ領域１２、複数のソース領域１４、１５、コンタクト領域１６等に電気的に接続されている。つまり、中間電極膜１３２は、複数のソース開口６５の内外において第１下側電極膜７１を介して複数のボディ領域１２等に電気的に接続されている。

[0599] 中間電極膜１３２は、水平方向に複数の側壁絶縁膜２４、２５を挟んで複数のゲート電極２２および複数の第１プレーナ絶縁膜２３に対向している。中間電極膜１３２は、この形態では、水平方向に複数の側壁絶縁膜２４、２５を挟んで第１酸化膜３２および第２酸化膜３３に対向している。

[0600] 中間電極膜１３２は、水平方向に第３側壁絶縁膜５３を挟んでゲート配線５１および第２プレーナ絶縁膜５２に対向している。中間電極膜１３２は、この形態では、水平方向に複数の側壁絶縁膜２４、２５を挟んで第１酸化膜３２および第２酸化膜３３に対向している。

[0601] 第１上側電極膜７３は、この形態では、中間電極膜１３２の上に膜状に積層され、中間電極膜１３２に機械的および電気的に接続されている。第１上側電極膜７３は、中間電極膜１３２を挟んで第１絶縁面２９、第２絶縁面５７および複数のソース開口６５を被覆している。第１上側電極膜７３は、複数のソース開口６５よりも上方において中間電極膜１３２に接続されている。第１上側電極膜７３は、この形態では、第１下側電極膜７１に対する機械的接続部を有さない。

[0602] ソースフィンガー電極８０は、複数の第１埋設電極７２に代えて中間電極膜１３２を含んでいてもよい。同様に、ソースフィンガー電極８０は、複数の第２埋設電極８５に代えて中間電極膜１３２を含んでいてもよい。同様に、ゲート主電極９０は、中間電極膜１３２を含んでいてもよい。

[0603] 中間電極膜１３２は、前述のベース中間電極膜１２４の形成工程（図１３０参照）においてベース中間電極膜１２４に対するエッチング量を調節することによって形成される。たとえば、中間電極膜１３２は、ベース中間電極

膜１２４に対するエッチング処理を省略することによって形成される。たとえば、中間電極膜１３２は、ベース下地電極膜の露出前にベース中間電極膜１２４に対するエッチング処理を終了することによっても形成される。

[0604] 図１９は、ソース主電極７０の第２変形例を示す断面図である。図１９では、変形例に係るソース主電極７０が半導体装置１Ａに適用された構成が例示されている。第２変形例に係るソース主電極７０は、半導体装置１Ｂおよび半導体装置１Ｃに適用可能である。

[0605] 前述の各形態では、ソース主電極７０が複数の第１埋設電極７２を有していた。しかし、図１９に示されるように、ソース主電極７０は必ずしも第１埋設電極７２を有している必要はない。この場合、ソース主電極７０の第１上側電極膜７３は、第１プレーナ絶縁膜２３（第１絶縁面２９）および第２プレーナ絶縁膜５２（第２絶縁面５７）の上から複数のソース開口６５に入り込み、複数のソース開口６５内においてボディ領域１２等に電気的に接続される。

[0606] 同様に、ソースフィンガー電極８０は、必ずしも第１埋設電極７２を有している必要はない。この場合、ソースフィンガー電極８０の第１上側電極膜７３は、アウター絶縁膜６１の上から複数のアウター開口６７に入り込み、複数のアウター開口６７内において終端領域４１（オーバラップ領域４２）に電気的に接続される。

[0607] 同様に、ゲートフィンガー電極８３は、必ずしも第２埋設電極８５を有している必要はない。この場合、ゲートフィンガー電極８３の第２上側電極膜８６は、第２プレーナ絶縁膜５２（第２絶縁面５７）の上から複数のゲート開口６９に入り込み、複数のゲート開口６９内においてゲート配線５１に電気的に接続される。

[0608] 半導体装置１Ａは、ソース主電極７０に係る第１埋設電極７２を有する一方で、ソースフィンガー電極８０に係る第１埋設電極７２を有していなくてもよい。半導体装置１Ａは、ソースフィンガー電極８０に係る第１埋設電極７２を有する一方で、ソース主電極７０に係る第１埋設電極７２を有してい

なくてもよい。

[0609] 半導体装置１Ａは、ソース主電極７０に係る第１埋設電極７２を有する一方で、ゲートフィンガー電極８３に係る第２埋設電極８５を有していなくてもよい。半導体装置１Ａは、ゲートフィンガー電極８３に係る第２埋設電極８５を有する一方で、ソース主電極７０に係る第１埋設電極７２を有していなくてもよい。

[0610] 半導体装置１Ａは、ソースフィンガー電極８０に係る第１埋設電極７２を有する一方で、ゲートフィンガー電極８３に係る第２埋設電極８５を有していなくてもよい。半導体装置１Ａは、ゲートフィンガー電極８３に係る第２埋設電極８５を有する一方で、ソースフィンガー電極８０に係る第１埋設電極７２を有していなくてもよい。

[0611] 前述の形態（変形例を含む）はさらに他の形態で実施可能である。たとえば、前述の各形態において、「ｎ型」の半導体領域の導電型が「ｐ型」に反転され、「ｐ型」の半導体領域の導電型が「ｎ型」に反転された構造が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「ｎ型」を「ｐ型」に置き換えると同時に、「ｐ型」を「ｎ型」に置き換えることによって得られる。

[0612] 前述の各形態では、ＳｉＣ単結晶を含むチップ２が採用された。しかし、チップ２は、ＳｉＣ単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。ワイドバンドギャップ半導体は、シリコンのバンドギャップよりも大きいバンドギャップを有する半導体である。ワイドバンドギャップ半導体の単結晶として、窒化ガリウム、酸化ガリウム、ダイヤモンド等が例示される。チップ２は、シリコン単結晶を含んでいてもよい。

[0613] 同様に、第１半導体層６は、ＳｉＣ単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。第１半導体層６は、窒化ガリウム、酸化ガリウム、ダイヤモンド等を含んでいてもよい。第１半導体層６は、シリコン単結晶を含んでいてもよい。

[0614] 同様に、第２半導体層７は、ＳｉＣ単結晶以外のワイドバンドギャップ半

導体の単結晶を含んでいてもよい。第２半導体層７は、窒化ガリウム、酸化ガリウム、ダイヤモンド等を含んでいてもよい。第２半導体層７は、シリコン単結晶を含んでいてもよい。

[0615] 前述の各形態では、ｎ型の第１半導体領域１０が示された。しかし、ｎ型の第１半導体領域１０に代えて、コレクタ領域としてのｐ型の第１半導体領域１０が採用されてもよい。この場合、トランジスタ構造Ｔｒは、ＭＩＳＦＥＴ構造に代えてＩＧＢＴ（Insulated Gate Bipolar Transistor）構造を含む。

[0616] この場合の具体的な構成は、前述の説明および添付図面において、ＭＩＳＦＥＴ構造の「ソース」をＩＧＢＴ構造の「エミッタ」に置き換え、ＭＩＳＦＥＴ構造の「ドレイン」をＩＧＢＴ構造の「コレクタ」に置き換えることによって得られる。ｐ型のコレクタ領域はイオン注入法によってｎ型のチップ２の第２主面４の表層部に注入されたｐ型不純物を含む不純物領域であってもよい。

[0617] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の形態における対応構成要素等を表すが、各項目（Clause）の範囲を形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「ＳｉＣ半導体装置」、「ワイドバンドギャップ半導体装置」、「半導体スイッチング装置」、「ＭＩＳＦＥＴ装置」、「ＩＧＢＴ装置」等に置き換えられてもよい。

[0618] ［Ａ１］主面（３）を有するチップ（２）と、前記主面（３）を被覆するゲート絶縁膜（２１）、前記ゲート絶縁膜（２１）の上に配置されたゲート電極（２２）、および、前記ゲート電極（２２）の側壁（２７、２８）を被覆する側壁絶縁膜（２４、２５）をそれぞれ含み、前記主面（３）の上に間隔を空けて配置されたプレーナ型の複数のゲート構造（２０）と、複数の前記ゲート構造（２０）の間の領域において複数の前記側壁絶縁膜（２４、２５）によって区画され、前記主面（３）を露出させる開口（６５）と、前記開口（６５）内において複数の前記側壁絶縁膜（２４、２５）に機械的に接

続され、前記開口（６５）内において前記主面（３）に電気的に接続された主電極（７０）と、を含む、半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0619] ［Ａ２］前記チップ（２）は、ＳｉＣを含む、Ａ１に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0620] ［Ａ３］前記側壁絶縁膜（２４、２５）は、断面視において前記ゲート電極（２２）の側壁（２７、２８）を膜状に被覆し、前記ゲート電極（２２）の側壁（２７、２８）に沿って延びる膜面を有している、Ａ１またはＡ２に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0621] ［Ａ４］前記側壁絶縁膜（２４、２５）は、前記ゲート絶縁膜（２１）の上で前記ゲート電極（２２）の側壁（２７、２８）を被覆している、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0622] ［Ａ５］前記側壁絶縁膜（２４、２５）は、前記ゲート電極（２２）の厚さ未満の厚さを有している、Ａ１～Ａ４のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0623] ［Ａ６］前記側壁絶縁膜（２４、２５）は、単一絶縁膜からなる単層構造を有している、Ａ１～Ａ５のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0624] ［Ａ７］前記単一絶縁膜は、不純物無添加の酸化膜からなる、Ａ６に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0625] ［Ａ８］複数の前記ゲート構造（２０）は、前記ゲート電極（２２）の上に配置されたプレーナ絶縁膜（２３）、ならびに、前記ゲート電極（２２）の側壁（２７、２８）および前記プレーナ絶縁膜（２３）の側壁（３０、３１）を被覆する前記側壁絶縁膜（２４、２５）をそれぞれ含み、前記主電極（７０）は、積層方向（Ｚ）に前記プレーナ絶縁膜（２３）を挟んで前記ゲート電極（２２）に対向する部分を有し、前記プレーナ絶縁膜（２３）によって前記ゲート電極（２２）から電気的に切り離されている、Ａ１～Ａ７のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0626] ［Ａ９］前記プレーナ絶縁膜（２３）は、複数の絶縁膜（３２、３３）を

含む積層構造を有している、Ａ８に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0627] ［Ａ１０］前記側壁絶縁膜（２４、２５）は、前記プレーナ絶縁膜（２３）の側壁（３０、３１）において複数の前記絶縁膜（３２、３３）を被覆している、Ａ９に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0628] ［Ａ１１］複数の前記絶縁膜（３２、３３）は、前記ゲート電極（２２）を被覆する不純物無添加の第１酸化膜（３２）、および、燐を含有し、前記第１酸化膜（３２）を被覆する第２酸化膜（３３）を含む、Ａ９またはＡ１０に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0629] ［Ａ１２］前記開口（６５）は、前記側壁絶縁膜（２４、２５）の厚さ以上および前記ゲート電極（２２）の幅以下の幅（W）を有している、Ａ１～Ａ１１のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0630] ［Ａ１３］前記側壁絶縁膜（２４、２５）の厚さは、０．０５μｍ以上０．５μｍ以下であり、前記開口（６５）の幅（W）は、０．２μｍ以上０．６μｍ以下である、Ａ１２に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0631] ［Ａ１４］前記主電極（７０）は、前記開口（６５）内で前記主面（３）に電気的に接続された埋設電極（７２）、および、前記埋設電極（７２）の上で前記埋設電極（７２）を介して前記主面（３）に電気的に接続された上側電極（７３）を含む積層構造を有している、Ａ１～Ａ１３のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0632] ［Ａ１５］前記主面（３）において前記開口（６５）から露出した部分に形成され、前記主電極（７０）を前記チップ（２）に電気的に接続させるシリサイド部（８１）をさらに含む、Ａ１～Ａ１４のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0633] ［Ａ１６］前記主面（３）の表層部に形成された第１導電型（n-type）の半導体領域（１１）と、前記半導体領域（１１）の表層部に形成された第２導電型（p-type）のボディ領域（１２）と、前記ボディ領域（１２）の表層部に形成された第１導電型（n-type）の不純物領域（１４、１５）と、前記

ボディ領域（１２）の表層部において前記半導体領域（１１）および前記不純物領域（１４、１５）の間の領域に形成されるチャネル（１７、１８）と、をさらに含み、前記ゲート絶縁膜（２１）は、前記チャネル（１７、１８）を被覆し、前記ゲート電極（２２）は、前記ゲート絶縁膜（２１）を挟んで前記チャネル（１７、１８）に対向し、前記開口（６５）は、前記不純物領域（１４、１５）を露出させ、前記主電極（７０）は、前記開口（６５）内において前記不純物領域（１４、１５）に電気的に接続されている、Ａ１～Ａ１５のいずれか一つに記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0634] ［Ａ１７］前記ボディ領域（１２）の表層部において前記不純物領域（１４、１５）とは異なる領域に形成された第２導電型（p-type）のコンタクト領域（１６）をさらに含み、前記開口（６５）は、前記不純物領域（１４、１５）および前記コンタクト領域（１６）を露出させ、前記主電極（７０）は、前記開口（６５）内において前記不純物領域（１４、１５）および前記コンタクト領域（１６）に電気的に接続されている、Ａ１６に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）。

[0635] ［Ａ１８］ウエハ（１００）の主面（１０１）の上に下絶縁膜（１１３）を形成する工程と、複数のゲート電極（２２）を前記下絶縁膜（１１３）の上に形成する工程と、複数の前記ゲート電極（２２）を被覆するベース絶縁膜（１２０）を前記下絶縁膜（１１３）の上に形成する工程と、複数の前記ゲート電極（２２）の側壁（２７、２８）に対する前記ベース絶縁膜（１２０）の被覆部を残存させるように前記ベース絶縁膜（１２０）を選択的に除去し、複数の前記ゲート電極（２２）の側壁（２７、２８）をそれぞれ被覆する複数の側壁絶縁膜（２４、２５）を形成する工程と、前記下絶縁膜（１１３）のうち複数の前記ゲート電極（２２）による隠蔽部を複数のゲート絶縁膜（２１）として残存させるように前記下絶縁膜（１１３）のうち複数の前記側壁絶縁膜（２４、２５）によって区画された露出部を除去し、前記主面（１０１）を露出させる開口（６５）を形成する工程と、前記開口（６５）内において複数の前記側壁絶縁膜（２４、２５）に機械的に接続され、前

記開口（６５）内において前記主面（１０１）に電気的に接続されるように前記主面（１０１）の上に主電極（７０）を形成する工程と、を含む、半導体装置（１Ａ、１Ｂ、１Ｃ）の製造方法。

[0636] ［Ａ１９］前記ウエハ（１００）は、ＳｉＣを含む、Ａ１８に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）の製造方法。

[0637] ［Ａ２０］ベースゲート電極（１１４）を前記下絶縁膜（１１３）の上に形成する工程と、上絶縁膜（１１６）を前記ベースゲート電極（１１４）の上に形成する工程と、前記上絶縁膜（１１６）を選択的に除去し、複数のプレーナ絶縁膜（２３）を前記ベースゲート電極（１１４）の上に形成する工程と、をさらに含み、前記ゲート電極（２２）の形成工程は、前記ベースゲート電極（１１４）のうち複数の前記プレーナ絶縁膜（２３）によって区画された露出部を除去し、複数の前記プレーナ絶縁膜（２３）によってそれぞれ被覆された複数の前記ゲート電極（２２）を前記下絶縁膜（１１３）の上に形成する工程を含み、前記ベース絶縁膜（１２０）の形成工程は、複数の前記ゲート電極（２２）および複数の前記プレーナ絶縁膜（２３）を一括して被覆する前記ベース絶縁膜（１２０）を形成する工程を含み、前記側壁絶縁膜（２４、２５）の形成工程は、複数の前記ゲート電極（２２）の側壁（２７、２８）および複数の前記プレーナ絶縁膜（２３）の側壁（３０、３１）に対する前記ベース絶縁膜（１２０）の被覆部を残存させるように前記ベース絶縁膜（１２０）を選択的に除去し、複数の前記ゲート電極（２２）の側壁（２７、２８）および複数の前記プレーナ絶縁膜（２３）の側壁（３０、３１）をそれぞれ被覆する複数の前記側壁絶縁膜（２４、２５）を形成する工程を含む、Ａ１８またはＡ１９に記載の半導体装置（１Ａ、１Ｂ、１Ｃ）の製造方法。

[0638] 以上、具体的な形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序、形態例の順序、変形例の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

[0639] １Ａ　半導体装置

１Ｂ　半導体装置

１Ｃ　半導体装置

２　チップ

３　第１主面

１１　第２半導体領域

１２　ボディ領域

１４　第１ソース領域（不純物領域）

１５　第２ソース領域（不純物領域）

１６　コンタクト領域

１７　第１チャネル

１８　第２チャネル

２０　ゲート構造

２１　ゲート絶縁膜

２２　ゲート電極

２３　第１プレーナ絶縁膜

２４　第１側壁絶縁膜

２５　第２側壁絶縁膜

２７　第１側壁

２８　第２側壁

３０　第１絶縁側壁

３１　第２絶縁側壁

３２　第１酸化膜

３３　第２酸化膜

６５　ソース開口

７０　第１主電極

７２　第１埋設電極

７３　　第１上側電極

８１　　第１シリサイド部

１００　ウエハ

１０１　第１ウエハ主面

１１３　下ベース絶縁膜

１１４　ベースゲート電極

１１６　上ベース絶縁膜

１２０　ベース絶縁膜

Ｗ　　開口幅

Ｚ　　鉛直方向（積層方向）

請求の範囲

[請求項1] 主面を有するチップと、

前記主面を被覆するゲート絶縁膜、前記ゲート絶縁膜の上に配置されたゲート電極、および、前記ゲート電極の側壁を被覆する側壁絶縁膜をそれぞれ含み、前記主面の上に間隔を空けて配置されたプレーナ型の複数のゲート構造と、

複数の前記ゲート構造の間の領域で複数の前記側壁絶縁膜によって区画された開口と、

前記開口内で複数の前記側壁絶縁膜に機械的に接続され、前記主面に電気的に接続された主電極と、を含む、半導体装置。

[請求項2] 前記チップは、ＳｉＣを含む、請求項１に記載の半導体装置。

[請求項3] 前記側壁絶縁膜は、断面視で前記ゲート電極の側壁を膜状に被覆し、前記ゲート電極の側壁に沿って延びる膜面を有している、請求項１または２に記載の半導体装置。

[請求項4] 前記側壁絶縁膜は、前記ゲート絶縁膜の上で前記ゲート電極の側壁を被覆している、請求項１～３のいずれか一項に記載の半導体装置。

[請求項5] 前記側壁絶縁膜は、前記ゲート電極の厚さ未満の厚さを有している、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 前記側壁絶縁膜は、単一絶縁膜からなる単層構造を有している、請求項１～５のいずれか一項に記載の半導体装置。

[請求項7] 前記単一絶縁膜は、不純物無添加の酸化膜からなる、請求項６に記載の半導体装置。

[請求項8] 複数の前記ゲート構造は、前記ゲート電極の上に配置されたプレーナ絶縁膜、ならびに、前記ゲート電極の側壁および前記プレーナ絶縁膜の側壁を被覆する前記側壁絶縁膜をそれぞれ含み、

前記主電極は、積層方向に前記プレーナ絶縁膜を挟んで前記ゲート電極に対向する部分を有し、前記プレーナ絶縁膜によって前記ゲート電極から電気的に切り離されている、請求項１～７のいずれか一項に

記載の半導体装置。

[請求項9] 前記プレーナ絶縁膜は、複数の絶縁膜を含む積層構造を有している、請求項８に記載の半導体装置。

[請求項10] 前記側壁絶縁膜は、前記プレーナ絶縁膜の側壁において複数の前記絶縁膜を被覆している、請求項９に記載の半導体装置。

[請求項11] 複数の前記絶縁膜は、前記ゲート電極を被覆する不純物無添加の第１酸化膜、および、燐を含有し、前記第１酸化膜を被覆する第２酸化膜を含む、請求項９または１０に記載の半導体装置。

[請求項12] 前記開口は、前記側壁絶縁膜の厚さ以上および前記ゲート電極の幅以下の幅を有している、請求項１～１１のいずれか一項に記載の半導体装置。

[請求項13] 前記側壁絶縁膜の厚さは、０．０５μｍ以上０．５μｍ以下であり、

前記開口の幅は、０．２μｍ以上０．６μｍ以下である、請求項１２に記載の半導体装置。

[請求項14] 前記主電極は、前記開口内で前記主面に電気的に接続された埋設電極、および、前記埋設電極の上で前記埋設電極を介して前記主面に電気的に接続された上側電極を含む積層構造を有している、請求項１～１３のいずれか一項に記載の半導体装置。

[請求項15] 前記開口内で前記主電極を前記チップに電気的に接続させるシリサイド部をさらに含む、請求項１～１４のいずれか一項に記載の半導体装置。

[請求項16] 前記主面の表層部に形成された第１導電型の半導体領域と、

前記半導体領域の表層部に形成された第２導電型のボディ領域と、

前記ボディ領域の表層部に形成された第１導電型の不純物領域と、

前記ボディ領域の表層部において前記半導体領域および前記不純物領域の間の領域に形成されるチャネルと、をさらに含み、

前記ゲート絶縁膜は、前記チャネルを被覆し、

前記ゲート電極は、前記ゲート絶縁膜を挟んで前記チャネルに対向し、

前記開口は、前記不純物領域に沿って形成され、

前記主電極は、前記開口内で前記不純物領域に電気的に接続されている、請求項１～１５のいずれか一項に記載の半導体装置。

[請求項17] 前記ボディ領域の表層部で前記不純物領域とは異なる領域に形成された第２導電型のコンタクト領域をさらに含み、

前記開口は、前記不純物領域および前記コンタクト領域に沿って形成され、

前記主電極は、前記開口内で前記不純物領域および前記コンタクト領域に電気的に接続されている、請求項１６に記載の半導体装置。

[請求項18] ウエハの主面の上に下絶縁膜を形成する工程と、

前記下絶縁膜の上に複数のゲート電極を形成する工程と、

前記下絶縁膜の上に複数の前記ゲート電極を被覆するベース絶縁膜を形成する工程と、

複数の前記ゲート電極の側壁に対する前記ベース絶縁膜の被覆部を残存させるように前記ベース絶縁膜を選択的に除去し、複数の前記ゲート電極の側壁をそれぞれ被覆する複数の側壁絶縁膜を形成する工程と、

前記下絶縁膜のうち複数の前記ゲート電極による隠蔽部を複数のゲート絶縁膜として残存させるように前記下絶縁膜のうち複数の前記側壁絶縁膜によって区画された露出部を除去し、前記主面を露出させる開口を形成する工程と、

前記開口内で複数の前記側壁絶縁膜に機械的に接続され、前記主面に電気的に接続されるように前記主面の上に主電極を形成する工程と、を含む、半導体装置の製造方法。

[請求項19] 前記ウエハは、ＳｉＣを含む、請求項１８に記載の半導体装置の製造方法。

[請求項20] 前記下絶縁膜の上にベースゲート電極を形成する工程と、

前記ベースゲート電極の上に上絶縁膜を形成する工程と、

前記上絶縁膜を選択的に除去し、前記ベースゲート電極の上に複数のプレーナ絶縁膜を形成する工程と、をさらに含み、

前記ゲート電極の形成工程は、前記ベースゲート電極のうち複数の前記プレーナ絶縁膜によって区画された露出部を除去し、複数の前記プレーナ絶縁膜によってそれぞれ被覆された複数の前記ゲート電極を前記下絶縁膜の上に形成する工程を含み、

前記ベース絶縁膜の形成工程は、複数の前記ゲート電極および複数の前記プレーナ絶縁膜を一括して被覆する前記ベース絶縁膜を形成する工程を含み、

前記側壁絶縁膜の形成工程は、複数の前記ゲート電極の側壁および複数の前記プレーナ絶縁膜の側壁に対する前記ベース絶縁膜の被覆部を残存させるように前記ベース絶縁膜を選択的に除去し、複数の前記ゲート電極の側壁および複数の前記プレーナ絶縁膜の側壁をそれぞれ被覆する複数の前記側壁絶縁膜を形成する工程を含む、請求項１８または１９に記載の半導体装置の製造方法。

[図1]

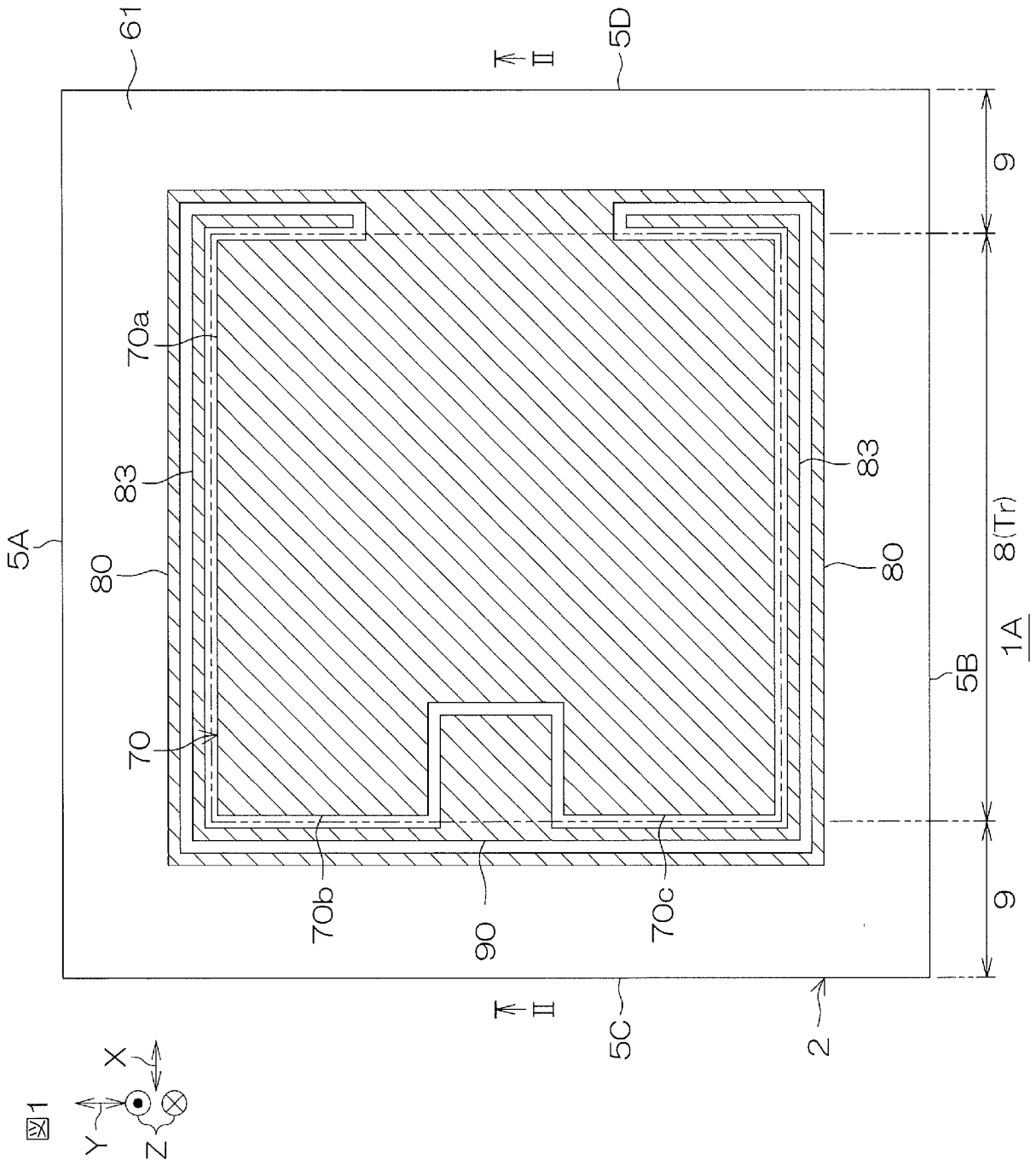


図1

[図2]

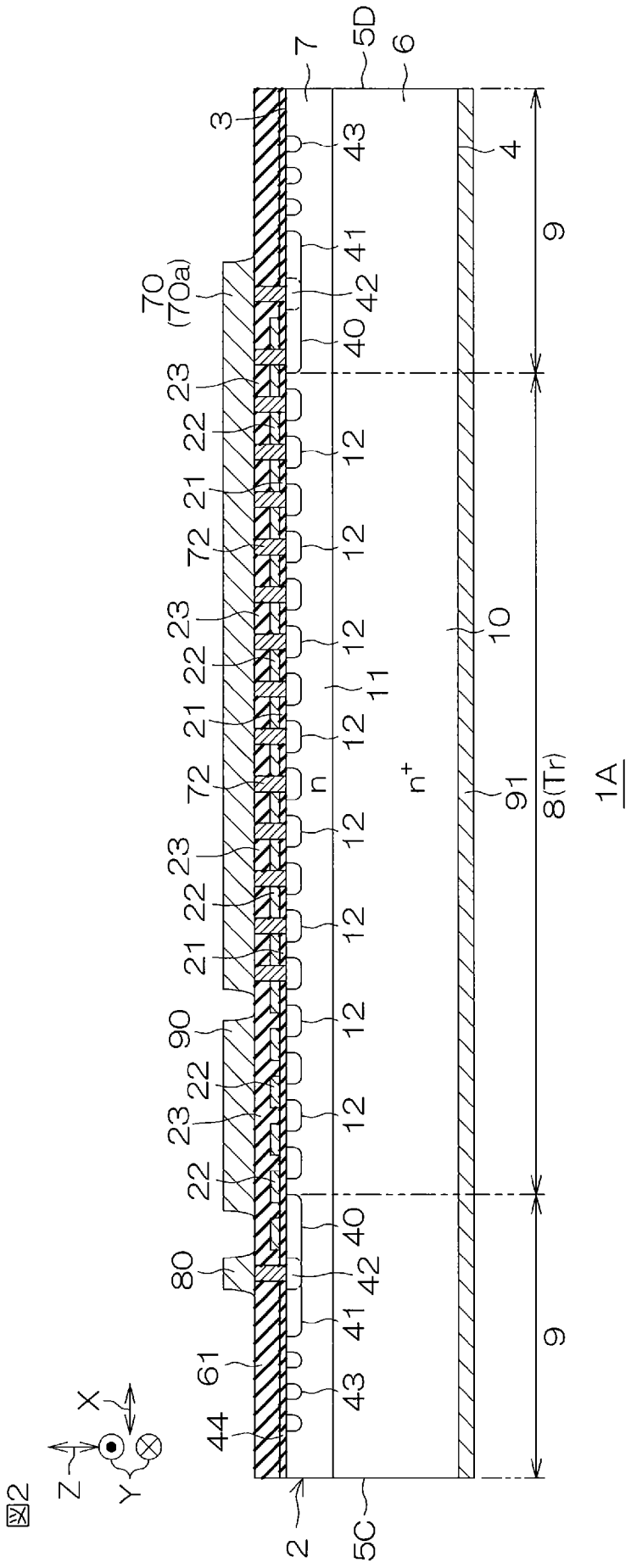

7
5D
6
3
43
4
41
42
40
70
(70a)
23
22
21
72
90
80
61
44
12
11
10
91
9
n
n+
8(Tr)
1A
2
5C
X
Y
Z

図2

[図3]

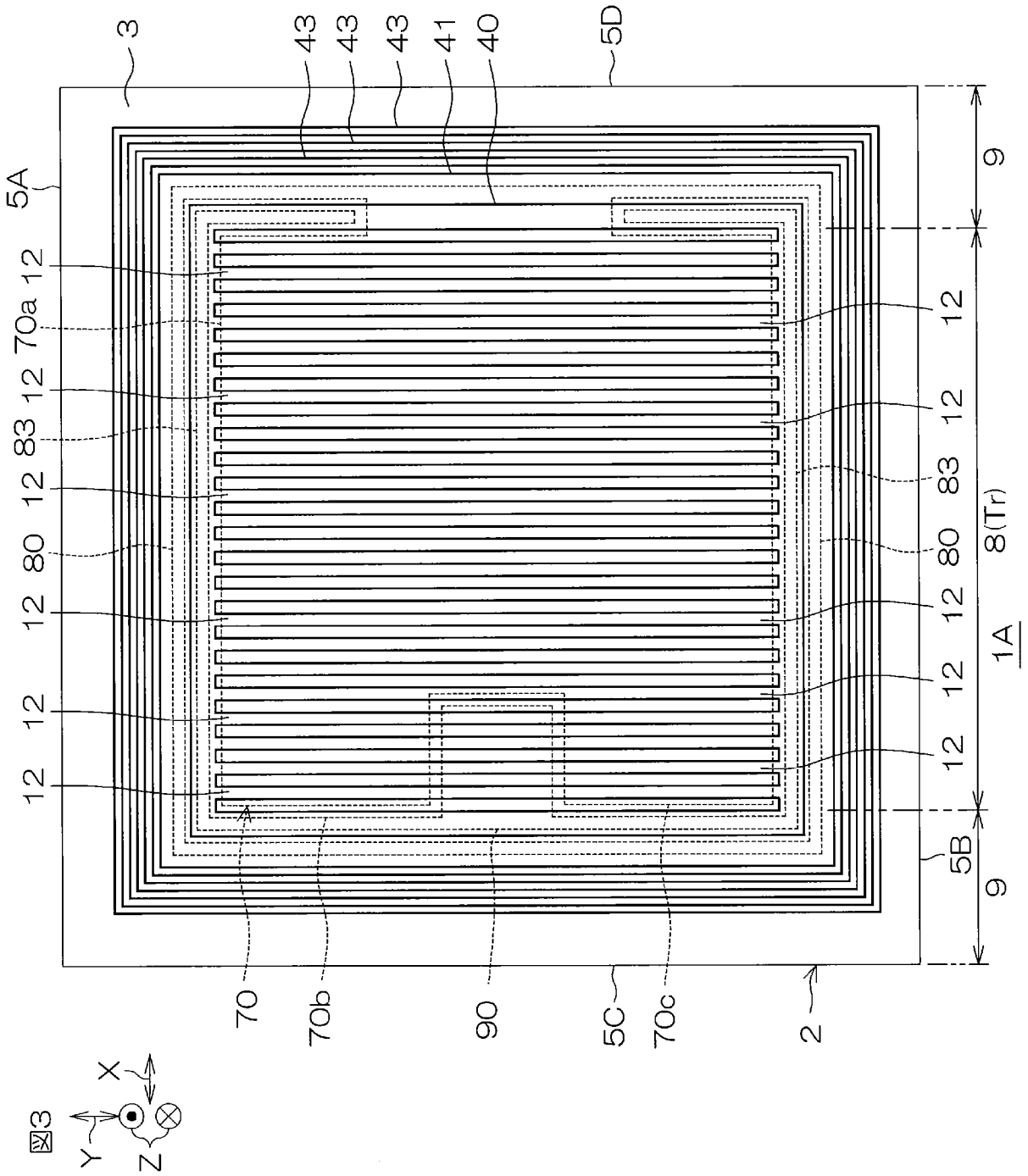

3
43
43
43
41
40
5D
5A
12
70a
12
83
12
80
12
12
12
12
12
12
12
12
12
12
12
83
80
12
12
12
12
9
8(Tr)
1A
5B
9
70
70b
90
5C
70c
2
X
Y
Z

図3

[図4]

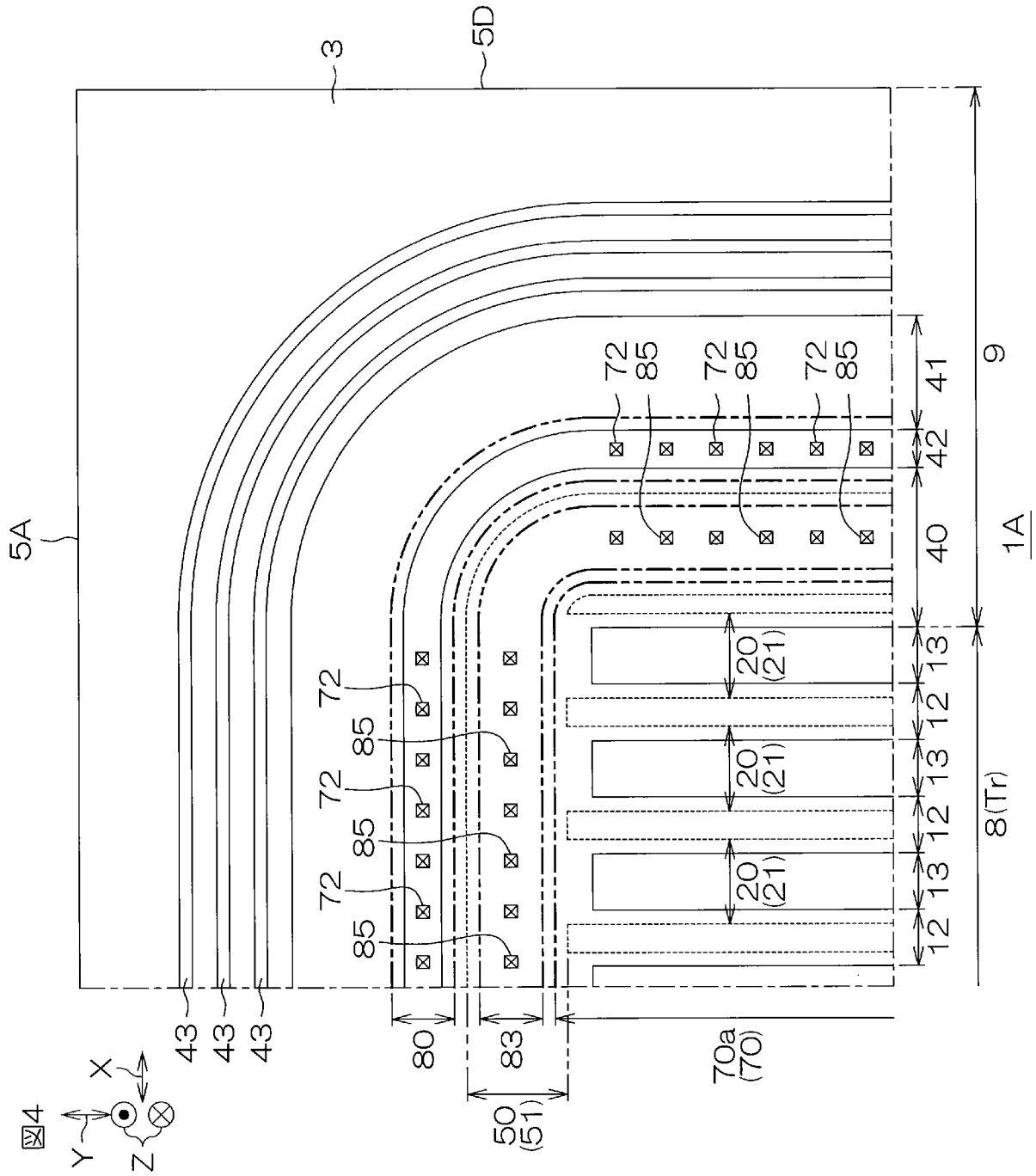
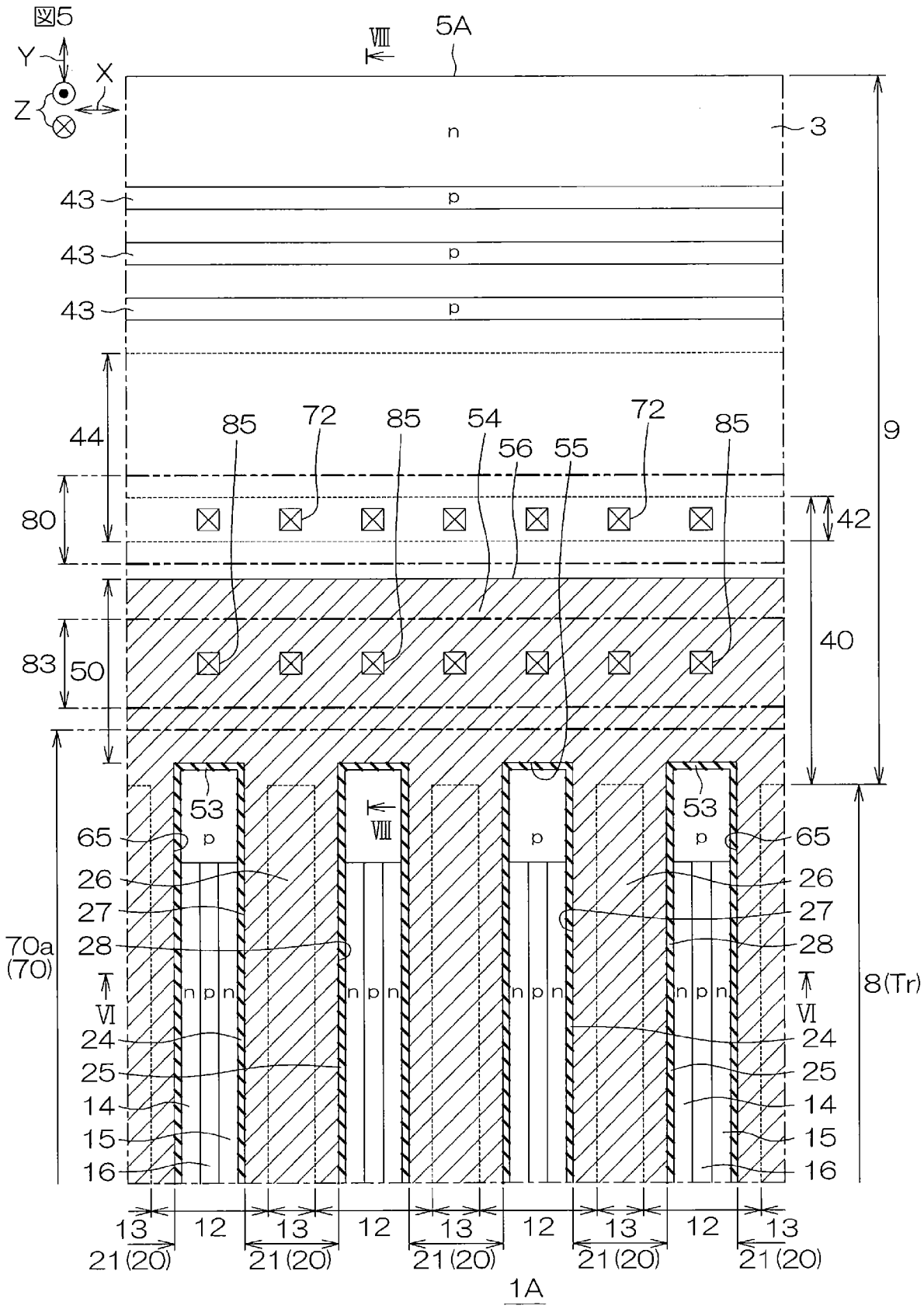


図4

[図5]


図5
Y
X
Z
Ⅷ
5A
n
3
43
p
43
p
43
p
44
85
72
85
54
56
55
72
85
9
80
42
40
83
50
53
p
Ⅷ
p
53
p
65
26
27
28
70a
(70)
n p n
n p n
n p n
n p n
Ⅵ
Ⅵ
8(Tr)
24
25
14
15
16
13
12
13
12
13
12
13
12
13
21(20)
21(20)
21(20)
21(20)
21(20)
1A

[図6]

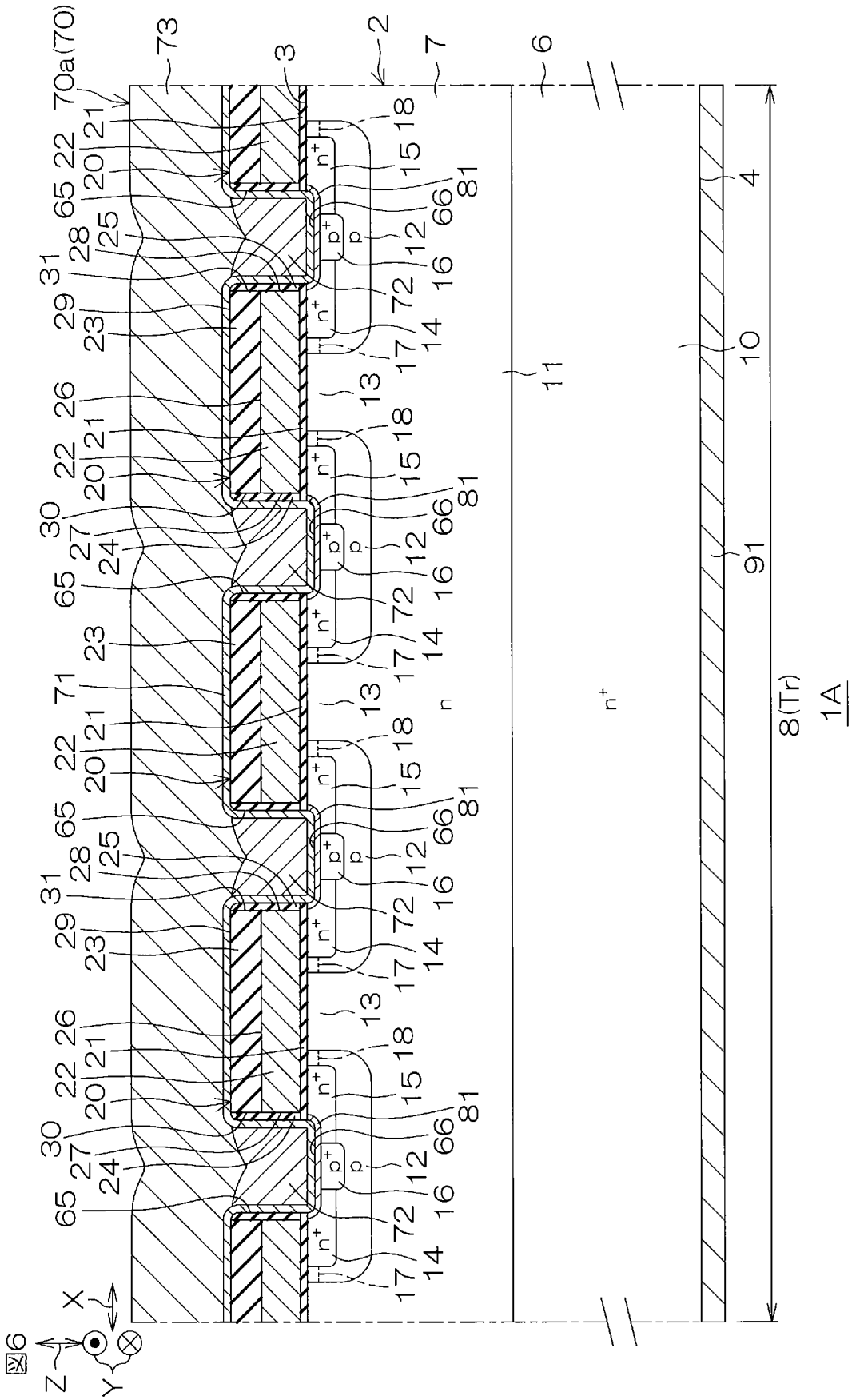


図6

[図7]

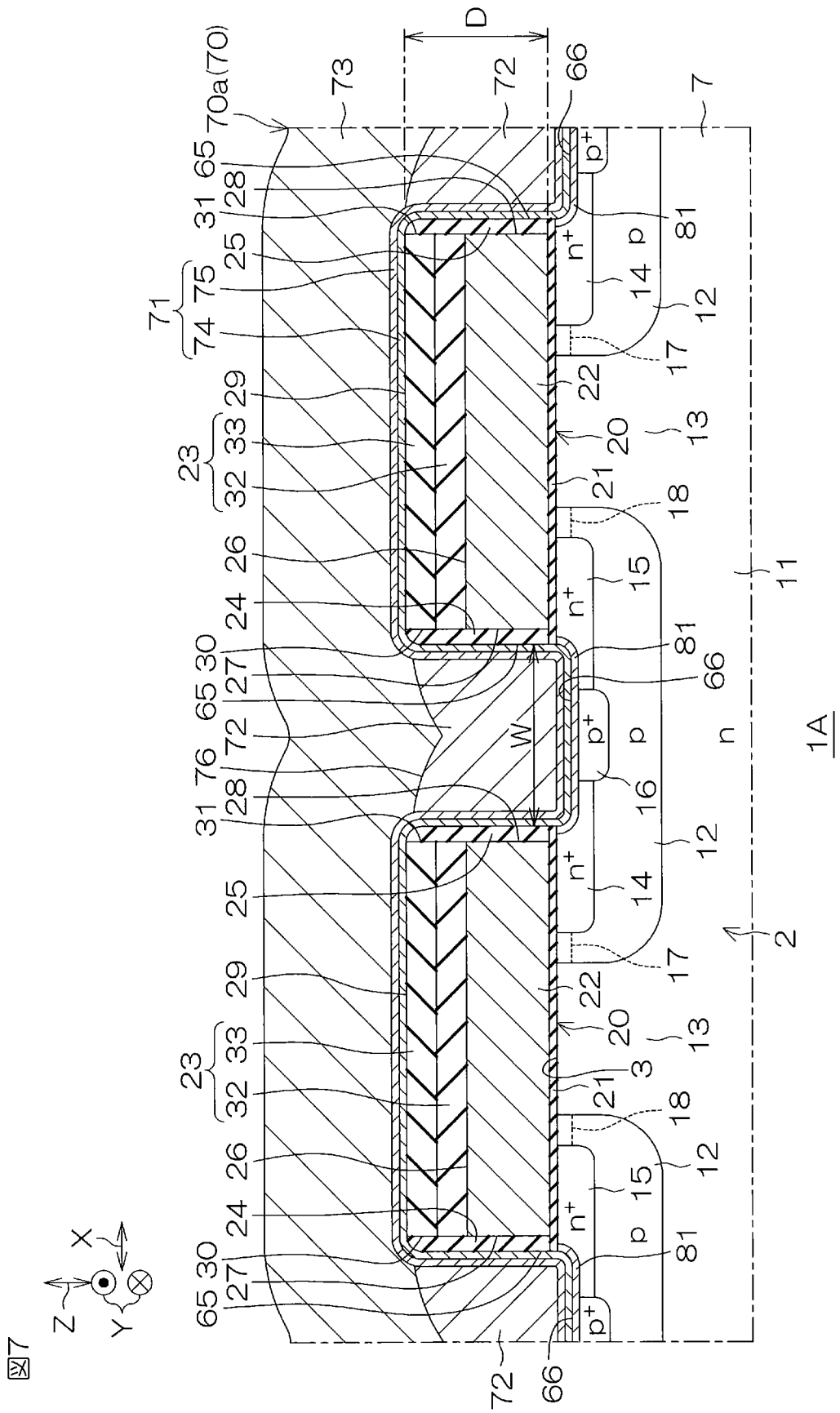

D
W
70a(70)
73
72
66
7
71
74
75
65
31
28
25
29
23
33
32
26
24
30
27
76
72
65
31
28
25
29
23
33
32
26
24
30
27
65
72
66
p+
n+
p
n
81
14
12
17
22
20
13
21
18
15
16
11
2
3
1A
X
Y
Z

図7

[図8]

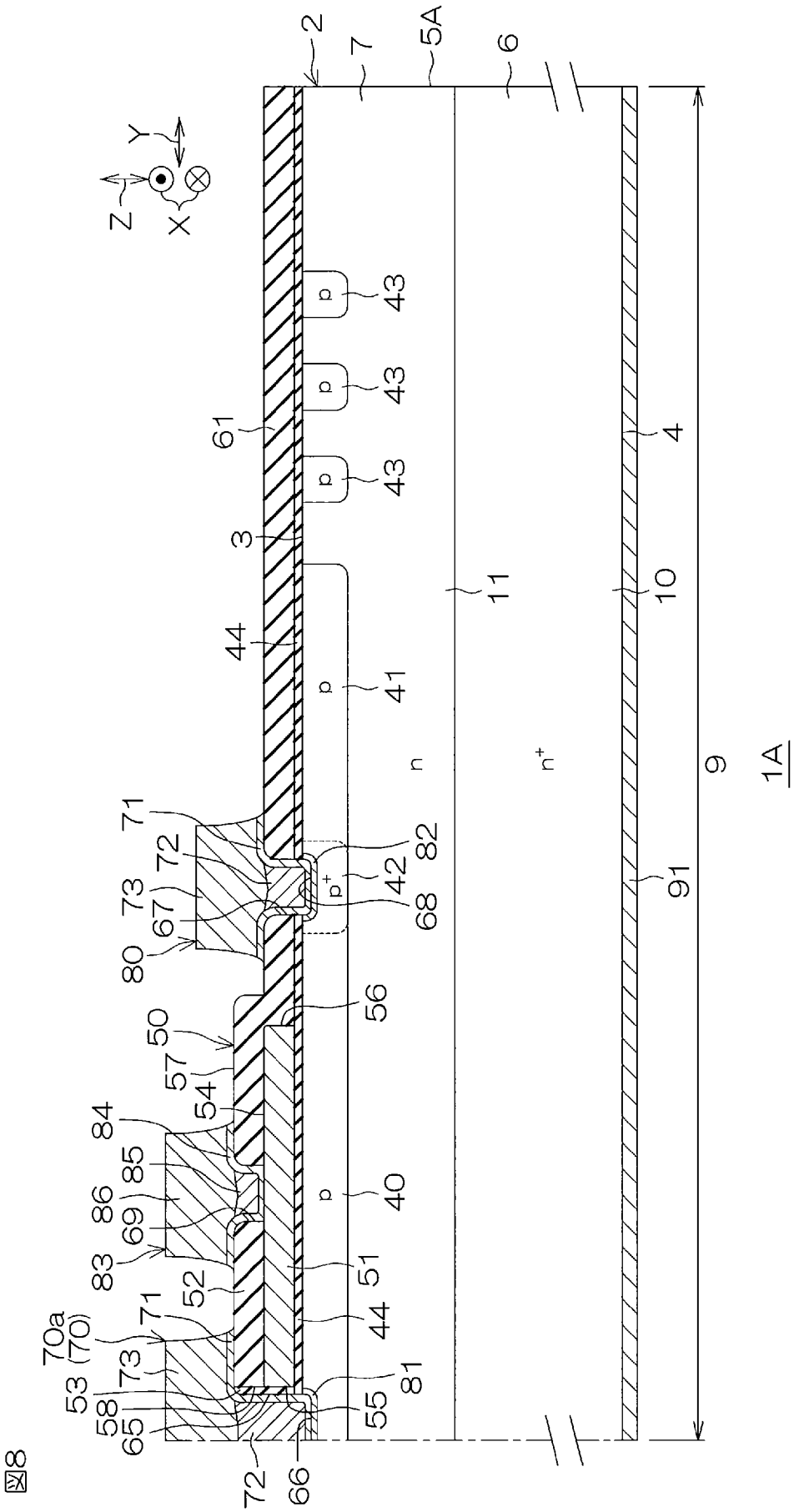

2
7
5A
6
Y
Z
X
43
61
4
3
11
10
44
41
n
n+
9
1A
71
72
82
42
73
67
68
91
80
56
50
57
54
84
85
86
69
83
40
51
52
71
70a
(70)
73
53
58
65
44
81
55
72
66

図8

[図9]

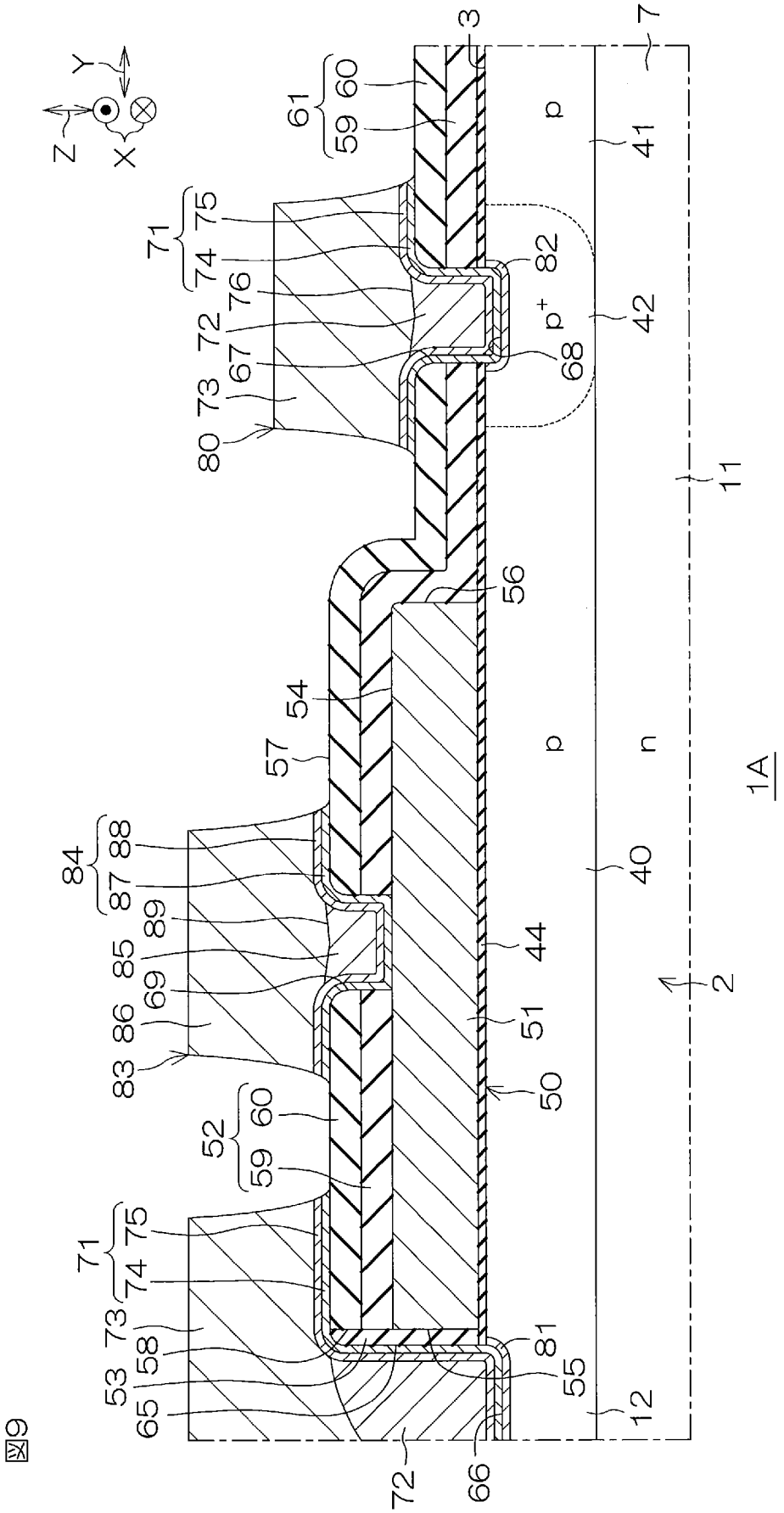

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
44
51
50
40
2
52
60
59
71
75
74
73
58
53
65
81
55
12
72
66

図9

[図10A]

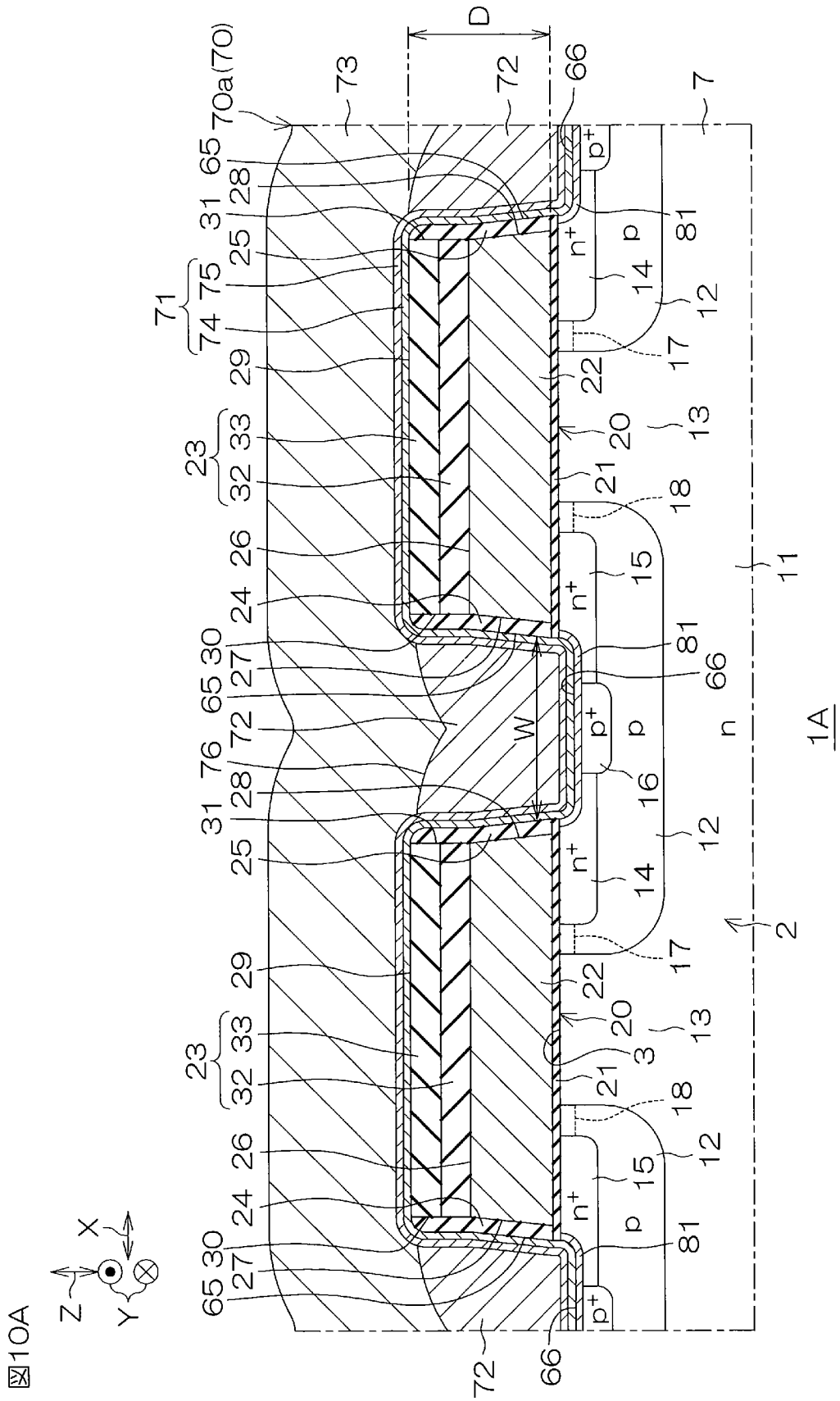

D
70a(70)
73
72
66
7
71
65
28
31
25
75
74
29
23
33
32
26
24
30
27
65
72
76
28
31
25
29
23
33
32
26
24
30
27
65
72
66
p+
n+
p
81
14
12
17
22
20
13
21
18
15
11
W
16
n
2
3
1A
X
Z
Y

図10A

[図10B]

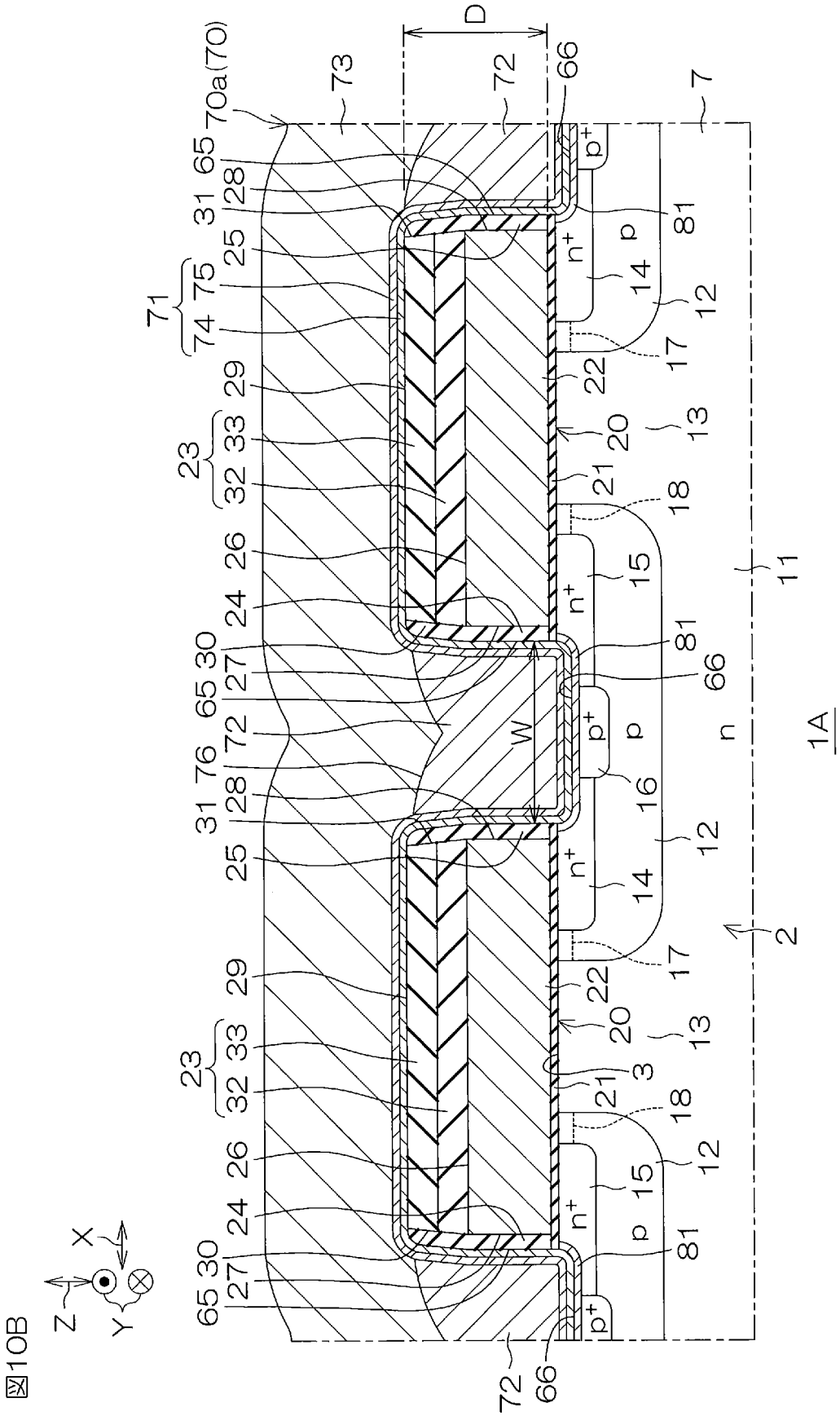

D
W
70a(70)
73
72
66
7
71
74
75
65
31
28
25
23
32
33
29
26
24
30
27
76
p+
n+
p
n
81
14
12
17
22
20
13
21
18
15
16
11
2
3
1A
X
Y
Z

図10B

[図10C]

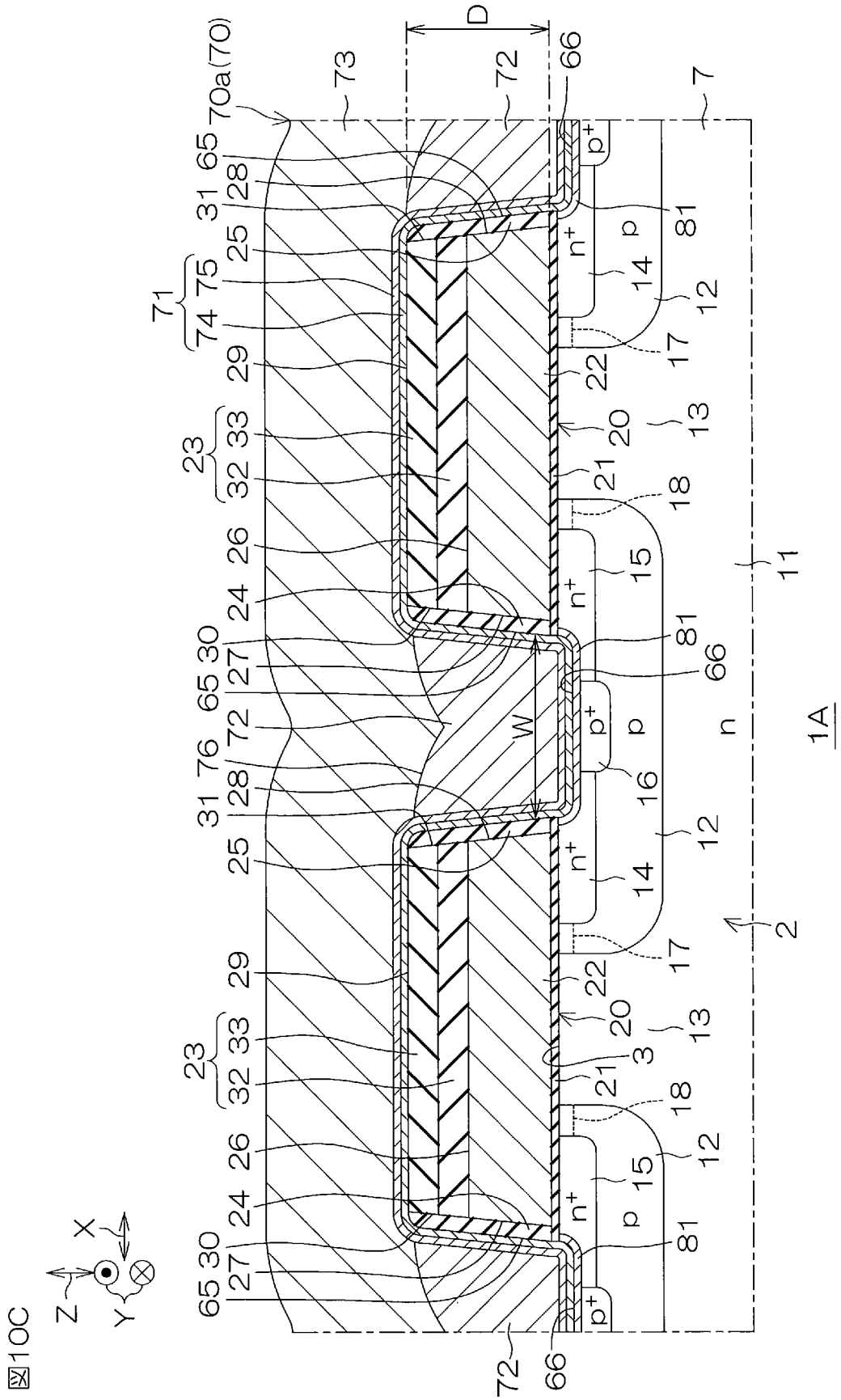

D
W
70a(70)
73
72
66
7
71
74
75
65
31
28
25
29
23
32
33
26
24
30
27
76
16
12
14
17
22
20
13
21
18
15
81
3
11
2
1A
n
p
n+
p+
X
Y
Z

図10C

[図10D]

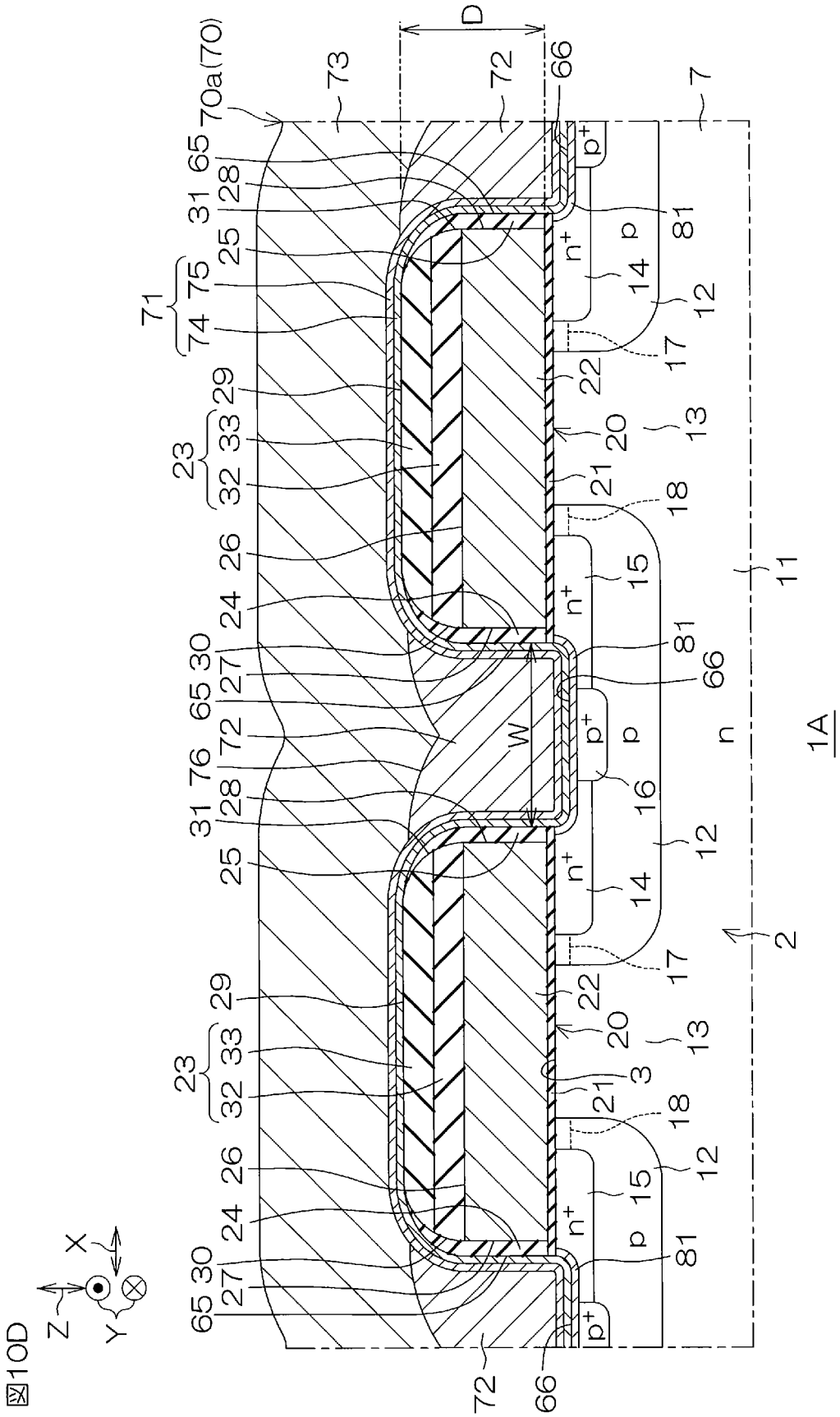

D
70a(70)
73
72
66
7
71
74
75
25
31
65
28
27
30
24
26
23
32
33
29
W
p+
n+
p
n
81
14
12
17
22
20
13
21
18
15
16
11
2
3
1A
X
Y
Z

図10D

[図10E]

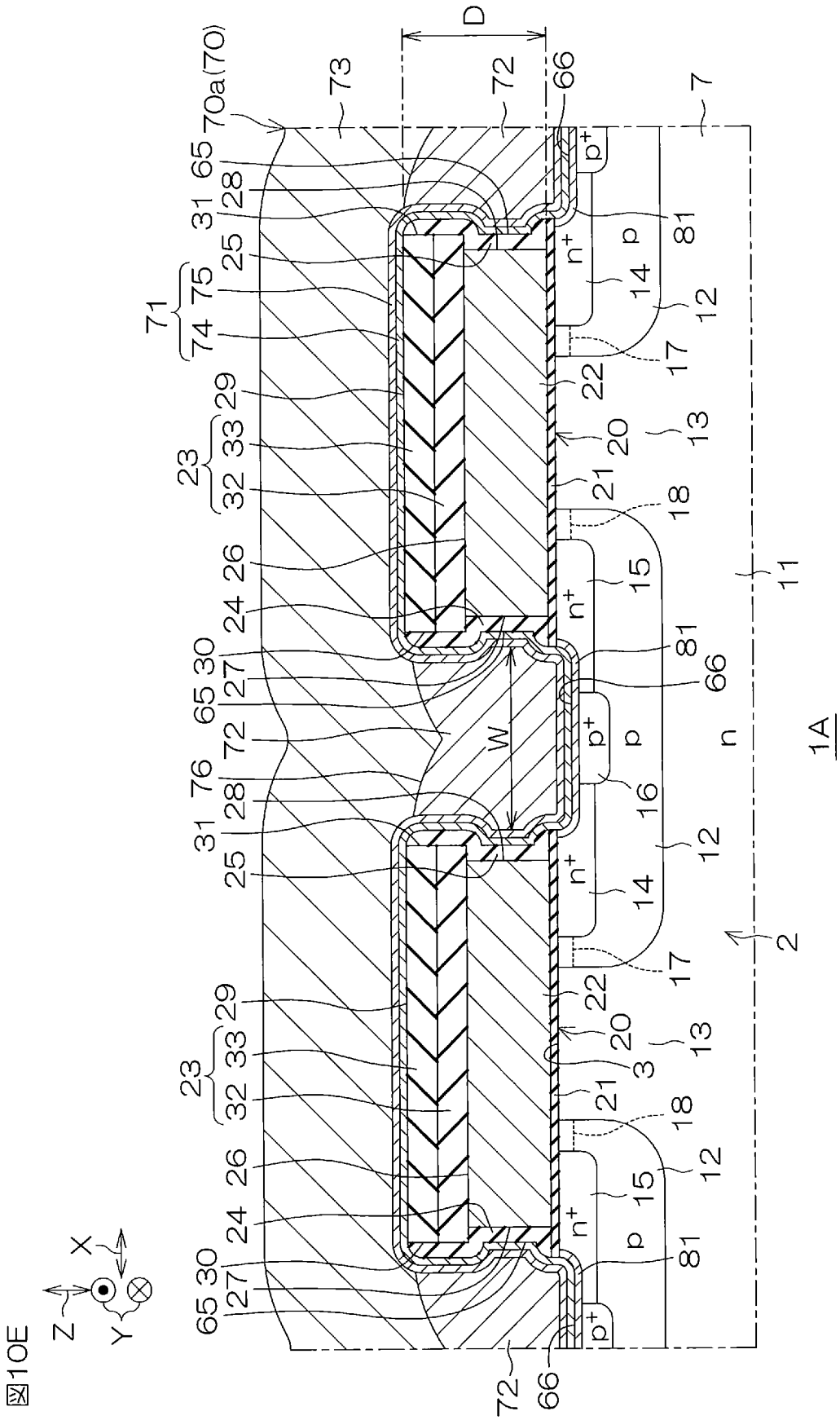

D
W
70a(70)
73
72
66
7
71
74
75
25
31
65
28
29
23
33
32
26
24
30
27
76
81
p+
n+
p
n
12
13
14
15
16
17
18
20
21
22
11
2
3
1A
X
Y
Z

図10E

[図10F]

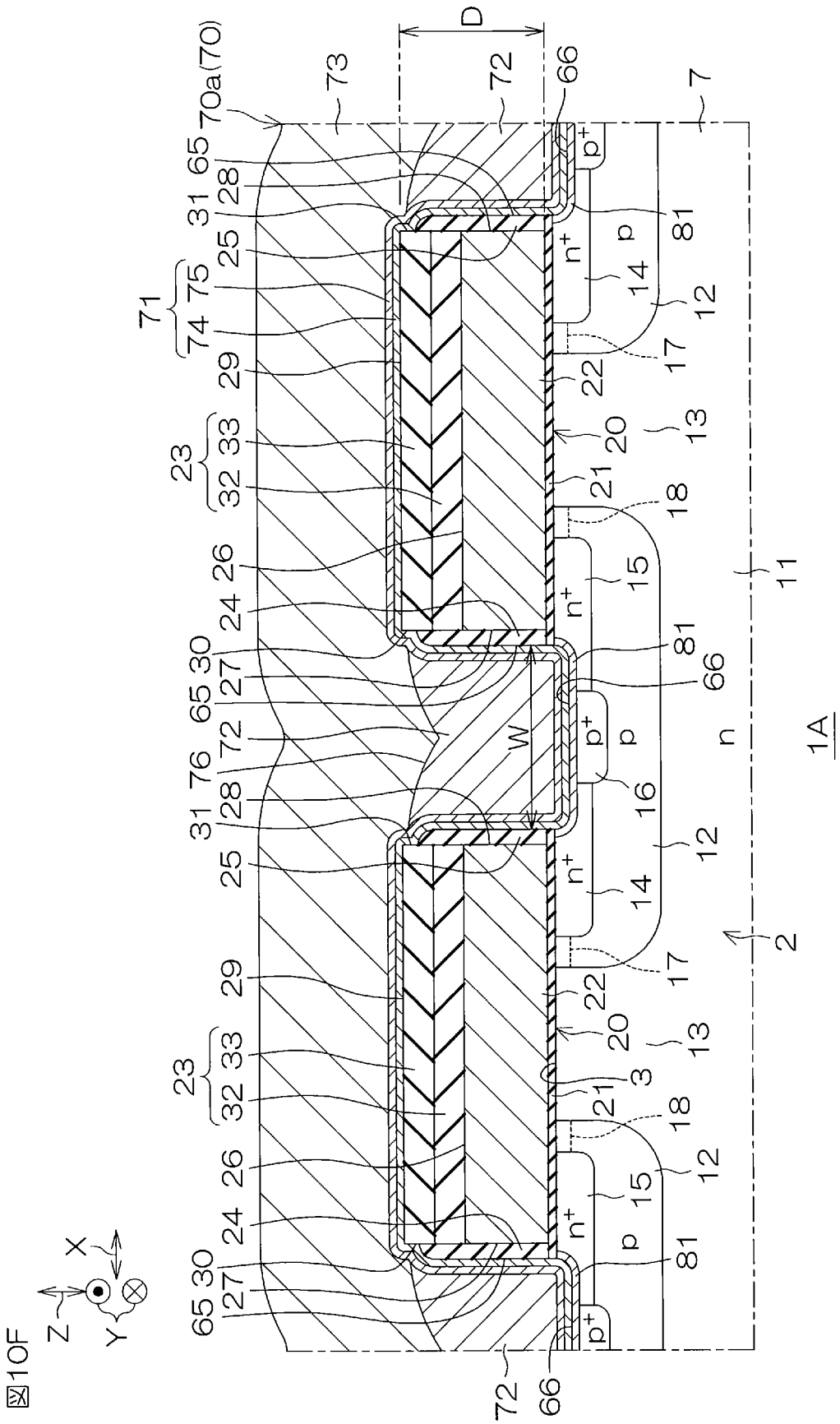

D
70a(70)
73
72
66
7
65
31
28
25
71
75
74
29
23
33
32
26
24
30
27
76
W
81
p+
n+
p
14
12
17
22
20
13
21
18
15
16
11
n
1A
2
3
X
Y
Z

図10F

[図10G]

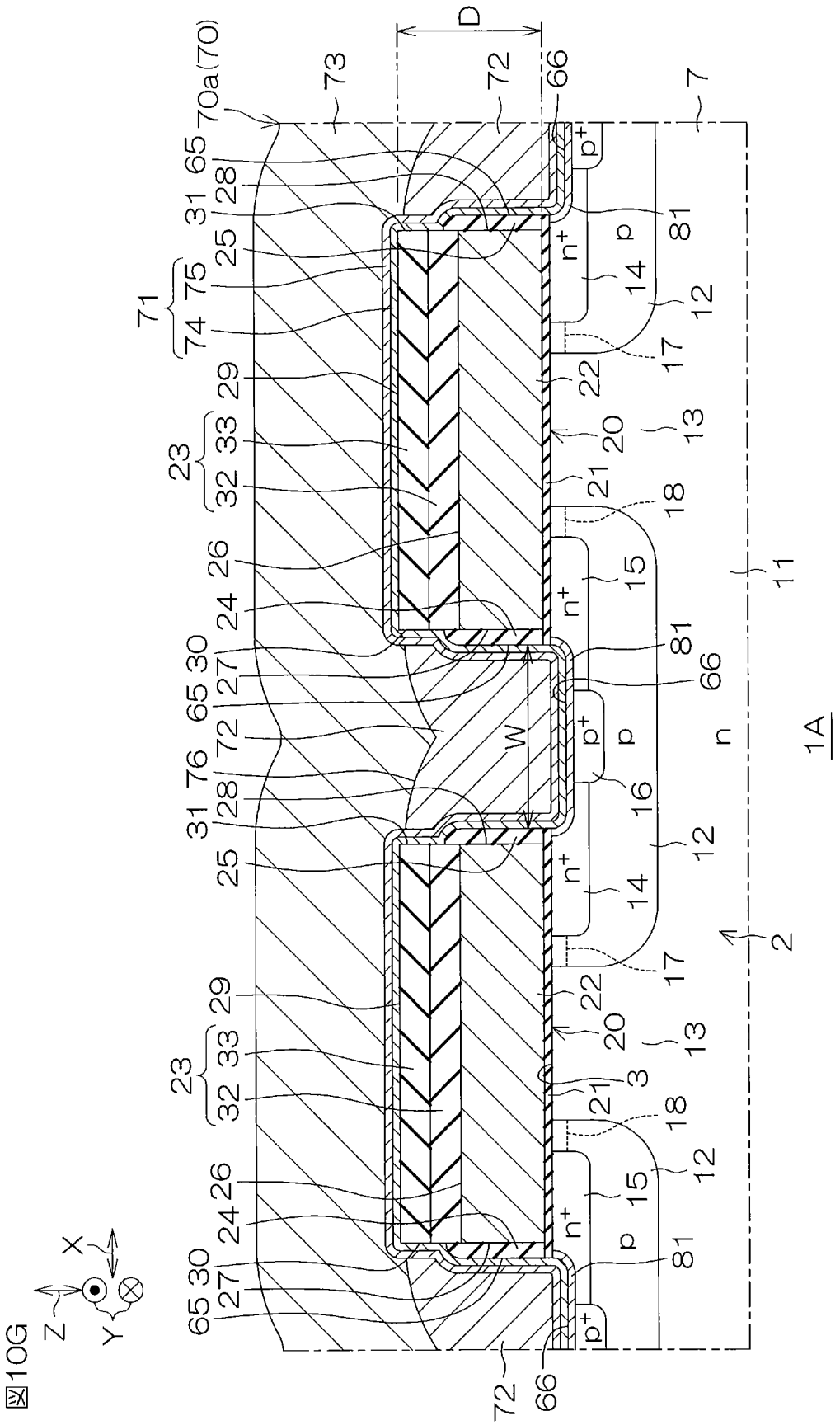

D
W
70a(70)
73
72
66
7
71
75
74
65
31
28
25
29
23
33
32
26
24
30
27
76
72
81
p+
n+
p
n
14
12
17
22
20
13
21
18
15
16
3
11
2
1A
X
Y
Z

図10G

[図10H]

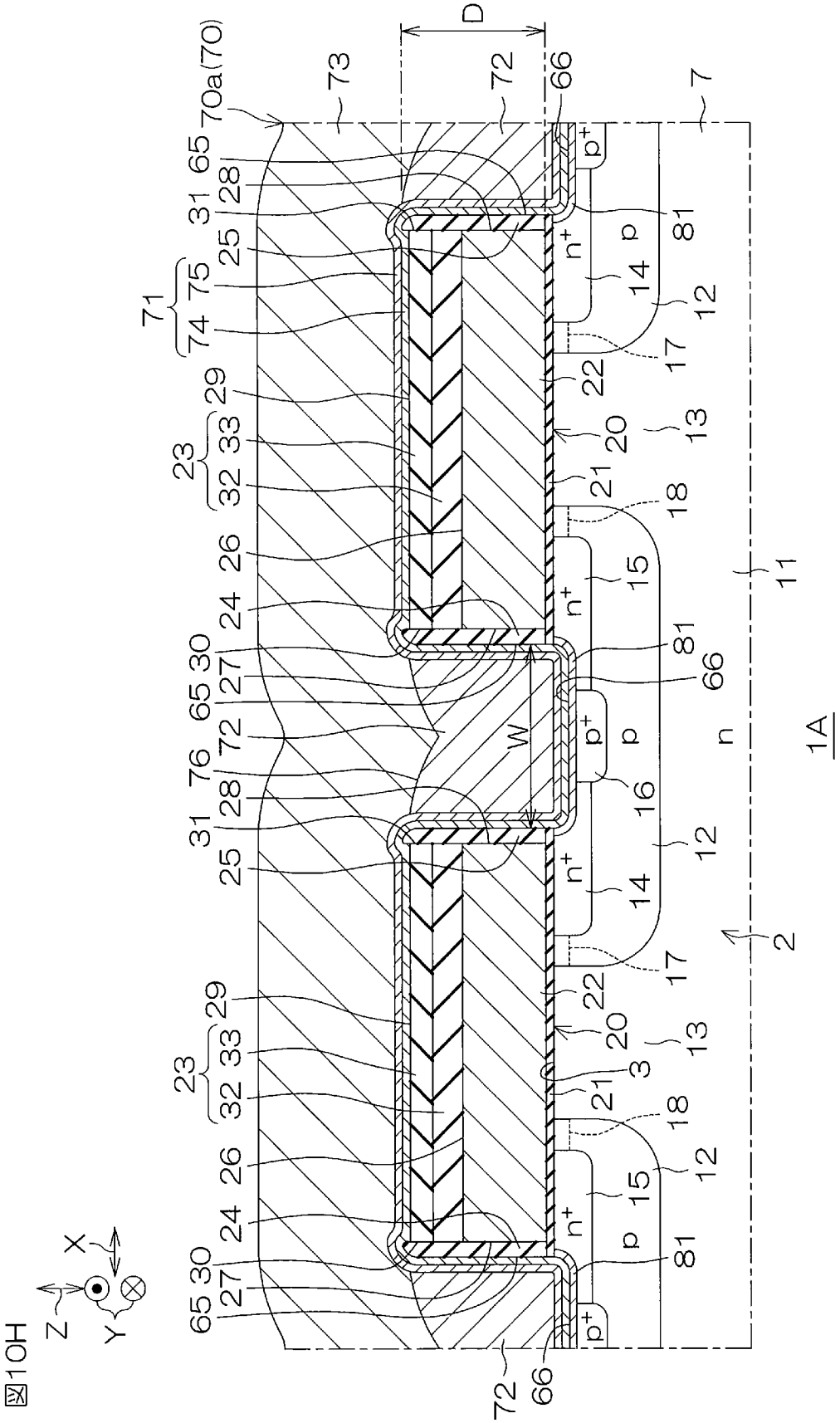

D
W
70a(70)
73
72
66
7
71
74
75
65
31
28
25
23
32
33
29
26
24
30
27
76
72
81
n+
p+
p
n
11
12
13
14
15
16
17
18
20
21
22
2
3
1A
X
Y
Z

図10H

[図10I]

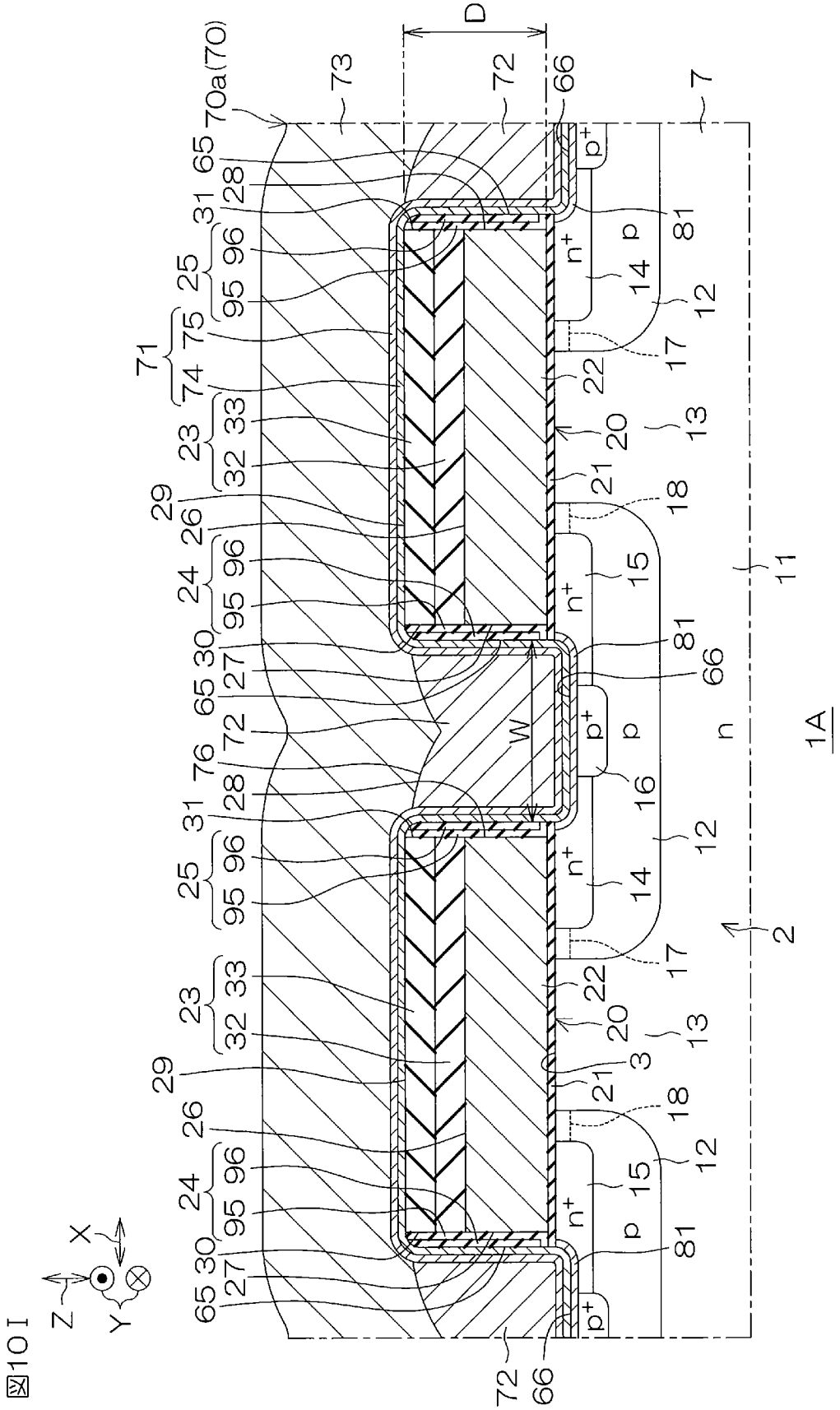

D
W
70a(70)
73
72
66
7
71
65
28
31
96
25
95
75
74
33
23
32
29
26
24
30
27
76
16
12
14
17
22
20
13
21
18
15
11
81
n+
p+
p
n
2
3
1A
X
Y
Z

図10I

[図10J]

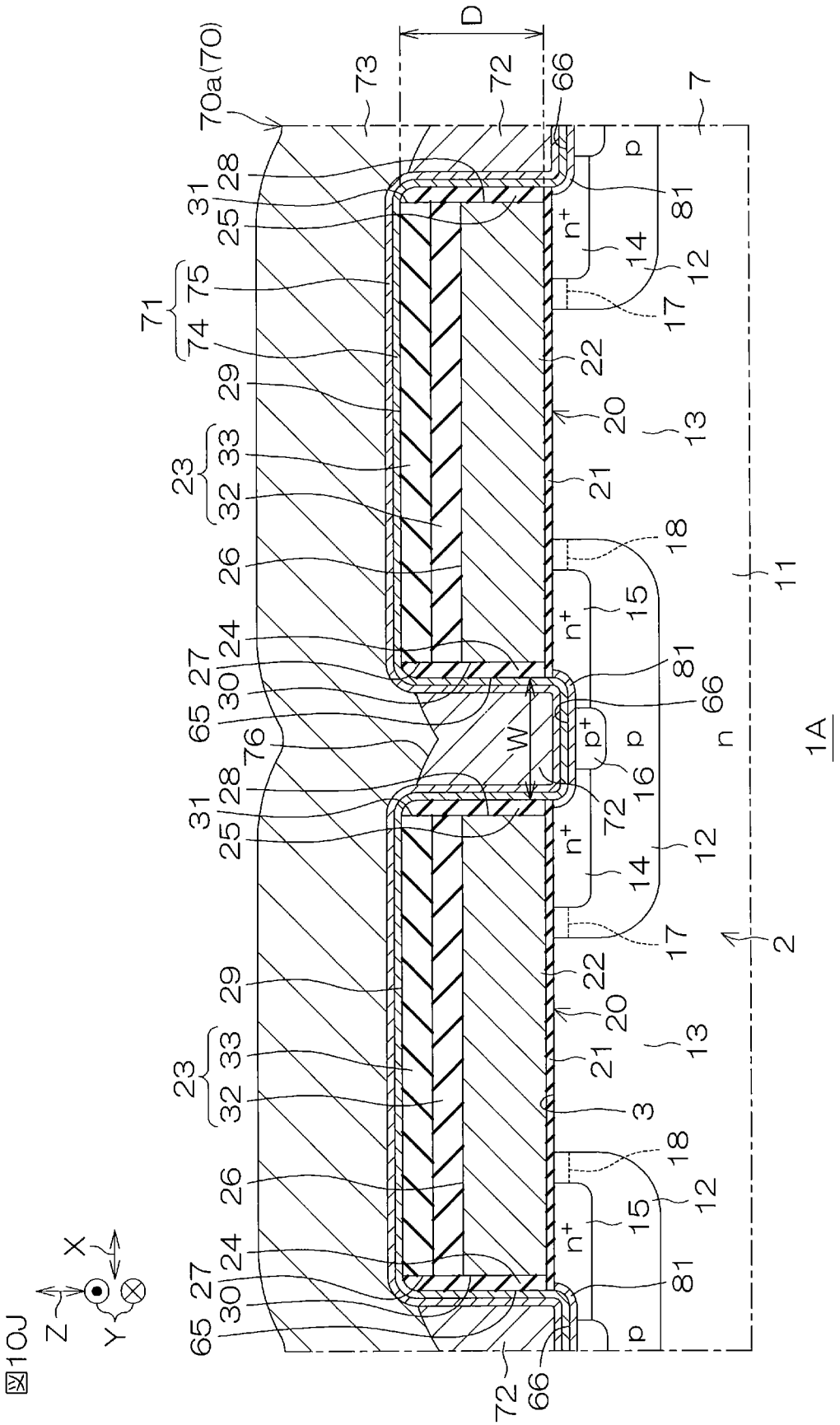

D
W
70a(70)
73
72
66
7
71
74
75
23
32
33
25
28
31
26
27
24
30
65
76
29
22
20
21
13
18
15
12
14
17
11
2
3
1A
n
p
n+
p+
X
Y
Z

図10J

[図11A]

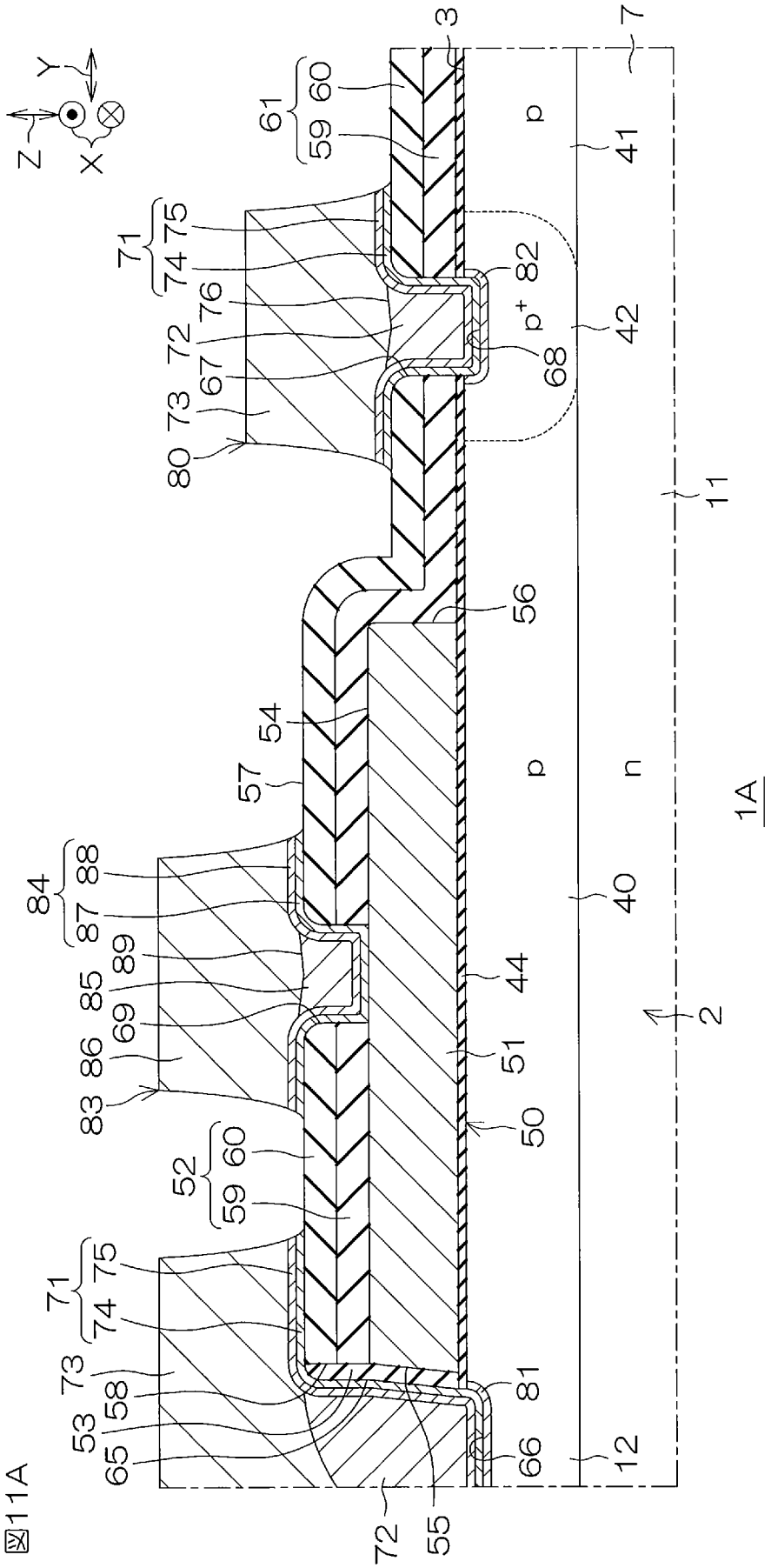

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
51
50
1
2
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11A

[図11B]

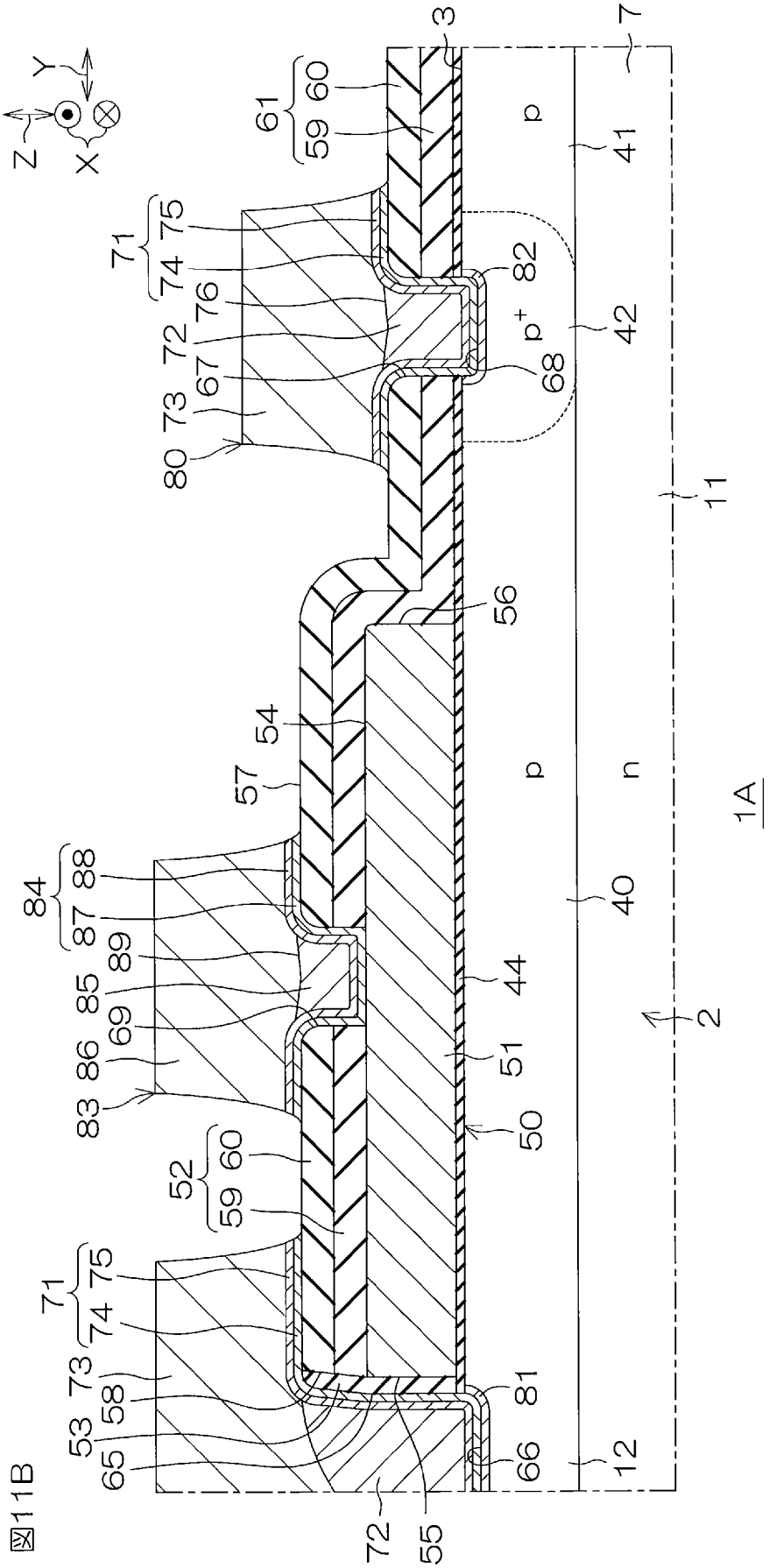

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
51
50
2
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11B

[図11C]

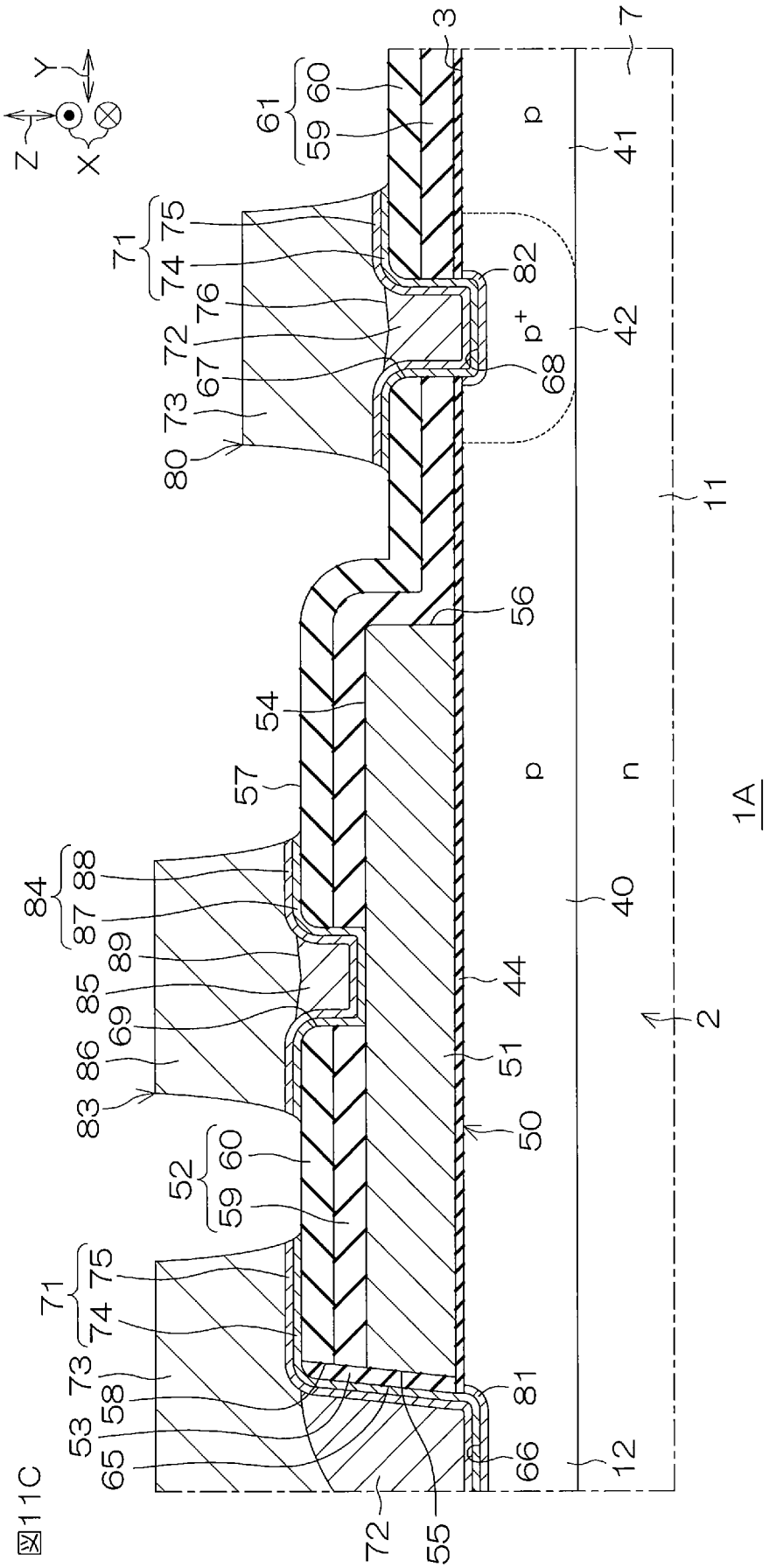

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
2
1
51
50
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11C

[図11D]

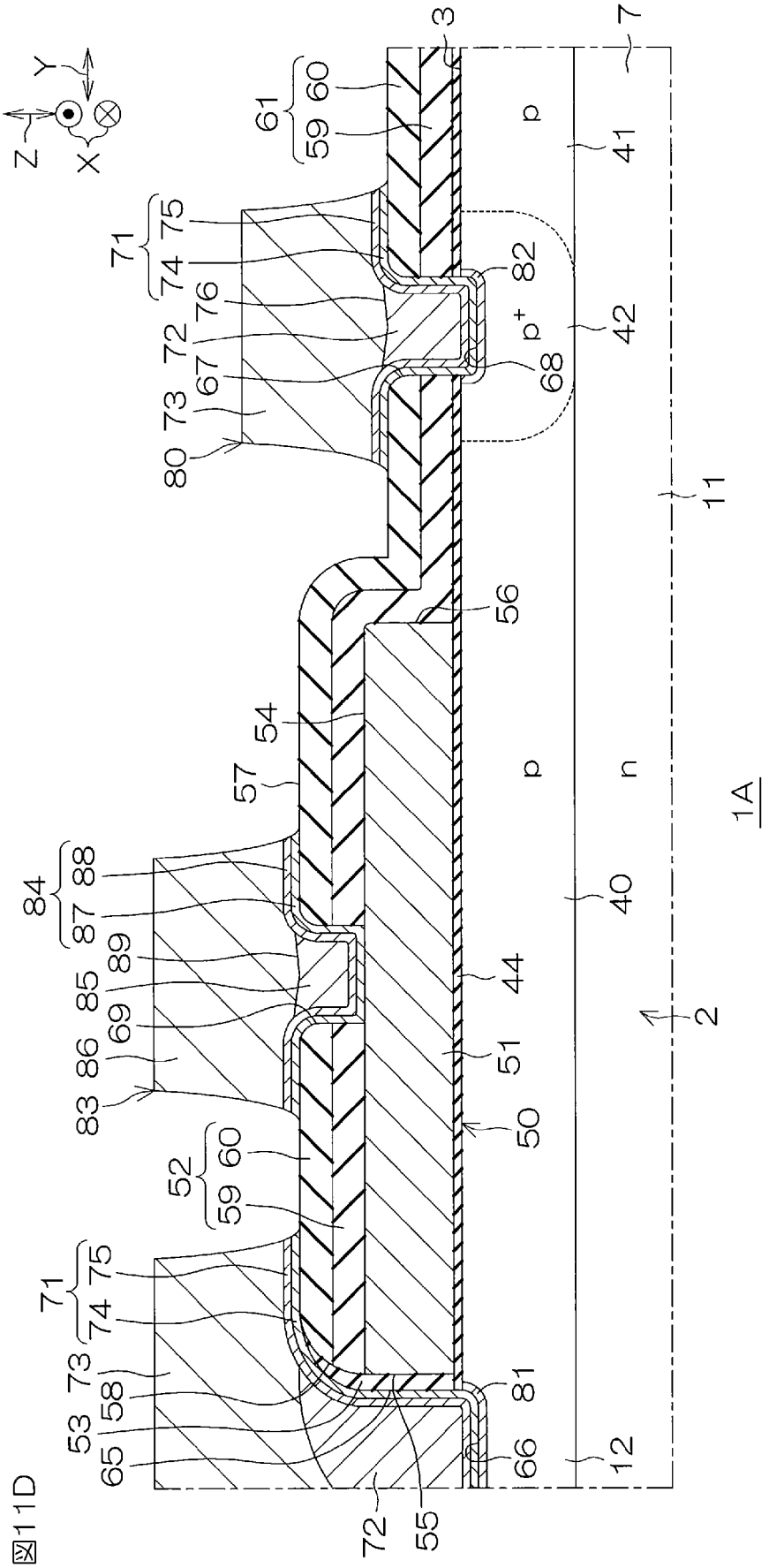

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
44
51
50
40
2
1
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11D

[図11E]

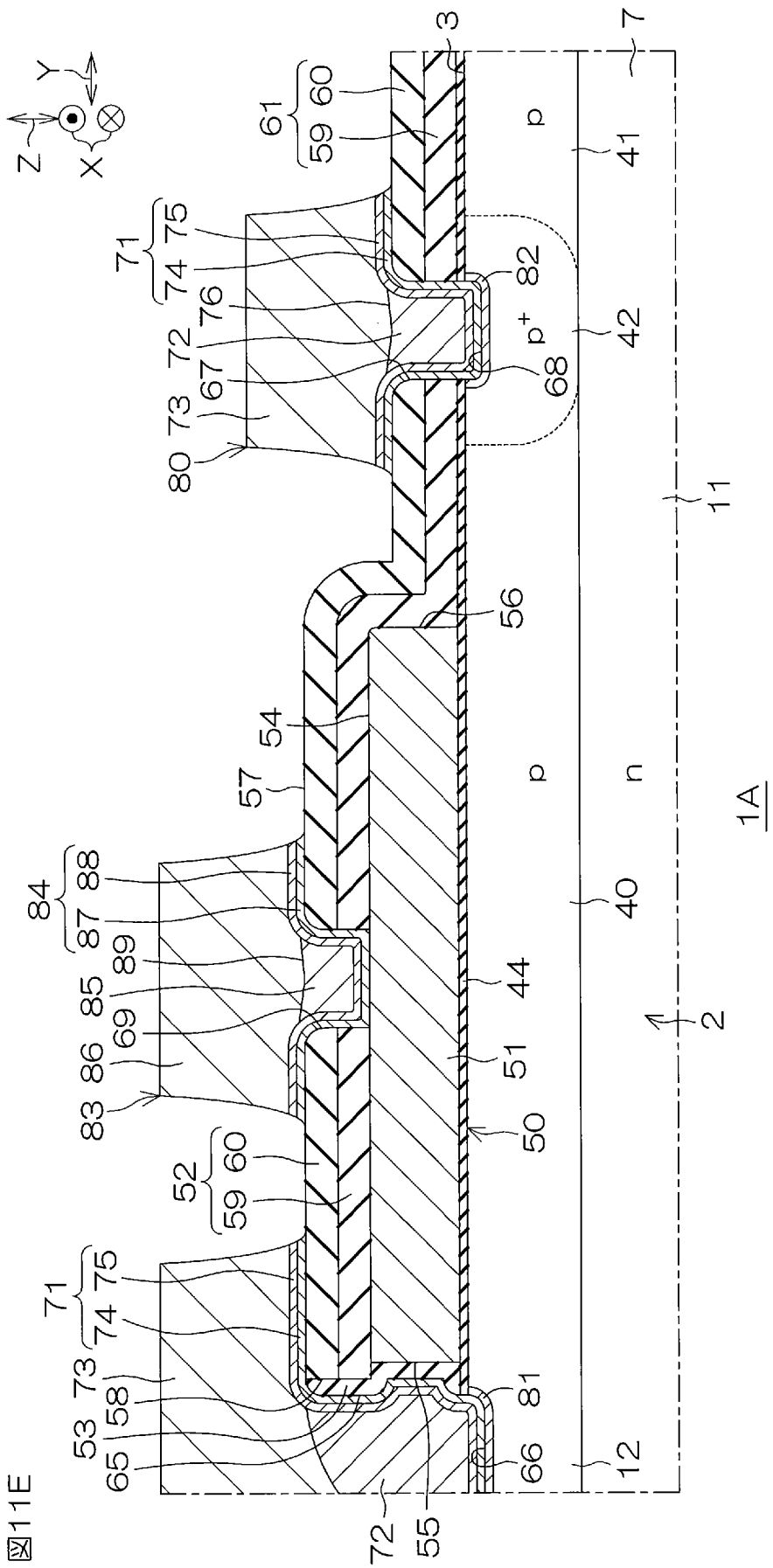

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
44
51
50
40
2
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11E

[図11F]

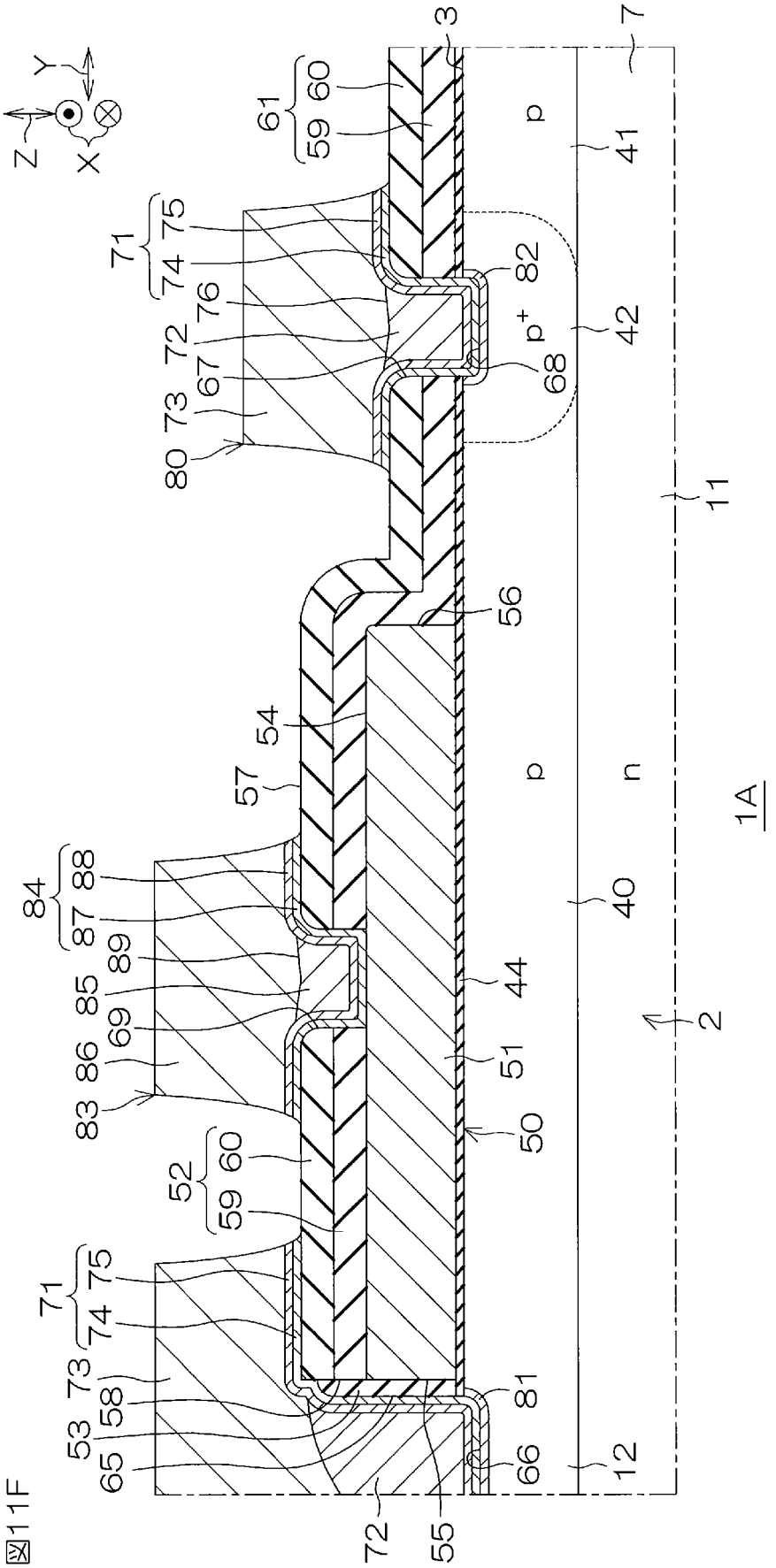

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
2
51
50
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11F

[図11G]

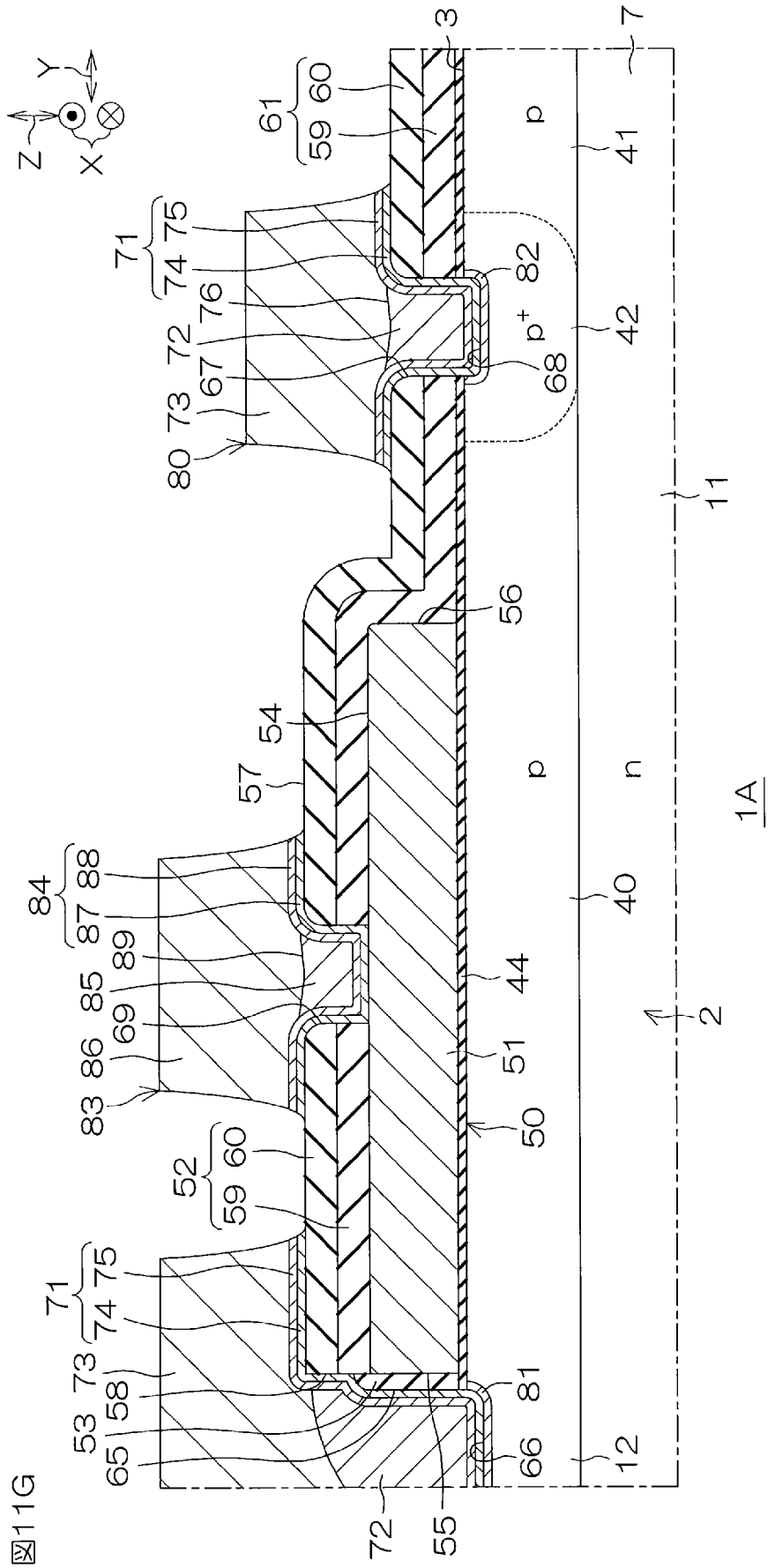

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
51
50
2
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11G

[図11H]

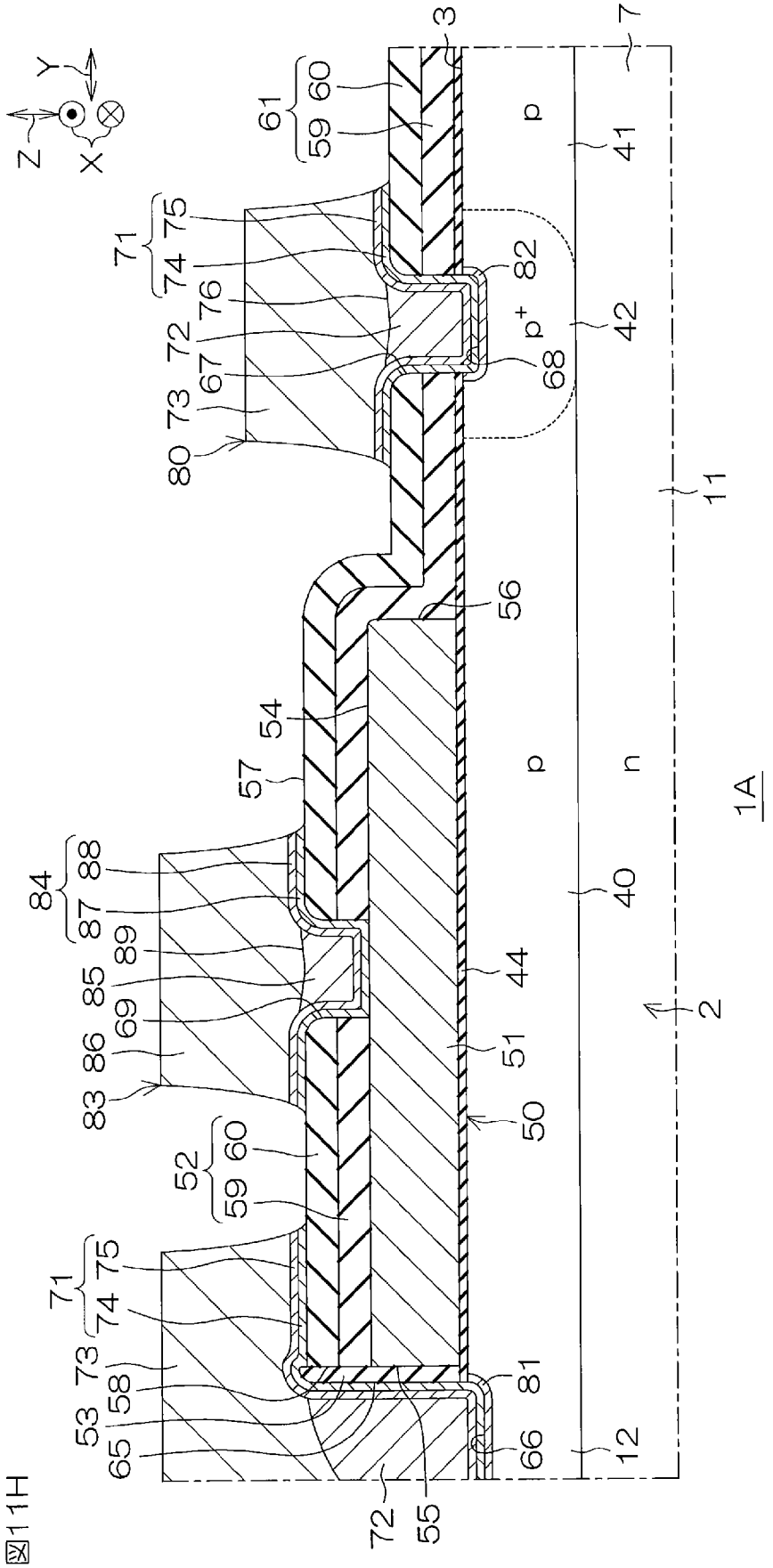

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
51
50
2
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図11H

[図11I]

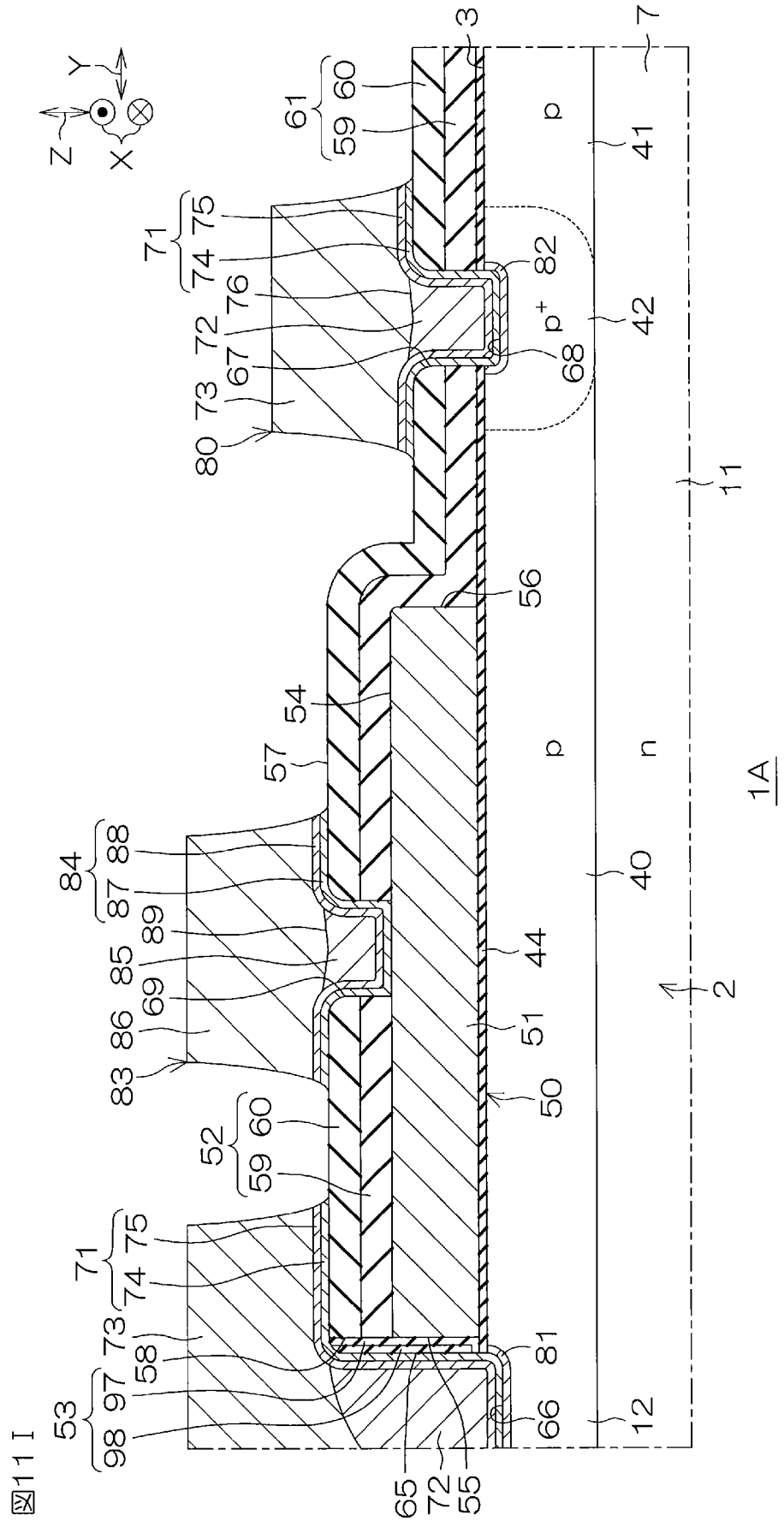
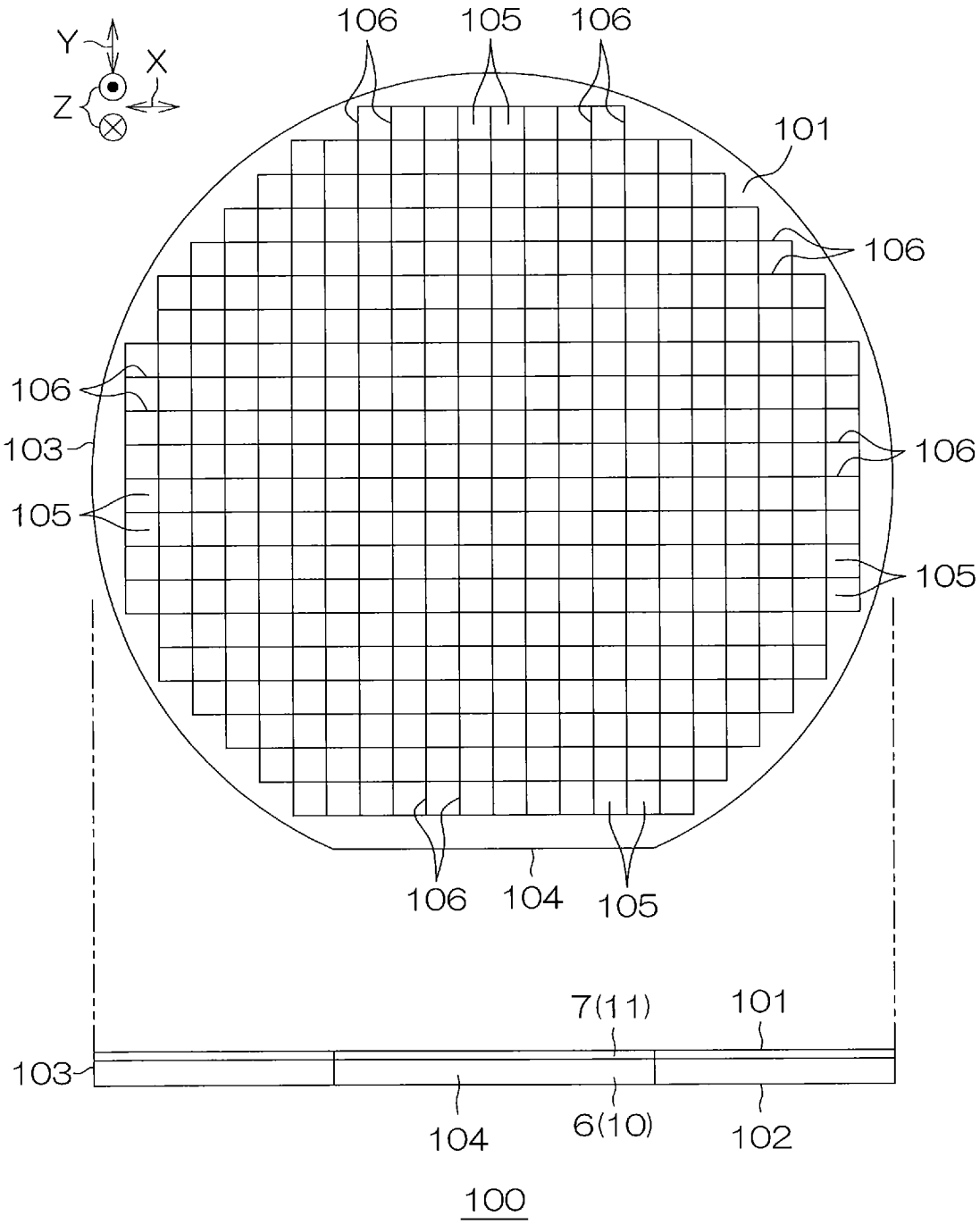

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p^+
42
68
11
56
54
57
p
n
1A
84
88
87
89
85
69
86
83
40
44
51
50
2
52
60
59
71
75
74
73
58
53
97
98
81
66
12
65
72
55

図11I

[図12]

図12


Y
X
Z
106
105
106
101
106
106
103
105
106
105
106
104
105
7(11)
101
103
104
6(10)
102
100

[図13A]

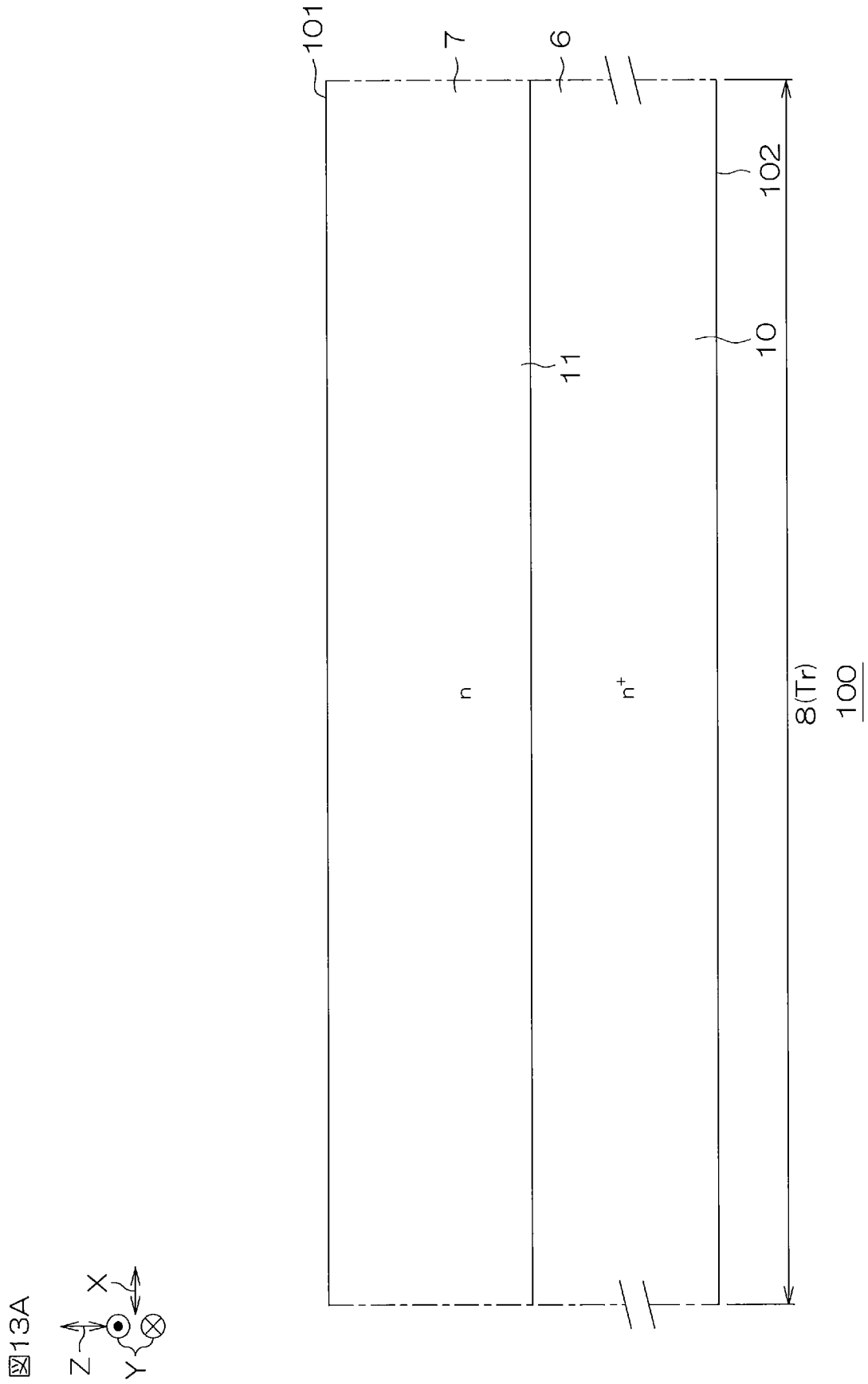


図13A

[図13B]

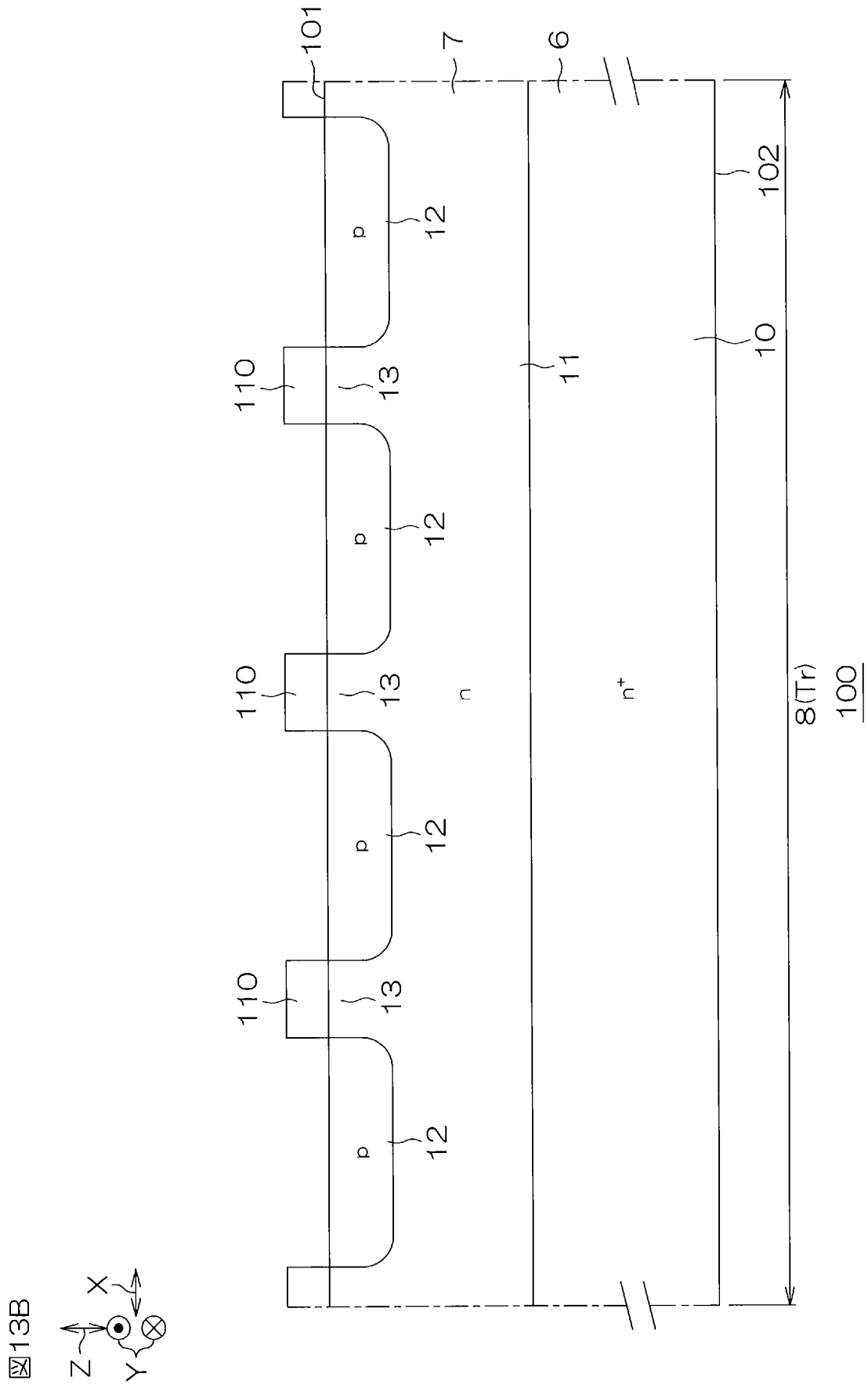


図13B

[図13C]

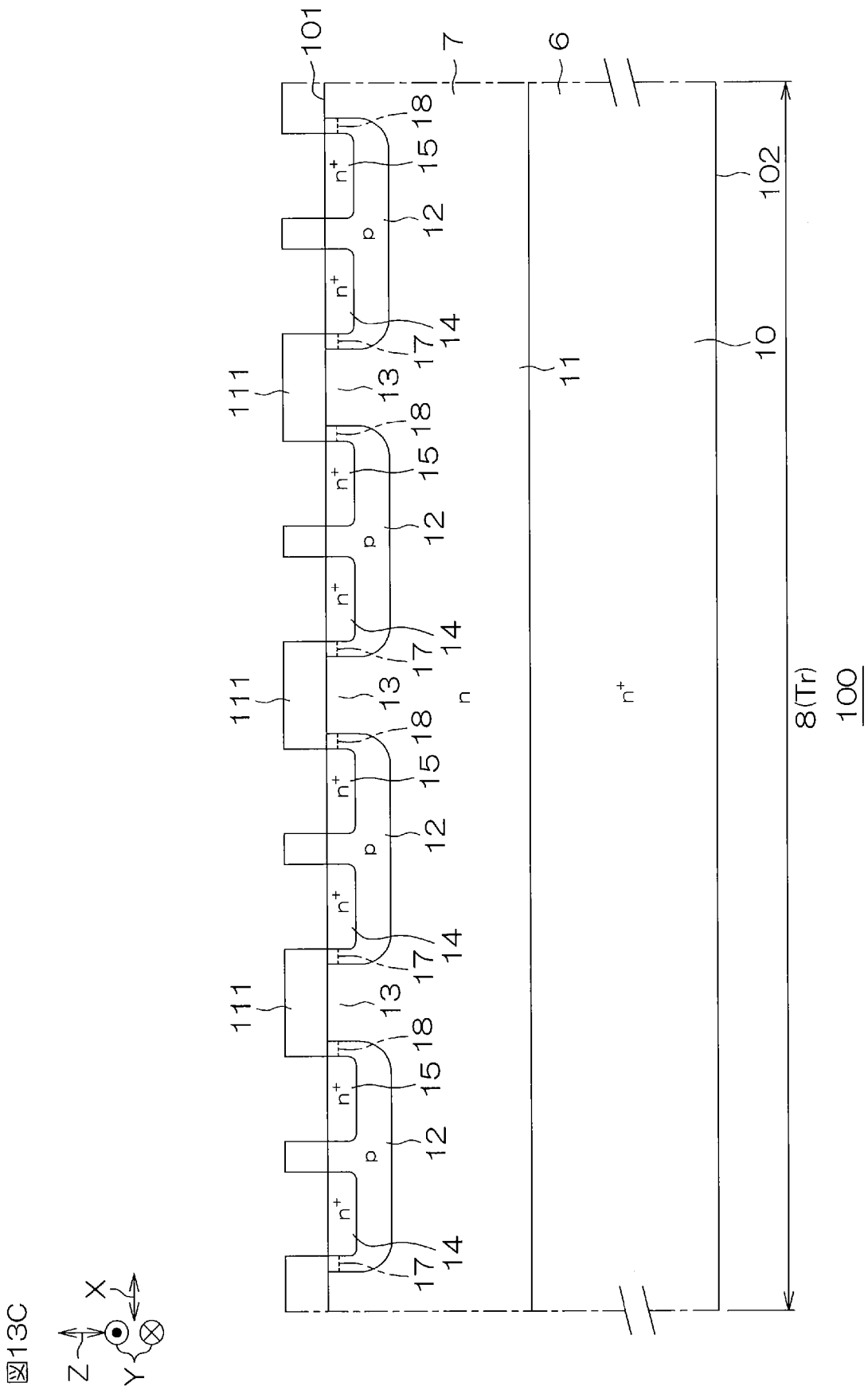


図13C

[図13D]

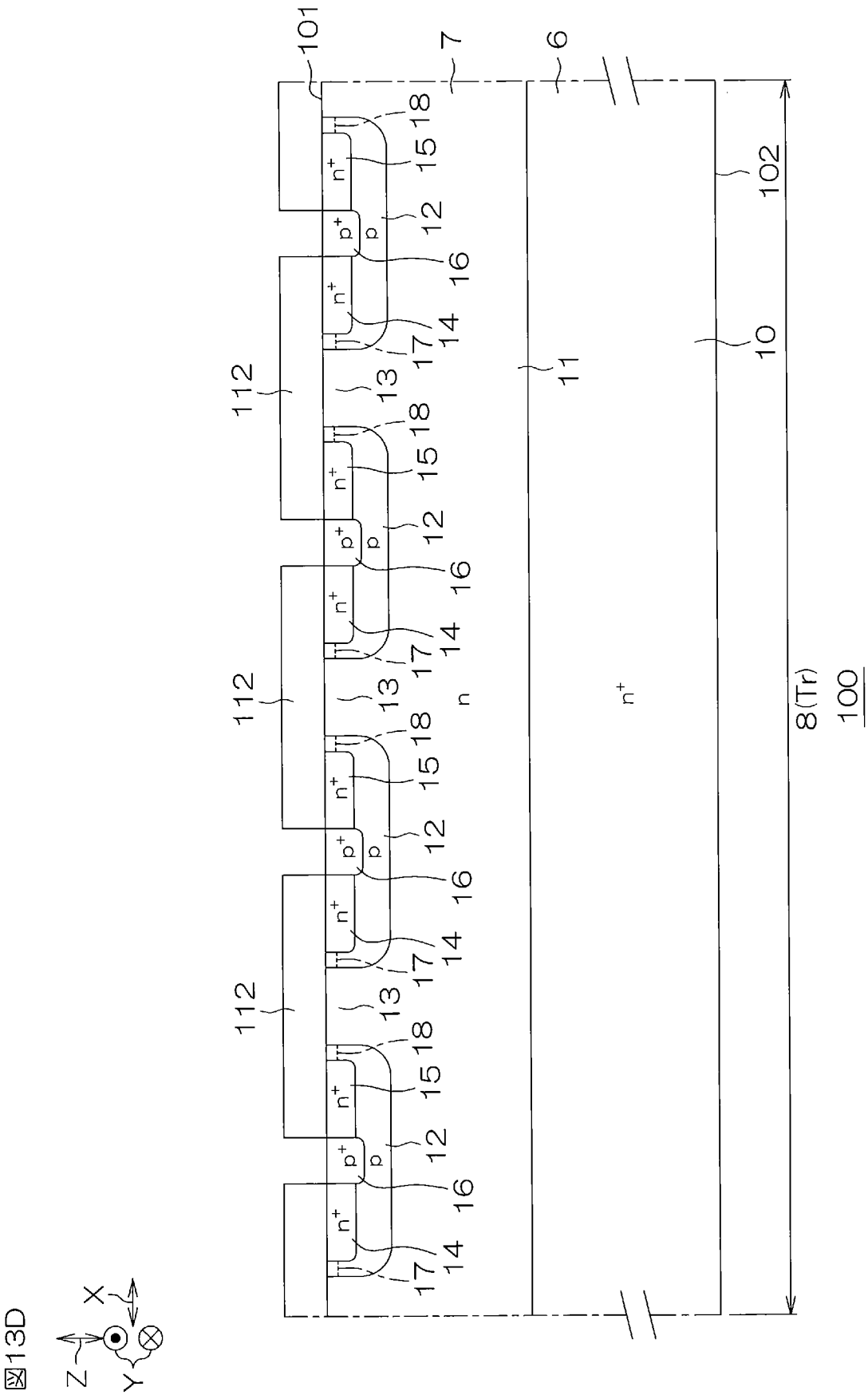


図13D

[図13E]

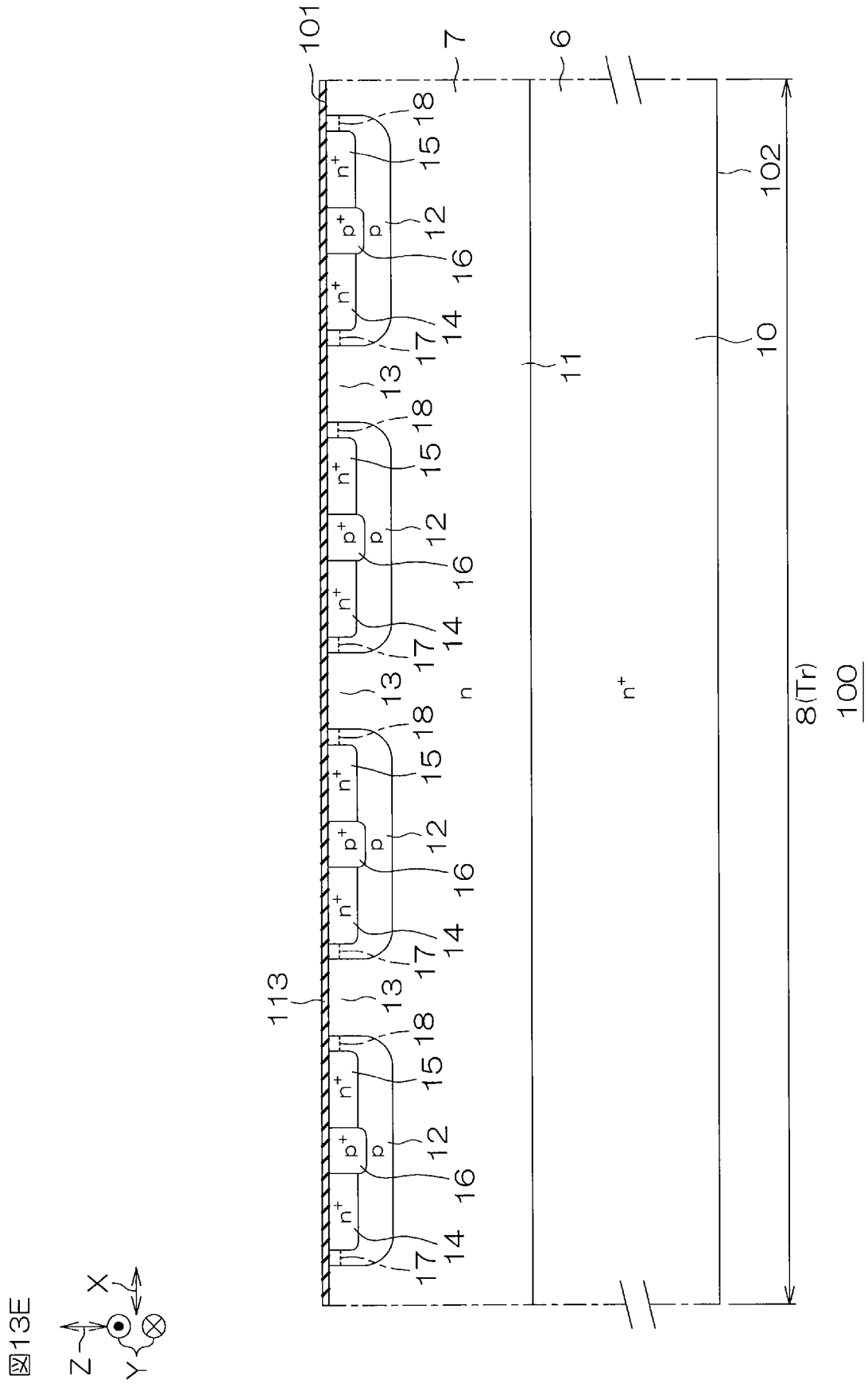


図13E

[図13F]

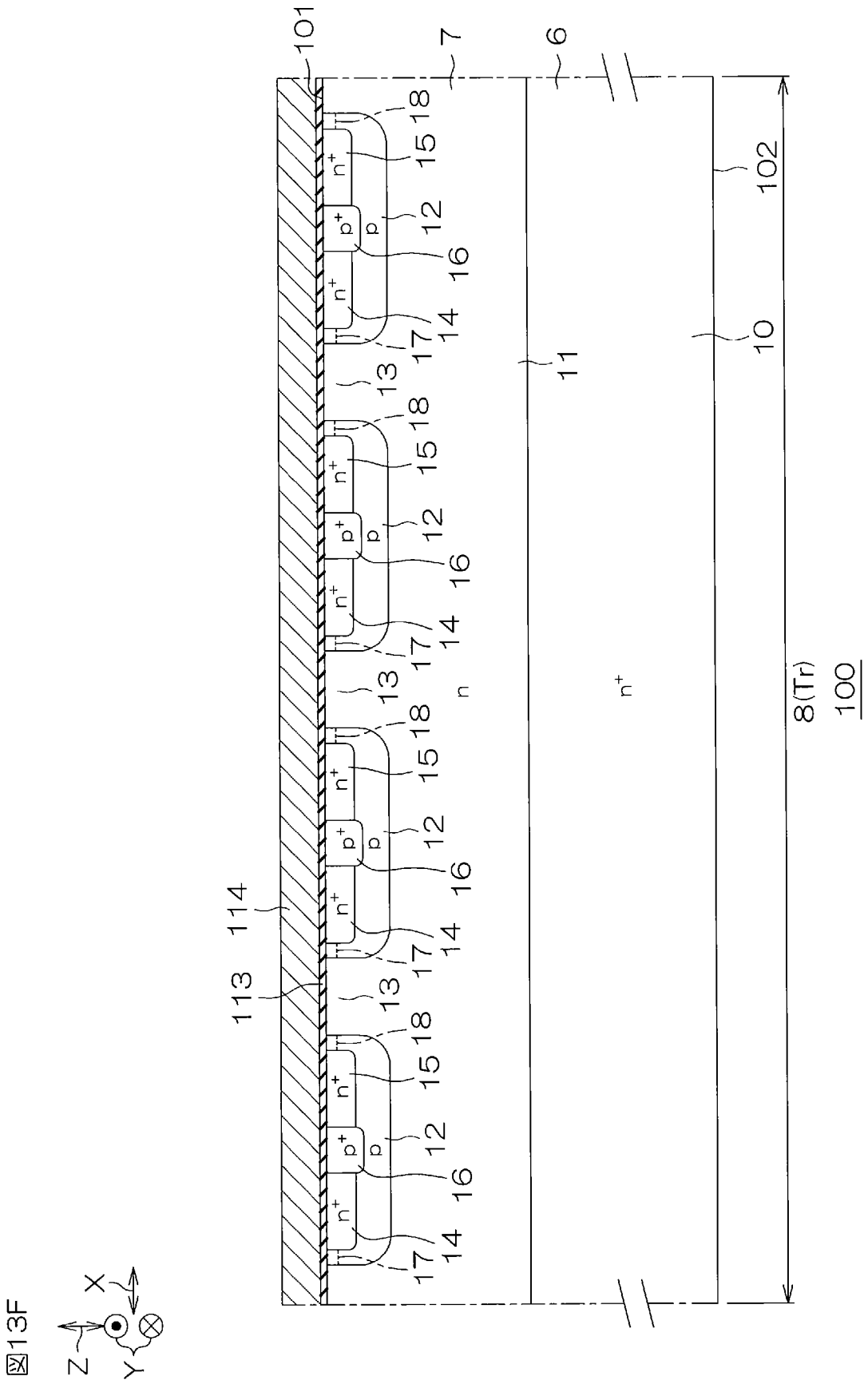


図13F

[図13G]

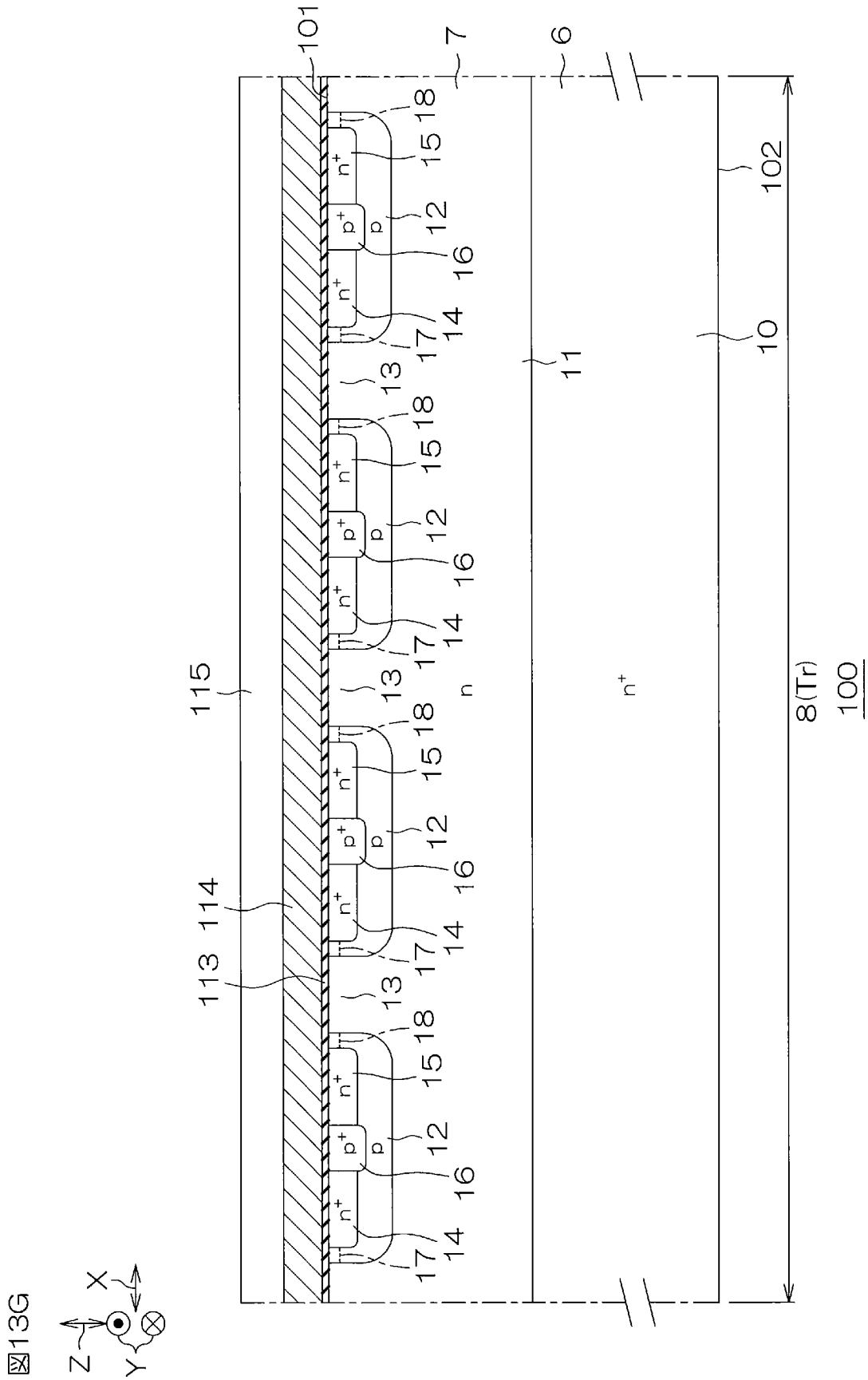


図13G

[図13H]

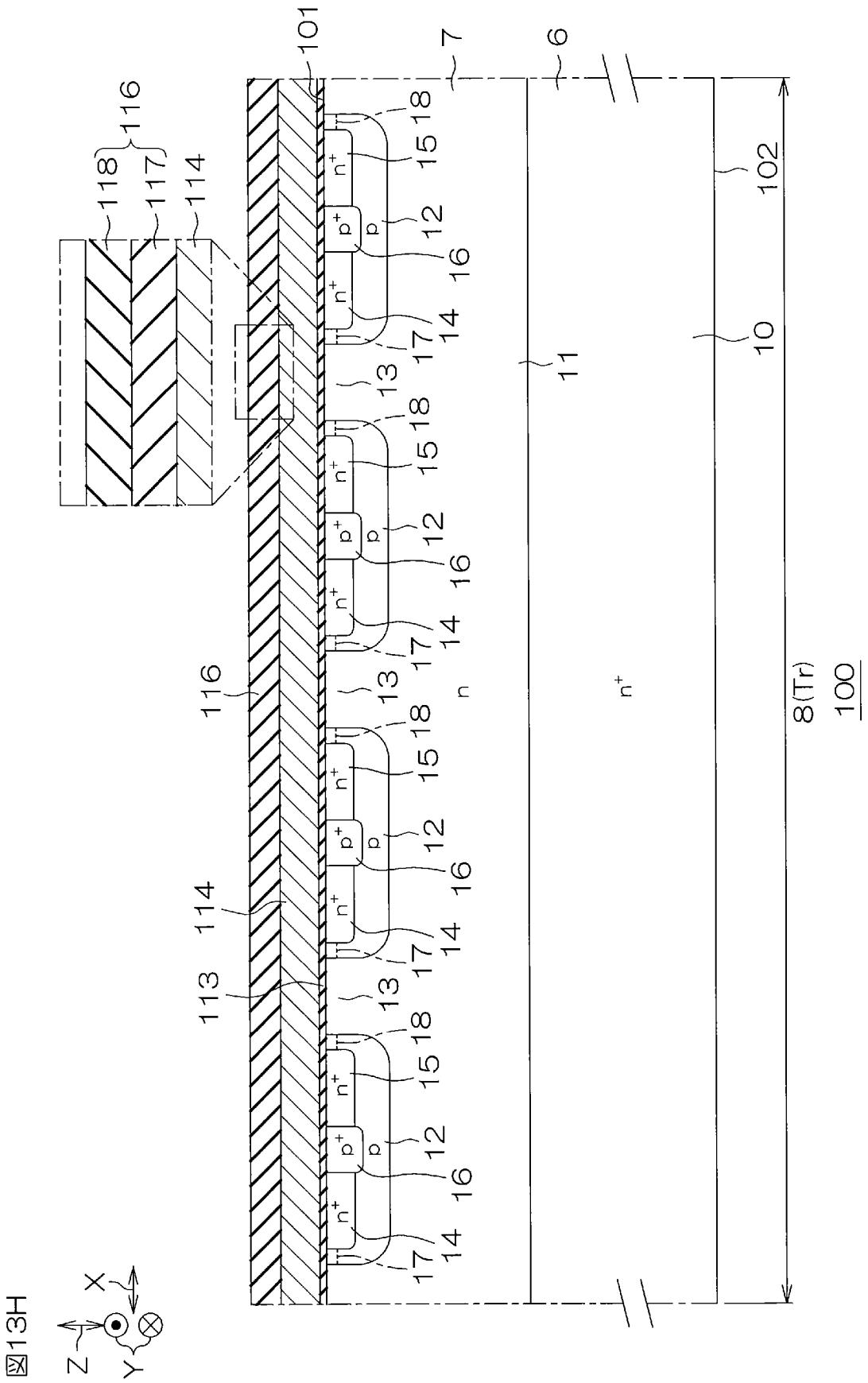

101
7
6
116
118
117
114
18
15
12
16
14
17
13
11
10
102
116
114
113
n
n+
8(Tr)
100
X
Z
Y

図13H

[図13I]

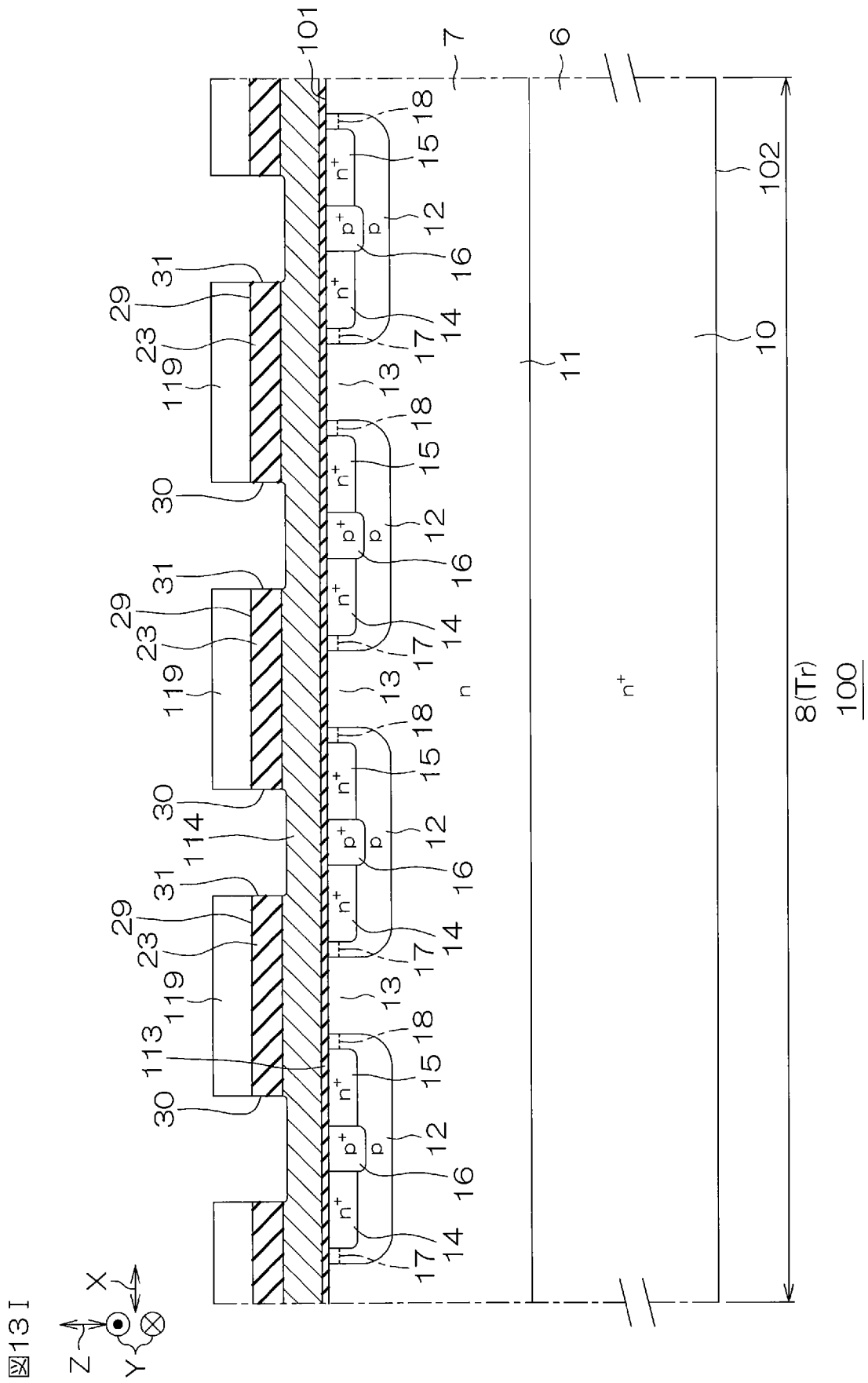

101
7
6
102
10
11
8(Tr)
100
n+
n
p+
p
12
13
14
15
16
17
18
23
29
30
31
113
114
119
X
Y
Z

図13I

[図13J]

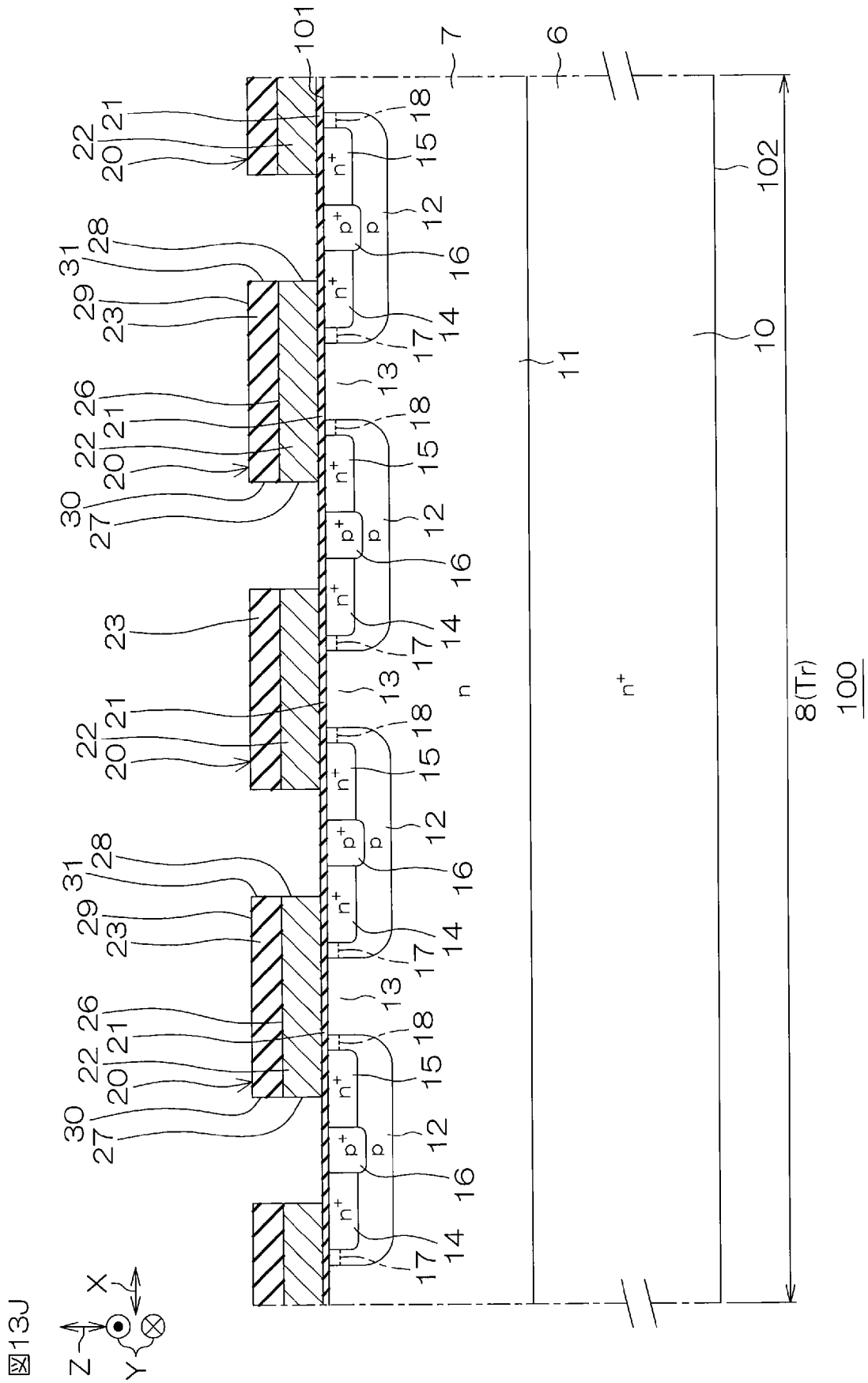


図13J

[図13K]

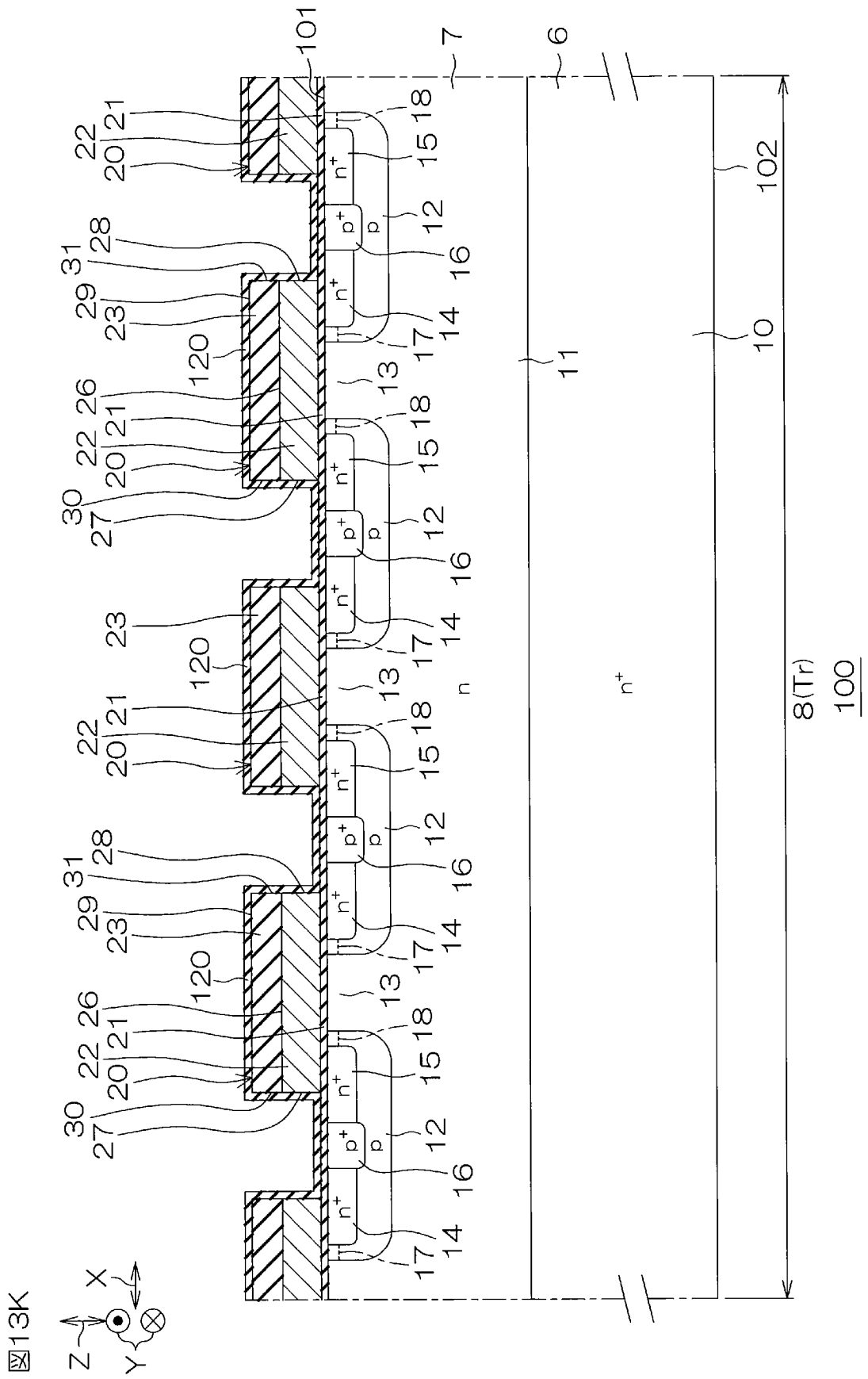


図13K

[図13L]

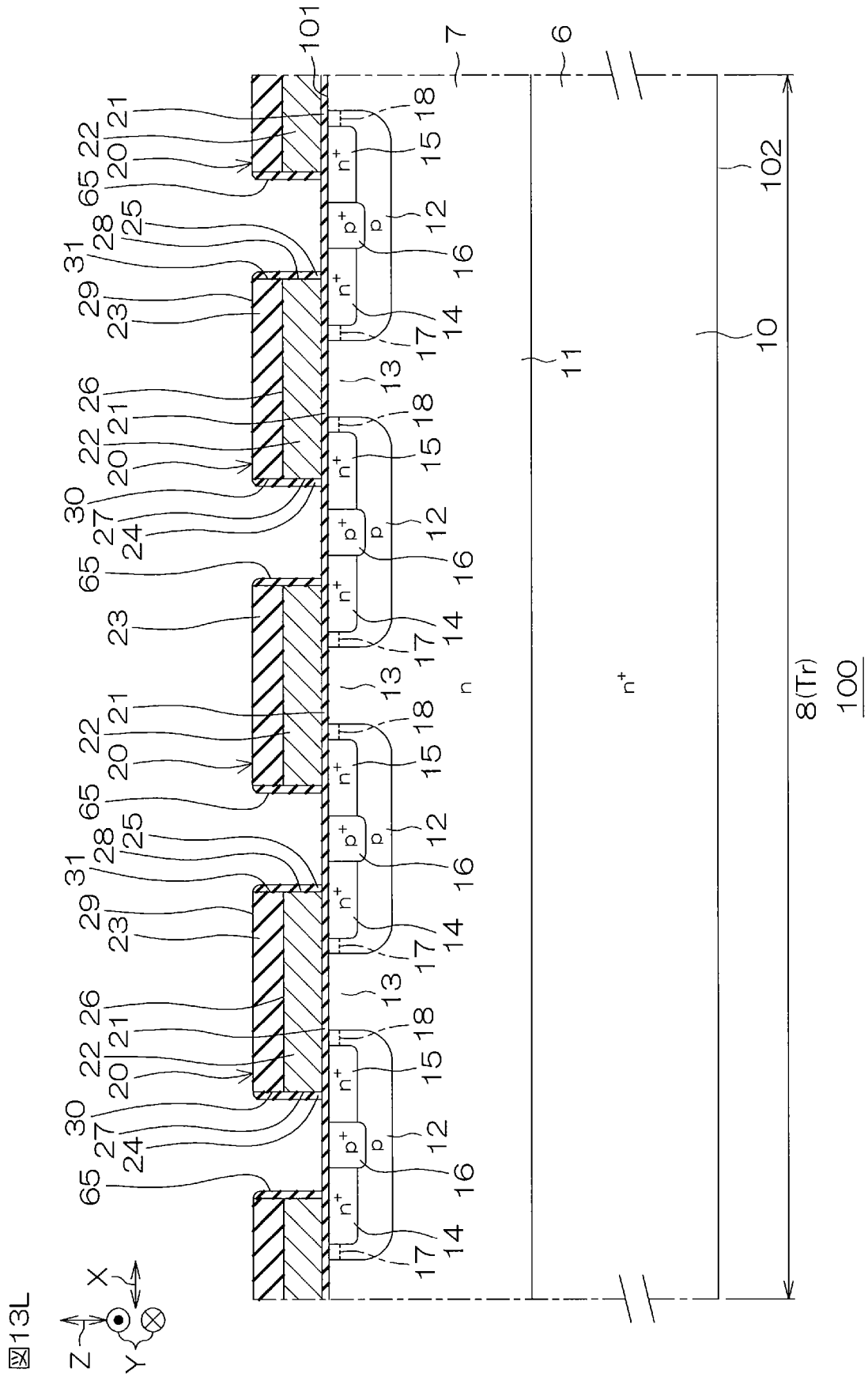


図13L

[図13M]

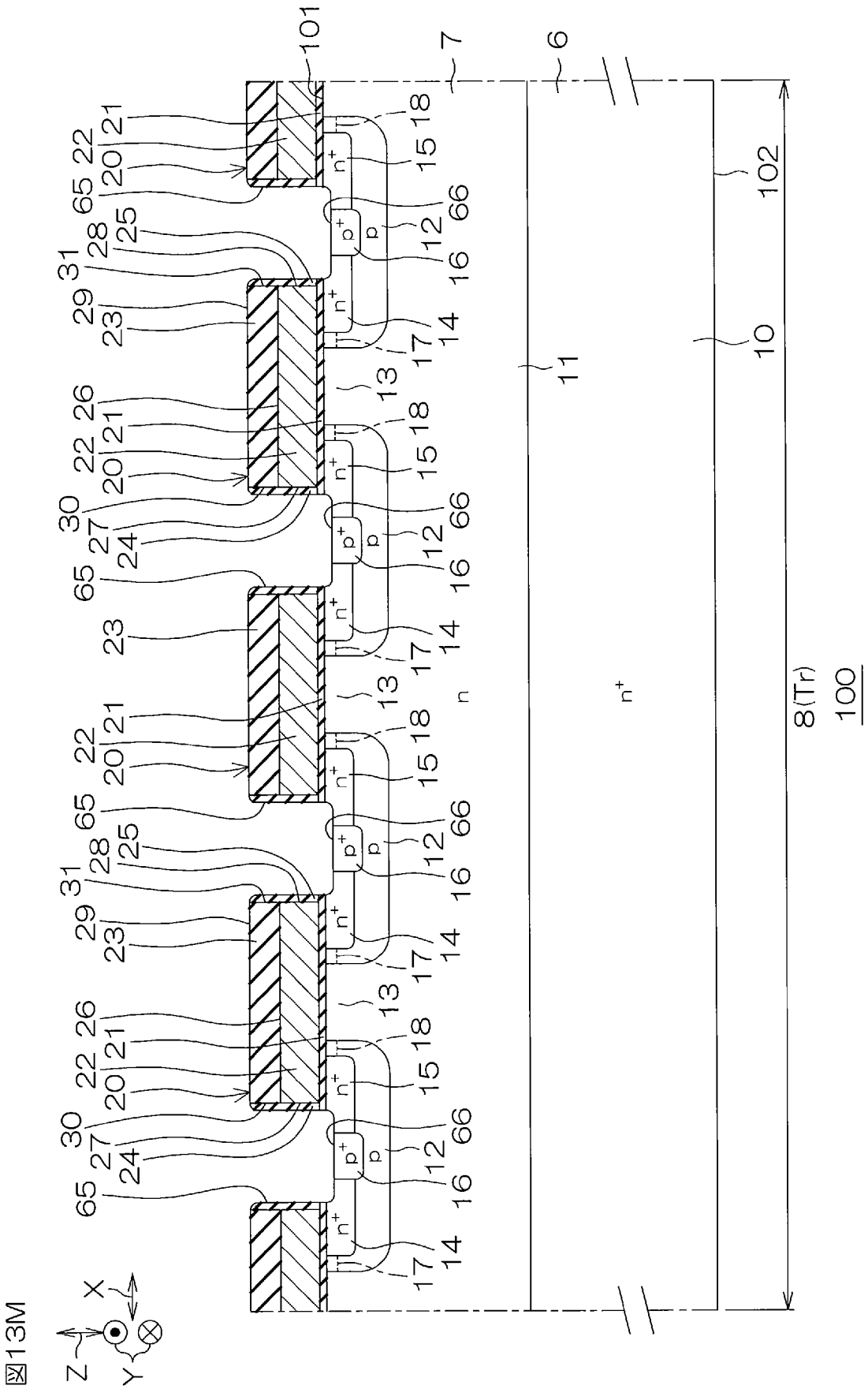


図13M

[図13N]

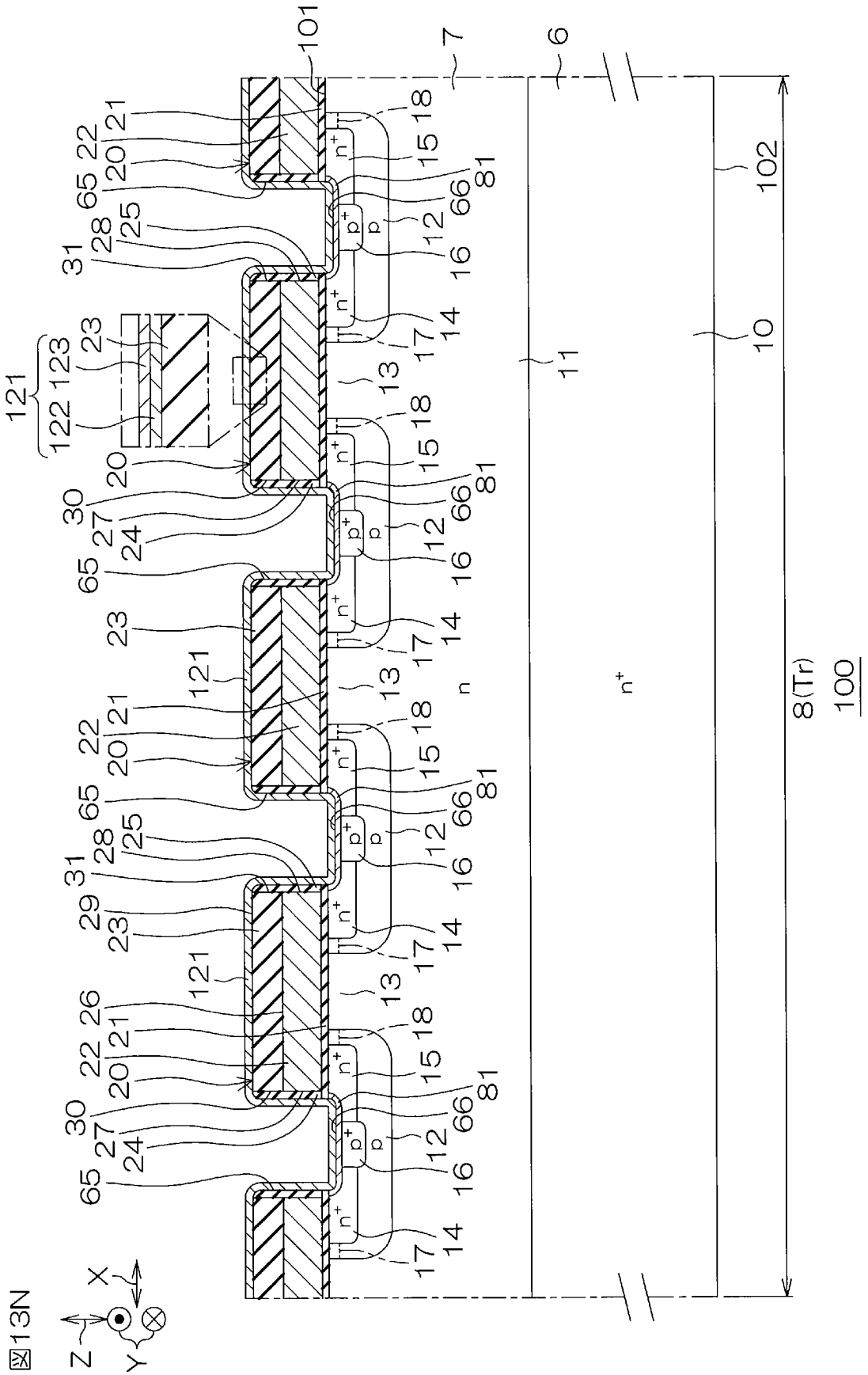


図13N

[図130]

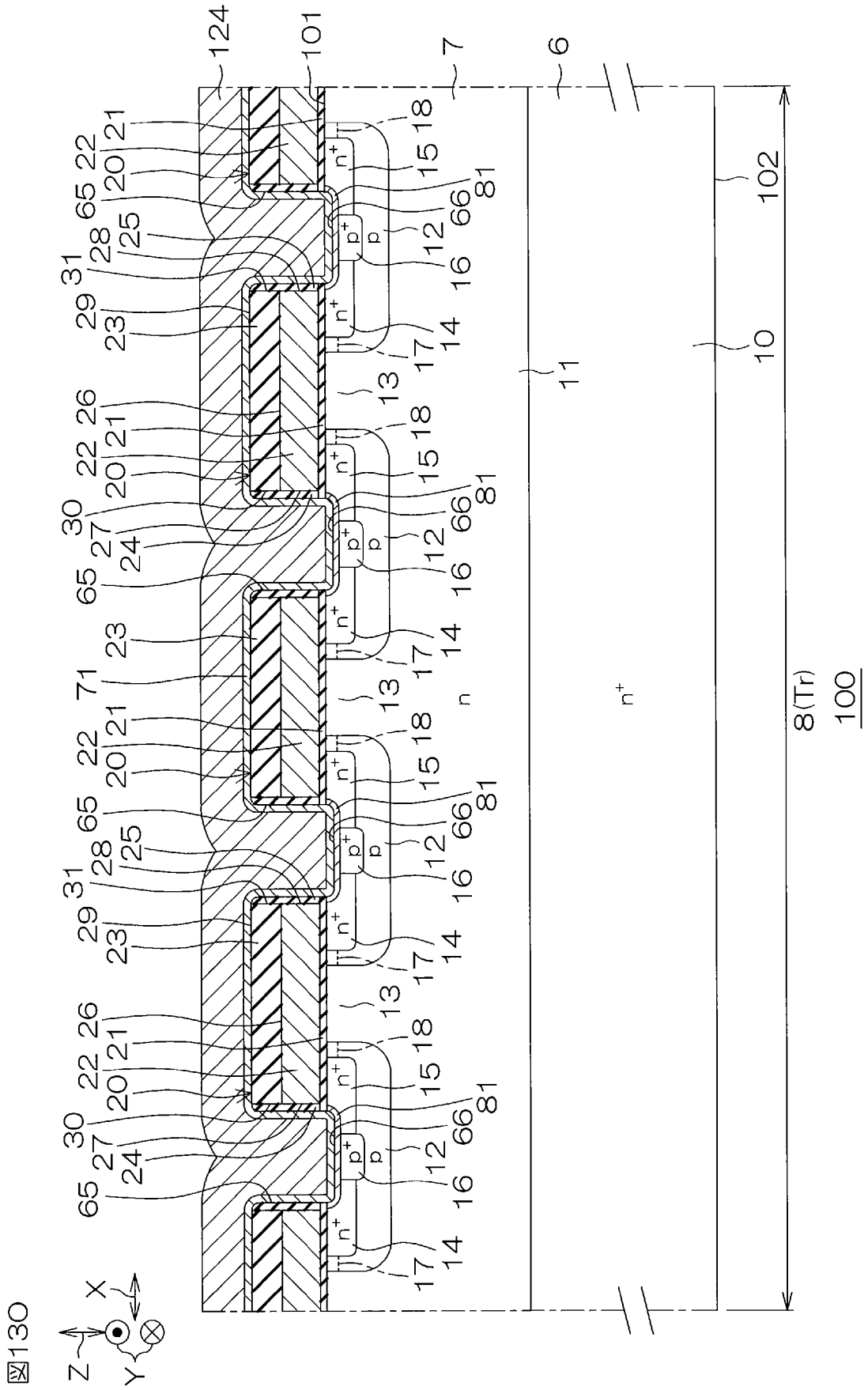


図130

[図13P]

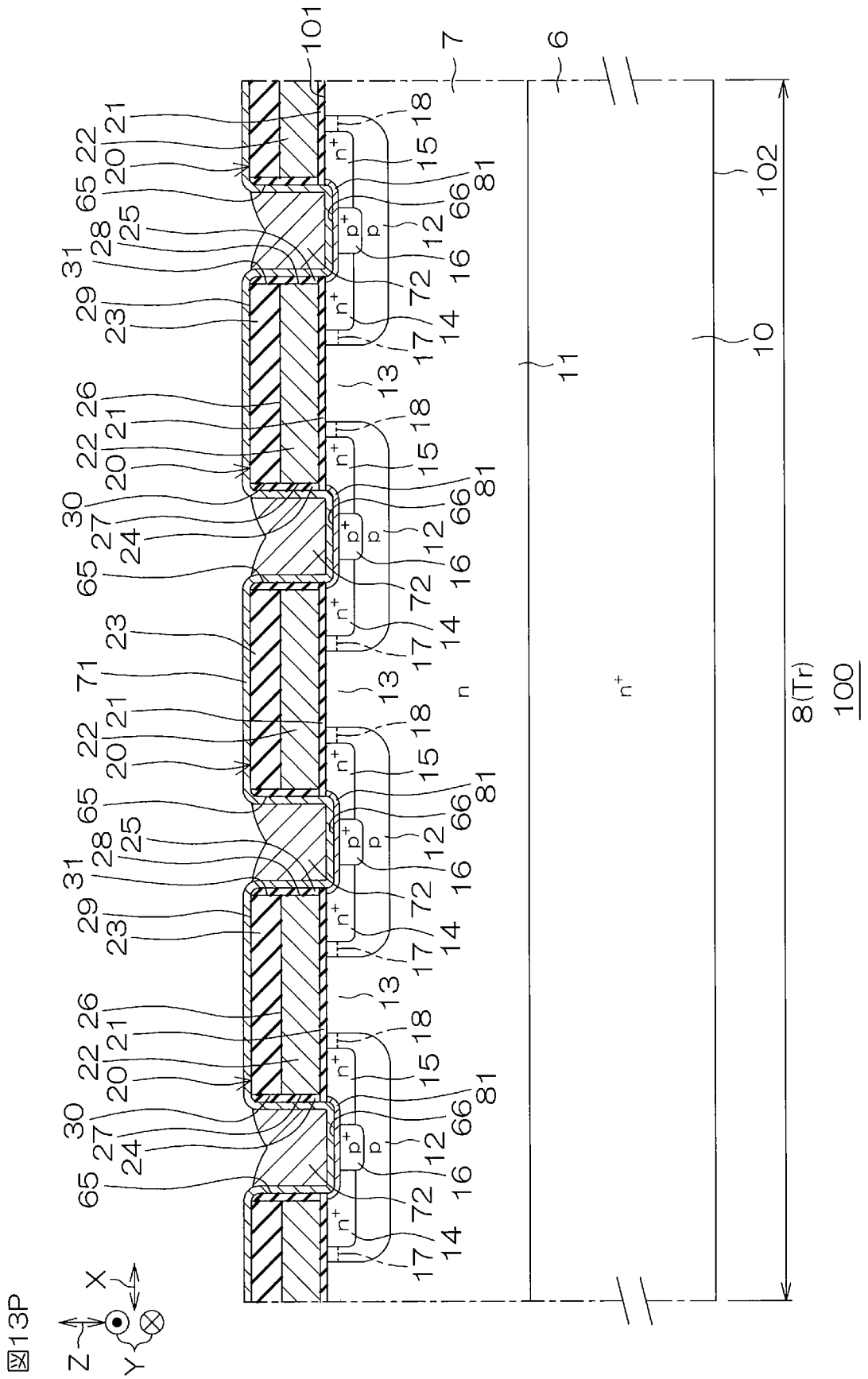


図13P

[図13Q]

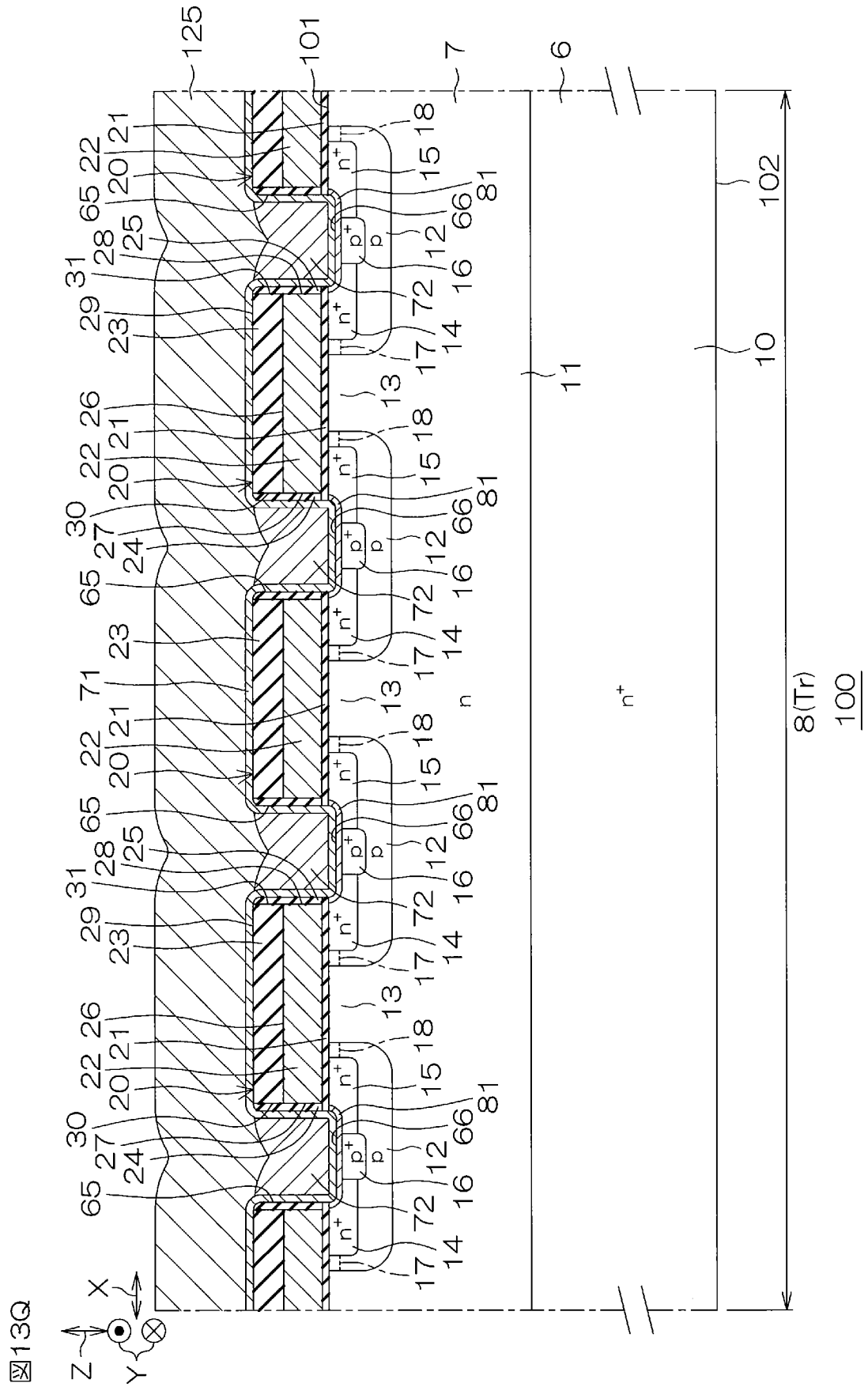


図13Q

[図13R]

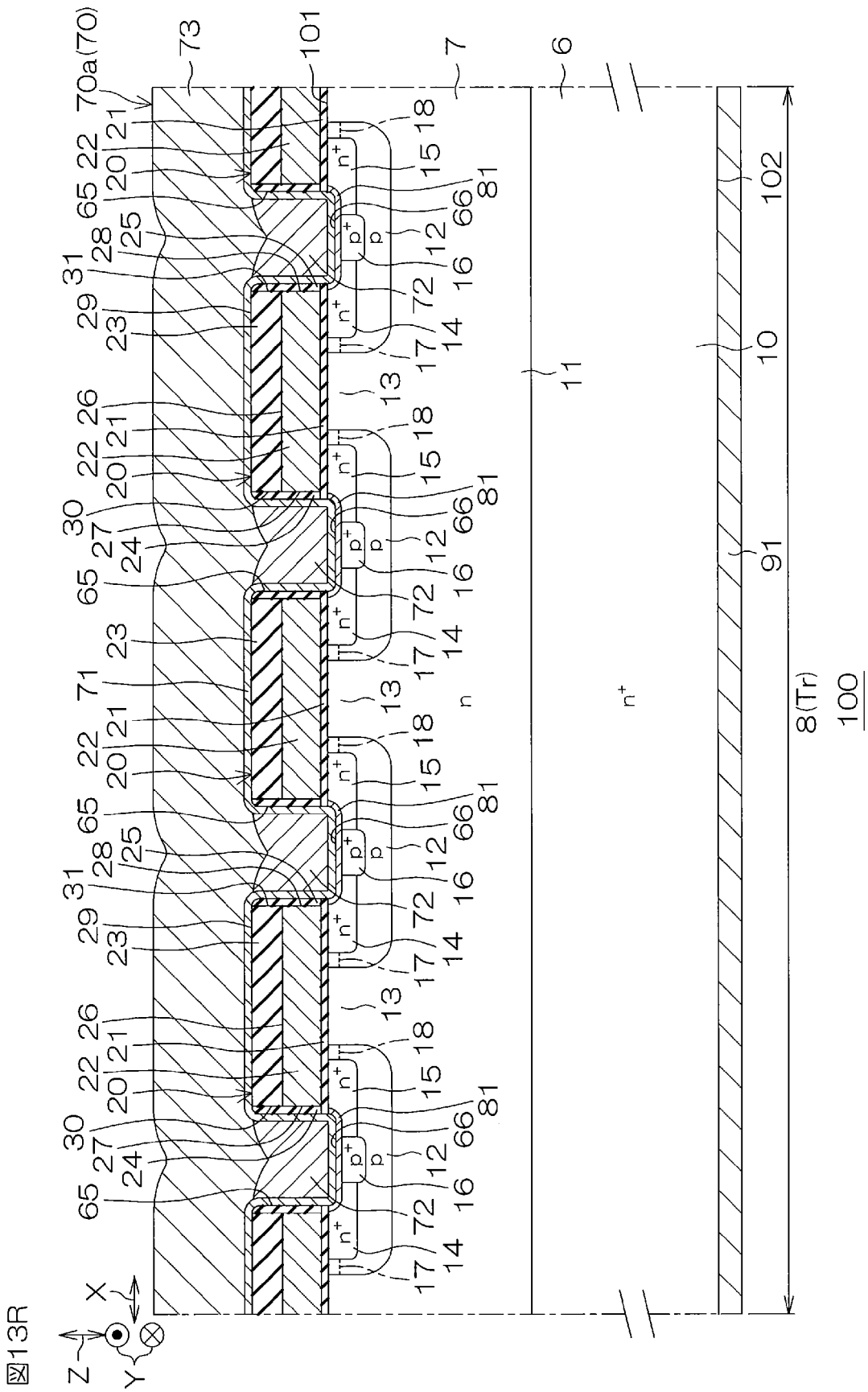


図13R

[図14]

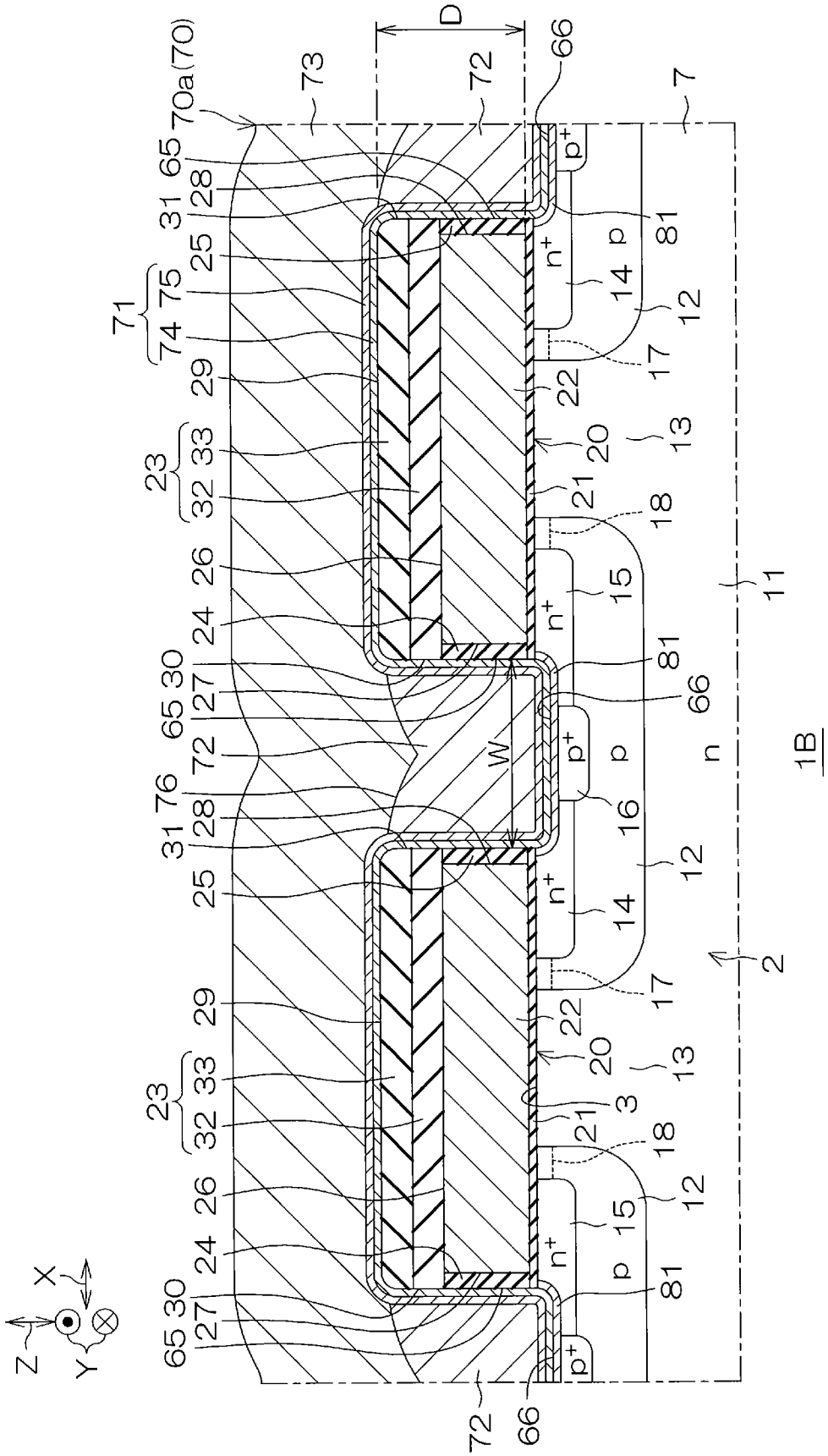

D
W
70a(70)
73
72
66
7
71
74
75
23
32
33
25
26
24
27
28
29
30
31
65
76
p+
n+
p
n
81
14
12
17
22
20
13
21
18
15
16
11
2
3
1B
X
Y
Z

図14

[図15]

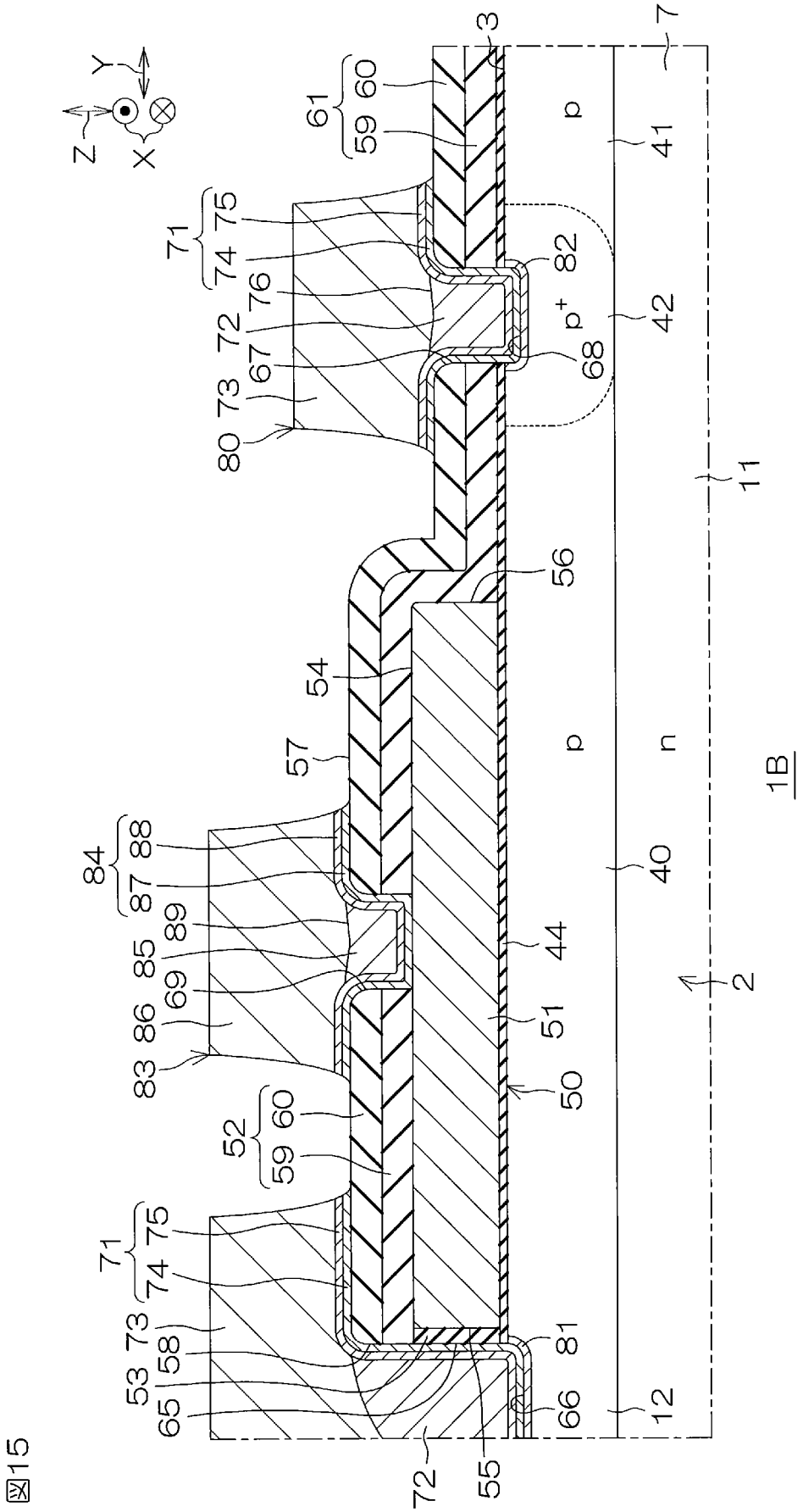

Y
Z
X
3
7
61
60
59
p
41
71
75
74
76
72
67
73
80
82
p+
42
68
11
56
54
57
p
n
1B
84
88
87
89
85
69
86
83
40
44
2
51
50
52
60
59
71
75
74
73
58
53
65
81
66
12
72
55

図15

[図16A]

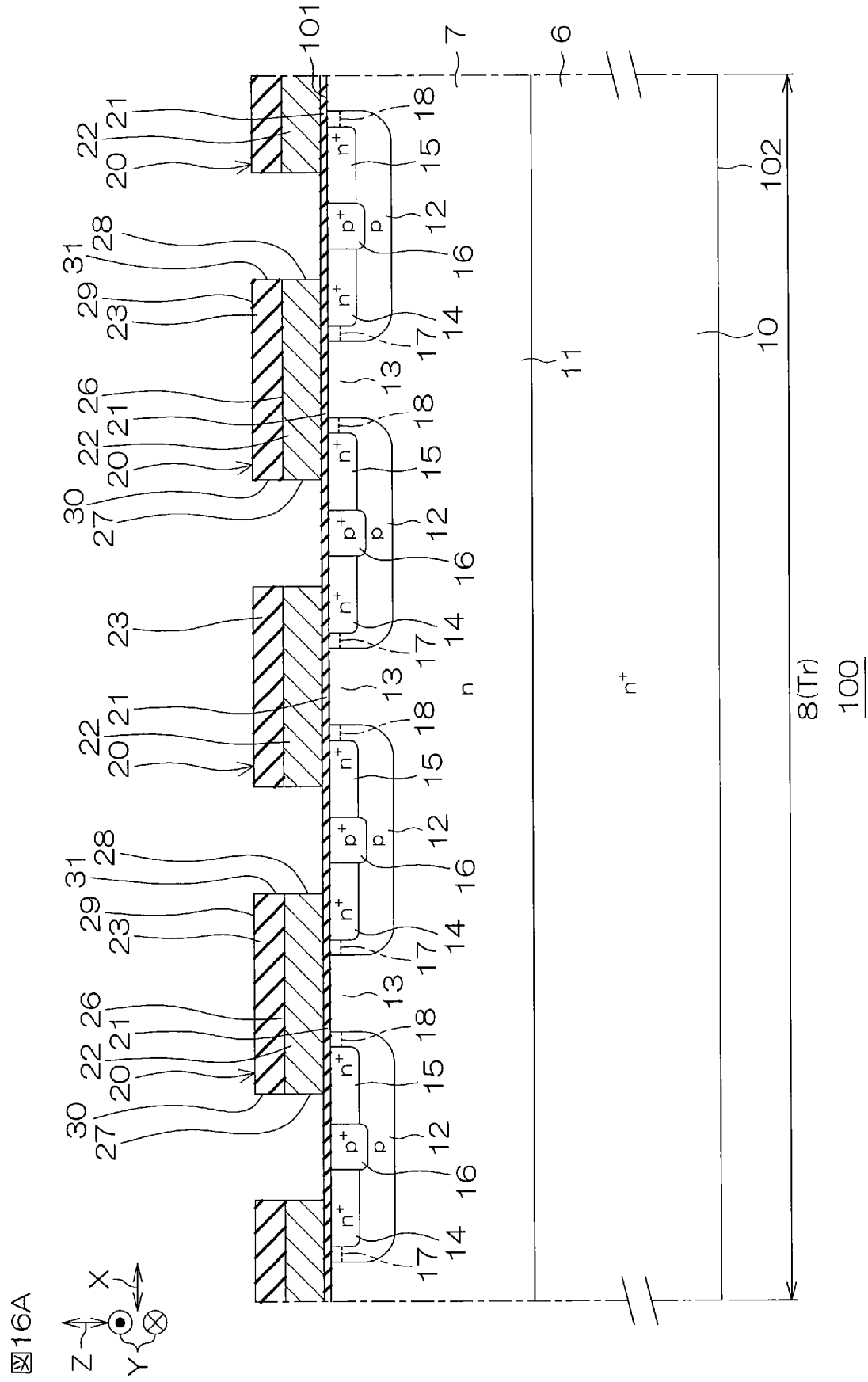


図16A

[図16B]

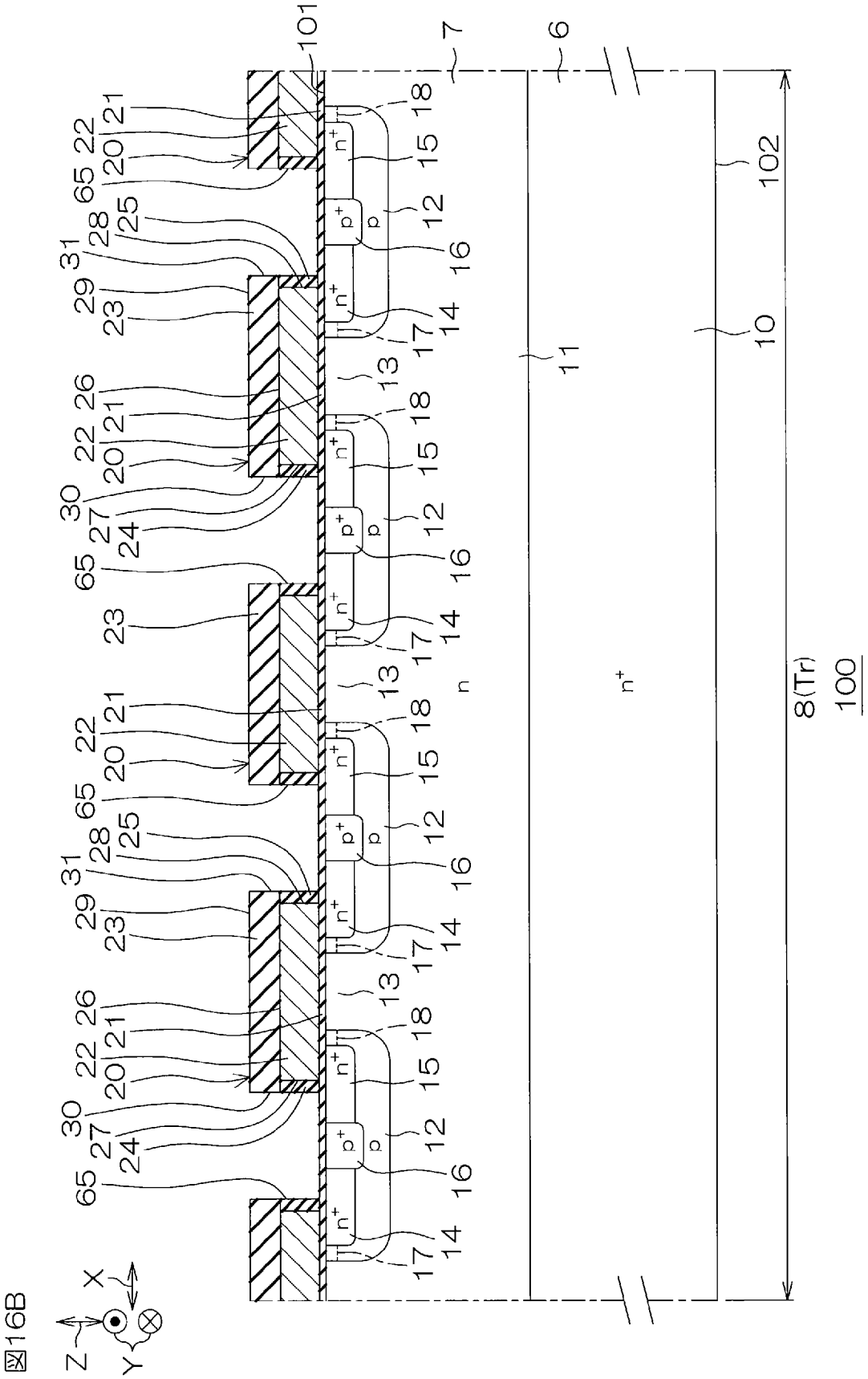

101
7
6
102
10
11
8(Tr)
100
n+
n
p+
p
12
13
14
15
16
17
18
20
21
22
23
24
25
26
27
28
29
30
31
65
X
Y
Z

図16B

[図16C]

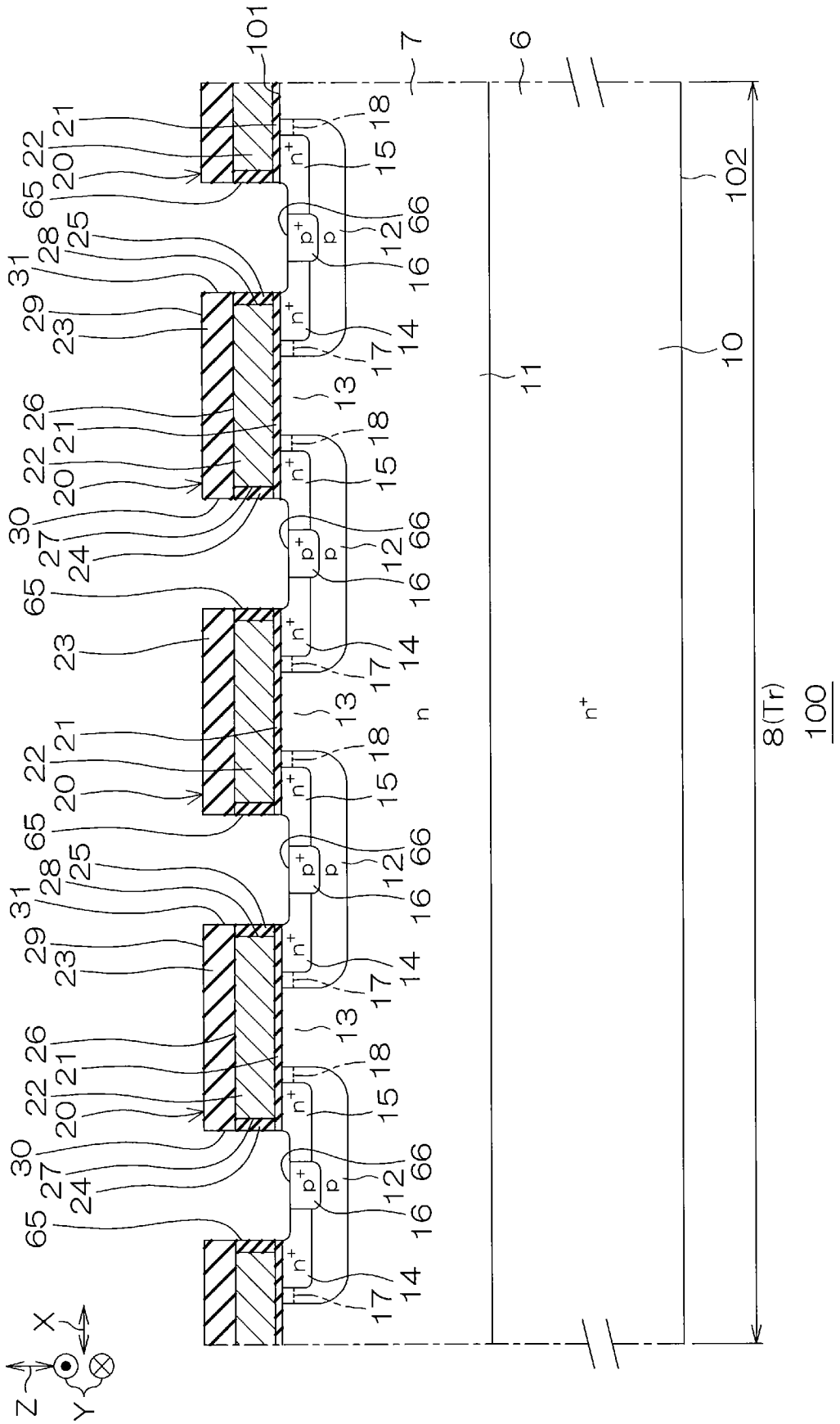


図16C

[図17]

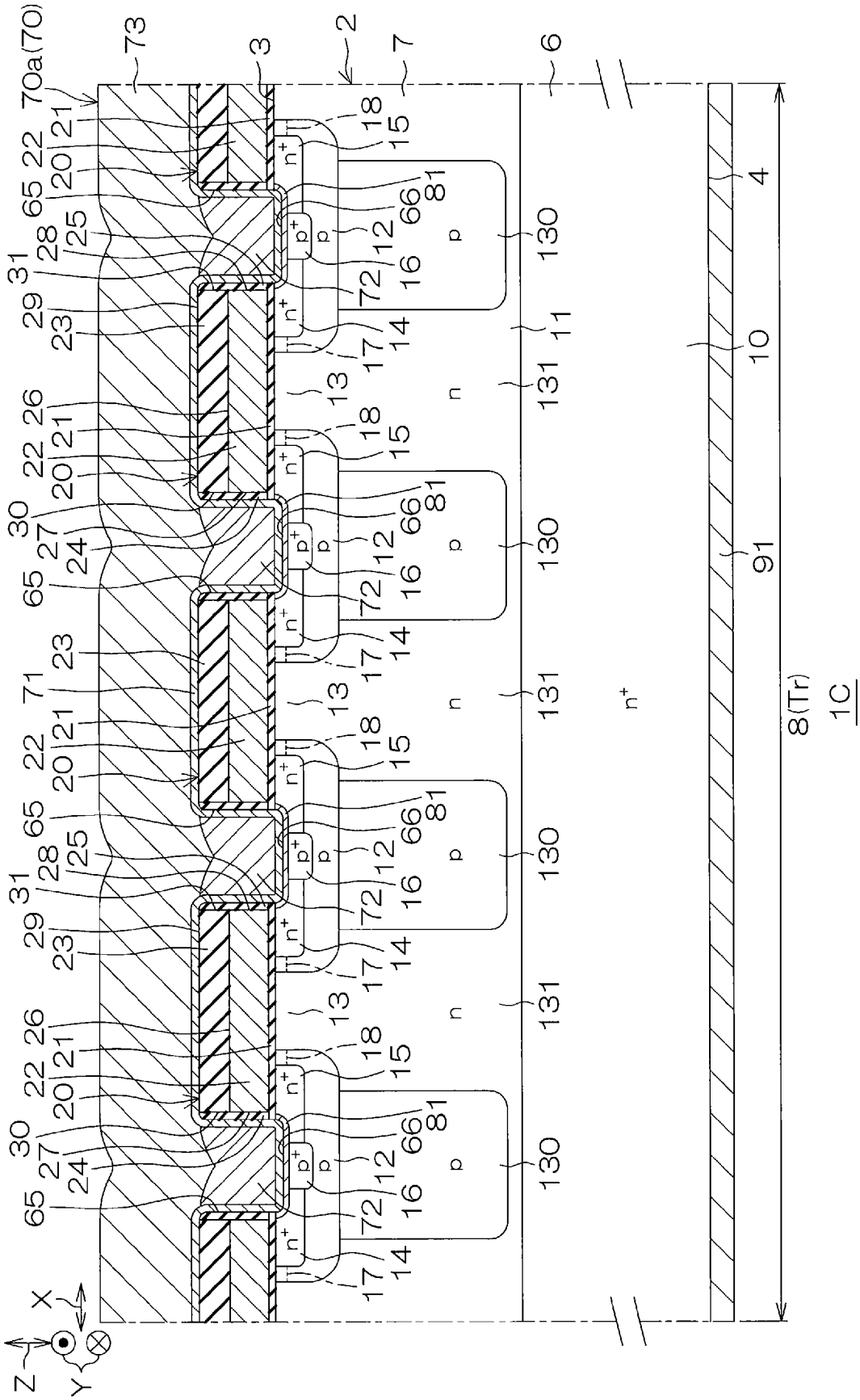


図17

[図18]

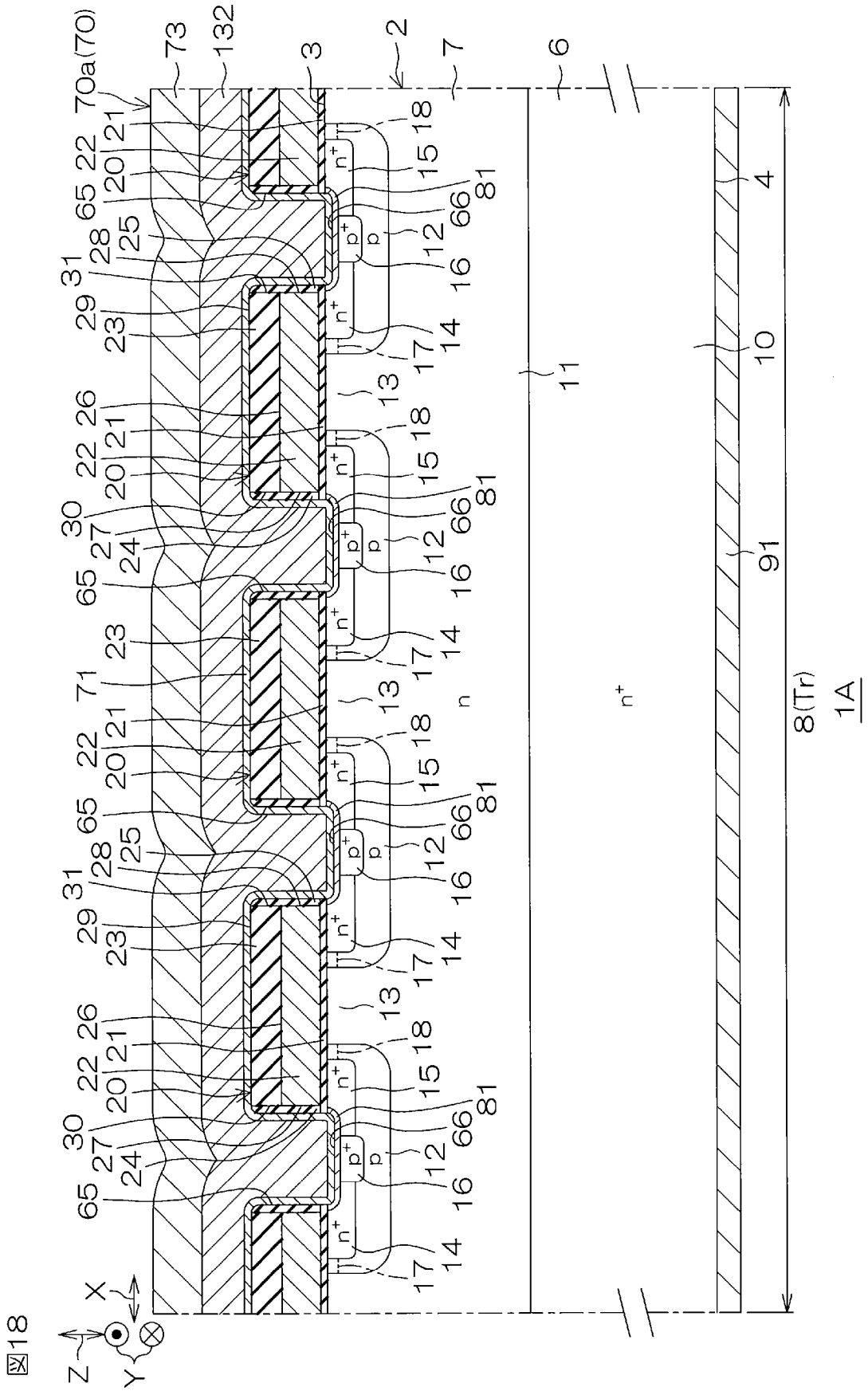


図18

[図19]

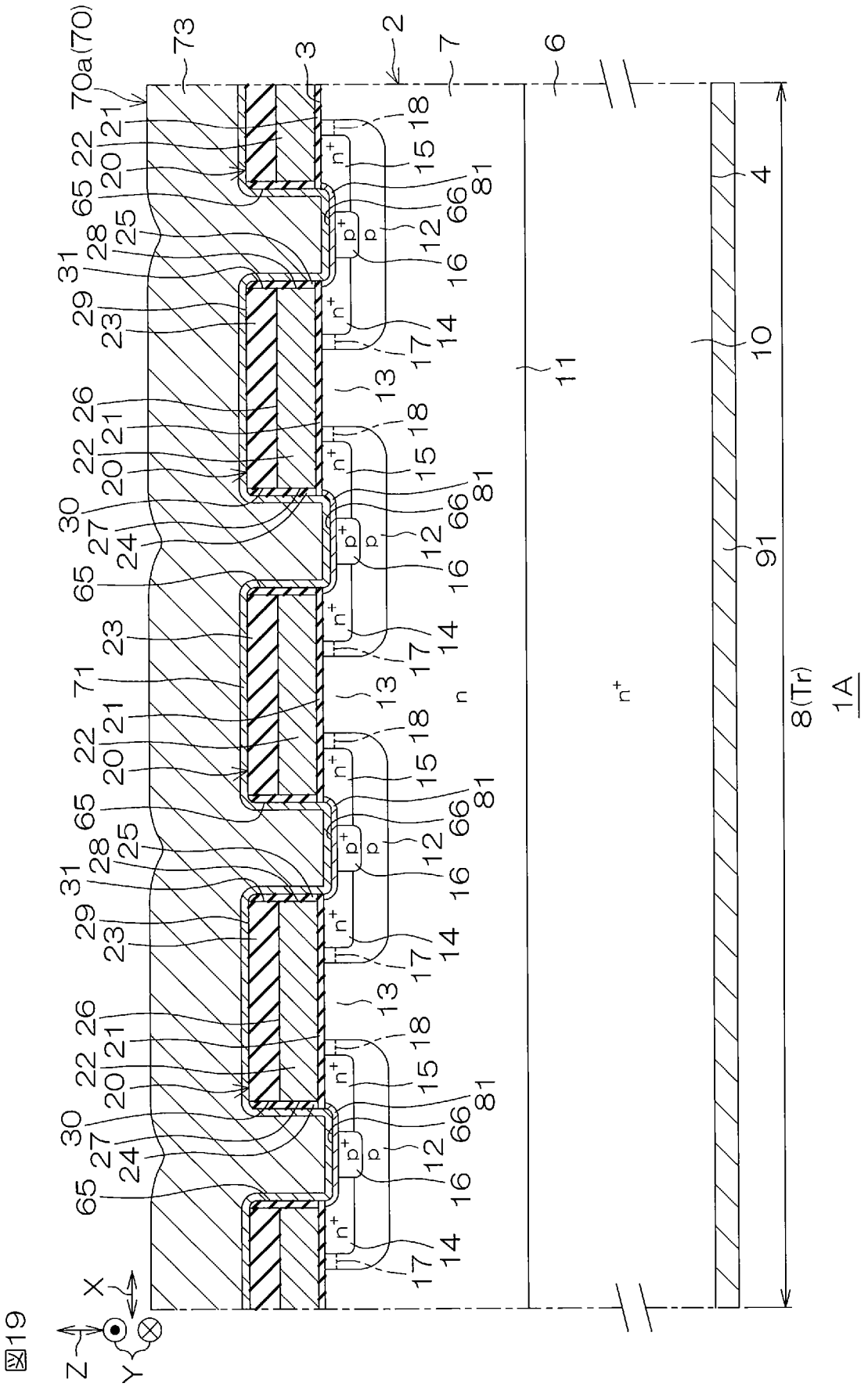


図19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/019603

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/06***(2006.01)i; ***H01L 29/12***(2006.01)i; ***H01L 29/739***(2006.01)i
FI: H01L29/78 652M; H01L29/78 652K; H01L29/78 652D; H01L29/78 652Q; H01L29/78 652P; H01L29/06 301V; H01L29/06 301G; H01L29/78 652F; H01L29/78 652S; H01L29/78 652T; H01L29/78 658F; H01L29/78 655A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-058601 A (KABUSHIKI KAISHA TOSHIBA) 28 March 2013 (2013-03-28) paragraphs [0117]-[0125], fig. 12-14	1-3, 5-8, 12, 15-17
Y		9-11, 13-14
A		4, 18-20
X	JP 2015-201604 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 12 November 2015 (2015-11-12) paragraphs [0054]-[0070], fig. 1, 2	1-4, 6-7, 15-19
Y		5, 8-14, 20
Y	JP 2022-051466 A (KABUSHIKI KAISHA TOSHIBA, TOSHIBA ELECTRONIC DEVICES & STORAGE CORP.) 31 March 2022 (2022-03-31) paragraphs [0011]-[0025], fig. 1	5, 8-14
A		1-4, 6-7, 15-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 August 2024	**20 August 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-090057 A (MITSUBISHI ELECTRIC CORPORATION) 15 May 2014 (2014-05-15) paragraphs [0030]-[0043], fig. 1, 2	5, 8-14
A		1-4, 6-7, 15-20
Y	JP 2016-086064 A (SUMITOMO ELECTRIC INDUSTRIES, LTD., RENESAS ELECTRONICS CORP.) 19 May 2016 (2016-05-19) paragraphs [0044]-[0047], [0088]-[0090], fig. 12	8-14, 20
A		1-7, 15-19
Y	JP 2022-050236 A (FUJI ELECTRIC CO., LTD.) 30 March 2022 (2022-03-30) paragraphs [0026], [0029], [0047]-[0054], fig. 1D	13-14
A		1-12, 15-20
Y	JP 2020-198425 A (ROHM CO., LTD.) 10 December 2020 (2020-12-10) paragraphs [0024]-[0041], fig. 3, 4	14
A		1-13, 15-20
Y	WO 2022/202088 A1 (ROHM CO., LTD.) 29 September 2022 (2022-09-29) paragraphs [0162]-[0165], fig. 22	14
A		1-13, 15-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019603

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2013-058601 A	28 March 2013	US 2013/0062622 A1 paragraphs [0131]-[0139], fig. 12-14 US 9105709 B2	
JP 2015-201604 A	12 November 2015	US 2015/0295059 A1 paragraphs [0068]-[0084], fig. 1, 2	
JP 2022-051466 A	31 March 2022	US 2022/0093491 A1 paragraphs [0021]-[0035], fig. 1 US 2023/0335470 A1 CN 114203816 A	
JP 2014-090057 A	15 May 2014	(Family: none)	
JP 2016-086064 A	19 May 2016	US 2017/0309574 A1 paragraphs [0063]-[0066], [0107]-[0111], fig. 12 WO 2016/063630 A1 DE 112015004798 B4 CN 106716609 A	
JP 2022-050236 A	30 March 2022	(Family: none)	
JP 2020-198425 A	10 December 2020	US 2020/0381551 A1 paragraphs [0038]-[0063], fig. 3, 4 US 2022/0069121 A1 US 2023/0246105 A1	
WO 2022/202088 A1	29 September 2022	US 2024/0014267 A1 paragraphs [0220]-[0223], fig. 22 DE 112022001137 T5 CN 117043964 A	

国際調査報告

国際出願番号
PCT/JP2024/019603

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i
FI: H01L29/78 652M; H01L29/78 652K; H01L29/78 652D; H01L29/78 652Q; H01L29/78 652P; H01L29/06 301V; H01L29/06 301G; H01L29/78 652F; H01L29/78 652S; H01L29/78 652T; H01L29/78 658F; H01L29/78 655A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2013-058601 A (株式会社東芝) 28.03.2013 (2013-03-28) 段落0117-0125, 図12-14	1-3,5-8,12,15-17
Y		9-11,13-14
A		4,18-20
X	JP 2015-201604 A (住友電気工業株式会社) 12.11.2015 (2015-11-12) 段落0054-0070, 図1,2	1-4,6-7,15-19
Y		5,8-14,20
Y	JP 2022-051466 A (株式会社東芝, 東芝デバイス＆ストレージ株式会社) 31.03.2022 (2022-03-31) 段落0011-0025, 図1	5,8-14
A		1-4,6-7,15-20

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
07.08.2024	20.08.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
恩田　和彦 5F 5896

電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2014-090057 A (三菱電機株式会社) 15.05.2014 (2014-05-15) 段落0030-0043, 図1,2	5,8-14
A		1-4,6-7,15-20
Y	JP 2016-086064 A (住友電気工業株式会社, ルネサスエレクトロニクス株式会社) 19.05.2016 (2016-05-19) 段落0044-0047,0088-0090, 図12	8-14,20
A		1-7,15-19
Y	JP 2022-050236 A (富士電機株式会社) 30.03.2022 (2022-03-30) 段落0026,0029,0047-0054, 図1D	13-14
A		1-12,15-20
Y	JP 2020-198425 A (ローム株式会社) 10.12.2020 (2020-12-10) 段落0024-0041, 図3,4	14
A		1-13,15-20
Y	WO 2022/202088 A1 (ローム株式会社) 29.09.2022 (2022-09-29) 段落0162-0165, 図22	14
A		1-13,15-20

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/019603

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-058601 A	28.03.2013	US 2013/0062622 A1 段落0131-0139, 図12-14 US 9105709 B2	
JP 2015-201604 A	12.11.2015	US 2015/0295059 A1 段落0068-0084, 図1,2	
JP 2022-051466 A	31.03.2022	US 2022/0093491 A1 段落0021-0035, 図1 US 2023/0335470 A1 CN 114203816 A	
JP 2014-090057 A	15.05.2014	（ファミリーなし）	
JP 2016-086064 A	19.05.2016	US 2017/0309574 A1 段落0063-0066,0107-0111, 図12 WO 2016/063630 A1 DE 112015004798 B4 CN 106716609 A	
JP 2022-050236 A	30.03.2022	（ファミリーなし）	
JP 2020-198425 A	10.12.2020	US 2020/0381551 A1 段落0038-0063, 図3,4 US 2022/0069121 A1 US 2023/0246105 A1	
WO 2022/202088 A1	29.09.2022	US 2024/0014267 A1 段落0220-0223, 図22 DE 112022001137 T5 CN 117043964 A	