

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 8/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월29일 10-0505496 2005년07월22일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2001-0073164 2001년11월23일	(65) 공개번호 (43) 공개일자	10-2002-0043441 2002년06월10일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장      09/729,013      2000년12월04일      미국(US)

(73) 특허권자      인터내셔널 비지네스 머신즈 코포레이션  
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자      그린던스티븐  
미국05465버몬트주제리코풋힐드라이브77

켈로그마크  
미국05452버몬트주에섹스정선코두로이로드29

(74) 대리인      김창세  
장성구  
김원준

심사관 : 이정수

(54) 메모리 모듈, 메모리 어셈블리, 메모리 서브시스템 및 메모리 시스템

요약

본 발명은 클럭/클럭 버퍼와 메모리 모듈의 구성 요소 사이에 선택가능한 클럭 종단부의 배치를 가능하게 하는 메모리 시스템 및/또는 메모리 모듈을 포함한다. 본 발명은 완전히 포워드 및 백워드 호환가능한 메모리 솔루션(a fully forward and backward compatible memory solution)을 제공한다. 본 발명은 메모리 모듈 그 자체와, 그 모듈에 사용하기 위해 설계된 FET 스위치와, 이들 모듈을 사용하기 위한 인에이블/디스에이블 핀을 포함하는 시스템을 제공한다. 본 발명은 메모리 모듈이 기존의(신규의) 메모리 서브 시스템에서 동작할 뿐만 아니라 기존/신규 시스템에 대한 어떠한 변경도 없이 미래의 메모리 서브시스템의 저 전력/적은 수의 핀 카운트 요건을 충족시키도록 개발하는 것이다. 184 핀 레지스터형 DIMM(184 Pin Registered DIMMs)의 경우, 전력 보전은 200mw/DIMM보다 더 크며, 시스템은 직렬로 DIMM 클럭에 접속되도록 허용되어 어드레스/제어 윈도우뿐만 아니라 시스템 관독 루프 백 타이밍(system read loop-back timing)을 증가시킬 것이다.

대표도

도 5

명세서

**도면의 간단한 설명**

도 1은 레지스터형 DIMM을 사용하는 메모리 시스템의 개략도,

도 2는 비버퍼형 DIMM을 사용하는 메모리 시스템의 개략도,

도 3은 도 1의 메모리 시스템 내에서 사용가능한 184 핀 레지스터형 DDR DIMM을 위한 클럭 신호 배선(네트)의 개략도,

도 4는 도 2의 메모리 시스템 내에서 사용가능한 비버퍼형 184 핀 레지스터형 DDR DIMM을 위한 클럭 신호 배선(네트)의 개략도,

도 5는 도 3의 레지스터형 DIMM의 설계에 DIMM 구동 디폴트 클럭 종단 상태(DIMM-driven default clock termination state)를 갖는 선택가능한 클럭 종단부가 추가되어 변형된 본 발명의 실시예의 개략도,

도 6은 도 3의 레지스터형 DIMM의 설계에 메모리 시스템에 의해 구동되는 선택가능한 클럭 종단부가 추가되어 변형된 본 발명의 실시예의 개략도,

도 7은 도 4의 비버퍼형 DIMM의 설계에 메모리 시스템에 의해 구동되는 선택가능한 클럭 종단부가 추가되어 변형된 본 발명의 실시예의 개략도,

도 8은 도 3의 레지스터형 DIMM의 설계에 스템 길이(stub length)를 줄이기 위해 클럭 네트 내의 다수의 지점에 선택가능한 클럭 종단부가 추가되어 변형된 본 발명의 실시예의 개략도.

도면의 주요 부분에 대한 부호의 설명

- 10 : 메모리 시스템 20, 120 : 메모리 제어기
- 30 : 클럭 버퍼 40, 140 : DIMM
- 50, 150 : 어드레스 버스 60, 160 : 제어 버스
- 70, 170 : 데이터 버스 80 : 클럭 라인
- 90 : 피드백 라인 93 : 클럭 아웃라인
- 130 : 클럭 드라이버
- 140 : 비버퍼형 DIMM(unbuffered DIMM)
- 180 : 클럭 차동 라인(clock differential line)
- 202 : 드라이버(PLL) 205, 305 : SDRAM 칩
- 207, 248, 325 : 저항 210, 310 : 클럭 접속부
- 220, 320 : 반전 클럭 접속부 245 : FET 스위치
- 245a, 245b : 종단부 246 : 디폴트 드라이버
- 247 : 피드백 루프 257, 259 : 드라이버 클럭 신호
- 390 : 입력

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

일반적으로 메모리 시스템 및 마이크로 전자 장치(microelectronics)에는 성능, 전력 보존 및 구성 요소 호환성이 요구된다. 이러한 문제는 모바일 애플리케이션, 고전력 애플리케이션 등(예를 들어, PC, 모바일 시스템, 프린터, RAID 애플리케이션)에 의해 매우 급속도로 진보하는 디자인 분야(메모리 기술 분야 및 컴퓨팅 기술 분야 모두에서)에서 특히 중요하다.

최근 몇 년 동안 메모리 시스템 속도/성능에 대한 개선의 요구는 동기식 SRAM 및 동기식 동적 랜덤 액세스 메모리(synchronous dynamic random access memory : SDRAM)의 발달을 가져왔다. 보다 더 최근에는 소위 더블 데이터 레이트(double-data-rate : DDR) SDRAM 메모리 모듈이 제안되고 개발되었다. DDR-SDRAM은 소정의 시스템 클럭 속도로 데이터 출력을 효율적으로 배가한다. 이러한 유형의 진보는 DDR-SDARM에 대한 더 높은 클럭 속도(예를 들어, 166 MHz 이상의 클럭 속도) 버전을 계속하여 도입하리라 예상된다. SDRAM 및 DDR-SDRAM에 대한 논의는 JEDEC 표준 간행물에서도 알 수 있다. 이러한 기술의 배경을 포함하는 또 다른 간행물은 1999년에 Wiley & Sons사에서 출판한 베티 프린스(Betty Prince)의 "High Performance Memories"라는 서적이다.

동기식 메모리 시스템의 주 특징은 메모리 시스템의 개별 메모리 모듈과 직접 통신하는 클럭 또는 클럭 버퍼 소스(a clock or clock buffer source)의 존재이다. 그러한 시스템의 특징은 미국 특허 제 5,896,346 호, 제 6,043,694 호 및 제 6,081,862 호에 개시되는데, 이들 특허는 모두 본 명세서에 참조로 인용된다. 또 다른 특징은 1999년 1월 29일 출원된 미국 특허 출원 번호 제 09/240,647 호에 개시되는데, 이는 본 명세서에 참조로 인용된다.

전반적으로 184 핀 DIMM(dual-in-line memory module) 및 200 핀 SO DIMM과 같은 DDR 메모리 모듈은 차동 클럭 종단 체계(a differential clock termination scheme)를 포함하는데, 이는 저 전력 및 적은 수의 핀 카운트(제어기) 애플리케이션에 적절하지 못한 것으로 판명되었다. 게다가, 향상된 클럭 드라이버의 등장과 (온보드 클럭 재생(onboard clock regeneration)을 구비한) 레지스터형 DIMM의 폭넓은 채택은, 다른 모듈/시스템 클럭 종단 솔루션이 허용되었다면 전체 시스템 타이밍 버지트(overall system timing budget)를 개선할 수 있었을 새로운 시스템 클러킹 기회를 생성하였다. 불행히도, 신규 메모리 모듈과 기존의 디자인 사이의 백워드 호환성에 대한 요구는, 백워드 호환성(backward compatibility)을 유지하는 몇몇 수단이 유지되지 않는 한 이러한 새로운 기회를 서비스하는 새로운/고유한 모듈을 개발하는 생산자의 능력을 제한할 것이다.

따라서, 동일한 메모리 시스템, 특히, SDRAM DIMM과 DDR-SDRAM DIMM 모두를 포함하는 메모리 시스템에서 메모리 모듈 사이에 호환성을 유지하는 방법이 필요하다. 또한, 클럭 신호 관리 유연성(clock signal management flexibility)을 개선하는 디자인/방법이 필요하다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 클럭/클럭 버퍼 및 메모리 모듈 사이에 선택가능한 클럭 종단부의 배치를 가능하게 하는 메모리 시스템 및/또는 메모리 모듈을 포함한다. 본 발명은 완전하게 포워드 및 백워드 호환가능한 메모리 솔루션을 제공한다. 본 발명은 메모리 모듈 자체와 이들 모듈을 사용하기 위한 인에이블/디스에이블 핀(enable/disable pin(s))을 포함하는 시스템을 제공한다.

일 측면에서, 본 발명은 선택가능한 시스템 레벨 클럭 종단부(a selectable termination of system-level clock)를 갖는 메모리 어셈블리를 포함한다. 선택가능한 클럭 종단부는 클럭 네트(clock net) 내의 소정의 원하는 지점(예를 들어, 클럭 네트의 단부 또는 그 근처, 클럭 네트의 분할점(a split point) 등)에 위치될 수 있다. 바람직하게, 선택가능성은 클럭 종단부를 인에이블 및/또는 디스에이블하게 만드는 하나 이상의 스위치에 의해 제공된다. 바람직하게, 스위치는 메모리 어셈블리 상의 핀에 접속되는 FET 스위치이다. 바람직하게, 메모리 어셈블리는 단일 드롭 단부 종단 클럭 네트(single drop end-terminated clock nets)를 갖는 시스템과 다중 드롭 클럭 네트를 갖는 시스템 모두에서 동작할 수 있는데, 이 경우 클럭 종단 방법은 바람직하게, (i) 단일 단부 종단(single end termination), (ii) 소스 직렬 종단(source series termination), (iii) 소스 용량성 종단(source capacitive termination)로 이루어지는 그룹으로부터 선택된다.

또한 본 발명은 메모리 시스템, 특히, 선택가능한 클럭 중단부를 갖는 메모리 어셈블리를 사용할 수 있는 동기식 메모리 시스템을 포함한다.

또한, 본 발명은 사용될 메모리 클럭 중단부의 유형을 결정하는 검출 회로를 포함하는 메모리 제어기를 구비하며, 클럭 드라이브는 중단 유형과 매칭되도록 조정된다. 본 발명은 선택가능한 시스템 레벨 클럭 중단부를 갖는 메모리 어셈블리와 함께 그러한 메모리 제어기를 포함하는 메모리 시스템을 더 포함한다.

본 발명은 하나 이상의 클럭 중단 방법을 포함하는 메모리 모듈을 더 포함하며, 클럭 중단부는 다수의 메모리 어셈블리가 공통 클럭 쌍을 공유하거나 각각의 메모리에 대해 고유한 클럭 쌍으로 동작할 수 있게 해준다. 바람직하게, 클럭 중단 방법은 제어 신호(예를 들어, 메모리 어셈블리 상의  $V_{dd}$ ,  $V_{ddQ}$  또는 접지 핀)를 통해 메모리에 대해 선택가능하다. 바람직하게, 메모리 모듈은 DDR 메모리 모듈이고, 더욱 바람직하게는 168 내지 200 핀 DIMM이다.

또한, 본 발명은 하나 이상의 클럭 중단 방법을 포함하는 메모리 서브시스템을 포함하고, 클럭 중단부는 다수의 메모리 어셈블리가 공통 클럭 쌍을 공유하거나 각각의 메모리 어셈블리에 대해 고유한 클럭 쌍으로 동작할 수 있게 해준다. 바람직하게, FET 스위치는 서브시스템의 클럭 넷 내에 통합되어 메모리 어셈블리 상의 클럭 중단부가 인에이블 또는 디스에이블되게 한다. 바람직하게, 서브시스템은 클럭 경로 내에 통합된 FET 스위치를 통해 하나 이상의 클럭이 디스에이블될 수 있게 한다.

본 발명의 이러한 특징들 및 다른 특징들은 이하 더 상세히 기술된다.

### 발명의 구성 및 작용

본 발명은 클럭/클럭 버퍼와 메모리 모듈 사이에 선택가능한 클럭 중단부의 배치를 가능하게 하는 메모리 시스템 및/또는 메모리 모듈을 포함한다. 본 발명은 메모리 모듈 자체, 이들 모듈을 사용하기 위한 인에이블/디스에이블 핀을 포함하는 메모리 시스템, 클럭 중단 상태를 선택하기 위한 회로를 포함하는 메모리 제어기뿐만 아니라 본 발명에 의해 제공되는 선택가능한 클럭 중단 능력의 존재로부터 유도되는 다른 측면들도 제공한다.

도면을 보면, 도 1은 레지스터형 DIMM(40)을 사용하는 메모리 시스템(10)의 개략도를 도시한다. DIMM(40)은 클럭 버퍼(30) 및 메모리 제어기(20)에 의해 구동된다. 메모리 제어기(20)는 어드레스 버스(50), 제어 버스(60) 및 데이터 버스(70)를 통해 DIMM과 통신한다. 도면에서는 설명의 편의를 위해 다양한 버스의 실제 배선을 전체적으로 단순화하였다는 것(즉, 물리적 배선 모두를 도시한 것이 아님)을 이해해야 한다. 또한, 어드레스 버스(50) 및 데이터 버스(70)를 위한 중단부( $V_{II}$ )(95)가 도시된다. 클럭 아웃 라인(93) 및 피드백 라인(90)은 클럭 버퍼(30)를 제어기(20) 내에 포함된 드라이브 회로(도시하지 않음)에 접속시킨다. DIMM(40)에 대한 클럭 드라이브는 클럭 라인(80)을 통한다. 클럭 신호는 차동 전압으로서 제공된다. 따라서, 각각의 DIMM은 클럭(210) 및 반전 클럭(220) 접속(a clock and clock-bar connection)을 갖는다.

도 3은 도 1의 DIMM(40)에 대한 클럭 넷의 개략도를 도시한다. 레지스터형 DIMM에서, 클럭 신호(210/220)는 드라이버(PLL)(202)와의 접속에서 저항(207)에 의해 중단된다. 드라이버(202)는 피드백 루프(247)를 갖고 각각의 SDRAM 칩(205)으로의 클럭 신호(257, 259)를 구동한다. 또한, 드라이버(202)는 또한 레지스터(도시하지 않음)로의 클럭 신호를 구동한다. 많은 클럭 신호 라인이 SDRAM 칩의 수 및 복잡도(sophistication)에 비례하여 PLL(202)로부터 발생할 수도 있다는 것을 이해해야 한다. 칩(205)에서 접선은 DIMM의 반대편에 존재할 수 있는 추가적인 칩을 나타낸다.

도 2는 비버퍼형 DIMM(unbuffered DIMM)(140)을 사용하는 메모리 시스템의 개략도이다. 어드레스 버스(150), 제어 버스(160) 및 데이터 버스(170)가 메모리 제어기(120) 및 DIMM(140) 사이에 단순한 형태로 도시된다. 클럭 드라이버(130)는 제어기(120) 내부에 도시된다. 클럭 드라이버(130)는 설명의 편의를 위해 하나하나 열거된 클럭(310)과 반전 클럭(320) 접속부 중 하나만 갖는 클럭 차동 라인(clock differential line)(180)을 통해 DIMM(140)과 통신한다.

도 4는 도 2의 메모리 시스템(100) 내에서 사용가능한 184 핀 비버퍼형 DDR DIMM(140)을 위한 클럭 신호 배선(넷)의 개략도이다. 클럭(310) 및 반전 클럭(320) 라인은 저항(325)에 의해 중단된다. 도 4는 몇몇 SDRAM 칩(305)을 구동하기 위한 클럭 넷 라인의 분할(split)을 도시하지만 본 구성은 더 작은 SDRAM 칩의 그룹 또는 더 큰 SDRAM 칩의 그룹에 대해 각각의 SDRAM에 대한 전용 클럭 신호 입력으로 구성될 수도 있다는 것을 이해해야 한다. 각각의 클럭/반전 클럭 쌍은 여전히 중단 저항(또는 다른 중단 요소)을 가질 것이다.

도 5는 도 3의 레지스터형 DIMM의 설계를 변형하여, 인버터, P-FET 및 N-FET를 포함하는 FET 스위치(245)로서 도시된 선택가능한 클럭 종단부를 부가한 본 발명의 실시예의 개략도이다. N-FET의 게이트는 저항을 통해 DIMM 전원  $V_{cc}$ 에 접속되는 디폴트 드라이버(246)와 병렬로 접속된다. 저항의 값은 스위치 사양(switch specifications)에 대해 적절한 것으로서 선택될 수 있다. 바람직하게, 디폴트 드라이버는 스위치를 "온(on)" 위치에 유지하여 클럭의 종단부가 FET 스위치(245)를 통해 달성되도록 작동한다. FET 스위치(245)의 저항성 부하 자체가 원하는 종단에 대해 부적절하다면 부가적인 저항성 부하(도시하지 않음)가 차동 클럭 라인 쌍 사이에서 FET 스위치(245)와 직렬로 통합될 수 있다.

스위치(245)의 디폴트 상태는 메모리 시스템(10)으로부터 입력(290)에 의해 오버라이드(override)된다. 바람직하게, 입력(290)은 가령, 184 핀 DIMM 내에서 DIMM의 사용되지 않는 예를 들어, 9, 101, 102 또는 173 번 핀과 같은 핀에 접속된다. 또한, 입력(290)은 스위치(245)에 대한 입력을 제어하는 풀업 또는 풀다운 트랜지스터 구성(pullup or pulldown transistor configurations)을 포함할 수도 있다. 도 6은 온-DIMM 디폴트 드라이버(on-DIMM default driver)가 없다는 것만 제외하고는 도 5와 유사한 구성을 나타낸다. 이러한 경우에는 스위치 상태가 메모리 시스템으로부터 입력(290a)을 통해 제어될 수 있다. 도 6의 경우에는 스위치(245)가 부동되도록(float) 하는 것과 같은 입력(290a)에서의 비접속(no-connection)을 피하는 것이 매우 바람직하다.

도 7은 비버퍼형 DIMM에 대한 본 발명의 구현을 도시한다. 이 경우, FET 스위치(345)는 선택가능한 종단부로서 사용된다. 스위치(345)에 대한 제어는 메모리 시스템으로부터의 입력(390)을 통한다. 도 7에서와 같이 단일 종단부가 사용되는 경우에는 그 단일 종단부가 DIMM 상의 클럭 입력 위치 근처에 위치하는 것이 바람직하다.

도 8은 저항(248)과 함께 다중 종단부(245a 및 245b)가 클럭 네트 내의 상이한 위치들을 종단하는 데 사용되는 또 다른 변형을 도시한다. 이러한 구성 또는 다른 다중 위치 종단 구성은 스템 길이(stub lengths)가 중요한 경우에 바람직하다. 선택가능한 클럭 종단부가 클럭 네트 내의 소정의 원하는 지점(가령, 클럭 네트의 단부 또는 근처, 클럭 네트의 분할점 등)에 위치할 수도 있다는 것을 유의해야 한다. 원하는 경우에는 다수의 스위치, 다른 스위치 디자인 및/또는 상이한 종단 모드가 포함될 수도 있다. 바람직하게, 메모리 어셈블리는 단일 드롭 단부 종단 클럭 네트를 갖는 시스템 및 다중 드롭 클럭 네트를 갖는 시스템 모두에서 동작할 수 있다. 클럭 종단 방법은 모듈 디자인에 대한 소정의 알려진 방법으로부터 선택될 수 있다. 바람직하게, 클럭 종단 방법은 (i) 단일 단부 종단, (ii)소스 직렬 종단 및 (iii) 소스 용량성 종단으로 이루어진 그룹으로부터 선택된다. 또한, 다중 종단 모드가 동일한 DIMM(또는 다른 메모리 모듈) 상에서 선택가능한 구성을 갖는 것이 가능할 수도 있다.

본 발명의 또 다른 실시예는 직렬 또는 병렬 종단부의 제거 및 (뱅크 내의 마지막 DIMM를 지나) 단일 단부 종단부(terminator)의 부가를 포함할 수 있다.

바람직하게, 종단 선택가능성으로 메모리 제어기는 사용될 메모리 클럭 종단의 유형을 결정하기 위한 검출 회로를 포함하는데, 그것에 의해 클럭 드라이버가 종단 유형과 매칭되도록 조정된다. 그러한 검출 회로는 전술한 미국 특허 출원 제 09/240,647 호에 기술된 것과 유사하다. 클럭 종단부는 다수의 메모리 어셈블리가 공통 클럭 쌍을 공유하거나 각각의 메모리 어셈블리에 대해 고유한 클럭 쌍으로 동작할 수 있게 한다. 바람직하게, 클럭 종단 방법은 제어 신호(가령,  $V_{dd}$ ,  $V_{ddQ}$  또는 메모리 어셈블리 상의 그라운드 핀)를 통해 메모리 어셈블리에 대해 선택가능하다. 예를 들어, 본 발명은 제어 회로를 포함하는 시스템이 전력을 줄이는 것을 가능하게 하여, 클럭 종단부가 활성 주기 동안은 사용되도록 하고 비활성 주기 동안은 사용되지 않도록 한다.

본 발명은 소정의 특정 메모리 시스템 또는 메모리 모듈 구성에 한정하지 않는다는 것을 유의해야 한다. 특히, 본 발명은 DDR 메모리 모듈, 더 상세하게는 168-200 핀 DIMM에 대해 유용하지만, 본 발명은 통상의 SDRAM 모듈 및 진보된 미래의 메모리 기술의 장치(가령, DDR II와 같은 기술을 사용하는 미래의 메모리 장치)와 함께 사용될 수도 있다.

바람직하게, 저전력, 적은 수의 핀 카운트 또는 고성능 시스템의 경우, 본 발명의 시스템은 디폴트 클럭 종단부를 (전술한 바와 같이) 디스에이블로 하고, (최종 사용자 목적(end-objectives)에 기초하여) 여러 가능한 클럭킹 솔루션 중 어느 하나를 실시할 수 있다. 또 다른 종단/제어 방법의 예는 직렬 저항성 종단부 또는 각각의 클럭 레그(clock leg)와 평행한 R-C 종단 중 어느 하나를 구비한 천이 제어 드라이버(transition-controlled driver)를 칩셋(chipset)에서 포함하는 것이다.

바람직하게, 고성능(가령, 클럭 재드라이브(clock re-drive)를 갖는 DIMM)의 경우, 메모리 시스템은 전술한 동일 종단 옵션을 구비한 천이 제어 드라이버를 소스에 더 포함한다. 게다가, 클럭은 제어기(또는 클럭 버퍼)로부터 각각의 DIMM(각각은 DIMM PLL 장치에 대해 매우 짧은 스템를 가짐)까지 직렬로 통과할 것이다. 본 방법은 어드레스/제어 버스(DIMM

에서 캐드라이브 뒀)와 대략 같은 로딩 및 지연(load and delay)을 갖는 클럭을 초래할 것인데, 이는 어드레스 및 클럭이 대략 같은 시간에 DIMM에 도달하는 것을 초래할 것이다. 이는 DIMM에 대해 클럭을 지연시키지 않고 최대 가능한 어드레스 유효 윈도우를 DIMM에 제공한다. 후자의 방법은 오늘날 종종 사용되며, 데이터가 제어기로 다시 전송되는 것을 지연시키는 결함 - 이는 종종 대기시간(latency)의 클럭의 부가(성능 히트(a performance hit))를 초래함 - 을 갖는다. 마지막으로, 이러한 방법은 부가적 DIMM이 동일한 어드레스 사본(address copy)을 공유할 수 있게 하여, 메모리 제어기에 대한 비용 및 핀을 줄일 수 있게 된다.

본 발명은 메모리 모듈이 기존/신규 시스템에 대해 어떠한 경우에도 요구함이 없이 기존(신규) 메모리 서브시스템에서 동작할 수 있을 뿐만 아니라 미래의 메모리 서브시스템에 대한 저전력/적은 수의 핀 카운트에 대한 요건을 충족시키도록 개발될 수 있도록 한다. 184 핀 레지스터형 DIMM의 경우, 전력 보존은 200mw/DIMM보다 크고, 시스템은 어드레스/제어 라인과 유사하게 DIMM 클럭을 직렬로 접속하여 어드레스/제어 윈도우뿐만 아니라 시스템 판독 루프 백 타이밍(system read loop-back timing)을 증가시킬 수 있게 한다.

전술한 바와 같이, 본 발명은 소정의 특정 메모리 모듈, 메모리 시스템 또는 종단 애플리케이션에 한정되지 않는다.

### 발명의 효과

본 발명에 따른 메모리 모듈은 기존/신규 시스템에 대한 어떠한 변경도 없이 기존의(신규의) 메모리 서브 시스템에서 동작할 뿐만 아니라 미래의 메모리 서브시스템의 저전력/적은 수의 핀 카운트 요건을 충족시키도록 개선된다.

### (57) 청구의 범위

#### 청구항 1.

메모리 시스템 내로 메모리 어셈블리를 제거가능하게 플러깅(flugging)하기 위한 커넥터 인터페이스 상에 다수의 핀을 갖는 메모리 어셈블리로서,

상기 메모리 시스템은 상기 메모리 어셈블리로의 클럭 신호를 상기 커넥터 인터페이스의 상기 핀의 적어도 하나에 접속된 클럭 신호 입력 라인 상에 제공하며,

상기 메모리 어셈블리는 상기 클럭 신호 입력 라인을 선택가능하게 종단시키기 위한 전기적으로 선택가능한 시스템 레벨 클럭 종단부(a electrically selectable system-level clock termination)를 갖는

메모리 어셈블리.

#### 청구항 2.

삭제

#### 청구항 3.

삭제

#### 청구항 4.

제 1 항에 있어서,

상기 클럭 종단부를 인에이블 및/또는 디스에이블(enable and/or disable)시키는 스위치를 포함하는

메모리 어셈블리.

#### 청구항 5.

제 4 항에 있어서,  
상기 스위치는 FET 스위치인  
메모리 어셈블리.

**청구항 6.**

삭제

**청구항 7.**

삭제

**청구항 8.**

삭제

**청구항 9.**

삭제

**청구항 10.**

삭제

**청구항 11.**

삭제

**청구항 12.**

삭제

**청구항 13.**

메모리 시스템으로서,

(a) 클럭 드라이브와,

(b) 상기 사용될 메모리 클럭 종단 유형을 결정하는 검출 회로를 포함하는 메모리 제어기 - 상기 클럭 드라이브는 상기 종단 유형에 매칭되도록 조정됨 - 와,

(c) 선택가능한 시스템 레벨 클럭 종단부를 갖는 메모리 어셈블리를 포함하는

메모리 시스템.

**청구항 14.**

제 13 항에 있어서,

활성 주기 동안에는 클럭 종단부를 이용하고 비활성 주기 동안에는 클럭 종단부를 이용하지 않음으로써 전력을 줄이는 회로를 더 포함하는

메모리 시스템.

**청구항 15.**

메모리 시스템 내로 메모리 어셈블리를 제거가능하게 플러깅(flugging)하기 위한 커넥터 인터페이스 상에 다수의 핀을 갖는 메모리 모듈로서,

상기 메모리 시스템은 다수의 상기 메모리 어셈블리로의 클럭 신호를 상기 메모리 모듈 제각기의 상기 커넥터 인터페이스의 적어도 하나의 핀에 접속된 클럭 신호 입력 라인 상에 제공하며,

상기 메모리 모듈은 상기 클럭 신호 입력 라인을 선택가능하게 중단시키기 위한 전기적으로 선택가능한 클럭 중단부(a electrically selectable clock termination)를 가지며,

상기 클럭 중단부는 상기 메모리 모듈이 다른 메모리 모듈과 공통의 클럭 쌍을 공유하거나 각각의 메모리 모듈에 대해 고유의 클럭 쌍으로 동작하도록 하는 방식으로 선택되는

메모리 모듈.

**청구항 16.**

제 15 항에 있어서,

상기 클럭 중단 방법은 상기 메모리 어셈블리의 상기 커넥터 인터페이스의 핀을 통한 제어 신호를 통해 선택가능한

메모리 모듈.

**청구항 17.**

삭제

**청구항 18.**

삭제

**청구항 19.**

삭제

**청구항 20.**

삭제

**청구항 21.**

삭제

**청구항 22.**

삭제

**청구항 23.**

삭제

**청구항 24.**



제 15 항에 있어서,

상기 클럭 중단 방법은 상기 모듈의 메모리 어셈블리 상에 스위치를 포함하되,

상기 스위치는 상기 메모리 어셈블리 상의 클럭 중단부를 인에이블 또는 디스에이블시키는

메모리 모듈.

#### 청구항 25.

삭제

#### 청구항 26.

삭제

#### 청구항 27.

삭제

#### 청구항 28.

다수의 메모리 어셈블리로 입력되는 하나 이상의 클럭 신호를 선택가능하게 중단시키도록 적용되는 전기적으로 선택가능한 클럭 중단부를 갖는 메모리 서브시스템으로서,

각각의 메모리 어셈블리는 상기 메모리 서브시스템 내로 상기 메모리 어셈블리를 제거가능하게 플리깅하는데 사용되는 커넥터 인터페이스의 다수의 핀 중 적어도 하나의 핀을 통해 상기 클럭 신호 입력을 수신하며,

상기 클럭 중단부는 다수의 메모리 어셈블리가 공통 클럭 신호를 공유하거나 각각의 메모리 어셈블리에 대해 고유한 클럭 신호로 동작할 수 있도록 하는 방식으로 선택되는

메모리 서브시스템.

#### 청구항 29.

제 28 항에 있어서,

상기 메모리 어셈블리 상의 클럭 중단부를 인에이블 또는 디스에이블시키기 위해 FET 스위치가 상기 서브시스템의 클럭 네트에 통합되는

메모리 서브시스템.

#### 청구항 30.

삭제

#### 청구항 31.

삭제

#### 청구항 32.

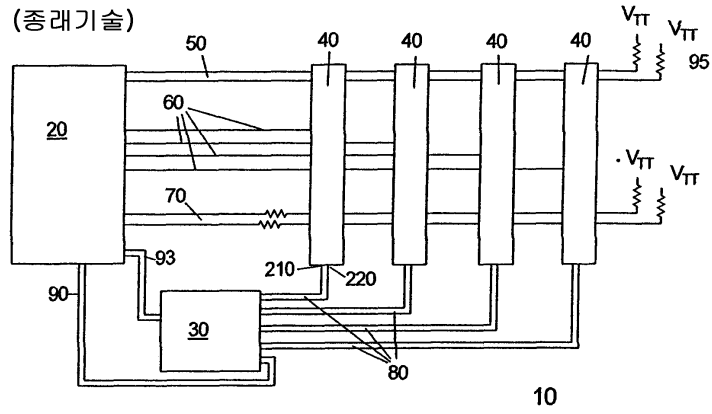
삭제

청구항 33.

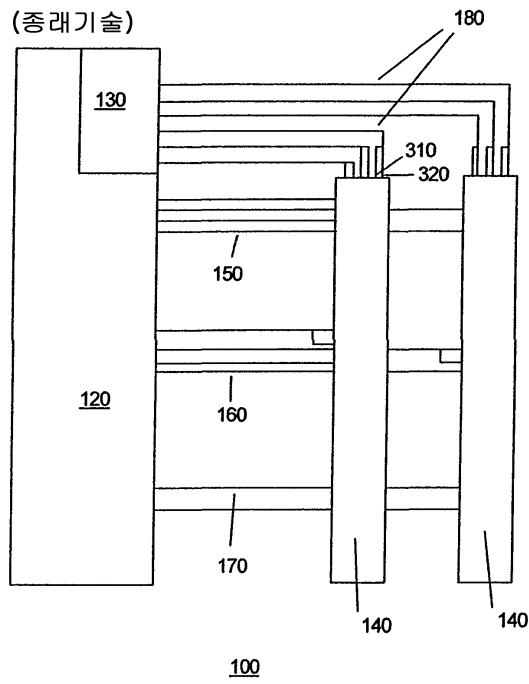
삭제

도면

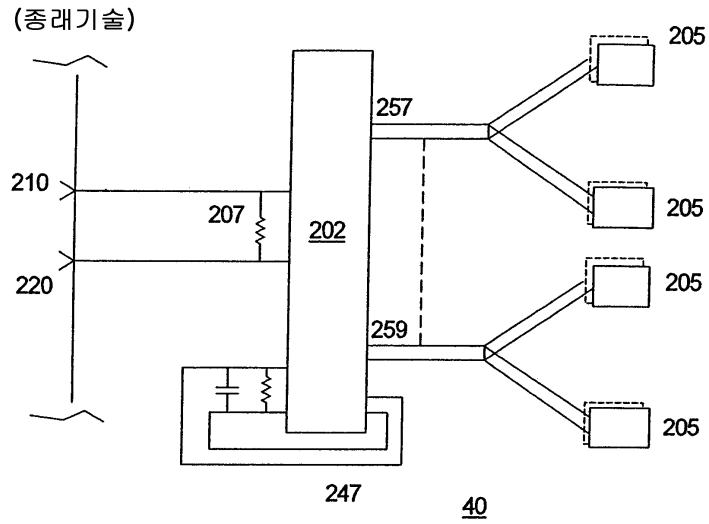
도면1



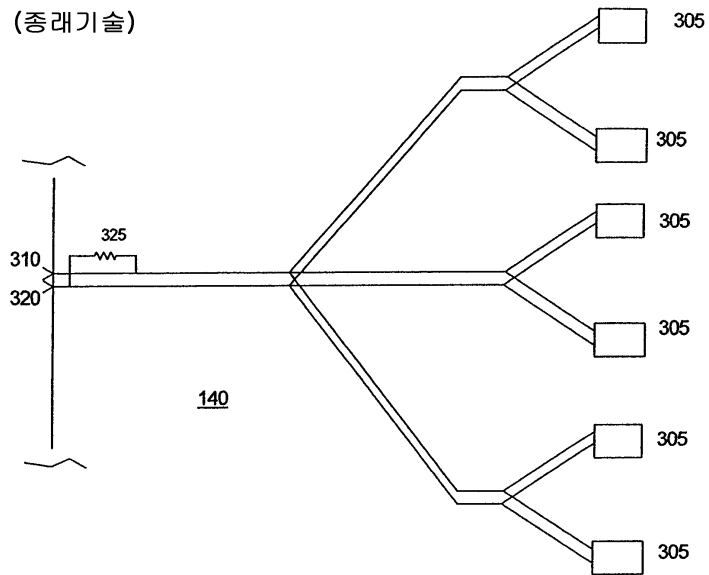
도면2



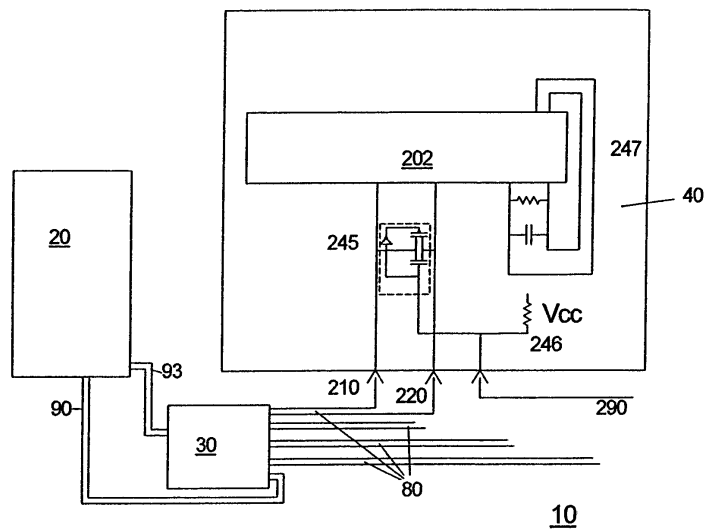
도면3



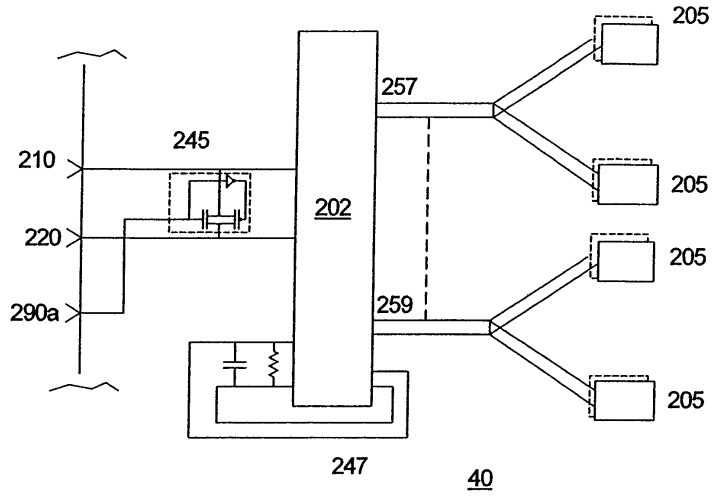
도면4



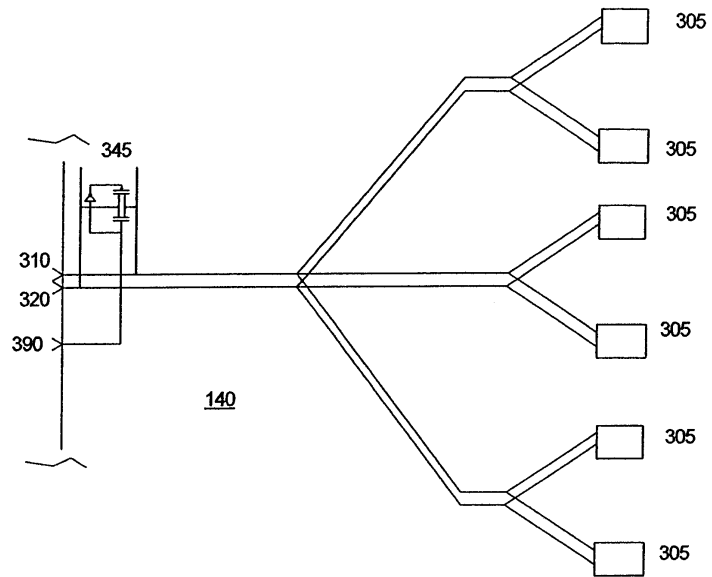
도면5



도면6



도면7



도면8

