



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년12월19일  
 (11) 등록번호 10-0875056  
 (24) 등록일자 2008년12월12일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2006-0096011

(22) 출원일자 2006년09월29일

심사청구일자 2007년04월19일

(65) 공개번호 10-2008-0030219

(43) 공개일자 2008년04월04일

(56) 선행기술조사문헌

KR 1020030000665 A

KR 1020020007865 A

KR 1020010058617A

전체 청구항 수 : 총 13 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김세훈

경기 군포시 수리동 한양아파트 804-1205

(74) 대리인

신영무

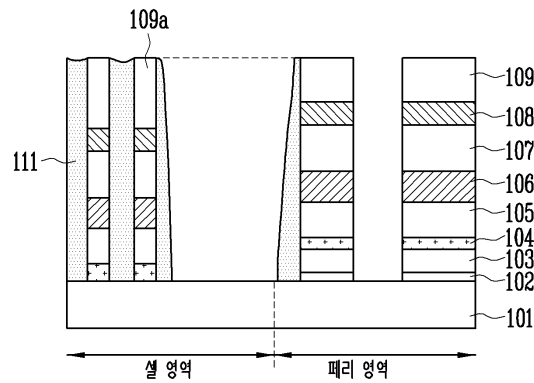
심사관 : 최상원

**(54) 플래쉬 메모리 소자의 제조방법**

**(57) 요약**

본 발명은 반도체 기판의 페리 영역에 게이트 절연막 및 제1 도전막을 형성하는 단계와, 셀 영역의 반도체 기판 상부와 페리 영역의 제1 도전막 상에 유전체막 및 제2 도전막을 형성하는 단계와, 제2 도전막 상에 하드 마스크를 형성하는 단계와, 셀 영역의 하드 마스크, 제2 도전막 및 유전체막을 패터닝하여 제1 게이트 패턴을 형성하는 단계와, 페리 영역의 하드 마스크를 패터닝하는 단계와, 셀 영역과 페리 영역의 단차가 감소되도록 페리 영역의 하드 마스크를 식각하는 단계, 및 패터닝된 하드 마스크를 이용한 식각 공정으로 페리 영역에 제2 게이트 패턴을 형성하는 단계를 포함한다.

**대표도 - 도7**



**특허청구의 범위**

**청구항 1**

반도체 기판의 주변 영역에 게이트 절연막 및 제1 도전막을 형성하는 단계;

상기 반도체 기판의 셀 영역 및 주변 영역의 상기 제1 도전막 상부에 유전체막, 제2 도전막 및 하드 마스크막을 형성하는 단계;

상기 셀 영역의 상기 하드 마스크막 및 상기 제2 도전막을 패터닝하여 제1 게이트 전극을 형성하는 단계;

상기 주변 영역을 오픈하는 마스크를 이용하여 상기 주변 영역의 상기 하드 마스크막의 일부를 리세스 하는 단계; 및

상기 리세스된 하드 마스크막, 제2 도전막, 유전체막 및 제1 도전막을 패터닝하여 제2 게이트 전극을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 2**

제 1 항에 있어서,

상기 하드 마스크막은 1200Å 내지 1500Å의 두께로 형성하는 플래쉬 메모리 소자의 제조방법.

**청구항 3**

제 1 항에 있어서,

상기 제2 게이트 전극을 형성하는 단계에서, 상기 하드 마스크막은 600Å 내지 800Å의 두께가 식각되도록 하는 플래쉬 메모리 소자의 제조방법.

**청구항 4**

제 1 항에 있어서, 상기 제1 게이트 전극을 형성한 후,

상기 제1 게이트 전극의 측벽에 버퍼 산화막을 형성하는 단계를 더 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 5**

제 1 항에 있어서,

상기 유전체막 및 상기 제2 도전막 사이에 캡핑 폴리실리콘막을 형성하는 단계를 더 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 6**

제 1 항에 있어서,

상기 하드 마스크의 상부에 비정질(amorphous) 카본 하드 마스크를 형성하는 단계를 더 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 7**

제 1 항에 있어서,

상기 제2 도전막 및 상기 하드 마스크막 사이에 텅스텐 실리사이드막 및 SiON막을 더 형성하는 플래쉬 메모리 소자의 제조 방법.

**청구항 8**

제 1 항에 있어서,

상기 제1 및 제2 도전막이 폴리실리콘막으로 형성되는 플래쉬 메모리 소자의 제조 방법.

**청구항 9**

제 1 항에 있어서,

상기 유전체막이 ONO 구조로 형성되는 플래쉬 메모리 소자의 제조 방법.

**청구항 10**

반도체 기판의 셀 영역 및 주변 영역에 하드 마스크막을 포함한 게이트용 적층막을 형성하는 단계;

상기 셀 영역의 상기 적층막을 패터닝하여 제1 게이트 전극들을 형성하는 단계;

상기 주변 영역의 상기 하드 마스크막 일부를 리세스하는 단계; 및

상기 리세스된 하드 마스크막을 이용하여, 상기 적층막을 패터닝하여 상기 주변 영역에 제2 게이트 전극들을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 11**

제 10 항에 있어서,

상기 하드 마스크막의 상부에 비정질(amorphous) 카본 하드 마스크막을 형성하는 단계를 더 포함하는 플래쉬 메모리 소자의 제조방법.

**청구항 12**

제 11 항에 있어서, 상기 제2 게이트 전극들을 형성하는 단계는,

상기 비정질 카본 하드 마스크막을 패터닝 하는 단계; 및

상기 패터닝된 비정질 카본 마스크막에 따라 상기 하드 마스크막 및 상기 적층막을 순차적으로 패터닝함과 동시에, 상기 하드 마스크의 두께를 낮추는 단계를 포함하는 플래쉬 메모리 소자의 제조 방법.

**청구항 13**

제 10 항에 있어서, 상기 제1 게이트 전극들을 형성하는 단계 이후에,

상기 제1 게이트 전극들 및 상기 주변 영역에 잔류하는 적층막의 측벽에 버퍼 산화막을 형성하는 단계를 더 포함하는 플래쉬 메모리 소자의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 플래쉬 메모리 소자의 제조방법에 관한 것으로 특히, 셀 영역과 페리 영역간의 단차를 줄이는 플래쉬 메모리 소자의 제조방법에 관한 것이다.
- <10> 일반적으로 비휘발성 메모리 소자(non-volatile memory device)는 전원공급이 끊겨도 저장된 정보를 잃지 않으며 시스템의 운영에 관여하는 데이터나 운영체제를 개발자가 프로그램하여 공급하는 목적으로 개발되어 발전하여 왔다. 이 비휘발성 메모리 소자에는 EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래쉬 EEPROM 등이 상용화되어 사용중이다. 이 중에서 플래쉬 메모리 소자는 데이터를 저장하기 위하여 전자가 주입되는 플로팅 게이트를 포함하는 구조로 이루어진다. 최근에는 플로팅 게이트를 질화막으로 형성하는 SONOS(Silicon/Oxide/Nitride/Oxide/Silicon) 구조로 플래시 메모리 소자가 개발되고 있다. 이러한 SONOS 구조를 사용할 경우, 저전압, 저소비전력 및 고속동작을 실현한 비휘발성 메모리 소자의 제조가 가능하며, 동시에, 소자의 집적도 증가에 유리하게 된다. 이와 같은 SONOS 구조를 갖는 비휘발성 메모리 소자의 동작 원리는 다음과 같다.
- <11> SONOS 구조의 비휘발성 메모리 소자는 프로그램 동작을 통해 질화막에 전자를 축적하는 방식으로 데이터가 저장

되며, 질화막의 상부, 하부 및 측면이 모두 절연막에 의해 둘러싸이기 때문에 전원공급이 중단되어도 질화막에 축적된 전자는 방출되지 않아 저장된 데이터가 유지된다. 리드 동작은 프로그램에 따른 트랜지스터 문턱전압의 차이에 의한 구동전류 차이를 차등증폭기를 이용 구분하는 것에 의해 이루어진다. 한편, 이러한 SONOS 구조를 구현하기 위해, 셀 영역에 3층 구조의 유전체막이 형성되기 전에 페리 영역에 게이트 절연막과 폴리실리콘막이 형성된다. 즉, 셀 영역에는 유전체막과 도전막을 포함하는 셀 게이트가 형성되고, 페리 영역에는 게이트 절연막, 폴리실리콘막, 유전체막 및 도전막을 포함하는 게이트가 형성된다. 페리 영역에 형성된 게이트는 폴리실리콘막을 포함하기 때문에, 셀 영역과 주변 영역 사이에는 폴리실리콘막에 의한 단차가 발생된다. 셀 게이트와 게이트를 포함한 반도체 기판 상에는 SAC 질화막과 층간 절연막이 형성되고, 층간 절연막의 평탄화 공정이 진행된다. 이때, 단차 때문에 페리 영역의 게이트 상에 형성된 SAC 질화막이 셀 영역의 셀 게이트 상에 형성된 SAC 질화막보다 먼저 노출된다. 이 때문에, 평탄화 공정 동안 페리 영역의 게이트 상에 형성된 SAC 질화막이 제거될 수 있다. 이런 까닭으로, 페리 영역의 고전압 트랜지스터의 누설 전류가 증가된다. 또한, 누설전류에 의한 험프(hump) 특성이 발생하고, 그로 인하여 고전압 트랜지스터의 문턱전압 변화에 의한 고전압 트랜지스터의 오동작이 발생할 수 있다.

**발명이 이루고자 하는 기술적 과제**

<12> 따라서, 본 발명은 게이트 적층시 하드 마스크의 두께를 높게 형성함으로써 식각시 손실되는 하드 마스크의 량을 보상할 수 있게 되므로 셀 영역과 페리 영역간의 단차를 줄이는 데 있다.

**발명의 구성 및 작용**

<13> 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조방법은 반도체 기판의 페리 영역에 게이트 절연막 및 제1 도전막을 형성하는 단계와, 셀 영역의 반도체 기판 상부와 페리 영역의 제1 도전막 상에 유전체막 및 제2 도전막을 형성하는 단계와, 제2 도전막 상에 하드 마스크를 형성하는 단계와, 셀 영역의 하드 마스크, 제2 도전막 및 유전체막을 패터닝하여 제1 게이트 패턴을 형성하는 단계와, 페리 영역의 하드 마스크를 패터닝하는 단계와, 셀 영역과 페리 영역의 단차가 감소되도록 페리 영역의 하드 마스크를 식각하는 단계, 및 패터닝된 하드 마스크를 이용한 식각 공정으로 페리 영역에 제2 게이트 패턴을 형성하는 단계를 포함한다.

<14> 하드 마스크는 1200 내지 1500Å의 두께로 형성하며, 페리 영역의 하드 마스크는 600 내지 800Å의 두께만큼 식각된다.

제1 게이트 패턴을 형성한 후, 상기 제1 게이트 패턴의 측면에 버퍼 산화막을 형성하는 단계를 더 포함한다.

상기 유전체막 및 상기 제2 도전막 사이에 캡핑 폴리실리콘막이 더 형성된다.

하드 마스크 상에 카본 하드 마스크가 형성된 상태에서 상기 하드 마스크의 터닝이 이루어지는 것이 바람직하다.

제2 도전막 및 상기 하드 마스크 사이에 텅스텐 실리사이드막 및 SiON막이 더 형성된다.

제1 및 제2 도전막은 폴리실리콘막으로 형성되며, 유전체막은 ONO 구조로 형성된다.

<15> 삭제

<16> 삭제

<17> 삭제

<18> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

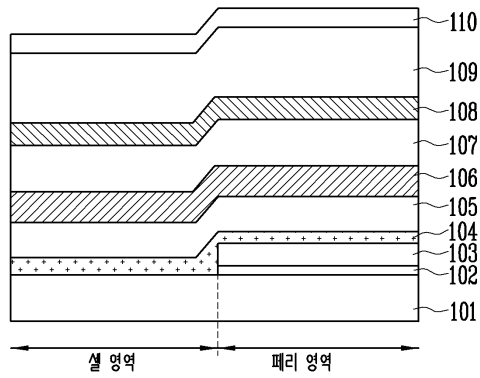
<19> 도 1 내지 도 7은 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조방법을 도시한 단면도이다.

<20> 도 1을 참조하면, 반도체 기판(101)의 페리 영역 상부에 게이트 산화막(102) 및 제 1 폴리 실리콘막(103)을 형

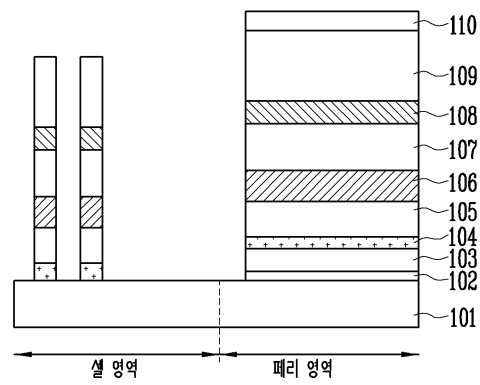


도면

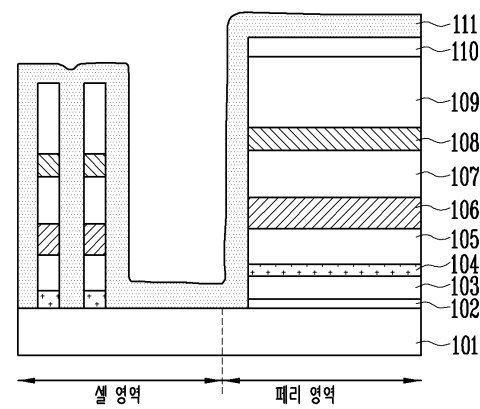
도면1



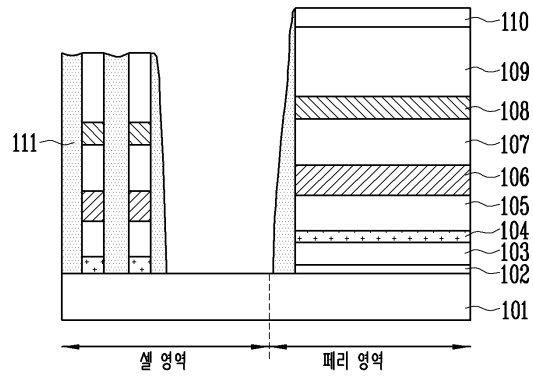
도면2



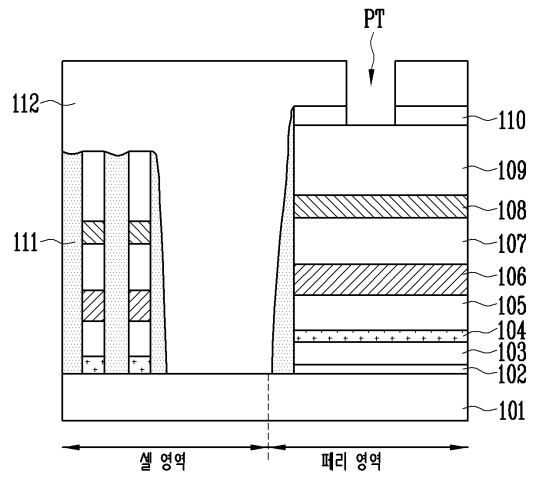
도면3



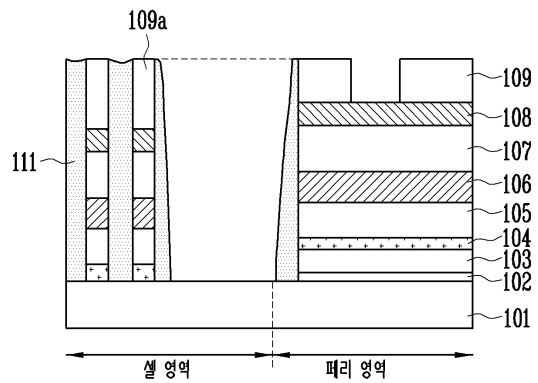
도면4



도면5



도면6



도면7

