

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 3 月 30 日 (2017.3.30)

【公開番号】特開 2015-185609 (P2015-185609A)

【公開日】平成 27 年 10 月 22 日 (2015.10.22)

【年通号数】公開・登録公報 2015-065

【出願番号】特願 2014-59077 (P2014-59077)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 27/146 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 27/14 A

【手続補正書】

【提出日】平成 29 年 2 月 22 日 (2017.2.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体装置の製造方法であって、

第 1 領域及び第 2 領域を有する半導体基板の上に、前記第 1 領域の上に位置する第 1 部分と前記第 2 領域の上に位置する第 2 部分とを有するパターンングされた第 1 膜であって、前記第 1 部分の上面の前記半導体基板からの高さが前記第 2 部分の上面の前記半導体基板からの高さよりも低い第 1 膜を形成する第 1 膜形成工程と、

前記第 1 膜の上に、絶縁膜である第 2 膜であって、前記第 2 膜の一部が前記第 1 部分を貫通し前記第 1 領域のトレンチの内部にあり、前記第 2 膜の別の一部が前記第 2 部分を貫通し前記第 2 領域のトレンチの内部にある第 2 膜を形成する第 2 膜形成工程と、

前記第 2 膜を研磨して前記第 2 膜のうち前記第 1 膜の上にある部分を除去する研磨工程とを有し、

前記第 1 領域において前記トレンチの占める比率は、前記第 2 領域において前記トレンチの占める比率よりも低いことを特徴とする製造方法。

【請求項 2】

前記第 2 膜形成工程において、前記第 2 膜が前記第 1 領域の上にある第 1 部分と前記第 2 領域の上にある第 2 部分とを有し、前記第 2 膜の前記第 1 部分の上面の前記半導体基板からの高さが前記第 2 膜の前記第 2 部分の上面の前記半導体基板からの高さよりも低くなるように前記第 2 膜が形成されることを特徴とする請求項 1 に記載の製造方法。

【請求項 3】

前記第 2 膜形成工程は、前記第 2 膜が前記第 1 領域の上にある第 1 部分と前記第 2 領域の上にある第 2 部分とを有し、前記第 2 膜の前記第 1 部分の上面の前記半導体基板からの高さが前記第 2 膜の前記第 2 部分の上面の前記半導体基板からの高さよりも低くなるように、前記第 2 膜を加工する第 2 膜加工工程を含むことを特徴とする請求項 1 に記載の製造方法。

【請求項 4】

半導体装置の製造方法であって、

第 1 領域及び第 2 領域を有する半導体基板の上に、パターンングされた第 1 膜を形成す

る第 1 膜形成工程と、

前記第 1 膜の上に、絶縁膜である第 2 膜であって、前記第 2 膜の一部が前記第 1 膜を貫通し前記半導体基板のトレンチの内部にある第 2 膜を形成する第 2 膜形成工程と、

前記第 2 膜を研磨して前記第 2 膜のうち前記第 1 膜の上にある部分を除去する研磨工程と、

前記研磨工程の後に、前記第 2 膜のうち前記第 1 領域の上にある部分の上面の前記半導体基板からの高さ、前記第 2 膜のうち前記第 2 領域の上にある部分の上面の前記半導体基板からの高さとの差を低減するように前記第 2 膜を加工する第 2 膜加工工程とを有し、

前記第 1 領域において前記トレンチの占める比率は、前記第 2 領域において前記トレンチの占める比率よりも低く、

前記第 2 膜加工工程の前に、前記第 2 膜のうち前記第 1 領域の上にある部分の上面の前記半導体基板からの高さは、前記第 2 膜のうち前記第 2 領域の上にある部分の上面の前記半導体基板からの高さよりも高いことを特徴とする製造方法。

【請求項 5】

前記第 2 膜形成工程は、前記第 2 膜のうち前記第 1 領域の上にある部分の上面の前記半導体基板からの高さが前記第 2 膜のうち前記第 2 領域の上にある部分の上面の前記半導体基板からの高さよりも低くなるように、前記第 2 膜を加工することを含むことを特徴とする請求項 4 に記載の製造方法。

【請求項 6】

前記第 2 膜加工工程は、

前記第 2 膜のうち前記第 1 領域の上にある部分を露出し、前記第 2 膜のうち前記第 2 領域の上にある部分を覆う第 2 レジストパターンを形成し、

前記第 2 レジストパターンをマスクとして用いて前記第 2 膜をエッチングすることを含むことを特徴とする請求項 3 又は 5 に記載の製造方法。

【請求項 7】

前記研磨工程の後に、前記第 2 膜のうち前記第 1 領域の上にある部分の上側と前記第 2 膜のうち前記第 2 領域の上にある部分の上側をエッチングによって除去する工程を更に有することを特徴とする請求項 1 乃至 6 の何れか 1 項に記載の製造方法。

【請求項 8】

前記第 1 膜形成工程の前に、前記半導体基板の上にポリシリコン膜を形成する工程を更に有し、

前記エッチングの後に残る前記第 2 膜の上面の前記半導体基板からの高さは、前記ポリシリコン膜の底面の前記半導体基板からの高さよりも高く、前記ポリシリコン膜の上面の前記半導体基板からの高さよりも低いことを特徴とする請求項 7 に記載の製造方法。

【請求項 9】

前記第 1 膜形成工程は、

前記第 1 膜のうち前記第 1 領域の上にある部分を露出し、前記第 1 膜のうち前記第 2 領域の上にある部分を覆う第 1 レジストパターンを形成することと、

前記第 1 レジストパターンをマスクとして用いて前記第 1 膜をエッチングすることとを含むことを特徴とする請求項 1 乃至 8 の何れか 1 項に記載の製造方法。

【請求項 10】

前記半導体装置は、前記半導体基板に画素領域及び周辺回路領域を有する光電変換装置であり、

前記第 1 領域は前記画素領域を含み、前記第 2 領域は前記周辺回路領域を含むことを特徴とする請求項 1 乃至 9 の何れか 1 項に記載の製造方法。

【請求項 11】

前記画素領域は、前記半導体基板に形成された不純物半導体領域の内部に形成され、

前記第 1 領域は、前記不純物半導体領域を含むことを特徴とする請求項 10 に記載の製造方法。

【請求項 12】

前記周辺回路領域は、ダミーの活性領域を含むことを特徴とする請求項 10 又は 11 に記載の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

上記課題に鑑みて、本発明の一部の側面では、半導体装置の製造方法であって、第1領域及び第2領域を有する半導体基板の上に、前記第1領域の上に位置する第1部分と前記第2領域の上に位置する第2部分とを有するパターニングされた第1膜であって、前記第1部分の上面の前記半導体基板からの高さが前記第2部分の上面の前記半導体基板からの高さよりも低い第1膜を形成する第1膜形成工程と、前記第1膜の上に、絶縁膜である第2膜であって、前記第2膜の一部が前記第1部分を貫通し前記第1領域のトレンチの内部にあり、前記第2膜の別の一部が前記第2部分を貫通し前記第2領域のトレンチの内部にある第2膜を形成する第2膜形成工程と、前記第2膜を研磨して前記第2膜のうち前記第1膜の上にある部分を除去する研磨工程とを有し、前記第1領域において前記トレンチの占める比率は、前記第2領域において前記トレンチの占める比率よりも低いことを特徴とする製造方法が提供される。本発明の別の側面では、半導体装置の製造方法であって、第1領域及び第2領域を有する半導体基板の上に、パターニングされた第1膜を形成する第1膜形成工程と、前記第1膜の上に、絶縁膜である第2膜であって、前記第2膜の一部が前記第1膜を貫通し前記半導体基板のトレンチの内部にある第2膜を形成する第2膜形成工程と、前記第2膜を研磨して前記第2膜のうち前記第1膜の上にある部分を除去する研磨工程と、前記研磨工程の後に、前記第2膜のうち前記第1領域の上にある部分の上面の前記半導体基板からの高さとの差を低減するように前記第2膜を加工する第2膜加工工程とを有し、前記第1領域において前記トレンチの占める比率は、前記第2領域において前記トレンチの占める比率よりも低く、前記第2膜加工工程の前に、前記第2膜のうち前記第1領域の上にある部分の上面の前記半導体基板からの高さは、前記第2膜のうち前記第2領域の上にある部分の上面の前記半導体基板からの高さよりも高いことを特徴とする製造方法が提供される。