

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-501016
(P2024-501016A)

(43)公表日 令和6年1月10日(2024.1.10)

(51)国際特許分類	F I	テーマコード (参考)
H O 1 L 21/3205(2006.01)	H O 1 L 21/88 J	5 F 0 3 3
H O 1 L 21/02 (2006.01)	H O 1 L 21/88 M	
	H O 1 L 21/02 B	

審査請求 未請求 予備審査請求 未請求 (全42頁)

(21)出願番号	特願2023-539267(P2023-539267)	(71)出願人	518065991 アデア セミコンダクター ボンディング テクノロジーズ インコーポレイテッド アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パーク ウェイ 3 0 2 5
(86)(22)出願日	令和3年12月27日(2021.12.27)		
(85)翻訳文提出日	令和5年8月28日(2023.8.28)		
(86)国際出願番号	PCT/US2021/073122		
(87)国際公開番号	WO2022/147429		
(87)国際公開日	令和4年7月7日(2022.7.7)		
(31)優先権主張番号	63/131,263	(74)代理人	100094569 弁理士 田中 伸一郎
(32)優先日	令和2年12月28日(2020.12.28)		
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100103610 弁理士 ▲吉▼田 和彦
(31)優先権主張番号	63/216,389		
(32)優先日	令和3年6月29日(2021.6.29)	(74)代理人	100109070 弁理士 須田 洋之
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA 最終頁に続く	(74)代理人	100098475 弁理士 倉澤 伊知郎
		(74)代理人	100130937 最終頁に続く

(54)【発明の名称】 基板貫通ビアを有する構造体及びそれを形成する方法

(57)【要約】

基板貫通ビア（TSV）を有するマイクロ電子構造体及びそれを形成する方法を開示する。マイクロ電子構造体は、ビア構造体を有するバルク半導体を含むことができる。ビア構造体は、第1及び第2の導電性部分を有することができる。ビア構造体はまた、第1の導電性部分とバルク半導体の間に障壁層を有することができる。構造体は、第1及び第2の導電性部分間に第2の障壁層を有することができる。第2の導電性部分は、第2の障壁層からバルク半導体の上面まで延びることができる。TSVを含有するマイクロ電子構造体は、マイクロ電子構造体を第2の要素又は構造体に結合することができるように構成される。

【選択図】 図4H

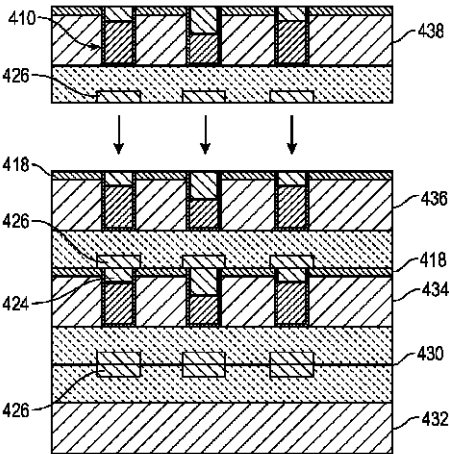


FIG. 4H

【特許請求の範囲】

【請求項 1】

第 1 の面と前記第 1 の面の反対側の第 2 の面とを有するバルク半導体部分と、

前記第 1 の面に対して非平行な方向に沿って前記バルク半導体部分を少なくとも部分的に通って延びる開口部に配置されたビア構造体と、を備え、

前記ビア構造体は、第 1 の導電性ビア部分と、第 2 の導電性ビア部分と、前記第 1 の導電性ビア部分の側壁に沿って延びる第 1 の障壁層と、前記第 1 の導電性ビア部分と前記第 2 の導電性ビア部分との間に配置された第 1 の部分を含む第 2 の障壁層とを備え、前記第 2 の導電性ビア部分は、前記第 2 の障壁層から少なくとも前記第 1 の面まで延びる、

マイクロ電子構造体。

10

【請求項 2】

前記バルク半導体部分上の誘電体層を更に備え、

前記第 2 の導電性ビア部分は、前記第 2 の導電性ビア部分の端部が前記誘電体層の上面と面一であるか又はそこから凹むように前記誘電体層を通して延びる、

請求項 1 に記載のマイクロ電子デバイス。

【請求項 3】

前記誘電体層は、別の要素と直接に結合するように構成された平坦化された誘電体結合層を備える、請求項 2 に記載のマイクロ電子デバイス。

【請求項 4】

前記誘電体層は、前記バルク半導体部分上の誘電体障壁層を更に備え、前記平坦化された誘電体結合層は、前記誘電体障壁層上に配置される、請求項 3 に記載のマイクロ電子デバイス。

20

【請求項 5】

前記第 2 の障壁層は、前記第 1 の障壁層と前記第 2 の導電性ビア部分との間を前記第 1 の障壁層に沿って延びる第 2 の部分を含む、請求項 1 から 4 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 6】

前記第 1 の導電性ビア部分の第 1 の金属テクスチャが、前記第 2 の導電性ビア部分の第 2 の金属テクスチャとは異なる、請求項 1 から 5 のいずれか 1 項に記載のマイクロ電子デバイス。

30

【請求項 7】

前記第 2 の金属テクスチャは、結合界面に対して非平行な 1 1 1 結晶面に沿って配向された粒子を有する、請求項 6 に記載のマイクロ電子デバイス。

【請求項 8】

前記第 1 の導電性ビア部分及び前記第 2 の導電性ビア部分は、銅を含み、前記第 1 の導電性ビア部分の前記銅は、その中に不純物材料を有する、請求項 1 から 7 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 9】

前記第 1 の導電性ビア部分は、前記第 2 の導電性ビア部分よりも高い不純物濃度を有する、請求項 8 に記載のマイクロ電子デバイス。

40

【請求項 10】

前記第 1 の導電性ビア部分は、ベリリウム (Be)、インジウム (In)、ガリウム (Ga)、マンガン (Mn)、及びニッケル (Ni) のうちの 1 又は 2 以上を含む 1 又は 2 以上の合金元素を更に含む、請求項 8 に記載のマイクロ電子デバイス。

【請求項 11】

前記不純物材料は、硫黄、酸素、炭素、又は窒素のうちの 1 又は 2 以上を含む、請求項 8 に記載のマイクロ電子デバイス。

【請求項 12】

前記第 1 の導電性ビア部分及び前記第 2 の導電性ビア部分は、異なる金属又は異なる合金を含む、請求項 1 から 11 のいずれか 1 項に記載のマイクロ電子デバイス。

50

【請求項 1 3】

前記第 2 の面は、前記第 2 の面内に又は上に形成されたアクティブ集積回路を含むアクティブ面を備える、請求項 1 から 1 2 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 1 4】

結合構造体であって、

請求項 1 から 1 3 のいずれか 1 項に記載の前記マイクロ電子デバイスを備え、

前記マイクロ電子デバイスは、接着剤を介在することなく別の要素に直接に結合される

、
結合構造体。

【請求項 1 5】

前記第 2 の導電性ビア部分の端面が、接着剤を介在することなく前記別の要素の接触パッドに直接に結合される、請求項 1 4 に記載の結合構造体。

【請求項 1 6】

前記マイクロ電子要素及び前記別の要素の非導電性結合領域が、接着剤を介在することなく直接に結合される、請求項 1 4 又は 1 5 に記載の結合構造体。

【請求項 1 7】

第 1 の導電性ビア部分と、第 2 の導電性ビア部分と、前記第 1 の導電性ビア部分の側壁に沿って延びる第 1 の障壁層と、前記第 1 の導電性ビア部分と前記第 2 の導電性ビア部分の間に配置された第 1 の部分を含む第 2 の障壁層とを有する第 2 のビア構造体を更に備え

、
前記ビア構造体の前記第 2 の導電性ビア部分は、前記第 2 のビア構造体の前記第 2 の導電性ビア部分の長さとは異なる長さに沿って延びる、

請求項 1 から 1 6 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 1 8】

第 1 の面と前記第 1 の面の反対側の第 2 の面とを有するバルク半導体部分と、

前記第 1 の面に対して非平行な方向に沿って前記第 1 の面を通り、前記バルク半導体部分を少なくとも部分的に通って延びる開口部に配置されたビア構造体と、を備え、

前記ビア構造体は、第 1 の導電性ビア部分と、障壁層を介在することなく前記第 1 の導電性ビア部分の上にかつそれと接触して直接に配置された第 2 の導電性ビア部分とを備え、前記第 2 の導電性ビア部分は、前記第 1 の面と前記第 1 の導電性ビア部分との間に配置され、前記第 1 の導電性ビア部分は、前記第 2 の導電性ビア部分とは異なる材料組成を有する、

マイクロ電子構造体。

【請求項 1 9】

前記第 1 の導電性部分及び前記第 2 の導電性部分の側壁に沿って延びる障壁層を更に備える、請求項 1 8 に記載のマイクロ電子デバイス。

【請求項 2 0】

前記バルク半導体部分上の誘電体層を更に備え、

前記第 2 の導電性ビア部分は、前記第 2 の導電性ビア部分の端部が前記誘電体層の上面と面一であるか又はその下方に凹むように前記誘電体層を通して延びる、

請求項 1 8 又は 1 9 に記載のマイクロ電子デバイス。

【請求項 2 1】

前記誘電体層は、別の要素と直接に結合するように構成された平坦化された誘電体結合層を備える、請求項 2 0 に記載のマイクロ電子デバイス。

【請求項 2 2】

前記誘電体層は、前記バルク半導体部分上の誘電体障壁層を更に備え、前記平坦化された誘電体結合層は、前記誘電体障壁層上に配置される、請求項 2 1 に記載のマイクロ電子デバイス。

【請求項 2 3】

前記第 1 の導電性ビア部分の第 1 の金属テクスチャが、前記第 2 の導電性ビア部分の第

10

20

30

40

50

２の金属テクスチャとは異なる、請求項１８から２２のいずれか１項に記載のマイクロ電子デバイス。

【請求項２４】

前記第２の金属テクスチャは、１１１結晶面に沿って配向された粒子を有する、請求項２３に記載のマイクロ電子デバイス。

【請求項２５】

前記第１の導電性ビア部分及び前記第２の導電性ビア部分は、銅を含み、前記第１の導電性ビア部分の前記銅は、その中に不純物材料を有する、請求項１８から２４のいずれか１項に記載のマイクロ電子デバイス。

【請求項２６】

前記第１の導電性ビア部分は、ベリリウム（Be）、インジウム（In）、ガリウム（Ga）、マンガン（Mn）、及びニッケル（Ni）のうちの１又は２以上を含む１又は２以上の合金元素を含む、請求項２５に記載のマイクロ電子デバイス。

【請求項２７】

前記不純物材料は、硫黄、酸素、炭素、又は窒素のうちの１又は２以上を含む、請求項２５に記載のマイクロ電子デバイス。

【請求項２８】

前記第１の導電性ビア部分及び前記第２の導電性ビア部分は、異なる金属又は異なる合金を含む、請求項１８から２７のいずれか１項に記載のマイクロ電子デバイス。

【請求項２９】

結合構造体であって、
請求項１８から２８のいずれか１項に記載の前記マイクロ電子デバイスを備え、
前記マイクロ電子デバイスは、接着剤を介在することなく別の要素に直接に結合される、
結合構造体。

【請求項３０】

前記第２の導電性ビア部分の端面が、接着剤を介在することなく前記別の要素の接触パッドに直接に結合される、請求項２９に記載の結合構造体。

【請求項３１】

前記マイクロ電子要素及び前記別の要素の非導電性結合領域が、接着剤を介在することなく直接に結合される、請求項２９又は３０に記載の結合構造体。

【請求項３２】

第１の面と前記第１の面の反対側の第２の面とを有するバルク半導体部分と、
前記第１の面に対して非平行な方向に沿って前記第１の面を通り、前記バルク半導体部分を少なくとも部分的に通って延びる開口部に配置されたビア構造体と、を備え、
前記ビア構造体は、第１の導電性ビア部分と、障壁層を介在することなく前記第１の導電性ビア部分の上にかつそれと接触して直接に配置された第２の導電性ビア部分とを備え、
前記第２の導電性ビア部分が、前記第１の面と前記第１の導電性ビア部分との間に配置され、前記第１の導電性ビア部分が、前記第２の導電性ビア部分よりも前にかつそれとは別に形成される、
マイクロ電子構造体。

【請求項３３】

前記第１の導電性部分及び前記第２の導電性部分の側壁に沿って延びる障壁層を更に備える、請求項３２に記載のマイクロ電子デバイス。

【請求項３４】

前記第１の導電性ビア部分の第１の金属テクスチャが、前記第２の導電性ビア部分の第２の金属テクスチャとは異なる、請求項３２又は３３に記載のマイクロ電子デバイス。

【請求項３５】

前記第２の金属テクスチャは、１１１結晶面に沿って配向された粒子を有する、請求項３４に記載のマイクロ電子デバイス。

10

20

30

40

50

【請求項 36】

前記第1の金属テクスチャは、垂直の30°以内に付けられた第1の比率の111平面を有し、

前記第2の金属テクスチャは、垂直の30°以内に付けられた第2の比率の111平面を有し、前記第2の比率は、前記第1の比率より大きい、

請求項35に記載のマイクロ電子デバイス。

【請求項 37】

前記第1の導電性ビア部分及び前記第2の導電性ビア部分は、銅を含み、前記第1の導電性ビア部分の前記銅は、その中に不純物材料を有する、請求項32から36のいずれか1項に記載のマイクロ電子デバイス。

【請求項 38】

前記第1の導電性ビア部分は、前記第2の導電性ビア部分と比べてより高い百分率の合金元素を有する、請求項32から37のいずれか1項に記載のマイクロ電子デバイス。

【請求項 39】

結合構造体であって、

請求項32から38のいずれか1項に記載の前記マイクロ電子デバイスを備え、

前記マイクロ電子デバイスは、接着剤を介在することなく別の要素に直接に結合される

結合構造体。

【請求項 40】

前記第2の導電性ビア部分の端面が、接着剤を介在することなく前記別の要素の接触パッドに直接に結合される、請求項39に記載の結合構造体。

【請求項 41】

前記マイクロ電子要素及び前記別の要素の非導電性結合領域が、接着剤を介在することなく直接に結合される、請求項39又は40に記載の結合構造体。

【請求項 42】

マイクロ電子構造体を形成する方法であって、

前面と前記前面の反対側の裏面とを有する基板を少なくとも部分的に通して開口部を形成する段階であって、前記開口部が、前記第2の面に対して非平行な方向に沿って前記前面を通して延びる、前記形成する段階と、

前記前面から前記開口部に第1の導電性ビア部分を設ける段階と、

前記裏面から材料を除去することによって前記第1の導電性ビア部分を露出する段階と

前記露出する段階の後に、前記裏面から前記第1の導電性ビア部分にわたって前記開口部に充填構造体を設ける段階と、

を含む方法。

【請求項 43】

前記充填構造体を設ける段階は、前記裏面から前記第1の導電性ビア部分にわたって前記開口部に第2の導電性ビア部分を設ける段階を含む、請求項42に記載の方法。

【請求項 44】

前記露出する段階の後に、前記第1の導電性ビア部分を前記裏面から凹ませる段階を更に含む、請求項43に記載の方法。

【請求項 45】

前記第1の導電性ビア部分を設ける段階の後、前記第2の導電性ビア部分を設ける段階の前に、前記第1の導電性ビア部分の上に第2の障壁層を設ける段階を更に含む、請求項44に記載の方法。

【請求項 46】

前記第1の導電性ビア部分の側壁に沿って第1の障壁層を設ける段階を更に含む、請求項45に記載の方法。

【請求項 47】

前記第 1 の導電性ビア部分を設ける段階の前に、前記第 1 の障壁層を設ける段階を更に含む、請求項 4 6 に記載の方法。

【請求項 4 8】

前記第 2 の障壁層を設ける段階は、前記第 1 の障壁層と前記第 2 の導電性ビア部分との間に前記第 1 の障壁層に沿って前記第 2 の障壁層を設ける段階を含む、請求項 4 6 又は 4 7 に記載の方法。

【請求項 4 9】

前記バルク半導体部分上に誘電体層を設ける段階を更に含み、

前記誘電体層は、前記基板の前記裏面を少なくとも部分的に定め、前記第 2 の導電性ビア部分は、前記第 2 の導電性ビア部分の端部が前記基板の前記裏面と面一であるか又はそこから凹むように前記誘電体層を通して延びる、

10

請求項 4 3 から 4 8 のいずれか 1 項に記載の方法。

【請求項 5 0】

別の要素に直接に結合するために前記誘電体層を準備する段階を更に含む、請求項 4 9 に記載の方法。

【請求項 5 1】

前記バルク半導体部分上に誘電体障壁層を設ける段階を更に含み、

前記誘電体結合層は、前記誘電体障壁層上に配置される、

請求項 5 0 に記載の方法。

【請求項 5 2】

20

接着剤を介在することなく前記誘電体層を別の要素に直接に結合する段階を更に含む、請求項 5 0 又は 5 1 に記載の方法。

【請求項 5 3】

接着剤を介在することなく前記第 2 の導電性ビア部分の端面を前記別の要素の接触パッドに直接に結合する段階を更に含む、請求項 5 2 に記載の方法。

【請求項 5 4】

前記充填構造体を設ける段階は、前記第 1 の導電性ビア部分にわたって凹部に誘電体層を設ける段階を含む、請求項 4 2 に記載の方法。

【請求項 5 5】

前記第 1 の導電性ビア部分が前記基板の前記裏面から突出するように前記裏面から前記基板の部分を除去する段階と、前記導電性ビアを露出するために前記誘電体層を除去する段階とを更に含む、請求項 5 4 に記載の方法。

30

【請求項 5 6】

前記基板の前記部分を除去する段階は、前記基板の前記裏面をエッチングする段階を含む、請求項 5 5 に記載の方法。

【請求項 5 7】

少なくとも前記基板の前記エッチングされた裏面と前記凹部に配置された前記誘電体層の部分との上に第 2 の裏側誘電体層を設ける段階を更に含む、請求項 5 6 に記載の方法。

【請求項 5 8】

少なくとも前記凹部に配置された前記誘電体層の前記部分の上に重なる前記第 2 の裏側誘電体層の部分を除去する段階を更に含む、請求項 5 7 に記載の方法。

40

【請求項 5 9】

前記第 2 の裏側誘電体層を平坦化する段階と、前記第 2 の裏側誘電体層に対して前記第 1 の導電性ビア部分を凹ませる段階とを更に含む、請求項 5 7 又は 5 8 に記載の方法。

【請求項 6 0】

マイクロ電子構造体を形成する方法であって、

前面と前記第 1 の面の反対側の裏面とを有する基板を少なくとも部分的に通して開口部を形成する段階であって、前記開口部が前記前面に対して非平行な方向に沿って前記前面を通して延びる、前記形成する段階と、

第 1 の導電性ビア部分で前記開口部を充填する段階と、

50

前記裏面から材料を除去することによって前記第 1 の導電性ビア部分を露出する段階と

、
前記第 1 の導電性部分を露出する段階の後に充填構造体で前記開口部の部分を再充填する段階と、
を含む方法。

【請求項 6 1】

前記充填構造体で前記開口部の前記部分を再充填する段階は、前記裏面から前記第 1 の導電性ビア部分にわたって前記開口部に第 2 の導電性ビア部分を設ける段階を含む、請求項 6 0 に記載の方法。

【請求項 6 2】

前記露出する段階の後に前記第 1 の導電性部分を凹ませて前記開口部の前記部分を定める段階を更に含む、請求項 6 1 に記載の方法。

【請求項 6 3】

前記凹ませる段階の後でかつ前記再充填する段階の前に前記第 1 の導電性ビア部分上に第 2 の障壁層を堆積させる段階を更に含む、請求項 6 2 に記載の方法。

【請求項 6 4】

前記充填する段階の前に前記開口部をライニングするために第 1 の障壁層を堆積させる段階を更に含む、請求項 6 3 に記載の方法。

【請求項 6 5】

前記第 2 の障壁層を堆積させる段階は、前記開口部の前記部分内で前記第 1 の障壁層上に前記第 2 の障壁層を堆積させる段階を含む、請求項 6 4 に記載の方法。

【請求項 6 6】

前記充填構造体で前記開口部の前記部分を再充填する段階は、前記第 1 の導電性ビア部分にわたって凹部に誘電体層を設ける段階を含む、請求項 6 0 に記載の方法。

【請求項 6 7】

前記第 1 の導電性ビア部分が前記基板の前記裏面から突出するように前記裏面から前記基板の部分を除去する段階と、前記導電性ビアを露出するために前記誘電体層を除去する段階と、を更に含む、請求項 6 6 に記載の方法。

【請求項 6 8】

前記基板の前記部分を除去する段階は、前記基板の前記裏面をエッチングする段階を含む、請求項 6 7 に記載の方法。

【請求項 6 9】

少なくとも前記基板の前記エッチングされた裏面と前記凹部に配置された前記誘電体層の部分との上に第 2 の裏側誘電体層を設ける段階を更に含む、請求項 6 8 に記載の方法。

【請求項 7 0】

少なくとも前記凹部に配置された前記誘電体層の前記部分の上に重なる前記第 2 の裏側誘電体層の部分を除去する段階を更に含む、請求項 6 9 に記載の方法。

【請求項 7 1】

前記第 2 の裏側誘電体層を平坦化する段階と、前記第 2 の裏側誘電体層に対して前記第 1 の導電性ビア部分を凹ませる段階とを更に含む、請求項 6 9 又は 7 0 に記載の方法。

【請求項 7 2】

第 1 の結合面を有し、前記第 1 の結合面の反対側に第 3 の面を有する第 1 の要素と、
第 2 の結合面を有する第 2 の要素と、

前記第 1 の結合面に対して非平行な方向に沿って前記第 1 の結合面から前記第 1 の要素を少なくとも部分的に通って延びる開口部に配置されたビア構造体と、を備え、

前記ビア構造体は、互いに接触する第 1 の導電性ビア部分と第 2 の導電性ビア部分とを備え、前記第 2 の導電性ビア部分は、前記第 1 の要素の前記結合面で結合材料内に少なくとも部分的に埋め込まれ、前記結合材料及び前記第 2 の導電性ビア部分は、接着剤を介在することなく前記第 2 の要素の前記結合面に直接に結合される、

結合構造体。

10

20

30

40

50

【請求項 7 3】

前記第 1 の要素及び前記第 2 の要素の非導電性結合領域が、接着剤を介在することなく直接に結合される、請求項 7 2 に記載の結合構造体。

【請求項 7 4】

マイクロ電子構造体を形成する方法であって、

開口部と前記開口部に配置された導電性ビアとを有する基板を設ける段階であって、前記導電性ビアが、前記基板の第 1 の側から第 2 の側に向けて前記基板を部分的に通って延びる、前記設ける段階と、

前記導電性ビアを露出するために前記第 2 の側から前記基板の部分を除去する段階と、凹部を形成するために前記基板の前記第 2 の側から前記導電性ビアの部分を除去する段階と、

前記導電性ビアにわたって前記凹部に誘電体層を設ける段階と、

前記導電性ビアが前記基板の前記第 2 の側から突出するように前記第 2 の側から前記基板の部分を更に除去する段階と、

前記導電性ビアを露出するために前記誘電体層を除去する段階と、

を含む方法。

【請求項 7 5】

前記基板の前記部分を除去する段階は、前記第 2 の側を研削する段階及び研磨する段階のうちの少なくとも一方を含む、請求項 7 4 に記載の方法。

【請求項 7 6】

前記研削する段階及び研磨する段階のうちの少なくとも一方は、前記基板及び前記導電性ビアを平坦化する段階を含む、請求項 7 5 に記載の方法。

【請求項 7 7】

前記導電性ビアの前記部分を除去する段階は、前記導電性ビアをエッチングする段階を含む、請求項 7 4 に記載の方法。

【請求項 7 8】

前記誘電体層を設ける段階は、前記基板の裏側にわたってかつ前記凹部に第 1 の裏側誘電体層を設ける段階を含む、請求項 7 4 に記載の方法。

【請求項 7 9】

前記第 1 の裏側誘電体層を設ける段階は、複数の誘電体層を設ける段階を含む、請求項 7 8 に記載の方法。

【請求項 8 0】

前記複数の誘電体層を設ける段階は、前記基板の前記裏側にわたってかつ前記導電性ビアにわたって第 1 の窒化珪素層を設ける段階と、前記第 1 の窒化珪素層にわたって第 2 の酸化珪素層を設ける段階とを含む、請求項 7 9 に記載の方法。

【請求項 8 1】

前記基板の前記部分を更に除去する段階の前に、前記基板の前記裏側にわたって配置された前記第 1 の裏側誘電体層の部分を除去する段階を更に含む、請求項 7 8 から 8 0 のいずれか 1 項に記載の方法。

【請求項 8 2】

前記基板の前記部分を更に除去する段階は、前記基板の前記裏側をエッチングする段階を含む、請求項 7 8 に記載の方法。

【請求項 8 3】

少なくとも前記基板の前記エッチングされた裏側と前記凹部に配置された前記第 1 の裏側誘電体層の部分との上に第 2 の裏側誘電体層を設ける段階を更に含む、請求項 8 2 に記載の方法。

【請求項 8 4】

少なくとも前記凹部に配置された前記第 1 の裏側誘電体層の前記部分の上に重なる前記第 2 の裏側誘電体層の部分を除去する段階を更に含む、請求項 8 3 に記載の方法。

【請求項 8 5】

10

20

30

40

50

前記第 2 の裏側誘電体層を平坦化する段階と、前記第 2 の裏側誘電体層に対して前記導電性ビアを凹ませる段階とを更に含む、請求項 8 3 又は 8 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願への相互参照〕

この出願は、2021年6月29日出願の「基板貫通ビアを有する構造体及びそれを形成する方法」という名称の米国仮特許出願第 63 / 216, 389 号及び 2022 年 12 月 28 日出願の「基板貫通ビアを有する構造体及びそれを形成する方法」という名称の米国仮特許出願第 63 / 131, 263 号に対する優先権を主張し、これによりその各々の内容全体が引用によって本明細書に組み込まれるものである。

10

【0002】

本分野は、基板貫通ビアを有する構造体及びそれを形成する方法に関する。

【背景技術】

【0003】

集積デバイスダイ又はチップのような半導体要素は、他の要素上に装着される又は積み重ねられる場合がある。例えば、半導体要素は、パッケージ基板、インターポーザー、再構成ウェーハ又は要素、又は他の半導体要素のようなキャリアに装着することができる。別の例として、半導体要素は、別の半導体要素の上に積み重ねることができ、例えば、第 1 の集積デバイスダイは、第 2 の集積デバイスダイの上に積み重ねることができる。一部の配置では、基板貫通ビア (TSV) は、半導体要素を通して、例えば、半導体要素の第 1 の面から半導体要素の第 2 の反対面まで電気信号を伝達するために半導体要素の厚みを通して垂直に延びることができる。

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

TSV を形成する方法の改善に対する必要性が絶えず存在する。

【0005】

ここで、限定ではなく例示として提供する以下の図面を参照して特定の実施を以下に説明する。

30

【図面の簡単な説明】

【0006】

【図 1 A】要素に TSV を形成するための従来の加工段階を示す図である。

【図 1 B】要素に TSV を形成するための従来の加工段階を示す図である。

【図 1 C】要素に TSV を形成するための従来の加工段階を示す図である。

【図 1 D】要素に TSV を形成するための従来の加工段階を示す図である。

【図 1 E】要素に TSV を形成するための従来の加工段階を示す図である。

【図 1 F】要素に TSV を形成するための従来の加工段階を示す図である。

【図 2】加工されたウェーハのエッチング深度マップを示す図である。

【図 3 A】エッチングされたウェーハの例示的ウェーハマップである。

【図 3 B】エッチングされたウェーハの例示的ウェーハマップである。

40

【図 4 A】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 B】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 C】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 D】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 F】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 G】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 H】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 4 I】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図 5 A】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

50

【図 5 B】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 C】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 D】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 E】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 F】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 G】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 H】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 5 I】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 A】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 B】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 C】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 D】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 E】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 F】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 G】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。
【図 6 H】 様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【発明を実施するための形態】

【0007】

図 1 A ~ F は、マイクロ電子構造体に T S V を形成するための様々な従来の加工段階を例示している。従来、T S V の形成は、ビアミドル又は前側ビアラスト加工方法を使用して実行することができる。これらの方法の両方は、例えば厚み 40 μm ダイを含む異なるダイに対する大量生産工程である。これらの工程の両方は、集積回路製作後のバルクシリコンの中への T S V を通したエッチングを伴う。これらの工程の技術的課題は、ダイ厚みの縮小と共に増大する。これらの課題は、T S V エッチング均一性、ダイ厚み均一性、及び形成される裏側誘電体層の全体品質を含む可能性がある。

【0008】

図 1 A では、マイクロ電子構造体は、半導体ウェーハの一部分 102 を備える。図示のビア構造体は、バルク半導体部分 102 のアクティブ面上に又は内にアクティブ回路 106、例えば、トランジスタ又は他のアクティブ回路要素を形成することができるビアミドル構造体を備え、アクティブ回路 106 の上に 1 又は 2 以上の絶縁層 112 及び 113 を形成することができ、T S V のための開口部 104 を 1 又は 2 以上の絶縁層 112 及び 113 とバルク半導体部分 102 の一部とを通して形成することができる。一部の配置では、金属化層 110、例えば、バックエンドオーバーライン (B E O L) 又は再配置層 (R D L) を 1 又は 2 以上の絶縁層の上に又は内に設けることができる。

【0009】

図 1 B では、ビア構造体 108 を設けることができる。ビア構造体 108 は、開口部の中にかつ絶縁層 112 及び 113 にわたって延びることができる。図 1 C では、導電性パッド 114 を 1 又は 2 以上の絶縁層の上に設け、金属化層 110 に電気接続することができる。図 1 B のビア構造体 108 の電気メッキに由来する導電性余剰部 (overburden) は、図 1 C で除去 (例えば、研磨除去) することができる。図 1 D に示すように、1 又は 2 以上の絶縁層 112 及び 113 の上に導電性パッド 117 を設け、ビア構造体 108 に電気接続することができる。導電性パッド 117 は、別の要素に電気接続するように構成することができる。一部の配置構成では、導電性パッド 117 は、B E O L 又は R D L の一部とすることができる。

【0010】

図 1 E に示すように、マイクロ電子構造体 114 の前側を接着剤 118 でキャリア 120 に取り付けることができる。キャリア 120 は、加工中にマイクロ電子構造体 114 を支持するのに使用される一時的ハンドルウェーハを含むことができる。一部の実施形態では、接着剤 118 は有機接着剤を備えることができ、高温に敏感であるとすることができる。従って、キャリア 120 をマイクロ電子構造体 114 に取り付けるために接着剤 11

10

20

30

40

50

8を使用すると、加工中に適用することができる温度が制限される可能性がある。しかし、別の実施形態では、キャリア120は、接着剤118なしでマイクロ電子構造体114の前側に直接に結合させることができる。前側114がキャリア120に取り付けられる間に、半導体部分124の裏側を研削又は摩滅させてビア108を露出させることができる。図1Fに示すように、誘電体層122を半導体124の裏側面に堆積させることができる。裏側金属化層116、例えば、バックエンドオーバーライン(BEOL)又は再配置層(RDL)を誘電体層122の上に設けることができ、ビア構造体108に電気接続するように構成することができる。

【0011】

従来のビア形成工程には、不均一なビア長さをもたらすいくつかの問題がある。例えば、ビアのための開口部を形成するのに使用されるエッチング工程は、特にビアに使用される高アスペクト比の開口部の場合に、ウェーハのような基板全体を通して不均一であり、それによってビア開口部の深度が異なることになる。製造されたビアの不均一性は、TSV露出工程中に収量の損失をもたらす。更に、TSV露出工程の一部である誘電体堆積は、ダイをキャリアに接着するのに使用される一時的な結合材料によって制限される可能性がある。接着剤は裏側誘電体の堆積温度を制限し、様々な加工上の問題を引き起こす可能性がある。更に、一時的な結合層厚みの不均一性は、薄くされたシリコンウェーハ厚み均一性に追加される可能性がある。実際に、図2に示すように、12インチウェーハの場合に、ビア開口部の形成に使用されるエッチング工程は、約7ミクロンの不均一性を有する可能性がある。ウェーハの一部の区域では、エッチング深度が高く(202)、一方でウェーハの一部の区域では、エッチング深度が低く(206)、ウェーハの他の区域は、低いエッチング深度(206)と高いエッチング深度(202)の間のエッチング深度(204)を有することになる。導電材料、例えば、銅が開口部に充填された状態で、ビア開口部の変化する深度は、異なるビア構造体長さに至る。

【0012】

図3Aに示すように、ビアの長さが異なると、収量の大幅な損失をもたらす可能性がある。この厚みの損失は、例えば、一時的な工程に起因するウェーハ厚みの変動と結び付いた場合に、TSVの収量を更に低減する可能性がある。例えば、短すぎて(304)有効でないTSVを有するダイ及び長すぎて(302)有効でないTSVを有するダイは、使用されない可能性がある。例えば、ウェーハ内の一部のダイは、長すぎて(302)研削又は研磨中に折れてしまうTSVを有する可能性がある。他のビアは短すぎて(304)デバイスの半導体部分に埋もれる。更に、一部の工程では、不完全又は不均一なメッキ手順から不均一なTSVが生じる可能性がある。例えば、そのような工程では、ビア開口部を均一にエッチングすることは可能であるが、高アスペクト比の開口部を通過するメッキ工程では、ビア開口部を均一に充填することができない。この工程変動により、有効な(306)ダイの数が減少する。従って、不均一なTSVの長さは、様々な異なる加工方法に起因する可能性がある。

【0013】

図3Bは、TSV平坦化後に測定することができる8インチウェーハに関する厚み変動を例示している。見ることができるように、ウェーハの厚みは4ミクロンだけ変動する可能性がある。ウェーハの一部の領域は58.09ミクロンまでの厚みを有することができ、一方でウェーハの他の領域は56.09ミクロンの厚みを有することができ、一方でウェーハの他の領域は約54.67ミクロンのよりも低い厚みを有することができる。ウェーハの厚み変動も、一部のTSVを無効にする原因になり、工程制御レベルの低下をもたらす可能性がある。

【0014】

上述のように、例えば、ダイ厚みの不均一性とTSV開口部のエッチング不均一性により、半導体部分の裏側を研削してTSVを露出させた後では、TSVの長さがウェーハ全体を通してかなり変動する可能性がある。従って、バルク半導体部分の裏側を研削する又は他に薄くすると、露出したビアは、様々な長さだけ薄くなった半導体部分の裏側から

突出する場合があります、一部のビアは、上述のように露出しないままで半導体部分に埋もれる場合があります。突出するTSVの破損を防止しながらTSVの不均一な長さを低減するために、半導体部分の裏側の上に及びTSVの上に1又は2以上の裏側誘電体層を設けることができる。TSVの高さにある程度の変動があっても、半田バンプを使用することは可能であるが、この変動は平坦性の欠如をもたらし、積み重ねを困難にする。直接ハイブリッド結合のような一部の積み重ね技術は、「局所」変動に特に敏感である。

【0015】

例えば、一部の工程では、最初の裏側シリコン研削と湿式又は乾式エッチング方法によるTSVのライナーに対するシリコンの選択的除去との後に、TSVの約6〜7ミクロンが半導体部分の裏側から突出する。障壁層、例えば、窒化珪素、酸窒化珪素、炭窒化珪素、ダイヤモンド状炭素のような誘電体障壁層又はいずれかの他の適切な誘電体障壁材料層を半導体部分の裏側の上に、露出したTSVの側壁の上に、及び露出したTSVの露出端面の上に堆積させることができる。障壁層の上面、露出したTSVの側壁に沿って延びる障壁層の部分、及び露出したTSVの端面に沿って配置された障壁層の部分を含む誘電体障壁層の上に、酸化珪素又はいずれかの他の適切な誘電体のような第2の誘電体層を堆積させることができる。裏側誘電体層を堆積させた後に、ビア及び誘電体層の部分を研磨して又は他に除去してビアを平坦化し、不均一性を低減することができる。

【0016】

他の工程では、第1の誘電体障壁層及び／又は第2の誘電体障壁層のより薄い層を薄くなった半導体部分及びビアの上に堆積させることができる。例えば、他の工程では、誘電体層は、僅か1又は2ミクロンに過ぎず、例えば、ビアの突出部分の長さよりも有意に薄い場合がある。ビア及び誘電体層を研磨すると、ビアの一部が折れてビアの端部が半導体部分に埋もれ、半導体部分の裏側に対して凹むようになる場合がある。TSVが破損すると、デバイスの収量が低下する可能性がある。

【0017】

これらの工程の一部では、TSV内の選択された金属は、TSVの性能に有意な変化をもたらす可能性がある。例えば、一部の工程では、銅(Cu)が有効な堆積金属になる可能性がある。TSVに使用する場合に、銅は使用可能な合金金属であり、TSVの膨張特性及び研磨特性を変化させる可能性がある。エッチビアの底部にある銅は、一般的に閉じ込められており、自由な銅と同じ速度又は同じ温度でアニールすることができない可能性がある。これらの異なる特性は、TSVの露出に先立つ堆積工程では、安定した結晶学的構造体を持たないCuのTSVをもたらす可能性がある。更に、TSV金属化は、例えば、直接結合相互接続(Direct Bond Interconnect)(登録商標)工程による信頼性の高い直接結合に不適切な金属不純物又は有機不純物を含む場合がある。更に、保管中又は熱処理中のTSVの収縮は、TSVを取り囲む絶縁酸化物に形状的な問題、例えば、リム又はトレンチの形成を引き起こすことが示されている。

【0018】

従来のTSV形成工程の収量を低減する一部の主な問題は、TSVエッチング深度の不均一性及び研磨中のTSV破損を含む。TSVは、300mmウェーハの全体を通して合計55µmの深度の中から2〜4µmという典型的な深度変動を有する可能性がある。この深度変動により、均一な面結合を達成するのに難題が生じる可能性がある。更に、不均一なTSVは、加工中に破損をもたらし、収量の低下に至る場合がある。シリコンウェーハは、化学機械加工(CMP)平坦化を使用して平坦化することができる。CMP平坦化中に、一部のTSVが裂ける可能性がある。この破損は、部分的には、TSVの深度変動に起因することの多い過度のTSV露出によって引き起こされる可能性がある。

【0019】

従来、裏側TSV加工は、大量生産での直接結合に使用されていなかった。ウェーハの裏側でTSVを平坦化する従来の手順はまた、銅パッドのパターン化とウェーハへの半田バンプの付加とに依存する場合がある。同じく、従来の裏側加工では、TSVの折れを防げず、直接結合に適する平坦性を達成することができない。これらの工程は、研磨時間の

長さ、4～6サイクルの範囲にあり、機械加工時間が最大で2時間掛かる可能性がある研磨サイクル数、堆積させる材料の量（5 μm）、除去される材料の量（堆積させた酸化物に応じて、2～4 μm）、及び研磨間に使用される総アニール時間（1時間のアニールサイクルを3～5回）の理由で大量生産に適さない可能性がある。

【0020】

本明細書に開示する様々な実施形態は、薄くされたウェーハ全体を通してTSV長さが均一であることを保証することにより、デバイスの収量を改善することができる。一部の実施形態では、銅の湿式エッチングを使用して、銅のTSV面は、シリコン面の数ミクロンよりも下まで低くすることができる。一部の実施形態では、周囲のシリコンバルクは、TSV内の銅を抑制して安定化することを助けることになる。一部の実施形態では、銅シード層の堆積前に障壁層を堆積させる。一部の実施形態では、電気メッキ技術を使用してビアを充填する。一部の実施形態では、一部のTSVは他のTSVよりも深い場合があり、電気メッキ工程を使用して、破損したTSVの追加の深度を受け入れることができる。

10

【0021】

一部の実施形態では、アニール工程は、結合に使用されるデバイス側の銅と類似の化学的及び構造的特性を与えるために銅プラグ材料を安定化させる。一部の実施形態では、アニール工程は銅プラグ材料を安定化させて、デバイス側の結合銅と同じ不純物及びテクスチャ特性を有するようにする。一部の実施形態では、銅メッキを直接結合界面としてアニールすることができる。このアニーリングは銅プラグ材料を安定化させ、プラグ材料を化学的及び物理的にデバイス側の直接結合界面銅パッドと似たものにすることができる。

20

【0022】

一部の実施形態では、銅層に対して使用されるCMPは、標準的な直接結合界面CMPのためのスラリ及び工程を含むことができる。一部の実施形態では、TSVに対するCMPは、スラリの使用方法及び機械加工時間に関してデバイス側のCMPと同じであるとするすることができる。一部の実施形態では、CMPパラメータは、デバイス側のCMPパラメータと同じであるか又は類似しているとするすることができる。一部の実施形態では、このCMP均一性は、追加のフォトリソグラフィ段階を使用する又はしないに関わらず達成することができる。一部の実施形態では、CMP工程中に使用されるフォトリソグラフィ段階だけが全面的な裏側加工であるとするすることができる。

【0023】

図4A～4Iは、一実施形態に従ってマイクロ電子構造体を形成する方法を示している。図4Aに示すようにかつ上述のように、バルク半導体部分404を含む基板の厚みを少なくとも部分的に通してTSV構造体410を設けることができる。一部の実施形態では、バルク半導体部分404は、シリコン、ゲルマニウム、炭化珪素、又はいずれかの他の適切な半導体材料を含むことができる。1又は複数のライナー層412を基板の前面406から開口部に設けることができる。1又は2以上のライナー層412は、一部の実施形態では誘電体ライナー415を含むことができる。1又は2以上のライナー層412の誘電体ライナー415は、窒化珪素、酸窒化珪素、炭窒化珪素、ダイヤモンド状炭素、及びいずれかの他の適切な誘電体を含むことができる。一部の実施形態では、1又は2以上のライナー層412は、これに加えて又はこれに代えて、第1のライナー障壁層413を含むことができる。図4Aは、層412を単層として模式的に示しているが、層412は、例えば、誘電体ライナー415及びライナー障壁層413を含む複数の層又は副層を備えることができることを認めなければならない。第1の導電性ビア402は、ライナー層412にわたって開口部に設けることができる。一部の実施形態では、第1の導電性ビア402は銅を含むことができるが、他の適切な金属を使用することもできる。第1の導電性ビア部分402は、基板406の前面から設けることができる。第1のライナー障壁層413は、導電性ビア材料の拡散を低減するための導電性障壁を含むことができる。第1のライナー障壁層413は、第1の導電性ビア部分402及び第2の導電性ビア部分424の導電材料とは異なる材料とすることができる。第1のライナー障壁層413は、第1の導電性ビア部分402及び／又は第2の導電性ビア部分424の導電材料に対して周囲の

30

40

50

誘電体及び／又は半導体材料内への拡散を低減するように構成することができる。第1のライナー障壁層413に使用される材料の例は、窒化チタン、窒化タンタル、及びいずれかの他の適切な金属及び金属窒化物材料のような金属及び金属窒化物材料を含む。第1の導電性ビア部分402は、開口部内でシード層の上に電気メッキすることができる。ウェーハの前面又は前側、例えば、第1の面406は、半導体部分のアクティブ側を含むことができ、アクティブ側の中に又は上にトランジスタのようなアクティブ集積回路が形成される。ウェーハの前面又は第1の面406は、キャリア414に装着することができる。キャリア414は、一部の実施形態では、一時的なハンドルウェーハとして機能することができる。一部の実施形態では、マイクロ電子構造体は、接着剤を使用してキャリア414に取り付けることができる。他の実施形態では、マイクロ電子構造体は、以下でより詳細に説明する直接結合技術を使用して、接着剤を介在することなくキャリア414に直接に結合させることができる。図4A～Cに示すように、TSV410は、バルク半導体内のかなりの深度を通過する変動性エッチングのために、基板全体を通して変動する高さを有する可能性がある。

10

【0024】

図4Bでは、このステージでは基板の裏面でもある半導体部分の裏側、すなわち、第2の側408は、乾式エッチングを行う又は他に除去することで薄くされ、TSV410を露出させることができる。図示のように、TSV410は、半導体部分408の裏側を超えて突出する可能性がある。上述のように、TSV410の長さは、ウェーハ全体を通して不均一である可能性があるので、TSV410は、半導体部分416の上に様々な長さだけ突出する。エッチング工程は、ビア構造体410を無傷のまましておくことができるので、誘電体ライナー415及び第1のライナー障壁層413を含む1又は2以上のライナー層412は、導電性ビア部分の側壁411の上にかつそれに沿って配置されたままである。図4Cでは、1又は2以上の誘電体層418をバルク半導体部分416の上面408にわたってビア構造体410の側壁411に沿ってかつ基板の裏面408を定めるビア構造体410の端面にわたって設けることができ、例えば、堆積させることができる。図4Cは、層418を単一層として模式的に示しているが、層418は、複数の層又は副層を備えることができることを認めなければならない。様々な実施形態では、誘電体層418は、バルク半導体部分416の上及びビア構造体410の上に設けられた第1の誘電体障壁層419とすることができる。誘電体層418は、第1の誘電体障壁層419を覆う第2の誘電体層421を更に含むことができる。様々な実施形態では、第1の誘電体障壁層419は、例えば、窒化珪素、酸窒化珪素、炭化珪素、炭窒化珪素、ダイヤモンド状炭素(DLC)、又はいずれかの他の適切な誘電体障壁層材料のような銅の移動を低減する材料を含むことができる。第2の誘電体層421は、低k誘電体を含むことができ、酸化珪素のような無機誘電体とすることができる。図4Cに示すように、TSV410は、約0～10ミクロン、1～7ミクロン、又は5～6ミクロンの範囲にある距離だけ半導体部分408を超えて突出する可能性がある。更に本明細書で説明するように、TSV410は、TSV420に見られるように折れて、半導体部分416及び／又は誘電体層418の中に0～10ミクロン、1～7ミクロン、又は2～6ミクロンの範囲にある距離だけ凹む可能性がある。誘電体層418の厚みは、約2～7ミクロンの範囲、約3～7ミクロンの範囲、又は4～6ミクロンの範囲、又は一実施形態では約5ミクロンであることができる。

20

30

40

【0025】

図4Dでは、ビア構造体410及び誘電体層418は、例えば、基板の裏面408に適用される化学機械研磨(CMP)工程を使用して平坦化することができる。本明細書で上述のように、平坦化工程は、TSV410のうちの1又は2以上、例えば、中央のTSV420を折り取ることもあり得る。例えば、図4Dでは、中央のTSV420は、TSV420が誘電体層418及び／又は半導体部分416の中に埋もれてその面の下方に凹むように折れたものとして示している。上述のように、中央のTSV420のような破損したTSVは、ウェーハデバイスの収量を低減する可能性がある。CMPスラリに対して選

50

択された化学的性質に応じて、他の T S V 4 1 0 の一部又は全ても、誘電体層及び／又は半導体部分の下方に凹む場合がある。

【 0 0 2 6 】

図 4 E では、第 1 の導電性ビア部分 4 0 2 は、基板 4 0 8 の裏面の下方、例えば、誘電体層 4 1 8 及び／又は半導体部分 4 0 8 の下方に凹むように選択的にエッチングされることができる。中央の T S V 4 2 0 が折れたために、中央のビア構造体 4 2 0 のエッチング深度は、他のビア構造体 4 1 0 のエッチング深度よりも深い。様々な実施形態では、選択的な銅湿式エッチングを実行して第 1 の導電性ビア部分 4 0 2 の一部だけをエッチングすることができる。有利なことに、図示の実施形態では、基板 4 1 6 全体を通して T S V 4 1 0 の全ては、付加された誘電体層 4 1 8 の上面よりも少なくとも下方にある程度凹んでいる。他の実施形態では、T S V 4 1 0 の陥入は、図 4 D に関して上述した C M P 中に達成することができる。更に他の実施形態では、別々の陥入工程を使用するか否かに関わらず、全ての T S V 4 1 0 を凹ませる訳ではなく、一部の T S V 4 1 0 だけを凹ませる。例えば、一部の実施形態では、一部の T S V 4 1 0 が例えば折れによって面 4 0 8 の下方に実質的に凹む従来の C M P 工程が使用される。

10

【 0 0 2 7 】

図 4 F に示すように、収量を改善し、平坦化された高品質の結合面を提供するために、第 1 の導電性ビア部分 4 0 2 の露出端面の上にかつライナー障壁層 4 1 2 に沿って第 2 の障壁層 4 2 2 を設けることができる。第 2 の障壁層 4 2 2 の上にシード層（図示せず）を設けることができ、第 2 の導電性ビア部分 4 2 4 は、例えば、電気メッキにより、基板 4 1 6 の裏面から第 2 の障壁層 4 2 2 の上に設けることができる。マイクロ電子構造体はアニールすることができ、それによって粒子成長を有利に容易にして直接結合を改善することができる。有利なことに、例えば、電気メッキのような堆積工程とアニール工程とを共に選択して直接ハイブリッド結合を準備することができ、これは、高アスペクト比の深いビアの充填を改善するように選択される最初に T S V ビア 4 1 0 を充填するのに使用されたメッキ工程とは対照的である。

20

【 0 0 2 8 】

様々な実施形態では、合金添加剤を T S V 4 1 0 の導電材料に付加することができる。合金添加剤を提供して熱膨張を制御する及び／又は導体の耐食性を改善することができる。一部の実施形態では、導体は、銅、銀、金、又はいずれかの他の適切な導電材料である。合金添加材料は、金属元素、例えば、ベリリウム、インジウム、ガリウム、ニッケル、マンガンを含むことができ、典型的に、T S V 4 1 0 の 5 原子%未満、より具体的には、2 原子%未満に対応する。合金添加剤は、シード層又は第 2 の障壁層 4 2 2 の一部として施され、そこから拡散することができる。そのような合金元素は、T S V 4 1 0 の硬度、耐食性、及び／又はその後のアニーリング中に粒子形成を抑制するために異なる量で存在することができる。金属－金属直接結合工程での相互拡散を容易にするために第 2 の導電性部分でより大きい粒子が望ましいので、第 1 の導電部分 4 0 2 は、第 2 の導電性部分 4 2 4 と比べて、より小さい割合の合金元素を含有することができる。例えば、一部の実施形態では、第 2 の導電性ビア部分 4 2 4 は、第 1 の導電性ビア部分と比べて少なくとも 5 % 少ない、少なくとも 1 0 % 少ない、少なくとも 1 5 % 少ない、又は少なくとも 2 0 % 少ない合金元素を有することができる。

30

40

【 0 0 2 9 】

これに加えて、レベラー、抑制剤、促進剤のような 1 又は 2 以上の有機添加剤を T S V 4 1 0 の形成中にメッキ浴に提供して充填を改善することができる。様々な実施形態では、第 2 の導電性ビア部分 4 2 4 をメッキする場合に、開口部を充填する第 1 の導電性ビア部分 4 0 2 をメッキする場合に使用される添加剤の種類又は量と比べて、異なる添加剤及び／又は異なる比率の添加剤、例えば、より少ない添加剤を付加することができる。例えば、一部の実施形態では、第 1 の導電性ビア部分 4 0 2 をメッキする場合も第 2 の導電性ビア部分 4 2 4 をメッキする場合も添加剤を使用することができるが、第 1 の導電性ビア部分 4 0 2 に使用される添加剤の量は、第 2 の導電性ビア部分 4 2 4 に使用される量とは

50

実質的に異なる場合がある。一部の実施形態では、第1の導電性ビア部分402をメッキする場合に、第2の導電性ビア部分424をメッキする場合よりも多くの添加剤を使用することができる。一部の実施形態では、例えば、充填を改善するために、第1の導電性ビア部分402の電気メッキ中に有機添加剤のような添加剤を付加することができるが、第2の導電性ビア部分424の電気メッキ中は、異なる比率又は異なる種類の有機添加剤を付加することができる。様々な実施形態では、第1の導電性ビア部分402のメッキ浴は、第2の導電性ビア部分424を形成するためのメッキ浴と比べてより大きい割合の有機添加剤を含むことができる。従って、第1の導電性ビア部分402は、第2の導電性ビア部分424と比べて硫黄、酸素、窒素、及び／又は炭素のような不純物をより大きい割合で有することができる。様々な実施形態では、第1の導電性ビア部分402は、第2の導電性ビア部分424と比べて窒素、炭素、及び／又は酸素のようなより多くの不純物を導入する高濃度のレバラー、例えば、ヤヌスグリーンを有するメッキ浴内に形成することができる。両方の部分402及び424では、添加剤に由来する不純物は百万分率（ppm）で測定することができる。

10

【0030】

電気メッキ後に、メッキ添加剤からの不純物、例えば、不純物の中でも特に炭素、窒素、硫黄、酸素は、第1の導電性ビア部分402及び／又は第2の導電性ビア部分424に取り込まれる可能性がある。一部の実施形態では、第1の導電性ビア部分402に存在する不純物の量は、第2の導電性ビア部分424に存在する不純物の量よりも多い場合がある。一部の実施形態では、第2の導電性ビア部分424には微量の不純物だけが存在する。更に、第2の導電性ビア部分424に存在する不純物は、第1の導電性ビア部分402と比べて異なる組成及び／又は濃度を有することができる。これらの組成は、第2の導電性部分によって形成可能な相互接続の粒径、配向、又は熱安定性に影響を与えるように選択することができる。不純物は、2原子%未満、例えば、100ppm未満又は50ppm未満の濃度で導電性ビアに存在する他の材料元素を含む場合がある。一実施形態では、第2の導電性ビア部分424内の不純物は、第1の導電性ビア部分402内の不純物よりも少ない場合がある。例えば、一部の実施形態では、第2の導電性ビア部分424は、第1の導電性ビア部分402よりも少なくとも5%少ない、少なくとも10%少ない、又は少なくとも20%少ない非銅元素（例えば、金属合金元素又はメッキ浴添加物からの不純物など）を有することができる。

20

30

【0031】

図4Gでは、第2の導電性ビア部分424及び第2の障壁層422に対して誘電体層418の上に横たわる部分は、例えば基板の裏面に適用されるCMP工程を使用して除去することができる。研磨工程は、誘電体層418を露出させて平坦化することができ、直接結合のための準備段階として役割を果たすことができ、すなわち、非常に高度な研磨により、直接結合に十分な平坦性が達成される。有利なことに、中央の破損したTSV420が修復されており、金属凹部が適切な深度に設けられ、研磨された誘電体層418と第2の導電ビア部分424とを直接結合工程に使用することができる。例えば、メッキ及びアニール工程は、結合面に主として垂直な111結晶面に沿って向けた銅、金、又は銀の粒子のような粒子、又は銅のような金属テクスチャを形成することができ、それにより、直接結合中の金属の拡散及び結合を強化することができる。様々な実施形態では、金属テクスチャは、結合面に対してほぼ垂直な幾何学的成分を有するように配向させることができる。一部の実施形態では、第2の導電性ビア部分424は、垂直線から30°以内、例えば、ビア構造体の縦寸法に沿って延びる垂直軸の30°以内、垂直線から20°以内、又は垂直線から10°以内に向けられた第1の比率の111平面を有することができる。第2の導電性ビア部分424は、垂直線から30°以内、例えば、ビア構造体の縦寸法に沿って延びる垂直軸から30°以内、垂直線から20°以内、又は垂直線から10°以内に向けられた第2の比率の111平面を有することができる。一部の実施形態では、第2の比率は第1の比率よりも大きいとすることができる。図示の実施形態では、CMP選択、図4D及び対応する説明を参照、及びその後の陥入、図4E及び対応する説明を参照、の

40

50

いずれかを選択して基板全体を貫通する程度の陥入を保証しており、各TSV410は、第1の導電性ビア部分402と第2の導電性ビア部分424との両方を含むことができる。他の実施形態では、図4Eのステージで全てのTSV410が基板全体を通して凹んでいる訳ではなく、一部のTSV410だけが第2の導電性ビア部分424を含む。いずれの場合でも、図4Gの構造体を達成するように選択されるCMP工程は、その後の直接ハイブリッド結合を容易にするように選択することができる。従って、TSV410の各々は、誘電体層418の上面よりも下方に、例えば、40nm未満、30nm未満、20nm未満、15nm未満又は10nm未満であるが、約5nmよりも大きいか又はそれに等しく、例えば、約2nmよりも大きいか又はそれに等しく凹ませることができる。

【0032】

図4Hに示すように、上述のマイクロ電子要素は、マルチダイ又はマルチ要素スタックで利用することができる。例えば、第1の積み重ねダイ434は、接着剤なしでベースウェーハ432に直接に結合させることができる。一部の実施形態では、前部アクティブ面をベースウェーハに結合することができる。以下で説明するように、第1のダイの接触パッド426は、接着剤なしでウェーハの接触パッド426に直接に結合させることができ、非導電性領域は、接着剤430なしでウェーハの対応する非導電性領域に直接に結合させることができる。追加のデバイスを積み重ねてマイクロ電子構造体の裏側に直接に結合させることができる。例えば、図示のように、第2の要素又はダイ436の接触パッド426は、接着剤なしで第1の要素434の露出したTSV構造体410に直接に結合させることができる。第2の要素又はダイ436の非導電性領域は、接着剤なしで誘電体層418に直接に結合させることができる。追加の要素を第2の要素又はダイに直接結合して積み重ねて直接に結合された構造体内にいくつかの要素を形成することができる。一部の他の応用では、本明細書に説明する方法で加工されたウェーハを組み立てる又は積み重ねて粘着層を介在させずに互いに直接に結合することができる。

【0033】

図4Iは、開示する様々な実施形態を使用して形成されたビア構造体410を示している。図示のように、マイクロ電子構造体は、第1／前面406と、第1の面の反対側の第2／裏面408とを有するバルク半導体部分404を含むことができる。一部の実施形態では、第2の面408は、第2の面内に又は上に形成されたアクティブ回路を有するアクティブ面を含むことができる。これに加えて又はこれに代えて、一部の実施形態では、第1の面406は、第2の面内に又は上に形成されたアクティブ回路を有するアクティブ面を含むことができる。他の実施形態では、第1の面406は、アクティブ回路のない非アクティブ面を含むことができる。ビア構造体410は、第1の面に対して非平行な方向に沿ってバルク半導体部分404を少なくとも部分的に通して例えば完全に通って延びる開口部に配置することができる。ビア構造体は、第1の導電性ビア部分402、第2の導電性ビア部分424、及び第2の障壁層422を含むことができる。第2の障壁層422は、第1の導電性ビア部分402と第2の導電性ビア部分424との間に配置された第1の部分440を含む。第2の障壁層422はまた、第2の導電性部分402の側壁411に沿って配置された第2の部分442を含むことができる。第2の導電性ビア部分424は、第2の障壁層440から少なくとも基板の面408まで延びることができる。上述のように、第2の導電性ビア部分424は、第1の導電性ビア部分402とは異なる組成を有することができる。

【0034】

第1の導電性ビア部分402も第2の導電性ビア部分424も、例えば、銅によって形成することができるが、例えば、電気メッキ工程に使用されるレバラー、抑制剤、促進剤、メッキ電流密度、及び／又は粒径及び／又は配向に起因して異なる種類及び／又は濃度の合金元素及び不純物を有することができる。例えば、第1の導電性ビア部分402及び／又は第2の導電性ビア部分424は、金属合金元素のような非銅元素又はメッキ浴添加剤からの不純物に対して異なる比率を有することができる。第1のビア部分402は、第2のビア部分424よりも多い非銅元素を有することができる。一部の実施形態では、第

1のビア部分402は、障壁層412からの拡散を通じて又はシード層を通じて取り込まれたBe、Mn、Niのような合金元素を有することができる。第2のビア部分424は、そのような非銅元素を含まないか又はそのような不純物を微量レベルしか含まないとしてすることができる。第2のビア部分424は、そのような非銅元素を有するが、第1のビア部分と比べて少量である。一部の構成では、メッキ中に障壁層412及び／又はシード層を通じて取り込まれる合金材料を提供して第1のビア部分402の粒子を固定することができる。これに加えて、第1のビア部分402のメッキ中に1又は2以上の有機添加剤をメッキ中に提供して充填を改善することができ、この添加剤は、第2の導電性ビア部分424に使用されないとしてすることができる。他の実施形態では、有機又は他の添加剤を第1のビア部分402と第2のビア部分424との両方に付加することができるが、第1のビア部分402の方が、メッキ後に添加剤が残す不純物の濃度が高くなる可能性がある。本明細書で説明するように、硫黄、酸素、炭素、又は窒素のような不純物は、第2のビア部分424と比べて第1のビア部分402ではより高い濃度でTSV410に存在する可能性がある。一部の実施形態では、合金元素及び添加剤からの不純物を含む非銅元素成分は、第1の導電性ビア部分402の方が、第2の導電性ビア部分424よりも多い。例えば、一部の実施形態では、第2の導電性ビア部分424は、第1の導電性ビア部分と比べて少なくとも5%少ない、少なくとも10%少ない、少なくとも15%少ない、又は少なくとも20%少ない非銅元素を有することができる。第1の導電性部分402の組成及び粒子構造体は、深い高アスペクト比のビアの充填を最適化するように選択された加工の結果とすることができ、第2の導電性部分424の組成及び粒子構造体は、その後の直接ハイブリッド結合を最適化するように選択することができる。

10

20

【0035】

図4Iに示すように、誘電体層418は、バルク半導体部分404上に配置することができ、第2の導電性ビア部分424は、その端部が誘電体層418の上面と面一であるように又は誘電体層418の上面に対して僅かに例えば約40nm未満、約30nm未満、約20nm未満、約10nm未満、又は約5nm未満だけ凹むように誘電体層418を通して延びる。誘電体層418は、別の要素と直接に結合するように構成された平坦化された誘電体結合層を備えることができる。誘電体層418は、更に、バルク半導体部分404の上に誘電体障壁層を備えることができ、平坦化された誘電体結合層は誘電体障壁層の上に配置される。第1のライナー障壁層412は、第1の導電性部分402及び第2の導電性部分424の側壁411に沿って延びることができる。図示のように、第2の障壁層440は、第1の障壁層412と第2の導電性ビア部分424との間を第1の障壁層412に沿って延びる第2の部分442を含むことができる。従って、障壁全体の厚みは、第1の導電部分402とバルク基板404との間の障壁厚みに比べて第2の導電部分424とバルク基板404との間の方が大きく、2つの識別可能な障壁層を備えることができ、それらは異なる組成である又ははない場合がある。

30

【0036】

図5A～5Iは、他の実施形態に従ってマイクロ電子構造体を形成する方法を示している。特に断りのない限り、図5A～5Iの実施形態は、図4A～4Iの類似の構成要素と同じか又はほぼ同様であるとしてすることができる。例えば、図5A～図5Eの段階は、図4A～図4Eに関連して上述した段階と同じであるとしてすることができる。しかし、図5Fでは、第1の導電性ビア部分410の上に障壁層を設けない場合がある。むしろ、第2の導電ビア部分424は、障壁層を介在することなく第1の導電ビア部分410の上に直接に又は介在シード層だけの上に及びバルク半導体部分416の上にメッキすることができる。上述のように、図5Fの構造体をアニールすることができ、それにより、直接結合に寄与する銅粒子成長を容易にすることができる。

40

【0037】

様々な実施形態では、第1の導電性ビア部分402の埋め込み導電材料は、第2の導電性ビア部分424の導電材料の上側部分よりも束縛される場合がある。アニーリング中に、第1の導電性ビア部分402と第2の導電性ビア部分424とは、異なる金属テクスチ

50

ヤを形成し、及び／又は合金元素及び／又はメッキ添加剤からの不純物のような非銅元素の濃度が異なる可能性がある。例えば、第1の導電性ビア部分402の第1の金属テクスチャは、第2の導電性ビア部分424の第2の金属テクスチャとは異なる可能性がある。図4A～図4I及び図5A～図5Iに開示する実施形態を含む様々な実施形態では、第2の導電性ビア部分424の結晶構造体は、直接結合中に金属の拡散、例えば、銅の拡散を強化するために、結合界面に対して非平行、例えば、ほぼ垂直な111結晶面に沿って垂直方向に向けられた粒子を有することができる。粒子は、結合界面に対してほぼ垂直な幾何学的成分を有することができる。一部の実施形態では、第1の導電性ビア部分402と第2の導電性ビア部分424は、異なる金属又は異なる合金を備えることができる。例えば、一部の実施形態では、第1の導電性ビア部分402は銅合金を含むことができ、第2の導電性ビア部分424は実質的に純粋な銅を含むことができる。

10

【0038】

図5G及び5Hは、図4G及び4Hで説明した段階とほぼ同様であるとして示すことができる。図5Iは、図4Iの介在障壁層を持たないマイクロ電子構造体を例示している。図5Iに示すように、第2の導電性ビア部分424は、第1の導電性ビア部分402の後にそれとは別に形成することができる。図4Iとは異なり、第1の導電性ビア部分402と第2の導電性ビア部分424の間には、障壁層440が介在しない。

【0039】

図6A～6Hは、ビア606、例えば、銅ビア又は他の適切な導電性金属の劣化及び／又は半導体部分604、例えば、シリコン又は他の適切な半導体の汚染を回避しながら、ほぼ均一な長さを有する導電性ビア606の形成を可能にする他の実施形態を示している。特に断りのない限り、図6A～6Hの実施形態は、図4A～5Iの構成要素とほぼ同様であるとして示すことができる。例えば、上述のようにつ図6Aに示すように、半導体要素604、例えば、半導体ウェーハは、半導体部分604、例えば、シリコンバルク又はデバイス部分に形成された複数の導電性ビア606を有することができる。バルク半導体の前側は上方に示していり、対向するバルク半導体の裏側612は下方に示している。様々な実施形態では、前側610は半導体要素のアクティブ側を含むことができるので、アクティブ回路を前側610に又はその近くに形成することができる。誘電体ライナー及び／又は障壁層608は、ビア606が配置される開口部をライニングすることができる。1又は2以上の前側誘電体層602を半導体部分610の前側の上に設けることができる。図6Aは層602を単一層として模式的に示しているが、層602は、複数の層又は副層を備えることができることを認めなければならない。前側誘電体層602は、例えば、酸化珪素、窒化珪素、酸窒化珪素、酸炭窒化珪素、ダイヤモンド状炭素(DLC)、及びいずれかの他の適切な誘電体を含むいずれかの適切な種類の誘電体を含むことができる。

20

30

【0040】

上述のように、導電性ビア606の材料を堆積させる、例えば、電気メッキする開口部の深度は変動する可能性があり、不均一な長さを有するビアの形成をもたらす可能性がある。均一性の欠如により、半導体要素612の裏側からビアを露出させることが困難になる可能性がある。実際に、ビア開口部606のエッチング変動は、約2～3ミクロン又はそれを超える可能性があるので、TSVの高さには50%以上の変動が存在する可能性がある。図4B及び5Bの工程では、半導体部分604を乾式エッチングしてビア606を露出させ、ビア606は、半導体材料604の上に異なる高さで突出することができる。しかし、SF₆のようなエッチャントを使用してシリコンのような半導体材料604を乾式エッチングすることは、特にビア606が適切に露出する前に誘電体ライナー及び／又はライナー障壁層608がエッチングされた場合に銅ビア材料の深刻な侵食を引き起こす可能性がある。更に、例えば、CMP、研削、及び他の加工方法による導電性ビア606の加工は、ビアの導電材料の一部、例えば、銅材料が、半導体部分604、例えば、シリコンを汚染する原因になる可能性がある。

40

【0041】

従って、図4B及び5Bの工程とは異なり、図6Bでは、半導体部分612の裏側を例

50

例えばCMPで研削かつ研磨してビア606を露出させることができる。研削及び研磨工程は、導電性ビア606を均一に露出させることができ、研削及び研磨前のビア606の不均一な長さを受け入れることができる。例えば、半導体要素612の裏側は、平坦化された、研削された、かつ研磨された半導体要素614の裏側にビア606の全てが露出するまで研削して研磨することができる。従って、図示の実施形態では、研削及び研磨工程を使用してほぼ均一な長さを有するビア606を露出させることができる。図4A～図5Iに関連して上述したような他の実施形態では、材料の中でも特に銅を含むビア606をCMPに露出することで半導体部分、例えば、シリコンを汚染する可能性があるので、CMPを利用してビア606を露出させることは望ましくない場合がある。そのような実施形態では、上述のように、エッチング工程、例えば、SF₆エッチングを使用して最初にビア606を露出させることができる。

10

【0042】

図6Cに移ると、導電性ビア606を裏側614からエッチングして銅を含む可能性がある導電材料にエッチング凹部を形成することができる。例えば、導電材料は、0.25ミクロン～3ミクロンの範囲、0.5ミクロン～3ミクロンの範囲にある深度、例えば、一実施形態では約1ミクロンの深度でエッチングすることができる。図6Dでは、半導体部分の研削され研磨された裏側618の上にかつビアに形成されたエッチング凹部620の中に第1の裏側誘電体層616を設けることができ、例えば、堆積させることができる。図示のように、第1の裏側誘電体層616は、銅ビアの上にかつ開口部620内に配置された誘電体ライナー及び／又は障壁層に当接して凹部内に延びることができる。一部の

20

【0043】

図6Eに移ると、半導体部分604を露出させるために、半導体要素の裏側614を（例えば、CMPで）研磨して半導体部分604の上に横たわる第1の裏側誘電体層616の第1の部分の除去することができる。第1の裏側誘電体層620の第2の部分は、図6Eに示すように、導電性ビア606の上に凹部内に配置されたままとすることができる。第1の裏側誘電体層620の残存する第2の部分は、図6Fに示すように、後に続く半導体部分604の乾式エッチング中に導電性ビア材料を保護する役割を果たすことができる。従って、図6Fの乾式エッチングは、ビア606を均一に露出させることができ、第1の裏側誘電体層620の第2の部分は、例えば、SF₆を使用する乾式エッチング中にビアの銅を保護する役割を果たすことができる。更に、図6Fの段階では、露出面に酸化珪素を含むことができる第1の裏側誘電体層620にわたってシリコンに対して高選択性のエッチャント、例えば、SF₆を使用することができる。従って、図6Fの乾式エッチング後に示すように、ビア606、第1の裏側誘電体層620の第1の部分、及び誘電体ライナー／障壁層608は、半導体部分604の裏側でエッチングされた面に対して突出することができる。様々な実施形態では、ビアは、3ミクロン～4ミクロンの範囲の量だけ突出することができる。

30

40

【0044】

図6Gに移ると、半導体部分604のエッチングされた面622の上に、ビア606の露出したライナー層の側壁に沿って、ライナー層608の端部の上に、及び第1の裏側誘電体層620の第2の部分の上に第2の裏側誘電体層624を設けることができ、例えば、堆積させることができる。一部の実施形態では、第2の裏側誘電体層624は複数の層を備えることができる。例えば、図示の実施形態では、第2の裏側誘電体層は、半導体部

50

分 6 2 2 のエッチングされた面及び第 1 の裏側誘電体層 6 2 0 の第 2 の部分に配置された第 1 の誘電体層 6 2 5、例えば、低温窒化珪素誘電体層と、第 1 の誘電体層 6 2 5 を覆う第 2 の誘電体層 6 2 7、例えば、低温酸化珪素誘電体層とを含むことができる。しかし、他の実施形態では、第 2 の裏側誘電体層 6 2 4 は、単一誘電体層だけ又は 2 よりも多い誘電体層を備えることができる。第 2 の裏側誘電体層 6 2 4 の厚みは、いずれかの適切な厚み、例えば、様々な実施形態では 4 ミクロン～5 ミクロンの範囲にあるとすることができる。有益なことに、第 1 の裏側誘電体層 6 2 5 及び第 2 の裏側誘電体層 6 2 7 の一方又は両方の厚みは、特に薄くされたダイに対して適切な支持又は応力補償を提供するように選択することができる。

【0045】

図 6 H に示すように、半導体要素の裏側は、（例えば、CMP で）研磨してビア 6 0 6 を露出させることができる。特に、研磨により、第 1 の裏側誘電体層 6 1 6 の上に配置された第 2 の裏側誘電体層 6 2 4 の部分、第 1 の裏側誘電体層 6 2 0 の残存する第 2 の部分を除去することができ、半導体部分の上に横たわる第 2 の裏側誘電体層の部分を薄くすることができる。従って、図 6 H の構造体では、第 2 の裏側誘電体層 6 2 4 は、半導体部分 6 0 4 のエッチングされた面 6 2 2 の上にかつビアライナー層 6 0 8、例えば、ライナー誘電体層及び／又はライナー障壁層の周りに配置することができる。様々な実施形態では、研磨はまた、直接結合のために半導体要素の裏側を準備するために第 2 の裏側誘電体層 6 2 4 に対してビア 6 0 6 内の導電材料を凹ませる役割を果たすことができる。様々な実施形態では、研磨により、1 nm～20 nm の範囲、又は 1 nm～10 nm の範囲の量だけ導電材料を凹ませることができる。上述のように、半導体要素は、別の要素に直接に結合する及び／又は積み重ねることができる。同じく、前側誘電体層 6 0 2 を除去して前側にあるビア 6 0 6 を露出させることができ、1 又は 2 以上の追加の要素を半導体要素の前側に積み重ねて直接に結合することができる。

【0046】

直接結合方法と直接結合構造体の例

本明細書に開示する様々な実施形態は、接着剤を介在させずに 2 つの要素を互いに直接に結合することができる直接結合構造体に関する。集積デバイスダイ、ウェーハ、及び他の半導体要素のような 2 又は 3 以上の半導体要素を互いに積み重ねて又は結合して結合構造体を形成することができる。一方の要素の導電性接触パッドを別の要素の対応する導電性接触パッドに電気接続することができる。いずれの適切な数の要素も結合構造体内に積み重ねることができる。

【0047】

一部の実施形態では、要素は接着剤なしで互いに直接に結合される。様々な実施形態では、第 1 の要素の非導電性又は誘電体を接着剤なしで第 2 の要素の対応する非導電性又は誘電体領域に直接に結合することができる。非導電材料は、第 1 の要素の非導電性結合領域又は結合層と呼ぶことができる。一部の実施形態では、第 1 の要素の非導電材料は、誘電体－誘電体結合技術を使用して第 2 の要素の対応する非導電材料に直接に結合させることができる。例えば、誘電体－誘電体結合は、少なくとも、米国特許第 9,564,414 号明細書、第 9,391,143 号明細書、及び第 10,434,749 号明細書に開示する直接結合技術を使用して接着剤なしに形成することができ、これらの各全内容は、その全体がいずれの目的に対しても引用によって本明細書に組み込まれている。

【0048】

様々な実施形態では、接着剤を介在させずにハイブリッド直接結合を形成することができる。例えば、誘電体結合面を高い平滑度に研磨することができる。結合面を洗浄し、プラズマ及び／又はエッチャントに露出して面を活性化することができる。一部の実施形態では、活性化後又は活性化中に、例えば、プラズマ及び／又はエッチング工程中に、面を化学種で終端させることができる。理論に限定されることなく、一部の実施形態では、活性化工程を実行して結合面の化学結合を切断することができ、終端工程は、直接結合中の結合エネルギーを改善する追加の化学種を結合面に提供することができる。一部の実施形態

では、活性化と終端処理は同じ段階で提供され、例えば、面を活性化して終端させるためのプラズマ又は湿式エッチャントで提供される。他の実施形態では、結合面を別々の処理で終端させて直接結合のために追加の化学種を提供することができる。様々な実施形態では、終端化学種は窒素を含むことができる。更に、一部の実施形態では、結合面は、フッ素に露出することができる。例えば、層及び／又は結合界面の近くに1又は2以上のフッ素ピークが存在する場合がある。すなわち、一部の実施形態では、直接結合構造体では、2つの誘電体間の結合界面は、より高い窒素含有量及び／又はフッ素ピークを結合界面のための非常に平滑な界面を含むことができる。活性化及び／又は終端処理の追加の例は、米国特許第9,564,414号明細書、第9,391,143号明細書、及び第10,434,749号明細書の全体を通して見出すことができ、これらの各全内容は、その全体がいずれか目的に対しても本明細書に組み込まれている。

10

【0049】

様々な実施形態では、第1の要素の導電性接触パッドを第2の要素の対応する導電性接触パッドに直接に結合することができる。例えば、ハイブリッド結合技術を使用して、上述のように準備された共有結合的に直接に結合された誘電体-誘電体面を含む結合界面に沿って導体-導体直接結合を提供することができる。様々な実施形態では、導体-導体、例えば、接触パッド-接触パッドの直接結合及び誘電体-誘電体ハイブリッド結合は、少なくとも米国特許第9,716,033号明細書及び第9,852,988号明細書に開示されている直接結合技術を使用して形成することができ、これらの各全内容は、その全体がいずれの目的に対しても引用によって本明細書に組み込まれている。

20

【0050】

例えば、誘電体結合面を準備し、上述のように接着剤を介在させずに互いに直接に結合することができる。非導電性誘電体領域に囲まれる場合がある導電性接触パッドも、接着剤を介在することなく互いに直接に結合することができる。一部の実施形態では、それぞれの接触パッドは、誘電体領域又は非導電性結合領域の外周（例えば、上面）の下方に凹ませることができる。例えば、30nm未満、20nm未満、15nm未満、又は10nm未満だけ凹ませることができる。例えば、2nm~20nmの範囲又は4nm~10nmの範囲で凹ませることができる。非導電性結合領域は、一部の実施形態では室温で接着剤なしで互いに直接に結合させることができ、その後、結合された構造体をアニールすることができる。アニールされた状態で、接触パッドは、膨張して互いに接触し、金属-金属直接に結合を形成することができる。有益なことに、カリフォルニア州サンノゼのXperi社から市販されている直接結合相互接続、すなわち、DBI（登録商標）のようなハイブリッド結合技術を使用すると、直接結合界面の全体を通して接続された高密度パッド、例えば、規則的な配列に関する小ピッチ又は微細ピッチを可能にすることができる。一部の実施形態では、一方の結合要素の結合面に埋め込まれた結合パッド又は導電性トレースのピッチは、40ミクロン未満又は10ミクロン未満、更に2ミクロン未満とすることができる。一部の応用では、結合パッドのピッチと結合パッド寸法の1つとの比は、5未満又は3未満であり、一部の事例では2未満であることが望ましい。別の応用では、一方の結合要素の結合面に埋め込まれた導電性トレースの幅は、0.3ミクロン~3ミクロンの範囲であることができる。様々な実施形態では、接触パッド及び／又はトレースは銅を含むことができるが、他の金属も適する可能性がある。

30

40

【0051】

従って、直接結合工程では、接着剤を介在することなく、第1の要素を第2の要素に直接に結合することができる。一部の構成では、第1の要素は、単体化された集積デバイスダイのような単体化要素を含むことができる。別の構成では、第1の要素は、単体化された場合に複数の集積デバイスダイを形成する複数の例えば数十、数百、又はそれを超えるデバイス領域を含むキャリア又は基板（例えば、ウェーハ）を含むことができる。同様に、第2の要素は、単体化された集積デバイスダイのような単体化要素を含むことができる。別の構成では、第2の要素は、キャリア又は基板（例えば、ウェーハ）を含むことができる。

50

【0052】

本明細書で説明するように、第1の要素と第2の要素は、接着剤なしで互いに直接に結合させることができ、これは堆積工程とは異なる。一応用では、結合構造体内の第1の要素の幅は、第2の要素の幅と同様であることができる。一部の他の実施形態では、結合構造体内の第1の要素の幅は、第2の要素の幅とは異なる場合がある。結合構造体でのより大きい要素の幅又は面積は、より小さい要素の幅又は面積より少なくとも10%大きい場合がある。従って、第1及び第2の要素は、非堆積要素を含む場合がある。更に、直接に結合された構造体は、堆積された層とは異なり、ナノ空隙が存在する結合界面に沿って欠陥領域を含む可能性がある。ナノ空隙は、結合面の活性化、例えば、プラズマへの露出が原因で形成される場合がある。上述のように、結合界面は、活性化及び／又は最後の化学処理工程に由来する物質の集中を伴う可能性がある。例えば、活性化のために窒素プラズマを利用する実施形態では、結合界面に窒素ピークが形成される可能性がある。活性化に酸素プラズマを利用する実施形態では、結合界面に酸素ピークが形成される可能性がある。一部の実施形態では、結合界面は、酸窒化珪素、酸炭窒化珪素、又は炭窒化珪素を含むことができる。本明細書で説明するように、直接結合は、ファンデルワールス結合よりも強い共有結合を含むことができる。結合層は、高い平滑度に平坦化された研磨面を含むことができる。

10

【0053】

一部の実施形態では、金属-金属結合が接触パッド間に形成される。一部の実施形態では、接触パッドは銅又は銅合金を含む。様々な実施形態では、接触パッド間の金属-金属結合は、銅粒子が結合界面にわたって互いの中に成長するように結合させることができる。一部の実施形態では、銅は、結合界面にわたる銅の拡散を改善するために111結晶面に沿って配向された粒子を有することができる。結合界面は、結合された接触パッドの少なくとも一部分まで実質的に完全に延びるので、結合された接触パッド又はその近くにある非導電性結合領域間には実質的に間隙が存在しない。一部の実施形態では、例えば、銅を含むことができる接触パッドの下に障壁層を設けることができる。しかし、他の実施形態では、例えば、その全体がいずれの目的に対しても引用によって本明細書に組み込まれている米国特許出願公開第2019/0096741号に説明されているように接触パッドの下に障壁層がない場合がある。

20

【0054】

一実施形態では、マイクロ電子構造体を開示する。このマイクロ電子構造体は、第1の面と第1の面の反対側の第2の面とを有するバルク半導体部分と、第1の面に対して非平行な方向に沿ってバルク半導体部分を少なくとも部分的に通って延びる開口部に配置されたビア構造体とを含むことができ、ビア構造体は、第1の導電性ビア部分と、第2の導電性ビア部分と、第1のビア導電性部分の側壁に沿って延びる第1の障壁層と、第1の導電性ビア部分と第2の導電性ビア部分の間に配置された第1の部分を含む第2の障壁層とを備え、第2の導電性ビア部分は、第2の障壁層から少なくとも第1の面まで延びる。

30

【0055】

一部の実施形態では、マイクロ電子構造体は、バルク半導体部分の上に誘電体層を含み、第2の導電性ビア部分は、第2の導電性ビア部分の端部が誘電体層の上面と面一であるか又は誘電体層の上面から凹むように誘電体層を通して延びる。一部の実施形態では、誘電体層は、別の要素と直接に結合するように構成された平坦化された誘電体結合層を備える。一部の実施形態では、誘電体層は、更に、バルク半導体部分の上に誘電体障壁層を備え、平坦化された誘電体結合層が誘電体障壁層の上に配置される。一部の実施形態では、第2の障壁層は、第1の障壁層と第2の導電性ビア部分の間を第1の障壁層に沿って延びる第2の部分を含む。一部の実施形態では、第1の導電性ビア部分の第1の金属テクスチャは、第2の導電性ビア部分の第2の金属テクスチャとは異なる。一部の実施形態では、第2の金属テクスチャは、結合界面に対して非平行な111結晶面に沿って配向された粒子を有する。一部の実施形態では、第1及び第2の導電性ビア部分は銅を備え、第1の導電性ビア部分の銅はそこに不純物材料を有する。一部の実施形態では、第1の導電性ビア

40

50

部分は、第2の導電性ビア部分よりも高い不純物濃度を有する。一部の実施形態では、第1の導電性ビア部分は、ベリリウム（Be）、インジウム（In）、ガリウム（Ga）、マンガン（Mn）、及びニッケル（Ni）のうちの1又は2以上を含む1又は2以上の合金元素を更に備える。一部の実施形態では、不純物材料は、硫黄、酸素、炭素、又は窒素のうちの1又は2以上を備える。一部の実施形態では、第1及び第2の導電性ビア部分は、異なる金属又は異なる合金を備える。一部の実施形態では、第2の面は、第2の面内に又は上に形成されたアクティブ集積回路を含むアクティブ面を備える。一部の実施形態では、マイクロ電子構造体は、接着剤を介在することなく別の要素に直接に結合される。一部の実施形態では、第2の導電性ビア部分の端面は、接着剤を介在することなく別の要素の接触パッドに直接に結合される。一部の実施形態では、マイクロ電子要素及び別の要素の非導電性結合領域は、接着剤を介在することなく直接に結合される。一部の実施形態では、マイクロ電子構造体は、第1の導電性ビア部分と、第2の導電性ビア部分と、第1の導電性ビア部分の側壁に沿って延びる第1の障壁層と、第1の導電性ビア部分と第2の導電性ビア部分の間に配置された第1の部分を含む第2の障壁層とを有する第2のビア構造体を含むことができ、ビア構造体の第2の導電性ビア部分は、第2のビア構造体の第2の導電性ビア部分の長さとは異なる長さに沿って延びる。

10

【0056】

別の実施形態では、マイクロ電子構造体を開示する。このマイクロ電子構造体は、第1の面と第1の面の反対側の第2の面とを有するバルク半導体部分と、第1の面に対して非平行な方向に沿って第1の面を通過し、バルク半導体部分を少なくとも部分的に通って延びる開口部に配置されたビア構造体とを含むことができ、ビア構造体は、第1の導電性ビア部分と、障壁層を介在することなく第1の導電性ビア部分の直接上に配置されてそれと接触する第2の導電性ビア部分とを備え、第2の導電性ビア部分は、第1の面と第1の導電性ビア部分の間に配置され、第1の導電性ビア部分は、第2の導電性ビア部分とは異なる材料組成を有する。

20

【0057】

一部の実施形態では、マイクロ電子構造体は、第1及び第2の導電性部分の側壁に沿って延びる障壁層を備える。一部の実施形態では、マイクロ電子構造体は、バルク半導体部分の上に誘電体層を含み、第2の導電性ビア部分は、第2の導電性ビア部分の端部が誘電体層の上面と面一であるか又は誘電体層の上面から凹むように誘電体層を通して延びる。一部の実施形態では、誘電体層は、別の要素と直接に結合するように構成された平坦化された誘電体結合層を備える。一部の実施形態では、誘電体層は、更に、バルク半導体部分の上に誘電体障壁層を備え、平坦化された誘電体結合層が誘電体障壁層の上に配置される。一部の実施形態では、第1の導電性ビア部分の第1の金属テクスチャは、第2の導電性ビア部分の第2の金属テクスチャとは異なる。一部の実施形態では、第2の金属テクスチャは、111結晶面に沿って配向された粒子を有する。一部の実施形態では、第1及び第2の導電性ビア部分は銅を備え、第1の導電性ビア部分の銅はそこに不純物材料を有する。一部の実施形態では、第1の導電性ビア部分は、ベリリウム（Be）、インジウム（In）、ガリウム（Ga）、マンガン（Mn）、及びニッケル（Ni）のうちの1又は2以上を含む1又は2以上の合金元素を更に備える。一部の実施形態では、不純物材料は、硫黄、酸素、炭素、又は窒素のうちの1又は2以上を備える。一部の実施形態では、第1及び第2の導電性ビア部分は、異なる金属又は異なる合金を備える。一部の実施形態では、マイクロ電子構造体は、接着剤を介在することなく別の要素に直接に結合される。一部の実施形態では、第2の導電性ビア部分の端面は、接着剤を介在することなく別の要素の接触パッドに直接に結合される。一部の実施形態では、マイクロ電子要素及び別の要素の非導電性結合領域は、接着剤を介在することなく直接に結合される。

30

40

【0058】

別の実施形態では、マイクロ電子構造体を開示する。このマイクロ電子構造体は、第1の面と第1の面の反対側の第2の面とを有するバルク半導体部分と、第1の面に対して非平行な方向に沿って第1の面を通過し、バルク半導体部分を少なくとも部分的に通って延

50

びる開口部に配置されたビア構造体とを含むことができ、ビア構造体は、第1の導電性ビア部分と、障壁層を介在することなく第1の導電性ビア部分の直接上に配置されてそれと接触する第2の導電性ビア部分とを備え、第2の導電性ビア部分は、第1の面と第1の導電性ビア部分の間に配置され、第1の導電性ビア部分は、第2の導電性ビア部分よりも前にそれとは別に形成される。

【0059】

一部の実施形態では、マイクロ電子構造体は、第1及び第2の導電性部分の側壁に沿って延びる障壁層を備える。一部の実施形態では、第1の導電性ビア部分の第1の金属テクスチャは、第2の導電性ビア部分の第2の金属テクスチャとは異なる。一部の実施形態では、第2の金属テクスチャは、111結晶面に沿って配向された粒子を有する。一部の実施形態では、第1の金属テクスチャは、垂直線から30°以内に付けられた第1の比率の111平面を有し、第2の金属テクスチャは、垂直線から30°以内に付けられた第2の比率の111平面を有し、第2の比率は、第1の部分より大きい。一部の実施形態では、第1及び第2の導電性ビア部分は銅を備え、第1の導電性ビア部分の銅はそこに不純物材料を有する。一部の実施形態では、第1の導電性ビア部分は、第2の導電性ビア部分と比べてより高い百分率の合金元素を有する。一部の実施形態では、マイクロ電子構造体は、接着剤を介在することなく別の要素に直接に結合される。一部の実施形態では、第2の導電性ビア部分の端面は、接着剤を介在することなく別の要素の接触パッドに直接に結合される。一部の実施形態では、マイクロ電子要素及び別の要素の非導電性結合領域は、接着剤を介在することなく直接に結合される。

【0060】

他の実施形態では、マイクロ電子構造体を形成する方法を開示する。本方法は、前面と前面の反対側の裏面とを有する基板を少なくとも部分的に通して開口部を形成する段階であって、開口部が第2の面に対して非平行な方向に沿って前面を通して延びる上記形成する段階と、前面から開口部に第1の導電性ビア部分を設ける段階と、裏面から材料を除去することにより、第1の導電性ビア部分を露出する段階と、露出後に裏面から第1の導電性ビア部分にわたって開口部に充填構造体を設ける段階とを含むことができる。

【0061】

一部の実施形態では、充填構造体を設ける段階は、裏面から第1の導電性ビア部分にわたって開口部に第2の導電性ビア部分を設ける段階を含む。一部の実施形態では、本方法は、露出後に第1の導電性ビア部分を裏面から凹ませる段階を含む。一部の実施形態では、本方法は、第1の導電性ビア部分を設けた後であるが第2の導電性ビア部分を設ける前に第1の導電性ビア部分の上に第2の障壁層を設ける段階を含む。一部の実施形態では、本方法は、第1の導電性ビア部分の側壁に沿って第1の障壁層を設ける段階を含む。一部の実施形態では、本方法は、第1の導電性ビア部分を設ける前に第1の障壁層を設ける段階を含む。一部の実施形態では、第2の障壁層を設ける段階は、第1の障壁層と第2の導電性ビア部分の間に第1の障壁層に沿って第2の障壁層を設ける段階を含む。一部の実施形態では、本方法は、バルク半導体部分の上に誘電体層を設ける段階を含み、誘電体層は、基板の裏面を少なくとも部分的に定め、第2の導電性ビア部分は、第2の導電性ビア部分の端部が基板の裏面と面一であるか又は基板の裏面から凹むように誘電体層を通して延びる。一部の実施形態では、本方法は、別の要素に直接に結合させるために誘電体層を準備する段階を含む。一部の実施形態では、本方法は、バルク半導体部分の上に誘電体障壁層を設ける段階を含み、誘電体結合層は誘電体障壁層の上に配置される。一部の実施形態では、本方法は、接着剤を介在することなく誘電体層を別の要素に直接に結合する段階を含む。一部の実施形態では、本方法は、接着剤を介在することなく第2の導電性ビア部分の端面を別の要素の接触パッドに直接に結合する段階を含む。一部の実施形態では、充填構造体を設ける段階は、第1の導電性ビア部分にわたって凹部に誘電体層を設ける段階を含む。一部の実施形態では、本方法は、第1の導電性ビア部分が基板の裏面から突出するように裏面から基板の一部を除去する段階と、誘電体層を除去して導電性ビアを露出する段階とを含むことができる。一部の実施形態では、基板の一部を除去する段階は、基

板の裏面をエッチングする段階を含む。一部の実施形態では、本方法は、少なくとも基板のエッチングされた裏面と凹部に配置された誘電体層の一部分との上に第2の裏側誘電体層を設ける段階を含むことができる。一部の実施形態では、本方法は、凹部に配置された誘電体層の当該部分の上に横たわる第2の裏側誘電体層の少なくとも一部分を除去する段階を含むことができる。一部の実施形態では、本方法は、第2の裏側誘電体層を平坦化する段階と、第2の裏側誘電体層に対して第1の導電性ビア部分を凹ませる段階とを含むことができる。

【0062】

別の実施形態では、マイクロ電子構造体を形成する方法を開示する。本方法は、前面と前面の反対側の裏面とを有する基板を少なくとも部分的に通して開口部を形成する段階であって、開口部が前面に対して非平行な方向に沿って前面を通して延びる上記形成する段階と、開口部を第1の導電性ビア部分で充填する段階と、裏面から材料を除去することにより、第1の導電性ビア部分を露出する段階と、第1の導電性部分を露出させた後に開口部の一部分を充填構造体で再充填する段階とを含むことができる。

【0063】

一部の実施形態では、開口部の一部分を充填構造体で再充填する段階は、裏面から第1の導電性ビア部分にわたって開口部に第2の導電性ビア部分を設ける段階を含む。一部の実施形態では、本方法は、露出後に第1の導電性部分を凹ませて開口部の一部分を定める段階を含む。一部の実施形態では、本方法は、凹ませる段階の後で再充填の前に第1の導電性ビア部分の上に第2の障壁層を堆積させる段階を含む。一部の実施形態では、本方法は、充填の前に開口部をライニングするために第1の障壁層を堆積させる段階を含む。一部の実施形態では、第2の障壁層を堆積させる段階は、開口部の一部分内で第1の障壁層の上に第2の障壁層を堆積させる段階を含む。一部の実施形態では、開口部の一部分を充填構造体で再充填する段階は、第1の導電性ビア部分にわたって凹部に誘電体層を設ける段階を含む。一部の実施形態では、本方法は、第1の導電性ビア部分が基板の裏面から突出するように裏面から基板の一部分を除去する段階と、誘電体層を除去して導電性ビアを露出する段階とを含むことができる。一部の実施形態では、基板の一部分を除去する段階は、基板の裏面をエッチングする段階を含む。一部の実施形態では、本方法は、少なくとも基板のエッチングされた裏面と凹部に配置された誘電体層の一部分との上に第2の裏側誘電体層を設ける段階を含むことができる。一部の実施形態では、本方法は、凹部に配置された誘電体層の上に横たわる第2の裏側誘電体層の少なくとも一部分を除去する段階を含むことができる。一部の実施形態では、本方法は、第2の裏側誘電体層を平坦化する段階と、第2の裏側誘電体層に対して第1の導電性ビア部分を凹ませる段階とを含むことができる。

【0064】

別の実施形態では、結合構造体を開示する。結合構造体は、第1の結合面を有する第1の要素であって、第1の結合面の反対側に第3の面を有する上記第1の要素と、第2の結合面を有する第2の要素と、第1の結合面に対して非平行な方向に沿って第1の結合面から第1の要素を少なくとも部分的に通って延びる開口部に配置されたビア構造体とを備え、ビア構造体は、互いに接触する第1の導電性ビア部分と第2の導電性ビア部分とを備え、第2の導電性ビア部分が、第1の要素の結合面で結合材料内に少なくとも部分的に埋め込まれ、結合材料及び第2の導電性ビア部分が、接着剤を介在することなく第2の要素の結合面に直接に結合される。一部の実施形態では、第1及び第2の要素の非導電性結合領域は、接着剤を介在することなく直接に結合される。

【0065】

別の実施形態では、マイクロ電子構造体を形成する方法を開示する。本方法は、開口部と開口部に配置された導電性ビアとを有する基板を準備する段階であって、導電性ビアが基板の第1の側から第2の側に向けて基板を部分的に通って延びる上記準備する段階と、第2の側から基板の一部分を除去して導電性ビアを露出する段階と、導電性ビアの一部を基板の第2の側から除去して凹部を形成する段階と、導電性ビアにわたって凹部に誘電体

層を設ける段階と、導電性ビアが基板の第2の側から突出するように第2の側から基板の一部分を更に除去する段階と、誘電体層を除去して導電性ビアを露出する段階とを含むことができる。

【0066】

一部の実施形態では、基板の一部分を除去する段階は、第2の側の研削及び研磨のうちの少なくとも一方を含む。一部の実施形態では、研削及び研磨のうちの少なくとも一方は、基板及び導電性ビアを平坦化する段階を含む。一部の実施形態では、導電性ビアの一部分を除去する段階は、導電性ビアをエッチングする段階を含む。一部の実施形態では、誘電体層を設ける段階は、基板の裏側の上に及び凹部に第1の裏側誘電体層を設ける段階を含む。一部の実施形態では、第1の裏側誘電体層を設ける段階は、複数の誘電体層を設ける段階を含む。一部の実施形態では、複数の誘電体層を設ける段階は、基板の裏側の上に及び導電性ビアの上に第1の窒化珪素層を設ける段階と、第1の窒化珪素層の上に第2の酸化珪素層を設ける段階とを含む。一部の実施形態では、本方法は、基板の一部分を更に除去する前に基板の裏側の上に配置された第1の裏側誘電体層の一部分を除去する段階を含むことができる。一部の実施形態では、基板の一部分を更に除去する段階は、基板の裏側をエッチングする段階を含む。一部の実施形態では、本方法は、少なくとも基板のエッチングされた裏側と凹部に配置された第1の裏側誘電体層の一部分との上に第2の裏側誘電体層を設ける段階を含むことができる。一部の実施形態では、本方法は、凹部に配置された第1の裏側誘電体層の一部分の上に横たわる第2の裏側誘電体層の少なくとも一部分を除去する段階を含むことができる。一部の実施形態では、本方法は、第2の裏側誘電体層を平坦化する段階と、第2の裏側誘電体層に対して導電性ビアを凹ませる段階とを含むことができる。

【0067】

関連上明らかに他を意味しない限り、本明細書及び特許請求の範囲を通して単語「備える」、「備えている」、「含む」、及び「含んでいる」などは、限定的又は包括的な意味に対立するものとして包括的な意味で、すなわち、「含むがこれに限定されない」という意味で解釈しなければならない。本明細書で一般的に使用する単語「結合された」は、直接に接続されるか、又は1又は2以上の中間要素を通して接続されるかのいずれかである2又は3以上の要素を指す。本明細書で一般的に使用する単語「接続された」は、直接に接続されるか、又は1又は2以上の中間要素を通して接続されるかのいずれかである2又は3以上の要素を指す。更に、単語「本明細書で」、「上記に」、「下記に」、及び類似の主旨の単語は、この出願に使用する場合に全体としてこの出願を指し、この出願のいずれかを特定の部分には言及しないものとする。更に、本明細書に使用するように、第1の要素が第2の要素「上にある」又は「の上にある」と説明される場合に、第1の要素は、第1及び第2の要素が直接に接触するように直接的に第2の要素上にあるか又はその上にあるとすることができ、又は第1の要素は、第1の要素と第2の要素の間に1又は2以上の要素が介在するように間接的に第2の要素上にあるか又はその上にあるとすることができる。関連が許す限り、上述の「発明を実施するための形態」で単数又は複数を使用する単語は、それぞれ複数又は単数も包含することができる。2又は3以上の項目のリストに関連付けられた単語「又は」は、その単語に対して以下の解釈：リスト中の項目のいずれか、リスト内の項目の全て、及びリスト内に項目のいずれかの組合せの全てを網羅する。

【0068】

更に、とりわけ、「can」、「could」、「might」、「may」、「e.g.」、「for example」、及び「such as」などのような本明細書に使用する条件用語は、一般的に、特に別段の記載がない限り又は使用する関連内で別様に理解されない限り、特定の実施形態が特定の特徵、要素、及び／又は状態を含むのに対して他の実施形態がそれらを含まないことを伝えることを意図している。従って、そのような条件用語は、一般的に、特徵、要素、及び／又は状態が1又は2以上の実施形態に何らかの形態で必要であることを示唆することを意図していない。

【0069】

ある一定の実施形態を説明したが、これらの実施形態は、例示として提示したに過ぎず、開示の範囲を限定することを意図していない。実際に、本明細書に説明する新しい装置、方法、及びシステムは、様々な他の形態に具現化することができ、更に、本発明の開示の精神から逸脱することなく本明細書に説明する方法及びシステムの形態に様々な省略、置換、及び修正を行うことができる。例えば、ブロックは所与の配置で提示したが、代替実施形態では、異なる構成要素及び／又は回路トポロジーを使用して類似の機能を実行することができ、一部のブロックは、削除、移動、追加、細分化、結合、及び／又は修正が可能である。これらの各々は、様々な異なる方法で実施することができる。上述の様々な実施形態の要素及び作動に対していずれかの適切な組合せを行い、更に他の実施形態を提供することができる。特許請求の範囲及びその均等物は、本発明の開示の範囲及び精神に属するような形態又は修正を網羅するように意図している。

10

【図面】

【図 1 A】

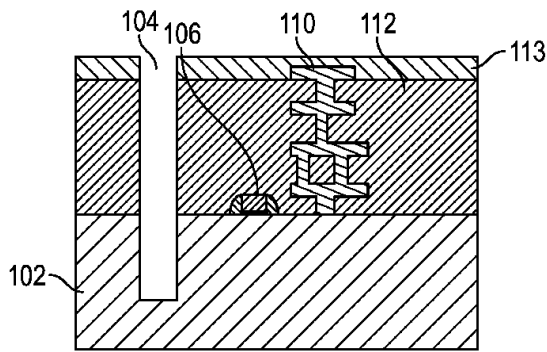


FIG. 1A

【図 1 B】

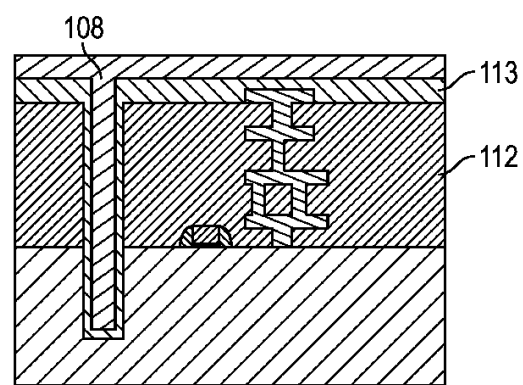


FIG. 1B

20

30

40

50

【図 1 C】

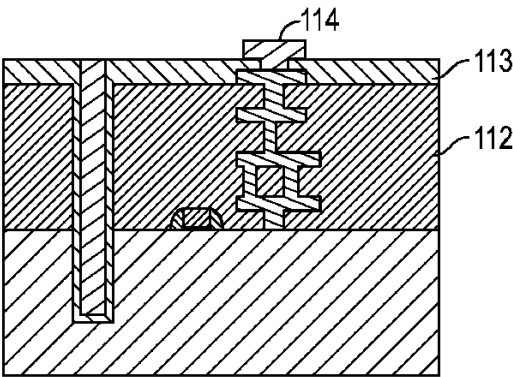


FIG. 1C

【図 1 D】

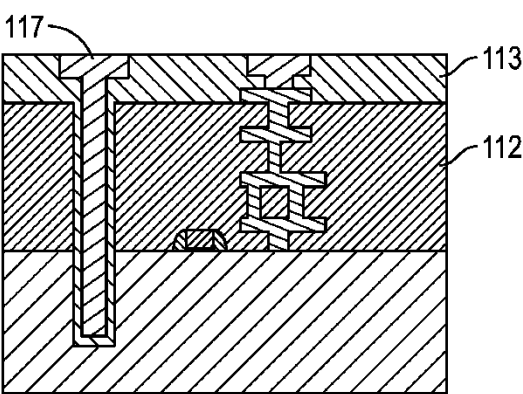


FIG. 1D

【図 1 E】

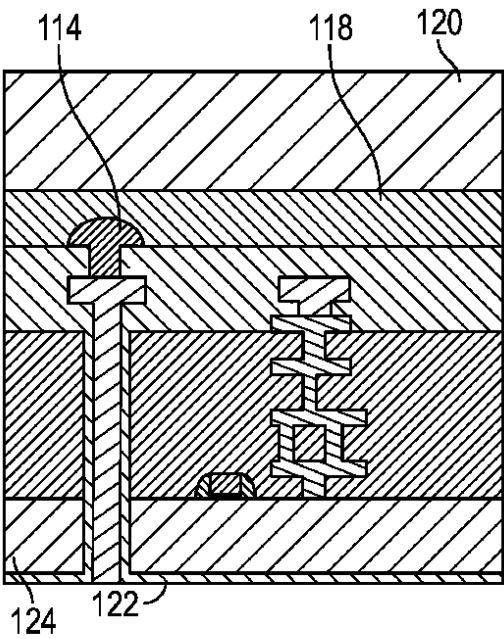


FIG. 1E

【図 1 F】

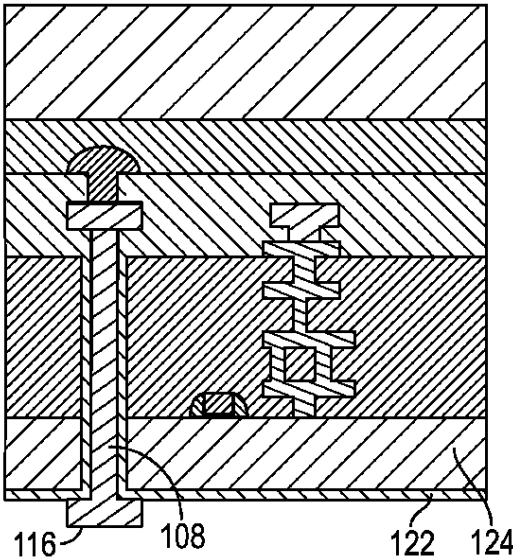


FIG. 1F

10

20

30

40

50

【図 2】

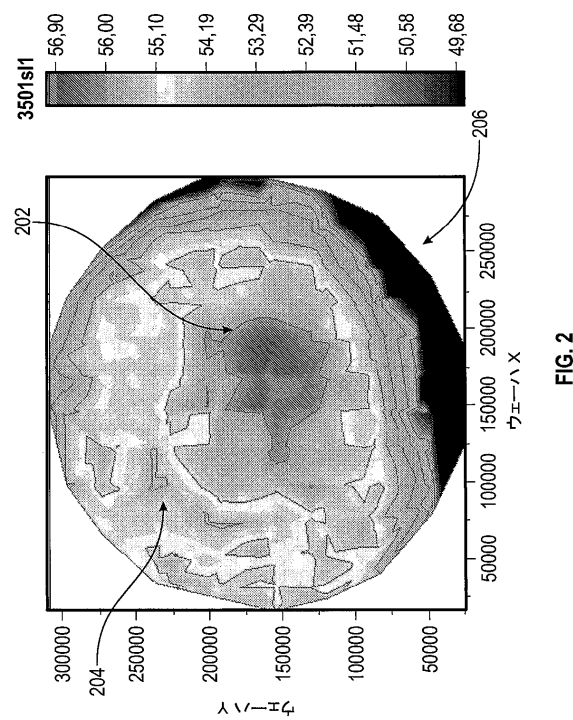


FIG. 2

【図 3 A】

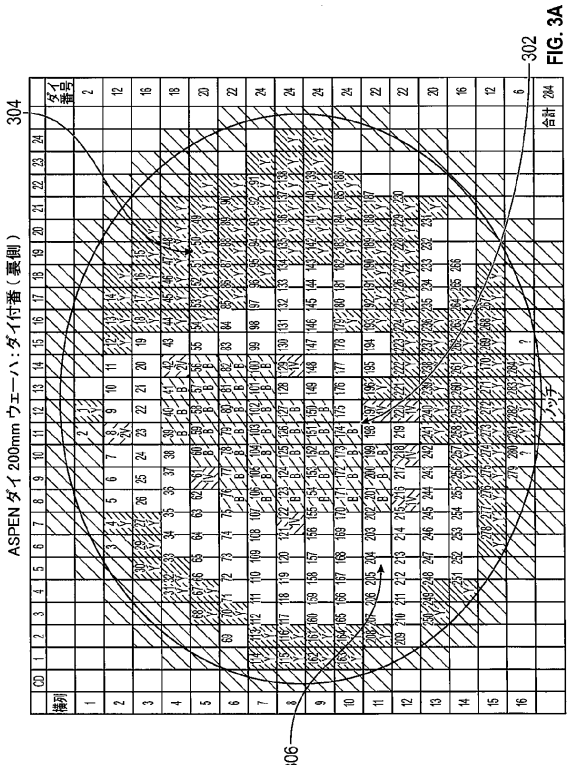


FIG. 3A

【図 3 B】

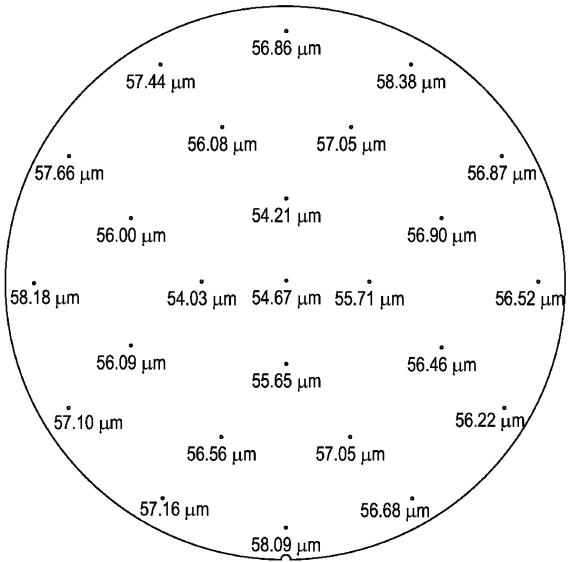


FIG. 3B

【図 4 A】

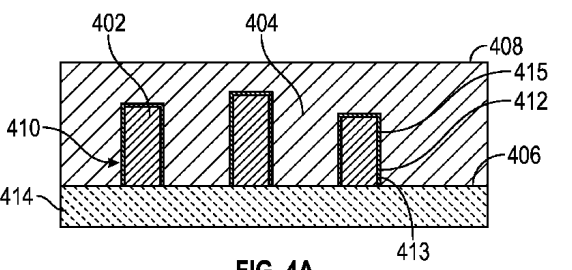


FIG. 4A

10

20

30

40

50

【図 4 B】

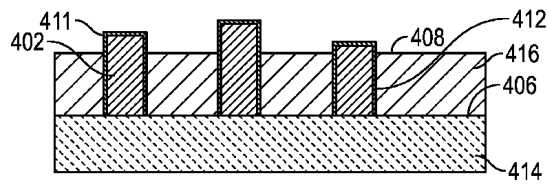


FIG. 4B

【図 4 C】

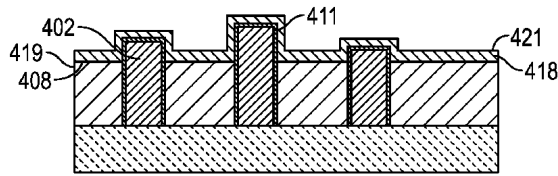


FIG. 4C

【図 4 D】

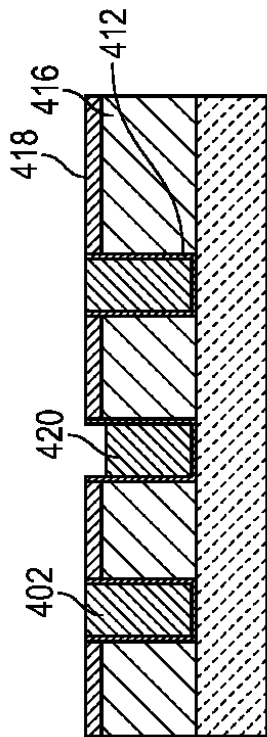


FIG. 4D

【図 4 E】

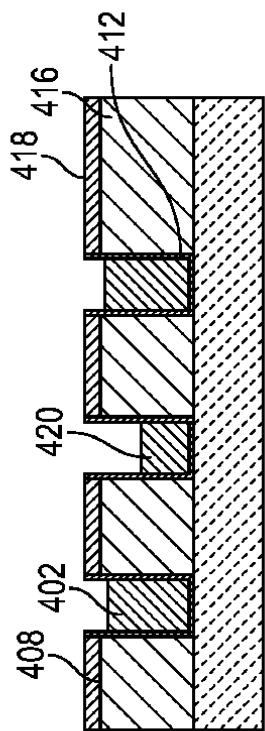


FIG. 4E

10

20

30

40

50

【図 4 F】

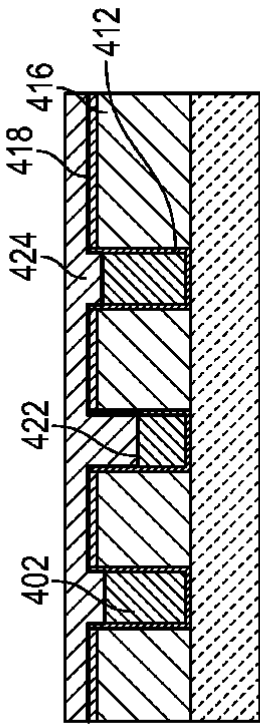


FIG. 4F

【図 4 G】

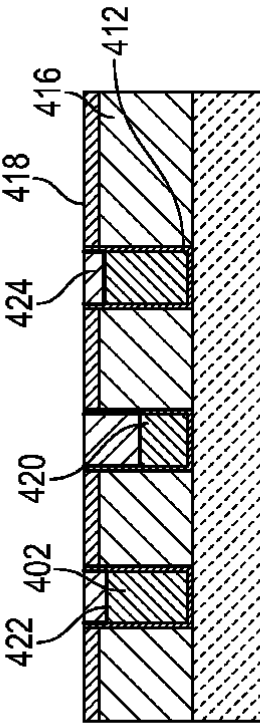


FIG. 4G

【図 4 H】

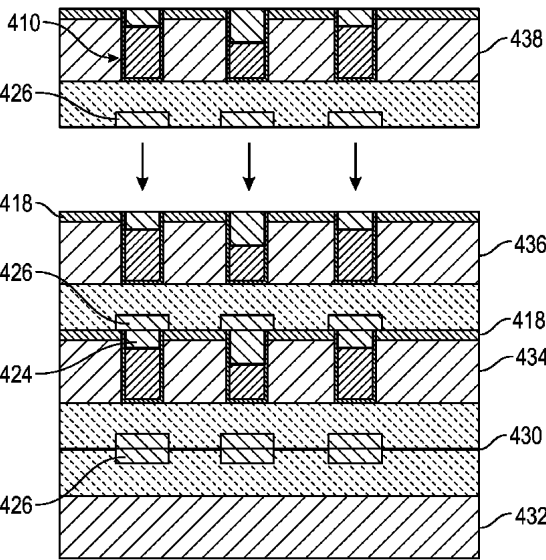


FIG. 4H

【図 4 I】

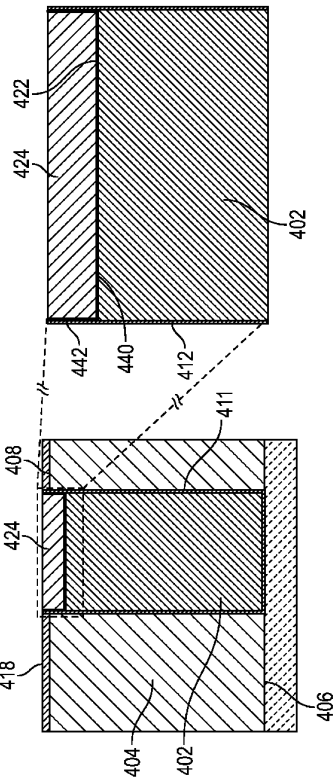


FIG. 4I

10

20

30

40

50

【図 5 A】

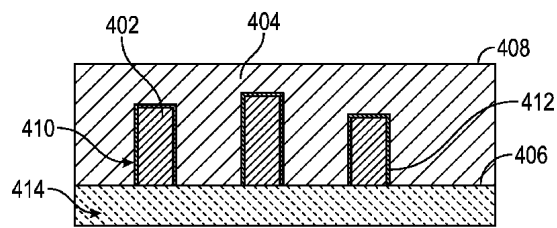


FIG. 5A

【図 5 B】

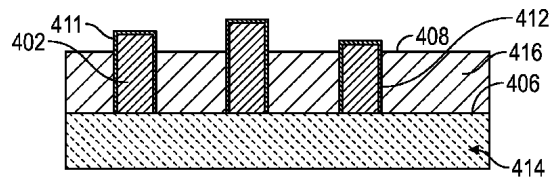


FIG. 5B

【図 5 C】

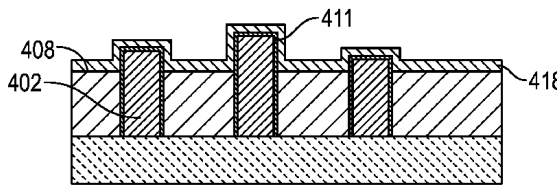


FIG. 5C

【図 5 D】

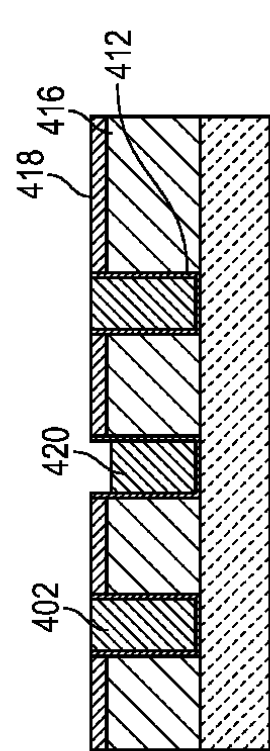


FIG. 5D

10

20

30

40

50

【図 5 E】

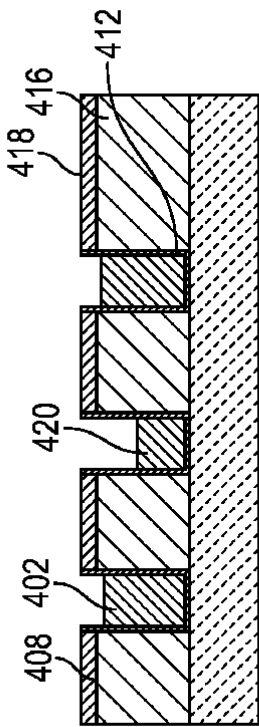


FIG. 5E

【図 5 F】

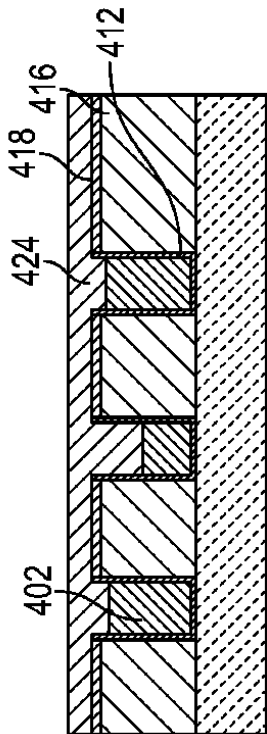


FIG. 5F

【図 5 G】

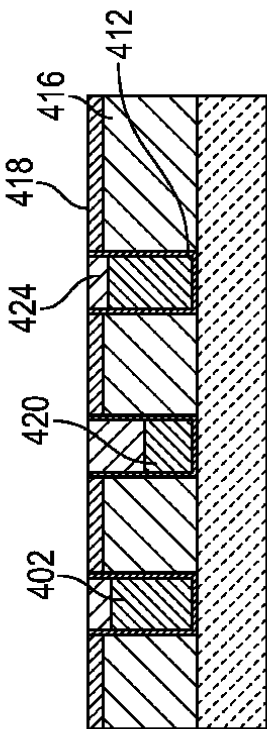


FIG. 5G

【図 5 H】

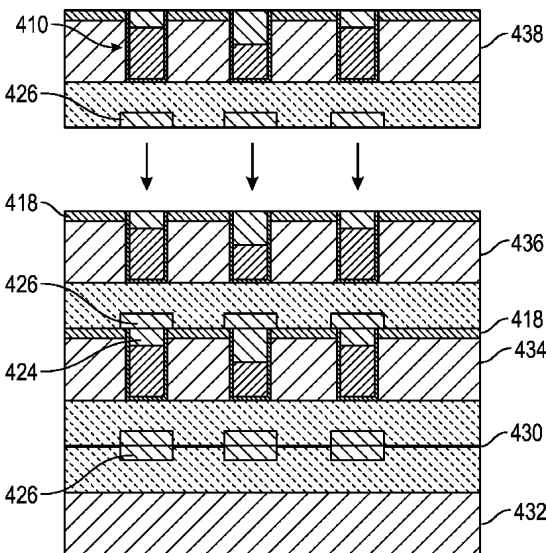


FIG. 5H

10

20

30

40

50

【図 5 I】

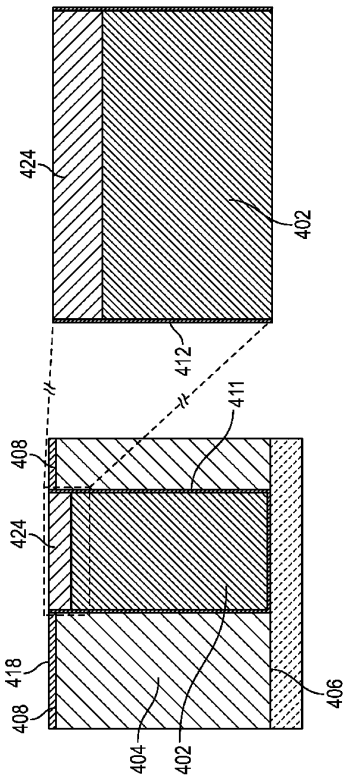


FIG. 5I

【図 6 A】

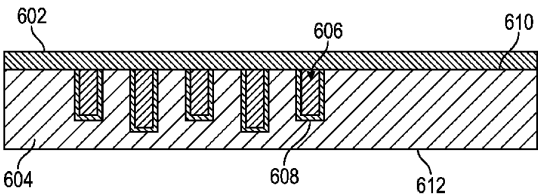


FIG. 6A

【図 6 B】

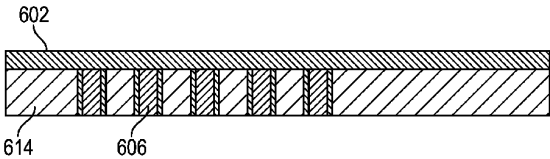


FIG. 6B

【図 6 C】

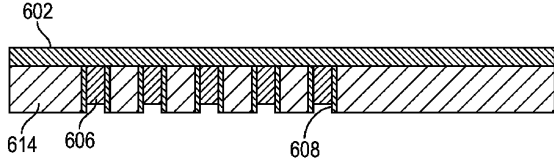


FIG. 6C

10

20

30

40

50

【図 6 D】

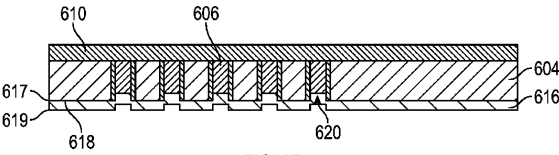


FIG. 6D

【図 6 E】

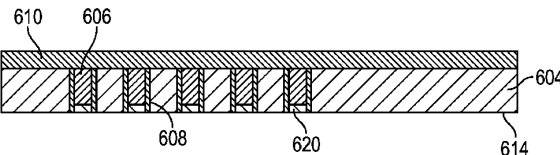


FIG. 6E

【図 6 F】

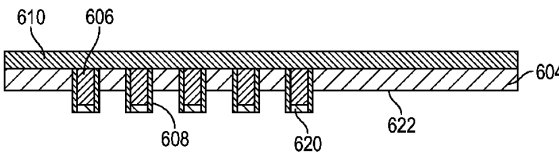


FIG. 6F

【図 6 G】

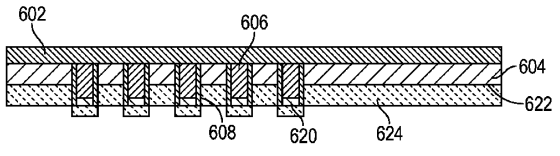


FIG. 6G

【図 6 H】

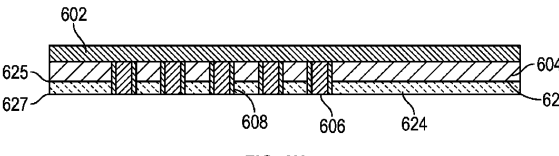


FIG. 6H

10

20

30

40

50

【手続補正書】

【提出日】令和5年9月8日(2023.9.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

【図1A】要素にTSVを形成するための従来の加工段階を示す図である。

【図1B】要素にTSVを形成するための従来の加工段階を示す図である。

10

【図1C】要素にTSVを形成するための従来の加工段階を示す図である。

【図1D】要素にTSVを形成するための従来の加工段階を示す図である。

【図1E】要素にTSVを形成するための従来の加工段階を示す図である。

【図1F】要素にTSVを形成するための従来の加工段階を示す図である。

【図2】加工されたウェーハのエッチング深度マップを示す図である。

【図3A】エッチングされたウェーハの例示的ウェーハマップである。

【図3B】エッチングされたウェーハの例示的ウェーハマップである。

【図4A】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4B】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4C】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

20

【図4D】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4E】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4F】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4G】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4H】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図4I】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5A】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5B】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5C】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5D】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

30

【図5E】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5F】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5G】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5H】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図5I】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6A】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6B】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6C】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6D】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6E】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

40

【図6F】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6G】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【図6H】様々な実施形態に従ってマイクロ電子構造体を形成する方法を示す図である。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2021/073122												
A. CLASSIFICATION OF SUBJECT MATTER H01L 21/768(2006.01)i; H01L 23/48(2006.01)i; H01L 25/065(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 21/768(2006.01); H01L 23/00(2006.01); H01L 23/48(2006.01); H01L 23/498(2006.01); H01L 23/532(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: via, bulk semiconductor portion, barrier layer, recess, fill														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>US 2013-0119543 A1 (HONG YU et al.) 16 May 2013 (2013-05-16) paragraphs [0020]-[0037] and figures 1A-2C</td> <td>1-2,42-43,60-61 3-5,18-22,32-36,72-73 44-48,54-59, 62-71,74-85</td> </tr> <tr> <td>Y</td> <td>US 2019-0385935 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 19 December 2019 (2019-12-19) paragraphs [0041]-[0044] and figure 3A-5</td> <td>3-4,21-22,72-73</td> </tr> <tr> <td>Y</td> <td>US 2013-0119547 A1 (SU-KYOUNG KIM et al.) 16 May 2013 (2013-05-16) paragraphs [0056]-[0097] and figures 1D-3E</td> <td>5,18-22,32-36</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y A	US 2013-0119543 A1 (HONG YU et al.) 16 May 2013 (2013-05-16) paragraphs [0020]-[0037] and figures 1A-2C	1-2,42-43,60-61 3-5,18-22,32-36,72-73 44-48,54-59, 62-71,74-85	Y	US 2019-0385935 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 19 December 2019 (2019-12-19) paragraphs [0041]-[0044] and figure 3A-5	3-4,21-22,72-73	Y	US 2013-0119547 A1 (SU-KYOUNG KIM et al.) 16 May 2013 (2013-05-16) paragraphs [0056]-[0097] and figures 1D-3E	5,18-22,32-36
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y A	US 2013-0119543 A1 (HONG YU et al.) 16 May 2013 (2013-05-16) paragraphs [0020]-[0037] and figures 1A-2C	1-2,42-43,60-61 3-5,18-22,32-36,72-73 44-48,54-59, 62-71,74-85												
Y	US 2019-0385935 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 19 December 2019 (2019-12-19) paragraphs [0041]-[0044] and figure 3A-5	3-4,21-22,72-73												
Y	US 2013-0119547 A1 (SU-KYOUNG KIM et al.) 16 May 2013 (2013-05-16) paragraphs [0056]-[0097] and figures 1D-3E	5,18-22,32-36												
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 21 April 2022		Date of mailing of the international search report 21 April 2022												
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer PARK, Hye Lyun Telephone No. +82-42-481-3463												

Form PCT/ISA/210 (second sheet) (July 2019)

International application No.

PCT/US2021/073122

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019-0385966 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 19 December 2019 (2019-12-19) paragraphs [0068]-[0076] and figures 9-12	1-5, 18-22, 32-36, 42-48, 54-85
A	US 2015-0028476 A1 (MICRON TECHNOLOGY, INC.) 29 January 2015 (2015-01-29) paragraphs [0013]-[0027] and figures 1-14	1-5, 18-22, 32-36, 42-48, 54-85

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2021/073122
Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)	
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:		
1.	☐ Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	10
2.	☒ Claims Nos.: 7, 9-11, 15, 24, 26-27, 30, 40, 50-51, 53 because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: Claims 7, 9-11, 15, 24, 26-27, 30, 40, 50-51, 53 are unclear, because these claims refer to the multiple dependent claims which do not comply with PCT Rule 6.4(a).	20
3.	☒ Claims Nos.: 6, 8, 12-14, 16-17, 23, 25, 28-29, 31, 37-39, 41, 49, 52 because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	30
		40
		50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2021/073122

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2013-0119543	A1	16 May 2013	None			
US	2019-0385935	A1	19 December 2019	CN	112470270	A	09 March 2021
				CN	112534574	A	19 March 2021
				CN	112585740	A	30 March 2021
				EP	3807927	A1	21 April 2021
				EP	3807931	A1	21 April 2021
				KR	10-2021-0008917	A	25 January 2021
				KR	10-2021-0008918	A	25 January 2021
				KR	10-2021-0009426	A	26 January 2021
				TW	202002111	A	01 January 2020
				TW	202013610	A	01 April 2020
				US	10998292	B2	04 May 2021
				US	2019-0385966	A1	19 December 2019
				US	2019-0385982	A1	19 December 2019
				US	2021-257341	A1	19 August 2021
				WO	2019-241417	A1	19 December 2019
				WO	2019-241561	A1	19 December 2019
				WO	2019-241571	A1	19 December 2019
US	2013-0119547	A1	16 May 2013	KR	10-2013-0053338	A	23 May 2013
				US	8884440	B2	11 November 2014
US	2019-0385966	A1	19 December 2019	CN	112470270	A	09 March 2021
				CN	112534574	A	19 March 2021
				CN	112585740	A	30 March 2021
				EP	3807927	A1	21 April 2021
				EP	3807931	A1	21 April 2021
				KR	10-2021-0008917	A	25 January 2021
				KR	10-2021-0008918	A	25 January 2021
				KR	10-2021-0009426	A	26 January 2021
				TW	202002111	A	01 January 2020
				TW	202013610	A	01 April 2020
				US	10998292	B2	04 May 2021
				US	2019-0385935	A1	19 December 2019
				US	2019-0385982	A1	19 December 2019
				WO	2019-241417	A1	19 December 2019
				WO	2019-241561	A1	19 December 2019
				WO	2019-241571	A1	19 December 2019
US	2015-0028476	A1	29 January 2015	CN	104854694	A	19 August 2015
				CN	104854694	B	01 June 2018
				EP	2907160	A1	19 August 2015
				JP	2015-536563	A	21 December 2015
				JP	6072265	B2	01 February 2017
				KR	10-1750185	B1	22 June 2017
				KR	10-2015-0066592	A	16 June 2015
				TW	201423909	A	16 June 2014
				TW	1545693	B	11 August 2016
				US	2014-0103520	A1	17 April 2014
				US	8859425	B2	14 October 2014
				US	9449906	B2	20 September 2016
				WO	2014-062602	A1	24 April 2014

Form PCT/ISA/210 (patent family annex) (July 2019)

10

20

30

40

50

フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,D
K,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),O
A(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,B
B,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD
,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,
LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,
RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,Z
W

弁理士 山本 泰史

(74)代理人 100144451

弁理士 鈴木 博子

(74)代理人 100168871

弁理士 岩上 健

(72)発明者 ファウンテン ガイウス ギルマン ジュニア

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ウゾー シプリアン エメカ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ハドソン ジョージ カールトン

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ポストヒル ジョン

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

F ターム (参考) 5F033 GG00 GG01 JJ11 JJ13 JJ14 JJ32 JJ33 MM30 NN03 PP27

QQ08 QQ19 QQ48 RR01 RR06 RR08 TT01