

發明專利說明書

200536251

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94101653

※申請日期：94.1.20

※IPC 分類：H03F 3/45

一、發明名稱：(中文/英文)

接收電路、高速接收電路及低電壓差動訊號驅動電路

A WIDE COMMON MODE HIGH-SPEED DIFFERENTIAL RECEIVER
USING THIN AND THICK GATE OXIDE MOSFETS IN
DEEP-SUBMICRON TECHNOLOGY

二、申請人：(共1人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共1人)

姓名：(中文/英文)

1. 陳重輝/Chung-Hui Chen

國籍：(中文/英文)

1. 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2004/04/20、10/827,958

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一半導體裝置，特別有關於一種半導體裝置中之高速接收器，更特別的是，有關於一種在深次微米技術半導體裝置中，使用薄與厚膜閘氧化層 MOSFET 所構成之寬共模、高速差動接收器的電路及方法。

【先前技術】

以差動訊號傳送當作一傳輸方式已行之有年。一差動接收器將一差動輸入訊號(IN+及 IN-)轉換及放大成一差動輸出訊號(VOUT+及 VOUT-)，這些接收器提供高資料傳輸速率，低雜訊耦合以及低電磁干擾(EMI, eletromaginic interference)。例如，電傳設備即為使用差動訊號傳遞的第一型設備的其中一些。今日，在電腦中，埠與埠間藉由低電壓差動訊號(low voltage differential signal, LVDS)驅動器與接收器對來進行通訊。除了低電壓差動訊號資料傳輸技術外，射極耦合邏輯(ECL)，共模邏輯(CML)，以及超高傳輸技術(hyper-transport-technology; high-bandwidth chip-to-chip technology)係使用於資料傳輸方法中。傳統的差動訊號傳輸速率超過 100M 位元/秒，在這些傳輸方法中，為達到所需之資料傳輸速率，同時符合低雜訊耦合以及低電磁干擾，高速度、寬共模、差動電壓接收器是必須的組塊(building block)。

半導體技術逐漸發展至小於 100 奈米(nm)之深次微米幾何。此技術今日已被採用來製造例如行動電話、膝上型電腦、以及其他可攜式電子裝置。小於 100nm 的幾何閘極可提供更複雜功能及更高之效能。但並非不耗費成本。當該奈米閘極幾何變的更小時，其電力消耗戲劇性的增加，因此其汲極的電池功率明顯增加。

對深次微米技術所有需要的串聯放大級而言，傳統的寬共模模式高速的差動接收器係使用厚閘極氧化金氧半電晶體。其中的每一級設計於趨近

3.3 伏直流的高供應電壓 (VDDH) 至最大資料傳輸速率。最後一轉換級 (translation stage) 則必須將該 3.3 伏直流供應電壓 (VDDH) 轉換成 1.2 伏直流供應電壓 (VDDL)，以供應至隨後使用 1.2 伏直流供應電壓 (VDDL) 的數位邏輯元件。這些使用高供應電壓之多層高速接收器放大級較使用低供應電壓之接收器耗費更多功率。

在寬共模，高速接收器之設計技術中，可符合或超過該高速資料傳輸需求並可降低功率損耗的設計是業界所期待的。

【發明內容】

有鑑於此，本發明提供一在深次微米技術半導體元件中同時使用厚及薄閘氧化金氧半電晶體之電路及方法，以構成一寬共模、高速差動接收器。

在一實施例中，本電路及方法包含了一同時使用厚及薄膜閘氧化層之金氧半電晶體以降低當遇到高速資料傳輸需求時之電路功率損耗。例如一電路具有一高供應電壓以及與其餘可運作於一低供應電壓之電路。該接收電路包含一第一以及第二差動輸入訊號控制一第一以及第二電流開關，亦包括一頂層電流供應源耦接至該高供應電壓以提供一電流流經該第一電流開關以及一第一底層供應電流源或者該第二電流開關以及一第二底層供應電流源。更包括一第一及第二電晶體耦接至該低供應電壓以及分別串聯連接該第一或第二底層供應電流源。在每一電阻以及底層供應電流之間產生一第一及第二差動輸出訊號。該第一及第二差動輸出訊號之共模電壓低於該低供應電壓。

雖然本發明在此以實施例顯示在深次微米半導體元件中同時使用薄及厚閘氧化金氧半電晶體以構成寬共模高速差動接收器，然而，並不僅限於顯示之詳細說明，在不脫離本發明之精神和範圍內，當可作各種之更動與結構之改變。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文

特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

本發明提供一前置放大器級之電路及方法，其係同時使用厚及薄膜金氧半電晶體，以在符合高速資料傳輸需求下可縮小高速差動接收器電路之功率損耗。以及亦將一高供應電壓 VDDH 轉換至一低供應電壓 VDDL，以供給隨後的放大器級以及數位邏輯。

第 1 圖顯示一寬共模高速差動接收器 100，根據本發明之一實施例，係同時使用厚及薄閘氧化金氧半場效電晶體(MOSFET)。二 P 型金氧半電晶體 102 及 104 為厚閘氧化電晶體，其形成一源極耦接差動電晶體對，或者是接收該差動輸入訊號 RX+及 RX-之輸入電流開關。一 P 型金氧半電晶體 106 亦為一厚閘極氧化電晶體，其係耦接至該高供應電壓(VDDH)以及對電晶體 102 以及 104 而言為一定電流源。電晶體 106 係為一頂層電流供應器(top current supply)。電晶體 102、104 及 106 係選用厚閘極氧化電晶體，因為其可以操作於一較高供應電壓(VDDH)下及將漏電流最小化。藉以降低功率損耗。一 N 型金氧半電晶體 108 係為一薄閘氧化電晶體，其可視為一定電流源以供電流經電晶體 106、102 以及 108 路徑流過。N 型金氧半電晶體 110 亦為一薄閘氧電晶體，其可視為另一一定電流源以供電流經電晶體 106、104 以及 110 的路徑流過。該 N 型金氧半電晶體 108 及 110 由於頂層供應電流存在之故，其可視為底層供應電流。以上定義之兩電流路徑係耦接至低電壓源 VSS，或接地端。進一步敘述於第 2 圖。

若兩輸入差動訊號 RX+以及 RX-相等，則流經電流路徑 106、102、108 以及 106、104、110 的電流相等，以及輸出訊號 OUT+以及 OUT-相等。若，差動輸入訊號 RX+不等於 RX-，則接收器 100 則會放大該差異並產生至輸出訊號 OUT+以及 OUT-。值得注意的是輸出訊號 OUT+以及 OUT-分別被電阻 112 以及 114 拉至供應電壓 VDDL。這些電阻的功能係被當作電流電

壓轉換器，可理解的是任何可提供此一功能的電路模組皆可取代這些電阻。更進一步的是，輸出訊號位準的改變提供了接收器電源電壓自該輸入級電壓 VDDH 至輸出級電壓 VDDL 的轉換。因此，所有隨後之放大器級可使用薄閘極氧化電晶體由供應電壓 VDDL 運作。該薄閘極氧化電晶體提供較厚閘極氧化電晶體高的速度以及增益，但無法於較高供應電壓 VDDH 下運作。既然接下來的放大級可使用該低供應電壓 VDDL，全部的電路功率損耗會明顯降低，且不需額外的電壓供應轉換至後續數位邏輯介面。

第 2 圖顯示第 1 圖所示之寬共模、高速差動接收器。在靜止狀態下，無差動輸入訊號時，該電流 I_{202} 自高電壓源 VDDH 流經電晶體 106 後均分成電流 I_{204} 以及電流 I_{206} 流經電晶體 102 以及 104。電流 I_{208} 為流經電晶體 102(電流 I_{204})以及流經電阻 112(電流 I_{212})之和。同樣的，電流 I_{210} 為流經電晶體 104(電流 I_{206})以及流經電阻 114(電流 I_{214})之和。

當訊號 RX+低於訊號 RX-時，電晶體 102 具有較高的傳導性供額外的電流流至輸出訊號 OUT-，藉以避免包含電晶體 104 的電流路徑。流經電阻 112 以及 114 之電流，相當於在節點 OUT+以及 OUT-之電壓，計算如下：

$$I_{204} = I_{202}$$

$$I_{212} = I_{208} - I_{202}$$

$$I_{214} = I_{210}$$

$$V(\text{OUT-}) = VDDL - I_{212} * R_{112} = VDDL - (I_{208} - I_{202}) * R_{112}$$

$$V(\text{OUT+}) = VDDL - I_{210} * R_{114}$$

當訊號 RX+大於訊號 RX-時，該電晶體 104 具較高傳導性，藉以供額外電流通過至輸出訊號 OUT+，流經電阻 112 以及 114 之電流，相當於輸出端 OUT+以及 OUT-的電壓，計算如下：

$$I_{206} = I_{202}$$

$$I_{212} = I_{208}$$

$$I_{214} = I_{210} - I_{202}$$

$$V(\text{OUT-}) = V_{DDL} - I_{212} * R_{112} = V_{DDL} - I_{208} * R_{112}$$

$$V(\text{OUT+}) = V_{DDL} - (I_{210} - I_{202}) * R_{114}$$

第 3 圖係為一圖表 300，顯示高速差動接收器 100 之共模輸入電壓以及共模輸出電壓兩者之間的關係。在此一實施例中，假設流經底層電流源 108 與底層電流源 110 的電流相同，兩電阻值亦相同。兩者關係可以數學式表示如下：

$$I_{208} = I_{210} = \text{INCS}$$

$$R_{112} = R_{114} = R$$

由圖表 300 中可知輸入差動訊號 RX+ 以及 RX- 之共模電壓較低電壓源 VDDL 高並放大產生輸出訊號 OUT+ 以及 OUT- 其共模電壓低於低電壓源 VDDL，輸入共模電壓訊號搖擺的範圍顯示於 302，輸出共模電壓訊號顯示於範圍 304。最大輸出電壓計算如 $V_{\text{max}} = V_{DDL} - \text{INCS} * R$ ，最小的電壓則為 $V_{\text{min}} = V_{DDL} - (\text{INCS} - I_{202}) * R$ 。因為輸出訊號 OUT+ 以及 OUT- 低於低電壓源 VDDL，隨後之放大器級可使用薄閘極氧化電晶體放大器。與傳統共模高速差動接收器比較有明顯省電效果。

第 4 圖顯示使用厚閘極氧化層電晶體之傳統低電壓差動訊號接收(LVDS)器 400 之放大器模組/級。亦顯示傳統 LVDS 接收器 400 之前放大器級/模組 402、中間增益級/模組 404 及 406，以及輸出轉換級/模組 408 之共模電壓。在其傳統的 LVDS 接收器 400 下方係為表 410 顯示不同放大器級訊號以及其相關電壓位準的比較。值得注意的是，傳統 LVDS 接收器 400 之 402、404 及 406 級使用厚閘極氧化層電晶體當作高供應電壓 VDDH。所有級皆使用相同的接地電位 VSS，該輸入差動訊號 RX+ 以及 RX- 顯示於訊號 412，其具有較低電壓源 VDDL 高之共模電壓。藉以提供至厚閘極氧化層電晶體。前放大級 402 之輸出訊號 O1+ 以及 O1- 則顯示於訊號 414，但是其亦具有一高於低電壓源 VDDL 之共模電壓，所以仍必須使用厚閘極氧化電晶體。該中間增益級 404 以及 406 進一步放大並分別的產生該差動訊號 O2+ 以及 O2-，以

及 O3+ 以及 O3-。該兩差動對進一步顯示於圖表 410 中之訊號 416 以及 418。該輸出轉換級 408 使用低供應電壓至傳統 LVDS 接收器 400 至隨後操作於低供應電壓 VDDL 之數位邏輯。值得注意的是僅有輸出於輸出轉換級之差動訊號 OUT+ 以及 OUT-，其顯示在圖表 410 中的訊號 420 具有低於低電壓訊號 VDDL 之共模電壓。因為 402、404 以及 406 級使用該高供應電壓 VDDH，電力耗損明顯。

第 5 圖顯示在一寬共模高速差動接收器 500 中前置放大器級 502 同時使用薄及厚閘氧化層金氧半場效電晶體，及在所有的後續的放大器級(例如：中間級放大器 504 以及 506，以及輸出轉換級 508)根據本發明其中一實施例。亦顯示接收器 500 之前置放大器級/模組 502、中間增益級/模組 504 及 506，以及輸出轉換級/模組 508 之共模電壓。在接收器 500 下方之圖表 510 則顯示不同放大器訊號以及其相關電壓位準的比較。值得注意的是接收器 500 中的所有級(502、504、506 以及 508 級)皆使用該低供應電壓 VDDL。但是該前置放大器 502，也同時使用高供應電壓 VDDH。電路同時提供了差動訊號 RX+ 以及 RX- 的放大以及高供應電壓 VDDH 至低供應電壓的電壓轉換。所有級使用同一接地電壓 VSS。因為電壓轉換至低供應電壓 VDDL 發生在前放大器級 502，因此所有隨後的級因使用薄閘氧化電晶體可使用降低的低供應電壓 VDDL。與傳統設計比較，因為接收器使用較多級低供應電壓 VDDL，因此該接收器 500 之電力損耗明顯下降。

該輸入差動訊號 RX+ 以及 RX- 輸入至前置放大器級 502 具有較低供應電壓 VDDL 高的共模電壓 512，其需要厚閘極氧化電晶體當作輸入級。該前置放大器級 502 的輸出訊號 O1+ 以及 O1- 最小放大如訊號 514，但是現在具有一共模電壓相等於或小於低電壓源 VDDL，其允許在隨後的放大器級使用薄閘級氧化電晶體，該中間增益級 504 以及 506 進一步放大差動訊號 O2+、O2- 以及 O3+ 及 O3-，分別顯示於增加的差動訊號 516 以及 518，值得注意的是共模電壓較低電壓源 VDDL 低，因此可允許在這些放大器級中

使用薄閘氧化電晶體，該接收器 500 之輸出轉換級 508 可接著當作一額外的放大器級在連接至運作於低供應電壓 VDDL 之數位邏輯之前。更進一步值得注意的是輸出轉換級 508 具有一差動電壓運作於 0 伏及低供應電壓源 VDDL 之間，顯示於訊號 520。

上述發明提供了許多不同的實施例，或不同實施例實施本發明之不同特徵。實施例其具體的元件或方法可幫助說明此發明。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示本發明一實施例中寬共模，高速差動接收器。

第 2 圖係顯示本發明一實施例中寬共模，高速差動接收器之電流流向。

第 3 圖係顯示在本發明一實施例該高速差動接收器中之共模輸入電壓、共模輸出電壓之圖表。

第 4 圖係顯示傳統低電壓差動訊號(LVDS)接收器之放大級以及該低電壓差動訊號接收器之輸入、中間以及輸出級之共模訊號。

第 5 圖係顯示本發明一實施例寬共模、高速差動訊號之放大級。

【主要元件符號說明】

100~寬共模高速差動接收器；	102 及 104~P 型金氧半電晶體；
RX+及 RX~-差動輸入訊號；	106~P 型金氧半電晶體；
VDDH~高供應電壓；	108~N 型金氧半電晶體；
110~N 型金氧半電晶體；	OUT+以及 OUT~-輸出訊號；
I ₂₀₂ ~電流；	I ₂₀₄ ~電流；
I ₂₀₆ ~電流；	I ₂₀₈ ~電流；

I_{210} ~電流；	I_{212} ~電流；
I_{214} ~電流；	300~圖表；
302~範圍；	304~範圍；
400~低電壓差動訊號接收器 LVDS；	402~前放大器級/模組；
404 及 406~中間增益級/模組；	408~輸出轉換級/模組；
ground/VSS~接地電位；	O1+以及 O1~-輸出訊號；
500~寬共模高速差動接收器；	502~前置放大器級；
504 以及 506~中間級放大器；	508~輸出轉換級；
O2+、O2-以及 O3+、O3~-差動訊號；	512~共模電壓；
514~訊號；	516 以及 518~差動訊號；
520~訊號。	

五、中文發明摘要：

本發明係關於一種具有一高供應電壓以及可與其他附加運作於一低供應電壓之高速接收電路。該接收電路包括第一及第二差動輸入訊號控制第一及第二電流開關，亦包括一頂層電流供應源耦接至該高供應電壓以提供一電流通過該第一電流開關以及一第一底層電流供應源或者一該第二電流開關以及一第二底層電流供應源。更進一步包括第一及第二電阻耦接至該低供應電壓及分別的串聯耦接至第一或第二底層電流供應源。其第一或第二差動輸出訊號之共模電壓低於低供應電壓。

六、英文發明摘要：

A high speed receiver circuit is disclosed with a high supply voltage and operable with other circuits operating at a low supply voltage. The receiver circuit comprises first and second differential input signals controlling first and second current switches. It also includes a top current supply connected to the high supply voltage for providing a current to be passed either through the first current switch and a first bottom current supply or the second bottom current supply. Further included are first and second resistors connected to the low supply voltage and in a series with the first or second bottom current supplies respectively. First and second differential output signals are produced at a point between each pair of the resistors and the bottom current supply. A common mode voltage of the first and second differential output signals is lower than the low supply voltage.

十、申請專利範圍：

1.一接收電路，具有一高供應電壓以及可與其他附加電路運作於一低供應電壓，該接收電路係包括：

一第一差動輸入訊號控制一第一電流開關；

一第二差動輸入訊號配合該第一差動輸入訊號控制一第二電流開關；

一頂層供應電流源耦接至該高供應電壓以提供一電流流經一包含該第一電流開關以及一第一底層供應電流源之第一電流路徑；或者一包含該第二電流開關以及一第二底層供應電流源之第二電流路徑；

一第一電流/電壓轉換器，耦接至該低供應電壓，以及串聯連接於該第一底層供應電流源；以及

一第二電流/電壓轉換器，耦接至該低供應電壓，以及串聯連接該第二底層供應電流源；

其中該頂層供應電流源、該第一及第二底層供應電流源係受控制以確保流經該第一或第二底層供應電流源之電流較通過該頂層供應電流源之電流高，藉以確保跨在該第一電流/電壓轉換器之第一電壓降以產生一第一差動輸出訊號，以及確保一跨在該第二電流/電壓轉換器之第二電壓降以產生一第二差動輸出訊號。

2.如申請專利範圍第1項所述之接收電路，其中該輸入差動訊號之共模電壓較該低供應電壓高，以及該兩差動輸出訊號之共模電壓較該低供應電壓低。

3.如申請專利範圍第1項所述之接收電路，其中該第一以及第二電流開關係為厚氧化層電晶體。

4.如申請專利範圍第1項所述之接收電路，其中該第一以及第二底層供應電流源係採用薄氧化層電晶體所構成。

5.如申請專利範圍第 1 項所述之接收電路，其中該頂層供應電流源係為一厚氧化層電晶體。

6.如申請專利範圍第 1 項所述之接收電路，其中該第一以及第二電流/電壓轉換器係為電阻。

7.如申請專利範圍第 6 項所述之接收電路，其中該兩電流/電壓轉換器具有相同之電阻值。

8.一高速接收電路，具有一高供應電壓以及可與其他附加電路運作於一低供應電壓，該高速接收電路包括：

- 一第一差動輸入訊號，控制一第一電流開關；
- 一第二差動輸入訊號，配合該第一差動輸入訊號控制一第二電流開關；
- 一頂層供應電流源耦接至該高供應電壓以提供一電流流經一包含該第一電流開關以及一第一底層供應電流源之第一電流路徑；或者一包含該第二電流開關以及一第二底層供應電流源之第二電流路徑；

一第一電阻，耦接至該低供應電壓，以及串聯連接於該第一底層供應電流源；

一第二電阻，耦接至該低供應電壓，以及串聯連接該第二底層供應電流源；

一第一差動輸出訊號，被產生於該第一電阻以及該第一底層供應電流源之間；以及

一第二差動輸出訊號，被產生於該第二電阻以及該第二底層供應電流源之間；

其中該輸入差動訊號之共模電壓較該低供應電壓高，及該第一以及第二差動輸出訊號之共模電壓較該低供應電壓低。

9.如申請專利範圍第 8 項所述之高速接收電路，其中通過該第一或者第二底層供應電流源之電流較通過該頂層供應電流源之電流高，藉以確保該兩差動輸出訊號之擺幅不高過於該低供應電壓。

10.如申請專利範圍第 8 項所述之高速接收電路，其中該第一及第二電流開關係為厚氧化層電晶體。

11.如申請專利範圍第 8 項所述之高速接收電路，其中該第一及第二底層供應電流源係為薄氧化層電晶體。

12.如申請專利範圍第 8 項所述之高速接收電路，其中該頂層供應電流源係為厚氧化層電晶體。

13.如申請專利範圍第 8 項所述之高速接收電路，其中該第一及第二電阻具有相同電阻值。

14.一低電壓差動訊號驅動電路，包括：

一前置放大器模組，同時使用薄及厚閘電晶體，並運作於高與低供應電壓以轉換具有較該低供應電壓高之共模電壓的兩差動輸入訊號，及轉換具有較該低供應電壓低之共模電壓的兩差動輸出訊號；以及

一或多個增益模組，用以放大該兩差動輸出訊號。

15.如申請專利範圍第 14 項所述之低電壓差動訊號驅動電路，更包括一輸出轉換模組，用以轉換該經放大之差動輸出訊號成為兩數位訊號，其中“1”代表了低供應電壓之電壓位準。

16.如申請專利範圍第 14 項所述之低電壓差動訊號驅動電路，其中該前置放大器模組更包括：

一第一電流開關受控於該第一差動輸入訊號；

一第二電流開關受控於第二差動輸入訊號；

一頂層供應電流源，耦接至該高供應電壓以提供一電流通過包含一第一電流開關以及第一底層供應電流源之第一電流路徑或者通過包含該第二電流開關以及一第二層底供應電流源之第二電流路徑；

一第一電阻，耦接至該低供應電壓以及串聯連接至該第一底層供應電流源；以及

一第二電阻，耦接至該低共應電壓以及串聯連接該第二底層供應電流

源；

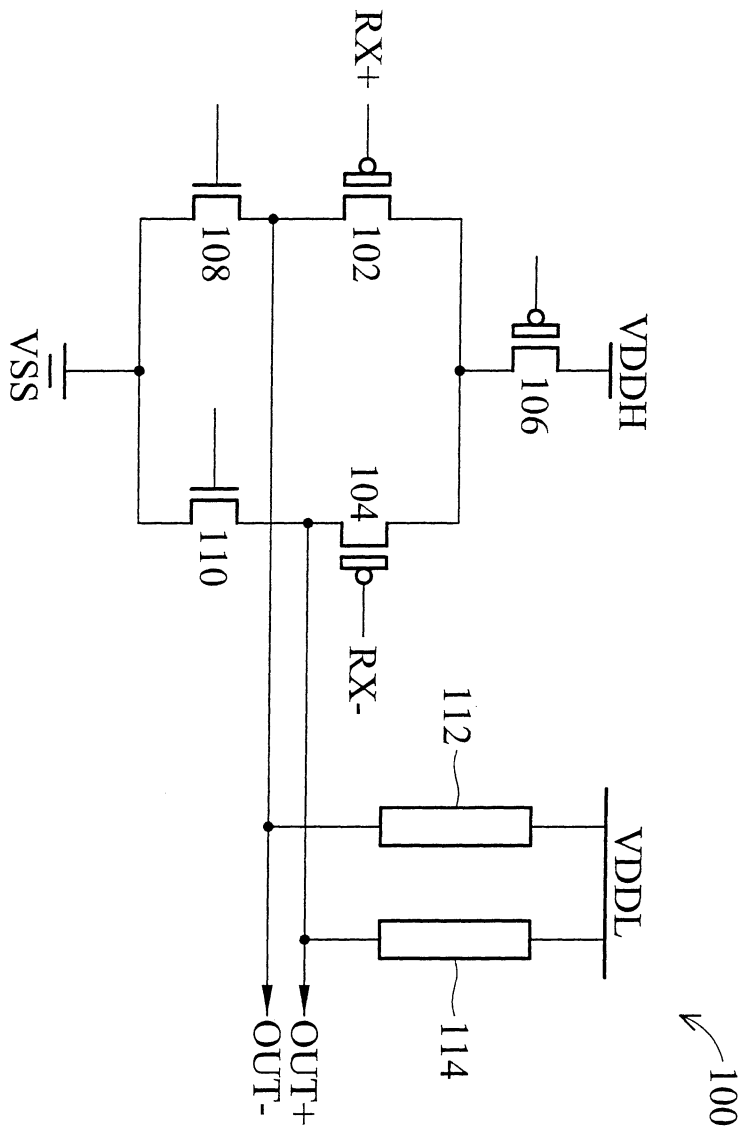
其中在該第一電阻以及該第一底層供應電流源間之一節點產生一第一差動輸出訊號，以及在該第二電阻以及該第二底層供應電流之間產生一第二差動輸出訊號。

17.如申請專利範圍第 14 項所述之低電壓差動訊號驅動電路，其中該第一以及第二電流開關係為厚氧化層電晶體。

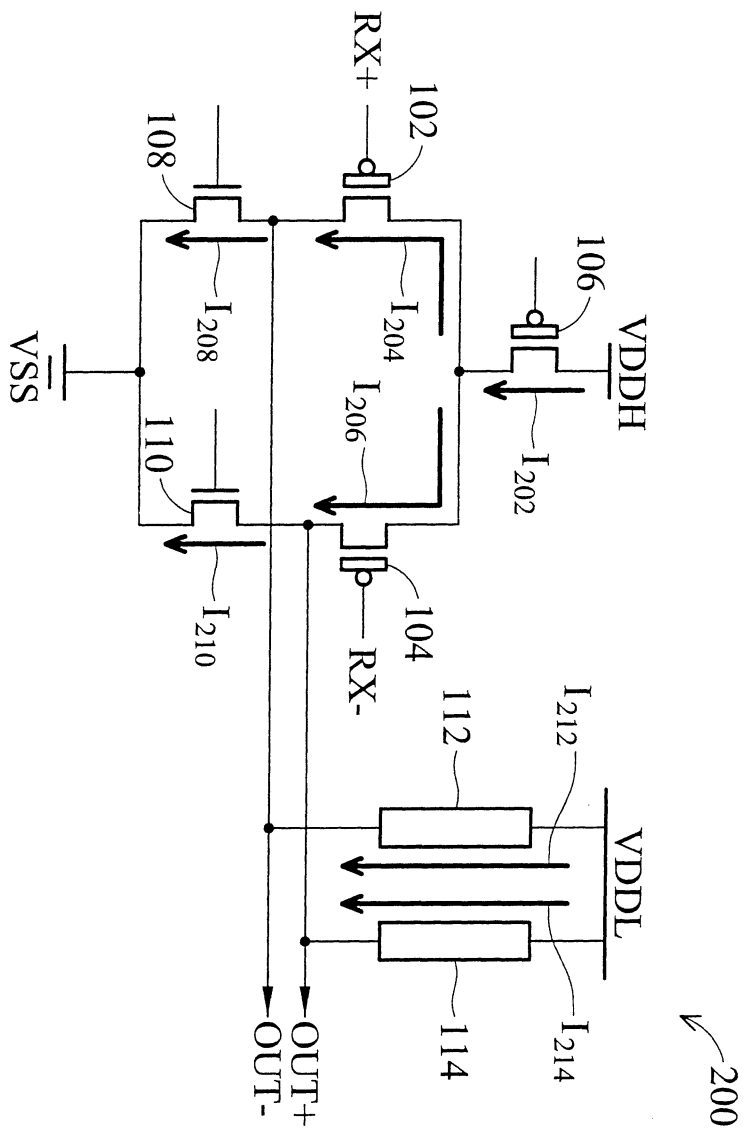
18.如申請專利範圍第 17 項所述之低電壓差動訊號驅動電路，其中該第一及第二底層供應電流源係為薄氧化層電晶體。

19.如申請專利範圍第 14 項所述之低電壓差動訊號驅動電路，其中該頂層供應電流源係為一厚氧化層電晶體。

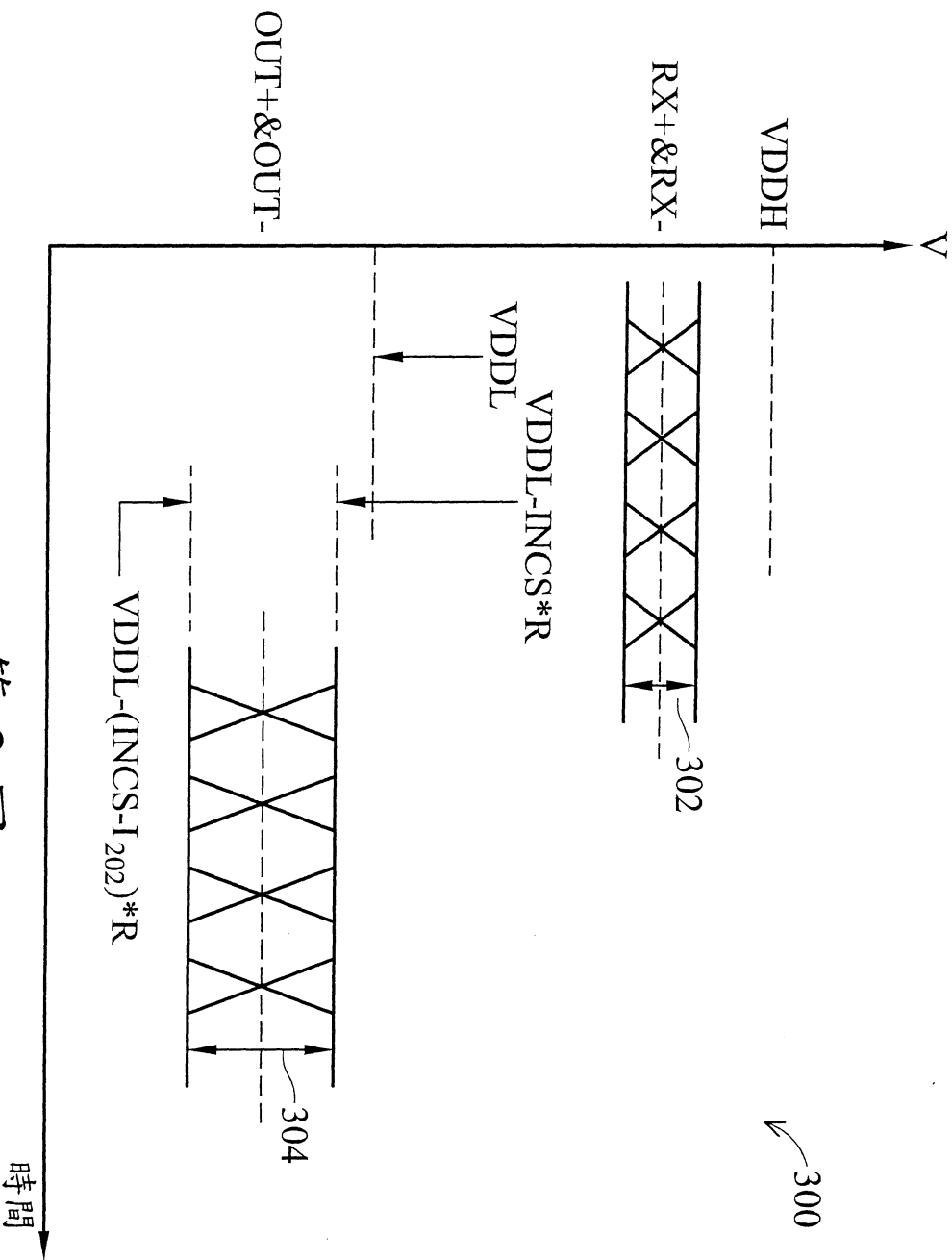
20.如申請專利範圍第 14 項所述之低電壓差動訊號驅動電路，其中該第一以及第二電阻具有相同電阻值。



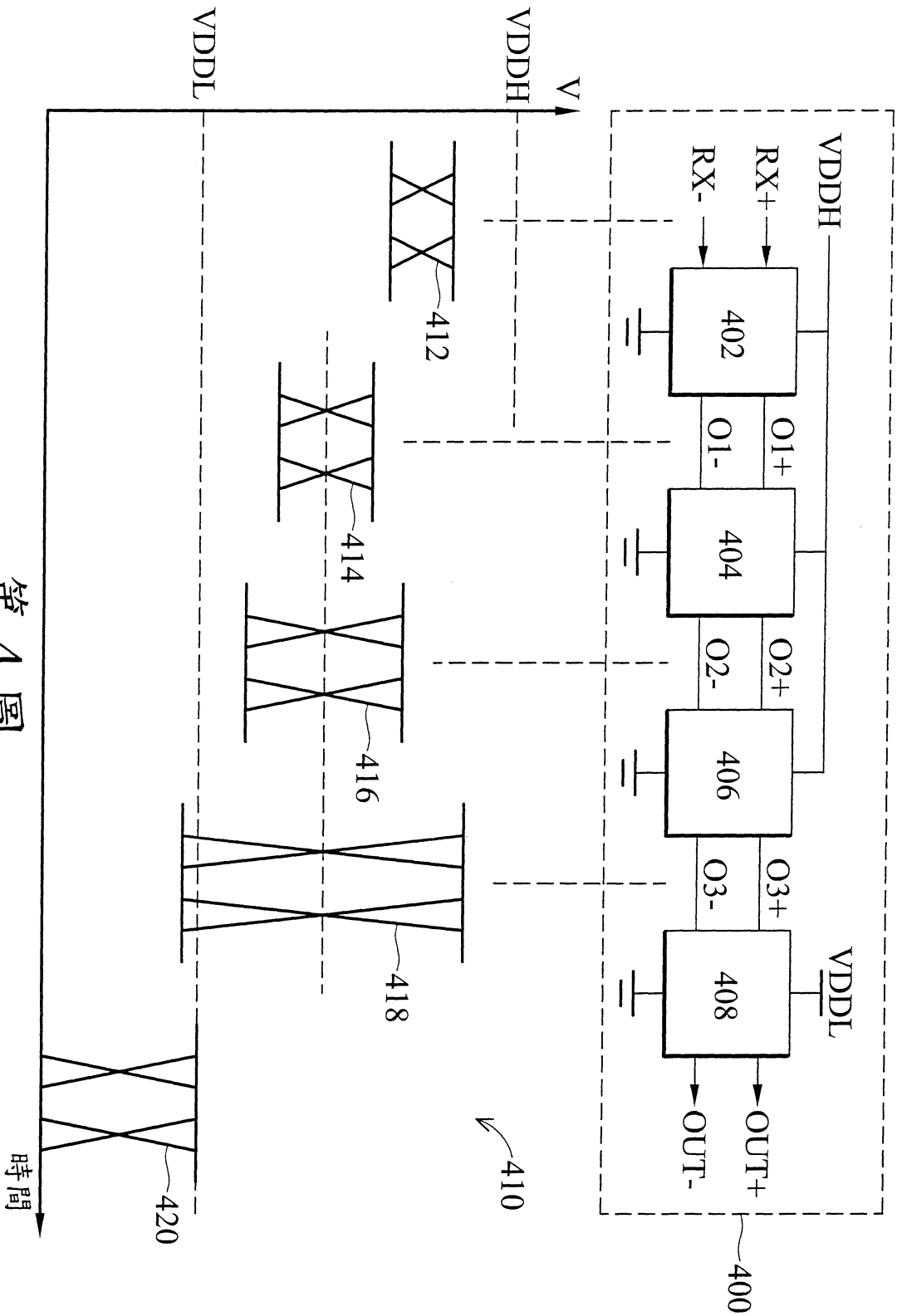
第 1 圖



第2圖



第 3 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100~寬共模高速差動接收器；	102 及 104~P 型金氧半電晶體；
RX+及 RX-~差動輸入訊號；	106~P 型金氧半電晶體；
VDDH~高供應電壓；	108~N 型金氧半電晶體；
110~N 型金氧半電晶體；	OUT+以及 OUT-~輸出訊號。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：