



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁶ : H01L 21/762 // 21/20, 21/322	A1	(11) Numéro de publication internationale: WO 99/52145 (43) Date de publication internationale: 14 octobre 1999 (14.10.99)
<p>(21) Numéro de la demande internationale: PCT/FR99/00786</p> <p>(22) Date de dépôt international: 6 avril 1999 (06.04.99)</p> <p>(30) Données relatives à la priorité: 98/04299 7 avril 1998 (07.04.98) FR</p> <p>(71) Déposant (pour tous les Etats désignés sauf US): COMMISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, rue de la Fédération, F-75015 Paris (FR).</p> <p>(72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): MALEVILLE, Christophe [FR/FR]; 159, chemin du Diday, F-38360 Noyarey (FR). BARGE, Thierry [FR/FR]; 38, rue Félix Esclangon, F-38000 Grenoble (FR). ASPAR, Bernard [FR/FR]; 110, lotissement du Hameau des Ayes, F-38140 Rives (FR). MORICEAU, Hubert [FR/FR]; 26, rue du Fournet, F-38120 Saint-Egrève (FR). AUBERTON-HERVE, André-Jacques [FR/FR]; 94, avenue de Karben, F-38120 Saint-Egrève (FR).</p> <p>(74) Mandataires: MARTIN, Jean-Jacques etc.; Cabinet Regimbeau, 26, avenue Kléber, F-75116 Paris (FR).</p>	<p>(81) Etats désignés: JP, KR, SG, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Publiée <i>Avec rapport de recherche internationale.</i></p>	

(54) Title: HEAT TREATMENT METHOD FOR SEMICONDUCTOR SUBSTRATES

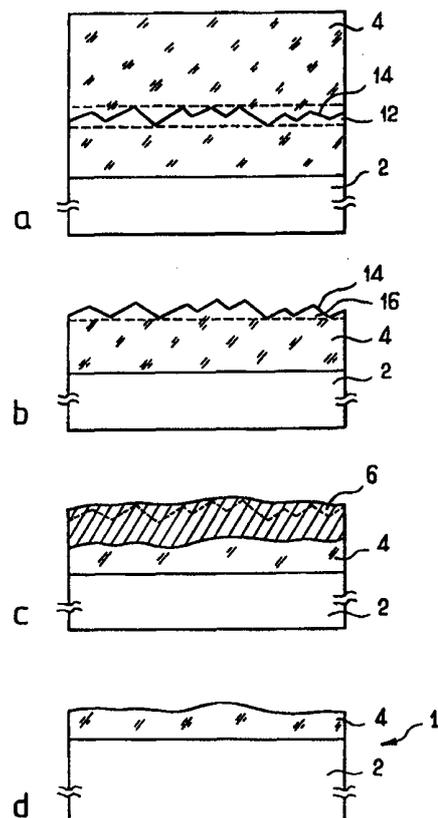
(54) Titre: PROCEDE DE TRAITEMENT THERMIQUE DE SUBSTRATS SEMI-CONDUCTEURS

(57) Abstract

The invention concerns a method for treating a substrate comprising a semi-conducting layer (4) on at least one of its surfaces. Said method comprises a step for annealing the substrate and a step for forming an oxide layer (6) at the semi-conducting layer (4) surface, carried out before the end of the annealing step, protecting the remainder of the semi-conducting layer (4).

(57) Abrégé

L'invention concerne un procédé de traitement d'un substrat comportant une couche de semi-conducteur (4) sur au moins une de ses faces. Ce procédé comprend une étape de recuit du substrat et une étape de formation d'une couche d'oxyde (6) en surface de la couche de semi-conducteur (4), réalisée avant la fin de l'étape de recuit, protégeant le reste de la couche de semi-conducteur (4).



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

PROCEDE DE TRAITEMENT THERMIQUE DE SUBSTRATS SEMI- CONDUCTEURS

La présente invention concerne la fabrication de composants
5 semi-conducteurs pour la micro-électronique et/ou l'opto-électronique. Plus
précisément, elle concerne le domaine de la fabrication et/ou de la
préparation de substrats destinés à la réalisation de tels composants.

Il existe certains procédés de fabrication de substrats, qui
consistent à reporter une couche, par exemple de silicium, sur un substrat
10 support.

On connaît par exemple par le document FR 2 681 472, un
procédé de fabrication de couches et de films minces de matériau semi-
conducteur comprenant au moins trois étapes. Lors d'une première étape,
on crée par implantation ionique, une couche de microbulles gazeuses sous
15 une face d'une plaque de matériau semi-conducteur. Lors d'une seconde
étape, cette face de la plaque est reportée sur un substrat support et rendue
solidaire de celui-ci. Lors d'une troisième étape, l'ensemble constitué par la
plaque et le substrat support est soumis à un traitement thermique apte à
créer un clivage de la plaque au niveau de la couche d'implantation. Le
20 choix de paramètres tels que le temps et la température de ce traitement
thermique dépend de l'historique et du budget thermique de la plaque de
semi-conducteur. Ce budget thermique est par exemple acquis au cours de
l'étape d'implantation, par chauffage volontaire et/ou par chauffage par le
faisceau d'ions lui même. Il peut aussi être acquis au cours d'une étape de
25 recuit qui précède le collage et qui est destinée à faire migrer les atomes
implantés en vue de faciliter le clivage ultérieur. Il peut encore être acquis
au cours d'un recuit réalisé avant clivage et destiné à stabiliser le collage.
D'autres traitements thermiques peuvent encore être envisagés avant le
clivage.

30 Après clivage, on obtient une couche mince adhérent au substrat
support. Ce procédé est appelé procédé Smart-Cut®.

Dans une application particulière de ce procédé, dite

technique SOI (acronyme de l'expression anglo-saxonne Silicon On Insulator), on réalise une couche de silicium sur isolant. Plusieurs manières peuvent être envisagées pour réaliser une couche de silicium sur isolant, selon le procédé décrit au paragraphe précédent. Selon une première

5 manière, on peut par exemple, recouvrir la plaque de silicium, sur sa face d'implantation, d'une couche d'oxyde isolant, et utiliser un substrat support, par exemple aussi en silicium, pour le report. Selon une deuxième manière, on peut avoir une plaque complètement semi-conductrice que l'on reporte soit sur un substrat support recouvert d'une couche d'isolant, soit sur un

10 substrat support complètement isolant (ex : quartz). Selon une troisième manière, on peut avoir un isolant sur la plaque de semi-conducteur, et reporter cette plaque soit sur un substrat support recouvert lui aussi d'isolant, soit sur un substrat complètement isolant. On remarquera en outre ici, pour obtenir un isolant, l'intérêt d'une étape de formation d'une couche

15 d'oxyde de surface d'une plaque ou d'un substrat support, dans ce cas de silicium, mais plus généralement d'un matériau semi-conducteur.

Après les trois étapes du procédé décrit ci-dessus, des problèmes de décollement de la couche de semi-conducteur sur son substrat support, peuvent survenir. Des défauts présents à l'interface de la

20 couche de semi-conducteur et du substrat support peuvent aussi devenir électriquement actifs et rendre inutilisable la plaquette composée de l'ensemble substrat support-couche de semi-conducteur. Pour pallier ces inconvénients, et plus particulièrement pour éviter un décollement de la couche lorsqu'un polissage est envisagé, il est nécessaire de renforcer

25 l'interface de collage entre le substrat support et la plaque comportant la couche de semi-conducteur.

Il est connu qu'un recuit à des températures relativement élevées, c'est-à-dire supérieures à 1000°C, préférentiellement vers 1100°C, permet de renforcer l'interface de collage. Par la suite, nous désignerons

30 par recuit toute opération thermique destinée à améliorer les qualités du matériau. Ce recuit peut être un traitement thermique effectué à température constante ou à température variable. Dans ce dernier cas, le

recuit peut être réalisé par exemple avec une augmentation progressive de la température entre deux valeurs, avec une oscillation cyclique entre deux températures, etc.

Ce type de recuit peut être réalisé sous atmosphère non oxydante ou sous atmosphère oxydante. Un recuit sous atmosphère non oxydante (azote, argon, vide, etc.) présente généralement l'inconvénient de générer un phénomène parasite de piquage, aussi appelé « pitting », à la surface d'un semi-conducteur et du silicium en particulier. Un recuit sous atmosphère oxydante présente l'inconvénient de générer des défauts dans la structure cristalline. Ces défauts sont par exemple du type fautes d'empilement et/ou, dans les structures SOI, défauts HF (on appelle défaut HF, un défaut dont la présence est révélée par une auréole de décoration de l'oxyde enterré, après traitement dans un bain d'acide fluorhydrique), etc.

Par ailleurs, il est parfois utile, pour l'application que nous avons mentionnée plus haut par exemple, de former une couche d'oxyde en surface d'une couche de silicium, par exemple par oxydation. Mais, comme indiqué ci-dessus, une oxydation, mais aussi plus généralement toute formation d'une couche d'oxyde en surface, est connue pour générer des défauts. Or la présence de ces défauts dans la structure cristalline est tout à fait indésirable.

Un but de l'invention est de fournir un procédé permettant de réaliser des recuits, notamment de stabilisation de l'interface de collage entre une plaque comprenant une couche de semi-conducteur, notamment de silicium, et un substrat support, sans piquage de la surface de la couche.

Un autre but de l'invention est de fournir un procédé permettant de former une couche d'oxyde à la surface de la couche de semi-conducteur, en limitant le plus possible le nombre de défauts introduits dans la structure cristalline.

Ces buts sont atteints grâce à un procédé de traitement d'un substrat comportant une couche de semi-conducteur sur au moins une de ses faces, caractérisé par le fait qu'il comprend une étape de recuit du substrat et une étape de formation d'une couche d'oxyde en surface de la

couche de semi-conducteur, réalisée avant la fin de l'étape de recuit, protégeant le reste de la couche de semi-conducteur.

On entend par substrat comportant une couche de semi-conducteur sur au moins une de ses faces, un substrat entièrement semi-conducteur (par exemple du silicium), ou un empilement de couches semi-conductrices, ou encore un substrat comprenant des structures non homogènes ou un substrat comprenant des composants ou des parties de composants à des niveaux plus ou moins avancés de leur élaboration.

A titre d'exemple, les couches de semi-conducteur présentent une épaisseur de quelques dizaines d'Å à quelques dizaines de microns.

Ainsi, grâce au procédé selon l'invention, une couche d'oxyde est formée en surface de la couche de semi-conducteur. Cette couche d'oxyde protège le reste de la couche de semi-conducteur, pendant l'étape de recuit, pour éviter notamment le phénomène de piquage. La couche d'oxyde peut être formée par dépôt d'un oxyde en surface de la couche de semi-conducteur (en particulier, mais pas de manière limitative, pour des semi-conducteurs non oxydables), par oxydation thermique de la zone superficielle de la couche de semi-conducteur ou bien encore par dépôt d'un oxyde en surface de la couche de semi-conducteur, suivi d'une oxydation thermique du semi-conducteur à travers la couche d'oxyde déjà déposée. Dans tous les cas, l'oxyde peut être composé d'éléments du matériau semi-conducteur et d'autres éléments tels que de l'azote, etc.

La combinaison des étapes de formation d'une couche d'oxyde de surface et de recuit, du procédé selon l'invention, permet en particulier d'obtenir un renforcement de l'interface de collage entre la couche de semi-conducteur et le substrat support, en évitant la formation de défauts, et plus particulièrement la formation de défauts du type piquage.

D'autre part, l'étape de recuit du substrat permet de guérir la couche de semi-conducteur des défauts engendrés au cours des étapes précédentes du procédé de fabrication et préparation. Plus particulièrement, l'étape de recuit peut être effectuée pendant une durée et à une température, telles qu'on réalise une guérison de défauts cristallins, tels que

des fautes d'empilements, des défauts HF, etc., engendrés dans la couche de semi-conducteur, au cours de l'étape de formation d'une couche d'oxyde de surface. Ainsi, il est possible de former une couche d'oxyde en surface d'une couche de semi-conducteur sans augmenter dramatiquement son
5 taux de défauts. La Demanderesse a en outre découvert que la guérison du matériau semi-conducteur par recuit lui confère une meilleure résistance à d'éventuelles étapes ultérieures de formation d'une couche d'oxyde en surface de la couche de semi-conducteur. En effet, une couche de semi-conducteur comprend moins de défauts après formation d'une couche
10 d'oxyde en surface, lorsqu'elle a subi un recuit, préalablement à la formation de l'oxyde.

Suivant une variante du procédé selon l'invention, celui-ci comprend, après l'étape de recuit, une étape de désoxydation pour ôter la couche d'oxyde formée en surface de la couche de semi-conducteur.

15 Suivant une autre variante, le procédé selon l'invention comprend plusieurs étapes de formation d'une couche d'oxyde de surface et plusieurs étapes de désoxydation, au moins la dernière étape de formation d'une couche d'oxyde de surface étant suivie d'une étape de recuit.

20 Mis en œuvre selon ces deux dernières variantes, le procédé selon l'invention permet en particulier d'amincir la couche de semi-conducteur, d'ôter une partie de la couche de semi-conducteur comportant une concentration importante de défauts ou encore de réduire la rugosité de surface de la couche. Ainsi, le procédé selon l'invention s'avère
25 particulièrement utile, lorsqu'après les étapes d'implantation, collage et clivage du procédé mentionné ci-dessus, on cherche, d'une part à ôter la partie perturbée par l'implantation, c'est à dire au niveau de la zone de clivage (cette partie comporte en effet énormément de défauts), et d'autre part à réduire la rugosité de la surface résultant du clivage. Cette formation
30 d'une couche d'oxyde de surface sacrificielle d'une partie de la couche de semi-conducteur, permet d'éviter les inconvénients d'un polissage seul. La technique du polissage génère en effet, des défauts du type lésion

mécanique, des zones écrouies, etc. Lorsqu'on utilise un polissage mécano-chimique, des défauts dus à la chimie peuvent s'ajouter aux précédents. De plus, le polissage aboutit généralement à un manque d'uniformité en épaisseur. Ce dernier inconvénient devient d'autant plus critique que l'épaisseur de matériau à enlever est importante et donc que l'étape de polissage est longue. C'est le cas notamment lorsque l'épaisseur à retirer par polissage atteint 100 nm. Ainsi, tous ces inconvénients aboutissent, le plus souvent, à un manque de reproductibilité des résultats du polissage. De plus, de longs polissages ralentissent l'exécution du procédé et induisent une baisse de productivité. On comprend alors tout l'intérêt de la formation d'une couche d'oxyde de surface sacrificielle, conformément au procédé selon l'invention, puisqu'elle permet de retirer de la matière et d'amincir une couche de semi-conducteur. Si on complète cet amincissement par formation d'une couche d'oxyde de surface sacrificielle d'une étape de polissage, les défauts engendrés par le polissage peuvent alors être développés à moins grande échelle.

Suivant une autre variante, le substrat support recouvert de la couche de semi-conducteur peut être stocké ou livré à un fabricant de composants semi-conducteurs par exemple, avec une couche protectrice d'oxyde qui sera ôtée au moment de la poursuite du traitement du substrat.

D'autres aspects, buts et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit. L'invention sera aussi mieux comprise à l'aide des références aux dessins sur lesquels :

- la figure 1 représente schématiquement les étapes d'un exemple de mise en œuvre du procédé de traitement de couches de semi-conducteur, selon l'invention ;

- la figure 2 représente un diagramme d'un exemple d'évolution de la température de chauffage d'un substrat, au cours de son traitement par un procédé conforme à la présente invention ;

- la figure 3 représente un diagramme d'un autre exemple d'évolution de la température de chauffage d'un substrat, au cours de son traitement par un procédé conforme à la présente invention ;

- la figure 4 représente schématiquement les étapes d'un procédé, de l'art antérieur, pour le traitement de substrats pour la micro-électronique et l'opto-électronique ; et

5 - la figure 5 représente schématiquement les étapes de lissage, suivant le procédé selon l'invention, d'une surface de clivage.

Selon un exemple non limitatif de mise en œuvre du procédé selon l'invention, illustré par la figure 1, celui-ci est réalisé sur une plaquette 1, comprenant un substrat support 2 recouvert d'une couche de silicium 4, avec une couche intermédiaire d'oxyde enterré 5 (Fig. 1a).

10 Ce procédé comprend une étape de formation d'une couche d'oxyde de surface pour former une couche d'oxyde de silicium 6 (Fig. 1b), une étape de recuit, et une étape de désoxydation (Fig. 1c).

Au cours de l'étape de formation de la couche d'oxyde de surface, la couche d'oxyde de silicium 6 se développe au voisinage de la surface initiale 8 de la couche de silicium 4.

15 La formation d'une couche d'oxyde de surface peut être réalisée par voie sèche ou par voie humide. Par voie sèche, la formation de la couche d'oxyde de surface est produite, par exemple, par chauffage de la plaquette 1 sous oxygène gazeux. Par voie humide, la formation de la couche d'oxyde de surface est produite par exemple par l'intermédiaire de la vapeur d'eau.

Préférentiellement, les étapes de formation de la couche d'oxyde de surface et de recuit, du procédé selon l'invention sont temporellement découplées. Préférentiellement aussi, la température de formation de la couche d'oxyde de surface est comprise entre 900 et 1000°C, car la formation d'une couche d'oxyde de surface génère d'autant moins de défauts dans la structure SOI que sa température est basse. Par contre, l'étape de recuit est avantageusement réalisée à plus de 1000°C.

20 La formation de la couche d'oxyde de surface par voie humide est préférée car elle introduit moins de défauts du type de ceux déjà mentionnés. La voie humide donne aussi des vitesses de formation de la couche d'oxyde de surface plus élevées que la voie sèche et permet de

conserver des cinétiques de formation de la couche d'oxyde de surface raisonnables, tout en travaillant à plus basse température. Préférentiellement, on utilise donc la voie humide, à une température approximativement égale à 950°C, et un recuit à 1100°C, sous atmosphère
5 non oxydante, par exemple sous azote, sous argon, etc.

Comme représenté sur la figure 2, la formation d'une couche d'oxyde de surface peut être réalisée pendant un premier palier de température à 950°C et le recuit, à un second palier de température, à T_r =1100°C.

10 Dans certains cas, la plaquette 1 peut être portée à une température d'environ 1200°C. Il peut même être envisagé, par exemple pour stabiliser l'interface de collage 10 entre la couche d'oxyde enterré 5 et le substrat support 2, de mener ce recuit à des températures encore plus élevées, mais des effets indésirables peuvent survenir, telles des
15 contaminations métalliques provenant des équipements de recuit par exemple.

Comme illustré par le diagramme de la figure 3, selon une variante, la formation de la couche d'oxyde de surface peut aussi être réalisée, par exemple, pendant la phase de montée de la température du
20 substrat, jusqu'à la température de recuit T_r , à laquelle est effectué un palier.

Dans les exemples de mise en œuvre illustrés par les figures 2 et 3 et décrits ci-dessus, l'étape de formation de la couche d'oxyde de surface est réalisée avant que l'étape de recuit proprement dite ne
25 commence. Mais selon un autre mode de mise en œuvre du procédé selon l'invention, la formation de la couche d'oxyde de surface peut être réalisée, à la fois pendant la phase de montée en température du substrat et pendant le début de la phase de recuit. Elle peut aussi être entièrement réalisée pendant le début de la phase de recuit, par exemple en introduisant une
30 quantité dosée d'un gaz oxydant dans l'atmosphère de recuit. Préférentiellement, elle est réalisée de telle sorte que la formation de la couche d'oxyde de surface soit achevée avant la fin du recuit.

L'étape de désoxydation est préférentiellement réalisée en immergeant la plaquette 1, dans un bain d'acide fluorhydrique qui présente une bonne sélectivité d'attaque chimique silicium/oxyde de silicium.

Deux exemples d'application de l'invention vont être développés ci-dessous, dans le cadre du procédé Smart-Cut®. Ce procédé est ici utilisé pour fabriquer des structures SOI.

Exemple 1: Le procédé selon l'invention, tel que décrit ci-dessus, peut être effectué pendant une durée et à une température telles, qu'on réalise un renforcement de l'interface de collage 10, entre la couche d'oxyde enterré 5 et le substrat support 2, obtenu après la mise en œuvre du procédé illustré par la figure 4.

Selon ce procédé, une plaque de silicium 3 recouverte d'une couche d'oxyde enterré est soumise à une implantation d'ions hydrogène, par exemple avec une dose de 5.10^{16} H⁺/cm², à 100 keV, dans une zone d'implantation 12, située à une profondeur déterminée (Fig. 4a). Après implantation, la plaque de silicium 3 est mise en contact avec un substrat support 2 (Fig. 4b). L'ensemble comprenant la plaque de silicium 3 et le substrat support 2, subit alors une étape de traitement apte à permettre la séparation de la plaque de silicium 3, au niveau de la zone d'implantation 12 (figure 4c). Cette étape est par exemple réalisée en portant à une température qui dépend des conditions d'implantation et qui peut aller jusqu'à 600°C environ, l'ensemble comprenant la plaque de silicium 3 et le substrat support 2. Selon une variante, des contraintes mécaniques sont appliquées en combinaison avec le traitement thermique ou en remplacement de ce traitement thermique. Après séparation de la couche de semi-conducteur 4 de la plaque 3, on obtient un substrat support 2 recouvert d'une mince couche de silicium 4, avec une couche intermédiaire d'oxyde enterré 5. La surface libre de cette couche de silicium 4 est une surface de clivage 14.

Il est parfois nécessaire, par exemple avant polissage de la surface de clivage 14 ou pour éviter la formation de défauts électriquement actifs, de procéder à une étape de stabilisation de l'interface de collage 10.

Cette stabilisation est obtenue par recuit du substrat à une température voisine, par exemple de 1100°C. Le recuit est réalisé dans une atmosphère comprenant au moins un gaz non oxydant tel que l'argon. Une étape d'oxydation préalable est alors réalisée de préférence au voisinage de
5 950°C pour former une couche d'oxyde 6 destinée à protéger la couche de silicium 4, pendant ce recuit de stabilisation. Après ce recuit, la couche de silicium 4 subit une étape de désoxydation, destinée à retirer la couche d'oxyde 6 protectrice.

Exemple 2 : Après le clivage du procédé illustré par la figure 4
10 et déjà décrit dans la présentation du premier exemple, la surface de clivage 14 de la couche de silicium 4 est trop rugueuse et il reste, de manière sous-jacente à cette surface de clivage 14, une zone perturbée 16, correspondant à la partie de la zone d'implantation 12 restante (Figures 5a et 5b). Le procédé selon l'invention peut alors être mis en œuvre pour retirer
15 cette zone perturbée 16 et retrouver une rugosité convenable. Selon la technique de l'art antérieur, ces opérations sont réalisées par un polissage mécano-chimique. Cependant, un polissage ne donne pas complètement satisfaction puisqu'il présente les inconvénients déjà présentés plus haut. Le procédé selon l'invention y remédie en réalisant une formation d'une
20 couche d'oxyde de surface sacrificielle.

La couche de silicium 4 est oxydée par traitement thermique selon l'une des techniques exposées ci-dessus, pour former une couche d'oxyde 6 (Fig. 5c). Cette couche d'oxyde 6 se développe au voisinage de la surface de clivage 14 et l'interface entre l'oxyde et le silicium progresse
25 en profondeur dans le silicium, en lissant progressivement la rugosité de la surface de clivage 14.

Une étape de recuit conforme au procédé selon l'invention est ensuite opérée.

Puis la couche d'oxyde 6 est consommée par voie chimique
30 (Fig. 5d). A titre d'exemple dans ce cas, pour enlever mille à quelques milliers d'Angströms, la plaquette 1 est plongée dans un bain d'acide fluorhydrique à 10 ou 20 %, pendant quelques minutes.

Les paramètres importants, pour réaliser cette variante du procédé selon l'invention, sont la température, la durée d'oxydation, le caractère oxydant de l'atmosphère et la teneur en oxygène. Ces paramètres peuvent être bien contrôlés. Ce qui confère à cette application du procédé
5 selon l'invention à la formation d'une couche sacrificielle, une bonne reproductibilité. Ce procédé est aussi souple d'utilisation et homogène avec l'ensemble des procédures habituelles de traitement de substrats pour la fabrication de composants pour la micro-électronique.

Le procédé selon l'invention peut aussi présenter au moins
10 une étape de formation d'une couche d'oxyde de surface et au moins une étape de désoxydation, au moins une étape de recuit étant réalisée après la dernière étape de formation d'une couche d'oxyde en surface, afin de guérir les défauts engendrés par la ou les étape(s) de formation d'une couche d'oxyde de surfaces précédentes. Selon une autre variante, le procédé
15 selon l'invention comprend plusieurs étapes de formation d'une couche d'oxyde de surface et plusieurs étapes de désoxydation, chaque étape de formation d'une couche d'oxyde de surface étant suivie d'une étape de recuit.

Les étapes de formation d'une couche sacrificielle, présentées
20 ci-dessus, peuvent être combinées avec une étape de polissage. Cette étape de polissage peut être subséquente ou non des étapes de formation d'une couche sacrificielle. La combinaison de ces étapes peut être employée pour enlever une partie de la couche de silicium présentant une concentration importante de défauts cristallins, situés par exemple dans la
25 zone perturbée par l'implantation ionique. Cette combinaison peut aussi être employée pour diminuer la rugosité. Grâce à la formation d'une couche d'oxyde de surface sacrificielle et à la désoxydation qui lui est associée, le polissage peut alors être très sensiblement moins long et donc moins dommageable pour la couche de silicium 4. Réalisé après la formation et le
30 retrait d'une couche d'oxyde de surface sacrificielle, il est plus efficace, la rugosité difficile à atténuer par un polissage mécano-chimique, ayant déjà été réduite en grande partie.

Selon une variante avantageuse, une étape de formation d'une couche d'oxyde de surface est suivie d'une étape de recuit, ce recuit guérissant les défauts générés par la formation de la couche d'oxyde de surface et stabilisant l'interface de collage 10, une étape de désoxydation, 5 est effectuée après ce recuit, et enfin une étape de polissage court, permet d'achever de réduire la rugosité.

D'une manière générale, le procédé selon l'invention est mis en œuvre dans le cadre de procédés destinés à effectuer des reports de couches de matériaux sur un substrat support 2 (Smart-Cut[®], etc.). Il sert 10 alors à renforcer l'interface de collage des matériaux sur le substrat support 2 et/ou à retirer une couche au voisinage d'une zone très perturbée 16. Le procédé selon l'invention est aussi mis en œuvre dans le cadre de procédés destinés à réaliser des structures SOI (SIMOX, Smart-Cut[®], etc.) ou dans le cadre de l'utilisation de ces structures. Il sert alors à amincir ou oxyder une 15 couche de silicium 4 sans augmenter dramatiquement le taux de défauts, dans cette couche de silicium 4.

Avantageusement encore, le procédé selon l'invention est utilisé pour former une couche d'oxyde 6 localement, sur au moins une partie de la surface de la couche de semi-conducteur 4.

20 Ce qui a été décrit ci-dessus dans le cas du silicium, peut être transposé à d'autres semi-conducteurs, notamment des composés du silicium tels que SiC, SiGe, etc.

Le procédé selon l'invention permet d'obtenir des structures semi-conductrices de type SOI, dans lesquelles la densité de défauts HF 25 est inférieure à 1 défaut/cm², dans une couche de semi-conducteur 4 dont l'épaisseur est inférieure à 2000 Angströms.

Le procédé selon l'invention permet aussi d'obtenir des structures semi-conductrices dans lesquelles une couche de semi-conducteur 4 ayant une uniformité en épaisseur meilleure que 5 %, a une 30 valeur rms de la rugosité inférieure à 2 nm.

REVENDEICATIONS

1. Procédé de traitement d'un substrat comportant une couche
5 de semi-conducteur (4) sur au moins une de ses faces, caractérisé par le fait qu'il comprend une étape de recuit du substrat et une étape de formation d'une couche d'oxyde (6) en surface de la couche de semi-conducteur (4), réalisée avant la fin de l'étape de recuit, protégeant le reste de la couche de semi-conducteur (4).
- 10 2. Procédé selon la revendication 1, caractérisé par le fait que l'étape de formation de la couche d'oxyde (6), est réalisée par oxydation thermique de la couche de semi-conducteur (4).
3. Procédé selon l'une des revendications 1 et 2, caractérisé par le fait que le recuit du substrat est réalisé dans une atmosphère comprenant
15 au moins un gaz non oxydant, et préférentiellement de l'argon.
4. Procédé selon l'une des revendications précédentes, caractérisé par le fait que l'étape de recuit est effectuée pendant une durée et à une température telles, qu'on réalise une guérison des défauts cristallins engendrés, dans la couche de semi-conducteur (4), par la
20 formation de la couche d'oxyde (6) de surface.
5. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'il comprend, après l'étape de recuit, une étape de désoxydation pour ôter la couche d'oxyde (6) formée en surface de la couche de semi-conducteur (4).
- 25 6. Procédé selon la revendication 5 caractérisé par le fait qu'il est utilisé pour amincir la couche de semi-conducteur (4).
7. Procédé selon l'une des revendications précédentes, caractérisé par le fait que l'étape de recuit est effectuée pendant une durée et à une température telles, qu'on réalise un renforcement d'une interface
30 de collage (10) entre la couche de semi-conducteur (4) et un substrat support (2).
8. Procédé selon l'une des revendications précédentes

caractérisé par le fait qu'il comprend plusieurs étapes de formation d'une couche d'oxyde (6) de surface et plusieurs étapes de désoxydation, au moins la dernière étape de formation d'une couche d'oxyde (6) de surface étant suivie d'une étape de recuit.

5 9. Procédé selon l'une des revendications précédentes caractérisé par le fait qu'il comprend en outre une étape subséquente de polissage.

10 10. Procédé selon l'une des revendications précédentes caractérisé par le fait qu'il comprend, une étape d'implantation d'atomes, sous une face d'une plaque (3) de matériau semi-conducteur, dans une zone d'implantation (12), une étape de mise en contact intime de la face de la plaque (3) soumise à l'implantation avec un substrat support (2), et une étape de traitement apte à permettre la séparation de la plaque (3), au niveau de la zone d'implantation (12), pour séparer une couche de semi-conducteur (4) de la plaque (3) et constituer le substrat comportant cette
15 couche de semi-conducteur (4).

11. Procédé selon l'une des revendications précédentes caractérisé par le fait que le semi-conducteur est du silicium.

20 12. Procédé selon la revendication 11, caractérisé par le fait que chaque étape de recuit est réalisée à plus de 1000°C, et préférentiellement vers 1100°C.

25 13. Procédé selon l'une des revendications 11 et 12, caractérisé par le fait que chaque étape de formation d'une couche d'oxyde (6) est menée à plus basse température que chaque étape de recuit, et préférentiellement à une température comprise entre 900 et 1000°C.

14. Procédé selon l'une des revendications précédentes, caractérisé par le fait que chaque étape de formation d'une couche d'oxyde (6) de surface est réalisée avant que chaque étape de recuit ne commence.

30 15. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'au moins une étape de formation d'une couche d'oxyde (6) de surface est réalisée, au moins partiellement, pendant la phase de montée de la température du substrat à la température de recuit.

16. Procédé selon l'une des revendications 1 à 12, caractérisé par le fait que chaque étape de formation d'une couche d'oxyde de surface est réalisée, à la même température que celle du recuit, en introduisant une quantité dosée d'un gaz oxydant, dans l'atmosphère de recuit.

5 17. Procédé selon l'une des revendications précédentes, caractérisé par le fait que la couche d'oxyde (6) est formée localement, sur au moins une partie de la surface de la couche de semi-conducteur (4).

10 18. Structure semi-conductrice SOI réalisée grâce au procédé selon l'une des revendications précédentes, caractérisée par le fait que la densité de défauts HF est inférieure à 1 défaut/cm², dans une couche de semi-conducteur (4) dont l'épaisseur est inférieure à 2000 Angströms.

15 19. Structure semi-conductrice réalisée grâce au procédé selon l'une des revendications précédentes, caractérisée par le fait que la couche de semi-conducteur (4) a à la fois une uniformité en épaisseur meilleure que 5 % et une valeur rms de la rugosité inférieure à 2 nm.

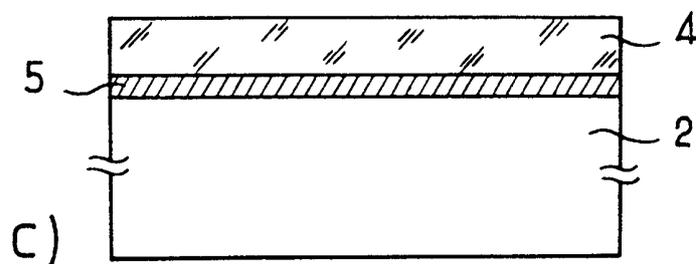
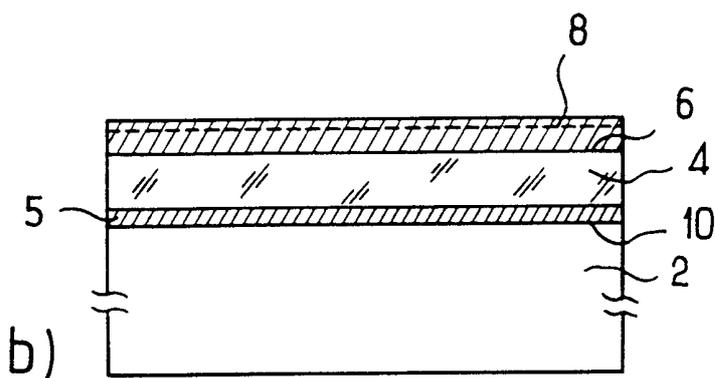
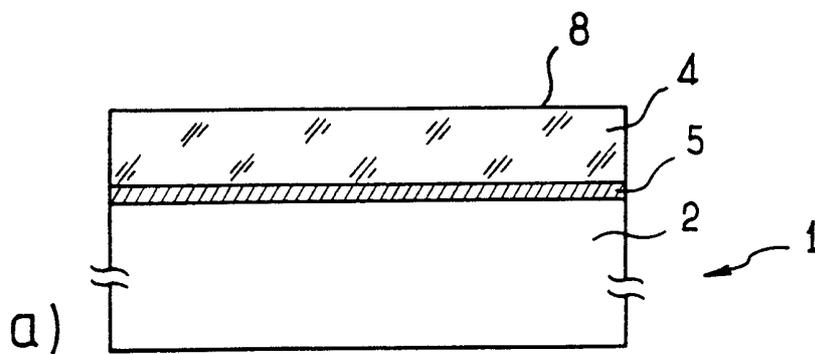


FIG. 1

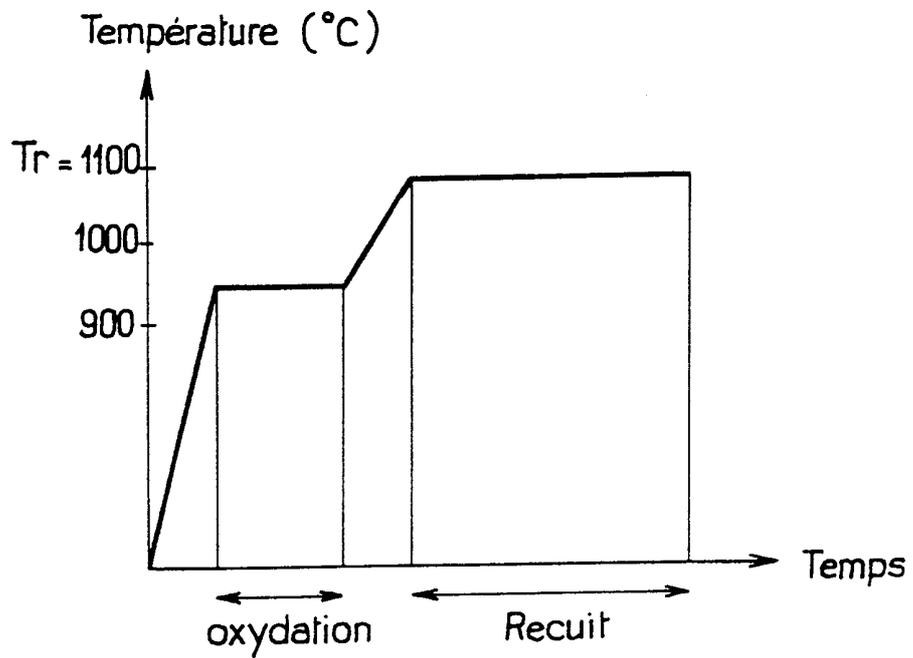


FIG. 2

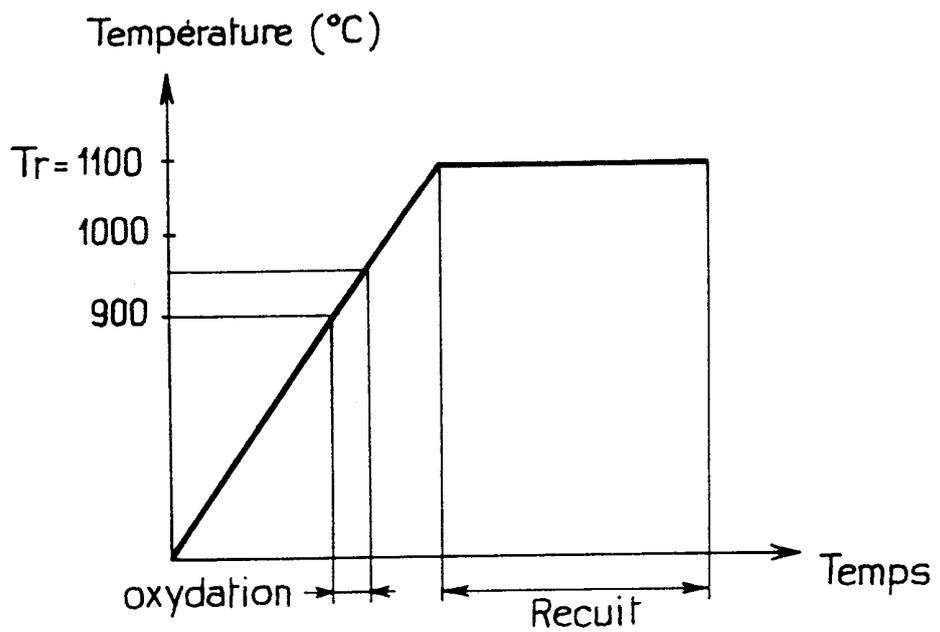


FIG. 3

3 / 4

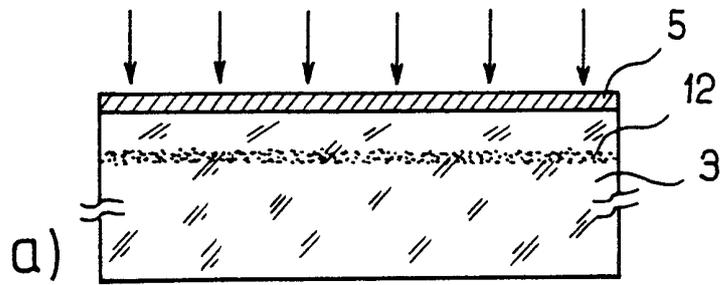
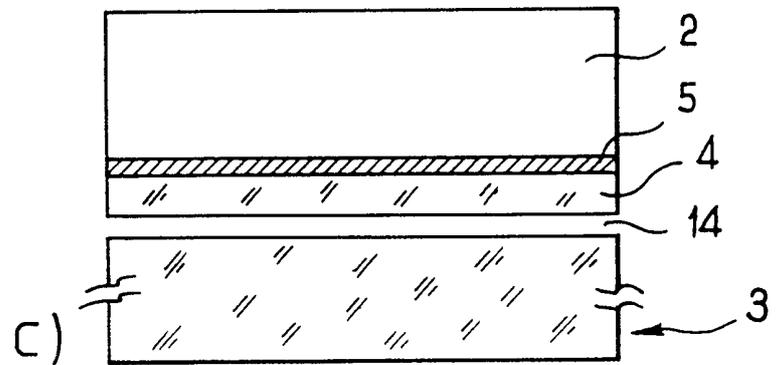
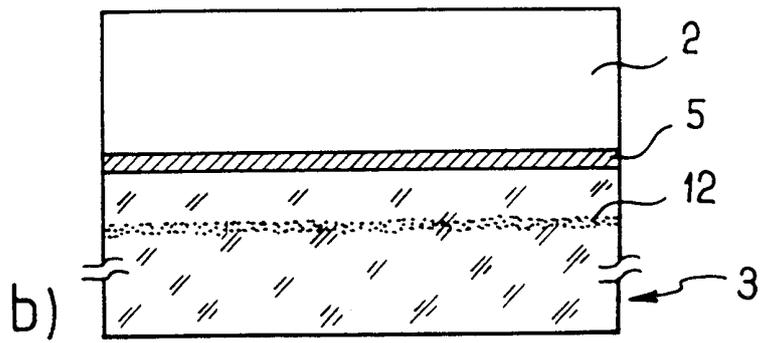


FIG. 4



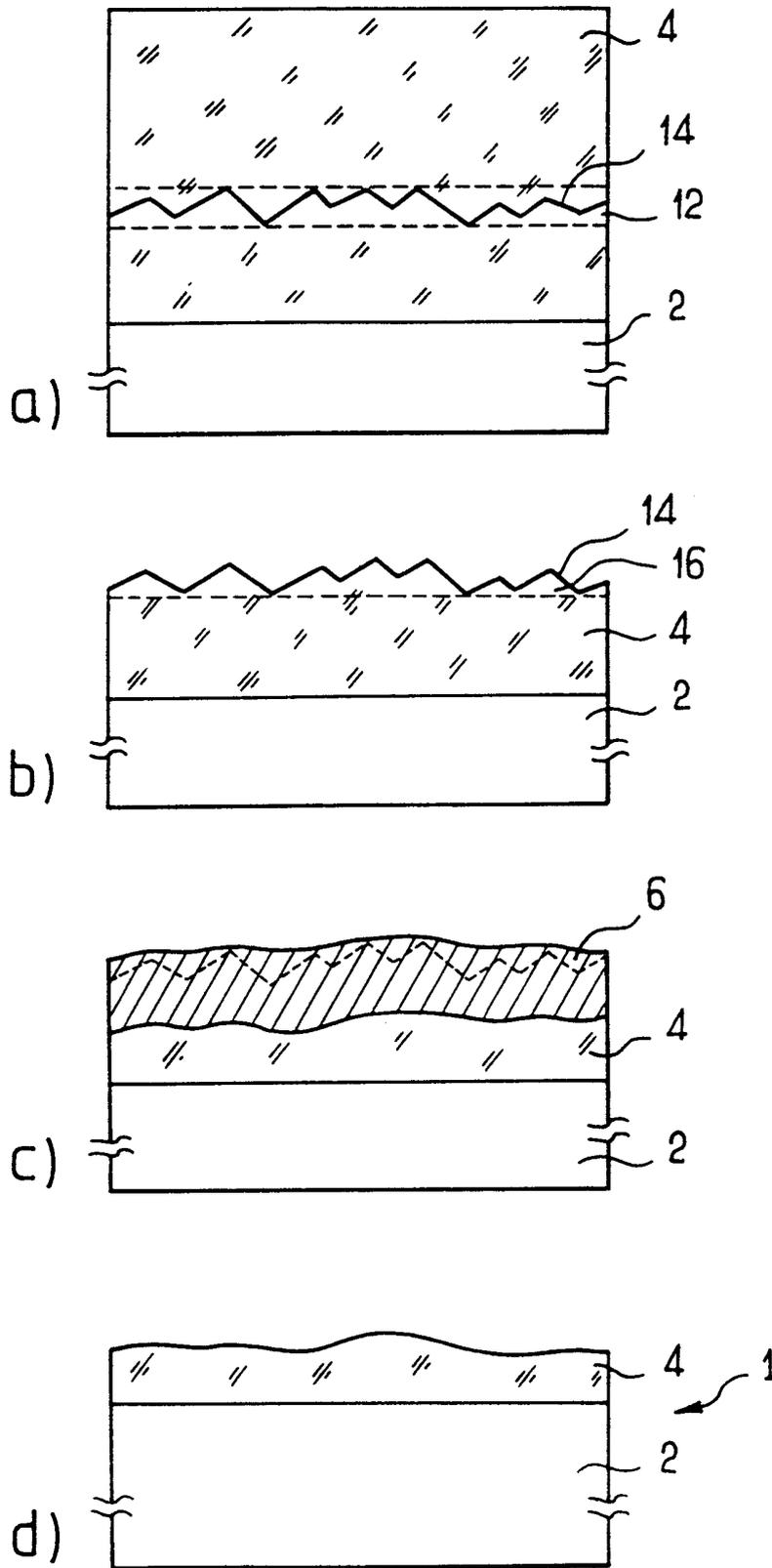


FIG.5

INTERNATIONAL SEARCH REPORT

Inter nal Application No

PCT/FR 99/00786

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L21/762 //H01L21/20, H01L21/322

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 684 (E-1650), 22 December 1994 & JP 06 275525 A (SHIN ETSU HANDOTAI CO LTD), 30 September 1994 see abstract ---	1, 2, 4, 7, 11, 18, 19
A	ABE T ET AL: "ENCAPSULATION OF SURFACE IMPURITIES BY SILICON WAFER-BONDING" JAPANESE JOURNAL OF APPLIED PHYSICS, SUPPLEMENTS, 1 January 1990, pages 223-226, XP000178042 see abstract; figure 1 ---	1-3
A	EP 0 464 837 A (TOKYO SHIBAURA ELECTRIC CO) 8 January 1992 see figures 4, 6-8 ---	1
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

2 June 1999

Date of mailing of the international search report

09/06/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Königstein, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/00786

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 824 698 A (JASTRZEBSKI LUBOMIR L ET AL) 25 April 1989 see abstract ----	1
A	US 5 646 053 A (SCHEPIS DOMINIC JOSEPH ET AL) 8 July 1997 see abstract ----	
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 003, 31 March 1997 & JP 08 316443 A (MITSUBISHI MATERIALS CORP; MITSUBISHI MATERIALS SHILICON CORP), 29 November 1996 see abstract ----	
A	EP 0 328 817 A (NORTHERN TELECOM LTD) 23 August 1989 see the whole document ----	
A	EP 0 444 943 A (SHINETSU HANDOTAI KK) 4 September 1991 see figure 1 ----	
A	AGA H ET AL: "Reduction of defects in thin bonded silicon on insulator (SOI) wafers" PROCEEDINGS OF THE FOURTH INTERNATIONAL SYMPOSIUM ON SEMICONDUCTOR WAFER BONDING: SCIENCE, TECHNOLOGY, AND APPLICATIONS, PROCEEDINGS OF THE FOURTH INTERNATIONAL SYMPOSIUM ON SEMICONDUCTOR WAFER BONDING: SCIENCE, TECHNOLOGY, AND APPLICATIONS, PARIS, F, pages 552-558, XP002085069 ISBN 1-56677-189-7, 1998, Pennington, NJ, USA, Electrochem. Soc, USA see the whole document -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 99/00786

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0464837 A	08-01-1992	JP 2721265 B JP 4065126 A KR 9410159 B	04-03-1998 02-03-1992 22-10-1994

US 4824698 A	25-04-1989	NONE	

US 5646053 A	08-07-1997	NONE	

EP 0328817 A	23-08-1989	US 4804633 A JP 1220455 A	14-02-1989 04-09-1989

EP 0444943 A	04-09-1991	JP 3250615 A JP 6080624 B JP 3250617 A JP 7095505 B DE 69126153 D DE 69126153 T	08-11-1991 12-10-1994 08-11-1991 11-10-1995 26-06-1997 08-01-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Dem. e Internationale No

PCT/FR 99/00786

A. CLASSEMENT DE L'OBJET DE LA DEMANDE CIB 6 H01L21/762 //H01L21/20, H01L21/322		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 6 H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 684 (E-1650), 22 décembre 1994 & JP 06 27525 A (SHIN ETSU HANDOTAI CO LTD), 30 septembre 1994 voir abrégé	1,2,4,7, 11,18,19
A	ABE T ET AL: "ENCAPSULATION OF SURFACE IMPURITIES BY SILICON WAFER-BONDING" JAPANESE JOURNAL OF APPLIED PHYSICS, SUPPLEMENTS, 1 janvier 1990, pages 223-226, XP000178042 voir abrégé; figure 1	1-3
A	EP 0 464 837 A (TOKYO SHIBAURA ELECTRIC CO) 8 janvier 1992 voir figures 4,6-8	1
	-/--	
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents		
<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
° Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention	
"E" document antérieur, mais publié à la date de dépôt international ou après cette date	"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément	
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)	"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier	
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens	"&" document qui fait partie de la même famille de brevets	
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
2 juin 1999	09/06/1999	
Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé	
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Königstein, C	

RAPPORT DE RECHERCHE INTERNATIONALE

Dem. Internationale No
PCT/FR 99/00786

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 4 824 698 A (JASTRZEBSKI LUBOMIR L ET AL) 25 avril 1989 voir abrégé ----	1
A	US 5 646 053 A (SCHEPIS DOMINIC JOSEPH ET AL) 8 juillet 1997 voir abrégé ----	
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 003, 31 mars 1997 & JP 08 316443 A (MITSUBISHI MATERIALS CORP; MITSUBISHI MATERIALS SHILICON CORP), 29 novembre 1996 voir abrégé ----	
A	EP 0 328 817 A (NORTHERN TELECOM LTD) 23 août 1989 voir le document en entier ----	
A	EP 0 444 943 A (SHINETSU HANDOTAI KK) 4 septembre 1991 voir figure 1 ----	
A	AGA H ET AL: "Reduction of defects in thin bonded silicon on insulator (SOI) wafers" PROCEEDINGS OF THE FOURTH INTERNATIONAL SYMPOSIUM ON SEMICONDUCTOR WAFER BONDING: SCIENCE, TECHNOLOGY, AND APPLICATIONS, PROCEEDINGS OF THE FOURTH INTERNATIONAL SYMPOSIUM ON SEMICONDUCTOR WAFER BONDING: SCIENCE, TECHNOLOGY, AND APPLICATIONS, PARIS, F, pages 552-558, XP002085069 ISBN 1-56677-189-7, 1998, Pennington, NJ, USA, Electrochem. Soc, USA voir le document en entier -----	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dem. Internationale No

PCT/FR 99/00786

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0464837 A	08-01-1992	JP 2721265 B JP 4065126 A KR 9410159 B	04-03-1998 02-03-1992 22-10-1994
US 4824698 A	25-04-1989	AUCUN	
US 5646053 A	08-07-1997	AUCUN	
EP 0328817 A	23-08-1989	US 4804633 A JP 1220455 A	14-02-1989 04-09-1989
EP 0444943 A	04-09-1991	JP 3250615 A JP 6080624 B JP 3250617 A JP 7095505 B DE 69126153 D DE 69126153 T	08-11-1991 12-10-1994 08-11-1991 11-10-1995 26-06-1997 08-01-1998