



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0120614
(43) 공개일자 2024년08월07일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) H10N 50/20 (2023.01)
(52) CPC특허분류
G11C 11/1655 (2013.01)
G11C 11/161 (2013.01)
(21) 출원번호 10-2023-0080152
(22) 출원일자 2023년06월22일
심사청구일자 2023년06월22일
(30) 우선권주장
1020230012810 2023년01월31일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
박중선
서울특별시 서초구 신반포로 32
김태환
서울특별시 동대문구 정릉천동로 58
(74) 대리인
특허법인주연케이알피

전체 청구항 수 : 총 10 항

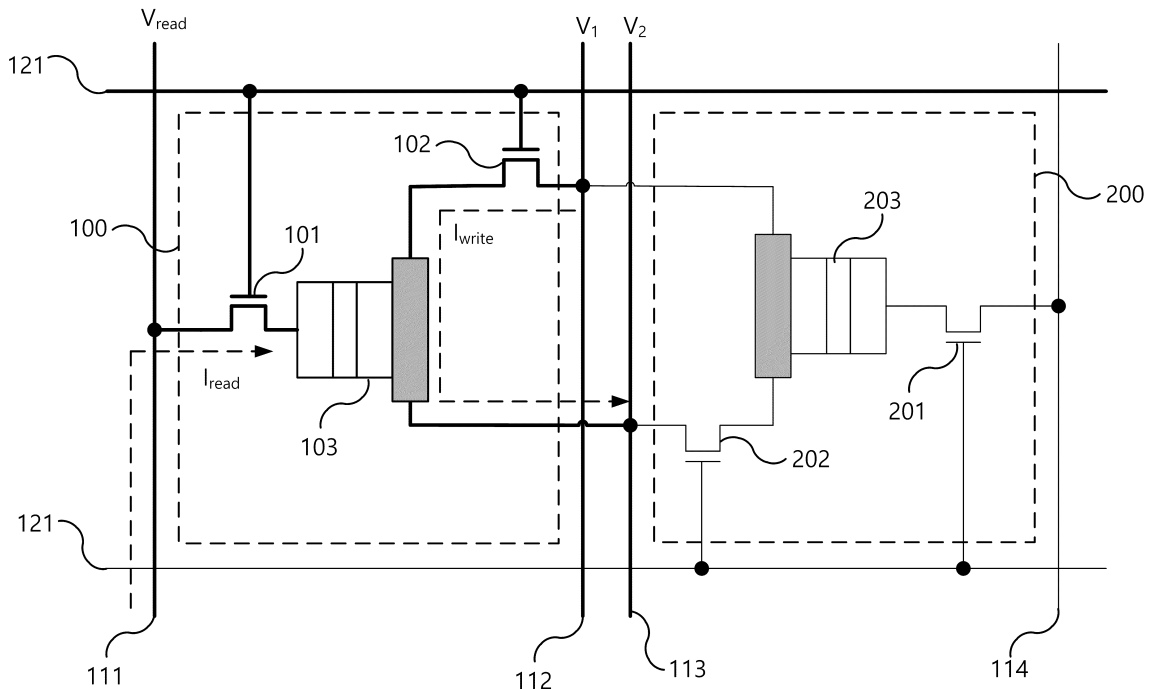
(54) 발명의 명칭 메모리 셀을 포함하는 반도체 장치

(57) 요약

본 발명은 반도체 장치에 관한 것으로, 좀 더 자세하게는 복수의 메모리 셀로 구성된 메모리 셀 어레이를 포함하는 반도체 장치에 관한 것이다. 본 발명의 일 실시 예에 따른 복수의 메모리 셀을 포함하는 반도체 장치는, 제1 메모리 셀, 상기 제1 메모리 셀과 제1 방향을 따라 인접하도록 배치되는 제2 메모리 셀, 상기 제1 방향과 수직인

(뒷면에 계속)

대표도 - 도3b



제2 방향으로 연장되고, 상기 제1 메모리 셀과 연결되는 제1 비트 라인, 상기 제1 메모리 셀과 상기 제2 메모리 셀의 사이에서 상기 제2 방향으로 연장되고 상기 제1 메모리 셀 및 상기 제2 메모리 셀과 연결되는, 제2 비트 라인 및 제3 비트 라인 및 상기 제1 비트 라인, 상기 제2 비트 라인 및 제3 비트 라인과 연결되는 제어부를 포함하고, 상기 제어부는, 상기 제1 비트 라인을 이용하여 상기 제1 메모리 셀에 대한 읽기 동작을 수행하고, 상기 제2 비트 라인 및 상기 제3 비트 라인을 이용하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 대한 쓰기 동작을 수행할 수 있다.

(52) CPC특허분류

G11C 11/1673 (2013.01)

G11C 11/1675 (2013.01)

H10N 50/20 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711154560
과제번호	2020M3F3A2A01082591
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	저전력 스핀토크 소자 기반 보안칩 개발
기 여 율	5/10
과제수행기관명	고려대학교 산학협력단
연구기간	2020.07.01 ~ 2023.06.30

이 발명을 지원한 국가연구개발사업

과제고유번호	1711175758
과제번호	2022M3H4A1A04096339
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	비휘발성 임베디드 메모리용 스핀스와핑 기반 스핀토크 소재 개발
기 여 율	5/10
과제수행기관명	고려대학교 산학협력단
연구기간	2022.10.01 ~ 2027.06.30

명세서

청구범위

청구항 1

복수의 메모리 셀을 포함하는 반도체 장치에 있어서,

제1 메모리 셀;

상기 제1 메모리 셀과 제1 방향을 따라 인접하도록 배치되는 제2 메모리 셀;

상기 제1 방향과 수직한 제2 방향으로 연장되고, 상기 제1 메모리 셀과 연결되는 제1 비트 라인;

상기 제1 메모리 셀과 상기 제2 메모리 셀의 사이에서 상기 제2 방향으로 연장되고 상기 제1 메모리 셀 및 상기 제2 메모리 셀과 연결되는, 제2 비트 라인 및 제3 비트 라인; 및

상기 제1 비트 라인, 상기 제2 비트 라인 및 제3 비트 라인과 연결되는 제어부를 포함하고,

상기 제어부는,

상기 제1 비트 라인을 이용하여 상기 제1 메모리 셀에 대한 읽기 동작을 수행하고,

상기 제2 비트 라인 및 상기 제3 비트 라인을 이용하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 대한 쓰기 동작을 수행하는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1 메모리 셀은,

제1 SOT(spin orbit torque) 소자;

상기 제1 SOT 소자의 일단과 상기 제1 비트 라인 사이에 연결되는 게이트 전극을 포함하는 제1 트랜지스터; 및

상기 제1 SOT 소자의 타단과, 상기 제2 비트 라인 또는 상기 제3 비트 라인 사이에 연결되는 제2 트랜지스터를 포함하고,

상기 제어부는, 상기 제1 비트 라인을 통해 지정된 읽기 전류를 상기 제1 트랜지스터 및 상기 제1 SOT 소자로 인가하여 상기 제1 메모리 셀에 대한 상기 읽기 동작을 수행하는, 반도체 장치.

청구항 3

제2항에 있어서,

상기 제어부는, 상기 제2 트랜지스터 및 상기 제1 SOT 소자에, 상기 제2 비트 라인을 통해 제1 전압을 인가하고, 상기 제3 비트 라인을 통해 상기 제1 전압과 기 설정된 전압 차를 갖는 제2 전압을 인가하여, 상기 제1 메모리 셀에 대한 상기 쓰기 동작을 수행하는, 반도체 장치.

청구항 4

제3항에 있어서,

상기 제2 방향으로 연장되고, 상기 제2 메모리 셀과 연결되는 제4 비트 라인을 포함하고,

상기 제2 메모리 셀은,

제2 SOT 소자;

상기 제2 SOT 소자의 일단과 상기 제4 비트 라인 사이에 연결되는 제3 트랜지스터; 및

상기 제2 SOT 소자의 타단과 상기 제2 비트 라인 및 상기 제3 비트 라인 사이에 연결되는 제4 트랜지스터를 포

함하고,

상기 제어부는, 상기 제4 비트 라인을 통해 상기 제3 트랜지스터 및 상기 제2 SOT 소자로 상기 읽기 전류를 인가하여 상기 제2 메모리 셀에 대한 상기 읽기 동작을 수행하는, 반도체 장치.

청구항 5

제4항에 있어서,

상기 제어부는 상기 제4 트랜지스터 및 상기 제2 SOT 소자에, 상기 제2 비트 라인을 통해 상기 제1 전압을 인가하고, 상기 제3 비트 라인을 통해 상기 제2 전압을 인가하여, 상기 제2 메모리 셀에 대한 쓰기 동작을 수행하는, 반도체 장치.

청구항 6

제2항에 있어서,

상기 제1 방향을 따라 연장되고, 상기 제1 메모리 셀과 연결되는 제1 워드 라인을 포함하고,

상기 제어부는:

상기 제1 워드 라인을 통해 워드 라인 전압을 인가하여 상기 제1 메모리 셀의 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 활성화하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터가 활성화되는 것에 응답하여, 상기 제1 메모리 셀에 대한 상기 읽기 동작 또는 상기 쓰기 동작을 수행하는, 반도체 장치.

청구항 7

제3항에 있어서,

상기 제어부는,

상기 읽기 전류를 생성하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 인가하는 읽기 회로,

상기 제1 전압 및 제2 전압을 생성하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 인가하는 쓰기 회로, 및

상기 제1 SOT 소자에 상기 읽기 전류가 인가됨에 따른 상기 제1 SOT 소자의 전압을 감지하는 모니터링 회로를 포함하는, 반도체 장치.

청구항 8

제3항에 있어서,

상기 제어부는:

상기 제1 메모리 셀에 대한 상기 쓰기 동작을 수행하는 동안, 상기 제1 비트 라인을 통해 상기 제1 SOT 소자에 감지 전류를 인가하고,

상기 감지 전류에 따른 상기 제1 SOT 소자의 전압이 기 설정된 기준을 만족하는 경우, 상기 제2 비트 라인 및 상기 제3 비트 라인을 통한 상기 쓰기 동작을 종료하는, 반도체 장치.

청구항 9

반도체 장치의 제어 방법에 있어서,

제1 워드 라인에 대하여 워드 라인 전압을 인가하여 제1 메모리 셀을 활성화 하는 단계;

상기 제1 메모리 셀과 연결된 제1 비트 라인을 통해 지정된 읽기 전류를 상기 제1 메모리 셀에 인가하여, 상기 제1 메모리 셀에 대한 읽기 동작을 수행하는 단계; 및

상기 제1 메모리 셀에, 제2 비트 라인을 통해 제1 전압을 인가하고 제3 비트 라인을 통해 상기 제1 전압과 지정된 전압 차를 갖는 제2 전압을 인가하여, 상기 제1 메모리 셀에 대한 쓰기 동작을 수행하는 단계를 포함하고,

상기 제2 비트 라인 및 상기 제3 비트 라인은 상기 제1 메모리 셀 및 상기 제1 메모리 셀과 인접하는 제2 메모리 셀에 연결되는, 반도체 장치.

리 셀과 전기적으로 연결되는, 제어 방법.

청구항 10

제9항에 있어서,

상기 제1 메모리 셀에 대한 쓰기 동작을 수행하는 동안, 상기 제1 비트 라인을 통해 상기 제1 메모리 셀에 감지 전류를 인가하는 단계; 및

상기 제1 비트 라인을 통해 인가된 상기 감지 전류에 따른 전압 변화가 기 설정된 기준을 만족하지는 여부에 기 반하여, 상기 쓰기 동작을 종료하는 단계를 더 포함하는, 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 좀 더 자세하게는 복수의 메모리 셀로 구성된 메모리 셀 어레이를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 전자 기기의 고속화 및/또는 저전력화 등에 따라, 전기 기기에 포함되는 반도체 기억 소자의 고속화 및/또는 낮은 동작 전압 등에 대한 요구가 증가되고 있다. 이러한 요구들을 충족시키기 위하여, 반도체 메모리 장치로서 자기 기억 소자가 제안된 바 있다. 자기 기억 소자는 고속 동작 및/또는 비휘발성 등의 특성들을 가질 수 있어서 차세대 반도체 기억 소자로 각광받고 있다.

[0003] 특히, 최근 MRAM(magnetic random access memory)의 한 종류로 SOT-MRAM(Spin Orbit Torque Magnetic Random Access Memory)에 대한 관심이 증가하고 있다. 보다 구체적으로, SOT-MRAM은 자기 터널 접합(magnetic tunneling junction, MTJ)의 저항의 크기를 데이터 '1' 과 '0' 으로 표현할 수 있다.

[0004] 이러한 SOT-MRAM의 경우, 종래의 CMOS 기반의 메모리에 비하여 작은 면적으로 구현될 수 있다. 그러나, SOT-MRAM과 같이 저항의 형태로 데이터를 저장하는 자기 기억 소자는, CMOS 기반의 메모리 대비 큰 동작 에너지를 요구할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 다양한 실시 예들은 쓰기 동작에 활용되는 비트 라인을 서로 인접한 메모리 셀들이 공유함으로써 면적이 증가하지 않고 저전력으로 동작 가능한 반도체 장치를 제공하는 것에 목적이 있다.

[0006] 본 발명의 다양한 실시예들에서 이루고자 하는 기술적 과제들은 이상에서 언급한 사항들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 이하 설명할 본 발명의 다양한 실시예들로부터 당해 기술분야에서 통상의 지식을 가진 자에 의해 고려될 수 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시 예에 따른 복수의 메모리 셀을 포함하는 반도체 장치는, 제1 메모리 셀, 상기 제1 메모리 셀과 제1 방향을 따라 인접하도록 배치되는 제2 메모리 셀, 상기 제1 방향과 수직인 제2 방향으로 연장되고, 상기 제1 메모리 셀과 연결되는 제1 비트 라인, 상기 제1 메모리 셀과 상기 제2 메모리 셀의 사이에서 상기 제2 방향으로 연장되고 상기 제1 메모리 셀 및 상기 제2 메모리 셀과 연결되는, 제2 비트 라인 및 제3 비트 라인 및 상기 제1 비트 라인, 상기 제2 비트 라인 및 제3 비트 라인과 연결되는 제어부를 포함하고, 상기 제어부는, 상기 제1 비트 라인을 이용하여 상기 제1 메모리 셀에 대한 읽기 동작을 수행하고, 상기 제2 비트 라인 및 상기 제3 비트 라인을 이용하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 대한 쓰기 동작을 수행할 수 있다.

[0008] 일 실시 예에 따르면, 상기 제1 메모리 셀은, 제1 SOT(spin orbit torque) 소자, 상기 제1 SOT 소자의 일단과 상기 제1 비트 라인 사이에 연결되는 게이트 전극을 포함하는 제1 트랜지스터 및 상기 제1 SOT 소자의 타단과, 상기 제2 비트 라인 또는 상기 제3 비트 라인 사이에 연결되는 제2 트랜지스터를 포함하고, 상기 제어부는, 상기 제1 비트 라인을 통해 지정된 읽기 전류를 상기 제1 트랜지스터 및 상기 제1 SOT 소자로 인가하여 상기 제1

메모리 셀에 대한 상기 읽기 동작을 수행할 수 있다.

- [0009] 일 실시 예에 따르면, 상기 제어부는, 상기 제2 트랜지스터 및 상기 제1 SOT 소자에, 상기 제2 비트 라인을 통해 제1 전압을 인가하고, 상기 제3 비트 라인을 통해 상기 제1 전압과 기 설정된 전압 차를 갖는 제2 전압을 인가하여, 상기 제1 메모리 셀에 대한 상기 쓰기 동작을 수행할 수 있다.
- [0010] 일 실시 예에 따른 반도체 장치는, 상기 제2 방향으로 연장되고, 상기 제2 메모리 셀과 연결되는 제4 비트 라인을 포함하고, 상기 제2 메모리 셀은, 제2 SOT 소자, 상기 제2 SOT 소자의 일단과 상기 제4 비트 라인 사이에 연결되는 제3 트랜지스터 및 상기 제2 SOT 소자의 타단과 상기 제2 비트 라인 및 상기 제3 비트 라인 사이에 연결되는 제4 트랜지스터를 포함하고, 상기 제어부는, 상기 제4 비트 라인을 통해 상기 제3 트랜지스터 및 상기 제2 SOT 소자로 상기 읽기 전류를 인가하여 상기 제2 메모리 셀에 대한 상기 읽기 동작을 수행할 수 있다.
- [0011] 일 실시 예에 따르면, 상기 제어부는 상기 제4 트랜지스터 및 상기 제2 SOT 소자에, 상기 제2 비트 라인을 통해 상기 제1 전압을 인가하고, 상기 제3 비트 라인을 통해 상기 제2 전압을 인가하여, 상기 제2 메모리 셀에 대한 쓰기 동작을 수행할 수 있다.
- [0012] 일 실시 예에 따르면, 상기 반도체 장치는 상기 제1 방향을 따라 연장되고, 상기 제1 메모리 셀과 연결되는 제1 워드 라인을 포함하고, 상기 제어부는, 상기 제1 워드 라인을 통해 워드 라인 전압을 인가하여 상기 제1 메모리 셀의 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 활성화하고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 활성화되는 것에 응답하여, 상기 제1 메모리 셀에 대한 상기 읽기 동작 또는 상기 쓰기 동작을 수행할 수 있다.
- [0013] 일 실시 예에 따르면, 상기 제어부는, 상기 읽기 전류를 생성하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 인가하는 읽기 회로, 상기 제1 전압 및 제2 전압을 생성하여 상기 제1 메모리 셀 또는 상기 제2 메모리 셀에 인가하는 쓰기 회로, 및 상기 제1 SOT 소자에 상기 읽기 전류가 인가됨에 따른 상기 제1 SOT 소자의 전압을 감지하는 모니터링 회로를 포함할 수 있다.
- [0014] 일 실시 예에 따르면, 상기 제어부는, 상기 제1 메모리 셀에 대한 상기 쓰기 동작을 수행하는 동안, 상기 제1 비트 라인을 통해 상기 제1 SOT 소자에 감지 전류를 인가하고, 상기 감지 전류에 따른 상기 제1 SOT 소자의 전압이 기 설정된 기준을 만족하는 경우, 상기 제2 비트 라인 및 상기 제3 비트 라인을 통한 상기 쓰기 동작을 종료할 수 있다.
- [0015] 일 실시 예에 따른 반도체 장치의 제어 방법은, 제1 워드 라인에 대하여 워드 라인 전압을 인가하여 제1 메모리 셀을 활성화 하는 단계, 상기 제1 메모리 셀과 연결된 제1 비트 라인을 통해 지정된 읽기 전류를 상기 제1 메모리 셀에 인가하여, 상기 제1 메모리 셀에 대한 읽기 동작을 수행하는 단계 및 상기 제1 메모리 셀에, 제2 비트 라인을 통해 제1 전압을 인가하고 제3 비트 라인을 통해 상기 제1 전압과 지정된 전압 차를 갖는 제2 전압을 인가하여, 상기 제1 메모리 셀에 대한 쓰기 동작을 수행하는 단계를 포함하고, 상기 제2 비트 라인 및 상기 제3 비트 라인은 상기 제1 메모리 셀 및 상기 제1 메모리 셀과 인접하는 제2 메모리 셀과 전기적으로 연결될 수 있다.
- [0016] 일 실시 예에 따르면, 상기 제어 방법은, 상기 제1 메모리 셀에 대한 쓰기 동작을 수행하는 동안, 상기 제1 비트 라인을 통해 상기 제1 메모리 셀에 상기 지정된 전류를 인가하는 단계 및 상기 제1 비트 라인을 통해 인가된 전류에 따른 전압 변화가 기 설정된 기준을 만족하지는 여부에 기반하여, 상기 쓰기 동작을 종료하는 단계를 더 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 반도체 장치는, 서로 인접하게 배치되어 비트 라인을 공유하는 복수의 메모리 셀들을 포함할 수 있다. 이에 따라, 반도체 장치는 면적 증가 없이 저전력으로 동작할 수 있다.
- [0018] 또한, 본 발명의 반도체 장치는, 각각 분리된 전기적 경로를 통해 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다. 이에 따라, 반도체 장치는 읽기 동작 및 쓰기 동작에 소모되는 전력을 감소시킬 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시 예에 따른 반도체 장치의 회로도다.
- 도 2a는, 도 1의 제1 메모리 셀 및 제2 메모리 셀을 나타내는 회로도다.

도 2b는, 도 2a의 제1 메모리 셀 및 제2 메모리 셀의 레이아웃을 도시한다.

도 3a는, 도 2a의 제1 메모리 셀에 대해 읽기 동작을 수행하는 구성을 도시한다.

도 3b는, 도 2a의 제1 메모리 셀에 대해 쓰기 동작을 수행하는 구성을 도시한다.

도 3c는, 도 2a의 제2 메모리 셀에 대해 쓰기 동작을 수행하는 구성을 도시한다.

도 4는, 도 1의 반도체 장치가 제1 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행하는 일 예를 나타내는 흐름도다.

도 5a는, 도 1의 반도체 장치가 모니터링 회로를 이용하여 쓰기 동작을 종료하는 동작을 나타내는 흐름도다.

도 5b는, 도 6a의 동작에서 제1 메모리 셀에 인가되는 전류 및 제1 메모리 셀로부터 출력되는 전압을 구체적으로 도시한다.

도 6a는, 종래의 반도체 장치가 읽기 동작을 수행함에 따른 전압 변화를 도시한다.

도 6b는, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작을 수행함에 따른 전압 변화를 도시한다.

도 7은, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작 및 쓰기 동작을 수행함에 따른 에리움을 도시한다.

도 8은, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작 및 쓰기 동작을 수행함에 따른 전력 소비량을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하여 본 개시(present disclosure)를 설명한다. 본 개시는 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들이 도면에 예시되고 관련된 상세한 설명이 기재되어 있다. 그러나, 이는 본 개시를 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경 및/또는 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용되었다.
- [0021] 본 개시 가운데 사용될 수 있는 "포함한다" 또는 "포함할 수 있다" 등의 표현은 개시된 해당 기능, 동작 또는 구성요소 등의 존재를 가리키며, 추가적인 하나 이상의 기능, 동작 또는 구성요소 등을 제한하지 않는다. 또한, 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0022] 본 개시에서 "또는" 등의 표현은 함께 나열된 단어들의 어떠한, 그리고 모든 조합을 포함한다. 예를 들어, "A 또는 B"는, A를 포함할 수도, B를 포함할 수도, 또는 A와 B 모두를 포함할 수도 있다.
- [0023] 본 개시 가운데 "제 1," "제2," "첫째," 또는 "둘째," 등의 표현들이 본 개시의 다양한 구성요소들을 수식할 수 있지만, 해당 구성요소들을 한정하지 않는다. 예를 들어, 상기 표현들은 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 상기 표현들은 한 구성요소를 다른 구성요소와 구분 짓기 위해 사용될 수 있다. 예를 들어, 제1 사용자 기기와 제 2 사용자 기기는 모두 사용자 기기이며, 서로 다른 사용자 기기를 나타낸다. 예를 들어, 본 개시의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해될 수 있어야 할 것이다.
- [0025] 본 개시에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일

반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0027] 도 1은 본 발명의 일 실시 예에 따른 반도체 장치의 회로도다.
- [0028] 도 1을 참조하면, 일 실시 예에 따른 반도체 장치(10)는, 복수의 메모리 셀들을 포함하는 메모리 셀 어레이(20) 및 메모리 셀 어레이(20)와 연결되는 제어부(300)를 포함할 수 있다.
- [0029] 나아가, 반도체 장치(10)는 메모리 셀 어레이(20) 및 제어부(300)와 연결되고, 복수의 메모리 셀들 중 적어도 일부를 선택하는 선택 회로(400)를 더 포함할 수 있다. 이 때, 선택 회로(400)는 복수의 입출력 단자를 갖는 MUX 회로로 참조될 수 있다.
- [0030] 보다 구체적으로, 반도체 장치(10)는 NxM의 배열로 배치되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이(20)를 포함할 수 있다.
- [0031] 메모리 셀 어레이(20)는 제1 방향(예: x 방향)으로 연장되는 복수의 워드 라인들 및 제1 방향과 수직한 제2 방향(예: y 방향)으로 연장되는 복수의 비트 라인들을 포함할 수 있다. 또한, 메모리 셀 어레이(20)는 각각 복수의 워드 라인들 및 복수의 비트 라인들 중 적어도 일부와 전기적으로 연결되는 복수의 메모리 셀들을 포함할 수 있다.
- [0032] 이 때, 복수의 메모리 셀들 각각은 읽기 동작 또는 쓰기 동작을 위해 동작하는 복수의 트랜지스터들 및 복수의 트랜지스터들과 연결되는 SOT(spin orbit torque) 소자를 포함할 수 있다.
- [0033] 메모리 셀 어레이(20)는 제1 메모리 셀(100) 및, 제1 방향(예: x 방향)을 따라 제1 메모리 셀(100)과 인접하게 배치되는 제2 메모리 셀(200)을 포함할 수 있다. 또한, 메모리 셀 어레이(20)는 제1 메모리 셀(100)과 제2 메모리 셀(200) 사이에서 제2 방향으로 연장되는 복수의 비트 라인을 포함할 수 있다.
- [0034] 이 때, 제1 메모리 셀(100)과 제2 메모리 셀(200) 사이에서 형성되는 복수의 비트 라인들은 제1 메모리 셀(100) 및 제2 메모리 셀(200)과 전기적으로 연결될 수 있다.
- [0035] 일 실시 예에 따르면, 제어부(300)는 읽기 회로(301), 쓰기 회로(302) 및 모니터링 회로(303)를 포함할 수 있다.
- [0036] 보다 구체적으로, 제어부(300)는 특정 메모리 셀에 대한 읽기 동작을 수행하기 위해, 기 설정된 전류를 출력하는 읽기 회로(301)를 포함할 수 있다.
- [0037] 또한, 제어부(300)는 특정 메모리 셀에 대한 쓰기 동작을 수행하기 위해, 기 설정된 전압 차를 갖는 제1 전압 및 제2 전압을 출력하는 쓰기 회로(302)를 포함할 수 있다.
- [0038] 또한, 제어부(300)는 특정 메모리 셀에 대한 쓰기 동작 중 인가되는 입력 전류에 따른 전압 변화를 모니터링하는 모니터링 회로(303)를 더 포함할 수 있다.
- [0039] 이 때, 제어부(300)는 소프트웨어(또는, 프로그램)를 실행하여 제어부(300)에 연결된 적어도 하나의 구성(예: 하드웨어 또는 소프트웨어 구성요소)을 제어할 수 있고, 다양한 데이터 처리 또는 연산을 수행할 수 있다. 제어부(300)는 중앙 처리 장치나 마이크로 프로세서 등을 포함할 수 있으며, 반도체 장치(10)의 전반적인 동작을 제어할 수 있다. 따라서, 아래에서 반도체 장치(10)에 의해 수행되는 동작은 제어부(300)의 제어에 의해 수행되는 것으로 이해될 수 있다.
- [0040] 제어부(300)는 읽기 회로(301)를 이용하여 복수의 메모리 셀들 중 적어도 일부에 대하여 기 지정된 전류를 인가할 수 있다. 보다 구체적으로, 제어부(300)는 복수의 메모리 셀들 중 선택 회로(400)를 통해 특정된 적어도 일부의 메모리 셀들에 대해 읽기 회로(301)로부터 출력된 전류를 인가할 수 있다. 예를 들어, 제어부(300)는 읽기 회로(301)를 이용하여 제1 메모리 셀(100)에 대해 지정된 전류를 인가할 수 있다.
- [0041] 나아가, 제어부(300)는 특정 메모리 셀에 대해 인가된 전류에 따른 전압의 변화를 감지할 수 있다. 예를 들어, 제어부(300)는 모니터링 회로(303)를 이용하여 제1 메모리 셀(100)에 인가된 전류에 따른 전압 변화를 감지할 수 있다.
- [0042] 이를 통해, 제어부(300)는 각 메모리 셀에 기 저장된 데이터를 읽을 수 있다. 보다 구체적으로, 제어부(300)는 전류가 인가된 메모리 셀의 전압 변화에 근거하여, 해당 메모리 셀에 저장된 "0" 또는 "1"의 데이터를 식별

할 수 있다.

- [0043] 또한, 제어부(300)는 쓰기 회로(302)를 이용하여 복수의 메모리 셀들 중 적어도 일부에 대하여 기 설정된 전압차를 갖는 제1 전압 및 제2 전압을 인가할 수 있다. 보다 구체적으로, 제어부(300)는 쓰기 회로(302)로부터 출력된 제1 전압 및 제2 전압을 복수의 메모리 셀들 중 선택 회로(400)를 통해 특정된 적어도 일부의 메모리 셀들에 대해 인가할 수 있다.
- [0044] 예를 들어, 제어부(300)는 쓰기 회로(302)로부터 출력된 제1 전압 및 제2 전압을, 제1 메모리 셀(100)과 제2 메모리 셀(200) 사이에 배치되는 비트 라인들을 통해, 제2 메모리 셀(200)에 인가할 수 있다.
- [0045] 이를 통해, 제어부(300)는 각 메모리 셀에 대해 데이터를 기록(write)할 수 있다. 보다 구체적으로, 제어부(300)는 특정 메모리 셀에 기 지정된 전압차를 갖는 전압을 인가하여, 해당 메모리 셀에 "0" 또는 "1"의 데이터를 기록할 수 있다.
- [0046] 상술한 바에 따르면, 제어부(300)는 인접한 두 메모리 셀 사이에 형성되는 비트 라인들을 통해 인접한 두 메모리 셀 중 하나의 메모리 셀에 대한 쓰기 동작을 수행할 수 있다. 즉, 인접한 두 메모리 셀 사이에 형성되는 비트 라인들은 해당 메모리 셀들과 공통적으로 연결되도록 형성될 수 있다.
- [0047] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀 어레이(20)의 면적을 최소화할 수 있다. 또한, 반도체 장치(10)는 최소화된 면적을 가질 수 있다.
- [0048] 또한, 제어부(300)는 모니터링 회로(303)를 이용하여, 특정 메모리 셀에서 출력되는 전압을 감지할 수 있다. 보다 구체적으로, 제어부(300)는 모니터링 회로(303)를 이용하여, 특정 메모리 셀에 대한 쓰기 동작을 수행하는 동안, 해당 메모리 셀에서 출력되는 전압을 감지할 수 있다.
- [0049] 일 실시 예에 따르면, 제어부(300)는 쓰기 회로(302)를 이용하여 특정 메모리 셀에 전압을 인가하는 동안, 읽기 회로(301)를 이용하여 해당 메모리 셀에 지정된 전류를 인가할 수 있다. 나아가, 제어부(300)는 모니터링 회로(303)를 이용하여, 읽기 회로(301)를 통해 메모리 셀에 전류가 인가됨에 따른 출력 전압의 변화를 감지할 수 있다.
- [0050] 예를 들어, 제어부(300)는 복수의 비트 라인을 통해 제2 메모리 셀(200)에 대해 제1 전압 및 제2 전압을 인가하는 동안, 상술한 비트 라인과 구분되는 비트 라인을 통해 제2 메모리 셀(200)에 전류를 인가할 수 있다. 또한, 제어부(300)는 전류가 인가됨에 따른 제2 메모리 셀(200)의 출력 전압의 변화를 모니터링 회로(303)를 이용해 감지할 수 있다.
- [0051] 나아가, 제어부(300)는 감지된 출력 전압의 변화가 기 설정된 기준을 만족하는 것에 응답하여, 상술한 메모리 셀에 대한 쓰기 동작을 종료할 수 있다.
- [0052] 이를 통해, 제어부(300)는 쓰기 동작이 불필요하게 지속되는 것을 방지할 수 있다. 따라서, 본 발명에 따른 반도체 장치(10)는 쓰기 동작에 소모되는 전력을 최소화할 수 있다.
- [0053] 도 2a는, 도 1의 제1 메모리 셀 및 제2 메모리 셀을 나타내는 회로도다. 도 2b는, 도 2a의 제1 메모리 셀 및 제2 메모리 셀의 레이아웃을 도시한다.
- [0054] 도 2a 및 도 2b를 함께 참조하면, 일 실시 예에 따라 복수의 비트 라인(111, 112, 113, 114) 및 워드 라인(121, 122)과 연결된 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 서로 인접(adjacent)하도록 배치될 수 있다.
- [0055] 보다 구체적으로, 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 제1 방향(예: x 방향)으로 연장되는 워드 라인(121, 122) 및 제1 방향과 수직한 제2 방향(예: y 방향)으로 연장되는 복수의 비트 라인(111, 112, 113, 114)과 연결될 수 있다. 또한, 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 제1 방향을 따라 서로 인접하도록 배치될 수 있다.
- [0056] 일 실시 예에 따르면, 제1 비트 라인(111)은 제1 방향과 수직한 제2 방향(예: y 방향)으로 연장되고 제1 메모리 셀(100)과 연결될 수 있다. 또한, 제4 비트 라인(114)은 제2 방향으로 연장되고, 제2 메모리 셀(200)과 연결될 수 있다.
- [0057] 또한, 제2 비트 라인(112) 및 제3 비트 라인(113)은, 제1 메모리 셀(100)과 제2 메모리 셀(200)의 사이에서 제2 방향으로 연장되도록 형성될 수 있다. 이 때, 제2 비트 라인(112) 및 제3 비트 라인(113)은 제1 메모리 셀(100)

및 제2 메모리 셀(200)과 전기적으로 연결될 수 있다.

- [0058] 제1 워드 라인(121)은 제1 방향으로 연장되고 제1 메모리 셀(100)과 연결될 수 있다. 또한, 제2 워드 라인(122)은 제1 방향으로 연장되고 제2 메모리 셀(200)과 연결될 수 있다.
- [0059] 일 실시 예에 따르면, 제1 메모리 셀(100)은 제1 트랜지스터(101), 제2 트랜지스터(102) 및 제1 SOT 소자(103)를 포함할 수 있다.
- [0060] 보다 구체적으로, 제1 메모리 셀(100)은 제1 SOT 소자(103)의 일단과 제1 비트 라인(111) 사이에 연결되는 제1 트랜지스터(101)를 포함할 수 있다. 예를 들어, 제1 메모리 셀(100)은 제1 SOT 소자(103)의 일단(C)과 제1 비트 라인(111)의 일 지점(D) 사이에 연결되는 제1 트랜지스터(101)를 포함할 수 있다.
- [0061] 또한, 제1 메모리 셀(100)은 제1 SOT 소자(103)의 타단과 제2 비트 라인(112) 또는 제3 비트 라인(113) 사이에 연결되는 제2 트랜지스터(102)를 포함할 수 있다. 예를 들어, 제1 메모리 셀(100)은 제1 SOT 소자(103)의 타단(B)과 제2 비트 라인(112)의 일 지점(A) 사이에 연결되는 제2 트랜지스터(102)를 포함할 수 있다.
- [0062] 이 때, 제1 트랜지스터(101) 및 제2 트랜지스터(102)는 제1 워드 라인(121)과 연결되는 게이트 전극을 포함할 수 있다.
- [0063] 또한, 제1 메모리 셀(100)은 제1 트랜지스터(101)와 제2 트랜지스터(102) 사이에 배치되는 제1 SOT 소자(103)를 포함할 수 있다. 이 때, 제1 SOT 소자(103)는 제1 트랜지스터(101)의 소스-드레인 전극 및 제2 트랜지스터(102)의 소스-드레인 전극과 연결될 수 있다.
- [0064] 제1 SOT 소자(103)는, 제1 SOT 소자(103)에 인가되는 전류에 따라 서로 다른 상태를 갖는 소자로 이해될 수 있다. 보다 구체적으로, 제1 SOT 소자(103)는 제1 트랜지스터(101) 및/또는 제2 트랜지스터(102)를 통해 인가되는 전류에 따라 서로 다른 저항 상태를 갖는 저항형 메모리 소자로 이해될 수 있다.
- [0065] 일 실시 예에 따르면, 제1 SOT 소자(103)는 자기 터널 접합(magnetic tunnel junction, MJT) 패턴(103a) 및 금속층(103b)을 포함할 수 있다. 이 때, 자기 터널 접합 패턴(103a)의 일면은 금속층(103b)과 접촉하도록 형성될 수 있다.
- [0066] 예를 들어, 자기 터널 접합 패턴(103a)은 제1 트랜지스터(101)의 소스-드레인 전극과 연결될 수 있다. 또한, 금속층(103b)은 제2 트랜지스터(102)의 소스-드레인 전극 및 제3 비트 라인(113)과 연결될 수 있다. 다만, 자기 터널 접합 패턴(103a) 및 금속층(103b)의 연결 관계는 상술한 예시에 한정되는 것은 아니다.
- [0067] 자기 터널 접합 패턴(103a)은 금속층(103a)에 인가되는 전류에 따라 변경 가능한 자화 방향을 가질 수 있다. 자기 터널 접합 패턴(103a)은 수직 자기 이방성을 가질 수 있다.
- [0068] 이를 위해, 자기 터널 접합 패턴(103a)은 자성 물질을 포함할 수 있다. 예를 들어, 자기 터널 접합 패턴(103a)은 철(Fe), 코발트(Co), 니켈(Ni), 붕소(B), 규소(Si), 백금(Pt), 팔라듐(Pd), 및 그 합금 중 적어도 하나를 포함할 수 있다.
- [0069] 금속층(103b)은 자기 터널 접합 패턴(103a)에 스핀-궤도 토크(spin-orbit torque)를 가하도록 구성될 수 있다.
- [0070] 보다 구체적으로, 금속층(103b)은, 금속층(103b)에 전류가 흐를 때, 스핀-궤도 토크(spin-orbit torque)에 의한 스핀 홀 효과(spin Hall effect) 또는 라쉬바 효과(Rashba effect)를 이용하여 자기 터널 접합 패턴(103a)의 스위칭을 유도할 수 있다. 이를 위해, 금속층(103b)은 예를 들어, 중금속(heavy metal)이나 중금속이 도핑된 물질들을 포함할 수 있다.
- [0071] 또한, 제2 메모리 셀(200)은 제3 트랜지스터(201), 제4 트랜지스터(202) 및 제2 SOT 소자(203)를 포함할 수 있다.
- [0072] 보다 구체적으로, 제2 메모리 셀(200)은 제2 SOT 소자(203), 제2 SOT 소자(203)의 일단과 제4 비트 라인(114) 사이에 연결되는 제3 트랜지스터(201), 및 제2 SOT 소자(203)의 타단과 제2 비트 라인(112) 및 제3 비트 라인(113) 사이에 연결되는 제4 트랜지스터(202)를 포함할 수 있다. 이 때, 제3 트랜지스터(201) 및 제4 트랜지스터(202)는 제2 워드 라인(122)과 연결되는 게이트 전극을 포함할 수 있다.
- [0073] 또한, 제2 SOT 소자(203)는 상술한 제1 SOT 소자(103)와 대응되는 구성을 갖는 것으로 이해될 수 있다. 따라서, 중복되는 설명은 생략한다.
- [0074] 상술한 구성에 따르면, 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 각각 서로 다른 비트 라인(111, 114)과 연

결되는 트랜지스터(101, 201)를 포함할 수 있다. 또한, 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 제2 비트 라인(112) 및 제3 비트 라인(113)과 연결되는 트랜지스터(102, 202)를 포함할 수 있다.

- [0075] 상술한 구성을 참조하면, 제1 메모리 셀(100) 또는 제2 메모리 셀(200)에 대한 읽기 동작 및 쓰기 동작은 서로 구분되는 트랜지스터 및 전기적 경로를 통해 수행될 수 있다.
- [0076] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 읽기 동작과 쓰기 동작의 전기적 경로가 중첩됨에 따른 성능 열화를 방지할 수 있다.
- [0077] 도 2b를 참조하면, 일 실시 예에 따른 제1 메모리 셀(100) 및 제2 메모리 셀(200)은 각각 제2 비트 라인(112) 및 제3 비트 라인(113)과 전기적으로 연결될 수 있다.
- [0078] 보다 구체적으로, 제1 메모리 셀(100)은 제2 비트 라인(112) 및 제3 비트 라인(113)과 전기적으로 연결되는 제1 SOT 소자(103)를 포함할 수 있다. 또한, 제2 메모리 셀(200)은 제2 비트 라인(112) 및 제3 비트 라인(113)과 전기적으로 연결되는 제2 SOT 소자(203)를 포함할 수 있다.
- [0079] 제2 비트 라인(112) 및 제3 비트 라인(113)은 제1 메모리 셀(100) 및 제2 메모리 셀(200)에 공통적으로 연결될 수 있다. 나아가, 제1 메모리 셀(100) 및 제2 메모리 셀(200) 각각에 대한 쓰기 동작은 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 수행될 수 있다.
- [0080] 상술한 구성에 따른, 본 발명에 따른 반도체 장치(10)는 인접한 메모리 셀들이 쓰기 동작에 활용되는 비트 라인을 공유하는 구성을 포함할 수 있다.
- [0081] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀 어레이(20)의 면적을 최소화할 수 있다. 나아가, 반도체 장치(10)는 최소한의 면적을 가질 수 있다.
- [0082] 도 3a는, 도 2a의 제1 메모리 셀에 대해 읽기 동작을 수행하는 구성을 도시한다. 도 3b는, 도 2a의 제1 메모리 셀에 대해 쓰기 동작을 수행하는 구성을 도시한다. 도 3c는, 도 2a의 제2 메모리 셀에 대해 쓰기 동작을 수행하는 구성을 도시한다.
- [0083] 도 3a, 도 3b 및 도 3c를 함께 참조하면, 일 실시 예에 따른 제어부(300)는 제1 메모리 셀(100) 또는 제2 메모리 셀(200)에 대하여 읽기 동작 또는 쓰기 동작을 수행할 수 있다.
- [0084] 먼저, 제어부(300)는 제1 워드 라인(121) 또는 제2 워드 라인(122)에 워드 라인 전압을 인가할 수 있다. 이를 통해, 제어부(300)는 제1 메모리 셀(100) 또는 제2 메모리 셀(200) 중 하나의 메모리 셀을 활성화할 수 있다.
- [0085] 예를 들어, 제어부(300)는 제1 워드 라인(121)에 워드 라인 전압을 인가하여 제1 워드 라인(121)과 연결된 제1 메모리 셀(100)의 제1 트랜지스터(101) 및 제2 트랜지스터(102)를 활성화할 수 있다. 다른 예를 들어, 제어부(300)는 제2 워드 라인(122)에 워드 라인 전압을 인가하여 제2 워드 라인(122)과 연결된 제2 메모리 셀(200)의 제3 트랜지스터(201) 및 제4 트랜지스터(202)를 활성화할 수 있다.
- [0086] 도 3a를 참조하면, 일 실시 예에 따른 제어부(300)는 제1 비트 라인(111)을 통해 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다.
- [0087] 보다 구체적으로, 제어부(300)는 제1 비트 라인(111)을 통해 제1 트랜지스터(101) 및 제1 SOT 소자(103)에 읽기 전류(I_{read})를 인가하여 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다.
- [0088] 제어부(300)는 읽기 회로(301)를 이용하여 제1 비트 라인(111) 및 제1 트랜지스터(101)를 통해 제1 SOT 소자(103)에 읽기 전류(I_{read})를 인가할 수 있다. 이 때, 제어부(300)는 제1 비트 라인(111)을 통해 읽기 전압(V_{read})을 인가할 수 있다.
- [0089] 나아가, 제어부(300)는 제1 비트 라인(111)을 통해 제1 SOT 소자(103)에 읽기 전류(I_{read})가 인가되는 것에 응답하여, 제2 비트 라인(112) 및 제3 비트 라인(113)을 통한 전압 변화를 감지할 수 있다.
- [0090] 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통한 전압 변화에 근거하여, 제1 SOT 소자(103)에 저장된 데이터를 식별할 수 있다.
- [0091] 상술한 구성들을 통해, 제어부(300)는 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다.
- [0092] 또한, 다른 실시 예에 따르면, 제어부(300)는 제4 비트 라인(114)을 통해 읽기 전류(I_{read})를 제2 메모리 셀

(200)에 인가할 수 있다. 보다 구체적으로, 제어부(300)는 제4 비트 라인(114)을 통해 제3 트랜지스터(201) 및 제2 SOT 소자(203)에 읽기 전류(I_{read})를 인가할 수 있다.

[0093] 나아가, 제어부(300)는 읽기 전류(I_{read})가 인가됨에 따른 제2 SOT 소자(203)의 전압을 감지할 수 있다.

[0094] 이를 통해, 제어부(300)는 제2 메모리 셀(200)에 대한 읽기 동작을 수행할 수 있다.

[0095] 도 3b를 참조하면, 일 실시 예에 따른 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 이용하여 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.

[0096] 보다 구체적으로, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 제1 메모리 셀(100)에 지정된 전압 차를 갖는 전압들을 인가하여, 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.

[0097] 제어부(300)는 쓰기 회로(302)를 이용하여 제1 SOT 소자(103)에 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가할 수 있다. 예를 들어, 제어부(300)는 제1 SOT 소자(103)에, 제2 비트 라인(112)을 통해 제1 전압(V_1)을 인가하고 제3 비트 라인(113)을 통해 제1 전압(V_1)과 기 설정된 전압 차를 갖는 제2 전압(V_2)을 인가할 수 있다.

[0098] 나아가, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가함으로써 제1 SOT 소자(103)에 쓰기 전류(I_{write})를 인가할 수 있다.

[0099] 이 때, 예를 들어, 제1 전압(V_1)이 제2 전압(V_2)보다 큰 경우, 제어부(300)는 제2 비트 라인(112)으로부터 제2 트랜지스터(102) 및 제1 SOT 소자(103)를 통해 제3 비트 라인(113)으로 흐르는 쓰기 전류(I_{write})를 인가할 수 있다.

[0100] 이를 통해, 제어부(300)는 제1 SOT 소자(103)에 특정 데이터를 기록(write)할 수 있다.

[0101] 상술한 구성들을 통해, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.

[0102] 상술한 바에 따르면, 제어부(300)는 서로 구분되는 전기적 경로 및 트랜지스터를 통해 제1 메모리 셀(100)에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다.

[0103] 예를 들어, 제어부(300)는 제1 비트 라인(111) 및 제1 트랜지스터(101)를 이용하여 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다. 또한, 제어부(300)는 제2 비트 라인(112), 제3 비트 라인(113) 및 제2 트랜지스터(102)를 이용하여 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.

[0104] 이를 통해, 본 발명에 따른 반도체 장치(10)는 동일한 전기적 경로를 통해 메모리 셀에 대한 읽기 동작과 쓰기 동작을 수행하는 경우, 기생 캐패시터로 인해 발생하는, 속도 및 전력 효율의 열화를 방지할 수 있다. 따라서, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작 및/또는 쓰기 동작의 속도 및 전력 효율을 증가시킬 수 있다.

[0105] 도 3c를 함께 참조하면, 일 실시 예에 따른 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 제2 메모리 셀(200)에 대한 쓰기 동작을 수행할 수 있다.

[0106] 보다 구체적으로, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 제2 메모리 셀(200)에 지정된 전압 차를 갖는 전압들을 인가하여, 제2 메모리 셀(200)에 대한 쓰기 동작을 수행할 수 있다.

[0107] 나아가, 제어부(300)는 제2 SOT 소자(203)에 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가할 수 있다. 예를 들어, 제어부(300)는 제2 SOT 소자(203)에, 제2 비트 라인(112)을 통해 제1 전압(V_1)을 인가하고, 제3 비트 라인(113)을 통해 제1 전압(V_1)과 기 설정된 전압 차를 갖는 제2 전압(V_2)을 인가할 수 있다.

[0108] 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가함으로써 제2 SOT 소자(203)에 쓰기 전류(I_{write})를 인가할 수 있다.

[0109] 이 때, 예를 들어, 제1 전압(V_1)이 제2 전압(V_2)보다 큰 경우, 제어부(300)는 제2 비트 라인(112)으로부터 제2 SOT 소자(203) 및 제4 트랜지스터(202)를 통해 제3 비트 라인(113)으로 흐르는 쓰기 전류(I_{write})를 인가할 수 있다.

- [0110] 이를 통해, 제어부(300)는 제2 SOT 소자(203)에 특정 데이터를 기록(write)할 수 있다.
- [0111] 상술한 구성들을 통해, 제어부(300)는 제2 메모리 셀(200)에 대한 쓰기 동작을 수행할 수 있다.
- [0112] 도 3b 및 도 3c를 함께 참조하면, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 이용하여 제1 메모리 셀(100) 또는 제2 메모리 셀(200)에 대한 쓰기 동작을 수행할 수 있다.
- [0113] 즉, 제어부(300)는 제1 메모리 셀(100) 및 제2 메모리 셀(200)에 공통적으로 연결되는 제2 비트 라인(112) 및 제3 비트 라인(113)을 이용하여, 제1 메모리 셀(100) 또는 제2 메모리 셀(200) 중 하나의 메모리 셀에 대한 쓰기 동작을 수행할 수 있다.
- [0114] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀 어레이(20)의 면적을 최소화할 수 있다. 나아가, 반도체 장치(10)는 메모리 셀 어레이(20)의 면적 증가 없이, 메모리 셀에 대한 읽기 동작 또는 쓰기 동작의 효율을 증가시킬 수 있다.
- [0115] 또한, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행하는 동안, 읽기 회로(301)를 이용하여 제1 비트 라인(111)을 통해 제1 메모리 셀(100)에 읽기 전류(I_{read})를 인가할 수 있다.
- [0116] 보다 구체적으로, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가하는 중에, 제1 비트 라인(111)을 통해 제1 SOT 소자(103)에 읽기 전류(I_{read})를 인가할 수 있다. 이때, 제어부(300)는 제1 비트 라인(111)을 통해 읽기 전압(V_{read})을 인가할 수 있다.
- [0117] 나아가, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행하는 중에, 모니터링 회로(303)를 이용하여, 제1 SOT 소자(103)에 인가된 전류에 기반한 제1 SOT 소자(103)의 전압 변화를 감지할 수 있다.
- [0118] 제어부(300)는 감지된 전압 변화가 기 설정된 기준을 만족하는 것에 응답하여, 제1 메모리 셀(100)에 대한 쓰기 동작을 중단할 수 있다. 보다 구체적으로, 제어부(300)는 제1 SOT 소자(103)에 인가된 전류에 의한 제1 SOT 소자(103)의 전압 변화가 기 설정된 기준을 만족하는 경우, 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 전압 및 전류를 인가하는 동작을 중단할 수 있다.
- [0119] 상술한 구성에 따르면, 제어부(300)는 기 설정된 데이터가 메모리 셀(또는, SOT 소자)에 기록된 것으로 판단된 경우, 메모리 셀에 대한 쓰기 동작을 중단할 수 있다.
- [0120] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작이 지속됨에 따른 전력 소모를 감소시킬 수 있다.
- [0121] 도 4는, 도 1의 반도체 장치가 제1 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행하는 일 예를 나타내는 흐름도다.
- [0122] 도 4를 참조하면, 일 실시 예에 따른 반도체 장치(10)(또는, 제어부(300))는 제1 메모리 셀(100)에 대하여 서로 구분되는 전기적 경로를 통해 읽기 동작 및 쓰기 동작을 수행할 수 있다.
- [0123] S10 단계에서, 제어부(300)는 제1 워드 라인(121)을 이용하여 제1 메모리 셀(100)을 활성화할 수 있다.
- [0124] 보다 구체적으로, 제어부(300)는 제1 워드 라인(121)을 통해 워드 라인 전압을 인가할 수 있다. 이를 통해, 제어부(300)는 제1 메모리 셀(100) 중 제1 워드 라인(121)과 연결된 제1 트랜지스터(101) 및 제2 트랜지스터(102)를 활성화할 수 있다. 예를 들어, 제어부(300)는 제1 워드 라인(121)과 연결된 제1 트랜지스터(101) 및 제2 트랜지스터(102) 각각의 게이트 전극에 워드 라인 전압을 인가하여 제1 트랜지스터(101) 및 제2 트랜지스터(102)를 제어할 수 있다.
- [0125] S20 단계에서, 제어부(300)는 제1 비트 라인(111)을 이용하여 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다.
- [0126] 보다 구체적으로, 제어부(300)는 제1 비트 라인(111)을 통해 제1 트랜지스터(101) 및 제1 SOT 소자(103)에 읽기 전류(I_{read})를 인가할 수 있다. 나아가, 제어부(300)는 읽기 전류(I_{read})가 인가됨에 따른 제1 SOT 소자(103)의 전압 변화를 감지할 수 있다. 이를 통해, 제어부(300)는 제1 SOT 소자에 기 저장된 데이터를 식별할 수 있다.
- [0127] S30 단계에서, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 이용하여 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.

- [0128] 보다 구체적으로, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 제1 메모리 셀(100)에 지정된 전압 차를 갖는 전압들을 인가할 수 있다. 또한, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 제2 트랜지스터(102) 및 제1 SOT 소자(103)에 쓰기 전류(I_{write})를 인가할 수 있다.
- [0129] 이를 통해, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행할 수 있다.
- [0130] 단, S20 단계와 S30 단계의 순서는 상술한 예시에 한정되는 것은 아니다. 다른 실시 예에 따르면, 반도체 장치(10)는 제1 메모리 셀(100)에 대하여 S30 단계를 통한 쓰기 동작을 수행한 후, S20 단계를 통한 읽기 동작을 수행할 수 있다.
- [0131] 상술한 바에 따르면, 제어부(300)는 서로 구분되는 전기적 경로를 통해 제1 메모리 셀(100)에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다.
- [0132] 이를 통해, 본 발명에 따른 반도체 장치(10)는 동일한 전기적 경로를 통해 메모리 셀에 대한 읽기 동작과 쓰기 동작을 수행하는 경우, 기생 캐패시터로 인해 발생하는 성능 열화를 방지할 수 있다.
- [0133] 나아가, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작 및/또는 쓰기 동작의 속도 및 에너지 효율을 증가시킬 수 있다.
- [0134] 도 5a는, 도 1의 반도체 장치가 모니터링 회로를 이용하여 쓰기 동작을 종료하는 동작을 나타내는 흐름도다. 도 5b는, 도 5a의 동작에서 제1 메모리 셀에 인가되는 전류 및 제1 메모리 셀로부터 출력되는 전압을 구체적으로 도시한다.
- [0135] 도 5a 및 도 5b를 함께 참조하면, 일 실시 예에 따른 반도체 장치(10)(또는, 제어부(300))는 메모리 셀에 대한 쓰기 동작 중 인가된 전류에 따른 전압 변화에 근거하여 쓰기 동작을 종료할 수 있다.
- [0136] S41 단계에서, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행하는 동안, 제1 비트 라인(111)을 통해 제1 메모리 셀(100)에 감지 전류를 인가할 수 있다.
- [0137] 보다 구체적으로, 제어부(300)는 제1 메모리 셀(100)에 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 지정된 전압 차를 갖는 전압들을 인가하는 동안, 제1 비트 라인(111)을 통해 제1 SOT 소자(103)에 감지 전류를 인가할 수 있다. 이 때, 예를 들어, 제1 SOT 소자(103)에 인가되는 감지 전류는 읽기 전류(I_{read})와 동일한 값을 갖는 전류로 참조될 수 있으나, 이에 한정되는 것은 아니다.
- [0138] S42 단계에서, 제어부(300)는 제1 메모리 셀(100)에 인가된 감지 전류에 따른 제1 SOT 소자(103)의 전압이 기 설정된 기준을 만족하는지 여부를 판단할 수 있다.
- [0139] 보다 구체적으로, 제어부(300)는 제1 메모리 셀(100)에 대한 쓰기 동작을 수행하는 중에, 제1 SOT 소자(103)에 인가된 감지 전류에 기반한 제1 SOT 소자(103)의 전압을 감지할 수 있다.
- [0140] 나아가, 제어부(300)는 감지된 전압 변화가 기 설정된 기준을 만족하는 것에 응답하여, 제1 메모리 셀(100)에 대한 쓰기 동작을 중단할 수 있다.
- [0141] 보다 구체적으로, 제어부(300)는 감지 전류가 인가됨에 따른 제1 SOT 소자(103)의 전압이 기 설정된 기준을 만족하는 경우, 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 쓰기 전류(I_{write})를 인가하는 동작을 중단할 수 있다.
- [0142] 예를 들어, 도 5b를 참조하면, 제어부(300)는 제1 SOT 소자(103)의 전압(INV Output)이 기 설정된 스위칭 전압에 해당하는 경우, 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 동일한 전압(예: V_{ss})을 인가할 수 있다.
- [0143] 예를 들어, 제어부(300)는 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 쓰기 전류(I_{write})를 인가하고 약 0.8ns 이후, 제1 SOT 소자(103)의 전압(INV Output)이 기 설정된 스위칭 전압에 해당하는 경우, 제2 비트 라인(112) 및 제3 비트 라인(113)을 통해 약 0.9V의 동일한 전압을 인가할 수 있다.
- [0144] 상술한 구성에 따르면, 제어부(300)는 기 설정된 데이터가 메모리 셀(또는, SOT 소자)에 기록된 것으로 판단된 경우, 메모리 셀에 대한 쓰기 동작을 중단할 수 있다.
- [0145] 이를 통해, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작이 지속됨에 따른 전력 소모를 감소시킬 수 있다.

- [0146] 도 6a는, 종래의 반도체 장치가 읽기 동작을 수행함에 따른 전압 변화를 도시한다. 도 6b는, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작을 수행함에 따른 전압 변화를 도시한다. 도 7은, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작 및 쓰기 동작을 수행함에 따른 에러율을 도시한다.
- [0147] 도 6a, 도 6b 및 도 7을 함께 참조하면, 일 실시 예에 따른 반도체 장치(10)는 서로 구분되는 전기적 경로(또는, 트랜지스터)를 이용하여 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다. 이를 통해, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작의 속도를 향상시킬 수 있다.
- [0148] 도 6a를 참조하면, 종래의 반도체 장치가 동일한 전기적 경로를 이용하여 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행하는 경우, 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 읽기 전압들은 기준 전압(R_{ref})으로부터 약 0.3V 또는 약 0.2V만큼 변화할 수 있다.
- [0149] 예를 들어, 읽기 전류(I_{read})에 따른 제1 읽기 전압(R_{AP})은 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 기준 전압(R_{ref})으로부터 약 0.3V만큼 변화할 수 있다. 또한, 읽기 전류(I_{read})에 따른 제2 읽기 전압(R_P)은 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 기준 전압(R_{ref})으로부터 약 0.2V만큼 변화할 수 있다.
- [0150] 도 6b를 참조하면, 본 발명에 따른 반도체 장치(10)(또는, 제어부(300))가 서로 구분되는 전기적 경로를 이용하여 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행하는 경우, 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 읽기 전압들은 기준 전압(R_{ref})으로부터 약 0.4V 또는 약 0.3V만큼 변화할 수 있다.
- [0151] 예를 들어, 읽기 전류(I_{read})에 따른 제1 읽기 전압(R_{AP})은 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 기준 전압(R_{ref})으로부터 약 0.4V만큼 변화할 수 있다. 또한, 읽기 전류(I_{read})에 따른 제2 읽기 전압(R_P)은 읽기 전류(I_{read})가 인가되고 약 3ns 이후, 기준 전압(R_{ref})으로부터 약 0.3V만큼 변화할 수 있다.
- [0152] 이 때, 제1 읽기 전압(R_{AP})은 읽기 전류(I_{read})가 제1 SOT 소자(103)를 통과한 이후, 제2 트랜지스터(102)를 통과하여 제2 비트 라인(112)을 통해 감지되는 전압으로 이해될 수 있다. 또한, 제2 읽기 전압(R_P)은 읽기 전류(I_{read})가 제1 SOT 소자(103)를 통과한 이후, 제3 비트 라인(113)을 통해 감지되는 전압으로 이해될 수 있다.
- [0153] 도 6a의 경우, 예를 들어, 제어부가 메모리 셀에 대한 읽기 동작을 수행할 때, 쓰기 동작에서 동작하는 트랜지스터의 기생 캐패시터에 의해 읽기 동작의 속도 및 전력 효율이 감소할 수 있다.
- [0154] 반면, 도 6b의 경우, 제어부(300)가 제1 메모리 셀(100)에 대하여 서로 다른 트랜지스터(101 또는 102)를 통해 읽기 동작과 쓰기 동작을 수행할 수 있다. 예를 들어, 제어부(300)는 제1 비트 라인(111) 및 제1 트랜지스터(101)를 통하여 제1 메모리 셀(100)에 대한 읽기 동작을 수행할 수 있다. 따라서, 제어부(300)는 읽기 동작을 수행할 때, 제2 트랜지스터(102)의 기생 캐패시터로 인한 읽기 동작의 속도 및 전력 효율 저하를 방지할 수 있다.
- [0155] 도 7을 참조하면, 본 발명에 따른 반도체 장치(10)는, 종래의 메모리 셀 어레이를 포함하는 반도체 장치에 비하여 상대적으로 빠른 속도로 에러율(BER, bit error rate)이 감소할 수 있다.
- [0156] 보다 구체적으로, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 읽기 동작에 있어서, 종래의 반도체 장치에 비하여 상대적으로 빠른 시간 이내에 기 설정된 기준 에러율 미만의 에러율을 확보할 수 있다.
- [0157] 예를 들어, 본 발명에 따른 반도체 장치(10)는 읽기 동작이 개시되고 약 2.9ns 이후, 기준 에러율(예: 약 $1E-05$)이하의 에러율을 가질 수 있다. 이 때, 종래의 반도체 장치는 약 $1E-01$ 의 에러율을 가질 수 있다.
- [0158] 즉, 본 발명에 따른 반도체 장치(10)는 기생 캐패시터로 인한 읽기 동작의 속도 저하를 방지할 수 있다.
- [0159] 따라서, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 읽기 동작에 있어서, 종래의 반도체 장치에 비해 상대적으로 높은 속도를 가질 수 있다.
- [0160] 도 8은, 본 발명의 일 실시 예에 따라 반도체 장치가 읽기 동작 및 쓰기 동작을 수행함에 따른 전력 소비량을 도시한다.
- [0161] 도 8을 참조하면, 일 실시 예에 따른 반도체 장치(10)(또는, 제어부(300))는 종래의 반도체 장치에 비하여 상대적으로 낮은 소모 전력을 이용하여 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다.

- [0162] 일 실시 예에 따르면, 반도체 장치(10)는 서로 구분되는 전기적 경로(또는, 트랜지스터)를 이용하여 메모리 셀에 대한 읽기 동작 및 쓰기 동작을 수행할 수 있다. 이를 통해, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작에 소모되는 전력을 감소시킬 수 있다.
- [0163] 예를 들어, 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작에 활용되는 제2 트랜지스터(102)와 구분되는 제1 트랜지스터(101)를 이용하여 읽기 동작을 수행할 수 있다. 이를 통해, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작에 소모되는 전력을 종래의 약 147.3fJ로부터 약 97.9fJ로 감소시킬 수 있다.
- [0164] 또한, 반도체 장치(10)는 메모리 셀에 대한 읽기 동작에 활용되는 제1 트랜지스터(101)와 구분되는 제2 트랜지스터(102)를 이용하여 쓰기 동작을 수행할 수 있다.
- [0165] 예를 들어, 도 3c 및 도 8을 함께 참조하면, 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작에 소모되는 전력을 종래의 약 242.3fJ로부터 약 184.1fJ로 감소시킬 수 있다. 이 때, 쓰기 전류(I_{write})는 제2 비트 라인(112)으로부터 제2 SOT 소자(203)와 제4 트랜지스터(202)를 순차적으로 거쳐 제3 비트 라인(113)으로 흐르는 것으로 이해될 수 있다.
- [0166] 또한, 도 3b 및 도 8을 함께 참조하면, 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작에 소모되는 전력을 종래의 약 203.9fJ로부터 약 174.7fJ로 감소시킬 수 있다. 이 때, 쓰기 전류(I_{write})는 제2 비트 라인(112)으로부터 제2 트랜지스터(102) 및 제1 SOT 소자(103)를 순차적으로 거쳐 제3 비트 라인(113)으로 흐르는 것으로 이해될 수 있다.
- [0167] 또한, 반도체 장치(10)는 메모리 셀에 대한 쓰기 동작에 소모되는 전력의 평균을 종래의 약 223.1fJ로부터 약 179.4fJ로 감소시킬 수 있다.
- [0168] 즉, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 읽기 동작 및 쓰기 동작에 있어서, 동일한 전기적 경로에 연결된 트랜지스터의 기생 캐패시터로 인한 소모 전력의 증가를 방지할 수 있다.
- [0169] 따라서, 본 발명에 따른 반도체 장치(10)는 메모리 셀에 대한 읽기 동작 및 쓰기 동작에 있어서, 종래의 반도체 장치에 비해 상대적으로 높은 전력 효율을 가질 수 있다.
- [0170] 이상과 같이 본 발명에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시 예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 통상의 기술자에 의해 다양한 변형이 이루어질 수 있음은 자명하다. 아울러 앞서 본 발명의 실시 예를 설명하면서 본 발명의 구성에 따른 작용 효과를 명시적으로 기재하여 설명하지 않았을 지라도, 해당 구성에 의해 예측 가능한 효과 또한 인정되어야 함은 당연하다.

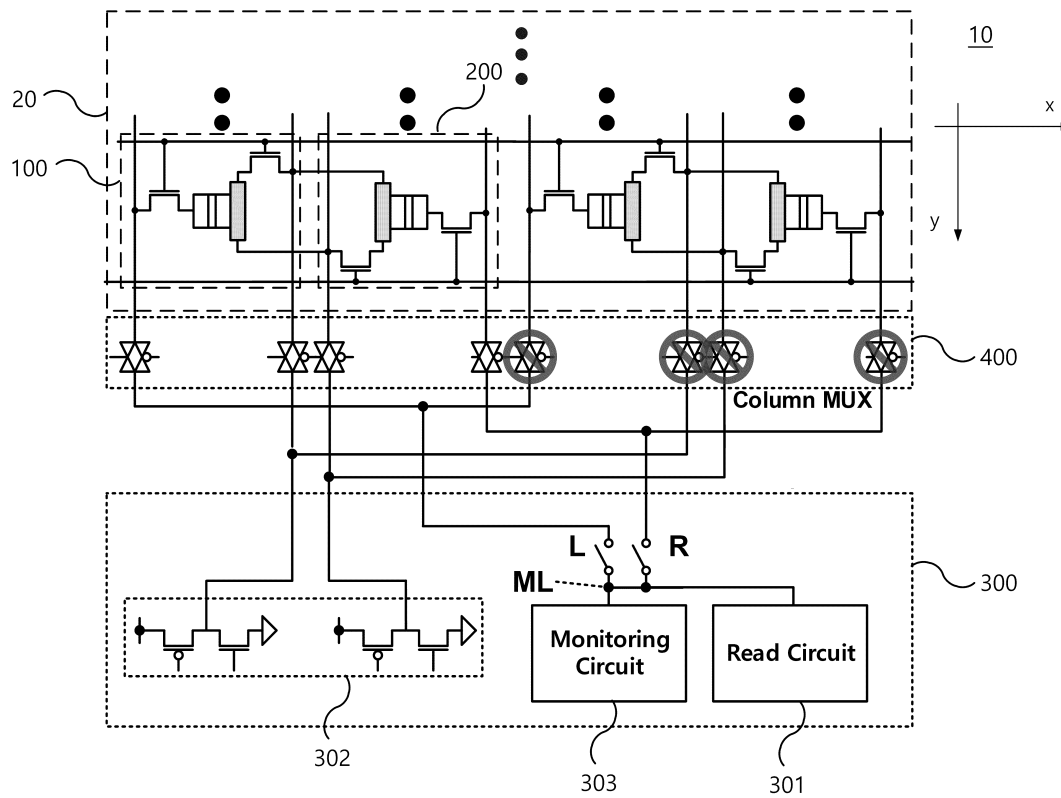
부호의 설명

- [0171] 10: 반도체 장치
20: 메모리 셀 어레이
100: 제1 메모리 셀
101: 제1 트랜지스터
102: 제2 트랜지스터
103: 제1 SOT 소자
111: 제1 비트 라인
112: 제2 비트 라인
113: 제3 비트 라인
114: 제4 비트 라인
121: 제1 워드 라인
122: 제2 워드 라인

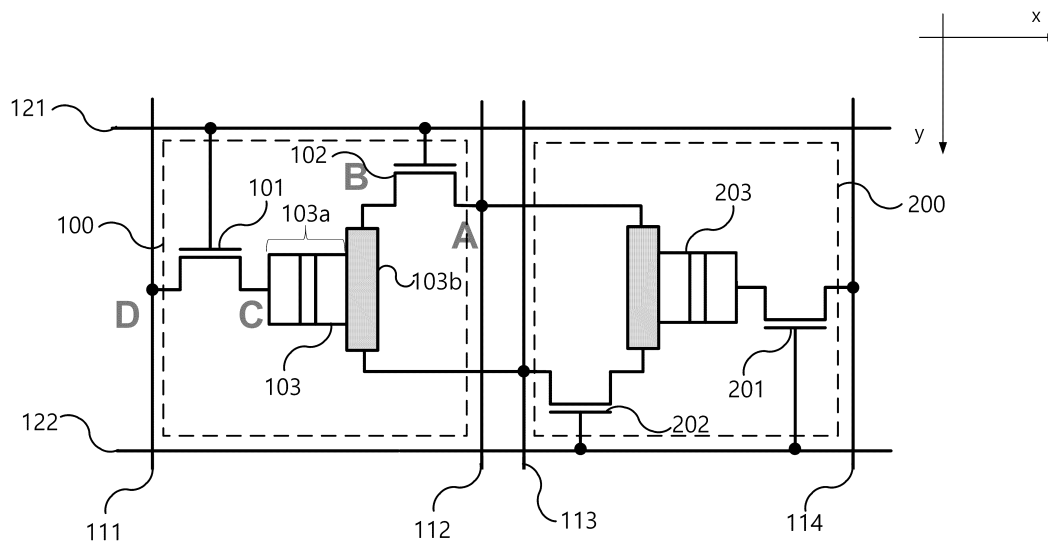
- 200: 제2 메모리 셀
- 201: 제3 트랜지스터
- 202: 제4 트랜지스터
- 203: 제2 SOT 소자
- 300: 제어부
- 301: 읽기 회로
- 302: 쓰기 회로
- 303: 모니터링 회로
- 400: 선택 회로

도면

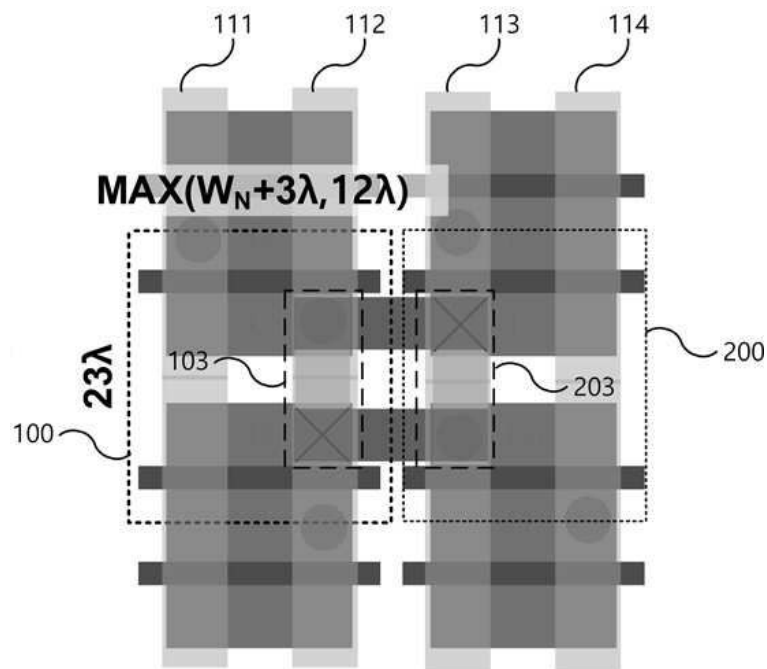
도면1



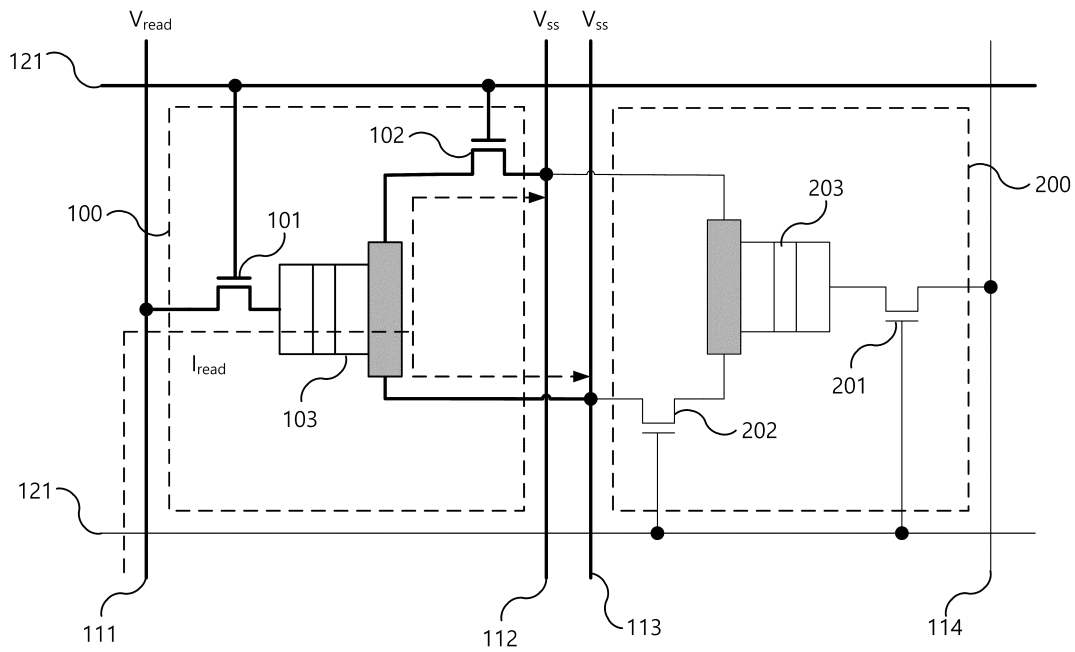
도면2a



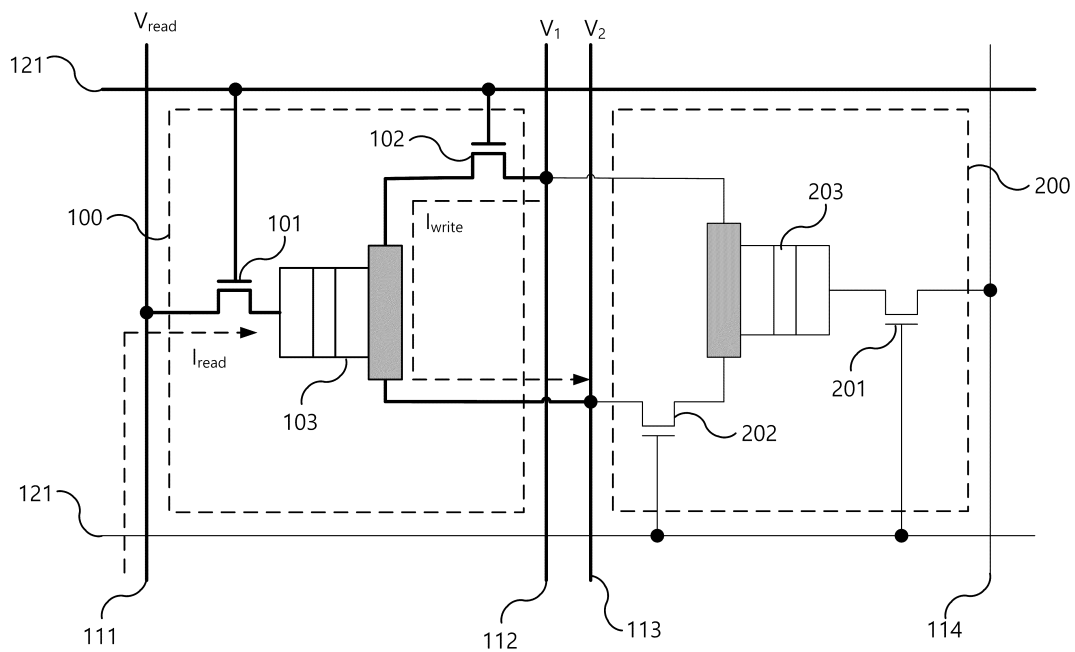
도면2b



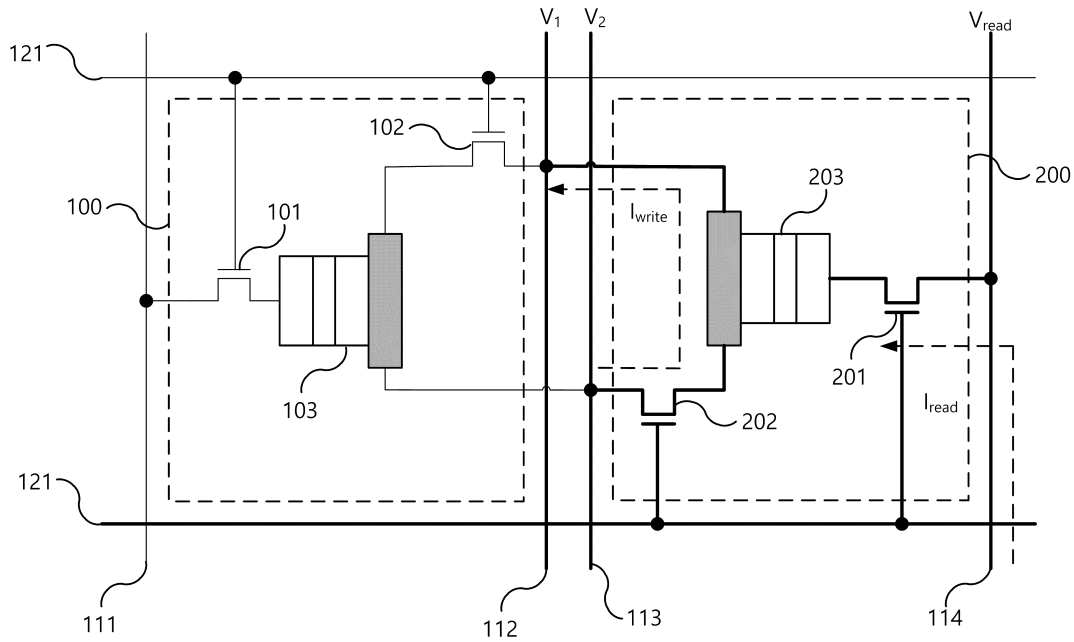
도면3a



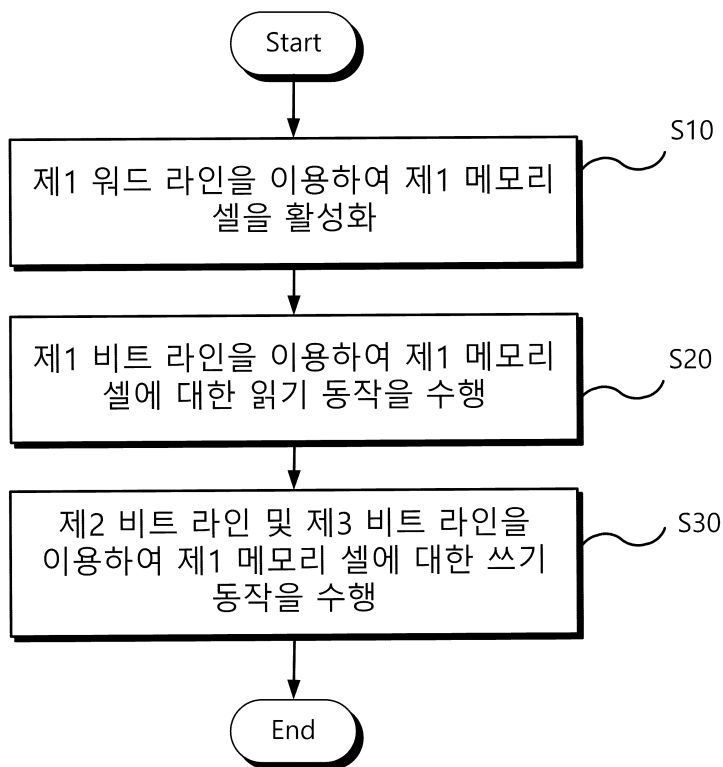
도면3b



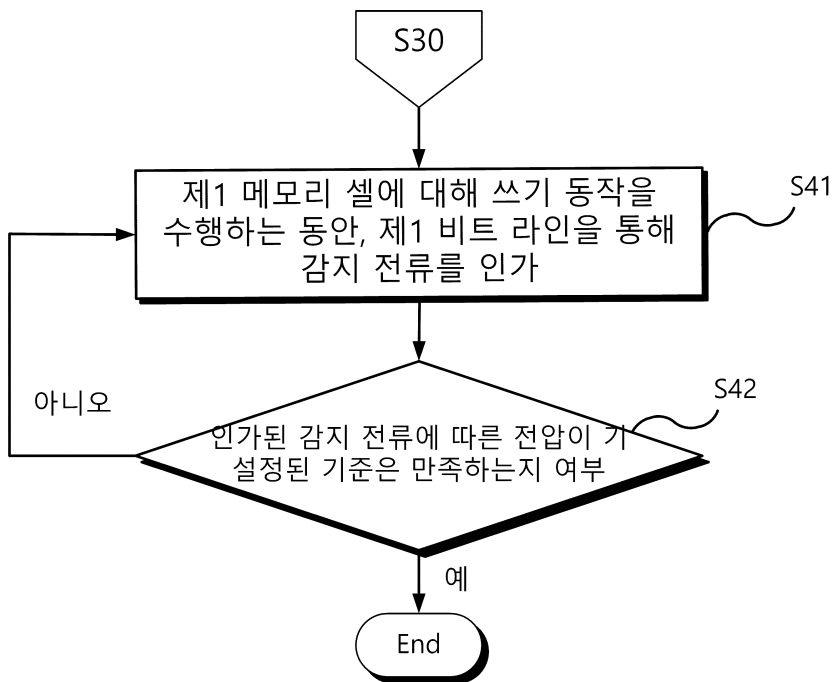
도면3c



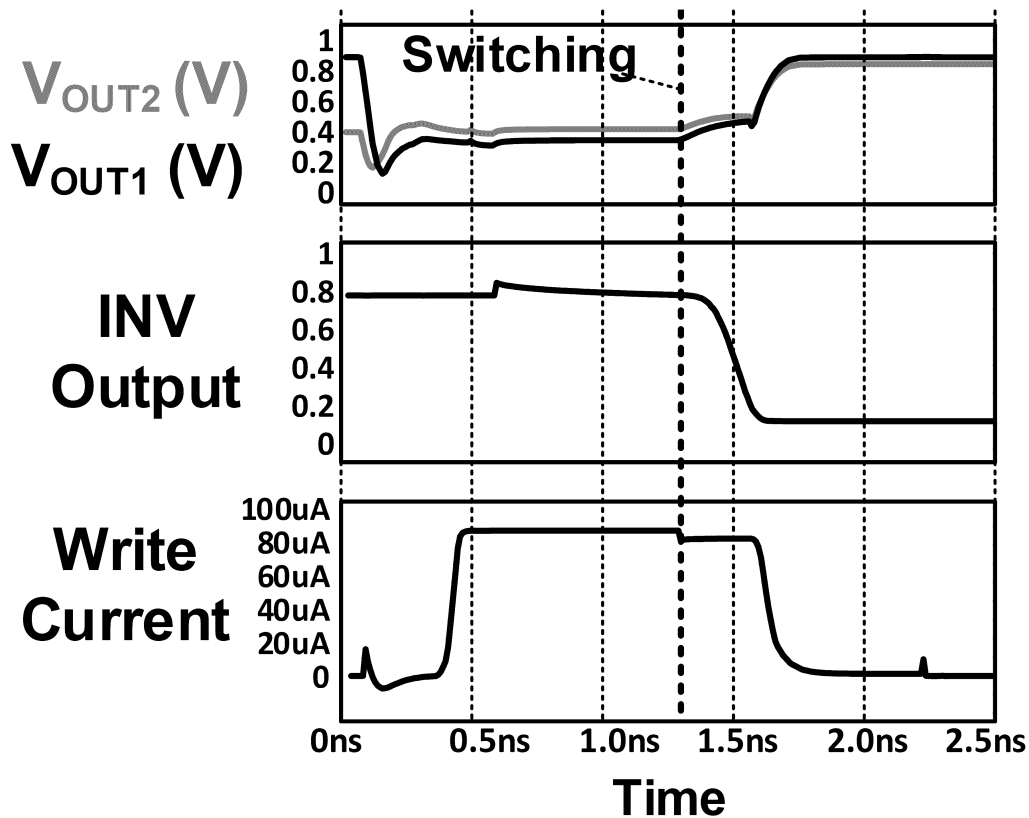
도면4



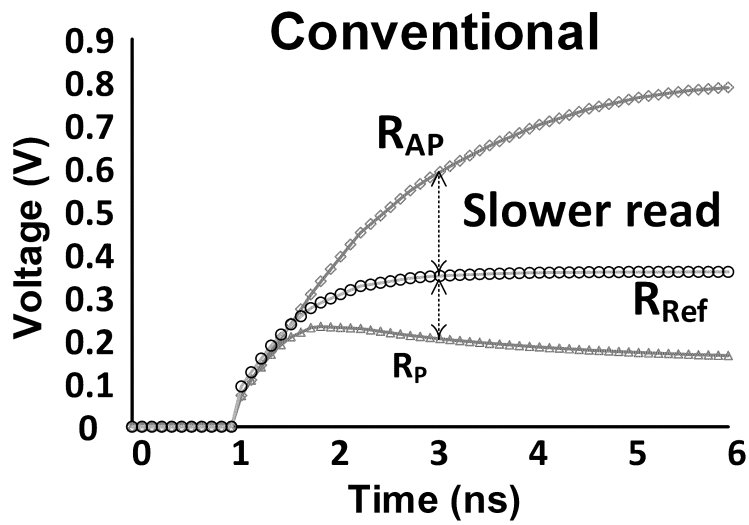
도면5a



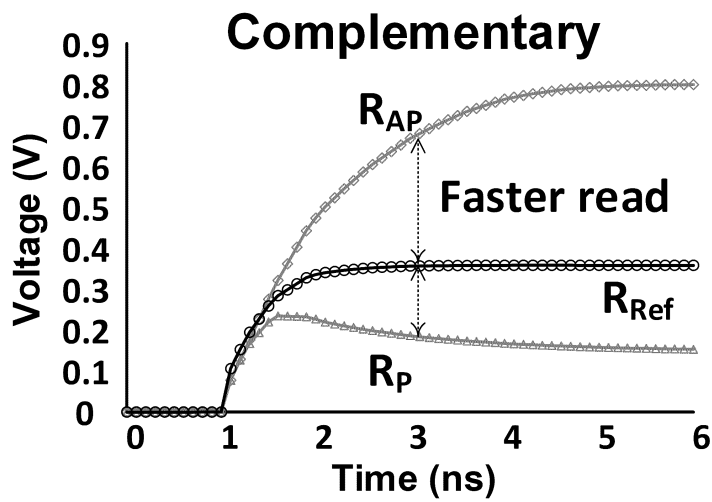
도면5b



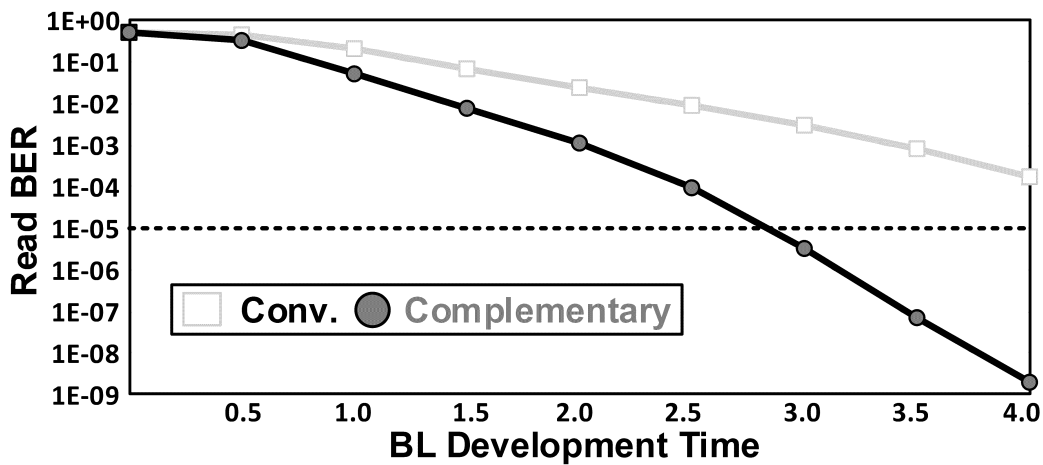
도면6a



도면6b



도면7



도면8

