

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5641202号
(P5641202)

(45) 発行日 平成26年12月17日(2014.12.17)

(24) 登録日 平成26年11月7日(2014.11.7)

(51) Int.Cl.		F I		
HO 1 L 23/12	(2006.01)	HO 1 L 23/12	3 O 1 Z	
HO 1 L 25/00	(2006.01)	HO 1 L 25/00	B	
HO 1 L 23/14	(2006.01)	HO 1 L 23/14	S	

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2010-130266 (P2010-130266)	(73) 特許権者	000002185
(22) 出願日	平成22年6月7日(2010.6.7)		ソニー株式会社
(65) 公開番号	特開2011-258654 (P2011-258654A)		東京都港区港南1丁目7番1号
(43) 公開日	平成23年12月22日(2011.12.22)	(74) 代理人	100098785
審査請求日	平成25年5月29日(2013.5.29)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	秋葉 朗
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 インターポーザ、モジュールおよびこれを備えた電子機器

(57) 【特許請求の範囲】

【請求項1】

表面および裏面を有する基板と、
前記基板の表面側に形成され、半導体チップと電気的に接続される配線と、
前記配線と接続された電気素子と、
前記電気素子に対応する位置に前記基板の裏面側から形成されると共に、底部に前記基板の少なくとも一部が柵状または格子状に残存する凹部と
を備えたインターポーザ。

【請求項2】

前記電気素子は受動素子である、請求項1に記載のインターポーザ。

10

【請求項3】

前記受動素子はアンテナ、インダクタまたはカプラである、請求項2に記載のインターポーザ。

【請求項4】

前記基板上に誘電体層を有し、前記配線は前記誘電体層の内部または層上に少なくとも一層設けられている、請求項1乃至3のいずれか一項に記載のインターポーザ。

【請求項5】

前記誘電体層は有機材料を含む、請求項4に記載のインターポーザ。

【請求項6】

前記基板と前記誘電体層との間に絶縁層を有する、請求項4に記載のインターポーザ。

20

【請求項 7】

前記基板内に前記配線と接続された貫通電極を有する、請求項 1 に記載にインターポーザ。

【請求項 8】

前記基板は半導体基板または誘電体基板である、請求項 1 に記載のインターポーザ。

【請求項 9】

前記基板はシリコン基板である、請求項 8 に記載のインターポーザ。

【請求項 10】

インターポーザと、前記インターポーザに実装された半導体チップとを備え、
前記インターポーザは、
表面および裏面を有し、表面側に前記半導体チップが実装された基板と、
前記基板の表面側に形成され、前記半導体チップと電氣的に接続された配線と、
前記配線と接続された電気素子と、
前記電気素子に対応する位置に前記基板の裏面側から形成されると共に、底部に前記基板の少なくとも一部が柵状または格子状に残存する凹部と
を備えたモジュール。

10

【請求項 11】

前記半導体チップは、前記配線および前記基板内に設けられた貫通電極を介して実装基板と電氣的に接続されている、請求項 10 に記載のモジュール。

【請求項 12】

インターポーザと、前記インターポーザに実装された半導体チップと、前記インターポーザと電氣的に接続された実装基板とを備え、
前記インターポーザは、
表面および裏面を有し、表面側に前記半導体チップが実装された基板と、
前記基板の表面側に形成され、前記半導体チップと電氣的に接続された配線と、
前記配線と接続された電気素子と、
前記電気素子に対応する位置に前記基板の裏面側から形成されると共に、底部に前記基板の少なくとも一部が柵状または格子状に残存する凹部と
を備えた電子機器。

20

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、配線ルールの異なる複数の電子デバイスの電氣的および機械的接続を中継するためのインターポーザ、モジュールおよびこれを備えた電子機器に関する。

【背景技術】

【0002】

急激に微細化が進む半導体チップの패드ピッチと、そのチップの実装先である基板（実装基板）の패드ピッチとの間には一桁以上のギャップがある。このことが半導体技術の進歩により得られる高性能且つ高機能チップの性能をデバイスあるいはシステムに反映させることを難しくしている。例えば、半導体チップの패드ピッチは50 μ m以下にまで実用化が進んでいるのに対し、実装基板（例えばプリント基板（PCB；Print Circuit Board））の패드ピッチは500 μ m程度である。今後、半導体チップの패드ピッチの縮小化はスケールリング則に従って進展すると予測されているが、PCBの패드ピッチの縮小化の進展は相対的に遅いと考えられている。

40

【0003】

従来、この패드ピッチのギャップを補い半導体チップと実装基板とを電氣的および機械的に結合する手段として、金（Au）やアルミニウム（Al）によるワイヤリングが利用されている。具体的には500 μ mクラスの配線ルールを有する有機基板上に半導体チップをダイボンド（機械的接続）し、その上で両者の配線パッドをワイヤ接続（電氣的接続）する。

50

【 0 0 0 4 】

ところで、信号線路はキャリア周波数が高まるにつれて長さの影響が大きくなる。デジタル回路のキャリアにはクロック周波数が400MHzクラスの信号が用いられているのに対し、送受信回路のキャリアには高周波帯（GHz～ミリ波帯）が利用されている。高周波は波長が短く、例えば60GHzの半波長は真空中で2.5mm、PCB上では1.2mmである。ある一つの信号線路の物理的長さがキャリア周波数の電氣的長さの半分以上になると、信号線路において信号の共振現象の問題が顕在化してくる。このため、信号品質確保の観点から、信号線路の長さは伝送するキャリア信号の電氣的長さの半分未満を目安としてレイアウトすることが望ましい。このことから近年、ワイヤによる実装形態と比較してより小型のパッケージングが可能になり、短配線による電力損の削減および信号品質の向上が期待できるシリコンインターポーザが注目され、技術開発が盛んに行われている（例えば、特許文献1）。

10

【 0 0 0 5 】

特許文献1によるシリコンインターポーザは、配線ピッチ変換のための配線（TSV（Through Silicon Via）を含む）と、後述するアンテナ部品のためのキャビティ（凹部）とから構成されている。このシリコンインターポーザは、インターポーザ基板上に、別のシリコン基板（上部シリコン部分）に形成されたアンテナパターンを集積したものである。これにより、高周波アナログ回路である半導体チップとの結線距離が短縮され、信号品質を向上させることが可能となる。

【 先行技術文献 】

20

【 特許文献 】

【 0 0 0 6 】

【 特許文献1 】 特開2008-42904号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上記に例示したインターポーザではアンテナパターンを設けたシリコン基板の接合およびアンテナ部分や半導体チップの部分のパターニングなど、製造工程が複雑になることから信頼性および歩留まりが低下するという問題があった。

【 0 0 0 8 】

30

本発明はかかる問題点に鑑みてなされたもので、その目的は、製造工程の簡略化を図ることが可能なインターポーザ、モジュールおよびこれを備えた電子機器を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明のインターポーザは、表面および裏面を有する基板と、基板の表面側に形成され、半導体チップと電氣的に接続される配線と、配線と接続された電気素子と、電気素子に対応する位置に基板の裏面側から形成されると共に、底部に基板の少なくとも一部が柵状または格子状に残存する凹部とを備えたものである。

【 0 0 1 0 】

40

ここで「凹部」とは底部に基板が残っている形状に加えて、底部の基板が完全に除去され貫通した形状も含む。また、「対応する」とは基板上に設けられた電気素子の少なくとも一部が凹部上に設けられている状態を指す。

【 0 0 1 1 】

本発明のモジュールは、上記本発明のインターポーザおよびインターポーザに実装された半導体チップを備えたものである。

【 0 0 1 2 】

本発明の電子機器は、上記本発明のインターポーザ、インターポーザに実装された半導体チップおよびインターポーザが搭載される実装基板を備えたものである。

【 0 0 1 3 】

50

本発明のインターポーザ、モジュールおよびこれを備えた電子機器では、基板上に予め配線および電気素子が設けられていることにより、基板と配線の接合およびアンテナなどの電気素子部分や半導体チップの部分のパターニングなどが不要になり製造工程が簡略化される。

【発明の効果】

【0014】

本発明のインターポーザ、モジュールおよびこれを備えた電子機器によれば、基板上に配線および電気素子を設けるようにしたので製造工程が簡略化される。これにより信頼性および歩留まりを向上させることが可能となる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施の形態に係るモジュールの断面図である。

【図2】図1に示したモジュールの平面図である。

【図3】モジュールの他の例を表す断面図である。

【図4】図1に示したモジュールの電波放射の特性図である。

【図5】図1に示したモジュールの製造方法を工程順に表す図である。

【図6】図5に続く工程を表す図である。

【図7】比較例に係るモジュールの断面図である。

【図8】図7に示したモジュールの製造方法を工程順に表す図である。

【図9】図8に続く工程を表す図である。

【図10】図9に続く工程を表す図である。

【図11】変形例に係るモジュールの断面図である。

【図12】図11に示したモジュールの平面図である。

【図13】モジュールの他の例を表す断面図である。

【図14】モジュールの適用例に係る電子機器の機能ブロック図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について、以下の順に図面を参照しつつ説明する。

(1) 全体構成

(2) 製造方法

【0017】

(1) 全体構成

図1は本発明の一実施の形態に係るインターポーザ10Aおよび半導体チップ20を備えたモジュール1Aの断面構造を表すものであり、図2はその平面構成を表すものである。なお、図1は図2のI-I線における断面構造である。このインターポーザ10Aでは凹部19Aを備えた基板11上に誘電体層14が形成され、この誘電体層14には配線層16および電気素子17(ここではアンテナ)が設けられている。この誘電体層14上には配線層16に接続された半導体チップ20が設けられており、インターポーザ10Aはこの半導体チップ20と実装基板30(ここではプリント基板)とを基板11に設けられた貫通電極12を介して接続している。

【0018】

基板11は、後述する半導体チップ20の材料に合わせ、例えば厚みが50~400μmのシリコン(Si)基板またはシリコンカーバイド(SiC)基板を用いることが望ましい。半導体チップ20と材料を合わせることで熱膨張係数がほぼ等しくなり、半導体チップ20とインターポーザ10Aとの間の接合の信頼性が向上するからである。なお、基板11としてはこれに限るものではなく、他の半導体材料や誘電体材料を用いてもよい。他の半導体材料としては例えば、SiGe、GaAs等が、誘電体材料としては例えば、セラミック、ガラス(例えばPyrex(登録商標)、SD2、石英)、樹脂(ガラスエポキシ、BTレジン)や有機ポリマーなどが挙げられる。

【0019】

10

20

30

40

50

基板 11 には、誘電体層 14 に設けられたアンテナ 17 の少なくとも一部に対応する位置に、基板 11 の裏面側に窪みを有する凹部 19 A が設けられている。但し、凹部 19 A は信号損失の抑制効果との関係から、後述するアンテナ 17 に対向する位置、即ち図 2 に示したように上から見てアンテナ 17 全体を含むように形成することが望ましい。なお、ここでは凹部 19 A の底部に基板 11 が残っているが、これに限らず図 3 に示したように基板 11 が完全に除去され貫通した開口 19 B としてもよい。また、基板 11 は完全に除去されず、一部が残っていてもよい。具体的には例えば柵状または格子状に形成してもよい。更に、凹部 19 A (開口 19 B) の平面パターンは例えば円形状または矩形状であるが、これに限らず、凹部 19 A (開口 19 B) の上方に配置される電気素子の形状および大きさとの関係で決定される。

10

【0020】

また、基板 11 は例えば直径 50 μm の貫通電極 12 を備えている。貫通電極 12 は例えば銅 (Cu) により形成され、上下にパッド 13 A, 13 B が設けられている。

【0021】

基板 11 と誘電体層 14 との間には絶縁層 11 A が設けられている。この絶縁層 11 A は例えば厚みが 0.01 ~ 4 μm のシリコン酸化膜 (SiO₂) 上に、例えば厚みが 0.01 ~ 0.3 μm のシリコン窒化膜 (SiN) を形成したものである。この絶縁層 11 A は後述のように基板 11 に凹部 19 A (開口 19 B) を設ける際のエッチングストップ層となるものであるが、本実施の形態のインターポーザ 10 A のように凹部 19 A (開口 19 B) を有する、いわゆるメンブレン素子の性能達成の構造としては必須のものではない。

20

【0022】

誘電体層 14 は高周波信号に対して損失の少ない低誘電体率材料、例えばベンゾシクロブテン (BCB) により形成されている。この誘電体層 14 の厚みは電気的特性と機械強度の両面から決定され、例えば 1 μm ~ 20 μm である。但し、誘電体層 14 の最適な膜厚は配線のレイアウトルールによって幅がある。例えば電気的特性の要件では配線のインピーダンスマッチングの観点から膜厚の範囲が決まる。具体的には、例えば 60 GHz の配線、ライン/スペースが 50 μm / 50 μm の高周波配線でマイクロストリップラインでの 50 Ω マッチングには 20 μm の膜厚が必要である。また、狭ピッチおよび多ピン化が加速する CMOS (Complementary Metal Oxide Semiconductor) のパッドに対応した

30

【0023】

誘電体層 14 内には配線層 16 およびアンテナ 17 が設けられている。配線層 16 は少なくとも一層以上の多層配線層 (ここでは一層、配線 16 A, 16 B) と層間接続配線層 (ビアコンタクト 15 A) との組み合わせにより構成されている。これら配線層 16 は導電性材料、例えば Al (アルミニウム)、AlCu (アルミニウム銅) などの金属材料により形成されている。アンテナ 17 は、ここでは Al 配線による疑似八木宇多アンテナである。勿論これに限らず、パッチアンテナまたはスロットアンテナなど、他の受動素子を用いてもよい。また、材料も Al 以外の金属材料を用いてもよい。アンテナ 17 および後述する半導体チップ 20 は信号品質を確保するために近接してレイアウトすることが望ましい。アンテナ 17 と半導体チップ 20 との距離を短くすることによって送受信回路の積算損失を小さくすることができる。例えば半導体チップ 20 とアンテナ 17 をワイヤ経由で接続する場合には、例えば約 1.5 mm, 直径 20 μm の金 (Au) ワイヤには 0.8

40

50

nHの寄生インダクタンスがあり、60GHzにおいて約1dB信号損失を生じる。これに対して本実施の形態のようにそれぞれをレイアウトした場合には、アンテナ17と半導体チップ20との距離は200 μ mとなり、信号損失は0.1dBと非常に小さくなる。また、前述のようにアンテナ17を凹部19A（開口19B）上に形成することにより、基板起因の信号損失も小さくなり、より高いアンテナゲインが得られる。なお、層間接続配線層は図1、図3および図5に示したように、誘電体層14Aに貫通孔14aを形成し、この貫通孔14a内に金属材料を埋め込んだものであるが、これに限らず、層の異なる配線が互いに接続されていれば特に形状は問わない。

【0024】

図4(A)は中心周波数60GHzの疑似八木宇多アンテナの反射特性(S11)の特性を表すものであり、図4(B)は遠方界の電波放射特性(3次元表示)の計算結果である。放射特性におけるメインローブにおいて、メンブレンアンテナのアンテナゲインの計算結果が-5dBiであるのに対して、メンブレンアンテナではないリファレンスアンテナの計算結果は-10dBiである。このことから本実施の形態のように、アンテナ17に対向する位置に凹部19A（開口19B）を設けることにより高いアンテナゲインを得ることができる。

【0025】

半導体チップ20はRFICであり、ここでは例えばベースバンドチップから入力される数百MHz帯域の信号を高周波帯域にアップコンバートし、例えばミリ波帯域の信号とするデバイスである。半導体チップ20は、パッド21A, 21Bおよび半田層22A, 22Bを介して配線16A, 16Bに接続されている。配線16Aはビア15Aおよびパッド13Aを介して貫通電極12に接続されている。一方、配線16Bはアンテナ17に接続されている。

【0026】

プリント基板30は、モジュール1A(1B)のほか、抵抗器あるいはコンデンサ等の多数の電子部品を実装する実装基板であり、これら電子部品間を配線によって接続することにより電子回路を構成する。

【0027】

モジュール1A(1B)は例えば図5(A)~(C)および図6(A)~(C)に示した方法により製造することができる。

【0028】

(2) 製造方法

まず、図5(A)に示したように、基板11に貫通孔11Bを形成したのち絶縁層11Aを形成する。具体的には、例えば厚さ400 μ mの基板11の表面にエッチングマスクをパターンニングする。次に、DRIE(Deep Reactive Ion Etching)装置を用いて真空条件下にて基板11を厚み方向にエッチングし、貫通孔11Bを形成する。続いて、基板11を例えば1000 $^{\circ}$ Cで加熱し、水蒸気雰囲気下における熱酸化によって厚さ3 μ mのSiO₂膜を形成する。次に、この基板11の表面のSiO₂膜上に例えばCVD(Chemical Vapor Deposition; 化学的気相成長)法により厚さ0.1~0.3 μ mのSiN膜を形成し、絶縁膜11Aとする。

【0029】

続いて、図5(B)に示したように貫通電極12を形成する。具体的には、例えばシード層(図示なし)として貫通孔11Bの表面に例えばPVD(Physical Vapor Deposition)により例えば厚さ50nmの下地チタン(Ti)および例えば厚さ300nmの銅(Cu)薄膜を形成する。次に、電解銅めっきにより貫通孔11BにCuを充填したのちCMP(Chemical Mechanical Polishing)により基板11を研磨し、貫通電極12を形成する。続いて、パッド13A, 13B, 13Cを例えばフォトリソグラフィおよびDRIEなどのドライエッチングにより、例えば直径100 μ m, 厚さ100nmのAlCu薄膜を形成する。

【0030】

10

20

30

40

50

次に、図5(C)に示したように誘電体層14A、ビアコンタクト15A、配線16A、16Bおよびアンテナ17を形成する。具体的には、まず基板11の上面に低誘電率材料であるBCBを用いてスピコート法により誘電体層14Aを形成し、この誘電体層14Aに対してパッド13Aに達する貫通孔14aを形成したのち、この貫通孔14aにAlCuを充填してビアコンタクト15Aを形成する。次に誘電体層14A上にフォトリソグラフィおよびドライエッチングにより配線16A、16Bおよびアンテナ17を形成する。次に、同様の方法を用いて基板11の下面に誘電体層14C、ビアコンタクト15B、15C、パッド16C、16Dを形成する。

【0031】

続いて、図6(A)に示したように基板11の上面に誘電体層14Cを形成したのち半導体チップ20と配線16A、16Bを接続するための開口18A、18Bを形成する。具体的には、基板11の上面に例えばBCBを用いてスピコート法により誘電体層14Cを形成したのち、フォトリソグラフィおよびドライエッチングにより半導体チップ20を実装する領域の誘電体層14Cを除去する。次に、基板11の下面に例えばハードマスクを形成したのち、例えばDRIEによって基板11をエッチングして凹部19A(開口19B)を形成し、所望のメンブレン構造を有するインターポーザ10Aが完成する。エッチング条件としては、ボッシュプロセスとして知られているSF₆/C₄H₈による垂直加工や、XeF₂によるドライプロセスが用いられる。また、水酸化テトラメチルアンモニウム(TMAH)や水酸化カリウム(KOH)を用いたウエットプロセスを用いてもよい。このとき基板11と誘電体層14との間に設けた絶縁層11Aがエッチングストップ層として働くので、絶縁層11Aにおいてエッチングが停止する。なお、絶縁層11Aの厚さが薄い場合にはオーバーエッチングが発生する場合もある。

【0032】

次に、図6(B)に示したようにインターポーザ10Aの上面に半導体チップ20を実装する。具体的には、半導体チップ20の下面に設けられているパッド21A、21Bをインターポーザ10Aの上面に、例えば150、100kPaにて熱圧着し半導体チップ20とインターポーザ10Aの接合が完了する。

【0033】

最後に図6(C)に示したようにインターポーザ10Aのパッド16C、16Dとプリント基板30上に形成したパッド31A、31Bとをバンプ32A、32Bを介して接続し、プリント基板30に半導体チップ20を搭載したインターポーザ10Aを実装する。これによりモジュール1Aが完成する。

【0034】

本実施の形態のインターポーザ10A(10B)は、基板11上に誘電体層14を形成し、この誘電体層14中に配線層16およびアンテナ17を備えている。また、基板11には貫通電極12が設けられており、インターポーザ10Aは貫通電極12を介してプリント基板30とインターポーザ10A上に搭載された半導体チップ20とを接続している。このようにインターポーザ10Aを用いることによって、配線ピッチの異なる半導体チップ20とプリント基板30とを電気的および機械的に中継することが可能となる。

【0035】

更に、基板11のアンテナ17に対応する位置には、基板11の裏面側から形成された凹部19A(開口19B)が設けられている。これにより、基板11部分とアンテナ17との間の寄生容量や渦電流の発生が抑えられる。

【0036】

上述の通り、半導体チップ20およびプリント基板30は、半導体チップ20側の接続部では狭配線ピッチにて、プリント基板30側の接続部では広配線ピッチにて接続される。接続部を構成するパッドおよびそれらをつなぐ配線は、インターポーザ10Aの基板11上の誘電体層14内に設けられた配線層16、貫通電極12および基板11裏面側の配線層16(パッド13B、16C、ビアコンタクト15B)であり、これらのラインおよびスペースは半導体チップの加工手段を使用して製造される。従って一般的な実装基板と

10

20

30

40

50

比較すると、一桁以上の微細な加工技術あるいは半導体チップの配線加工ルールと同等のルールで加工される。なお、図1(図3)におけるインターポーザ10A(10B)の基板11の裏面右側の配線層16(パッド13C, 16D、ビアコンタクト15C)は、例えばプリント基板30への実装時の機械的バランスをとるためのダミー接続層または基板11のGND(グラウンド)接続層である。

【0037】

図7は、比較例に係る従来のモジュール100の断面構成を表したものである。このモジュール内のインターポーザ100Aは凹部119を有する第1Si基板(インターポーザ)111上に、下面に配線216およびアンテナ217を有し半導体チップ(集積回路チップ)220を搭載した第2Si基板211が接合金属によって接合されている。なお、凹部119は半導体チップ220を収容するためのものである。

10

【0038】

このようなモジュール100を実際に得るためには、図8(A)~(C), 図9(A)~(C)および図10(A), (B)に示した製造工程が考えられる。各工程を簡単に説明すると、まず、図8(A)に示したように第1Si基板111を加工して貫通孔111Bを形成したのち絶縁膜(図示なし)を形成する。次に図8(B)に示したように貫通電極112Aを形成したのち、パッド113A, 113B, 113C, 113Dを形成する。続いて図8(C)に示したように凹部119を形成し、インターポーザとなる第1Si基板111を作製する。次に図9(A)に示したように第2Si基板211上に配線216A, 216Bおよびアンテナ217を備えた誘電体層214を形成したのち、図9(B)に示したように第2Si基板211をCMPにより薄膜化する。続いて、図9(C)に示したように第2Si基板211に凹部219を設けてメンブレン構造としたのち、半導体チップ220を接続し、半導体チップ220を搭載した第2Si基板211を作製する。次に図10(A)に示したように熱圧着により第1Si基板111および第2Si基板211を接合してしたのち、最後に図10(B)に示したように半田を用いてプリント基板130に実装してモジュール100が完成する。

20

【0039】

このようにして得られたモジュール100およびその製造工程には以下のような問題がある。まず、Si基板を2枚用いるため必然的に大型化する。そのため、これを補う薄膜化工程(図9(B))が必要となる。また、第1Si基板111への凹部119の形成に加えてアンテナ217からの電波放射のために、第2Si基板211の対向する位置に凹部219を設ける必要がある。この際、第2Si基板211は上述のように薄膜化しているため、壊れやすい虞もある。更に、第1Si基板111に第2Si基板211を実装する際には、第1Si基板111の貫通電極112A, 112Bおよび第2Si基板211の下面に設けられた配線層216の接合を行う。接合工程は、アライメント精度が低い場合微細化の制約となると共に、伝送周波数が高い場合には配線の不整合等による信号損失が顕在化する。また、第1Si基板111および第2Si基板211の接合用の配線加工も必要となる。以上のように製造工程が複雑となる。

30

【0040】

これに対して、本実施の形態のインターポーザ10A(10B)では、基板11上に直接形成した誘電体層14中に配線層16を設けることにより、上記工程が不要となるため製造工程の簡略化を図ることが可能となる。

40

【0041】

以上のように、本実施の形態のインターポーザ10A(10B)およびこれを備えたモジュール1A(1B)では基板11上に誘電体層14を形成し、この誘電体層14中に配線層16およびアンテナ17を設けるようにした。このように、基板11と配線層16を一体化した構造とすることにより製造工程が簡略化され、歩留まりを向上させることが可能となる。

【0042】

また、アライメント精度の低下の原因となる接合工程が削減されるため、モジュール1

50

A (1 B) の特性が向上する。更に、製造工程が短縮されるためコストを抑えることもできる。

【 0 0 4 3 】

また、半導体チップ 2 0 とプリント基板 3 0 を貫通電極 1 2 によって接続するようにしたので、配線面積を縮小することができる。即ち、モジュール 1 A (1 B) の小型化が可能となる。更に、貫通電極 1 2 を用いることによってモジュール 1 A (1 B) 上に他のモジュールを積層することも可能となる。

【 0 0 4 4 】

また、本実施の形態のインターポーザ 1 0 A (1 0 B) およびこれを備えたモジュール 1 A (1 B) では、アンテナ 1 7 の少なくとも一部に対応する位置の基板 1 1 の裏面側に凹部 1 9 A (または基板 1 1 を貫通する開口 1 9 B) を設けるようにした。これにより基板部分と素子との間での寄生容量や渦電流の発生が抑えられるため、信号損失を抑制することが可能となる。

【 0 0 4 5 】

(変形例)

次に、上記実施の形態のインターポーザ 1 0 A (1 0 B) およびこれを備えたモジュール 1 A (1 B) の変形例に係るインターポーザ 1 0 C (1 0 D) およびこれを備えたモジュール 2 A (2 B) について説明する。図 1 1 は基板 1 1 に凹部 1 9 A を有するインターポーザ 1 0 C を備えたモジュール 2 A の断面構成を表すものであり、図 1 2 はその平面構成を表すものである。図 1 3 は基板 1 1 に開口 1 9 B を有するインターポーザ 1 0 D を備えたモジュール 2 B の断面構成を表すものである。なお、図 1 1 および図 1 3 は図 1 2 の I I - I I 線における断面構造である。上記実施の形態と同一の構成要素については同一符号を付してその説明は省略する。

【 0 0 4 6 】

このインターポーザ 1 0 C (1 0 D) は、配線層 1 6 とプリント基板 3 0 とをワイヤ 3 3 を介して接続したものである。基板 1 1 上には、上記実施の形態で説明した配線層 1 6 および電気素子 1 7 が形成された誘電体層 1 4 に加えて、プリント基板 3 0 とワイヤ接続するためのワイヤパッドと配線ノイズを除去するためのデカップリングコンデンサ (M I M キャパシタ) (図示せず) と共に、チップ用接続部 2 3 が設けられている。

【 0 0 4 7 】

本変形例のインターポーザ 1 0 C (1 0 D) およびこれを備えたモジュール 2 A (2 B) では、配線層 1 6 とプリント基板 3 0 とをワイヤ 3 3 で接続するようにしたので、上記実施の形態の効果に加えてプリント基板 3 0 上にモジュール 2 A (2 B) を自由に配置することが可能となるという効果がある。また、例えばピン数が少なく B G A (Ball Grid Array) 等と比較して素子の専有面積の差が小さい場合には、貫通電極 1 2 を製造することよりもワイヤ 3 3 による配線のほうが安価であるため、コストを低減できるという効果もある。

【 0 0 4 8 】

(適用例)

次に、図 1 4 を参照して、本発明のインターポーザ 1 0 A を用いた通信装置の構成について説明する。図 1 4 は、電子機器としての通信装置のブロック構成を表している。

【 0 0 4 9 】

図 1 4 に示した通信装置は例えば、携帯電話器、情報携帯端末 (P D A) 、無線 L A N 機器などである。この通信装置は、例えば、図 1 4 に示したように、送信系回路 3 0 0 A (モジュール) と、受信系回路 3 0 0 B (モジュール) と、送受信経路を切り替える送受信切換器 3 0 1 と、高周波フィルタ 3 0 2 と、送受信用のアンテナ 3 0 3 とを備えている。

【 0 0 5 0 】

送信系回路 3 0 0 A は、I チャンネルの送信データおよび Q チャンネルの送信データに対応した 2 つのデジタル / アナログ変換器 (D A C ; Digital / Analogue Converter) 3 1

10

20

30

40

50

1 I, 3 1 1 Qおよび2つのバンドパスフィルタ3 1 2 I, 3 1 2 Qと、変調器3 2 0および送信用PLL (Phase-Locked Loop) 回路3 1 3と、電力増幅器3 1 4とを備えている。この変調器3 2 0は、上記した2つのバンドパスフィルタ3 1 2 I, 3 1 2 Qに対応した2つのバッファアンプ3 2 1 I, 3 2 1 Qおよび2つのミキサ3 2 2 I, 3 2 2 Qと、移相器3 2 3と、加算器3 2 4と、バッファアンプ3 2 5とを含んで構成されている。

【0051】

受信系回路3 0 0 Bは、高周波部3 3 0、バンドパスフィルタ3 4 1およびチャンネル選択用PLL回路3 4 2と、中間周波回路3 5 0およびバンドパスフィルタ3 4 3と、復調器3 6 0および中間周波用PLL回路3 4 4と、Iチャンネルの受信データおよびQチャンネルの受信データに対応した2つのバンドパスフィルタ3 4 5 I, 3 4 5 Qおよび2つのアナログ/デジタル変換器(ADC; Analogue/Digital Converter) 3 4 6 I, 3 4 6 Qとを備えている。高周波部3 3 0は、低ノイズアンプ3 3 1と、バッファアンプ3 3 2, 3 3 4と、ミキサ3 3 3とを含んで構成されており、中間周波回路3 5 0は、バッファアンプ3 5 1, 3 5 3と、自動ゲイン調整(AGC; Auto Gain Controller)回路3 5 2とを含んで構成されている。復調器3 6 0は、バッファアンプ3 6 1と、上記した2つのバンドパスフィルタ3 4 5 I, 3 4 5 Qに対応した2つのミキサ3 6 2 I, 3 6 2 Qおよび2つのバッファアンプ3 6 3 I, 3 6 3 Qと、移相器3 6 4とを含んで構成されている。

【0052】

この通信装置では、送信系回路3 0 0 AにIチャンネルの送信データおよびQチャンネルの送信データが入力されると、それぞれの送信データを以下の手順で処理する。すなわち、まず、DAC 3 1 1 I, 3 1 1 Qにおいてアナログ信号に変換し、引き続きバンドパスフィルタ3 1 2 I, 3 1 2 Qにおいて送信信号の帯域以外の信号成分を除去したのち、変調器3 2 0に供給する。続いて、変調器3 2 0において、バッファアンプ3 2 1 I, 3 2 1 Qを介してミキサ3 2 2 I, 3 2 2 Qに供給し、引き続き送信用PLL回路3 1 3から供給される送信周波数に対応した周波数信号を混合して変調したのち、両混合信号を加算器3 2 4において加算することにより1系統の送信信号とする。この際、ミキサ3 2 2 Iに供給する周波数信号に関しては、移相器3 2 3において信号移相を90°シフトさせることにより、Iチャンネルの信号とQチャンネルの信号とが互いに直交変調されるようにする。最後に、バッファアンプ3 2 5を介して電力増幅器3 1 4に供給することにより、所定の送信電力となるように増幅する。この電力増幅器3 1 4において増幅された信号は、送受信切換器3 0 1および高周波フィルタ3 0 2を介してアンテナ3 0 3に供給されることにより、そのアンテナ3 0 3を介して無線送信される。この高周波フィルタ3 0 2は、通信装置において送信または受信する信号のうちの周波数帯域以外の信号成分を除去するバンドパスフィルタとして機能する。

【0053】

一方、アンテナ3 0 3から高周波フィルタ3 0 2および送受信切換器3 0 1を介して受信系回路3 0 0 Bに信号が受信されると、その信号を以下の手順で処理する。すなわち、まず、高周波部3 3 0において、受信信号を低ノイズアンプ3 3 1で増幅し、引き続きバンドパスフィルタ3 4 1で受信周波数帯域以外の信号成分を除去したのち、バッファアンプ3 3 2を介してミキサ3 3 3に供給する。続いて、チャンネル選択用PLL回路3 4 2から供給される周波数信号を混合し、所定の送信チャンネルの信号を中間周波信号とすることにより、バッファアンプ3 3 4を介して中間周波回路3 5 0に供給する。続いて、中間周波回路3 5 0において、バッファアンプ3 5 1を介してバンドパスフィルタ3 4 3に供給することにより中間周波信号の帯域以外の信号成分を除去し、引き続きAGC回路3 5 2でほぼ一定のゲイン信号としたのち、バッファアンプ3 5 3を介して復調器3 6 0に供給する。続いて、復調器3 6 0において、バッファアンプ3 6 1を介してミキサ3 6 2 I, 3 6 2 Qに供給したのち、中間周波用PLL回路3 4 4から供給される周波数信号を混合し、Iチャンネルの信号成分とQチャンネルの信号成分とを復調する。この際、ミキサ3 6 2 Iに供給する周波数信号に関しては、移相器3 6 4において信号移相を90°シ

10

20

30

40

50

フトさせることにより、互いに直交変調されたIチャンネルの信号成分とQチャンネルの信号成分とを復調する。最後に、Iチャンネルの信号およびQチャンネルの信号をそれぞれバンドパスフィルタ345I, 345Qに供給することによりIチャンネルの信号およびQチャンネルの信号以外の信号成分を除去したのち、ADC346I, 346Qに供給してデジタルデータとする。これにより、Iチャンネルの受信データおよびQチャンネルの受信データが得られる。

【0054】

この通信装置は、上記実施の形態および変形例において説明したインターポータ10A~10Dを、アンテナ303、高周波フィルタ302、バンドパスフィルタ341, 343、変調器320および復調器360と実装基板との接続に適用しているため、上記実施の形態において説明した作用により、優れた高周波特性を有する。

10

【0055】

なお、図14に示した通信装置では、上記実施の形態および変形例において説明したインターポータ10A~10Dを上記各素子と実装基板との接続に適用する場合について説明したが、必ずしもこれに限られるものではない。例えば、インターポータ10A~10Dを微細化に隔たりのあるCMOS素子とMEMSセンサの集積デバイス内における両者の配線の接続に適用してもよい。この場合においても、上記と同様の効果を得ることができる。また、アナログ回路素子とデジタル回路素子の集積化にも適用することができる。

【0056】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形可能である。例えば、上記実施の形態では半導体チップ20とプリント基板30との接続に貫通電極12を用いたが、スルーホール配線によって接続しても同様の効果が得られる。

20

【0057】

また、上記実施の形態等では電気素子(受動素子)としてアンテナ17を用いたがこれに限らず、例えばインダクタまたはカプラを用いてもよい。更に、受動素子以外の電気素子、例えば高周波スイッチ、高周波伝送線路のカップリングコンデンサとして用いられる場合のバリキャップまたは電気素子を組み合わせたフィルタおよび可変フィルタでもよい。

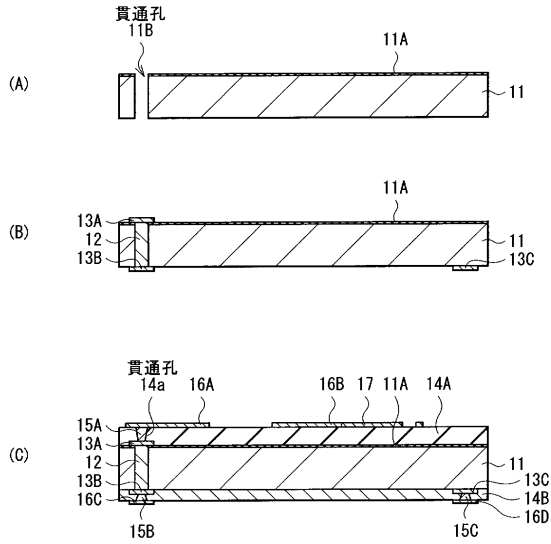
【符号の説明】

30

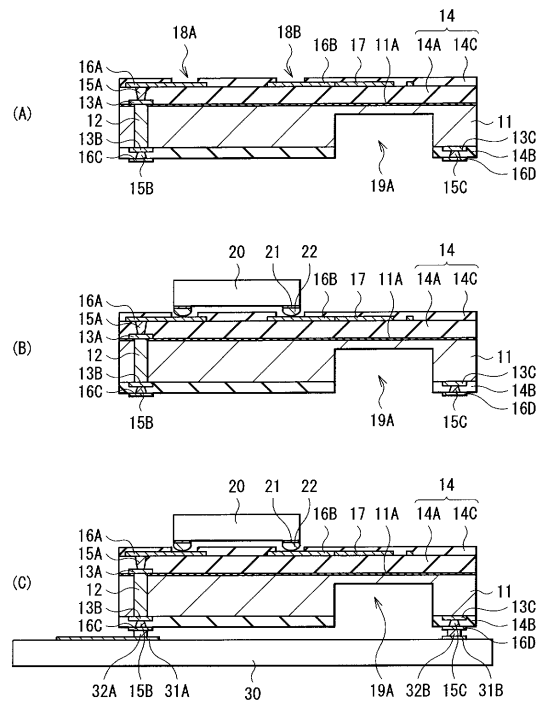
【0058】

1A, 1B, 2A, 2B, 100...モジュール、10A, 10B, 10C, 10D, 100A...インターポータ、11...基板、11A...絶縁層、12...貫通電極、13A, 13B, 13C, 16C, 16D, 21A, 21B, 31A, 31B...パッド、14(14A, 14B, 14C)...誘電体層、15A, 15B, 15C...ビアコンタクト、16A, 16B...配線、16(15A, 16A, 16B)...配線層、17...アンテナ、18A, 18B, 19A...凹部、19B...開口、20...半導体チップ、22, 32A, 32B...半田、30...プリント基板。

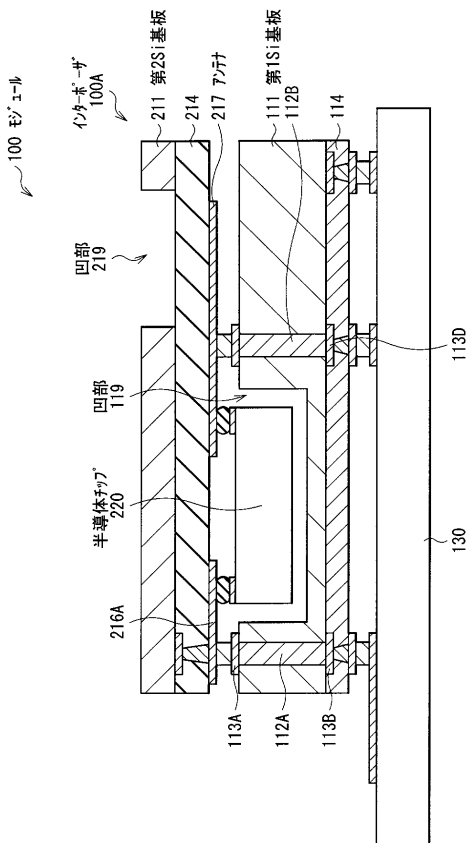
【図5】



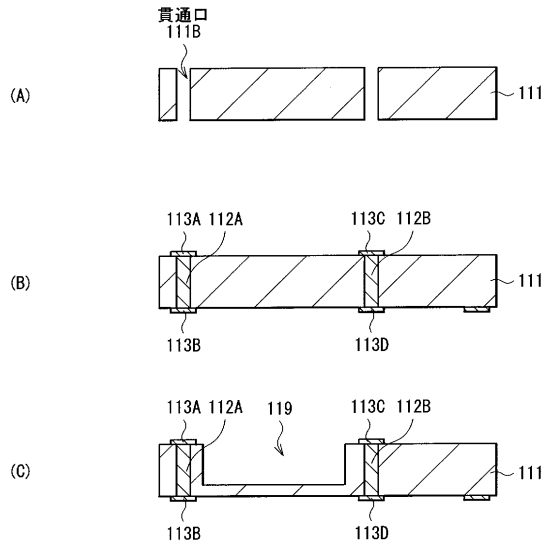
【図6】



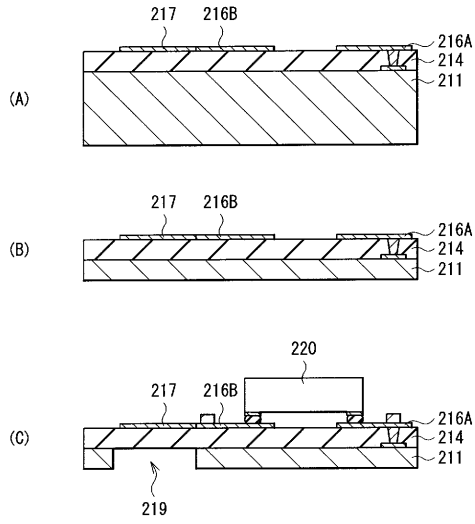
【図7】



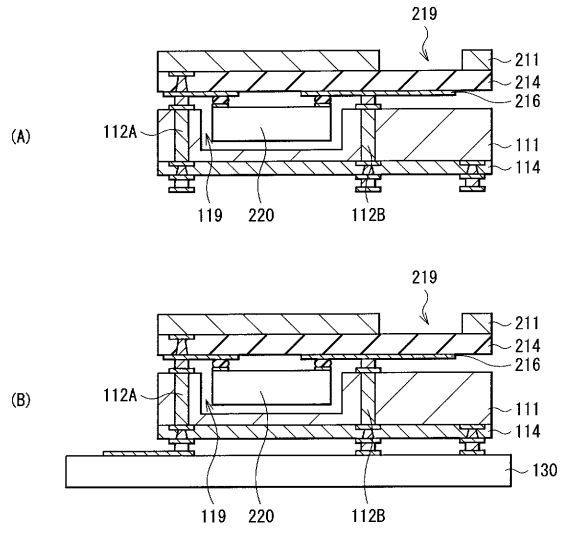
【図8】



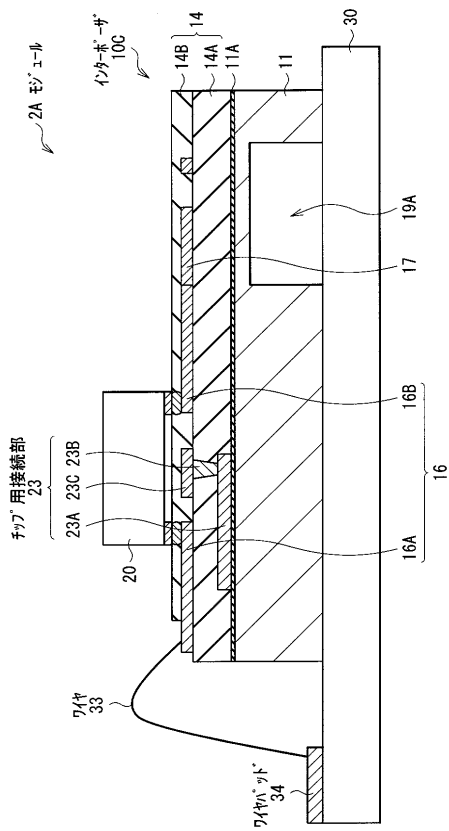
【図9】



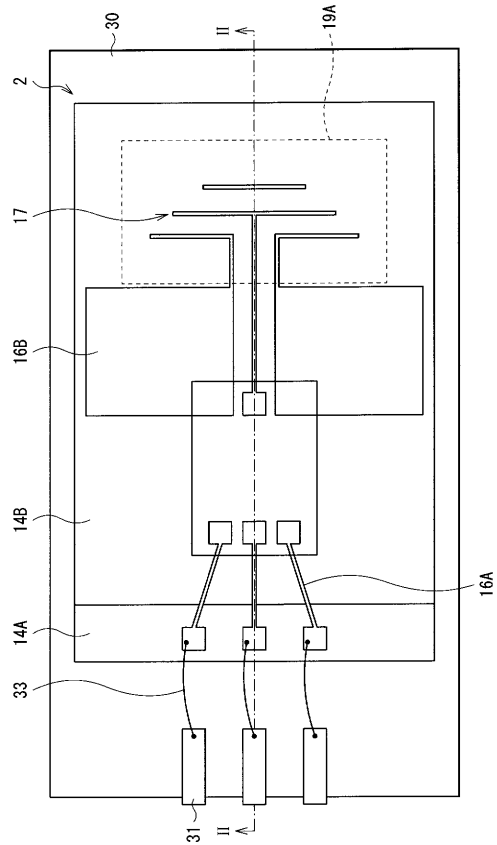
【図10】



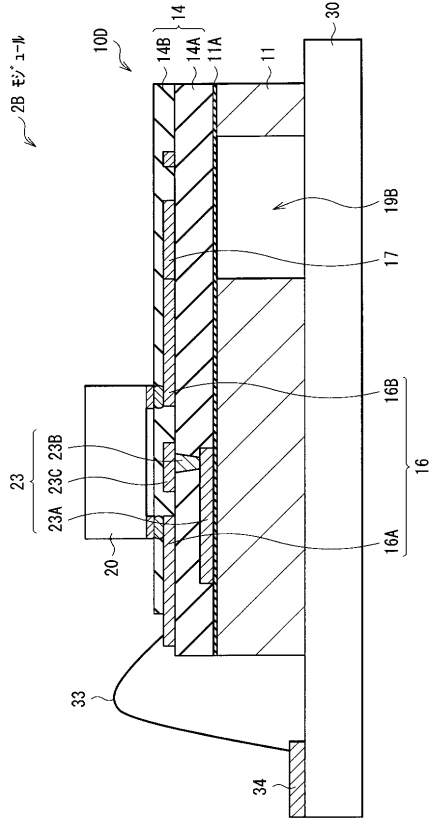
【図11】



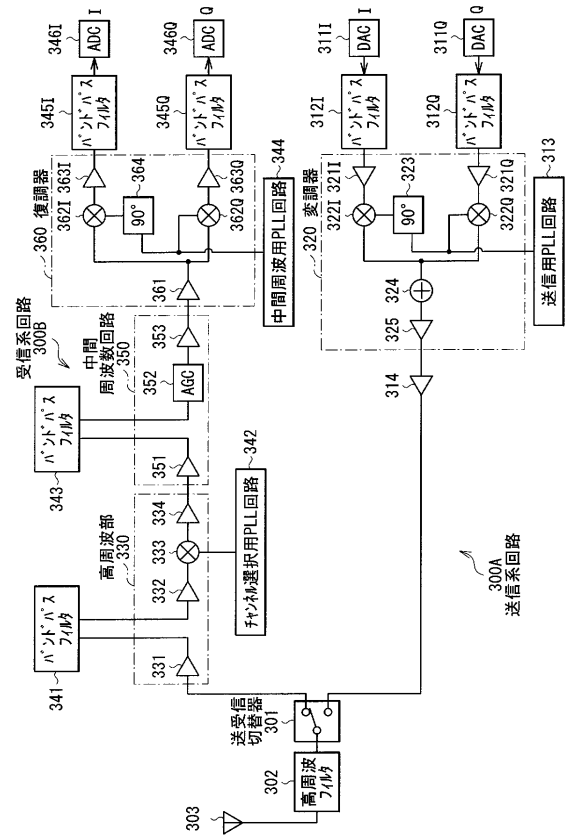
【図12】



【図13】



【図14】



フロントページの続き

- (72)発明者 盛田 伸也
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 池田 浩一
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 御手洗 俊
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 宮本 靖史

- (56)参考文献 特開2007-067215(JP,A)
特開2002-374028(JP,A)
特開平02-106956(JP,A)
特開2004-235602(JP,A)
特開2002-299787(JP,A)
特開2001-168288(JP,A)
特開2004-179227(JP,A)
特開2004-193292(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15
H01L 23/32
H01L 21/312 - 21/32
H01L 21/3205
H01L 21/321
H01L 21/3213
H01L 21/47 - 21/475
H01L 21/522
H01L 21/532
H01L 21/768
H01L 21/822
H01L 27/04
H01L 25/00 - 25/18