



Patent dodatkowy
do patentu nr _____

Zgłoszono: 27.12.77 (P. 203414)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 13.08.79

Opis patentowy opublikowano: 30.12.1981

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.² G06F 7/52

Twórca wynalazku: Piotr Tafel

Uprawniony z patentu: Instytut Tele- i Radiotechniczny, Warszawa (Polska)

Elektroniczny układ mnożący liczby zakodowane binarnie

1

Przedmiotem wynalazku jest elektroniczny układ mnożący liczby zakodowane binarnie mający zastosowanie zwłaszcza w cyfrowych urządzeniach automatyki i przetwarzania danych.

Obecnie do przemnażania jednej liczby binarnej przez drugą liczbę binarną wykorzystywane są układy cyfrowe stosujące wielokrotne sumowanie z przesunięciem. Wada wymienionego rozwiązania polega na skomplikowanym sterowaniu procesu mnożenia i wynikającej stąd dużej ilości elementarnych układów potrzebnych do realizacji. Ponadto czas trwania operacji jest określony wielokrotnym sumowaniem wyników pośrednich.

Celem wynalazku jest opracowanie szybkiego układu mnożącego do zastosowania szczególnie w cyfrowych układach szeregowego działania.

Istota wynalazku polega na iloczynowaniu poszczególnych bitów jednej liczby binarnej o rozkładzie równoległym ze wszystkimi bitami drugiej liczby binarnej o rozkładzie szeregowym przy użyciu bramek iloczynu logicznego lub zaszerzowanego iloczynu logicznego, a następnie na zsumowaniu wszystkich sygnałów binarnych pojawiających się na wyjściach bramek przy pomocy sumatorów jednobitowych z pamiętaniem przeniesienia.

Zaletą układu według wynalazku jest duża szybkość działania, proste sterowanie, łatwe stosowanie szczególnie w układach szeregowego działa-

2

nia oraz zminimalizowanie ilości elementów potrzebnych do realizacji układu.

Do realizacji układu można użyć rozpowszechnionych układów scalonych małej i średniej skali integracji. Układ mnożenia może być łatwo dostosowany do działania na liczbach o różnej wartości, przy czym o stopniu rozbudowania układu decyduje ilość bitów mniejszej liczby. Dzięki tej własności układ szczególnie się nadaje do mnożenia dużej liczby przez małą.

Wynalazek zostanie bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, który jest schematem ideowym układu elektronicznego.

Układ umożliwia mnożenie ośmiobitowej liczby binarnej doprowadzonej równolegle do wejść 28 ÷ 35 przez dowolnej wartości liczbę binarną o rozkładzie szeregowym doprowadzoną do wejścia 1. Przed rozpoczęciem operacji mnożenia rejestr przesuwany 2 jest zerowany impulsem na wejściu kasującym 11.

Synchronicznie z doprowadzeniem bitów liczby binarnej o rozkładzie szeregowym do wejścia szeregowego 1 rejestru przesuwanego 2 doprowadzane są do wejścia zegarowego 12 rejestru przesuwanego 2 impulsy taktujące, które opisują kolejne bity liczby o rozkładzie szeregowym do rejestru przesuwanego 2 do momentu „wysunięcia” z rejestru przesuwanego 2 ostatniego bitu liczby sze-

regowej. Po ostatnim bicie liczby szeregowej do rejestru przesuwnego 2 wpisywane są zera logiczne, w trakcie „wysuwania” końcowych bitów liczby.

Na każdym wyjściu równoległym 3 do 10 rejestru przesuwnego 2 pojawiają się kolejne bity wprowadzonej liczby o rozkładzie szeregowym, które są iloczynowane z bitami liczby o rozkładzie równoległym z wejść 28 do 35 przy użyciu bramek 13 do 20 realizujących iloczyn logiczny lub zaszeregowany iloczyn logiczny. Sygnały cyfrowe o rozkładzie szeregowym uzyskane na wyjściach bramek 13 do 20 są ze sobą sumowane przy użyciu sumatorów jednobitowych z pamiętaniem przeniesienia 21 do 27.

Na wyjściu 36 układu sumującego 27 uzyskiwana jest liczba binarna o rozkładzie szeregowym będąca wynikiem operacji mnożenia liczb binarnych.

Zastrzeżenie patentowe

Elektroniczny układ mnożący liczby zakodowane binarnie jednej liczby zakodowanej kodem wa-

żonym 8, 4, 2, 1 przez drugą liczbę zakodowaną binarnym kodem ważonym, **znamienny tym**, że wejścia bramek (13 do 20), którymi są układy iloczynu logicznego lub iloczynu logicznego z negacją, połączone są z wyjściami równoległymi rejestru przesuwnego (2), do którego wejścia szeregowego (1) doprowadzona jest liczba binarna o rozkładzie szeregowym, oraz do wejść bramek (13 do 20) doprowadzone są poszczególne bity liczby binarnej o rozkładzie równoległym, a wejścia bramek (13 do 20) połączone są z wejściami sumatorów jednobitowych z pamiętaniem przeniesienia (21 do 24), a ich wyjścia połączone z wejściami sumatorów jednobitowych z pamiętaniem przeniesienia (25 i 26), których wyjścia połączone są z wejściami sumatora jednobitowego z pamiętaniem przeniesienia (27), na którego wyjściu (36) uzyskany jest wynik operacji mnożenia w postaci liczby zakodowanej binarnym kodem ważonym 8, 4, 2, 1 o rozkładzie szeregowym, powstałej w wyniku zsumowania wszystkich sygnałów z wyjść bramek (13 do 20) przy użyciu sumatorów (21 do 27).

