

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年5月3日(03.05.2012)

PCT

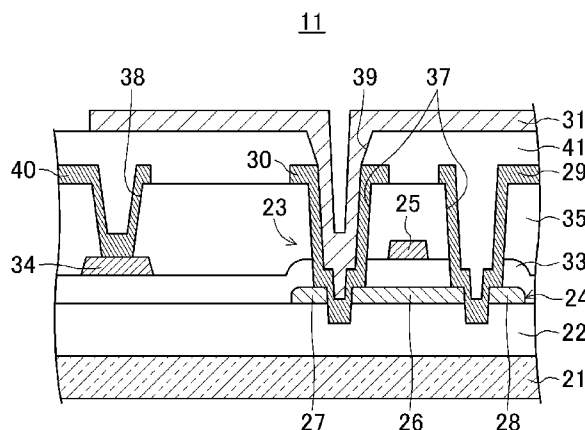
(10) 国際公開番号
WO 2012/056663 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) *H01L 23/522* (2006.01)
H01L 21/28 (2006.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01) *H05K 1/11* (2006.01)
- (21) 国際出願番号: PCT/JP2011/005909
- (22) 国際出願日: 2011年10月21日(21.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-242020 2010年10月28日(28.10.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 古川 博章
(FURUKAWA, Hiroaki).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町2丁目5番7
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ
シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: CIRCUIT BOARD, METHOD FOR MANUFACTURING SAME AND DISPLAY DEVICE

(54) 発明の名称: 回路基板及びその製造方法並びに表示装置

[図1]



(57) Abstract: Disclosed is a circuit board which comprises: a contact hole that is formed in a first insulating layer, a first conductive film and a second insulating layer; and a second conductive film that is connected to the first conductive film within the contact hole. The contact hole is formed such that the inner diameter of the portion thereof formed in the second insulating layer is larger than the inner diameters of the portions thereof respectively formed in the first conductive film and the first insulating layer. The second conductive film is in contact with and connected to a surface of the first conductive film within the contact hole, said surface being on the reverse side of the insulating substrate-side surface of the first conductive film, and the inner wall surface of the first conductive film, said inner wall surface forming the contact hole.

(57) 要約:

[続葉有]

WO 2012/056663 A1

回路基板は、第1絶縁層、第1導電膜及び第2絶縁層に亘って形成されたコンタクトホールと、コンタクトホール内において第1導電膜に接続された第2導電膜とを備えている。コンタクトホールは、第2絶縁層に形成されている部分の内径が第1導電膜及び第1絶縁層に形成されている部分の内径よりも大きく形成され、第2導電膜は、コンタクトホール内における第1導電膜の上記絶縁性基板と反対側の表面と、コンタクトホールを形成する第1導電膜の内壁面とに接触して接続されている。

明 細 書

発明の名称：回路基板及びその製造方法並びに表示装置

技術分野

[0001] 本発明は、回路基板及びその製造方法並びに表示装置に関するものである。

背景技術

[0002] 近年、例えば液晶表示装置及び有機ＥＬ表示装置等の薄型の表示装置について、開発が大きく進められている。例えば、液晶表示装置は、回路基板であるＴＦＴ基板と、このＴＦＴ基板に対向して配置された対向基板と、これらＴＦＴ基板及び対向基板の間に封入された液晶層とを備えている。液晶表示装置は、マトリクス状に形成された複数の画素を有している。ＴＦＴ基板には、各画素毎に画素電極及びこれに接続されたＴＦＴ（薄膜トランジスタ）が形成されている。

[0003] ＴＦＴ基板は、ガラス基板と、ガラス基板の表面に形成されたシリコン層と、シリコン層を覆うゲート絶縁膜と、ゲート絶縁膜を覆う層間絶縁膜とを有している。シリコン層はＴＦＴを構成する。層間絶縁膜には、シリコン層の上方位置においてコンタクトホールが形成されている。そして、層間絶縁膜上に形成された配線は、コンタクトホールを介してシリコン層に接続されている。

[0004] 上記コンタクトホールを形成する場合には、従来のコンタクトホール１０５が形成されたＴＦＴ基板１００の拡大断面図である図２１に示すように、ガラス基板１０１上に積層されたゲート絶縁膜１０３及び層間絶縁膜１０４に対し、レジスト膜１０６を介してドライエッチングを行う。このとき、ゲート絶縁膜１０３の下方のシリコン層１０２及びガラス基板１０１まで過剰にエッチングされる虞がある。

[0005] このように過剰にエッチングされると、従来の配線１０７が形成されたＴＦＴ基板１００の拡大断面図である図２２に示すように、配線１０７が層間

絶縁膜 104 及びコンタクトホール 105 の内部に形成された状態で、配線 107 とシリコン層 102 との接触面積は、その薄膜のシリコン層 102 の断面の面積だけとなって、非常に小さくなる。その結果、コンタクト抵抗が増大し、さらには接続不良が生じる問題がある。

[0006] これに対し、特許文献 1 には、ドライエッチングとウェットエッチングとを組み合わせるコンタクトホールを形成する方法が開示されている。この特許文献 1 のコンタクトホール形成方法では、まず、図 21 のように、ドライエッチングによって、シリコン層 102 を貫通するように、ゲート絶縁膜 103 及び層間絶縁膜 104 にコンタクトホール 105 を形成する。

[0007] 次に、ウェットエッチングによって、シリコン層 102 の上側の絶縁膜と、下側のガラス基板 101 とを等方性エッチングし、シリコン層 102 の上下両面をコンタクトホール 105 側で露出させる。そうして、従来の配線 107 が形成された TFT 基板 100 の拡大断面図である図 23 に示すように、コンタクトホール 109 内でシリコン層 102 をリング状に突き出した状態で配線 107 を形成する。そのことによって、配線 107 とシリコン層 102 との接触面積を大きくしている。

先行技術文献

特許文献

[0008] 特許文献 1：特開平 10-200117 号公報

発明の概要

発明が解決しようとする課題

[0009] しかし、上記特許文献 2 の方法では、コンタクトホール 109 におけるシリコン層（第 1 導電膜） 102 の下側部分が、リング状に突き出たシリコン層 102 によって遮られるため、洗浄工程やウェットエッチング工程において、当該コンタクトホール 109 の下側部分 110 に薬液が残留したり乾燥ムラが生じる虞がある。

[0010] また、配線（第 2 導電膜） 107 をスパッタ法によって形成する際に、リ

ング状に突き出たシリコン層（第１導電膜）１０２の下側を確実にスパッタすることが難しいため、配線（第２導電膜）１０７に断線が生じやすくなる結果、接触不良による発熱等の不具合が発生する虞もある。

[0011] 本発明は、斯かる点に鑑みてなされたものであり、その主たる目的とするところは、基板上に積層された第１導電膜及び絶縁層に対してコンタクトホールが形成され、当該コンタクトホール内で第１導電膜に第２導電膜が接続された回路基板について、コンタクトホール内における第２導電膜と第１導電膜との接触面積を可及的に増大させながらも、コンタクトホール内における第２導電膜の断線を防止することにある。

課題を解決するための手段

[0012] 上記の目的を達成するために、本発明に係る回路基板は、絶縁性基板と、上記絶縁性基板上に形成された第１絶縁層と、上記第１絶縁層上に形成された第１導電膜と、上記第１導電膜を覆うように上記第１絶縁層上に形成された第２絶縁層と、上記第１絶縁層、上記第１導電膜及び上記第２絶縁層に亘って形成されたコンタクトホールと、上記コンタクトホール内において上記第１導電膜に接続された第２導電膜とを備えている。

[0013] また、本発明に係る表示装置は、上記回路基板としての第１基板と、上記第１基板に対向して配置された第２基板とを備えている。

[0014] また、本発明に係る回路基板の製造方法は、絶縁性基板上に第１絶縁層を形成する工程と、上記第１絶縁層上に第１導電膜を形成する工程と、上記第１導電膜を覆うように上記第１絶縁層上に第２絶縁層を形成する工程と、上記第１絶縁層、上記第１導電膜及び上記第２絶縁層に亘って延びるコンタクトホールを形成する工程と、上記コンタクトホール内において上記第１導電膜に接続された第２導電膜を形成する工程とを有する。上記コンタクトホールを形成する工程は、第１ドライエッチング工程と、該第１ドライエッチング工程の後に行われる第２ドライエッチング工程とを有する。

[0015] そして、上記第１ドライエッチング工程では、上記第２絶縁層、上記第１導電膜及び上記第１絶縁層をドライエッチングして、当該第２絶縁層、第１

導電膜及び第 1 絶縁層に亘って延びるホール部を形成し、上記第 2 ドライエッチング工程では、上記ホール部を構成している上記第 1 導電膜がエッチングされないように、上記ホール部を構成している上記第 2 絶縁層をドライエッチングすることにより、上記第 2 絶縁層における内径が上記第 1 導電膜及び上記第 1 絶縁層における内径よりも大きい上記コンタクトホールを形成する。

[0016] ー作用ー

上記回路基板及びそれを備えた表示装置は、コンタクトホールを形成する第 1 導電膜の内壁面だけでなく、コンタクトホール内における第 1 導電膜の絶縁性基板と反対側の表面においても、当該第 1 導電膜と第 2 導電膜とが接触して接続されているため、その第 1 導電膜及び第 2 導電膜同士の接触面積を増大させて、コンタクト抵抗を好適に低下させることが可能となる。

[0017] さらに、コンタクトホールは、第 2 絶縁層に形成されている部分の内径が第 1 導電膜及び第 1 絶縁層に形成されている部分の内径よりも大きく形成されているので、製造工程において当該コンタクトホール内における薬液の残留や、乾燥ムラを抑制することができる。したがって、当該コンタクトホール内に形成される第 2 導電層の断線を防止することが可能となる。

発明の効果

[0018] 本発明によれば、コンタクトホール内における第 2 導電層と第 1 導電層との接触面積を増大させながらも、コンタクトホール内における第 2 導電層の断線を防止することができる。

図面の簡単な説明

[0019] [図1]図 1 は、本実施形態 1 における T F T 基板の一部を拡大して示す断面図である。

[図2]図 2 は、コンタクトホールを拡大して示す断面図である。

[図3]図 3 は、コンタクトホールをさらに拡大して示す断面図である。

[図4]図 4 は、液晶表示装置の概略構造を示す断面図である。

[図5]図 5 は、層間絶縁膜の表面に形成されたレジスト膜を示す断面図である

。

[図6]図6は、第1ドライエッチング工程によって形成されたホール部を示す断面図である。

[図7]図7は、第2ドライエッチング工程によって形成されたコンタクトホールを示す断面図である。

[図8]図8は、本実施形態2におけるTFT基板の一部を拡大して示す断面図である。

[図9]図9は、コンタクトホールを拡大して示す断面図である。

[図10]図10は、第1ドライエッチング工程によって形成されたホール部を示す断面図である。

[図11]図11は、第2ドライエッチング工程によって形成されたコンタクトホールを示す断面図である。

[図12]図12は、従来の配線引き回し構造を示す断面図である。

[図13]図13は、本実施形態2の配線引き回し構造を示す断面図である。

[図14]図14は、本実施形態3におけるTFT基板の一部を拡大して示す断面図である。

[図15]図15は、層間絶縁膜の表面に形成されたレジスト膜を示す断面図である。

[図16]図16は、第1ドライエッチング工程によって形成されたホール部を示す断面図である。

[図17]図17は、第2ドライエッチング工程によって形成されたコンタクトホールを示す断面図である。

[図18]図18は、本実施形態4におけるTFT基板11の一部を拡大して示す断面図である。

[図19]図19は、第1ドライエッチング工程によって形成されたホール部を示す断面図である。

[図20]図20は、第2ドライエッチング工程によって形成されたコンタクトホールを示す断面図である。

[図21]図21は、従来のコンタクトホールが形成されたTFT基板の拡大断面図である。

[図22]図22は、従来の配線が形成されたTFT基板の拡大断面図である。

[図23]図23は、従来の配線が形成されたTFT基板の拡大断面図である。

発明を実施するための形態

[0020] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0021] 《発明の実施形態1》

図1～図7は、本発明の実施形態1を示している。

[0022] 図1は、TFT基板11の一部を拡大して示す断面図である。図2は、コンタクトホール37を拡大して示す断面図である。図3は、コンタクトホール37をさらに拡大して示す断面図である。図4は、液晶表示装置1の概略構造を示す断面図である。

[0023] 本実施形態では、回路部材としてのTFT基板11及びそれを備えた表示装置としての液晶表示装置1について説明する。

[0024] 液晶表示装置1は、図4に示すように、TFT基板11と、このTFT基板11に対向して配置された対向基板12と、これらTFT基板11及び対向基板12の間にシール部材14によって封入された液晶層13とを備えている。

[0025] 液晶表示装置1は、マトリクス状に形成された複数の画素（図示省略）を有している。TFT基板11には、各画素毎に画素電極（図示省略）及びこれに接続されたTFT（薄膜トランジスタ）が形成されている。

[0026] TFT基板11は、図1に示すように、絶縁性基板としてのガラス基板21と、ガラス基板21上に形成された第1絶縁層であるバッファ層22と、バッファ層22上に形成されたTFT23とを有している。

[0027] TFT23は、バッファ層22上に形成された半導体層24と、半導体層24に対向して配置されたゲート電極25とを有している。半導体層24は、ゲート電極25に対向するチャネル領域26と、チャネル領域26を挟む

ように設けられた第1導電膜としてのドレイン領域27及びソース領域28を有している。

[0028] ソース領域28には第2導電膜としてのソース電極29が接続される一方、ドレイン領域27には第2導電膜としてのドレイン電極30が接続されている。ドレイン電極30には、画素電極31が接続されている。

[0029] バッファ層22は、例えば SiO_2 及び SiN の積層膜、 SiO_2 又は SiN によって形成されている。半導体層24は、バッファ層22の表面に形成され、例えば連続粒界結晶シリコン (Continuous Grain silicon; CGシリコンとも称される)、低温ポリシリコン (Low Temperature Poly Silicon; LPS)、又はアモルファスシリコン等によって形成されている。

[0030] バッファ層22上には、半導体層24を覆うように第2絶縁層33、35が形成されている。本実施形態の第2絶縁層33、35は、ゲート絶縁膜33及び層間絶縁膜35によって構成されている。

[0031] ゲート絶縁膜33は、半導体層24を覆うようにバッファ層22の表面に形成され、例えば SiO_2 、 SiN 、又は SiN 及び SiO_2 の積層膜によって形成されている。

[0032] ゲート絶縁膜33の表面には、上記ゲート電極25が形成されると共に、TFT23と離れた側方位置に配線部34が形成されている。配線部34は、ゲート電極25に電氣的に接続された配線である。ゲート電極25及び配線部34は、互いに同じ材料によって構成され、例えばW及びTa_nの積層膜、Mo、MoW、又は、Ti及びAlの積層膜によって形成されている。

[0033] 層間絶縁膜35は、ゲート電極25及び配線部34を覆うように、ゲート絶縁膜33の表面に形成されている。層間絶縁膜35は、例えば SiO_2 及び SiN の積層膜、 SiO_2 と SiN と SiO_2 との積層膜、 SiO_2 、又は SiN によって形成されている。

[0034] ガラス基板21上には、ドレイン領域27及びソース領域28の上方位置において、バッファ層22、半導体層24のドレイン領域27又はソース領域28、ゲート絶縁膜33、及び層間絶縁膜35に亘って延びるコンタクト

ホール 37 が形成されている。

[0035] 図 2 に示すように、コンタクトホール 37 は、半導体層 24 に形成されている部分の内径がバッファ層 22 に形成されている部分の内径と略同じ大きさであり、且つ、ゲート絶縁膜 33 及び層間絶縁膜 35 に形成されている部分の内径が半導体層 24 及びバッファ層 22 に形成されている部分の内径よりも大きく形成されている。

[0036] すなわち、コンタクトホール 37 を構成する半導体層 24 の内壁面と、当該コンタクトホール 37 を構成するバッファ層 22 の内壁面とは、ガラス基板 21 表面の法線方向に段差なく延びる壁面を構成している。そうして、ガラス基板 21 表面の法線方向におけるコンタクトホール 37 の断面は、段差状に形成されている。

[0037] 図 3 に示すように、半導体層 24 及びバッファ層 22 に形成されている部分のコンタクトホール 37 の内径 b は、例えば $2\ \mu\text{m}$ 以上であり好ましくは $4\ \mu\text{m}$ である。また、コンタクトホール 37 内で露出している半導体層 24 の幅 a は、例えば $0.5\ \mu\text{m}$ 以上であることが好ましい。

[0038] 層間絶縁膜 35 の表面及びコンタクトホール 37 の内側には、当該コンタクトホール 37 内においてドレイン領域 27 又はソース領域 28 に接続された第 2 導電膜であるドレイン電極 30 及びソース電極 29 が形成されている。

[0039] ドレイン電極 30 及びソース電極 29 は、それぞれ、コンタクトホール 37 内における半導体層 24 のガラス基板 21 と反対側の表面と、コンタクトホール 37 を形成する半導体層 24 の内壁面とに接触して接続されている。

[0040] また、配線部 34 の上方位置には、層間絶縁膜 35 を貫通するコンタクトホール 38 が形成されている。層間絶縁膜 35 の表面及びコンタクトホール 38 の内側には、電極部 40 が形成されている。電極部 40 はコンタクトホール 38 内で配線部 34 に接続されている。

[0041] ドレイン電極 30、ソース電極 29 及び電極部 40 は、例えば、Ti と Al と Ti との積層膜、TiN と Al と TiN との積層膜、Mo と Al-Nd

とMoとの積層膜、又は、MoとAlとMoとの積層膜によって形成されている。

[0042] 層間絶縁膜35上には、感光性樹脂からなる保護膜41が形成されている。保護膜41は、凹状に窪んだ電極部40及びソース電極29の内側にもそれぞれ充填されている。そして、保護膜41の表面及びド레인電極30の内側には、画素電極31が形成されている。すなわち、画素電極31は、ド레인電極30に接続されている。また、画素電極31は、例えばITO (Indium Tin Oxide) 又はIZO (Indium Zinc Oxide) 等の透明導電膜によって形成されている。

[0043] ー製造方法ー

次に、上記TF T基板11及び液晶表示装置1の製造方法について説明する。

[0044] 図5は、層間絶縁膜35の表面に形成されたレジスト膜44を示す断面図である。図6は、第1ドライエッチング工程によって形成されたホール部43、47を示す断面図である。図7は、第2ドライエッチング工程によって形成されたコンタクトホール37、38を示す断面図である。

[0045] 液晶表示装置1は、それぞれ予め製造したTF T基板11と対向基板12とを液晶層13及びシール部材14を介して貼り合わせることによって製造する。

[0046] 例えば対向基板12にシール部材14を矩形枠状に描画し、そのシール部材14の枠内に液晶材料を滴下して供給する。次に、対向基板12をTF T基板11に位置合わせして貼り付ける。その後、シール部材に紫外線を照射して当該シール部材14を硬化させる。そうして、液晶表示装置1を製造する。尚、シール部材14を描画するのは、対向基板12でなく、TF T基板11であってもよい。

[0047] TF T基板11を製造する場合には、まず、ガラス基板21上にバッファ層22を形成する。例えば、ガラス基板21の表面にSiO₂膜をCVD法により成膜した後に、そのSiO₂膜の表面にSiNO膜をCVD法により成膜

する。そして、厚みが100nm～400nmであるバッファ層22を形成する。

[0048] 次に、バッファ層22上に半導体層24を形成する。例えば、バッファ層22の表面にシリコン膜を30nm～100nmの厚みで成膜して結晶化することにより、連続粒界結晶シリコン膜を形成する。その後、この連続粒界結晶シリコン膜を、フォトリソグラフィ及びエッチングによって、所定の形状に形成する。

[0049] 次に、半導体層24を覆うようにバッファ層22上に第2絶縁層であるゲート絶縁膜33を形成する。すなわち、厚みが50nm～200nmであるSiO₂膜を、バッファ層22の表面に半導体層24を覆うようにCVD法により成膜する。

[0050] 次に、ゲート材料として例えばTa₂N膜及びW膜を、この順にゲート絶縁膜33の表面にスパッタ法によって成膜する。その後、そのゲート材料層にフォトリソグラフィ及びエッチングを行うことにより、所定形状のゲート電極25及び配線部34を形成する。

[0051] その後、ゲート電極25及び配線部34を覆うように、ゲート絶縁膜33の表面に層間絶縁膜35を形成する。すなわち、ゲート絶縁膜33の表面に、CVD法によりSi₃N₄膜及びSiO₂膜をこの順に積層し、300nm～1000nmの層間絶縁膜35を形成する。

[0052] 次に、バッファ層22、半導体層24、ゲート絶縁膜33及び層間絶縁膜35に亘って延びるコンタクトホール37を形成する。また、これと同時に、配線部34上で層間絶縁膜35を貫通するコンタクトホール38を形成する。このコンタクトホールを形成する工程は、第1ドライエッチング工程と、該第1ドライエッチング工程の後に行われる第2ドライエッチング工程とを有する。

[0053] 第1ドライエッチング工程では、図5及び図6に示すように、層間絶縁膜35、ゲート絶縁膜33、半導体層24及びバッファ層22をドライエッチングして、当該層間絶縁膜35、ゲート絶縁膜33、半導体層24及びバッ

ファ層 2 2 に亘って延びるホール部 4 3 を形成する。

[0054] すなわち、図 5 に示すように、層間絶縁膜 3 5 の表面にレジスト膜 4 4 を形成する。レジスト膜 4 4 には、半導体層 2 4 のドレイン領域 2 7 及びソース領域 2 8 の上方位置に第 1 開口部 4 5 が形成され、配線部 3 4 の上方位置に第 2 開口部 4 6 が形成されている。

[0055] その後、図 6 に示すように、シリコン（半導体層 2 4）に対する第 2 絶縁層（層間絶縁膜 3 5 及びゲート絶縁膜 3 3）の選択比が小さいエッチングガス（例えば SF_6 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）を用いて、第 1 開口部 4 5 及び第 2 開口部 4 6 から露出している層間絶縁膜 3 5 等をドライエッチングする。すなわち、同じ条件下での半導体層 2 4 と第 2 絶縁層 3 3、3 5 とのエッチングレートの差が比較的小さい。

[0056] そのことにより、第 1 開口部 4 5 の下方に、層間絶縁膜 3 5、ゲート絶縁膜 3 3 及び半導体層 2 4 を貫通してバッファ層 2 2 まで達するホール部 4 3 を形成する。一方、第 2 開口部 4 6 の下方に、層間絶縁膜 3 5 を貫通するホール部 4 7 を形成する。

[0057] このとき、層間絶縁膜 3 5、ゲート絶縁膜 3 3、半導体層 2 4 及びバッファ層 2 2 に対し、ゲート材料からなる配線部 3 4 のエッチングレートは小さくなっているため、ホール部 4 7 は配線部 3 4 を突き抜けない。

[0058] 続いて、図 7 に示すように、第 2 ドライエッチング工程では、ホール部 4 3 を構成している半導体層 2 4 がエッチングされないように、ホール部 4 3 を構成している層間絶縁膜 3 5 及びゲート絶縁膜 3 3 をドライエッチングすることにより、その層間絶縁膜 3 5 及びゲート絶縁膜 3 3 における内径が半導体層 2 4 及びバッファ層 2 2 における内径よりも大きいコンタクトホール 3 7 を形成する。これと同時に、ホール部 4 7 を構成している層間絶縁膜 3 5 をドライエッチングして、コンタクトホール 3 8 を形成する。

[0059] 第 2 ドライエッチング工程では、シリコン（半導体層 2 4）に対する第 2 絶縁層（層間絶縁膜 3 5 及びゲート絶縁膜 3 3）の選択比が大きいエッチングガス（例えば C_4F_8 、 CF_4 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）

を用いる。すなわち、同じ条件下での半導体層 2 4 と第 2 絶縁層 3 3, 3 5 とのエッチングレートの差が比較的大きく、半導体層 2 4 が殆どエッチングされずに第 2 絶縁層 3 3, 3 5 がエッチングされる。

[0060] このとき、レジスト膜 4 4 も僅かにエッチングされ、その第 1 開口部 4 5 及び第 2 開口部 4 6 の内径が大きくなる。そのため、層間絶縁膜 3 5 及びゲート絶縁膜 3 3 も、そのホール部 4 3, 4 7 の内径が大きくなるようにエッチングされる。その結果、図 7 に示すように、断面段差状に形成されることとなる。

[0061] その後、レジスト膜 4 4 を、溶剤やアルカリ溶液等の薬剤を含む剥離液により、層間絶縁膜 3 5 の表面から剥離して除去する。続いて、レジスト膜 4 4 が除去された基板を例えば純水等によって洗浄した後に、十分に乾燥させる。

[0062] 次に、コンタクトホール 3 7 内において半導体層 2 4 に接続されたドレイン電極 3 0 及びソース電極 2 9 を形成すると共に、コンタクトホール 3 8 内において配線部 3 4 に接続された電極部 4 0 を形成する。

[0063] すなわち、コンタクトホール 3 7, 3 8 が形成された層間絶縁膜 3 5 の表面に、例えば T i と A l と T i との積層膜をスパッタ法等により形成し、フォトリソグラフィ及びエッチングを行うことによって、図 1 に示すように、ドレイン電極 3 0、ソース電極 2 9 及び電極部 4 0 を形成する。

[0064] 次に、上記ドレイン電極 3 0 等を覆うように感光性樹脂膜を塗布して、保護膜 4 1 を形成する。そして、ドレイン電極 3 0 の上方位置において保護膜 4 1 にコンタクトホール 3 9 を形成する。その後、保護膜 4 1 の表面とコンタクトホール 3 9 の内部とに、例えば I T O 等の透明導電膜を形成し、これをエッチングすることによって画素電極 3 1 を形成する。その後、画素電極 3 1 を覆うように配向膜（図示省略）を形成して、T F T 基板 1 1 を製造する。

[0065] ー実施形態 1 の効果ー

したがって、この実施形態 1 によると、コンタクトホール 3 7 を形成する

半導体層 24 の内壁面だけでなく、コンタクトホール 37 内における半導体層 24 のガラス基板 21 と反対側の表面においても、当該半導体層 24 とドレイン電極 30 及びソース電極 29 とが接触して接続されているため、その半導体層 24 とドレイン電極 30 及びソース電極 29 との接触面積を増大させて、コンタクト抵抗を好適に低下させることができる。

[0066] しかも、コンタクトホール 37 は、層間絶縁膜 35 及びゲート絶縁膜 33 に形成されている部分の内径が半導体層 24 及びバッファ層 22 に形成されている部分の内径よりも大きく形成されており、半導体層 24 に形成されている部分の内径がバッファ層 22 に形成されている部分の内径と略同じ大きさとなっている。すなわち、コンタクトホール 37 内にオーバーハングが生じないため、製造工程においてコンタクトホール 37 内における薬液の残留や、乾燥ムラを抑制することができる。したがって、コンタクトホール 37 内に形成されるドレイン電極 30 及びソース電極 29 の断線を防止することができる。

[0067] 《発明の実施形態 2》

図 8～図 13 は、本発明の実施形態 2 を示している。

[0068] 図 8 は、本実施形態 2 における T F T 基板の一部を拡大して示す断面図である。図 9 は、コンタクトホールを拡大して示す断面図である。図 12 は、従来の配線引き回し構造を示す断面図である。図 13 は、本実施形態 2 の配線引き回し構造を示す断面図である。

[0069] 尚、以降の各実施形態では、図 1～図 7 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0070] 本実施形態 2 は、上記実施形態 1 において、ソース電極 29 に接続された第 3 導電膜としての遮光膜 51 を設けるようにしたものである。

[0071] すなわち、本実施形態 2 における T F T 基板 11 は、図 8 に示すように、ガラス基板 21 上に形成された第 3 導電膜 51 を有している。第 3 導電膜 51 は、遮光膜 51 であって、例えば W と T a N との積層膜、M o、M o W、又は、T i と A l との積層膜によって形成されている。また、この遮光膜 5

1は、ソース電極29から引き回された配線引き回し構造60を構成している。

[0072] 遮光膜51は、ソース領域28の下方に形成された遮光膜51aと、遮光膜51aの側方に設けられた遮光膜51bとを有し、それぞれバッファ層22によって覆われている。遮光膜51a及び遮光膜51bは電氣的に接続されている。

[0073] ソース領域28を貫通しているコンタクトホール37は、遮光膜51aの上方位置に形成され、その下端が遮光膜51aに至るまで延びている。そして、ソース電極29は、コンタクトホール37を介して遮光膜51aに接続されている。

[0074] 図9に示すように、半導体層24及びバッファ層22に形成されている部分のコンタクトホール37の内径bは、例えば2 μ m以上であり好ましくは4 μ mである。また、コンタクトホール37内で露出している半導体層24の幅aは、例えば0.5 μ m以上であることが好ましい。

[0075] また、図8に示すように、層間絶縁膜35、ゲート絶縁膜33及びバッファ層22には、遮光膜51bの上方位置においてコンタクトホール53が形成されている。コンタクトホール53は、遮光膜51b上でバッファ層22を貫通している。

[0076] コンタクトホール53の内部及び層間絶縁膜35の表面には、電極部54が上記ドレイン電極30等と同じ材料によって形成されている。電極部54は、コンタクトホール53内で遮光膜51bに接続されている。こうして、ソース電極29から半導体層24及び遮光膜51aを経て電極部54へ至る配線引き回し構造60が形成されている。

[0077] 尚、例えば、この遮光膜51aと遮光膜51bとは、必ずしも同一の引き回し配線でなく、それぞれ単独の配線を構成するように形成してもよい。

[0078] ー製造方法ー

次に、上記TFT基板11の製造方法について説明する。

[0079] 図10は、第1ドライエッチング工程によって形成されたホール部43、

47, 48を示す断面図である。図11は、第2ドライエッチング工程によって形成されたコンタクトホール37, 38, 53を示す断面図である。

[0080] まず、ガラス基板21上に例えばスパッタ法等により成膜したMo膜を所定の形状にエッチングすることによって、遮光膜51a、51bを形成する。

[0081] 次に、バッファ層22を形成する工程では、上記遮光膜51a、51bを覆うようにガラス基板21上にバッファ層22を形成する。その後、上記実施形態1と同様に、半導体層24、ゲート絶縁膜33、ゲート電極25、配線部34、及び層間絶縁膜35を形成する。

[0082] そして、コンタクトホールを形成する工程では、遮光膜51a、51bの上方位置にコンタクトホール37を形成する。また、本実施形態においても、第1ドライエッチング工程及び第2ドライエッチング工程を行う。

[0083] 第1ドライエッチング工程では、図10に示すように、層間絶縁膜35、ゲート絶縁膜33、半導体層24及びバッファ層22をドライエッチングして、当該層間絶縁膜35、ゲート絶縁膜33、半導体層24及びバッファ層22に亘って延びるホール部43を形成する。また、これと同時に、層間絶縁膜35、ゲート絶縁膜33及びバッファ層22をドライエッチングして、当該層間絶縁膜35、ゲート絶縁膜33及びバッファ層22に亘って延びるホール部48を形成する。

[0084] すなわち、図10に示すように、層間絶縁膜35の表面にレジスト膜44を形成する。レジスト膜44には、半導体層24のドレイン領域27及びソース領域28の上方位置に第1開口部45が形成され、配線部34の上方位置に第2開口部46が形成されている。さらに、遮光膜51bの上方位置に第3開口部49が形成されている。

[0085] その後、図10に示すように、シリコン（半導体層24）に対する第2絶縁層（層間絶縁膜35及びゲート絶縁膜33）の選択比が小さいエッチングガス（例えばSF₆、O₂、Ar及びH₂等を含むエッチングガス）を用いて、第1開口部45及び第2開口部46から露出している層間絶縁膜35等をド

ライエッチングする。すなわち、同じ条件下での半導体層 2 4 と第 2 絶縁層 3 3, 3 5 とのエッチングレートの差が比較的小さい。

[0086] そのことにより、第 1 開口部 4 5 の下方に、層間絶縁膜 3 5、ゲート絶縁膜 3 3 及び半導体層 2 4 を貫通してバッファ層 2 2 まで達するホール部 4 3 を形成する。一方、第 2 開口部 4 6 の下方に、層間絶縁膜 3 5 を貫通するホール部 4 7 を形成する。さらに、第 3 開口部 4 9 の下方に、層間絶縁膜 3 5 及びゲート絶縁膜 3 3 を貫通してバッファ層 2 2 に至るホール部 4 8 を形成する。遮光膜 5 1 b は、ホール部 4 8 内でバッファ層 2 2 から露出している。

[0087] 続いて、図 1 1 に示すように、第 2 ドライエッチング工程では、ホール部 4 3 を構成している半導体層 2 4 がエッチングされないように、ホール部 4 3 を構成している層間絶縁膜 3 5 及びゲート絶縁膜 3 3 をドライエッチングすることにより、その層間絶縁膜 3 5 及びゲート絶縁膜 3 3 における内径が半導体層 2 4 及びバッファ層 2 2 における内径よりも大きいコンタクトホール 3 7 を形成する。

[0088] これと同時に、ホール部 4 7 を構成している層間絶縁膜 3 5 をドライエッチングして、コンタクトホール 3 8 を形成する。また、ホール部 4 8 を構成している層間絶縁膜 3 5、ゲート絶縁膜 3 3 及びバッファ層 2 2 をドライエッチングしてコンタクトホール 5 3 を形成する。

[0089] 第 2 ドライエッチング工程では、シリコン（半導体層 2 4）に対する第 2 絶縁層（層間絶縁膜 3 5 及びゲート絶縁膜 3 3）の選択比が大きいエッチングガス（例えば C_4F_8 、 CF_4 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）を用いる。すなわち、同じ条件下での半導体層 2 4 と第 2 絶縁層 3 3, 3 5 とのエッチングレートの差が比較的大きく、半導体層 2 4 が殆どエッチングされずに第 2 絶縁層 3 3, 3 5 がエッチングされる。

[0090] このとき、レジスト膜 4 4 も僅かにエッチングされ、その第 1 開口部 4 5、第 2 開口部 4 6 及び第 3 開口部 4 9 の内径が大きくなる。そのため、層間絶縁膜 3 5 及びゲート絶縁膜 3 3 も、そのホール部 4 3, 4 7, 4 8 の内径

が大きくなるようにエッチングされる。その結果、図 11 に示すように、断面段差状のコンタクトホール 37 と、コンタクトホール 38, 53 とが形成されることとなる。

[0091] その後、レジスト膜 44 を、溶剤やアルカリ溶液等の薬剤を含む剥離液により、層間絶縁膜 35 の表面から剥離して除去する。続いて、レジスト膜 44 が除去された基板を例えば純水等によって洗浄した後に、十分に乾燥させる。

[0092] 次に、図 8 に示すように、コンタクトホール 37 内において半導体層 24 に接続されたドレイン電極 30 及びソース電極 29 を形成する。特に、ソース電極 29 は、半導体層 24 及び遮光膜 51a の双方に接続させる。これと同時に、コンタクトホール 38 内において配線部 34 に接続された電極部 40 を形成すると共に、コンタクトホール 53 内において遮光膜 51b に接続された電極部 54 を形成する。

[0093] すなわち、コンタクトホール 37, 38, 53 が形成された層間絶縁膜 35 の表面に、例えば Ti と Al と Ti との積層膜をスパッタ法等により形成し、フォトリソグラフィ及びエッチングを行うことによって、図 8 に示すように、ドレイン電極 30、ソース電極 29 及び電極部 40, 54 を形成する。

[0094] その後、上記実施形態 1 と同様に、保護膜 41 及び画素電極 31 等を形成して TFT 基板 11 を製造する。

[0095] ー実施形態 2 の効果ー

したがって、この実施形態 2 によると、上記実施形態 1 と同様に、半導体層 24 とドレイン電極 30 及びソース電極 29 との接触面積を増大させて、コンタクト抵抗を好適に低下させることができ、しかも、コンタクトホール 37 内に形成されるドレイン電極 30 及びソース電極 29 の断線を防止することができる。

[0096] そのことに加え、半導体層 24 と重なる領域に設けた遮光膜 51a と、半導体層 24 との双方に対して、ソース電極 29 を接続するようにしたので、

ソース電極 29 から配線を引き回すための配線引き回し構造 60 に要する面積を大幅に縮小することができる。その結果、回路設計の自由度を高めることができる。

[0097] すなわち、従来では、図 12 に示すように、ソース電極 29 が形成されているコンタクトホール 37 の側方に、コンタクトホール 55 を別個独立に形成していた。そして、そのコンタクトホール 55 の下方において、ソース電極 29 から引き出された電極部 56 と、ゲート絶縁膜 33 の下方に形成された配線部 57 とを接続するようにしていた。そのため、配線引き回し構造 61 のために必要な面積が比較的大きくならざるを得なかった。

[0098] これに対し、本発明では、図 13 に示すように、ソース電極 29 が形成されているコンタクトホール 37 の下方に遮光膜 51a を配置して、ソース電極 29 を半導体層 24 及び遮光膜 51a の双方に接続するようにしたので、配線引き回し構造 60 に要する面積を大幅に縮小できることとなる。

[0099] 《発明の実施形態 3》

図 14～図 17 は、本発明の実施形態 3 を示している。

[0100] 図 14 は、本実施形態 3 における T F T 基板 11 の一部を拡大して示す断面図である。図 15 は、層間絶縁膜 35 の表面に形成されたレジスト膜 44 を示す断面図である。図 16 は、第 1 ドライエッチング工程によって形成されたホール部 43, 47 を示す断面図である。図 17 は、第 2 ドライエッチング工程によって形成されたコンタクトホール 37, 38 を示す断面図である。

[0101] 上記実施形態 1 では、T F T 23 がトップゲート型であったのに対し、本実施形態 3 は、T F T 23 がボトムゲート型である点で相違している。

[0102] 本実施形態 3 の T F T 基板 11 は、図 14 に示すように、絶縁性基板としてのガラス基板 21 と、ガラス基板 21 上に形成された第 1 絶縁層であるバッファ層 22 と、バッファ層 22 上に形成された T F T 23 とを有している。

[0103] T F T 23 は、バッファ層 22 上に形成されたゲート電極 25 と、ゲート

電極 25 に対向して配置された半導体層 24 を有している。半導体層 24 は、ゲート電極 25 に対向するチャネル領域 26 と、チャネル領域 26 を挟むように設けられた第 1 導電膜としてのドレイン領域 27 及びソース領域 28 を有している。

[0104] ソース領域 28 には第 2 導電膜としてのソース電極 29 が接続される一方、ドレイン領域 27 には第 2 導電膜としてのドレイン電極 30 が接続されている。ドレイン電極 30 には、画素電極 31 が接続されている。

[0105] バッファ層 22 の表面には、ゲート電極 25 及び配線部 34 が形成されている。そして、バッファ層 22 上には、ゲート電極 25 及び配線部 34 を覆うようにゲート絶縁膜 33 が形成されている。ゲート絶縁膜 33 上には、半導体層 24 を覆うように層間絶縁膜 35 が形成されている。本実施形態の第 2 絶縁層 35 は、層間絶縁膜 35 によって構成される一方、本実施形態の第 1 絶縁層 22、33 は、バッファ層 22 及びゲート絶縁膜 33 によって構成されている。

[0106] 本実施形態のコンタクトホール 37 は、ドレイン領域 27 及びソース領域 28 の上方位置に形成されている。コンタクトホール 37 は、半導体層 24 に形成されている部分の内径がゲート絶縁膜 33 及びバッファ層 22 に形成されている部分の内径と略同じ大きさであり、且つ、層間絶縁膜 35 に形成されている部分の内径が半導体層 24、ゲート絶縁膜 33 及びバッファ層 22 に形成されている部分の内径よりも大きく形成されている。

[0107] 層間絶縁膜 35 の表面及びコンタクトホール 37 の内側には、当該コンタクトホール 37 内においてドレイン領域 27 又はソース領域 28 に接続された第 2 導電膜であるドレイン電極 30 及びソース電極 29 が形成されている。

[0108] また、配線部 34 の上方位置には、層間絶縁膜 35 及びゲート絶縁膜 33 を貫通するコンタクトホール 38 が形成されている。層間絶縁膜 35 の表面及びコンタクトホール 38 の内側には、電極部 40 が形成されている。電極部 40 はコンタクトホール 38 内で配線部 34 に接続されている。

[0109] 層間絶縁膜 35 上には、感光性樹脂からなる保護膜 41 が形成されている。そして、保護膜 41 の表面及びドレイン電極 30 の内側には、画素電極 31 が形成されている。

[0110] ー製造方法ー

次に、上記 T F T 基板 11 の製造方法について説明する。

[0111] T F T 基板 11 を製造する場合には、まず、例えば、ガラス基板 21 の表面に SiO_2 膜を C V D 法により成膜した後に、その SiO_2 膜の表面に SiN 膜を C V D 法により成膜する。そうして、厚みが $100\text{ nm} \sim 400\text{ nm}$ であるバッファ層 22 を形成する。

[0112] 次に、ゲート材料として例えば TaN 膜及び W 膜を、この順にバッファ層 22 の表面にスパッタ法によって成膜する。その後、そのゲート材料層にフォトリソグラフィ及びエッチングを行うことにより、所定形状のゲート電極 25 及び配線部 34 を形成する。

[0113] 次に、ゲート電極 25 及び配線部 34 を覆うようにバッファ層 22 上にゲート絶縁膜 33 を形成する。すなわち、厚みが $50\text{ nm} \sim 200\text{ nm}$ である SiO_2 膜を、バッファ層 22 の表面に C V D 法により成膜する。

[0114] 次に、例えば、ゲート絶縁膜 33 の表面にシリコン膜を $30\text{ nm} \sim 100\text{ nm}$ の厚みで成膜して結晶化することにより、連続粒界結晶シリコン膜を形成する。その後、この連続粒界結晶シリコン膜を、フォトリソグラフィ及びエッチングによって、所定形状の半導体層 24 を形成する。

[0115] その後、半導体層 24 を覆うように、ゲート絶縁膜 33 の表面に層間絶縁膜 35 を形成する。すなわち、ゲート絶縁膜 33 の表面に、C V D 法により SiN 膜及び SiO_2 膜をこの順に積層し、 $300\text{ nm} \sim 1000\text{ nm}$ の層間絶縁膜 35 を形成する。

[0116] 次に、コンタクトホール 37, 38 を形成する。まず、第 1 ドライエッチング工程では、図 15 及び図 16 に示すように、層間絶縁膜 35、半導体層 24、ゲート絶縁膜 33 及びバッファ層 22 をドライエッチングして、当該層間絶縁膜 35、半導体層 24、ゲート絶縁膜 33 及びバッファ層 22 に亘

って延びるホール部43を形成する。

[0117] すなわち、図15に示すように、層間絶縁膜35の表面にレジスト膜44を形成する。レジスト膜44には、半導体層24のドレイン領域27及びソース領域28の上方位置に第1開口部45が形成され、配線部34の上方位置に第2開口部46が形成されている。

[0118] その後、図16に示すように、シリコン（半導体層24）に対する第2絶縁層（層間絶縁膜35）の選択比が小さいエッチングガス（例えば SF_6 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）を用いて、第1開口部45及び第2開口部46から露出している層間絶縁膜35等をドライエッチングする。すなわち、同じ条件下での半導体層24と層間絶縁膜35とのエッチングレートの差が比較的小さい。

[0119] そのことにより、第1開口部45の下方に、層間絶縁膜35及び半導体層24を貫通してゲート絶縁膜33まで達するホール部43を形成する。一方、第2開口部46の下方に、層間絶縁膜35及びゲート絶縁膜33を貫通するホール部47を形成する。

[0120] 続いて、図17に示すように、第2ドライエッチング工程では、ホール部43を構成している半導体層24がエッチングされないように、ホール部43を構成している層間絶縁膜35をドライエッチングすることにより、その層間絶縁膜35における内径が半導体層24及びゲート絶縁膜33における内径よりも大きいコンタクトホール37を形成する。これと同時に、ホール部47を構成している層間絶縁膜35及びゲート絶縁膜33をドライエッチングして、コンタクトホール38を形成する。

[0121] 第2ドライエッチング工程では、シリコン（半導体層24）に対する第2絶縁層（層間絶縁膜35）の選択比が大きいエッチングガス（例えば C_4F_8 、 CF_4 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）を用いる。すなわち、同じ条件下での半導体層24と層間絶縁膜35とのエッチングレートの差が比較的大きく、半導体層24が殆どエッチングされずに層間絶縁膜35がエッチングされる。

[0122] このとき、レジスト膜44も僅かにエッチングされ、その第1開口部45及び第2開口部46の内径が大きくなる。そのため、層間絶縁膜35も、そのホール部43、47の内径が大きくなるようにエッチングされる。その結果、図17に示すように、断面段差状に形成されることとなる。

[0123] その後、レジスト膜44を、溶剤やアルカリ溶液等の薬剤を含む剥離液により、層間絶縁膜35の表面から剥離して除去する。続いて、レジスト膜44が除去された基板を例えば純水等によって洗浄した後に、十分に乾燥させる。

[0124] 次に、コンタクトホール37内において半導体層24に接続されたドレイン電極30及びソース電極29を形成すると共に、コンタクトホール38内において配線部34に接続された電極部40を形成する。

[0125] すなわち、コンタクトホール37、38が形成された層間絶縁膜35の表面に、例えばTiとAlとTiとの積層膜をスパッタ法等により形成し、フォトリソグラフィ及びエッチングを行うことによって、図14に示すように、ドレイン電極30、ソース電極29及び電極部40を形成する。

[0126] 次に、上記ドレイン電極30等を覆うように感光性樹脂膜を塗布して、保護膜41を形成する。そして、ドレイン電極30の上方位置において保護膜41にコンタクトホール39を形成する。その後、保護膜41の表面とコンタクトホール39の内部とに、例えばITO等の透明導電膜を形成し、これをエッチングすることによって画素電極31を形成する。そうして、TF基板11を製造する。

[0127] ー実施形態3の効果ー

したがって、本実施形態3によっても、上記実施形態1と同様に、半導体層24とドレイン電極30及びソース電極29との接触面積を増大させて、コンタクト抵抗を好適に低下させることができ、しかも、コンタクトホール37内に形成されるドレイン電極30及びソース電極29の断線を防止することができる。

[0128] 《発明の実施形態4》

図 18～図 20 は、本発明の実施形態 4 を示している。

[0129] 図 18 は、本実施形態 4 における T F T 基板 11 の一部を拡大して示す断面図である。図 19 は、第 1 ドライエッチング工程によって形成されたホール部 43, 47, 48 を示す断面図である。図 20 は、第 2 ドライエッチング工程によって形成されたコンタクトホール 37, 38, 53 を示す断面図である。

[0130] 上記実施形態 2 では、T F T 23 がトップゲート型であったのに対し、本実施形態 4 は、T F T 23 がボトムゲート型である点で相違している。

[0131] 本実施形態 4 における T F T 基板 11 は、図 18 に示すように、ガラス基板 21 上に形成された第 3 導電膜 51 としての遮光膜 51 を有している。遮光膜 51 は、ソース電極 29 から引き回された配線引き回し構造 60 を構成している。

[0132] 遮光膜 51 は、ソース領域 28 の下方に形成された遮光膜 51 a と、遮光膜 51 a の側方に設けられた遮光膜 51 b とを有し、それぞれバッファ層 22 によって覆われている。遮光膜 51 a 及び遮光膜 51 b は電氣的に接続されている。

[0133] ソース領域 28 を貫通しているコンタクトホール 37 は、遮光膜 51 a の上方位置に形成され、その下端が遮光膜 51 a に至るまで延びている。そして、ソース電極 29 は、コンタクトホール 37 を介して遮光膜 51 a に接続されている。

[0134] また、図 18 に示すように、層間絶縁膜 35、ゲート絶縁膜 33 及びバッファ層 22 には、遮光膜 51 b の上方位置においてコンタクトホール 53 が形成されている。コンタクトホール 53 は、遮光膜 51 b 上でバッファ層 22 を貫通している。

[0135] コンタクトホール 53 の内部及び層間絶縁膜 35 の表面には、電極部 54 が上記ドレイン電極 30 等と同じ材料によって形成されている。電極部 54 は、コンタクトホール 53 内で遮光膜 51 b に接続されている。こうして、ソース電極 29 から半導体層 24 及び遮光膜 51 a を経て電極部 54 へ至る

配線引き回し構造 60 が形成されている。

[0136] 尚、例えば、この遮光膜 51a と遮光膜 51b とは、必ずしも同一の引き回し配線でなく、それぞれ単独の配線を構成するように形成してもよい。

[0137] ー製造方法ー

次に、上記 TFT 基板 11 の製造方法について説明する。

[0138] まず、ガラス基板 21 上に例えばスパッタ法等により成膜した Mo 膜を所定の形状にエッチングすることによって、遮光膜 51a、51b を形成する。次に、遮光膜 51a、51b を覆うようにガラス基板 21 上にバッファ層 22 を形成する。その後、上記実施形態 3 と同様に、ゲート電極 25、配線部 34、ゲート絶縁膜 33、半導体層 24、及び層間絶縁膜 35 を形成する。

[0139] そして、コンタクトホールを形成する工程では、遮光膜 51a、51b の上方位置にコンタクトホール 37 を形成する。第 1 ドライエッチング工程では、図 19 に示すように、層間絶縁膜 35、半導体層 24 及びゲート絶縁膜 33 をドライエッチングして、当該層間絶縁膜 35、半導体層 24 及びゲート絶縁膜 33 に亘って延びるホール部 43 を形成する。また、これと同時に、ホール部 47、48 を形成する。

[0140] すなわち、図 19 に示すように、層間絶縁膜 35 の表面にレジスト膜 44 を形成する。レジスト膜 44 には、半導体層 24 のドレイン領域 27 及びソース領域 28 の上方位置に第 1 開口部 45 が形成され、配線部 34 の上方位置に第 2 開口部 46 が形成されている。さらに、遮光膜 51b の上方位置に第 3 開口部 49 が形成されている。

[0141] その後、図 19 に示すように、シリコン（半導体層 24）に対する第 2 絶縁層（層間絶縁膜 35）の選択比が小さいエッチングガス（例えば SF_6 、 O_2 、Ar 及び H_2 等を含むエッチングガス）を用いて、第 1 開口部 45 及び第 2 開口部 46 から露出している層間絶縁膜 35 等をドライエッチングする。すなわち、同じ条件下での半導体層 24 と層間絶縁膜 35 とのエッチングレートの差が比較的小さい。

- [0142] そのことにより、第1開口部45の下方に、層間絶縁膜35及び半導体層24を貫通してゲート絶縁膜33まで達するホール部43を形成する。一方、第2開口部46の下方に、層間絶縁膜35及びゲート絶縁膜33を貫通するホール部47を形成する。さらに、第3開口部49の下方に、層間絶縁膜35を貫通してゲート絶縁膜33に至るホール部48を形成する。
- [0143] 続いて、図20に示すように、第2ドライエッチング工程では、ホール部43を構成している半導体層24がエッチングされないように、ホール部43を構成している層間絶縁膜35をドライエッチングすることにより、その層間絶縁膜35における内径が半導体層24、ゲート絶縁膜33及びバッファ層22における内径よりも大きいコンタクトホール37を形成する。
- [0144] これと同時に、ホール部47を構成している層間絶縁膜35及びゲート絶縁膜33をドライエッチングして、コンタクトホール38を形成する。また、ホール部48を構成している層間絶縁膜35及びゲート絶縁膜33とバッファ層22とをドライエッチングして、コンタクトホール53を形成する。
- [0145] 第2ドライエッチング工程では、シリコン（半導体層24）に対する第2絶縁層（層間絶縁膜35）の選択比が大きいエッチングガス（例えば C_4F_8 、 CF_4 、 O_2 、 Ar 及び H_2 等を含むエッチングガス）を用いる。すなわち、同じ条件下での半導体層24と層間絶縁膜35とのエッチングレートの差が比較的大きく、半導体層24が殆どエッチングされずに層間絶縁膜35がエッチングされる。
- [0146] このとき、レジスト膜44も僅かにエッチングされ、その第1開口部45、第2開口部46及び第3開口部49の内径が大きくなる。そのため、層間絶縁膜35及びゲート絶縁膜33も、そのホール部43、47、48の内径が大きくなるようにエッチングされる。その結果、図20に示すように、断面段差状のコンタクトホール37と、コンタクトホール38、53とが形成されることとなる。
- [0147] その後、レジスト膜44を、溶剤やアルカリ溶液等の薬剤を含む剥離液により、層間絶縁膜35の表面から剥離して除去する。続いて、レジスト膜4

4 が除去された基板を例えば純水等によって洗浄した後に、十分に乾燥させる。

[0148] 次に、図 18 に示すように、コンタクトホール 37 内において半導体層 24 に接続されたドレイン電極 30 及びソース電極 29 を形成する。特に、ソース電極 29 は、半導体層 24 及び遮光膜 51a の双方に接続させる。これと同時に、コンタクトホール 38 内において配線部 34 に接続された電極部 40 を形成すると共に、コンタクトホール 53 内において遮光膜 51b に接続された電極部 54 を形成する。その後、上記実施形態 3 と同様に、保護膜 41 及び画素電極 31 等を形成して TFT 基板 11 を製造する。

[0149] ー実施形態 4 の効果ー

したがって、本実施形態 4 によっても、上記実施形態 1 と同様に、半導体層 24 とドレイン電極 30 及びソース電極 29 との接触面積を増大させて、コンタクト抵抗を好適に低下させることができ、しかも、コンタクトホール 37 内に形成されるドレイン電極 30 及びソース電極 29 の断線を防止することができる。

[0150] そのことに加え、半導体層 24 と重なる領域に設けた遮光膜 51a と、半導体層 24 との双方に対して、ソース電極 29 を接続するようにしたので、ソース電極 29 から配線を引き回すための配線引き回し構造 60 に要する面積を大幅に縮小することができる。その結果、回路設計の自由度を高めることができる。

[0151] 《その他の実施形態》

上記各実施形態では、回路基板の例として TFT 基板 11 について説明したが、本発明はこれに限らず、絶縁性基板上に積層された第 1 導電層及び絶縁層に対してコンタクトホールが形成され、当該コンタクトホール内で第 1 導電層に第 2 導電層が接続されたその他の回路基板について、同様に適用することができる。

[0152] また、表示装置の例として液晶表示装置について説明したが、本発明はこれに限らず、上記回路基板を備える有機 EL 表示装置等の他の表示装置につ

いても、同様に適用することができる。

[0153] また、本発明は上記実施形態 1～4 に限定されるものでなく、本発明には、これらの実施形態 1～4 を適宜組み合わせた構成が含まれる。

産業上の利用可能性

[0154] 以上説明したように、本発明は、回路基板及びその製造方法並びに表示装置について有用である。

符号の説明

[0155]	1	液晶表示装置
	1 1	T F T 基板（回路基板）
	2 1	ガラス基板（絶縁性基板）
	2 2	バッファ層（第 1 絶縁層）
	2 4	半導体層（第 1 導電膜）
	2 7	ドレイン領域（第 1 導電膜）
	2 8	ソース領域（第 1 導電膜）
	2 9	ソース電極（第 2 導電膜）
	3 0	ドレイン電極（第 2 導電膜）
	3 1	画素電極
	3 3	ゲート絶縁膜（第 1 絶縁層、第 2 絶縁層）
	3 5	層間絶縁膜（第 2 絶縁層）
	3 7, 3 8, 3 9, 5 3, 5 5	コンタクトホール
	4 3, 4 7, 4 8	ホール部
	5 1, 5 1 a, 5 1 b	遮光膜、第 3 導電膜

請求の範囲

- [請求項1] 絶縁性基板と、
上記絶縁性基板上に形成された第1絶縁層と、
上記第1絶縁層上に形成された第1導電膜と、
上記第1導電膜を覆うように上記第1絶縁層上に形成された第2絶縁層と、
上記第1絶縁層、上記第1導電膜及び上記第2絶縁層に亘って形成されたコンタクトホールと、
上記コンタクトホール内において上記第1導電膜に接続された第2導電膜とを備えた回路基板であって、
上記コンタクトホールは、上記第2絶縁層に形成されている部分の内径が上記第1導電膜及び第1絶縁層に形成されている部分の内径よりも大きく形成され、
上記第2導電膜は、上記コンタクトホール内における上記第1導電膜の上記絶縁性基板と反対側の表面と、上記コンタクトホールを形成する上記第1導電膜の内壁面とに接触して接続されていることを特徴とする回路基板。
- [請求項2] 請求項1に記載された回路基板において、
上記絶縁性基板上には、上記第1絶縁膜に覆われた第3導電膜が形成され、
上記コンタクトホールは、上記第3導電膜の上方位置に形成され、
上記第2導電膜は、上記コンタクトホールを介して上記第3導電膜に接続されていることを特徴とする回路基板。
- [請求項3] 請求項2に記載された回路基板において、
上記第3導電膜は、遮光膜であることを特徴とする回路基板。
- [請求項4] 請求項1乃至3の何れか1つに記載された回路基板において、

上記第1導電膜は半導体層であることを特徴とする回路基板。

[請求項5]

第1基板と、

上記第1基板に対向して配置された第2基板とを備えた表示装置であって、

上記第1基板は、絶縁性基板と、該絶縁性基板上に形成された第1絶縁層と、該第1絶縁層上に形成された第1導電膜と、該第1導電膜を覆うように上記第1絶縁層上に形成された第2絶縁層と、上記第1絶縁層、上記第1導電膜及び上記第2絶縁層に亘って形成されたコンタクトホールと、該コンタクトホール内において上記第1導電膜に接続された第2導電膜とを備え、

上記コンタクトホールは、上記第2絶縁層に形成されている部分の内径が上記第1導電膜及び第1絶縁層に形成されている部分の内径よりも大きく形成され、

上記第2導電膜は、上記コンタクトホール内における上記第1導電膜の上記絶縁性基板と反対側の表面と、上記コンタクトホールを形成する上記第1導電膜の内壁面とに接触して接続されていることを特徴とする表示装置。

[請求項6]

請求項5に記載された表示装置において、

上記絶縁性基板上には、上記第1絶縁膜に覆われた第3導電膜が形成され、

上記コンタクトホールは、上記第3導電膜の上方位置に形成され、

上記第2導電膜は、上記コンタクトホールを介して上記第3導電膜に接続されている

ことを特徴とする表示装置。

[請求項7]

請求項6に記載された表示装置において、

上記第3導電膜は、遮光膜である

ことを特徴とする表示装置。

[請求項8] 請求項5乃至7の何れか1つに記載された表示装置において、
 上記第1導電膜は半導体層である
 ことを特徴とする表示装置。

[請求項9] 絶縁性基板上に第1絶縁層を形成する工程と、
 上記第1絶縁層上に第1導電膜を形成する工程と、
 上記第1導電膜を覆うように上記第1絶縁層上に第2絶縁層を形成
 する工程と、
 上記第1絶縁層、上記第1導電膜及び上記第2絶縁層に亘って延び
 るコンタクトホールを形成する工程と、
 上記コンタクトホール内において上記第1導電膜に接続された第2
 導電膜を形成する工程とを有する回路基板の製造方法であって、
 上記コンタクトホールを形成する工程は、第1ドライエッチング工
 程と、該第1ドライエッチング工程の後に行われる第2ドライエッチ
 ング工程とを有し、
 上記第1ドライエッチング工程では、上記第2絶縁層、上記第1導
 電膜及び上記第1絶縁層をドライエッチングして、当該第2絶縁層、
 第1導電膜及び第1絶縁層に亘って延びるホール部を形成し、
 上記第2ドライエッチング工程では、上記ホール部を構成している
 上記第1導電膜がエッチングされないように、上記ホール部を構成し
 ている上記第2絶縁層をドライエッチングすることにより、上記第2
 絶縁層における内径が上記第1導電膜及び上記第1絶縁層における内
 径よりも大きい上記コンタクトホールを形成する
 ことを特徴とする回路基板の製造方法。

[請求項10] 請求項9に記載された回路基板の製造方法において、
 上記絶縁性基板上に第3導電膜を形成する工程を有し、
 上記第1絶縁層を形成する工程では、上記第3導電膜を覆うように
 上記絶縁性基板上に上記第1絶縁層を形成し、
 上記コンタクトホールを形成する工程では、上記第3導電膜の上方

位置に上記コンタクトホールを形成し、

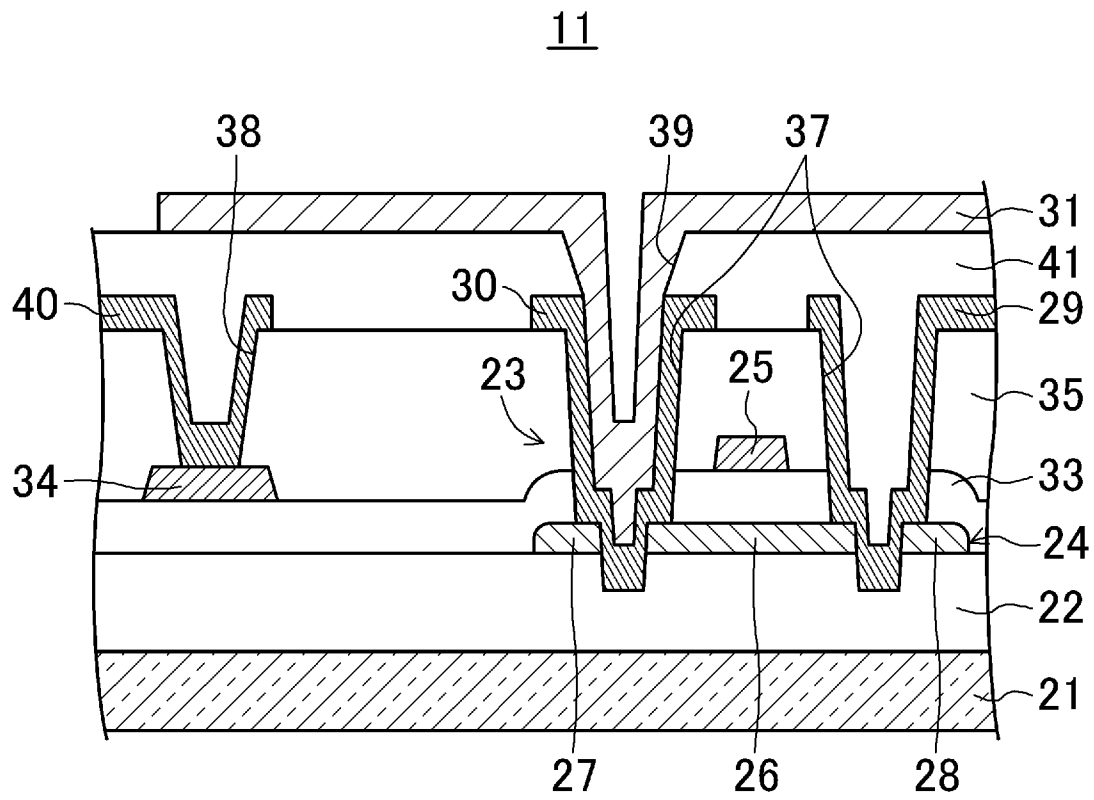
上記第 1 ドライエッチング工程では、上記第 3 導電膜が上記第 1 絶縁層から露出するように上記ホール部を形成し、

上記第 2 導電膜を形成する工程では、上記第 2 導電膜を上記第 1 導電膜及び第 3 導電膜に接続することを特徴とする回路基板の製造方法。

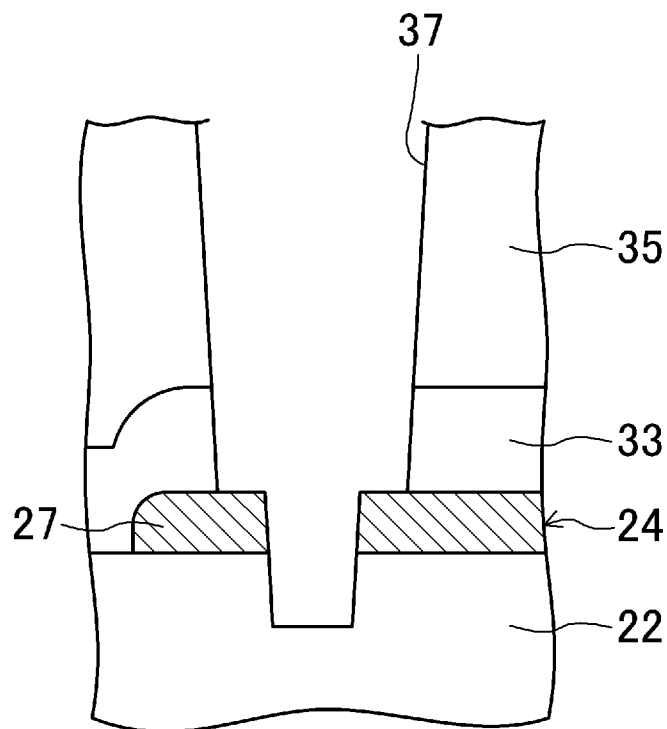
[請求項 11] 請求項 10 に記載された回路基板の製造方法において、
上記第 3 導電膜は、遮光膜であることを特徴とする回路基板の製造方法。

[請求項 12] 請求項 9 乃至 11 の何れか 1 つに記載された回路基板の製造方法において、
上記第 1 導電膜は半導体層であることを特徴とする回路基板の製造方法。

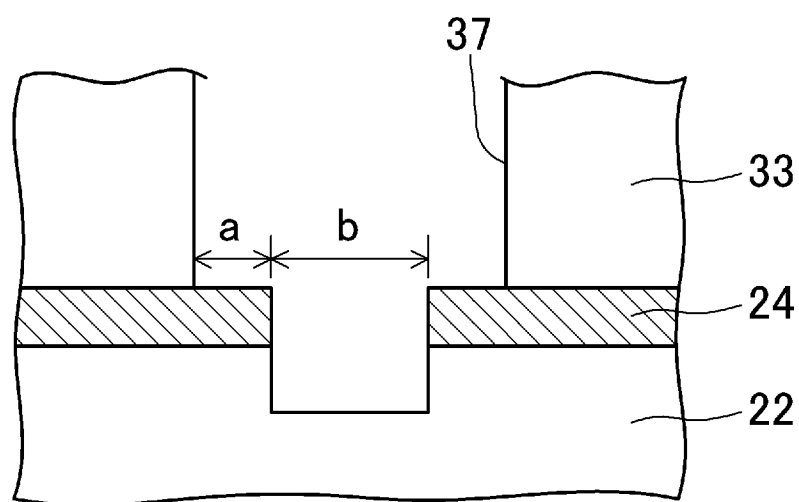
[図1]



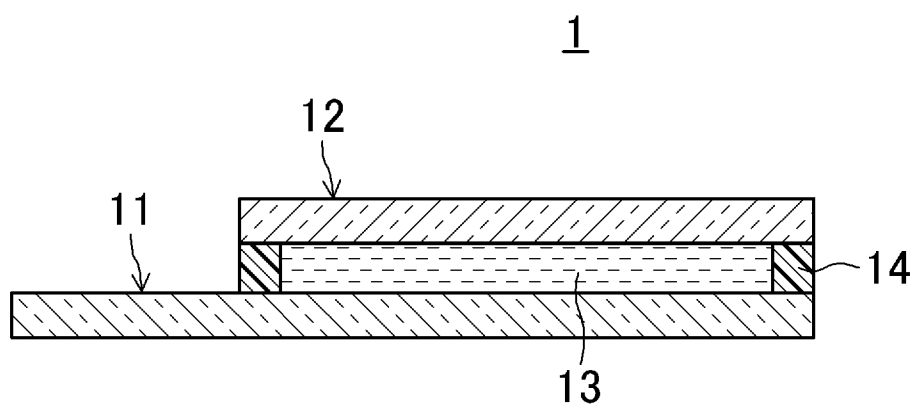
[図2]



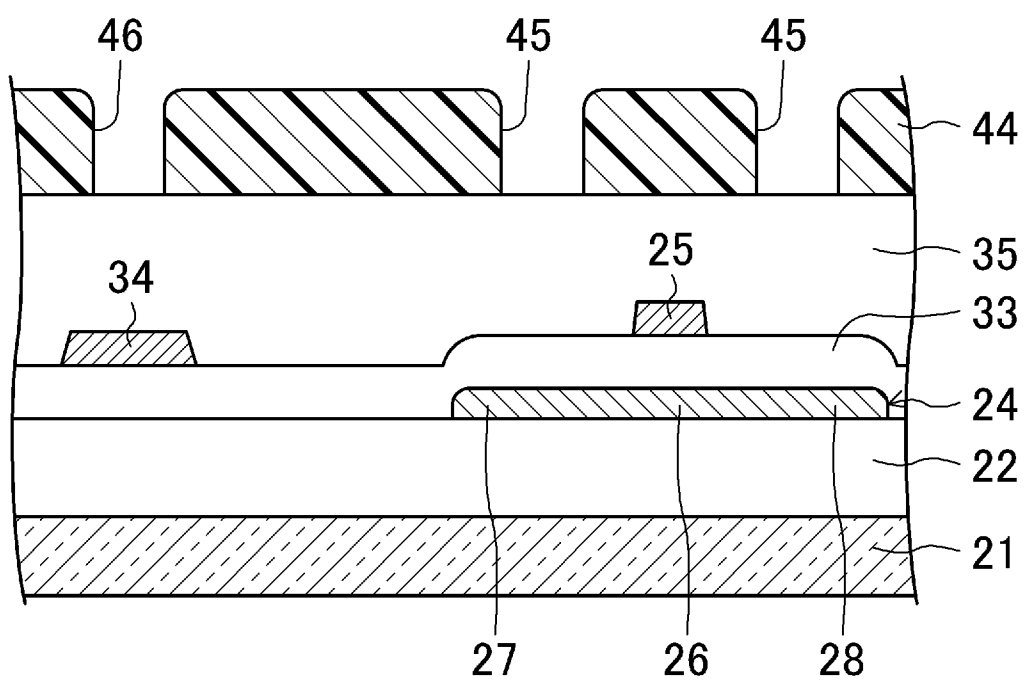
[図3]



[図4]



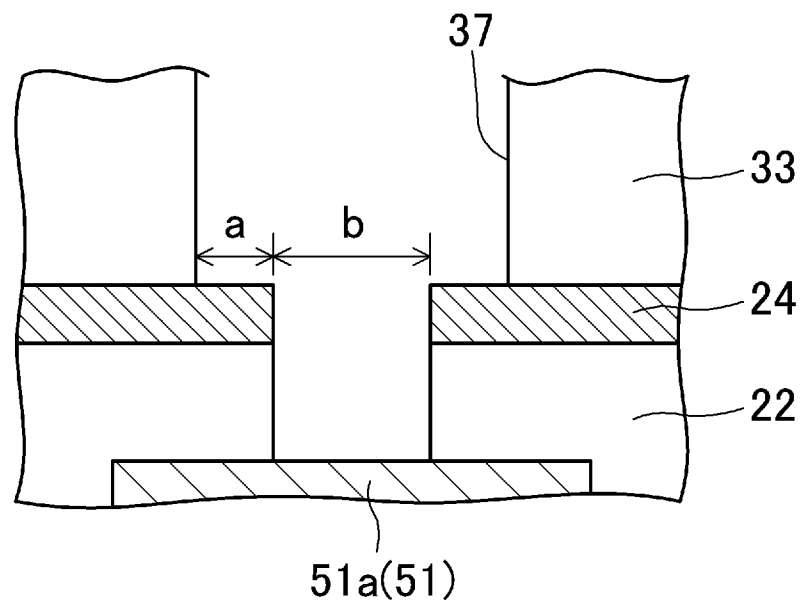
[図5]



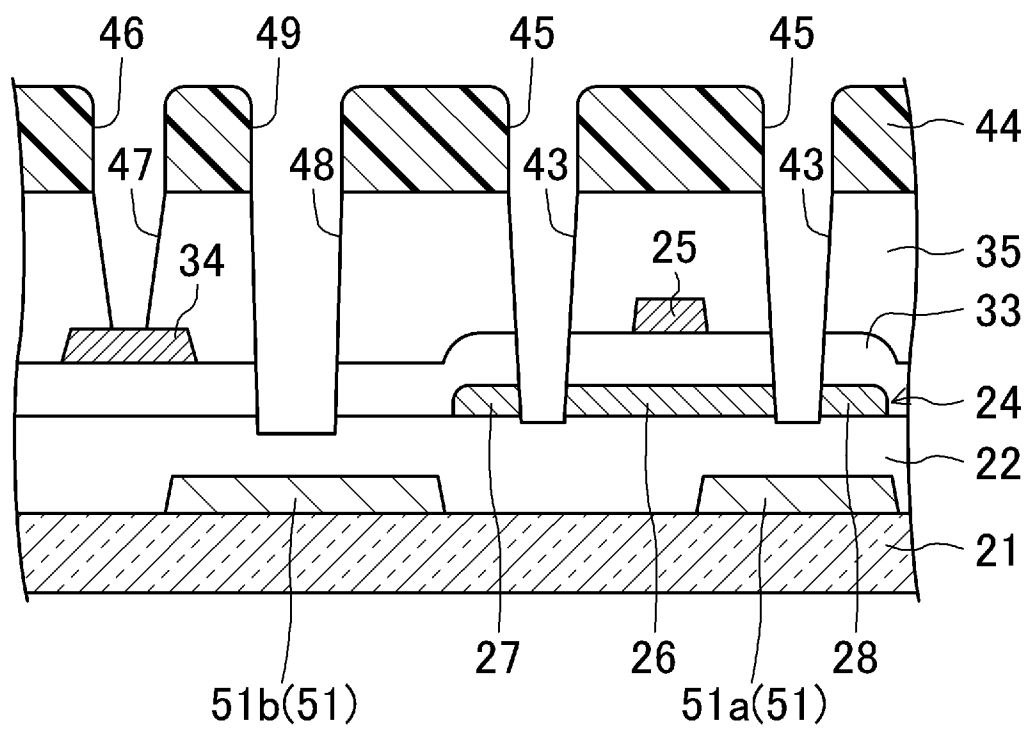
A detailed cross-sectional view of a semiconductor device. The structure consists of several layers and features. At the bottom is a substrate 21 with diagonal hatching. Above it is a layer 22. A layer 24 is formed on top of layer 22, with openings 27, 26, and 28. Within these openings are structures 34, 25, and 33 respectively. Above layer 24 is a layer 35. On top of layer 35 are structures 43, 45, and 44. Structure 43 is a trapezoidal shape, while 45 and 44 are rectangular. A layer 46 is on top of structure 43, and a layer 47 is on top of structure 45. The top surface of the device is flat.

This cross-sectional view shows a semiconductor device with a central raised portion and side structures. The central portion includes a top layer (45), a middle layer (37), and a bottom layer (25). The side structures include a top layer (46), a middle layer (38), and a bottom layer (34). The device is mounted on a substrate (21) with a base layer (22) and a contact layer (24). The central portion is connected to the substrate via a contact (26) and a pad (27). The side structures are connected to the substrate via a contact (28) and a pad (28).

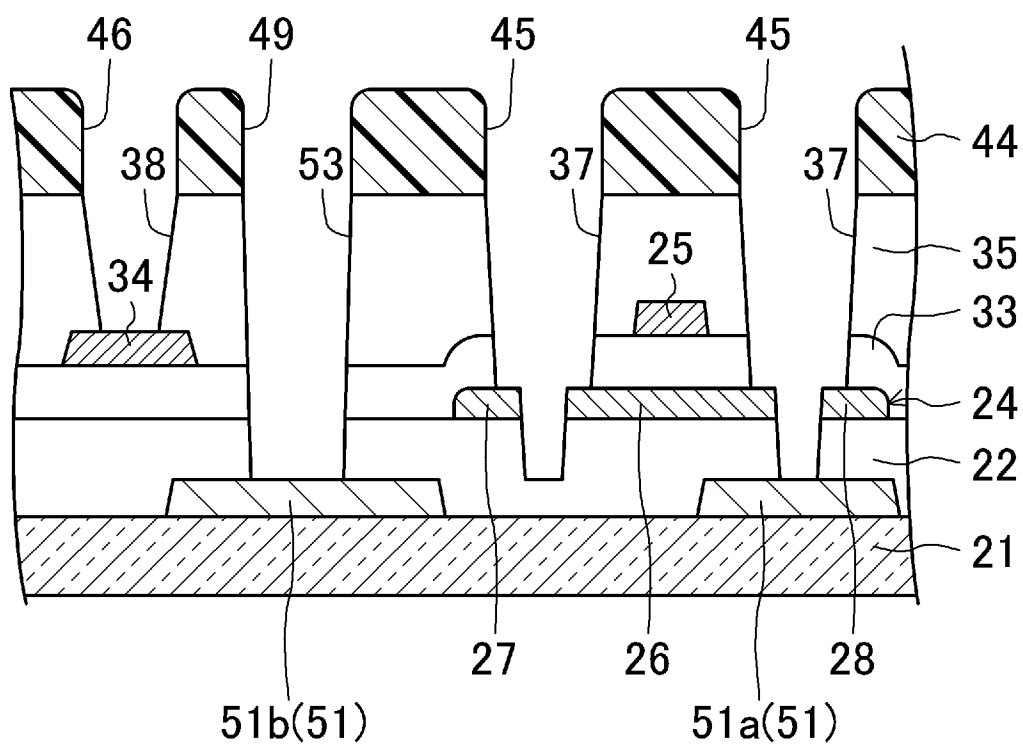
11



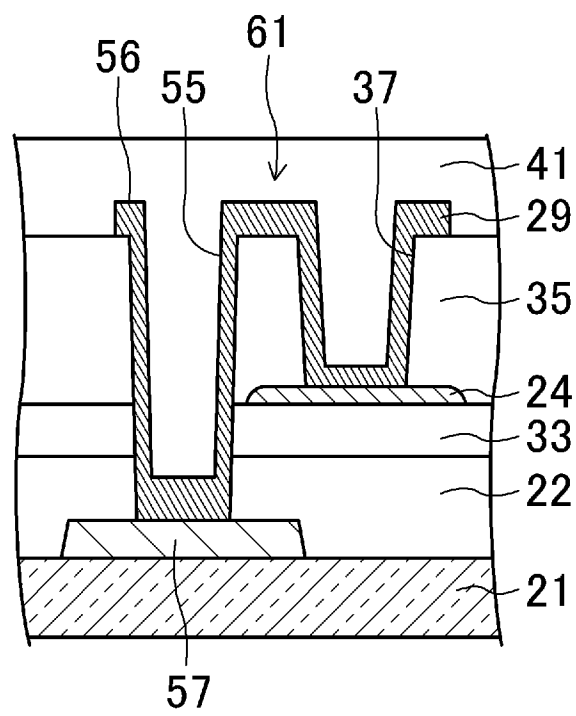
[図10]



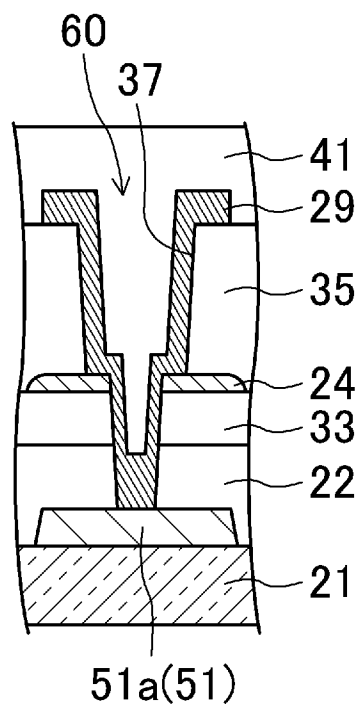
[図11]



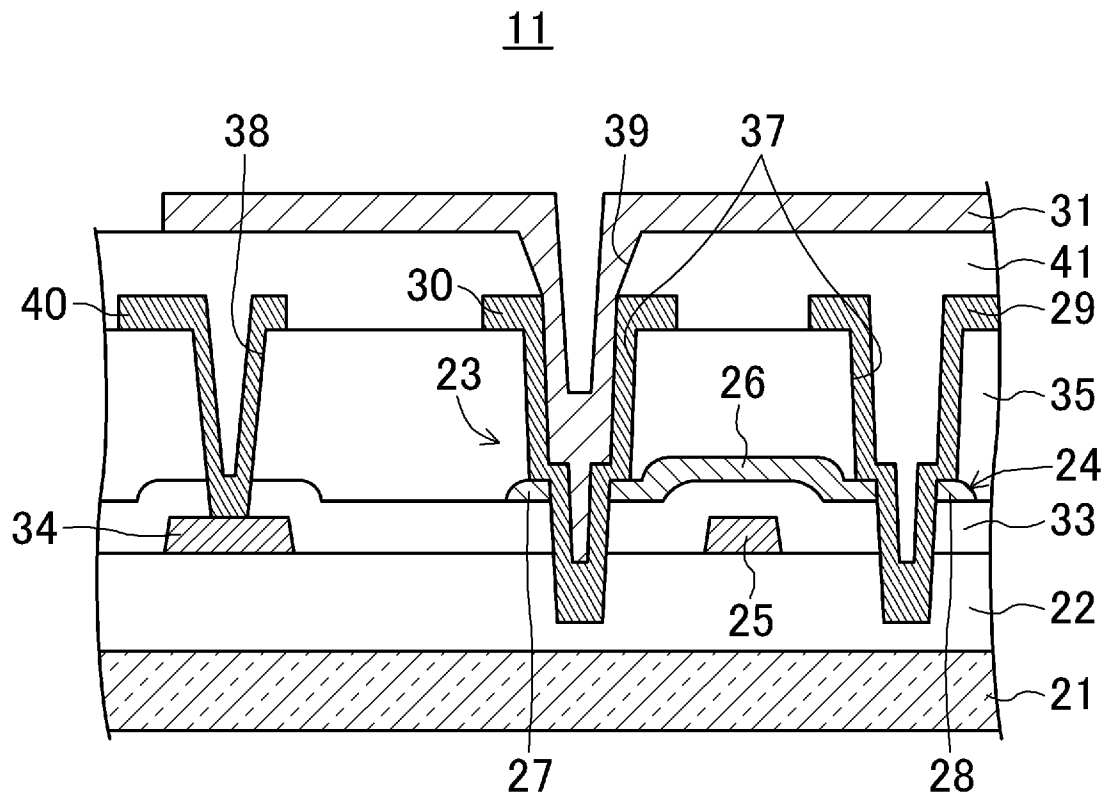
[図12]



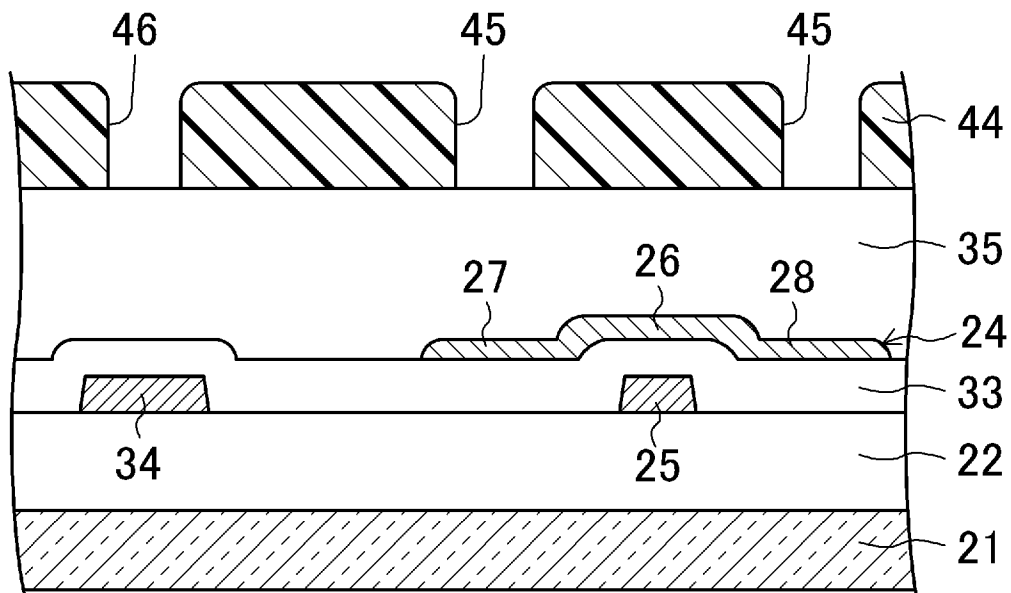
[図13]



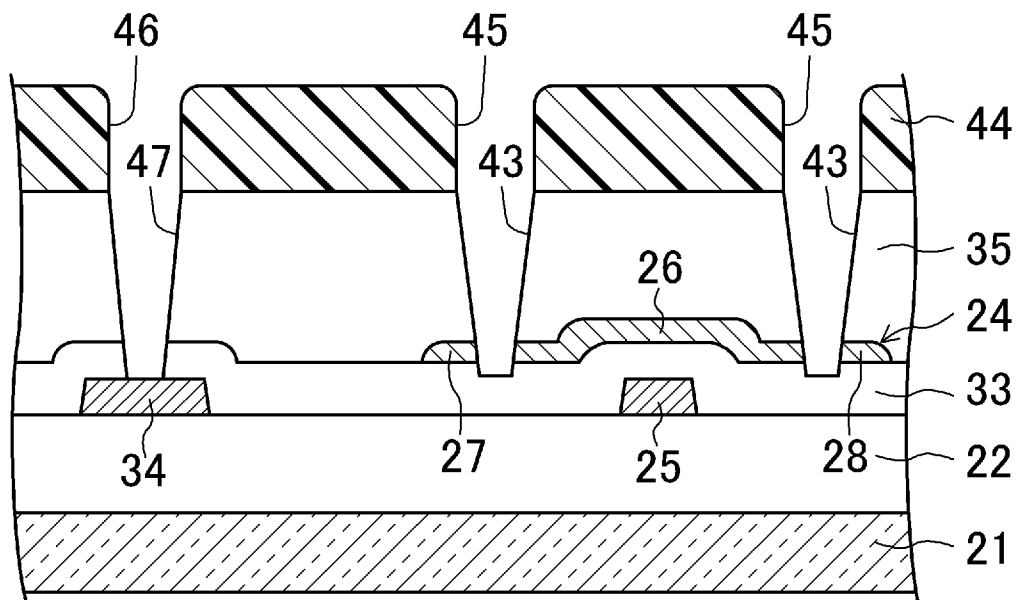
[図14]



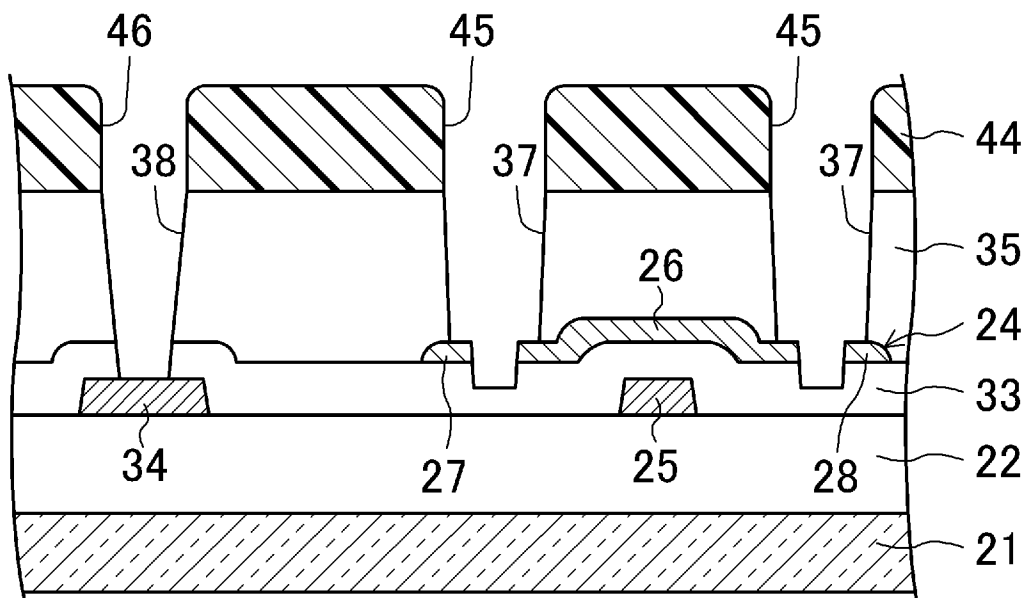
[図15]



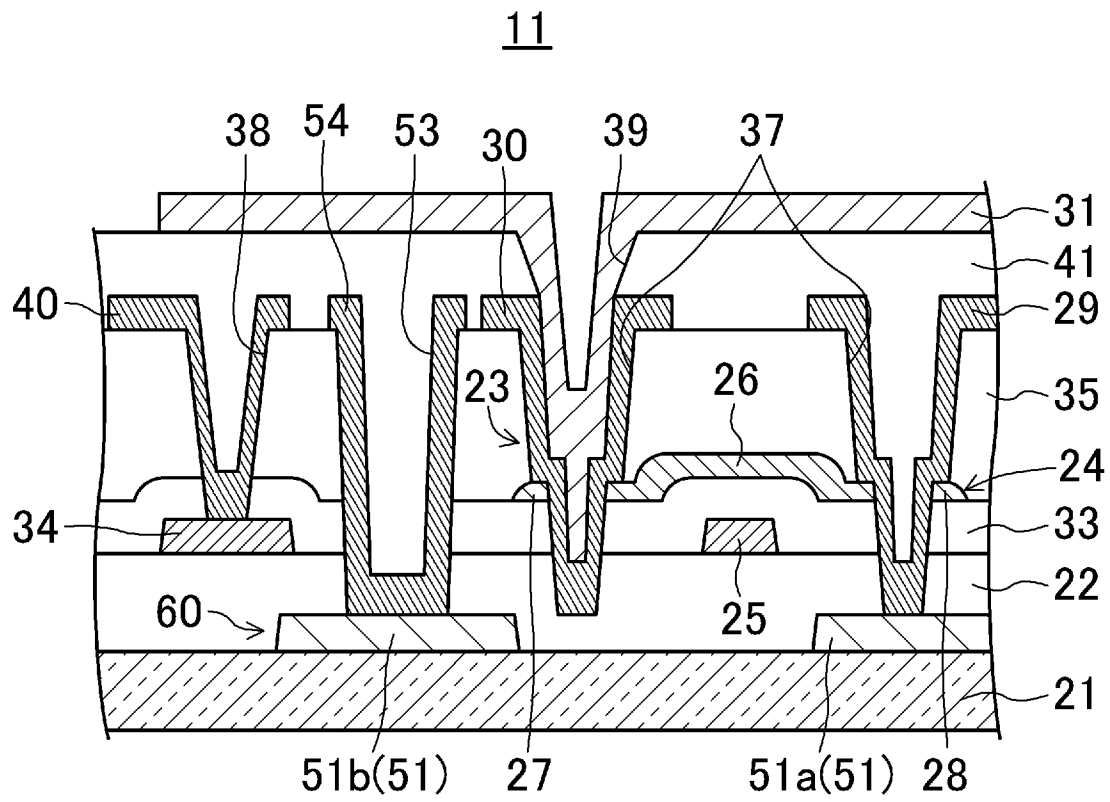
[図16]



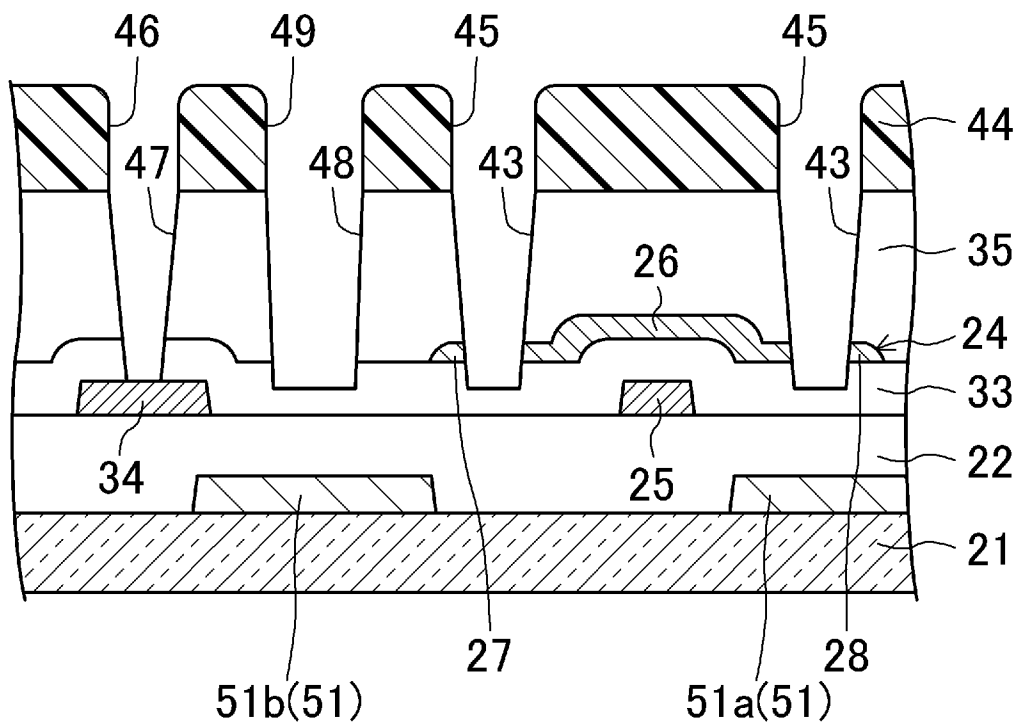
[図17]



[図18]

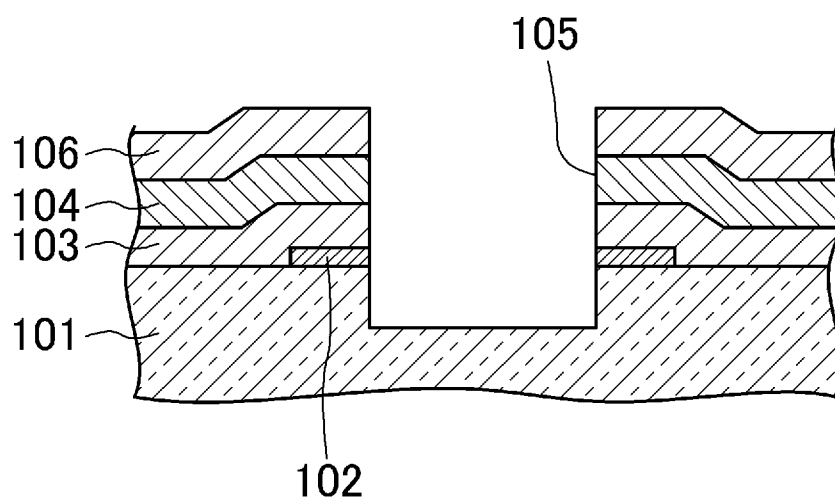


[図19]

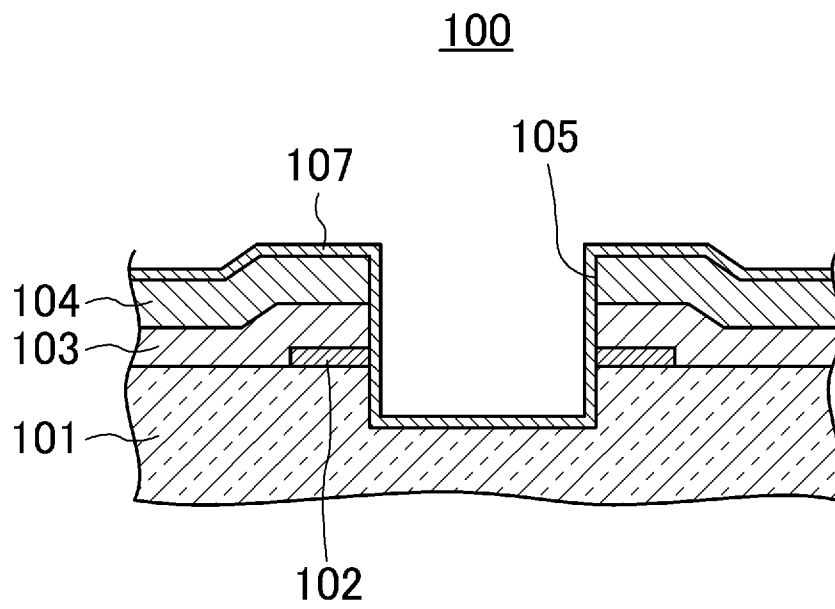


This cross-sectional view shows a semiconductor device with a base layer 21. On top of the base layer, there are several pillars or structures. The leftmost pillar has a top layer 46, a middle layer 38, and a base layer 34. The second pillar from the left has a top layer 49, a middle layer 53, and a base layer 27. The third pillar from the left has a top layer 45, a middle layer 37, and a base layer 25. The fourth pillar from the left has a top layer 45, a middle layer 37, and a base layer 26. The rightmost pillar has a top layer 44, a middle layer 35, and a base layer 28. The base layer 21 is shown with a dashed pattern, and the pillars are shown with solid patterns.

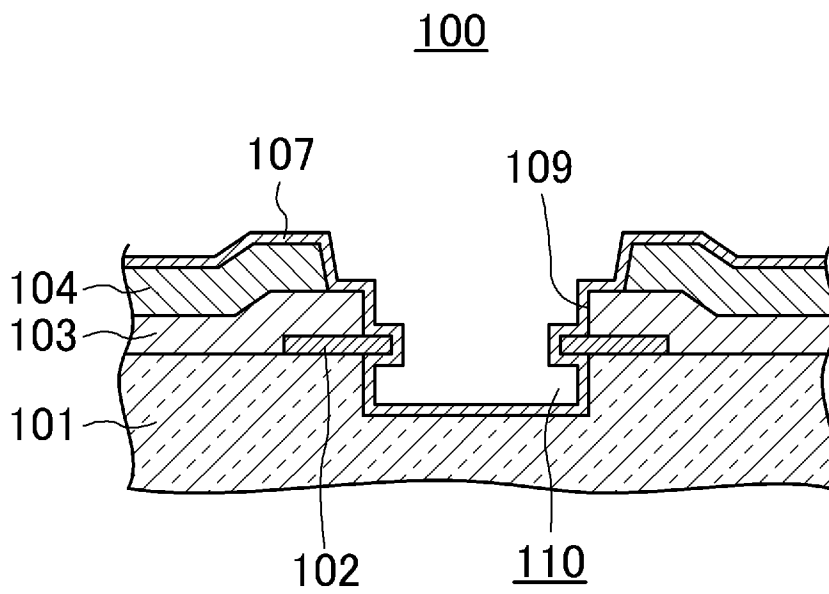
100



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005909

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L23/522(2006.01)i, H01L29/786(2006.01)i, H05K1/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L21/28, H01L21/336, H01L23/522, H01L29/786, H05K1/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-013091 A (Mitsubishi Electric Corp.), 18 January 2007 (18.01.2007), paragraphs [0015] to [0045], [0060]; fig. 1 to 10 (Family: none)	1, 4, 5, 8, 9, 12 2, 3, 6, 7, 10, 11
Y	JP 2007-188936 A (Epson Imaging Devices Corp.), 26 July 2007 (26.07.2007), paragraphs [0054] to [0061]; fig. 13 & US 2007/0159565 A1 & KR 10-2007-0075316 A & CN 101000914 A & KR 10-2008-0015502 A & CN 101452174 A	2, 3, 6, 7, 10, 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 November, 2011 (18.11.11)

Date of mailing of the international search report
29 November, 2011 (29.11.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/005909

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 04-003455 A (NEC Corp.), 08 January 1992 (08.01.1992), page 3, upper left column, line 9 to page 5, upper left column, line 16; fig. 1, 2 (Family: none)	2, 3, 6, 7, 10, 11
Y	JP 61-129852 A (Seiko Epson Corp.), 17 June 1986 (17.06.1986), entire text; all drawings (Family: none)	2, 3, 6, 7, 10, 11
A	JP 06-326050 A (Toshiba Corp.), 25 November 1994 (25.11.1994), entire text; all drawings (Family: none)	1-12
A	JP 01-268151 A (Sharp Corp.), 25 October 1989 (25.10.1989), entire text; all drawings (Family: none)	2, 3, 6, 7, 10, 11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/768(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L23/522(2006.01)i,
H01L29/786(2006.01)i, H05K1/11(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/768, H01L21/28, H01L21/336, H01L23/522, H01L29/786, H05K1/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-013091 A（三菱電気株式会社）2007.01.18, 【0015】－【0045】、【0060】、【図1】－【図10】（フ ァミリーなし）	1, 4, 5, 8, 9, 12 2, 3, 6, 7, 10, 1 1
Y	JP 2007-188936 A（エプソンイメージングデバイス株式会社） 2007.07.26, 【0054】－【0061】、【図13】 & US 2007/0159565 A1 & KR 10-2007-0075316 A & CN 101000914 A & KR 10-2008-0015502 A & CN 101452174 A	2, 3, 6, 7, 10, 1 1

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 1 1 . 2 0 1 1

国際調査報告の発送日

2 9 . 1 1 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

青鹿 喜芳

電話番号 03-3581-1101 内線 3498

4 L

4 0 4 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 04-003455 A (日本電気株式会社) 1992. 01. 08, 第3頁左上欄第9行ー第5頁左上欄第16行, 第1図, 第2図 (ファミリーなし)	2, 3, 6, 7, 10, 11
Y	JP 61-129852 A (セイコーエプソン株式会社) 1986. 06. 17, 全文, 全図 (ファミリーなし)	2, 3, 6, 7, 10, 11
A	JP 06-326050 A (株式会社東芝) 1994. 11. 25, 全文, 全図 (ファミリーなし)	1-12
A	JP 01-268151 A (シャープ株式会社) 1989. 10. 25, 全文, 全図 (ファミリーなし)	2, 3, 6, 7, 10, 11