



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 11 2006 001 663 T5** 2008.05.08

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2007/005263**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2006 001 663.6**
(86) PCT-Aktenzeichen: **PCT/US2006/023851**
(86) PCT-Anmeldetag: **19.06.2006**
(87) PCT-Veröffentlichungstag: **11.01.2007**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **08.05.2008**

(51) Int Cl.⁸: **H01L 21/00** (2006.01)

(30) Unionspriorität:

60/696,320	30.06.2005	US
60/696,027	30.06.2005	US
60/696,350	30.06.2005	US
60/696,305	30.06.2005	US
60/701,781	22.07.2005	US
60/702,076	22.07.2005	US
60/753,040	21.12.2005	US

(71) Anmelder:

**FAIRCHILD SEMICONDUCTOR CORP., South
Portland, Me., US**

(74) Vertreter:

Eisenführ, Speiser & Partner, 20457 Hamburg

(72) Erfinder:

**Jeon, Oseob, Seoul, KR; Choi, Yoonhwa, Inchun,
KR; Gooi, Boon Huan, Penang, MY; Estacio, Maria
Cristina B., Talamban, Cebu, PH; Chong, David,
Penang, MY; Keng, Tan Teik, Penang, MY; Nam,
Shibaek, Puchon, Kyonggido, KR; Joshi, Rajeev,
Cupertino, Calif., US; Wu, Chung-Lin, San Jose,
Calif., US; Iyer, Venkat, Cupertino, Calif., US; Lim,
Lay Yeap, Lebu Nipah, Penang, MY; Lee,
Buyong-Ok, Puchon, Kyonggido, KR**

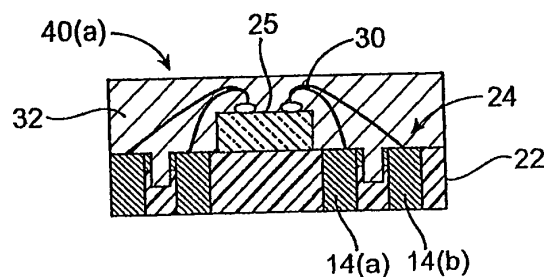
(54) Bezeichnung: **Halbleiterchip-Gehäuse und Verfahren zur Herstellung desselben**

(57) Hauptanspruch: Verfahren umfassend:

Bereitstellen eines vorgeformten Substrats mit einer Leiter-
rahmenstruktur und einem Formmaterial, wobei die Leiter-
rahmenstruktur einen ersten leitenden Teilbereich, einen
zweiten leitenden Teilbereich und einen Zwischen-Teilbe-
reich zwischen dem ersten leitenden Teilbereich und dem
zweiten leitenden Teilbereich beinhaltet;

Trennen des Zwischen-Teilbereichs, um den ersten leiten-
den Teilbereich von dem zweiten leitenden Teilbereich elek-
trisch zu isolieren;

Befestigen eines Halbleiterchips an dem Substrat; und
elektrisches Koppeln der ersten und zweiten leitenden Teil-
bereiche zu dem Halbleiterchip.



Beschreibung

VERWEISE AUF VERWANDTE ANMELDUNGEN

[0001] Diese Patentanmeldung ist eine Nachanmeldung zu und beansprucht die Priorität der folgenden vorläufigen US-Anmeldungen: 60/701,781, angemeldet am 22. Juli 2005; 60/696,320, angemeldet am 30. Juni 2005; 60/696,027, angemeldet am 30. Juni 2005; 60/696,350, angemeldet am 30. Juni 2005; 60/702,076, angemeldet am 22. Juli 2005; 60/696,305, angemeldet am 30. Juni 2005, und 60/753,040, angemeldet am 21. Dezember 2005. Diese vorläufigen US-Anmeldungen werden hiermit durch Bezugnahme in ihrer Gesamtheit für alle Zwecke eingeschlossen.

HINTERGRUND DER ERFINDUNG

[0002] Verschiedene Halbleiterchip-Gehäuse oder -packungen sind bekannt.

[0003] Während solche Gehäuse nützlich sind, können sie verbessert werden. Beispielsweise sind viele der oben beschriebenen Gehäuse schwer und/oder teuer herzustellen.

[0004] Folglich wäre es wünschenswert, verbesserte Halbleiterchip-Gehäuse, Verfahren zur Herstellung von Halbleiterchip-Gehäusen, Komponenten für solche Chipgehäuse und elektrische Baugruppen, die solche Halbleiterchip-Gehäuse verwenden, bereitzustellen. Solche verbesserten Halbleiterchip-Gehäuse würden vorzugsweise weniger teuer herzustellen sein und/oder würden eine bessere Funktionalität aufweisen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0005] Ausführungsformen der Erfindung sind auf Halbleiterchip-Gehäuse, Verfahren zur Herstellung von Halbleiterchip-Gehäusen und elektrischen Baugruppen, die die Halbleiterchip-Gehäuse beinhalten, gerichtet.

[0006] Eine Ausführungsform der Erfindung ist auf ein Verfahren gerichtet, umfassend Bereitstellen eines vorgeformten Substrats mit einer Leiterrahmenstruktur und einem Formmaterial, wobei die Leiterrahmenstruktur einen ersten leitenden Teilbereich, einen zweiten leitenden Teilbereich und einen Zwischen-Teilbereich zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich beinhaltet; Trennen des Zwischen-Teilbereichs, um den ersten leitenden Teilbereich von dem zweiten leitenden Teilbereich elektrisch zu isolieren; Befestigen eines Halbleiterchips an dem Substrat; und elektrisches Koppeln der ersten und zweiten leitenden Teilbereiche zu dem Halbleiterchip.

[0007] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein vorgeformtes Substrat mit einer Leiterrahmenstruktur und einem Formmaterial, wobei die Leiterrahmenstruktur einen ersten leitenden Teilbereich, einen zweiten leitenden Teilbereich und eine Aussparung zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich beinhaltet; einen Halbleiterchip auf dem vorgeformten Substrat; und ein Einkapsel-Material, das den Halbleiterchip abdeckt und die Aussparung zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich füllt.

[0008] Eine weitere Ausführungsform der Erfindung ist auf ein Verfahren gerichtet, umfassend: Bereitstellen eines vorgeformten Substrats mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei das vorgeformte Substrat eine Leiterrahmenstruktur und ein Formmaterial beinhaltet, wobei die Leiterrahmenstruktur ein Feld-Gebiet bzw. Feld-Region umfasst, wobei eine äußere Oberfläche des Feld-Gebiets und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel bzw. koplanar sind und mit der zweiten Oberfläche des vorgeformten Substrats zusammenfallen; und Befestigen von zumindest zwei Halbleiterchips an der ersten Oberfläche des vorgeformten Substrats.

[0009] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein vorgeformtes Substrat mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei das vorgeformte Substrat eine Leiterrahmenstruktur und ein Formmaterial beinhaltet, wobei die Leiterrahmenstruktur ein Feld-Gebiet umfasst, wobei eine äußere Oberfläche des Feld-Gebiets und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind und mit der zweiten Oberfläche des vorgeformten Substrats zusammenfallen; und zumindest zwei Halbleiterchips zu der ersten Oberfläche des vorgeformten Substrats gekoppelt sind.

[0010] Eine weitere Ausführungsform der Erfindung ist auf ein Verfahren zum Formen eines Halbleiter-

chip-Gehäuses gerichtet, das Verfahren umfassend: Formen eines Substrats, wobei Formen eines Substrats umfasst (i) Platzieren einer Leiterrahmenstruktur zwischen einer ersten Ausformform und einer zweiten Ausformform, (ii) Kontaktieren der Leiterrahmenstruktur mit den ersten und zweiten Ausformformen, und (iii) Formen eines Formmaterials um die Leiterrahmenstruktur; Befestigen eines Halbleiterchips an dem Substrat; und Einkapseln des Halbleiterchips in einem Einkapsel-Material.

[0011] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein Substrat, wobei Formen eines Substrats eine Leiterrahmenstruktur und ein Formmaterial umfasst, wobei das Substrat zumindest eine konkave Struktur formt; und einen Halbleiterchip auf dem Substrat.

[0012] Eine weitere Ausführungsform der Erfindung ist auf ein Verfahren gerichtet, umfassend: Bereitstellen eines Substrats beinhaltend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine Oberfläche des Formmaterials und die Leiterrahmenstruktur im Wesentlichen planparallel sind, und wobei das Substrat ein erstes Chip-Befestigungs-Gebiet und ein zweites Chip-Befestigungs-Gebiet beinhaltet; Befestigen eines ersten Halbleiterchips an dem ersten Chip-Befestigungs-Gebiet; und Befestigen eines zweiten Halbleiterchips an dem zweiten Chip-Befestigungs-Gebiet.

[0013] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein Substrat beinhaltend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine Oberfläche des Formmaterials und die Leiterrahmenstruktur im Wesentlichen planparallel sind, und wobei das Substrat ein erstes Chip-Befestigungs-Gebiet und ein zweites Chip-Befestigungs-Gebiet umfasst; einen ersten Halbleiterchip auf dem ersten Chip-Befestigungs-Gebiet; und einen zweiten Halbleiterchip auf dem zweiten Chip-Befestigungs-Gebiet.

[0014] Eine weitere Ausführungsform der Erfindung ist auf ein Verfahren zur Herstellung eines Substrats für ein Halbleiterchip-Gehäuse gerichtet, das Verfahren umfassend: Bereitstellen einer ersten Leiterrahmenstruktur und einer zweiten Leiterrahmenstruktur; Befestigen der ersten und zweiten Leiterrahmenstruktur aneinander mittels einer Klebeschicht; und Aufbringen des Formmaterials auf die erste Leiterrahmenstruktur, die zweite Leiterrahmenstruktur, oder die Klebeschicht.

[0015] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein vorgeformtes Substrat umfassend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine äußere Oberfläche der Leiterrahmenstruktur und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind; und einen Halbleiterchip auf dem vorgeformten Substrat; an dem vorgeformten Substrat befestigte Leiter, wobei die Leiter einzeln aus dem vorgeformten Substrat geformt wurden

[0016] Eine weitere Ausführungsform der Erfindung ist auf ein Verfahren gerichtet, umfassend: Bereitstellen eines Substrats umfassend eine leitende Chip-Befestigungs-Oberfläche; Befestigen eines hochseitigen Transistors beinhaltend einen hochseitigen Transistor-Eingang an dem Substrat, wobei der hochseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist; und Befestigen eines niedrigseitigen Transistors beinhaltend einen niedrigseitigen Transistor-Ausgang an dem Substrat, wobei der niedrigseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist.

[0017] Eine weitere Ausführungsform der Erfindung ist auf ein Halbleiterchip-Gehäuse gerichtet, umfassend: ein Substrat umfassend eine leitende Chip-Befestigungs-Oberfläche; einen hochseitigen Transistor umfassend einen hochseitigen Transistor-Eingang, wobei der hochseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist; und einen niedrigseitigen Transistor beinhaltend einen niedrigseitigen Transistor-Ausgang, wobei der niedrigseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist.

[0018] Diese und andere Ausführungsformen der Erfindung sind nachfolgend in weiteren Details beschrieben.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0019] [Fig. 1A-Fig. 1H](#) zeigen Querschnitte von Komponenten während des Formens eines Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.

[0020] [Fig. 1I](#) zeigt eine Unteransicht eines Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.

- [0021] [Fig. 1J](#) ist eine Draufsicht auf eine Anordnung von Substraten während der Herstellung.
- [0022] [Fig. 1K](#) ist eine quergeschnittene Seitenansicht einer Leiste beinhaltend eine Referenzkerbe.
- [0023] [Fig. 1L](#) zeigt eine Draufsicht auf ein Substrat mit Trennlinien.
- [0024] [Fig. 2A](#) zeigt eine Unteransicht auf ein anderes Halbleiterchip-Gehäuse gemäß einer Ausführungsform der Erfindung.
- [0025] [Fig. 2B](#) zeigt eine quergeschnittene Seitenansicht des in [Fig. 2A](#) gezeigten Halbleiterchip-Gehäuses.
- [0026] [Fig. 2C](#) zeigt eine Unteransicht auf eine Leiterrahmen-Struktur gemäß einer Ausführungsform der Erfindung.
- [0027] [Fig. 2D](#) zeigt eine Unteransicht auf ein Halbleiterchip-Gehäuse gemäß einer anderen Ausführungsform der Erfindung.
- [0028] [Fig. 2E](#) zeigt eine quergeschnittene Seitenansicht eines anderen Halbleiterchip-Gehäuses gemäß einer anderen Ausführungsform der Erfindung.
- [0029] [Fig. 3A-Fig. 3C](#) zeigen eine Draufsicht auf ein Halbleiterchip-Gehäuse während es aufgebaut wird.
- [0030] [Fig. 3D](#) zeigt eine Unteransicht auf ein Halbleiterchip-Gehäuse.
- [0031] [Fig. 3E](#) zeigt eine quergeschnittene Seitenansicht eines Substrats gemäß einer Ausführungsform der Erfindung.
- [0032] [Fig. 4A-Fig. 4C](#) zeigen Draufsichten eines anderen Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.
- [0033] [Fig. 4D](#) zeigt eine Unteransicht auf ein Substrat gemäß einer Ausführungsform der Erfindung.
- [0034] [Fig. 4E](#) zeigt eine quergeschnittene Seitenansicht eines Substrats gemäß einer Ausführungsform der Erfindung.
- [0035] [Fig. 5](#) zeigt eine perspektivische Ansicht einer Leiterrahmen-Struktur-Anordnung.
- [0036] [Fig. 6A-Fig. 6I](#) zeigen perspektivische Ansichten von Chipgehäusen während sie geformt werden.
- [0037] [Fig. 7A-Fig. 7C](#) zeigen Seiten-Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0038] [Fig. 7D](#) zeigt eine perspektivische Ansicht eines Halbleiterchip-Gehäuses, geformt mittels des in [Fig. 7A-Fig. 7C](#) gezeigten Prozesses.
- [0039] [Fig. 8A-Fig. 8D](#) zeigen Seiten-Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0040] [Fig. 8E](#) zeigt eine perspektivische Ansicht des Halbleiterchip-Gehäuses, geformt mittels des in [Fig. 8A-Fig. 8D](#) gezeigten Prozesses.
- [0041] [Fig. 9A-Fig. 9D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0042] [Fig. 9E](#) zeigt eine perspektivische Ansicht eines anderen Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.
- [0043] [Fig. 10A-Fig. 10D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.

- [0044] [Fig. 10E](#) zeigt eine perspektivische Ansicht eines anderen Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.
- [0045] [Fig. 11A-Fig. 11D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0046] [Fig. 11E](#) zeigt eine perspektivische Unteransicht auf das Halbleiterchip-Gehäuse.
- [0047] [Fig. 12A-Fig. 12D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0048] [Fig. 12E](#) zeigt eine perspektivische Unteransicht auf das in [Fig. 12D](#) gezeigte Halbleiterchip-Gehäuse.
- [0049] [Fig. 13A-Fig. 13D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses während es geformt wird.
- [0050] [Fig. 13E](#) zeigt eine perspektivische Unteransicht des in [Fig. 13D](#) gezeigten Halbleiterchip-Gehäuses.
- [0051] [Fig. 14A-Fig. 14D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses, während es geformt wird.
- [0052] [Fig. 14E](#) zeigt eine perspektivische Ansicht des in [Fig. 14D](#) gezeigten Halbleiterchip-Gehäuses.
- [0053] [Fig. 15A-Fig. 15D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses, während es geformt wird.
- [0054] [Fig. 15E](#) zeigt eine perspektivische Unteransicht des in [Fig. 15D](#) gezeigten Halbleiterchip-Gehäuses.
- [0055] [Fig. 16A-Fig. 16D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses, während es geformt wird.
- [0056] [Fig. 16E](#) zeigt eine perspektivische Unteransicht des in [Fig. 16D](#) gezeigten Halbleiterchip-Gehäuses.
- [0057] [Fig. 17A-Fig. 17D](#) zeigen Querschnitte eines anderen Halbleiterchip-Gehäuses, während es geformt wird.
- [0058] [Fig. 17E](#) zeigt eine perspektivische Unteransicht des in [Fig. 17D](#) gezeigten Halbleiterchip-Gehäuses.
- [0059] [Fig. 18A-1](#) ist eine perspektivische Unteransicht einer Leiterrahmen-Struktur.
- [0060] [Fig. 18A-2](#) ist eine perspektivische Draufsicht einer Leiterrahmen-Struktur, die teilweise geätzt wurde.
- [0061] [Fig. 18B-1](#) ist eine perspektivische Unteransicht eines vorgeformten Substrats.
- [0062] [Fig. 18B-2](#) ist eine perspektivische Draufsicht eines vorgeformten Substrats.
- [0063] [Fig. 18C](#) ist eine perspektivische Draufsicht eines vorgeformten Substrats mit einem darauf montiertem Halbleiterchip.
- [0064] [Fig. 18D](#) ist eine perspektivische Draufsicht eines Halbleiterchip-Gehäuses beinhaltend ein vorgeformtes Substrat.
- [0065] [Fig. 19A](#) ist eine perspektivische Draufsicht auf ein vorgeformtes Leiterrahmen-Substrat beinhaltend einen darauf montierten Halbleiterchip.
- [0066] [Fig. 19B](#) zeigt eine perspektivische Unteransicht des in **Fig. 18A** gezeigten vorgeformten Leiterrahmen-Substrats.
- [0067] [Fig. 20A](#) ist eine Draufsicht auf ein vorgeformtes Substrat gemäß einer Ausführungsform der Erfindung.

- [0068] [Fig. 20B](#) zeigt eine perspektivische Draufsicht auf ein vorgeformtes Substrat gemäß einer Ausführungsform der Erfindung.
- [0069] [Fig. 20C](#) zeigt eine querschnittene Seitenansicht eines vorgeformten Substrats gemäß einer Ausführungsform der Erfindung.
- [0070] [Fig. 20D](#) zeigt eine perspektivische Unteransicht eines vorgeformten Substrats gemäß einer Ausführungsform der Erfindung.
- [0071] [Fig. 20E](#) zeigt eine Draufsicht auf ein vorgeformtes Substrat gemäß einer Ausführungsform der Erfindung.
- [0072] [Fig. 20F](#) zeigt eine querschnittene Seitenansicht eines vorgeformten Substrats gemäß einer Ausführungsform der Erfindung.
- [0073] [Fig. 20G](#) ist eine perspektivische Draufsicht auf ein vorgeformtes Substrat gemäß einer Ausführungsform der Erfindung.
- [0074] [Fig. 20H](#) ist eine perspektivische Unteransicht auf ein vorgeformtes Substrat gemäß einer Ausführungsform der Erfindung.
- [0075] [Fig. 21A](#) ist eine perspektivische Draufsicht auf eine Rahmenstruktur.
- [0076] [Fig. 21B-Fig. 21C](#) sind perspektivische Ansichten von vorgeformten Substraten gemäß Ausführungsformen der Erfindung.
- [0077] [Fig. 21D](#) und [Fig. 21E](#) zeigen perspektivische Draufsichten auf in Rahmen montierte vorgeformte Substraten. Halbleiterchips sind auf den vorgeformten Substraten montiert.
- [0078] [Fig. 21F](#) zeigt eine perspektivische Unteransicht eines vorgeformten, in einem Rahmen montierten Substrats.
- [0079] [Fig. 21G](#) zeigt eine Seitenansicht eines vorgeformten, an einem Rahmen montierten Substrats.
- [0080] [Fig. 22A-Fig. 22D](#) zeigen jeweils Seiten-Querschnitte, perspektivische Rückansichten, Draufsichten und perspektivische Vorderansichten eines geformten Chipgehäuses gemäß einer Ausführungsform der Erfindung.
- [0081] [Fig. 23](#) ist ein Schalt diagramm für einen synchronen Abwärtswandler (buck-converter), der dem in [Fig. 24C](#) gezeigten Gehäuse entspricht.
- [0082] [Fig. 24A](#) zeigt eine Seitenansicht eines Halbleiterchip-Gehäuses entsprechend einer Ausführungsform der Erfindung.
- [0083] [Fig. 24B](#) zeigt eine Draufsicht auf ein Halbleiterchip-Gehäuse gemäß einer Ausführungsform der Erfindung.
- [0084] [Fig. 24C](#) zeigt eine perspektivische Ansicht eines Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.
- [0085] [Fig. 24D](#) zeigt eine perspektivische Unteransicht einer Leiterrahmen-Struktur.
- [0086] [Fig. 24E](#) ist eine perspektivische Seitenansicht eines Halbleiterchip-Gehäuses gemäß einer Ausführungsform der Erfindung.
- [0087] [Fig. 25](#) zeigt eine Seitenansicht einer anderen Ausführungsform der Erfindung. In dieser Ausführungsform ist ein Formmaterial in einem Leiterrahmen abgelegt und isoliert einen Chip von leitenden Gebieten auf der Leiterrahmen-Struktur.

[0088] Ausführungsformen der Erfindung sind auf Halbleiterchip-Gehäuse und Verfahren zur Herstellung von Halbleiterchip-Gehäusen gerichtet.

[0089] Ein Halbleiterchip-Gehäuse gemäß einer Ausführungsform der Erfindung beinhaltet ein Substrat und einen auf dem Substrat montierten Halbleiterchip. Der Halbleiterchip kann an dem Substrat mittels eines Klebstoffs oder beliebigen anderen geeigneten Verbindungsmaterial befestigt sein. In dem Halbleiterchip-Gehäuse kann die untere Oberfläche und/oder die obere Oberfläche des Halbleiterchips elektrisch zu leitenden Gebieten des Substrats gekoppelt sein. Ein Einkapsel-Material kann den Halbleiterchip einkapseln. Wie im Folgenden detaillierter beschrieben wird, kann das Substrat gemäß Ausführungsformen der Erfindung verschiedene Konfigurationen in verschiedenen Ausführungsformen haben.

[0090] Das Substrat kann jegliche geeignete Konfiguration haben. In bevorzugten Ausführungsformen der Erfindung jedoch beinhaltet das Substrat eine Leiterrahmen-Struktur und ein Formmaterial. Üblicherweise ist zumindest eine Oberfläche der Leiterrahmen-Struktur im Wesentlichen planparallel mit einer äußeren Oberfläche des Formmaterials. In einigen Ausführungsformen sind beide gegenüberliegenden Hauptoberflächen der Leiterrahmen-Struktur im Wesentlichen planparallel mit gegenüberliegenden äußeren Oberflächen des Formmaterials in dem Substrat. In anderen Ausführungsformen ist nur eine Hauptoberfläche der Leiterrahmen-Struktur im Wesentlichen planparallel mit einer äußeren Oberfläche des Formmaterials.

[0091] Der Begriff "Leiterrahmen-Struktur" kann sich auf eine Struktur beziehen, die von einem Leiterrahmen abgeleitet ist. Leiterrahmen-Strukturen können beispielsweise durch bekannte Stanzprozesse geformt werden. Eine beispielhafte Leiterrahmen-Struktur kann auch durch Ätzen eines kontinuierlich leitenden Blechs, um ein vorbestimmtes Muster zu formen, geformt werden. Daher kann in Ausführungsformen der Erfindung die Leiterrahmen-Struktur in einem Halbleiterchip-Gehäuse eine kontinuierliche metallische Struktur oder eine diskontinuierliche metallische Struktur sein.

[0092] Eine Leiterrahmen-Struktur gemäß einer Ausführungsform der Erfindung kann ursprünglich eine von vielen Leiterrahmen-Strukturen in einer Anordnung von Leiterrahmen-Strukturen, die miteinander durch Stege verbunden sind, sein. Während des Herstellungsprozesses eines Halbleiterchip-Gehäuses, kann die Leiterrahmen-Struktur-Anordnung getrennt werden, um einzelne Leiterrahmen-Strukturen voneinander zu trennen. Als ein Ergebnis dieser Trennung, können Teilbereiche einer Leiterrahmen-Struktur (solche wie ein Source-Leiter und ein Gate-Leiter) in einem endgültigen Halbleiterchip-Gehäuse elektrisch und mechanisch voneinander entkoppelt sein. In anderen Ausführungsformen wird eine Anordnung von Leiterrahmen-Strukturen nicht verwendet, wenn Halbleiterchip-Gehäuse gemäß Ausführungsformen der Erfindung hergestellt werden.

[0093] Eine Leiterrahmen-Struktur gemäß einer Ausführungsform der Erfindung kann jegliches geeignete Material umfassen, kann jegliche geeignete Form haben und kann jegliche geeignete Dicke haben. Exemplarische Leiterrahmen-Struktur-Materialien beinhalten Metalle wie Kupfer, Aluminium, Gold etc. und Legierungen daraus. Die Leiterrahmen-Strukturen können auch beschichtete Schichten wie beschichtete Gold-, Chrom-, Silber-, Palladium-, Nickel-Schichten etc. beinhalten.

[0094] Eine Leiterrahmenstruktur gemäß einer Ausführungsform der Erfindung kann auch jegliche geeignete Konfiguration haben. Beispielsweise kann die Leiterrahmen-Struktur auch jegliche geeignete Dicke aufweisen, beinhaltend eine Dicke von weniger als etwa 1 mm (z.B. weniger als etwa 0,5 mm). Zusätzlich kann die Leiterrahmen-Struktur ein Chip-Befestigungsgebiet haben, das ein Chip-Anschluss-Feld (Die Attach Pad DAP) ausbilden kann. Leiter können sich seitlich weg von dem Chip-Befestigungs-Gebiet erstrecken. Sie können auch Oberflächen haben, die planparallel und/oder nicht planparallel sind mit der Oberfläche, die das Chip-Befestigungs-Gebiet formt. Beispielsweise können die Leiter in einigen Beispielen abwärts gebogen sein in Bezug auf das Chip-Befestigungs-Gebiet.

[0095] Wenn sich die Leiter der Leiterrahmen-Struktur nicht seitlich über das Formmaterial hinaus erstrecken, kann das Substrat als ein "leiterloses" Substrat angesehen werden und ein Gehäuse beinhaltend das Substrat könnte als ein "leiterloses" Gehäuse angesehen werden. Wenn die Leiter der Leiterrahmen-Strukturen sich über das Formmaterial hinaus erstrecken, dann kann das Substrat ein "Leiter-Substrat" und das Gehäuse ein "Leiter-Gehäuse" sein.

[0096] Das Formmaterial, das in dem Substrat verwendet wird, kann jegliches geeignete Material umfassen. Geeignete Formmaterialien beinhalten biphenylbasierte Materialien und multifunktionale vernetzte Epoxid-

harzverbundmaterialien. Geeignete Formmaterialien werden in flüssiger oder halbfester Form auf einer Leiterahmen-Struktur aufgeschichtet und werden anschließend ausgehärtet, um sie zu verfestigen.

[0097] Der Halbleiterchip, der auf dem Substrat montiert ist, kann jegliches geeignete Halbleiterbauelement beinhalten. Geeignete Bauelemente können vertikale oder horizontale Bauelemente beinhalten. Vertikale Bauelemente haben zumindest einen Eingang auf einer Seite des Chips und einen Ausgang auf der anderen Seite des Chips, so dass Strom vertikal durch den Chip fließen kann. Horizontale Bauelemente beinhalten zumindest einen Eingang auf einer Seite des Chips und einen Ausgang auf derselben Seite des Chips, so dass Strom horizontal durch den Chip fließt. Exemplarische Halbleiterbauelemente werden auch in der US-Patentanmeldung Nr. 11/026,276, angemeldet am 29. Dezember 2004, beschrieben, die hierin in ihrer Gesamtheit für alle Zwecke durch Bezugnahme eingeschlossen wird.

[0098] Vertikale Leistungs-Transistoren beinhalten VDMOS-Transistoren und vertikale bipolare Transistoren. Ein VDMOS-Transistor ist ein MOSFET, der zwei oder mehr Halbleitergebiete hat, die durch Diffusion geformt sind. Er hat ein Source-Gebiet, ein Drain-Gebiet und ein Gate. Das Bauelement ist vertikal, indem sich das Source-Gebiet und das Drain-Gebiet auf gegenüberliegenden Oberflächen des Halbleiterchips befinden. Das Gate kann eine vergrabene Gate-Struktur oder eine ebene Gate-Struktur sein und ist auf derselben Oberfläche wie das Source-Gebiet ausgebildet. Vergrabene Gate-Strukturen sind bevorzugt, da gegrabene Gate-Strukturen schmaler sind und weniger Raum beanspruchen als ebene Gate-Strukturen. Im Betrieb ist der Stromfluss von dem Source-Gebiet zu dem Drain-Gebiet in einem VDMOS-Bauelement im Wesentlichen rechtwinklig zu den Chipoberflächen.

[0099] Ein Einkapsel-Material kann verwendet werden, um den Halbleiterchip einzukapseln. Das Einkapsel-Material kann denselben oder einen anderen Typ von Material wie das vorher beschriebene Formmaterial umfassen. In einigen Ausführungsformen bedeckt oder zumindest teilweise bedeckt das Einkapsel-Material das Substrat und ein oder mehrere Halbleiterchips auf dem Substrat. Das Einkapsel-Material kann verwendet werden, um den einen oder mehrere Halbleiterchips vor möglichen Beschädigungen aufgrund der Aussetzung der umliegenden Umgebung zu schützen.

[0100] Jeglicher geeignete Prozess kann verwendet werden, um den/die Halbleiterchip(s) und/oder das Substrat, das den/die Halbleiterchip(s) stützt, einzukapseln. Beispielsweise können ein Halbleiterchip und ein Substrat in einer Ausformform platziert werden und ein Einkapsel-Material kann um zumindest einen Teil des Halbleiterchips und/oder des Substrats geformt werden. Spezifische Formbedingungen sind dem Durchschnittsfachmann bekannt.

I. Chip-Gehäuse beinhaltend Substrate mit getrennten Isolations-Gebieten

[0101] Während die charakteristischen Größen von Mikroleiter-Gehäuse-(Microlead Package MLP)-Komponenten kleiner und kleiner werden, sind die Designs durch Metall-zu-Metall-Abstände und der Leistungsfähigkeit von Maßstolleranzen geätzter und halb-geätzter Rahmentechnologie begrenzt. Ausführungsformen der Erfindung offenbaren ein vorgeformtes Rahmen-Layout, das in der Lage ist, Doppelreihen für bloßgelegte Felder aufzunehmen. Ein Doppelreihen-MLP hat eine kleinere Gehäusegröße im Vergleich zu einem Einreihen-MLP für dieselbe Anzahl von Leitern. In Ausführungsformen der Erfindung wird eine Leiterrahmen-Struktur vorgeformt und dann gesägt, um zwei leitende Felder zu isolieren.

[0102] Eine Ausführungsform der Erfindung ist auf ein Verfahren gerichtet, das Bereitstellen eines vorgeformten Substrats beinhaltend eine Leiterrahmen-Struktur und ein Formmaterial beinhaltet, wobei die Leiterrahmen-Struktur einen ersten leitenden Teilbereich, einen zweiten leitenden Teilbereich und einen Zwischen-Teilbereich zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich beinhaltet. Das Formmaterial in dem Substrat kann eine Dicke haben, die im Wesentlichen gleich einer Dicke der Leiterrahmen-Struktur ist. Beispielsweise kann die Dicke des Formmaterials im Wesentlichen gleich der Dicke des ersten leitenden Teilbereichs und/oder des zweiten leitenden Teilbereichs sein.

[0103] Der Zwischen-Teilbereich wird dann getrennt, um den ersten leitenden Teilbereich von dem zweiten leitenden Teilbereich elektrisch zu isolieren. Die ersten und zweiten leitenden Teilbereiche können unterschiedliche Anschlüsse in einem Chip-Gehäuse darstellen. Beispielsweise können die ersten und zweiten leitenden Teilbereiche aus der Gruppe bestehend aus einem Gate-Leiter, einem Source-Leiter und einem Drain-Leiter, ausgewählt sein, wobei die ersten und zweiten leitenden Teilbereiche unterschiedlich sind. Eine Vielzahl von ersten und zweiten leitenden Teilbereichen kann Reihen von leitenden Teilbereichen formen.

[0104] Nach dem Trennen der Leiterrahmen-Struktur wird zumindest ein Halbleiterchip an dem Substrat befestigt. Ein geeigneter Klebstoff oder Lot kann verwendet werden, um den Halbleiterchip an dem Substrat zu befestigen. Der Halbleiterchip kann von dem oben beschriebenen Typ sein. Beispielsweise kann die Leiterrahmen-Struktur ein Halbleiterchip umfassend einen Leistungs-MOSFET sein.

[0105] Nachdem der Halbleiterchip an dem Substrat befestigt ist, kann der Halbleiterchip elektrisch zu den ersten und den zweiten leitenden Teilbereichen gekoppelt werden. Beispielsweise können der Halbleiterchip und die ersten und zweiten leitenden Teilbereiche über Drähte miteinander verbunden sein. Alternativ können leitende Klemmen verwendet werden, um den Halbleiterchip zu den ersten und zweiten leitenden Teilbereichen zu koppeln.

[0106] Nachdem der Halbleiterchip elektrisch zu den ersten und zweiten leitenden Teilbereichen in dem vorgeformten Substrat gekoppelt ist, kann ein Einkapsel-Material über dem Halbleiterchip aufgeschichtet werden, um ihn einzukapseln. Das Einkapsel-Material kann vom gleichen oder einem unterschiedlichen Materialtyp sein wie das oben beschriebene Formmaterial.

[0107] Das geformte Halbleiterchip-Gehäuse kann Leiter aufweisen, die sich nicht über eine äußere Oberfläche des Formmaterials hinaus erstrecken. In einigen Ausführungsformen kann das Halbleiterchip-Gehäuse als "Mikroleiter-Gehäuse" oder MLP-Gehäuse bezeichnet werden.

[0108] Beispielhafte Verfahren und Chipgehäuse können mit Bezug auf die [Fig. 1A-Fig. 1L](#) beschrieben werden.

[0109] [Fig. 1A](#) zeigt eine Leiterrahmen-Struktur **14** gemäß einer Ausführungsform der Erfindung. Die Leiterrahmen-Struktur **14** in diesem Beispiel weist kein Chip-Anschluss-Feld (Die Attach Pad DAP) auf. Wie weiter unten beschrieben wird, wird das Substrat, das die Leiterrahmen-Struktur **14** beinhaltet, ein Chip-Befestigungs-Gebiet haben, das aus dem Formmaterial geformt ist. Die Leiterrahmen-Struktur **14** hat eine erste Oberfläche **14(e)** die einer zweiten Oberfläche **14(f)** der Leiterrahmen-Struktur **14** gegenüberliegt.

[0110] Die Leiterrahmen-Struktur **14** beinhaltet einen ersten leitenden Teilbereich **14(a)**, einen zweiten leitenden Teilbereich **14(b)**, und einen Zwischen-Teilbereich **14(c)** zwischen dem ersten leitenden Teilbereich **14(a)** und dem zweiten leitenden Teilbereich **14(b)**. Wie dargestellt sind die Dicken der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** im Wesentlichen gleich, doch die Dicke des Zwischen-Teilbereichs **14(c)** ist geringer als die Dicken der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)**. Als eine Folge dieser unterschiedlichen Dicken, ist eine Aussparung **16** definiert durch den ersten leitenden Teilbereich **14(a)**, den zweiten leitenden Teilbereich **14(b)** und den Zwischen-Teilbereich **14(c)**.

[0111] Die Leiterrahmen-Struktur **14** kann mittels jeglichen geeigneten Prozesses geformt werden. Beispielsweise kann die Leiterrahmen-Struktur **14** mittels Fotolack- und Ätzverfahren oder Prägeverfahren geformt werden. Diese Verfahren und andere Verfahren sind dem Durchschnittsfachmann bekannt. Beispielsweise kann die in [Fig. 1A](#) gezeigte Aussparung **16** unter Verwendung bekannter Fotolithografie- und Ätzverfahren geformt werden. In einem beispielhaften Fotolithografie- und Ätzprozess kann eine Rohmetall-Struktur (nicht gezeigt) mit einer Schicht Fotolack überzogen werden. Diese Fotolackschicht kann belichtet und entwickelt werden. Belichtete Gebiete der Metallstruktur können mittels eines nassen oder trockenen Ätzprozesses geätzt werden. Die Aussparung **16** kann mittels eines nassen oder trockenen Ätzprozesses geformt werden.

[0112] Wie in [Fig. 1A](#) gezeigt, kann, nachdem die Leiterrahmen-Struktur **14** geformt ist, ein Stück Band **12** an der ersten Oberfläche **14(e)** der Leiterrahmen-Struktur **14** befestigt werden. Das Stück Band **12** bedeckt die erste Oberfläche **14(e)** der Leiterrahmen-Struktur **14**, so dass das Formmaterial, das verwendet wird, um das Substrat zu formen, nicht die erste Oberfläche **14(e)** bedeckt.

[0113] Wie in [Fig. 1B](#) gezeigt, kann, nachdem das Band **12** an der ersten Oberfläche **14(e)** der Leiterrahmen-Struktur **14** befestigt ist, ein Formmaterial **18**, wie ein Epoxid-Formmaterial, auf der Leiterrahmen-Struktur **14** aufgeschichtet und verfestigt werden. Das Formmaterial **18** füllt die Aussparung **16** der Leiterrahmen-Struktur **14** und die Fugen zwischen den verschiedenen ersten und zweiten leitenden Teilbereichen **14(a)**, **14(b)**. Überschüssiges Formmaterial kann entfernt werden, so dass die zweite Oberfläche **14(f)** nicht mit dem Formmaterial bedeckt ist. Das Gebiet zwischen den ersten und zweiten Oberflächen **14(e)**, **14(f)** der Leiterrahmen-Struktur **14** jedoch ist in diesem Beispiel mit dem Formmaterial **18** gefüllt.

[0114] Wie in [Fig. 1B](#) gezeigt, kann eine äußere Oberfläche **18(a)** des Formmaterials **18** im Wesentlichen

planparallel mit äußeren Oberflächen **14(a)-1**, **14(b)-1** der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** sein. Wie gezeigt ist die Dicke des Formmaterials **18** an bestimmten Stellen im Wesentlichen gleich der Dicke der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)**.

[0115] Wie in [Fig. 1C](#) gezeigt, trennt ein erstes Trennelement **20** den Zwischen-Teilbereich **14(c)** der Leiterahmen-Struktur **14** nach dem Formen, um dadurch eine oder mehrere Aussparungen **24** in dem Substrat **22** zu formen. Die eine oder mehrere Aussparungen **24** kann sich gänzlich durch den Zwischen-Teilbereich **14(c)** erstrecken und kann sich teilweise in das Formmaterial **18** erstrecken. Die Aussparungen **24** können über die Hälfte der Dicke (oder weniger) der Dicke des Substrats **22** geformt sein. Durch das Trennen der Zwischen-Teilbereiche **14(c)** können die ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** elektrisch und mechanisch voneinander isoliert werden. Wie im Folgenden detaillierter erklärt wird, können die isolierten ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** danach als separate elektrische Anschlüsse (z.B. elektrische Verbindungsfelder) in dem resultierenden Halbleiterchip-Gehäuse dienen.

[0116] Jegliches geeignete erste Trennelement **20** kann verwendet werden, um den Zwischen-Teilbereich **14(c)** zu trennen. Beispielsweise kann das erste Trennelement **20** ein Wasserstrahl, eine Säge, ätzendes Material oder ein Laser sein.

[0117] Wie in [Fig. 1D](#) gezeigt, wird nach dem Trennen ein vorgeformtes Substrat **22** geformt. Das Substrat **22** hat Aussparungen **24**, wo die Trennung durchgeführt wurde. Die Aussparungen **24** entkoppeln die ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)**, so dass sie mechanisch und elektrisch voneinander isoliert sind.

[0118] Das geformte vorgeformte Substrat **22** kann Leiter, die sich über die seitlichen Kanten des Formmaterials **18** hinaus erstrecken, haben oder nicht. In dem spezifischen Substrat **22** korrespondieren die Leiter der Leiterahmen-Struktur **14** mit den ersten und zweiten leitenden Teilbereichen **14(a)**, **14(b)**. In anderen Ausführungsformen kann das Substrat **22** Leiter haben, welche sich seitlich über die seitlichen Kanten der Leiterahmen-Struktur **14** hinaus erstrecken und die nach unten gebogen sein können, um Anschlussverbindungen zu formen, oder nicht.

[0119] Wie in [Fig. 1E](#) gezeigt, können ein oder mehrere Halbleiterchips **25** dann auf dem Substrat **22** montiert werden. Das Substrat **22** kann eine erste Oberfläche **22(a)** und eine der ersten Oberfläche **22(a)** gegenüberliegende zweite Oberfläche **22(b)** beinhalten. In diesem Beispiel sind zumindest zwei Halbleiterchips **25** direkt auf dem Formmaterial **18** montiert. Eine Vielzahl von Halbleiterchips **25** kann auf dem Substrat **22** montiert sein, wenn eine Vielzahl von Halbleiterchip-Gehäusen zu formen sind. Wie weiter unten erläutert wird, können verbundene Gehäuse geformt werden und diese können schließlich in einem Vereinzelungsprozess voneinander getrennt werden.

[0120] Jegliches geeignete Material kann verwendet werden, um den einen oder mehrere Halbleiterchips **25** auf dem Substrat **22** zu montieren. Beispielsweise kann Lot oder ein leitender oder nicht leitender Klebstoff verwendet werden, um den einen oder mehrere Halbleiterchips **25** auf dem Substrat **22** zu montieren. Geeignete Klebstoffe beinhalten gefüllte oder ungefüllte Epoxid-Klebstoffe.

[0121] Der eine oder mehrere Halbleiterchips **25** können an jeglicher geeigneten Stelle auf dem Substrat **22** montiert sein. Wie in [Fig. 1E](#) gezeigt, sind der eine oder mehrere Halbleiterchips **25** auf einem isolierenden Material wie dem Formmaterial **18** montiert. In anderen Ausführungsformen kann die Leiterahmen-Struktur **14** ein oder mehrere leitende Chip-Befestigungs-Felder (nicht gezeigt) beinhalten und der eine oder mehrere Halbleiterchips **25** können auf dem einen oder den mehreren Chip-Befestigungs-Feldern montiert sein.

[0122] Die Halbleiterchips **25** können jegliche der oben beschriebenen Halbleiterchips sein. Beispielsweise kann jeder Chip **25** eine erste Oberfläche **25(a)** und eine zweite Oberfläche **25(b)** haben, wobei die zweite Oberfläche **25(b)** näher an dem Substrat **22** ist als die erste Oberfläche **25(a)**. In einigen Ausführungsformen kann die erste Oberfläche **25(a)** einen Source-Anschluss, einen Gate-Anschluss und einen Drain-Anschluss haben, während die zweite Oberfläche **25(b)** keine Anschlüsse hat. In anderen Ausführungsformen kann die erste Oberfläche **25(a)** einen Source- und/oder Gate-Anschluss haben, während die zweite Oberfläche **25(b)** einen Drain-Anschluss hat (oder umgekehrt). In diesem Fall können der eine oder mehrere Halbleiterchips **25** auf leitenden Chip-Anschluss-Feldern (nicht gezeigt) anstelle auf dem Formmaterial **18** montiert sein.

[0123] Nach dem Montieren des einen oder mehreren Halbleiterchips **25** können Drähte **30** an den elektrischen Anschlüssen an der ersten Oberfläche **25(a)** der Halbleiterchips **25** und den ersten und zweiten leiten-

den Teilbereichen **14(a)**, **14(b)** befestigt (und damit elektrisch gekoppelt) werden. Die Drähte **30** können alternativ als "Drahtverbindungen" bezeichnet werden. Die Drähte können aus einem Edelmetall, wie Gold, Silber, Platin etc. ausgebildet sein, oder können ein Übergangsmaterial, wie Kupfer, Aluminium etc. beinhalten. In einigen Ausführungsformen können die Drähte die Form beschichteter Drähte (z.B. ein mit einem Edelmetall wie Gold oder Platin überzogener Kupferdraht) haben. Alternativ oder zusätzlich können leitende Klemmen verwendet werden, um die elektrischen Anschlüsse an der ersten Oberfläche **25(a)** des Halbleiterchips **25** zu den ersten und zweiten leitenden Teilbereichen **14(a)**, **14(b)** zu koppeln.

[0124] Mit Bezug auf [Fig. 1F](#) kann dann ein Einkapsel-Material **32** auf die erste Oberfläche **22(a)** des Substrats **22** und auf die auf der ersten Oberfläche **22(a)** des Substrats **22** montierten Halbleiterchips **25** aufgeschichtet werden. Das Einkapsel-Material **32** füllt die zuvor geformten Aussparungen **24** in dem Substrat **22**. Das Füllen der Aussparungen **24** in dem Substrat **22** durch das Einkapsel-Material **32** "verriegelt" vorzugsweise das Einkapsel-Material **32** mit dem Substrat **22**. Das Einkapsel-Material **32** kann auch geformt werden, so dass es sich nicht über die seitlichen Kanten des Substrats **22** hinaus erstreckt.

[0125] Bezug nehmend auf [Fig. 1G](#) kann, nach dem Aufschichten des Einkapsel-Materials **32**, ein zweites Trennelement **42** (welches das gleiche oder ein anderes als das erste oben beschriebene Trennelement **20** sein kann) verwendet werden, um die geformten Gehäuse **40(a)**, **40(b)** voneinander zu trennen. Das zweite Trennelement **42** kann das Einkapsel-Material **32** und das Substrat **22** durchtrennen. Dieser Prozess kann als "Vereinzelung" bezeichnet werden.

[0126] [Fig. 1H](#) zeigt eine querschnittene Seitenansicht eines Halbleiterchip-Gehäuses **40(a)** gemäß einer Ausführungsform der Erfindung nach Vereinzelung. Wie in [Fig. 1H](#) gezeigt, sind die Seiten des Einkapsel-Materials **32** flächengleich mit den Seiten des Substrats **22**. Das Einkapsel-Material **32** überdeckt sowohl den Halbleiterchip **25** als auch die Drähte **30**. Die ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** sind elektrisch voneinander isoliert und formen elektrische Anschlüsse auf der Unterseite des Gehäuses **40(a)**.

[0127] Wie in [Fig. 1I](#) gezeigt, können die ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** elektrische Anschlüsse auf der Unterseite des Gehäuses **40(a)** formen. Die Anschlüsse entsprechend der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** können leitenden Kontaktflecken auf einer gedruckten Schaltkreisplatte (nicht gezeigt) entsprechen.

[0128] Das in [Fig. 1I](#) gezeigte Halbleiterchip-Gehäuse **40(a)** kann leicht auf der Schaltkreisplatte (nicht gezeigt) montiert werden, um eine elektrische Baugruppe zu formen. Lot kann auf die bloßliegenden Oberflächen der ersten und zweiten leitenden Teilbereiche **14(a)**, **14(b)** und/oder auf die entsprechenden leitenden Kontaktflecken auf der Schaltkreisplatte aufgeschichtet werden. Das Halbleiterchip-Gehäuse **40(a)** kann dann auf der Schaltkreisplatte wie ein Flip-Chip montiert werden.

[0129] [Fig. 1J](#) zeigt eine Leistenstruktur **50**, die mehrere Substrate **22** während des Gehäuse-Form-Prozesses aufnehmen kann. Die Leistenstruktur **50** beinhaltet mehrere Referenz-Trenn-Kerben **50(a)**. Die Kerben **50(a)** können verwendet werden, um das Führen des vorbeschriebenen ersten Trennelements zu unterstützen, so dass die optimale Trenntiefe bestimmt werden kann, bevor der Zwischen-Teilbereich zwischen den ersten und zweiten leitenden Teilbereichen getrennt wird. Die Kerben **50(a)** können in einigen Fällen als "Sägestraßen-Referenzen" bezeichnet werden.

[0130] [Fig. 1K](#) zeigt eine Seitenansicht einer Referenz-Kerbe **50(a)** in einer Leistenstruktur **50**. Wie gezeigt erstreckt sich die Kerbe **50(a)** durch einen Teil der Dicke der Rahmenstruktur **50**.

[0131] [Fig. 1L](#) zeigt horizontale und vertikale Trennlinien. Diese Linien **62** definieren Trennpfade für das erste Trennelement, während es den Zwischen-Teilbereich, der die ersten und zweiten leitenden Teilbereiche der Leiterraahmen-Struktur in dem Substrat **22** isoliert, trennt.

[0132] Wenn das Trennen durch die Trennlinien durchgeführt wird, kann ein Sägeblatt beispielsweise nur durch einen Teil der Leistenstrukturen **50** trennen, so dass sie intakt bleiben können und die verschiedenen Substrate **22** weiter verarbeitet werden können. Als Alternative zum Verwenden einer Säge und Referenz-Kerben **50(a)** kann man einen Laser verwenden, um die zuvor beschriebenen Zwischen-Teilbereiche zu trennen, die sich zwischen den ersten und zweiten leitenden Teilbereichen befinden. Ein Laserstrahl kann verwendet werden, um speziell die Zwischen-Teilbereiche zu trennen, ohne Referenz-Kerben zu verwenden.

[0133] Die oben beschriebenen Ausführungsformen haben eine Reihe von Vorteilen. Wie oben erwähnt, kann

durch das Bereitstellen einer Aussparung zwischen ersten und zweiten leitenden Teilbereichen einer Leiterrahmen-Struktur und anschließendes Füllen der Aussparung mit einem Einkapsel-Material, das Einkapsel-Material mit dem vorgeformten Substrat "verriegelt" werden. Dies hilft sicherzustellen, dass das geformte Chip-Gehäuse stabil und robust ist. Auch können Chip-Gehäuse mit einer Vielzahl elektrischer Anschlüsse schnell und effizient mittels der Ausführungsformen der Erfindung geformt werden. Zusätzlich können Ausführungsformen der Erfindung zumindest zwei Reihen von MLP-Gehäusen mit minimierten Gehäusedimensionen formen und ohne bloßliegende Chip-Anschluss-Felder (DAPs).

[0134] In den mit Bezug auf [Fig. 1A-Fig. 1L](#) beschriebenen Ausführungsformen befindet sich der Halbleiterchip innerhalb eines von den inneren Teilbereichen der Leiter definierten Gebiets. In anderen Ausführungsformen der Erfindung ist es möglich, ein Halbleiterchip-Gehäuse bereitzustellen, das eine Konfiguration aufweist, in der der Halbleiterchip Teilbereiche der Leiter überlappt. Dieser Typ von Halbleiterchip-Gehäuse kann auch ein Zweireihen-MLP-Gehäuse sein. Das verbesserte Zweireihen-MLP-Gehäuse ermöglicht eine höhere Stiftzahl bei gleicher Gehäusegröße, ohne thermische Leistungsfähigkeit zu opfern. Das verbesserte Zweireihen-MLP-Gehäuse ist auch kleiner als vergleichbare Gehäuse mit derselben Anzahl von Pins bzw. Stifte, ohne thermische Leistungsfähigkeit zu opfern. Diese zusätzlichen Ausführungsformen sind mit Bezug zu den [Fig. 2A-Fig. 2E](#) beschrieben.

[0135] [Fig. 2A](#) zeigt eine Unteransicht eines Halbleiterchip-Gehäuses **700** gemäß einer Ausführungsform der Erfindung. Das Halbleiterchip-Gehäuse **700** beinhaltet eine Leiterrahmen-Struktur **720** beinhaltend eine Vielzahl von inneren ersten leitenden Teilbereichen **702(a)** und einer Vielzahl von äußeren zweiten leitenden Teilbereichen **702(b)**. Wie gezeigt, umgeben die zweiten leitenden Teilbereiche **702(b)** die ersten leitenden Teilbereiche **702(a)**. Wie in den vorhergehenden Ausführungsformen, formt ein Formmaterial **704** ein Substrat **721** mit einer Leiterrahmen-Struktur **720**. Äußere Oberflächen des Formmaterials **704** sind im Wesentlichen planparallel mit äußeren Oberflächen der ersten und zweiten leitenden Teilbereiche **702(a)**, **702(b)** der Leiterrahmen-Struktur **720**.

[0136] Eine querschnittene Seitenansicht des Halbleiterchip-Gehäuses **700** ist in [Fig. 2B](#) gezeigt. [Fig. 2B](#) ist ein Querschnitt entlang der Linie 2B-2B in [Fig. 2A](#). Das Halbleiterchip-Gehäuse **700** beinhaltet einen Halbleiterchip **710**, der auf einem Substrat **721** mittels eines Chip-Befestigungs-Materials **712** wie Lot oder einem nicht leitendem Klebstoff, montiert ist. In diesem Beispiel ist die Unterseite des Halbleiterchips **710** nicht elektrisch zu dem ersten leitenden inneren Teilbereich **70(a)** gekoppelt. Wie in den vorgenannten Ausführungsformen beinhaltet das Substrat **721** das Formmaterial **704** und die Leiterrahmen-Struktur **720** und es existieren Aussparungen **703**, die in dem Substrat **721** geformt sind. Die Aussparungen **703** befinden sich zwischen entsprechenden ersten und zweiten leitenden Teilbereichen **702(a)**, **702(b)** und sind durch Trennen der Zwischen-Teilbereiche der Leiterrahmen-Struktur **720**, die sich zwischen den ersten und zweiten leitenden Teilbereichen **702(a)**, **702(b)** befinden, geformt. Trennprozesse sind weiter oben in [Fig. 1C](#) und [Fig. 1D](#) beschrieben und alle der oben beschriebenen Trennprozesse können hier verwendet werden.

[0137] Anschließend können Verfahrensschritte beinhaltend Chip-Befestigung, Verbinden über Drähte, Einkapselung und Vereinzelung durchgeführt werden. Solche Verfahrensschritte sind oben mit Bezug zu [Fig. 1E-Fig. 1H](#) beschrieben. Diese Beschreibungen werden hier eingeschlossen.

[0138] Anders als im vorbeschriebenen Gehäuse, das in [Fig. 1G](#) gezeigt ist, ist der Halbleiterchip **710** in dieser Ausführungsform auf dem Substrat **721** montiert, so dass er sich über den inneren ersten leitenden Teilbereichen **702(a)** und einer geätzten Region **720(a)** der Leiterrahmen-Struktur **720** befindet und diese überlappt. Drähte **711** koppeln den Halbleiterchip **710** elektrisch zu den oberen Oberflächen der ersten und zweiten leitenden Teilbereiche **702(a)**, **702(b)**.

[0139] [Fig. 2C](#) ist eine Unteransicht auf die Leiterrahmen-Struktur **720**, die in dem Substrat **721** verwendet ist. Wie gezeigt, sind die ersten und zweiten leitenden Teilbereiche **702(a)**, **702(b)** nach Ätzen geformt. Zwischen-Teilbereiche **702(c)** befinden sich zwischen ersten und zweiten leitenden Teilbereichen **702(a)**, **702(b)**. Zusammen können ein erster und zweiter leitender Teilbereich **702(a)**, **702(b)** und ein Zwischen-Teilbereich **702(c)** zwischen den ersten und zweiten Teilbereichen **702(a)**, **702(b)** eine Aussparung formen. Wie oben angemerkt, wird der Zwischen-Teilbereich **702(c)** schließlich getrennt und wird mit einem Einkapsel-Material gefüllt. Die Leiterrahmen-Struktur **720** beinhaltet auch geätzte Gebiete **720(a)**, wo Material von der Leiterrahmen-Struktur **720** entfernt ist.

[0140] [Fig. 2D](#) zeigt eine Unteransicht auf ein Halbleiterchip-Gehäuse **730** gemäß einer anderen Ausführungsform der Erfindung. Wie in den vorhergehenden Ausführungsformen beinhaltet das Halbleiterchip-Ge-

häuse **730** eine Leiterrahmen-Struktur **740** und ein Formmaterial **746**. Zusammen können diese Komponenten eine Substrat **741** formen. Die Leiterrahmen-Struktur **740** beinhaltet einen zentralen Teilbereich **736**, der sowohl ein Chip-Befestigungs-Gebiet beinhaltend ein Chip-Anschluss-Feld (DAP) als auch innere erste leitende Teilbereiche **732(a)** und äußere zweite leitende Teilbereiche **732(b)** beinhalten kann. Die zweiten leitenden Teilbereiche **732(b)** können die inneren ersten leitenden Teilbereiche **732(a)** umgeben, und die ersten und zweiten leitenden Teilbereiche **732(a)**, **732(b)** können wie oben beschrieben elektrisch voneinander isoliert sein.

[0141] Wie in [Fig. 2E](#) gezeigt, ist ein Halbleiterchip **752** an dem Chip-Befestigungs-Gebiet des zentralen Teilbereichs **736** mittels eines Chip-Befestigungs-Materials oder Ähnlichem montiert. Der Halbleiterchip **752** überlappt sowohl viele der ersten leitenden Teilbereiche **732(a)** als auch den zentralen Teilbereich **736**. Jeder der zweiten leitenden Teilbereiche in der Vielzahl von zweiten leitenden Teilbereiche **732(b)** ist elektrisch von einem entsprechenden ersten leitenden Teilbereich in der Vielzahl von ersten leitenden Teilbereichen **732(b)** isoliert. [Fig. 2E](#) ist ein Querschnitt entlang der Linie 2E-2E in [Fig. 2D](#). Die zuvor beschriebenen Drähte sind aus [Fig. 2E](#) zur Klarheit weggelassen.

[0142] Die mit Bezug auf [Fig. 2A-Fig. 2E](#) beschriebenen Ausführungsformen haben eine Reihe von Vorteilen. Ausführungsformen der Erfindung ermöglichen eine höhere Stiftzahl, ohne thermische Leistungsfähigkeit zu opfern. Ausführungsformen der Erfindung können alternativ kleiner sein als vergleichbare Gehäuse mit der gleichen Anzahl von Pins, ohne thermische Leistungsfähigkeit zu opfern. Beispielsweise kann ein kleines Gehäuse mittels solcher Ausführungsformen geformt werden, obwohl der in dem Gehäuse verwendete Chip relativ groß ist. Andere Designs sind nicht in der Lage, einen großen Halbleiterchip in ein Gehäuse einzuschließen, ohne die Größe des Gehäuses zu vergrößern. Das liegt daran, dass in anderen Designs der Halbleiterchip auf einem DAP (Chip-Anschluss-Feld) von vergleichbarer Größe platziert wird. In den oben beschriebenen Ausführungsformen kann der Halbleiterchip jedoch laterale Dimensionen aufweisen, die größer als ein DAP sind oder gar kein DAP haben, während der Halbleiterchip zumindest einige der leitenden Teilbereiche (Leiter) der Leiterrahmen-Struktur überlappt. Thermische Leistungsfähigkeit wird nicht geopfert und kann verbessert werden, da Wärme nicht nur durch ein DAP abgeführt wird, sondern auch durch die Leiter (leitenden Teilbereiche) der Leiterrahmen-Struktur.

[0143] Tabelle 1 stellt die von den spezifischen, mit Bezug zu [Fig. 2A-Fig. 2E](#) beschriebenen Ausführungsformen bereitgestellten Vorteile im Vergleich zu den spezifischen oben in den [Fig. 1A-Fig. 1L](#) (Ausführungsform 1) beschriebenen Ausführungsformen dar. Wie in Tabelle 1 gezeigt, können die Ausführungsformen, die mit Bezug auf die [Fig. 2A-Fig. 2E](#) spezifisch beschrieben sind (Ausführungsform 2) kleiner sein, höhere Stiftzahlen haben und bessere thermische Eigenschaften aufweisen als die Ausführungsformen, die spezifisch in den [Fig. 1A-Fig. 1L](#) beschrieben sind.

Tabelle 1		
Eigenschaft	Ausführungsform 1	Ausführungsform 2
Größe (Teilung)	7 mm × 6 mm (0,65 mm Teilung)	6 mm × 5 mm (0,4 mm-0,5 mm Teilung)
Stiftzahl	56 Pin	80 Pin
Teilungs-Grenze	Min 0,5 mm	Min 0,4 mm
Thermischer Widerstand-Einzelplatte (Grade C/W)	DAP nicht gelötet mit 56 Pins – 82,6	DAP nicht gelötet mit 80 Pins – 78,7 DAP nicht gelötet mit 64 Pins – 72,1
Thermischer Widerstand-Mehrfachplatte (Grade C/W)	DAP nicht gelötet mit 56 Pins – 45,1	DAP nicht gelötet mit 80 Pins – 35,3 DAP nicht gelötet mit 64 Pins – 32,8

II. Chip-Gehäuse beinhaltend mehrere Halbleiterchips

[0144] Während die charakteristischen Größen von Mikroleiter-Gehäuse (Microlead Package MLP)-Komponenten kleiner und kleiner werden, sind die Designs durch Metall-zu-Metall-Abstände und der Leistungsfähigkeit von Maßtoleranzen geätzter und halb-geätzter Rahmentechnologie begrenzt. Dies veranlasste die Einführung der Bump-Chip-Träger-(bump chip carrier BCC)-Technologie, die derzeit keine Layout-Beschränkungen bietet, aber üblicherweise nasse Ätzprozesse verwenden würde. Die Verwendung von nassen Ätzprozessen ist nicht bevorzugt.

[0145] Ausführungsformen der Erfindung verwenden vorgeformte Substrate, die Leiterrahmen-Strukturen einschließen. Die Substrate können mehrere Halbleiterchips aufnehmen. Üblicherweise erfordert ein Multichip-Gehäuse die Verwendung eines bestimmten Substrat-Layouts. Ein bestimmtes Substrat-Layout ist üblicherweise für das bestimmte Multichip-Gehäuse spezifisch. Ausführungsformen der Erfindung sind in der Lage, diese Beschränkung aufzuheben durch das Ermöglichen des Wiederverwendens desselben Designs eines vorgeformten Substrats, um mehrere Halbleiterchip-Layouts aufzunehmen. Ein dargelegtes Feld-Layout kann auch dafür verwendet werden, die thermische Leistungsfähigkeit des Halbleiterchip-Gehäuses in Ausführungsformen der Erfindung zu verbessern. Andere Layout-Konzepte beinhalten die Fähigkeit des Halbleiterchip-Gehäuses, Zugang zu bieten zu einem Drain-Kontakt eines Halbleiterchips (z.B. wenn der Halbleiterchip einen vertikalen Leistungs-MOSFET umfasst).

[0146] In einer Ausführungsform der Erfindung wird ein vorgeformtes Substrat beinhalten eine erste Oberfläche und eine zweite Oberfläche bereitgestellt. Das vorgeformte Substrat beinhaltet eine Leiterrahmen-Struktur und ein Formmaterial. Die Leiterrahmen-Struktur umfasst ein Feld-Gebiet. Eine äußere Oberfläche des Feld-Gebiets und eine äußere Oberfläche des Formmaterials sind im Wesentlichen planparallel und fallen mit der zweiten Oberfläche des vorgeformten Substrats zusammen. Zumindest zwei Halbleiterchips sind an dem Substrat befestigt. Vorzugsweise sind die zumindest zwei Halbleiterchips an dem Formmaterial des Substrats befestigt und an Leitern an den seitlichen Kanten des Substrats mittels Verbindungsdrähte und/oder leitenden Klemmen verbunden.

[0147] [Fig. 3A-Fig. 3E](#) zeigen Schritte in der Ausbildung eines Halbleiterchip-Gehäuses beinhalten ein vorgeformtes Substrat und mehrere Halbleiterchips.

[0148] [Fig. 3A](#) zeigt eine Draufsicht auf ein vorgeformtes Substrat **100** gemäß einer Ausführungsform der Erfindung. Das vorgeformte Substrat **100** umfasst ein Formmaterial **102** und eine Leiterrahmen-Struktur **104**. Zumindest eine äußere Oberfläche des Formmaterials **102** und eine äußere Oberfläche der Leiterrahmen-Struktur **104** sind im Wesentlichen planparallel. Die Leiterrahmen-Struktur **104** beinhaltet eine Anzahl von Leitern **104(a)**, die sich an äußeren Seitenkantengebieten des Substrats **100** befinden und dort enden. Die Leiter **104(a)** in diesem Beispiel befinden sich an jeder der vier Seitenkantengebiete des Substrats **100** und sind freigelegt durch ein Formmaterial **102** und erstrecken sich nicht über dieses hinaus. Äußere Oberflächen der Leiter **104a** können im Wesentlichen planparallel mit der äußeren Oberfläche des Formmaterials **102** sein.

[0149] Wie in [Fig. 3A](#) durch die gepunkteten Linien dargestellt, beinhaltet die Leiterrahmen-Struktur ein abgesenktes zentrales Gebiet, das sich innerhalb der Leiter **104(a)** befindet. Das heruntergesetzte zentrale Gebiet kann durch einen Teil-Ätzprozess geformt sein. Die obere Oberfläche des heruntergesetzten zentralen Gebiets ist mit dem Formmaterial **102** bedeckt.

[0150] Die obere Oberfläche des Formmaterials **102** kann ein Chip-Befestigungs-Gebiet **100(a)** ausbilden, auf dem zwei oder mehr Halbleiterchips (nicht gezeigt) montiert werden können. Da die obere Oberfläche des Formmaterials **102** als Chip-Befestigungs-Gebiet **106** verwendet wird und keine leitenden Chip-Anschluss-Felder als Anbringungs-Oberflächen der dargestellten Ausführungsform verwendet werden, kann das vorgeformte Substrat **100** eine Vielzahl von Halbleiterchips stützen ohne zu erfordern, dass diese Chips in einem bestimmten Layout angeordnet sind. Mehrere Multichip-Konfigurationen können verwendet werden, ohne das externe Leiter-Layout zu verändern.

[0151] Bezug nehmend auf [Fig. 3B](#) werden, nachdem das Substrat geformt ist, Halbleiterchips **110**, **112**, **114** auf dem Chip-Befestigungs-Gebiet **106** auf dem Substrat **100** montiert. Ein nichtleitender (oder leitender) Klebstoff kann verwendet werden, um die Halbleiterchips **110**, **112**, **114** an dem Chip-Befestigungs-Gebiet **106** zu befestigen. Die Halbleiterchips können jegliche der oben beschriebenen Halbleiterchips sein. Vorzugsweise können die Chips **110**, **112**, **114** auf dem Formmaterial **102** des Substrats in jeglicher geeigneten Anordnung platziert sein.

[0152] Bezug nehmend auf [Fig. 3C](#), können, nachdem die Halbleiterchips **110**, **112**, **114** auf dem Substrat **100** montiert sind, die oberen Oberflächen der Halbleiterchips **110**, **112**, **114** elektrisch zu den Leitern **104(a)** gekoppelt werden, um ein Halbleiterchip-Gehäuse **121** zu formen. Wenn gewünscht, kann ein optionales Einkapsel-Material über sowohl die Halbleiterchips **110**, **112**, **114** als auch die leitenden Strukturen (z.B. Drähte, Klemmen etc.), die verwendet werden, um die Leiter **104(a)** zu den oberen Oberflächen der Halbleiterchips **110**, **112**, **114** zu koppeln, aufgeschichtet und ausgehärtet werden.

[0153] [Fig. 3C](#) zeigt spezifisch eine Anzahl von Drahtverbindungen **118**, die die elektrischen Anschlüsse

(nicht gezeigt) an den oberen Oberflächen der Halbleiterchips **110**, **112**, **114** zu den seitlichen Leitern **104(a)** der Leiterrahmen-Struktur **104** elektrisch koppeln. Die Drahtverbindungen **118** können über Drahtverbindungs-Verfahren geformt werden, die auf dem Gebiet der Technik bekannt sind. Alternativ können leitende Klemmen und Lot verwendet werden, um die elektrischen Anschlüsse auf der oberen Oberfläche der Halbleiterchips **110**, **112**, **114** zu den Leitern **104(a)** zu koppeln.

[0154] [Fig. 3D](#) zeigt eine Unteransicht auf das Substrat **100**. Die Unterseite des Substrats **100** und der Leiterrahmen-Struktur **104** beinhaltet ein Feld-Gebiet **104(b)**, das sich gegenüber dem Chip-Befestigungs-Gebiet **106** befindet. Das Feld-Gebiet **104(b)** ist groß und nimmt einen bedeutenden Teilbereich der zweiten Oberfläche **100(b)** des Substrats **100** ein und ist heruntermgesetzt mit Bezug auf die Leiter **104(a)** an den Kanten des Substrats **100**. In diesem Beispiel kann das bloßliegende Feld-Gebiet **104(b)** zumindest ca. 50% der lateralen Fläche des Substrats **100** in Anspruch nehmen. Das große Feld-Gebiet **104(b)** versieht das geformte Gehäuse mit guten Wärme-Transfer-Eigenschaften, da das große Feld-Gebiet **104(b)** der Leiterrahmen-Struktur als eine Wärmesenke fungiert.

[0155] [Fig. 3E](#) zeigt eine querschnittene Seitenansicht des Substrats **100** entlang der Linie 3E-3E in [Fig. 3A](#). Das Feld-Gebiet **104(b)** hat eine äußere Oberfläche **104(b)-1**, die einen umfangreichen Teilbereich der unteren Oberfläche des Substrats **100** einnimmt. Die äußere Oberfläche **104(b)-1** des Feld-Gebiets **104(b)** ist freigelegt von und im Wesentlichen planparallel mit einer äußeren Oberfläche **102(a)** des Formmaterials in dem Substrat **100**. In diesem Beispiel isoliert das Formmaterial **102** die Halbleiterchips **110**, **112**, **114** elektrisch von dem Feld-Gebiet **104(b)**. Das freigelegte Feld-Gebiet **104(b)** kann auf eine Schaltkreisplatte (nicht gezeigt) gelötet werden, wenn es gewünscht ist, einen thermischen Pfad von den Halbleiterchips **110**, **112**, **114** zu der Schaltkreisplatte bereitzustellen.

[0156] Wie in [Fig. 3E](#) gezeigt, haben die Leiter **104(a)** Dicken, die im Wesentlichen gleich der maximalen Dicke des Formmaterials **102** sind. Zusätzlich ist in dem Substrat **100** eine innere Oberfläche des Feld-Gebiets **104(b)** der Leiterrahmen-Struktur **104** durch das Formmaterial bedeckt. Das Formmaterial **102** hat eine Dicke "T" und in diesem Beispiel entspricht die kombinierte Dicke T und die Dicke des Feld-Gebiets **104(b)** der Dicke des Substrats **100**.

[0157] Die mit Bezug auf [Fig. 3A-Fig. 3E](#) beschriebenen Ausführungsformen haben eine Reihe von Vorteilen. Erstens verbessert das große freigelegte Feld-Gebiet **104(b)** die thermische Leistungsfähigkeit des geformten Halbleiterchip-Gehäuses durch Bereitstellen eines großen Wärme-Leitungs-Pfads von den Halbleiterchips **110**, **112**, **114**. Zusätzlich hat das große Chip-Befestigungs-Gebiet **106** des Substrats **100** keine leitenden Felder, so dass verschiedene Multi-Chip-Layouts in einem Gehäuse bereitgestellt werden können, obwohl nur ein Substrat-Design verwendet wird.

[0158] [Fig. 4A-4F](#) stellen ein Verfahren zum Formen einer anderen Ausführungsform der Erfindung dar.

[0159] [Fig. 4A](#) zeigt ein anderes vorgeformtes Substrat **100** gemäß einer Ausführungsform der Erfindung. Das Substrat **100** beinhaltet eine Leiterrahmen-Struktur **104** beinhaltend ein Feld-Gebiet **104(b)** und Leiter **104(a)** und ein Formmaterial **102**. Ein Chip-Befestigungs-Gebiet **106** an einer oberen Oberfläche **100(a)** des vorgeformten Substrats **100** kann eine Oberfläche des Feld-Gebiets **104(b)** beinhalten und kann eine Anzahl von Halbleiterchips (nicht gezeigt) stützen. Die gepunkteten Linien in [Fig. 4B](#) zeigen die Kontur der Leiterrahmen-Struktur **104**, und die Leiterrahmen-Struktur **104** kann durch einen Teil-Ätzprozess geformt sein.

[0160] Anders als das oben mit Bezug zu [Fig. 3A](#) beschriebene Substrat **100**, hat das Feld-Gebiet **104(b)** in diesem Beispiel gegenüberliegende Oberflächen, die mit den gegenüberliegenden Oberflächen des Substrats **100** zusammenfallen. In dieser Ausführungsform beinhaltet das Chip-Befestigungs-Gebiet **106** sowohl eine äußere Oberfläche des Feld-Gebiets **104(b)** und eine äußere Oberfläche des Formmaterials **102**.

[0161] In diesem Beispiel erstreckt sich das Feld-Gebiet **104(b)** durch die gesamte Dicke des Substrats **100** und kann einen leitenden und/oder thermischen Pfad für einen Halbleiterchip (nicht gezeigt) auf dem Feld-Gebiet **104(b)** durch das Substrat **100** und zu einer darunter liegenden Schaltkreisplatte (nicht gezeigt) darstellen. In einigen Ausführungsformen kann das Feld-Gebiet **104(b)** elektrisch zu einem Eingangs- oder Ausgangs-Anschluss eines elektrischen Bauelements in einem Halbleiterchip (in [Fig. 4A](#) nicht gezeigt) gekoppelt sein. Beispielsweise kann das Feld-Gebiet **104(b)** elektrisch zu dem Drain-Gebiet eines MOSFETs in einem Halbleiterchip gekoppelt sein.

[0162] Wie in [Fig. 4B](#) gezeigt, kann eine Anzahl von Halbleiterchips **110**, **112**, **114** auf dem Chip-Befesti-

gungs-Gebiet **106** platziert sein. Einer der Halbleiterchips, Halbleiterchip **112**, kann an dem Feld-Gebiet **104(b)** befestigt sein, während die anderen Halbleiterchips **110**, **114** an dem Formmaterial befestigt sein können. Der Halbleiterchip **112** kann ein vertikales Bauelement wie ein vertikaler MOSFET sein. Wie oben beschrieben, haben solche vertikalen Bauelemente einen Eingang an einer Oberfläche des Chips und einen Ausgang an einer anderen gegenüberliegenden Oberfläche des Chips. Die anderen Halbleiterchips **110**, **114** können horizontale Bauelemente beinhalten. Wie oben beschrieben, hat ein horizontales Bauelement einen Eingang und einen Ausgang auf der selben Oberfläche des Chips.

[0163] Bezug nehmend auf [Fig. 4C](#) werden, nachdem die Halbleiterchips **110**, **112**, **114** auf dem Substrat montiert sind, eine Zahl von Drahtverbindungen **118** geformt, um die Leiter **104(a)** mit den oberen Oberflächen der Halbleiterchips **110**, **114**, **112** zu verbinden. Ein Halbleiterchip-Gehäuse **121** ist dann geformt.

[0164] [Fig. 4D](#) zeigt eine Unteransicht auf das Substrat **100**. Wie in [Fig. 4D](#) gezeigt, ist freigelegte Oberfläche des Feld-Gebiets **104** größer an der unteren Oberfläche **100(b)** des Substrats **100** als an der freigelegten Oberfläche des Feld-Gebiets **104(b)** an der oberen Oberfläche **100(a)** des Substrats **100**. In anderen Ausführungsformen kann die freigelegte Oberfläche des Feld-Gebiets **104(b)** an der oberen Oberfläche **100(a)** des Substrats **100** größer sein oder die gleiche Größe haben wie die freigelegte Oberfläche des Feld-Gebiets **104(b)** an der unteren Oberfläche des Substrats **100**.

[0165] [Fig. 4E](#) zeigt eine Seitenansicht des in [Fig. 4A](#) gezeigten Substrats **100**. Wie in [Fig. 4E](#) gezeigt, sind die ersten und zweiten gegenüberliegenden Oberflächen **104(b)-1**, **104(b)-2** des Feld-Gebiets **104(b)** im Wesentlichen planparallel mit äußeren Oberflächen des Formmaterials **102**. Das Formmaterial **102** kann eine Dicke "T" an einem geätzten Teilbereich des Feld-Gebiets **104(b)** haben. Daher kann das Formmaterial **102** eine Dicke haben, die gleich der Dicke des Substrats **100** an manchen Stellen ist und es kann eine Dicke "T" an anderen Stellen haben.

[0166] Die mit Bezug auf [Fig. 4A-Fig. 4E](#) beschriebenen Ausführungsformen haben eine Reihe von Vorteilen. Erstens verbessert das große freigelegte Feld-Gebiet **104(b)** die thermische Leistungsfähigkeit des geformten Halbleiterchip-Gehäuses durch Bereitstellen eines großen Wärme-Leit-Pfads von den Halbleiterchips **110**, **112**, **114**. Zusätzlich kann das große Chip-Befestigungs-Gebiet **106** des Substrats **100** als leitender und thermischer Pfad für einen oder mehrere Halbleiterchips, die auf dem Substrat **100** montiert sind, dienen.

[0167] Die in [Fig. 3A-Fig. 3E](#) und [Fig. 4A-Fig. 4E](#) gezeigten Ausführungsformen haben weiterhin andere Vorteile in Ergänzung zu den bereits genannten. Erstens, da kein DAP erforderlich ist, können viele verschiedene Halbleiterchip-Konfigurationen verwendet werden, ohne die externen Leiter-Konfigurationen zu verändern. Der Abstand zwischen Chips auf dem Substrat kann minimiert werden, da ein DAP nicht erforderlich ist, wodurch ein kompakteres Gehäuse bereitgestellt wird. Zweitens, da ein DAP nicht erforderlich ist, ist ein Riegel, der verwendet wird, um den DAP während der Verarbeitung zu verbinden, nicht erforderlich. Dies kann die Verarbeitung vereinfachen. Drittens kann ein von einem mit einem freigelegten Feld verbundenen Gebiet in Anspruch genommenes Gebiet in einem Substrat gemäß einer Ausführungsform der Erfindung maximiert werden. Wie oben gezeigt, kann das freigelegte Feld fast die gesamte Rückseite des Substrats, das die Halbleiterchips stützt, in Anspruch nehmen. Viertens kann, wie oben gezeigt, die Leiterrahmen-Struktur eine freigelegte Oberfläche in dem Substrat haben, um den Drain- oder anderen Anschluss in einem elektrischen Bauelement in einem Halbleiterchip, der auf dem Substrat montiert ist, zu verbinden. Dies kann erreicht werden, während die freigelegte Feld-Fläche auf der gegenüberliegenden Seite des Substrats, welche schließlich an eine geeignete Schaltkreisplatte gelötet wird, maximiert wird.

III. Verfahren zum Herstellen eines Halbleiterchip-Gehäuses unter Verwendung einer gedruckten Leiterrahmenstruktur

[0168] Einige der vorgeformten Substratausführungsformen, welche zuvor beschrieben wurden, verwenden eine geätzte Leiterrahmenstruktur (z.B. die in Bezug auf die [Fig. 1A-Fig. 1H](#) beschriebenen Ausführungsformen) und werden unter Verwendung von teurem Abdeckband ausgebildet. Das Verwenden von geätzten Leiterrahmen und Abdeckband ist teuer. Band ist ein verhältnismäßig teures Bauteil in dem Herstellungsverfahren und das Abdecken und Ätz-Verfahren erhöhen die Herstellungszeit, Komplexität und die Kosten eines vorgeformten Substrats. Es wäre wünschenswert, ein Verfahren zum Herstellen eines vorgeformten Substrats bereitzustellen, welches nicht auf die Verwendung von Abdeckband oder geätzten Leiterrahmenstrukturen zurückgreift.

[0169] Um dieses Problem anzugehen, können Ausführungsformen der Erfindung einen gedruckten Leiter-

rahmenapparat verwenden, um ein vorgeformtes Substrat auszubilden. Abdeckband und geätzte Leiterrahmen werden nicht benötigt, um das vorgeformte Substrat auszubilden, so dass das letztendliche Gehäuse, welche hergestellt wird, weniger teuer ist als ein Gehäuse, welche ausgebildet wird unter Verwendung eines geätzten Leiterrahmens und Abdeckbandes. Aufgrund der Verfahrenseffizienz, welche unter Verwendung von Ausführungsformen der Erfindung erreicht wird, können die resultierenden Halbleiterchip-Gehäuse, welche gemäß Ausführungsformen der Erfindung hergestellt werden, etwa 42% weniger kosten als vergleichbare Halbleiterchip-Gehäuse, welche vorgeformte Substrate mit geätzten Leiterrahmenstrukturen verwenden.

[0170] Zusätzlich zur Adressierung der zuvor erläuterten Probleme wäre es auch wünschenswert, die thermischen Eigenschaften von Halbleiterchip-Gehäusen beinhalten vorgeformte Substrate zu verbessern. In Ausführungsformen der Erfindung ist die thermische Eigenschaft gut, weil Hitze von einem Halbleiterchip zu den Leitern einer Leiterrahmenstruktur übertragen werden kann.

[0171] Es wäre auch wünschenswert, in einigen Fällen, den Bereich eines Löt punktes, der verwendet wird, um ein Halbleiterchip-Gehäuse mit einer Schaltkreisplatte zu verbinden, zu vergrößern. Unter Verwendung von Ausführungsformen der Erfindung kann eine konkave Struktur in dem Substrat ausgebildet werden. Mit einer konkaven Struktur ist es möglich, die Größe eines Löt punktes zu vergrößern und ein ausgesetztes Feld kann vor möglichem elektrischen Kurzschluss geschützt werden. Dies wird in weiterem Detail unten stehend erläutert.

[0172] Ausführungsformen der Erfindung können auch Flip-Chip-Befestigungsmethoden einsetzen, welche einen nicht leitenden Klebstoff oder einen Löt buckel und einen Verflüssigungsprozess verwenden. Die Leiterrahmenstrukturgestaltung ist verhältnismäßig einfach und es ist auch möglich, die Stifanzahl für eine vorgegebene Gehäusegröße zu erhöhen. Es ist auch möglich, einen größeren Chip in dem Halbleiterchip-Gehäuse zu verwenden, weil ein DAP (Die Attach Pad, Chipanschlussfeld) nicht erforderlich ist in den Ausführungsformen der Erfindung.

[0173] In einer Ausführungsform umfasst das Verfahren das Ausbilden eines vorgeformten Substrats. Der Schritt des Ausbildens des vorgeformten Substrates umfasst (i) das Platzieren einer Leiterrahmenstruktur zwischen wenigstens einer ersten Ausformform und einer zweiten Ausformform, (ii) Kontaktieren der Leiterrahmenstruktur mit der ersten und zweiten Ausformform, und (iii) Ausbilden eines Ausformmaterials um die Leiterrahmenstruktur. Die Leiterrahmenstruktur kann eine nicht geätzte Leiterrahmenstruktur sein und die ersten und zweiten Ausformformen können Teil eines Ausformapparats oder Werkzeugs sein. Nachdem das vorgeformte Substrat ausgebildet ist, wird ein Halbleiterchip an dem vorgeformten Substrat befestigt. Drahtanschlüsse, leitende Clips, Lotstrukturen (beispielsweise Lotbälle) oder Ähnliches können verwendet werden, um den Halbleiterchip mit Leitern in dem vorgeformten Substrat zu koppeln. Nachdem der Halbleiterchip elektrisch und mechanisch mit dem vorgeformten Substrat gekoppelt ist, wird der Halbleiterchip dann in ein Kapselmaterial eingekapselt, um ein Halbleiterchip-Gehäuse auszubilden. Das Kapselmaterial kann das gleiche oder ein unterschiedliches sein zu dem zuvor beschriebenen Ausformmaterial. Z.B. kann das Kapselmaterial unterschiedlich sein als das zuvor beschriebene Ausformmaterial, um die thermischen Eigenschaften des ausgeformten Chipgehäuses zu verbessern und um die Herstellungskosten zu verringern.

[0174] In einer spezifischen Ausführungsform kann das Verfahren zum Herstellen eines Halbleiterchip-Gehäuses den folgenden Prozess verwenden: a) einen ersten Ausformprozess, um ein vorgeformtes Substrat zu bilden, b) einen Substratreinigungsprozess, welcher ein Plasma, einen Laser, oder chemisches Ätzen und/oder einen Deflash-Prozess verwenden kann, c) einen Chipbefestigungsprozess, d) einen Plasmareinigungsprozess, e) einen Drahtverbindungsprozess, e) einen zweiten Ausform- oder Kapselprozess, und f) einen Vereinzelungsprozess. Jeder dieser spezifischen Prozesse wird in weiterem Detail weiter unten beschrieben.

[0175] [Fig. 5](#) zeigt eine Leiterrahmenstrukturordnung **201**, welche eine Anzahl von verbundenen Leiterrahmenstrukturen **200** beinhaltet. Jede Leiterrahmenstruktur **200** in der Leiterrahmenstrukturordnung **201** beinhaltet ungeschnittene Leitungen **200(b)** und einen größeren Hauptbereich **200(a)**. Die ungeschnittenen Leitungen **200(b)** erstrecken sich auf gegenüberliegenden Seiten des Hauptbereichs **200(a)**. Die Leiterrahmenstrukturen **200** in der Leiterrahmenstrukturordnung **201** werden gegebenenfalls in individuellen Halbleiterchip-Gehäusen verwendet und werden gegebenenfalls voneinander getrennt. Die Leiterrahmenstrukturen **200** und die Leiterrahmenstrukturordnung **201** können jegliche Charakteristika oder Eigenschaften von jeglichen der zuvor beschriebenen Leiterrahmenstrukturen aufweisen.

[0176] [Fig. 6A](#) zeigt eine perspektivische Ansicht einer ausgeformten Leiterrahmenstrukturordnung **206**,

nachdem sie in einem Ausformwerkzeug **202** ausgebildet worden ist. Das Ausformwerkzeug **202** beinhaltet eine erste Ausformform **202(a)** und eine zweite Ausformform **202(b)**. Ein Einlass zum Einführen eines unausgehärteten Ausformmaterials und ein Fluidauslass für überschüssiges Ausformmaterial können in dem Ausformwerkzeug **202** bereitgestellt sein. In einigen Fällen können auch Heizelemente (nicht gezeigt) bereitgestellt werden, um das Ausformmaterial zu heizen, so dass es fließen kann. Im Allgemeinen sind Ausformwerkzeuge im Stand der Technik bekannt.

[0177] Um die ausgeformte Leiterrahmenstrukturanordnung **206** auszubilden, kann die zuvor beschriebene Leiterrahmenstrukturanordnung **201** zwischen die ersten und zweiten Ausformformen **202(a)**, **202(b)** eingesetzt werden. Ein Ausformmaterial **204** wird um die Leiterrahmenstrukturanordnung **200** ausgeformt und härtet aus, um eine geformte Leiterrahmenstrukturanordnung **206** auszubilden. Das Ausformmaterial **204** exponiert äußere Oberflächen der Leitungen **200(b)** und des Hauptbereichs **200(a)**. Eine leicht erhöhte Randstruktur **204(a)** kann um jeden Hauptbereich **200(a)** vorhanden sein. Einige äußere Oberflächen des Ausformmaterials **204** und die Leiterrahmenstrukturen in der Leiterrahmenstrukturanordnung **200** sind im Wesentlichen koplanar miteinander.

[0178] Das Ausformwerkzeug **202** hat zwei Ausformformen **202(a)**, **202(b)**, welche entsprechende Konfigurationen aufweisen können, um das Ausformmaterial **204** in einer gewünschten Weise zu formen. Die obere Form **202(b)** kann Oberflächen aufweisen, welche im direkten Kontakt mit den Hauptbereichen **200(a)** sind, Oberflächen der ungeschnittenen Leitungen **200(b)** und jegliche andere Oberflächen, welche nicht vorgesehen sind, um mit dem Ausformmaterial bedeckt zu werden. Durch Verwenden der Ausformformen **202(a)**, **202(b)** ist es nicht erforderlich, teures Abdeckband oder geätzte Leiterrahmenstrukturen zu verwenden, wenn ein vorgeformtes Substrat ausgebildet wird. Dies reduziert die Kosten des vorgeformten Substrats und daher des Halbleiterform-Gehäuses, welches aus dem vorgeformten Substrat ausgebildet. Dies reduziert auch die Anzahl der Schritte, welche erforderlich sind, um den ausgeformten Abschnitt des vorgeformten Substrats auszubilden, folglich Prozesszeit und -aufwand einsparend. Schließlich ist es unter Verwendung von Ausformformen **202(a)**, **202(b)** möglich, einen Rand des Ausformmaterials um einen Hauptbereich **200(a)** auszubilden, hierdurch eine konkave Struktur ausbildend.

[0179] Wie in [Fig. 6B](#) gezeigt, kann ein Reinigungsprozess verwendet werden, um die Adhäsion eines Kapselmaterials zu dem Ausformmaterial **204** und den ausgesetzten Leitern **200(b)** zu erhöhen. Jeglicher geeigneter Reinigungsprozess kann verwendet werden. Z.B. kann ein Plasmareinigungsprozess, ein Laserreinigungsprozess, eine chemischer Ätzprozess, ein mechanischer Deflash-Prozess, etc. verwendet werden. Geeignete Reinigungsprozessparameter können vom Fachmann bestimmt werden. [Fig. 6B](#) zeigt spezifisch einen Reinigungsapparat **216**, wie er die obere Oberfläche der ausgeformten Leiterrahmenanordnung **206** reinigt.

[0180] Wie in [Fig. 6C](#) gezeigt, kann, nachdem die ausgeformte Leiterrahmenanordnung **206** mit dem Reinigungsapparat **216** gereinigt ist, ein Klebstoff **218** (oder Lot oder dgl.) auf den äußeren Oberflächen der Hauptbereiche **200(a)** aufgeschichtet werden unter Verwenden eines Klebstoffbeschichtungsapparates **217**. Der Klebstoff **218** kann jeglichen geeigneten kommerziell erhältlichen Klebstoff umfassen, beinhaltend einen Epoxylebstoff. Der Klebstoff **218** kann gefüllt oder ungefüllt sein und kann oder kann nicht ein leitendes Material beinhalten.

[0181] Wie in [Fig. 6D](#) gezeigt, werden, nachdem der Klebstoff **218** auf den Hauptbereichen **208(a)** aufgeschichtet ist, ein oder mehr Halbleiterchips **226** auf den Hauptbereichen **200(a)** montiert. Der Halbleiterchip **226**, welcher elektrisch mit jedem Hauptbereich **200(a)** gekoppelt ist, kann über den Leitungen **200(b)** positioniert sein und kann diese überlappen. Jedoch kann der Halbleiterchip **226** elektrisch von den Leitungen **200(b)** isoliert sein aufgrund des Vorhandenseins des Randes des Ausformmaterials **204(a)**. Weil die Halbleiterform **226** tatsächlich über einem Abschnitt der Leiter **200(b)** positioniert sein kann, ist die Größe der Halbleiterform **226** nicht auf die Größe der Hauptbereiche **200(a)** beschränkt. Dies ermöglicht die Einbeziehung von größeren Halbleiterchips in die Halbleiterchip-Gehäuse gemäß den Ausführungsformen der Erfindung.

[0182] Wie auch in [Fig. 6D](#) gezeigt, werden dann Drahtanschlüsse (Wirebonds) **228** zwischen elektrischen Anschlüssen (nicht gezeigt) an der Oberseite der Halbleiterchips **226** und den Leitern **200(b)** ausgebildet. In anderen Ausführungsformen können, anstelle der Drahtanschlüsse **228**, leitende Clips verwendet werden, um die Leiter **200(b)** elektrisch und mechanisch mit den oberen Oberflächen der Halbleiterchips **226** zu koppeln.

[0183] Wie in [Fig. 6E](#) gezeigt, wird die resultierende Anordnung dann mit einem Kapselmaterial **230** überformt, um eine überformte Anordnung **232** auszubilden. [Fig. 6E](#) zeigt eine perspektivische Draufsicht der überformten Anordnung **232**.

[0184] Jeglicher geeignete Ausformprozess kann verwendet werden, um die überformte Anordnung **232** auszubilden. Z.B. kann ein Ausformwerkzeug mit Ausformformen verwendet werden, um die überformte Anordnung auszubilden. Wie in vorhergehenden Ausführungsformen kann das Kapselmateriale **230** das gleiche sein oder ein unterschiedliches als das Ausformmaterial, welches verwendet wird, um das vorgeformte Substrat in das Halbleiterchip-Gehäuse auszubilden.

[0185] [Fig. 6F](#) zeigt eine perspektivische Unteransicht der gegenüberliegenden Seite der überformten Anordnung **232**, welche in [Fig. 6E](#) gezeigt ist. Wie gezeigt, können zweite Ränder **204(b)** des Ausformmaterials um die unteren Oberflächen der Hauptbereiche **208(a)** der Leiterrahmenstrukturen vorhanden sein. Wie im Folgenden in weiterem Detail beschrieben wird, können diese konkave Strukturen ausbilden.

[0186] [Fig. 6G](#) zeigt die überformte Anordnung **232** beinhaltend ein Ausformmaterial **230**, wie es mit einem Laser **238** markiert wird oder jeglichem anderen geeigneten Markierungselement. Die überformte Anordnung **232** beinhaltet eine Anzahl von verbundenen Halbleiterform-Gehäusen. Nach dem Markieren können die verbundenen Gehäuse vereinzelt werden mit einem entsprechenden Trennelement (nicht gezeigt), um die geformten Gehäuse voneinander zu trennen. Geeignete Trennelemente beinhalten Laser, Sägen, Stanzapparate oder dgl.

[0187] [Fig. 6H](#) zeigt eine perspektivische Draufsicht eines ausgeformten Gehäuses **246**, während [Fig. 6E](#) eine perspektivische Unteransicht des geformten Gehäuses **246** zeigt. Wie in [Fig. 6I](#) gezeigt, können der zweite Rand **204(b)** und die ausgesetzte Oberfläche des Hauptbereichs **208(b)** eine konkave Struktur ausbilden. Die konkave Struktur kann Lot beinhalten (nicht gezeigt) und kann umgedreht werden und dann an einer gedruckten Schaltkreisplatte montiert werden. Die konkave Struktur kann verwendet werden, um Lot an einer bestimmten Stelle zu verbinden und der zweite Rand **204(d)** des Ausformmaterials kann eine Schranke zwischen dem an dem Hauptbereich **204(b)** und den Leitern **200(b)** befestigten Lot ausbilden. Wie gezeigt sind die lateralen Kanten der Leiter **200(b)** im Wesentlichen koplanar mit den seitlichen Oberflächen des Ausformmaterials **204** und erstrecken sich nicht über diese. Die unteren Oberflächen der Leiter **200(b)** sind auch im Wesentlichen koplanar mit den Oberflächen des Ausformmaterials **204**, welches zwischen den Leitern **200(b)** ist.

[0188] Die [Fig. 7A-Fig. 7D](#) zeigen Seitenansichten eines Halbleiterform-Gehäuses, wie sie hergestellt wird. Das in den [Fig. 7A-Fig. 7D](#) gezeigte Verfahren ist ähnlich zu dem in den [Fig. 6A-Fig. 6I](#) gezeigten Verfahren.

[0189] [Fig. 7A](#) zeigt eine Leiterrahmenstruktur **302**, beinhaltend eine erste Oberfläche **302(a)** und eine zweite Oberfläche **302(b)** gegenüberliegend der ersten Oberfläche **302(a)**. In diesem Beispiel hat die Leiterrahmenstruktur **302** eine Anzahl von Räumen **303**, welche zwischen den Leitern **305** vorhanden sind, und einen zentralen Hauptabschnitt **333** der Leiterrahmenstruktur **302**. Der zentrale Hauptabschnitt **333** ist zwischen Sätzen von Leitern **305** vorhanden. Die Leiterrahmenstruktur **302** kann die gleichen oder unterschiedliche Charakteristika wie die zuvor beschriebenen Leiterrahmenstrukturen haben. Z.B. kann die Leiterrahmenstruktur **302** ein Material wie Kupfer umfassen und kann plattiert sein.

[0190] [Fig. 7B](#) zeigt eine Leiterrahmenstruktur **302**, nachdem ein Ausformmaterial **302** darauf ausgeformt worden ist. Dies kann einen ersten Ausformprozess darstellen. Ein vorgeformtes Substrat **301** ist hierauf folgend ausgebildet. Das Ausformmaterial **302** hat zwei Abschnitte **304(a)**, **304(b)**, welche einen Rand des Ausformmaterials **304** ausbilden können. Wie in [Fig. 7B](#) gezeigt, wird eine konkave Struktur **307** durch die Ausformmaterialabschnitte **304(a)**, **304(b)** ausgebildet und die untere Oberfläche des zentralen Hauptabschnitts **333** der Leiterrahmenstruktur.

[0191] Wie in [Fig. 7C](#) gezeigt, wird, nachdem das vorgeformte Substrat **301** ausgebildet wird, ein Halbleiterchip **310** an dem vorgeformten Substrat **301** unter Verwendung eines Klebstoffs **308** befestigt, der einen leitenden oder nicht leitenden Klebstoff, Lot, etc. beinhalten kann. Der Halbleiterchip **310** kann eine horizontale oder eine vertikale Vorrichtung umfassen, wie zuvor beschrieben. Wenn eine vertikale Vorrichtung vorliegt, kann der Klebstoff **308** leitend sein, so dass Strom von oder zu der unteren Oberfläche des Chips **310** zu dem Klebstoff **308**, dem zentralen Hauptabschnitt **333** der Leiterrahmenstruktur **302** und zu einem entsprechenden Feld auf einer Schaltkreisplatte (nicht gezeigt) fließen kann.

[0192] Dann werden Drahtverbindungen **314** zwischen den Leitern **305** der Leiterrahmenstruktur **302** und elektrischen Anschlüssen (nicht gezeigt) an der oberen Oberfläche des Halbleiterchips **310** ausgebildet. Die obere Oberfläche des Halbleiterchips **310** kann weiter von dem vorgeformten Substrat **301** sein als die gegenüberliegende Oberfläche des Halbleiterchips **310**. Ein Kapselmateriale **318** wird dann über den Halbleiterchip **310** und die Drahtverbindungen **314** ausgebildet. Wie in [Fig. 7C](#) gezeigt, können die seitlichen Oberflächen

des Kapselmaterials **318** koplanar mit den seitlichen Oberflächen der Leiter **305** der Leiterrahmenstruktur sein.

[0193] Eine perspektivische Unteransicht des sich ergebenden Halbleiterchip-Gehäuses **330** ist in [Fig. 7D](#) gezeigt. Das Halbleiterchip-Gehäuse **330** beinhaltet ein Kapselmateriale **318** und eine Leiterrahmenstruktur **302**. Ein Rand des Ausformmaterials **304** ist um den zentralen Hauptabschnitt **333** der Leiterrahmenstruktur **302** angeordnet, um eine konkave Struktur **301** auszubilden. Wie gezeigt sind die Regionen zwischen den Leitern der Leiterrahmenstruktur **302** mit dem Ausformmaterial **304** gefüllt und die Oberflächen des Ausformmaterials **304** an diesen Stellen sind im Wesentlichen koplanar mit den Oberflächen der Leiter.

[0194] Andere Halbleiterchip-Gehäuse gemäß den Ausführungsformen der Erfindung können vorgeformte Substrate ohne konkave Strukturen beinhalten. Solche Ausführungsformen können mit Bezug zu den [Fig. 8A-Fig. 8E](#) beschrieben werden.

[0195] [Fig. 8A](#) zeigt eine andere querschnittene Seitenansicht einer Leiterrahmenstruktur **320** beinhaltend einen Spalt **321**. Die Leiterrahmenstruktur **320** beinhaltet auch eine erste Oberfläche **320(a)** und eine zweite Oberfläche **320(b)** und Leiter **324** auf gegenüberliegenden Seiten des Spaltes **321**.

[0196] [Fig. 8B](#) zeigt die Leiterrahmenstruktur **320**, nachdem ein Formprozess ausgeführt worden ist. Dies kann einen ersten Ausformprozess darstellen. Wie in [Fig. 8B](#) gezeigt, wird ein Ausformmaterial **322** innerhalb des Spaltes **321** angeordnet und äußere Oberflächen des Ausformmaterials **322** sind im Wesentlichen koplanar mit den ersten und zweiten Oberflächen **320(a)**, **320(b)** der Leiterrahmenstruktur **320**. Das resultierende vorgeformte Substrat **363** hat erste und zweite gegenüberliegende Oberflächen **363(a)**, **363(b)**, welche mit den äußeren Oberflächen des Ausformmaterials **322** und den ersten und zweiten Oberflächen **320(a)**, **320(b)** der Leiterrahmenstruktur **320** zusammenfallen. Im Unterschied zu dem in [Fig. 7B](#) gezeigten Substrat ist keine konkave Struktur ausgebildet in dem vorgeformten Substrat **363**, welches in [Fig. 8B](#) gezeigt ist.

[0197] Wie in [Fig. 8C](#) gezeigt, ist ein Halbleiterchip **328** auf dem Substrat **363** montiert unter Verwendung eines Klebstoffs **344**, nachdem das Substrat **363** ausgebildet ist. In diesem Beispiel kann der Halbleiterchip **328** eine obere Oberfläche mit elektrischen Anschlüssen umfassen, wobei die elektrischen Anschlüsse einen Teil einer horizontalen Vorrichtung in dem Halbleiterchip **328** ausbilden. Der Klebstoff **344** kann ein Epoxylebstoff sein oder jegliche andere geeignete Art von Klebstoff und kann gefüllt oder ungefüllt sein.

[0198] Nach dem Montieren des Halbleiterchips **328** auf dem Substrat **363** werden Drahtverbindungen **329** zwischen den Leitern **324** des Substrats **363** und der oberen Oberflächen der Halbleiterform **328** ausgebildet. Alternativ könnten leitende Clips verwendet werden in anderen Ausführungsformen der Erfindung.

[0199] Wie in [Fig. 8D](#) gezeigt wird, nachdem die Drahtverbindungen **329** zwischen der oberen Oberfläche des Halbleiterchips **328** und den Leitern **324** ausgebildet sind, ein Kapselmateriale **332** über den Halbleiterchip **328** ausgebildet, um ein Halbleiterchip-Gehäuse **330** auszubilden. Dies kann einen zweiten Ausformprozess darstellen. In diesem Beispiel erstreckt sich das Kapselmateriale **332** nicht über die äußeren Kanten des Substrats **363**. Wie in vorhergehenden Ausführungsformen kann das Kapselmateriale **332** das gleiche oder ein unterschiedliches sein zu dem Ausformmaterial **322**.

[0200] [Fig. 8E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **330**, welche in [Fig. 8D](#) gezeigt ist. Wie in [Fig. 8E](#) gezeigt, ist die untere Oberfläche des Halbleiterform-Gehäuses **330** flach. Die unteren Oberflächen der Leiter **324** sind im Wesentlichen koplanar mit den unteren Oberflächen des Ausformmaterials **322**.

[0201] [Fig. 9A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur **320** beinhaltend einen Spalt **321**. Die Leiterrahmenstruktur **320** beinhaltet auch eine erste Oberfläche **320(a)** und eine zweite Oberfläche **320(b)** und Leiter **324** auf gegenüberliegenden Seite des Spaltes **321**.

[0202] [Fig. 9B](#) zeigt die Leiterrahmenstruktur **320**, nachdem ein Ausformprozess ausgeführt worden ist. Wie gezeigt, füllt das ausgeformte Ausformmaterial **322** den Spalt **321** und bedeckt Teile der zweiten Oberfläche **320(b)** der Leiterrahmenstruktur **320** um ein Substrat **363** auszubilden. Jedoch bedeckt das Ausformmaterial **322** in diesem Beispiel nicht die erste Oberfläche **320(a)** der Leiterrahmenstruktur **320**.

[0203] Bezug nehmend auf [Fig. 9C](#) wird, nachdem das Substrat **363** ausgebildet ist, ein Halbleiterchip **328** an dem Substrat **363** unter Verwendung eines Klebstoffs **344** befestigt. Drahtverbindungen **329** werden zwischen der oberen Oberfläche des Halbleiterchips **328** und den Leitern **324** der Leiterrahmenstruktur **320** in dem

Substrat **363** ausgebildet. Wie in vorhergehenden Ausführungsformen könnten leitende Clips anstelle der Drahtverbindungen **329** verwendet werden.

[0204] Bezug nehmend auf [Fig. 9D](#) wird, nachdem der Halbleiterchip **328** an dem Substrat **363** befestigt wird, ein Kapselmateriale **332** über das Substrat **363** und den Halbleiterchip **328** ausgeformt, um ein Halbleiterchip-Gehäuse **330** zu bilden. Wie gezeigt, erstrecken sich die Leiter **324** der Leiterrahmenstruktur **320** nicht über das Kapselmateriale **332** hinaus.

[0205] [Fig. 9E](#) zeigt eine perspektivische Unteransicht eines Halbleiterchip-Gehäuses **330** in [Fig. 9D](#). Wie gezeigt, steht das Ausformmateriale **320** von der zweiten Oberfläche **320(b)** der Leiterrahmenstruktur **320** vor.

[0206] [Fig. 10A](#) zeigt eine andere querschnittene Seitenansicht einer Leiterrahmenstruktur **320** beinhaltend einen Spalt **321**. Die Leiterrahmenstruktur **320** beinhaltet auch eine erste Oberfläche **320(a)** und eine zweite Oberfläche **320(b)** und Leiter **324** auf gegenüberliegenden Seiten des Spaltes **321**.

[0207] Wie in [Fig. 10B](#) gezeigt, füllt ein Ausformmateriale **320** den Spalt **321** der Leiterrahmenstruktur **320** und bedeckt auch einen Teil der ersten Oberfläche **320(a)** der Leiterrahmenstruktur **320**, um ein vorgeformtes Substrat **363** auszubilden. Das Ausformmateriale **320** bedeckt nicht die zweite Oberfläche **320(b)** der Leiterrahmenstruktur **320** in diesem Beispiel.

[0208] Wie in [Fig. 10C](#) gezeigt, wird ein Halbleiterchip **328** auf dem Substrat **363** unter Verwendung eines Klebstoffs **344** montiert. Drahtverbindungen **320** oder dgl. können ausgebildet werden, um elektrische Anschlüsse (nicht gezeigt) an der oberen Oberfläche des Halbleiterchips **328** mit den Leitern **324** der Leiterrahmenstruktur **320** des Substrats **363** zu koppeln.

[0209] Wie in [Fig. 10D](#) gezeigt, bedeckt ein Kapselmateriale **332** den Halbleiterchip **328** zu den Leitern des Substrats **363**, um ein Halbleiterchip-Gehäuse **330** auszubilden. Wie gezeigt ist die untere Oberfläche des Halbleiterchip-Gehäuses **330** flach.

[0210] [Fig. 10E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **330**, welches in [Fig. 10D](#) gezeigt ist.

[0211] [Fig. 11A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur **320** beinhaltend einen Spalt **321**. Die Leiterrahmenstruktur beinhaltet auch eine erste Oberfläche **320(a)** und eine zweite Oberfläche **320(b)** und Leiter **324** auf gegenüberliegenden Seiten des Spaltes **321**.

[0212] [Fig. 11B](#) zeigt eine querschnittene Seitenansicht eines Substrats **363** nach dem Aussetzen der Leiterrahmenstruktur **320** zu einem Ausformprozess. Das Substrat **363** beinhaltet ein Ausformmateriale **322**, welches den Spalt **321** füllt und einen Teil der ersten und zweiten Oberflächen **320(a)**, **320(b)** der Leiterrahmenstruktur **320** bedeckt.

[0213] [Fig. 11C](#) zeigt das Montieren eines Halbleiterchips **328** auf dem Substrat **363** unter Verwendung eines Klebstoffs **344**. Drahtverbindungen **329** oder dgl. werden zwischen der oberen Oberfläche des Halbleiterchips **328** und den Leitern **324** des Substrats **363** ausgebildet.

[0214] Wie gezeigt in [Fig. 11D](#), wird dann ein Kapselmateriale **320** über das Substrat **363** und den Halbleiterchip **328** geformt, um ein Halbleiterchip-Gehäuse **330** auszubilden. Wie gezeigt, steht das Ausformmateriale **320** über die unteren Oberflächen der Leiter **324** vor.

[0215] [Fig. 11E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **330**, welches in [Fig. 11D](#) gezeigt ist. Wie gezeigt, sind die äußere Oberfläche des Ausformmaterials **322**, welches zwischen den Leitern **324** ist und die äußeren Oberflächen der Leiter **320** im Wesentlichen koplanar. Jedoch ist der zentrale Abschnitt des Ausformmaterials **322** zwischen den gegenüberliegenden Sätzen der Leiter **324** erhoben in Bezug auf die äußeren Oberflächen der Leiter **320**.

[0216] [Fig. 12A](#) zeigt eine andere querschnittene Seitenansicht einer Leiterrahmenstruktur **320** beinhaltend Spalten **321**. Die Leiterrahmenstruktur **320** beinhaltet auch eine erste Oberfläche **320(a)** und eine zweite Oberfläche **320(b)**. Leiter **324** sind auf gegenüberliegenden Seiten der Spalten **321** angeordnet. Ein zentraler Hauptabschnitt **330** ist zwischen den Spalten **321**.

[0217] [Fig. 12B](#) zeigt die Leiterrahmenstruktur **320** in [Fig. 12A](#), nachdem ein Ausformprozess ausgeführt worden ist. Wie gezeigt, ist ein Ausformmaterial **322** zwischen den Spalten **321** und auf wenigstens einem Abschnitt der zweiten Oberfläche **320(b)** der Leiterrahmenstruktur **320** geformt, um ein vorgeformtes Substrat **363** gemäß einer Ausführungsform der Erfindung auszubilden. Das Ausformmaterial **322** beinhaltet einen ersten Abschnitt **322(a)** und einen zweiten Abschnitt **322(b)**. Der erste Abschnitt **322(a)**, der zweite Abschnitt **322(b)** und der zentrale Hauptabschnitt **333** der Leiterrahmenstruktur **320** zwischen den ersten und zweiten Abschnitten **322(a)**, **322(b)** können einen konkave Struktur **337** ausbilden.

[0218] Wie in [Fig. 12C](#) gezeigt, ist ein Halbleiterchip **328** auf dem Substrat **363** unter Verwendung eines Klebstoffs **344** montiert. Die Oberfläche des Substrats **363**, auf welcher der Halbleiterchip **328** montiert ist, ist flach. Dann sind Drahtverbindungen **329** (oder dgl.) zwischen den Leitern **324** des Substrats **363** und jeglichen elektrischen Anschlüssen an der oberen Oberfläche des Halbleiterchips **328** ausgebildet.

[0219] Wie in [Fig. 12D](#) gezeigt, nachdem der Halbleiterchip **328** auf dem Substrat **363** montiert ist, ist ein Kapselmaterial **332** auf dem Substrat **363** und über den Halbleiterchip **328** geformt, um ein Halbleiterchip-Gehäuse **330** auszubilden.

[0220] [Fig. 12E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **330**, welches in [Fig. 12D](#) gezeigt ist. Wie in [Fig. 12E](#) gezeigt, beinhaltet das Ausformmaterial **322** einen Rand des Ausformmaterials **322**, welches eine konkave Struktur mit dem Hauptabschnitt **333** der Leiterrahmenstruktur **320** umgibt und ausbildet.

[0221] Die in Bezug auf die [Fig. 6-12](#) beschriebenen Ausführungsformen haben Drahtverbindungen oder dgl., um elektrische Anschlüsse an einer Oberfläche des Halbleiterchips, gegenüberliegend zu der vorgeformten Substratmontageoberfläche zu Leitern in dem vorgeformten Substrat zu verbinden. [Fig. 13-17](#) illustrieren, dass Ausführungsformen der Erfindung mit einer Form der Flip-Chip-Art verwendet werden können, um ein Halbleiterchip-Gehäuse der Flip-Chip-Art auszubilden.

[0222] [Fig. 13A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur **340** beinhaltend einen Spalt **339**. Die Leiterrahmenstruktur **340** beinhaltet auch eine erste Oberfläche **340(a)** und eine zweite Oberfläche **340(b)**. Leiter **326** sind auf gegenüberliegenden Seiten des Spaltes **339**.

[0223] [Fig. 13B](#) zeigt die Leiterrahmenstruktur **340** in [Fig. 13A](#), nachdem sie einem Ausformprozess ausgesetzt worden ist, um ein vorgeformtes Substrat **349** auszubilden. Wie darin gezeigt, füllt das Ausformmaterial **342** den Spalt **339**, aber erstreckt sich nicht über die ersten und zweiten Oberflächen **340(a)**, **340(b)** der Leiterrahmenstruktur **340**. Das resultierende, vorgeformte Substrat **349** hat gegenüberliegende planare Oberflächen.

[0224] [Fig. 13C](#) zeigt einen Halbleiterchip **346** beinhaltend eine Anzahl von Lothügeln **348**. Die Lothügel **348** können mit elektrischen Anschlüssen in einer Halbleitervorrichtung in dem Halbleiterchip **346** gekoppelt werden.

[0225] Die Lothügel **348** können jegliches geeignetes Lotmaterial beinhaltend Pb-Sn-Lot, Pb-freies Lot, etc. umfassen. Alternativ können leitfähige Säulen, welche ein leitfähiges Material wie Kupfer umfassen, anstelle oder zusätzlich zu den Lothügeln **348** verwendet werden.

[0226] Wie in [Fig. 13C](#) gezeigt, ist der Halbleiterchip **346** auf dem vorgeformten Substrat **349** unter Verwendung eines Klebstoffs **344** montiert. Der Klebstoff **346** kann auf dem Substrat **349** abgelegt werden unter Verwendung jeglichen geeigneten Prozesses beinhaltend Laminieren, Rollbeschichten, Doctor Blade-Beschichten etc. Jeglicher geeigneter Klebstoff beinhaltend einen Epoxylebstoff kann verwendet werden.

[0227] [Fig. 13D](#) zeigt das ausgeformte Halbleiterchip-Gehäuse **350**, nachdem der Halbleiterchip **346** auf der Oberfläche **349** montiert ist. Wie gezeigt, füllt der Klebstoff **340** den Raum zwischen dem Halbleiterchip **346** und dem vorgeformten Substrat **349** und kann teilweise außerhalb des Umfangs des Halbleiterchips **346** liegen. In dem Halbleiterchip-Gehäuse **350** koppeln die Lothügel **348** Anschlüsse (nicht gezeigt) in dem Halbleiterchip **346** mit den Leitern **366** der Leiterrahmenstruktur **340** elektrisch.

[0228] Obwohl die [Fig. 13C](#) und [Fig. 13D](#) einen Klebstoff zeigen, der auf einem Substrat zuerst abgelegt worden ist und dann ein Halbleiterchip **346** auf dem Substrat **349** montiert worden ist, ist zu verstehen, dass andere Ausführungsformen möglich sind. Z.B. ist es möglich, den Halbleiterchip **346** zuerst auf dem Substrat **349**

zu montieren und dann den Raum zwischen dem Halbleiterchip **346** und dem Substrat **349** mit einem Unterfüllmaterial zu füllen. Unterfüllmaterialien sind kommerziell erhältlich. In anderen Ausführungsformen kann ein Unterfüllmaterial oder ein zusätzlicher Klebstoff nicht erforderlich sein, da das Lot **348** den Halbleiterchip **346** mit dem vorgeformten Substrat **349** koppelt.

[0229] [Fig. 13E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **350**, welches in [Fig. 13D](#) gezeigt ist. Wie gezeigt, fallen die untere Oberfläche des Halbleiterchip-Gehäuses **350** mit der zweiten Oberfläche **340(b)** der Leiterrahmenstruktur **340** zusammen. An der Unterseite des Halbleiterchip-Gehäuses **350** ist die äußere Oberfläche der Leiterrahmenstruktur **340** im Wesentlichen koplanar mit der äußeren Oberfläche des Ausformmaterials **342**.

[0230] [Fig. 14A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur **340**, beinhaltend einen Spalt **339**. Die Leiterrahmenstruktur **340** beinhaltet auch eine erste Oberfläche **340(a)** und eine zweite Oberfläche **340(b)**. Leiter **366** sind auf gegenüberliegenden Seiten des Spaltes **339** angeordnet.

[0231] [Fig. 14B](#) zeigt die Leiterrahmenstruktur **340**, nachdem sie einem Ausformprozess ausgesetzt worden ist. Das Ausformmaterial **342** füllt den Spalt **339** und bedeckt wenigstens einen Abschnitt der zweiten Oberfläche **340(b)** der Leiterrahmenstruktur **340**, um ein vorgeformtes Substrat **349** auszubilden. Die erste Oberfläche **340(a)** ist nicht mit dem Ausformmaterial **342** in dieser Ausführungsform bedeckt.

[0232] [Fig. 14C](#) zeigt einen Halbleiterchip **346** beinhaltend Löthügel **348**, welche auf dem Substrat **349** mit einem Klebstoff **344** montiert sind. Wie in der vorhergehenden Ausführungsform durchdringen die Löthügel **348** die Klebstoffschicht **344**, um die Leiterrahmenstruktur **340** zu kontaktieren. Wie in den vorhergehenden Ausführungsformen können die Löthügel **348** jegliches geeignete Lot, beinhaltend Pb-Sn, Pb-freies Lot, etc. umfassen. Leitfähige Säulen könnten zusätzlich oder anstelle des Lotes verwendet werden.

[0233] [Fig. 14D](#) zeigt das Halbleiterchip-Gehäuse **350**, nachdem der Halbleiterchip **346** auf dem Substrat **349** montiert ist. [Fig. 14E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **350**, welches in [Fig. 14D](#) gezeigt ist. Wie in den [Fig. 14D](#) und [Fig. 14E](#) gezeigt, steht das Ausformmaterial **342** abwärts von der zweiten Oberfläche **340(b)** der Leiterrahmenstruktur **343** vor. Wie in [Fig. 14E](#) gezeigt, ist das Ausformmaterial **342**, welches zwischen benachbarten Leitern **366** ist, im Wesentlichen koplanar mit den äußeren Oberflächen der Leiter **366**.

[0234] [Fig. 15A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur **340** beinhaltend einen Spalt **339**. Die Leiterrahmenstruktur **340** beinhaltet auch eine erste Oberfläche **340(a)** und eine zweite Oberfläche **340(b)**. Leiter **366** sind auf gegenüberliegenden Seiten des Spaltes **339**.

[0235] [Fig. 15B](#) zeigt die Leiterrahmenstruktur **340**, nachdem sie einem Ausformprozess ausgesetzt worden ist. Das Ausformmaterial **342** füllt den Spalt **339** und bedeckt nicht die erste Oberfläche **340(a)** oder die zweite Oberfläche **340(b)** der Leiterrahmenstruktur **340**.

[0236] [Fig. 15C](#) zeigt den Halbleiterchip **346**, wie er auf dem Substrat **349** montiert ist. Wie die vorhergehenden Ausführungsformen, hat der Halbleiterchip **346** eine Anzahl von Lötühgeln **348**, welche an Anschlüssen (nicht gezeigt) in dem Halbleiterchip **346** verbunden sind.

[0237] Wie in [Fig. 15D](#) gezeigt, kann, nachdem der Halbleiterchip **346** auf dem vorgeformten Substrat **349** montiert ist, ein Kapselmaterial **352** über und unter den Halbleiterchip **346** geformt werden, um ein Halbleiterchip-Gehäuse **350** auszubilden. Das Kapselmaterial **352** kann die gleiche oder eine unterschiedliche Art von Material verwenden wie das zuvor beschriebene Ausformmaterial **342**.

[0238] [Fig. 15E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses **350**. Wie gezeigt, ist die äußere Oberfläche des Ausformmaterials **342** im Wesentlichen koplanar mit den äußeren, unteren Oberflächen der Leiter **366**.

[0239] Das Halbleiterchip-Gehäuse **350** kann umgedreht werden und auf einer Schaltkreisplatte montiert werden. Wenn gewünscht, kann Lot auf den ausgesetzten Oberflächen der Leiter **366** vor dem Montieren des Halbleiterchip-Gehäuses **350** auf der Schaltkreisplatte ausgeformt werden.

[0240] Abweichend von den vorhergehenden Ausführungsformen ist auf dem Substrat **349** vor dem Montieren des Halbleiterchips **346** auf dem Substrat **349** eine Klebeschicht nicht vorhanden. Stattdessen bedeckt das

Kapselmateriale 350 sowohl die oberen als auch die unteren Oberflächen des Halbleiterchips 346.

[0241] [Fig. 16A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur 340 beinhaltend einen Spalt 339. Die Leiterrahmenstruktur 340 beinhaltet auch eine erste Oberfläche 340(a) und eine zweite Oberfläche 340(b). Leiter 366 sind auf gegenüberliegenden Seiten des Spalts 339.

[0242] [Fig. 16B](#) zeigt die Leiterrahmenstruktur 340, nachdem sie einem Ausformprozess ausgesetzt worden ist. Das Ausformmaterial 342 füllt den Spalt 339 und bedeckt wenigstens einen Abschnitt der zweiten Seite 340(b), um ein vorgeformtes Substrat 349 auszubilden.

[0243] [Fig. 16C](#) zeigt den Halbleiterchip 346, wie er auf dem vorgeformten Substrat 349 montiert ist. Der Halbleiterchip 346 beinhaltet eine Vielzahl von Lothügeln 348. Die Lothügel 348 kontaktieren die Leiter 366 nach dem Montieren.

[0244] Wie in [Fig. 16D](#) gezeigt, kann, nachdem der Halbleiterchip 346 auf dem Substrat 349 montiert ist, ein Kapselmateriale 352 über und unter den Halbleiterchip 346 geformt werden, um ein Halbleiterchip-Gehäuse 350 auszubilden.

[0245] [Fig. 16E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses 350, welches in [Fig. 16D](#) gezeigt ist. Wie gezeigt, ist das Ausformmaterial 342, welches zwischen benachbarten Leitern 366 ist, im Wesentlichen koplanar mit äußeren Oberflächen von diesen Leitern 366. Ein größerer Abschnitt des Ausformmaterials 342 steht von den Leitern 366 vor.

[0246] [Fig. 17A](#) zeigt eine andere, querschnittene Seitenansicht einer Leiterrahmenstruktur 340, beinhaltend wenigstens zwei Spalten 339. Die Leiterrahmenstruktur 340 beinhaltet auch eine erste Oberfläche 340(a) und eine zweite Oberfläche 340(b). Ein zentraler Hauptabschnitt 333 ist zwischen den Spalten 339. Leiter 366 erstrecken sich auswärts von den Spalten 339.

[0247] [Fig. 17B](#) zeigt die Leiterrahmenstruktur 340, nachdem sie einem Ausformprozess ausgesetzt worden ist. Wie in [Fig. 17B](#) gezeigt, füllt das Ausformmaterial 342 die Spalten 339 und bedeckt wenigstens einen Abschnitt der zweiten Oberfläche 340(b), um ein vorgeformtes Substrat 349 auszubilden. Das Ausformmaterial 342 beinhaltet einen ersten Abschnitt 342(a) und einen zweiten Abschnitt 342(b), welche entlang mit einem zweiten des zentralen Hauptabschnitts 333 der Leiterrahmenstruktur 340 eine konkave Struktur 351 ausbilden.

[0248] [Fig. 17C](#) zeigt den Halbleiterchip 346, wie er auf dem Substrat 349 montiert ist. Der Halbleiterchip 346 beinhaltet eine Anzahl von Lotstrukturen 348, welche an seiner Unterseite befestigt sind. Die Lotstrukturen 348 koppeln elektrische Anschlüsse in dem Halbleiterchip 348 mit den Leitern 366 der Leiterrahmenstruktur 340 elektrisch.

[0249] Wie in [Fig. 17D](#) gezeigt, ist der Halbleiterchip 346 auf dem Substrat 349 montiert, ein Kapselmateriale 352 kann über und unter den Halbleiterchip 346 geformt sein, um ein Halbleiterchip-Gehäuse 350 auszubilden.

[0250] [Fig. 17E](#) zeigt eine perspektivische Unteransicht des Halbleiterchip-Gehäuses 350, welches in [Fig. 17D](#) gezeigt ist. Wie in [Fig. 17E](#) gezeigt, ist ein Rand eines Ausformmaterials 342 um den zentralen Hauptabschnitt 333 ausgebildet. Zusammen können sie eine konkave Struktur ausbilden.

[0251] Die mit Bezug auf die [Fig. 5-17](#) beschriebenen Ausführungsformen stellen eine Vielzahl von Vorteilen bereit. Zuerst können das Halbleiterchip-Gehäuse weniger kostenaufwendig hergestellt werden, da kostenintensives Abdeckband und geätzte Leiterrahmenstrukturen nicht benötigt werden, um ein Halbleiterchip-Gehäuse zu erzeugen. In diesen Ausführungsformen werden eine geätzte Leiterrahmenstruktur und Abdeckband nicht benötigt, um ein vorgeformtes Substrat auszubilden, da ein Ausformwerkzeug mit Ausformformen verwendet wird, um das vorgeformte Substrat auszubilden. In einigen Fällen kann dies die Kosten eines Halbleiterchip-Gehäuses um 42% reduzieren, wenn mit Halbleiterchip-Gehäusen verglichen, welche unter Verwendung von teurem Abdeckband hergestellt werden. Als Zweites, wie durch viele der vorhergehenden Ausführungsformen gezeigt, können die Halbleiterchip-Gehäuse größere Halbleiterchips verwenden. Wie zuvor illustriert, braucht die Größe der Halbleiterchips nicht durch die Größe der Chipbefestigungsfelder in den Leiterrahmenstrukturen, welche in den Substraten verwendet werden, beschränkt zu werden. Als Drittes ist es in den Ausführungsformen der Erfindung möglich, die Pin-Leiteranzahl zu erhöhen, ohne die Größe des Halbleiterchip-Gehäuses zu vergrößern. Als Viertes ist es, wenn eine konkave Struktur ausgebildet wird, möglich, die Lötverbindungsverlässlichkeit zu erhöhen. Die konkaven Strukturen können Lot enthalten, das verwendet wird,

um die ausgeformten Halbleiterchip-Gehäuse mit gedruckten Schaltkreisplatten oder dgl. zu verbinden.

IV. Gestaltung und Verfahren zur Herstellung von Hochleistungsmodulen

[0252] Hochleistungsmodule werden in einer Vielzahl von elektronischen Anwendungen verwendet. Einige Hochleistungsmodule sind "Smart"-Leistungsmodule. Diese Leistungsmodule beinhalten wenigstens einen Leistungshalbleiterchip und wenigstens einen Steuerungshalbleiterchip. Der Steuerungshalbleiterchip (z.B. ein integrierter Treiberschaltkreis oder Treiberchip) kann verwendet werden, um wenigstens teilweise den Betrieb des Leistungshalbleiterchips zu steuern.

[0253] Zusätzliche Ausführungsformen der Erfindung sind auf Hochleistungsmodule und Verfahren zum Herstellen von Hochleistungsmodulen gerichtet. In einer Ausführungsform wird ein Substrat beinhaltend eine Leiterraahmenstruktur und ein Ausformmaterial erhalten. Eine Oberfläche des Ausformmaterials und die Leiterraahmenstruktur sind im Wesentlichen koplanar. Das Substrat beinhaltet eine erste Chipbefestigungsregion und eine zweite Chipbefestigungsregion. Ein erster Halbleiterchip ist an der Chipbefestigungsregion befestigt und ein zweiter Halbleiterchip ist an der zweiten Chipbefestigungsregion befestigt. Der erste Halbleiterchip kann einen Leistungstransistor umfassen. Der zweite Halbleiterchip kann einen Steuerungschip umfassen (oder Treiber-IC oder integrierten Treiberschaltkreis). Zusätzliche Leistungstransistoren und zusätzliche elektronische Elemente können auch in dem Hochleistungsmodul vorhanden sein.

[0254] [Fig. 18A-1](#) zeigt eine Leiterraahmenstruktur **402** beinhaltend eine erste Chipbefestigungsregion **402(b)-1**, eine zweite Chipbefestigungsregion **402(b)-2** und eine dritte Chipbefestigungsregion **402(b)-3**. Die Räume zwischen den verschiedenen Chipbefestigungsregionen **402(b)-1**, **402(b)-2**, **402(b)-3** können durch Spannungserfordernisse des auszubildenden Gehäuses definiert sein.

[0255] Die Leiterraahmenstruktur **402** beinhaltet auch eine Anzahl von Leitern **402(a)**, welche sich von den ersten, zweiten und dritten Chipbefestigungsregionen **402(b)-1**, **402(b)-2**, **402(b)-3** weg erstrecken. In diesen Beispielen erstrecken sich die Leiter **402(a)** weg von den ersten, zweiten und dritten Chipbefestigungsregionen **402(b)-1**, **402(b)-2**, **402(b)-3** in einer einzelnen Richtung. In anderen Beispielen können sie sich weg von den verschiedenen Chipbefestigungsregionen in mehr als einer Richtung erstrecken. In diesem Beispiel kann die dritte Chipbefestigungsregion **402(b)-3** zu einem Chip Paddle für einen Treiberhalbleiterchip korrespondieren, wohingegen die anderen Chipbefestigungsregionen **402(b)-1**, **402(b)-2** zu Chip Paddle für Leistungshalbleiterchips korrespondieren können.

[0256] [Fig. 18A-2](#) zeigt die rückwärtige Seite der Leiterraahmenstruktur **402**. Die Leiterraahmenstruktur **402** beinhaltet eine erste halbgeätzte Region **402(c)-1** und eine zweite halbgeätzte Region **402(c)-2**. In Ausführungsformen der Erfindung können die geätzten Regionen durch teilweises Ätzen durch die Dicke einer Leiterraahmenstruktur ausgebildet werden. Eine "halbgeätzte" Struktur kann sich zu einem Abschnitt einer Leiterraahmenstruktur beziehen, welcher ausgebildet worden ist, nachdem etwa die Hälfte der Dicke der Leiterraahmenstruktur entfernt ist.

[0257] Die halbgeätzten Regionen **402(c)-1**, **402(c)-2** können ausgebildet werden unter Verwendung eines Standardätzprozesses. Z.B. können die Oberflächen, welche zu den halbgeätzten Regionen **402(c)-1**, **402(c)-2** korrespondieren, vor dem Ätzen mit einem Material wie einem Fotoresistenten oder einem Band (Polyimidband) abgedeckt werden. Dann kann ein Ätzmaterial (z.B. ein flüssiges Ätzmittel oder ein trockenes Ätzmittel) verwendet werden, um die Regionen der Leiterraahmenstruktur **402**, welche nicht durch das Abdeckmaterial bedeckt sind, zu ätzen. Bezug nehmend auf sowohl [Fig. 18A-1](#) als auch [Fig. 18A-2](#) können in diesem Beispiel die erste halbgeätzte Region **402(c)-1** und die erste Chipbefestigungsregion **402(b)-1** ein Teil der gleichen Struktur sein. Auch können in diesem Beispiel die zweite halbgeätzte Region **402(c)-2** und die zweite Chipbefestigungsregion **402(b)-2** auch ein Teil der gleichen Struktur sein.

[0258] [Fig. 18B-1](#) zeigt die Leiterraahmenstruktur **402**, nachdem ein Ausformprozess ausgeführt worden ist. Nachdem ein Ausformprozess (z.B. einem Transferausformprozess) ausgeführt worden ist, wird ein Ausformmaterial **402** um die Leiterraahmenstruktur **402** geformt, dadurch ein vorgeformtes Substrat **405** ausbildend. In einem beispielhaften Transferausformprozess können Oberflächen der Leiterraahmenstruktur **402**, welche nicht beabsichtigt sind, mit einem Ausformmaterial bedeckt zu werden, mit einem Band (z.B. Polyimidband) bedeckt werden, um zu verhindern, dass während des Ausformens Formmaterial hindurchdringt. Nachdem die Leiterraahmenstruktur **402** mit Band bedeckt ist, kann ein Ausformmaterial auf der Leiterraahmenstruktur **402** abgelegt werden. Das Band wird hierauf folgend entfernt, folglich die zuvor bedeckten Abschnitte der Leiterraahmenstruktur **402** durch das ausgeformte Ausformmaterial freilegend. In anderen Ausführungsformen wie zuvor

beschrieben, können vorgeformte Substrate verwendet werden, unter Verwendung von Ausformwerkzeugen ohne das Verwenden von Abdeckband.

[0259] Wie gezeigt, ist das Ausformmaterial **404** so geformt, dass äußere Oberflächen des Ausformmaterials **404** im Wesentlichen koplanar mit den äußeren Oberflächen der ersten, zweiten und dritten leitfähigen Chipbefestigungsregionen **402(b)-1**, **402(b)-2**, **402(b)-3** sind. Wie [Fig. 18B-1](#) gezeigt, erstrecken sich Leiter **402(a)** weg von einer seitlichen Kante des Ausformmaterials **404**. In anderen Ausführungsformen können sich die Leiter, welche sich von den leitfähigen Chipbefestigungsregionen **402(b)-1**, **402(b)-2**, **402(b)-3** erstrecken, von zwei oder mehr seitlichen Kanten des Ausformmaterials **404** weg erstrecken.

[0260] [Fig. 18B-2](#) zeigt eine perspektivische Unteransicht des vorgeformten Substrats **405**. Wie gezeigt, sind die äußeren Oberflächen der ersten und zweiten halbgeätzten Regionen **402(c)-1**, **402(c)-2** durch das ausgeformte Material **404** freigesetzt.

[0261] Die vorgeformte, integrierte Leiterrahmenstruktur gemäß den Ausführungsformen der Erfindung haben eine niedrigere Durchbiegung und eine höhere Festigkeit, wenn verglichen mit einigen konventionellen Substraten. Wie aus der folgenden Beschreibung ersichtlich werden wird, besteht in Ausführungsformen der Erfindung wie SIP-(System In A Package, Gehäusesystem)-Modulen kein Bedarf für einen extra Hitzesumpf oder ein Substrat wie ein direkt gebondetes Kupfer oder isoliertes Metallsubstrat. Die thermischen Eigenschaften des Halbleiterchip-Gehäuses können durch Verwenden von Leiterrahmenstrukturen mit entsprechenden Dicken erzielt werden. Die elektrischen Schaltkreise des vorgeformten Substrats können während der Ausformoperation definiert werden.

[0262] Wie in [Fig. 18C](#) gezeigt, sind erste, zweite und dritte Halbleiterchips **408(a)**, **408(b)**, **408(c)** an dem Substrat **405** befestigt unter Verwendung eines Klebstoffs oder eines anderen geeigneten Materials. Wie in vorhergehenden Ausführungsformen, kann ein Klebstoff vom Epoxidtypus oder jeglicher andere geeignete, kommerziell erhältliche Klebstoff verwendet werden, um die Halbleiterchips **408(a)**, **408(b)**, **408(c)** an dem vorgeformten Substrat **405** zu befestigen.

[0263] Wie in den zuvor beschriebenen Ausführungsformen können Drahtverbindungen (nicht gezeigt) auch zwischen den Leitern **402(a)** und den Anschlüssen an den oberen Oberflächen der Halbleiterchips **408(a)**, **408(b)**, **408(c)** ausgebildet werden, wenn gewünscht. Drahtverbindungen können auch verwendet werden, um die unterschiedlichen Halbleiterchips miteinander zu verbinden. Z.B. kann der Halbleiterchip **408(b)** ein Treiber-IC-Chip sein, während die Halbleiterchips **408(a)**, **408(c)** Leistungs-IC-Chips sein können. Der Treiber-IC-Chip kann elektrisch mit den Leistungs-IC-Chips über Drähte gekoppelt sein und kann diese darüber steuern. In anderen Ausführungsformen können andere leitfähige Strukturen wie leitfähige Clips anstelle von Drahtverbindungen verwendet werden.

[0264] Wie in [Fig. 18D](#) gezeigt, ist ein Kapselmateriale **410** über die ersten, zweiten und dritten Halbleiterchips **408(a)**, **408(b)**, **408(c)** ausgeformt, um ein Halbleiterchip-Gehäuse **400** auszubilden. Das Kapselmateriale **410** kann dann ausgeformt werden unter Verwendung eines Standardausformprozesses. In dem beispielhaften Halbleiterchip-Gehäuse **400** erstrecken sich Leitungen **402(a)** weg von nur einer Seite des Kapselmateriale **410**.

[0265] Nach dem Ausführen des Einkapselungsprozesses kann das ausgebildete Gehäuse getrimmt und in entsprechende Dimensionen geformt werden.

[0266] [Fig. 19A](#) und [Fig. 19B](#) zeigen Ansichten eines SPM-(Smart Power Module, smarten Leistungsmodul)-Typgehäuses, welches hergestellt werden kann unter Verwendung des gleichen allgemeinen Prozessablaufs, der in Bezug auf die [Fig. 18A-D](#) beschrieben worden ist.

[0267] [Fig. 19A](#) zeigt eine perspektivische Ansicht einer Rahmenstruktur **502**, welche als ein Rahmen für ein Substrat **504** dient, das eine Leiterrahmenstruktur beinhaltet. [Fig. 19B](#) zeigt eine untere Ansicht der Rahmenstruktur **502** und des Substrats **504**. Erste und zweite Halbleiterchips **506(a)**, **506(b)** sind auf dem Substrat **504**. Wie zuvor beschrieben, wird das Substrat **504** ausgeformt unter Verwendung einer Leiterrahmenstruktur **504(a)** und eines Ausformmaterials **504(b)**. Wie in den vorhergehenden Ausführungsformen können Abschnitte der Leiterrahmenstruktur **504(a)** teilweise geätzt werden und das Ausformmaterial **504(a)** kann äußere Oberflächen haben, die im Wesentlichen koplanar mit den äußeren Oberflächen des Ausformmaterials **504(a)** sind.

[0268] Wie zuvor beschrieben, können Ausführungsformen der Erfindung halb oder teilweise geätzte Leiterahmenstrukturen haben, welche vordefinierte Chip Paddel für Leistungs- und Treiber-IC-Halbleiterchips aufweisen. Die Isolationsbeabstandung zwischen den Chipbefestigungs-Paddel können von den Spannungserfordernissen der Halbleiterchip-Gehäuse gesteuert werden. Zusätzlich können die Leiterahmenstrukturen vorgeformt sein und die Leiterahmenstrukturen können rückbeschichtet sein mit Band, um Form- und Materialdurchdringungen während des Ausformens zu verhindern. Auch kann die äußere Oberfläche des Ausformmaterials im Wesentlichen koplanar mit den äußeren Oberflächen der Chipbefestigungs-Paddel in dem vorgeformten Substrat sein.

[0269] Wie zuvor beschrieben, hat das vorgeformte, integrierte Leiterahmensubstrat eine geringere Durchbiegung und eine höhere insgesamt Plattenfestigkeit als andere Substrate. Zusätzlich besteht keine Notwendigkeit für einen extra Hitzesumpf oder ein Substrat wie ein direkt gebondetes Kupfer oder isoliertes Metallsubstrat, da die thermischen Eigenschaften des Gehäuses erreicht werden können unter Verwendung von Leiterahmenstrukturen mit unterschiedlichen Dicken. Dickere Leiterahmenstrukturen können verwendet werden, wenn bessere Wärmeleitung gewünscht ist. In Ausführungsformen der Erfindung kann eine Unteranordnungsplatte ausgeformt werden zu einer letztendlichen Gehäuseabmessung und das letztendliche Gehäuse kann getrimmt und geformt werden.

[0270] Die Halbleiterchip-Gehäuse, welche vorstehend beschrieben werden, können thermisch hocheffiziente Gehäuse sein und können in Gehäusen wie LCD (Liquid Crystal Display) TV-Modulgehäusen verwendet werden.

V. Substrate für Hochleistungsmodule

[0271] Andere Ausführungsformen der Erfindung sind auf vorgeformte Substrate für Halbleiterchip-Gehäuse, Verfahren zum Herstellen der vorgeformten Substrate und Halbleiterchip-Gehäuse beinhaltend die vorgeformten Substrate gerichtet.

[0272] In einer Ausführungsform werden eine erste Leiterahmenstruktur und eine zweite Leiterahmenstruktur erhalten. Dann werden die erste und zweite Leiterahmenstrukturen zusammen befestigt unter Verwendung einer Klebeschicht. Dann wird ein Ausformmaterial auf die erste Leiterahmenstruktur, die zweite Leiterahmenstruktur oder die Klebstoffschicht aufgebracht.

[0273] [Fig. 20A](#) zeigt eine Draufsicht auf ein Substrat **700** gemäß einer Ausführungsform der Erfindung. [Fig. 20B](#) zeigt eine perspektivische Draufsicht des Substrats **700**, welches in [Fig. 20A](#) gezeigt ist. In diesem Beispiel beinhaltet die obere Oberfläche des Substrats **700** vier leitfähige Bereiche **752**, welche getrennt und abgegrenzt sind durch isolierende Bereiche **754**. Die isolierenden Bereiche **754** umfassen ein Ausformmaterial, welches Spalten **758** zwischen den leitfähigen Bereichen **752** füllt. Die leitfähigen Bereiche **752** können als leitfähige Chipbefestigungsbereiche dienen. Die vier leitfähigen Bereichen **752** können Teil einer einzelnen Leiterahmenstruktur sein. Wenn die Spalten zwischen den vier leitfähigen Bereichen **752** mit einem Ausformmaterial gefüllt sind, hat das Ausformmaterial eine äußere Oberfläche, die im Wesentlichen koplanar mit den äußeren Oberflächen der leitfähigen Bereiche **752** ist. Diese Kombination kann ein vorgeformtes Substrat, wie zuvor beschrieben, ausbilden.

[0274] [Fig. 20C](#) zeigt eine querschnittene Seitenansicht des Substrats **700**, welches in den [Fig. 20A](#), [Fig. 20B](#) gezeigt ist. Wie gezeigt in [Fig. 20C](#), beinhaltet das Substrat **700** zwei halbgeätzte Leiterahmenstrukturen **702**, welche einander zuweisen. Die zwei, halbgeätzten Leiterahmenstrukturen **702** können Kupfer, eine Kupferlegierung, oder jegliches andere geeignete leitfähige Material umfassen. Die zwei halbgeätzten (oder teilweise geätzten) Leiterahmenstrukturen **702** können aus zwei 10-20 mil dicken Leiterahmenstrukturen ausgebildet sein, welche jeweils teilweise geätzt sind zu einer Dicke von etwa 5-10 mil an bestimmten Stellen. In anderen Ausführungsformen können die Leiterahmenstrukturen **702** Dicken von etwa 20-40 mil haben und können halbgeätzt sein zu Dicken von etwa 10-20 mil an bestimmten Stellen. Die Leiterahmenstrukturen **702** haben vorzugsweise die gleichen Dicken und Konfigurationen. Jedoch ist dies nicht in allen Fällen erforderlich.

[0275] Jede Leiterahmenstruktur **702** kann in einem vorgeformten Substrat vorhanden sein. Die vorgeformten Substrate und ihre korrespondierenden Leiterahmenstrukturen **702** sind an einer Klebschicht **704** laminiert und kontaktieren diese, welche zwischen den Leiterahmenstrukturen **702** angeordnet ist. Nach der Laminierung ist ein Sandwich-Komposit ausgebildet.

[0276] Die Klebeschicht **704** kann jegliche geeignete Form haben und kann jegliche geeignete Dicke aufwei-

sen. Z.B. kann die Dicke der Klebeschicht **704** etwa 1-3 mil in einigen Ausführungsformen sein. Auch kann die Klebeschicht **704** in der Form einer kontinuierlichen oder einer diskontinuierlichen Schicht sein.

[0277] Die Klebeschicht **704** kann jegliches geeignetes Material umfassen, welches die zuvor beschriebenen, vorgeformten Substrate und Leiterrahmenstrukturen **702** zusammen bonden kann. Z.B. kann die Klebeschicht **704** eine Polymerschicht wie eine Polyimidschicht (Polyimidband) umfassen. In anderen Ausführungsformen ist es möglich, ein FR4-Laminat oder Hoch-K-Klebstofffilm zu verwenden, um jeglichen CTE (Coefficient Of Thermal Expansion, thermischer Ausdehnungskoeffizient) Unterschied zwischen der Klebeschicht **704** und der Leiterrahmenstrukturen **702** und jegliche Grenzschichtscherspannung zu reduzieren, wenn das ausgebildete, vorgeformte Substrat insbesondere groß ist.

[0278] Das Leiterrahmensubstrat **702** und das Klebeschichtlaminat, welches ausgebildet ist, kann symmetrisch sein, um potenzielle Durchbiegungs-Zustände zu reduzieren. Z.B., wie gezeigt in [Fig. 20C](#), können die Regionen **702(a)**, welche durch den zuvor beschriebenen, teilweisen Ätzprozess ausgebildet sind, einwärts aufeinander in dem ausgebildeten Substrat **700** weisen. Die zwei Leiterrahmensubstrate **702** können auch symmetrisch geätzte Muster und ähnliche Geometrie aufweisen, so dass sie symmetrisch in dem Substrat **700** angeordnet sind.

[0279] Das Sandwich-Laminat ist des Weiteren vorgeformt mit einem Ausformmaterial **706**, welches um die Kanten der Leiterrahmenstrukturen **702** ausgebildet ist. Das Ausformmaterial **706** kann ein Epoxyausformmaterial oder jegliche andere geeignete Art von Ausformmaterial umfassen. Ein Transferausformprozess oder anderer Prozess kann verwendet werden, um das Ausformmaterial **706** um die Kanten der Leiterrahmenstrukturen **702** und die korrespondierenden vorgeformten Substrate auszubilden. Z.B. kann das Sandwich-Laminat zwischen zwei Ausformformen angeordnet werden und das Ausformmaterial kann ausgeformt werden wie gezeigt, unter Verwendung bekannter Ausformprozesse. Das Ausformmaterial **706** reduziert die freie Kanten-spannung an den Grenzflächen des ausgeformten Laminats.

[0280] Nach dem Überformen des Sandwich-Laminats mit dem Ausformmaterial **706** können die Oberflächen der leitfähigen Bereiche **752** weiterverarbeitet werden, wenn gewünscht. Z.B. können, wenn die ausgesetzten, leitfähigen Bereiche **752** an der Oberseite des Substrats **724** als leitfähige Chipbefestigungsbereiche für Leistungs-IC-Halbleiterchips verwendet werden, dann die ausgesetzten Oberflächen der leitfähigen Bereiche **752** plattiert werden oder in anderer Weise beschichtet werden mit einem Unterhügelkomposit wie Ni/Pd/Au, oder anderen metallischen Schichten. Solche zusätzlichen Schichten können ein lötbare Feld zum Löten von Halbleiterchips an die leitfähigen Bereiche **752** ausbilden. In anderen Beispielen, wenn die ausgesetzten Oberflächen der leitfähigen Bereiche **752** vorgesehen sind, isoliert zu werden, dann können die ausgesetzten oberen Oberflächen der leitfähigen Bereiche **752** anodisiert werden. Jeglicher geeigneter, bekannter Anodisierungsprozess kann verwendet werden.

[0281] [Fig. 20D](#) ist eine perspektivische Unteransicht des Substrats **700**, welches in den vorhergehenden Figuren beschrieben ist.

[0282] Die Substrate **700** und **710** können in einer Plattenform wie in MLP-artigen Gehäusen hergestellt werden, dann vereinzelt werden, unter Verwendung, beispielsweise, einer Wafer-Säge, und dann in nachfolgenden Anordnungen verwendet werden. Wie im weiteren Detail im Folgenden beschrieben werden wird, können solche Ausführungsformen konstruiert werden unter Verwenden gemeinsamer Leiterrahmenstrukturen zur flexiblen Modulanordnung. SIP (Single In Line Packages) können auch ausgebildet werden unter Verwendung solcher Ausführungsformen.

[0283] Andere Ausführungsformen sind möglich. In den zuvor beschriebenen Ausführungsformen in den [Fig. 20A-Fig. 20D](#) sind Leiterrahmenstrukturen teilweise geätzt und dann Ausformprozesse ausgeführt, um die vorgeformten Substrate auszubilden. Die vorgeformten Substrate haben Leiterrahmenstrukturen mit äußeren Oberflächen, welche im Wesentlichen koplanar mit den äußeren Oberflächen des Ausformmaterials sind. Die vorgeformten Substrate werden dann zusammen laminiert mit einer Klebeschicht, um ein Sandwich-Komposit auszubilden. Das resultierende Sandwich-Komposit wird dann kantenausgeformt, um ein Substrat auszubilden.

[0284] Jedoch ist es in anderen Ausführungsformen möglich, zwei teilweise geätzte Leiterrahmenstrukturen zu erhalten und dann diese zusammen zu laminieren mit einer Klebeschicht, ohne zuerst die vorgeformten Substrate auszubilden. Dann können die laminierten Leiterrahmenstrukturen ausgeformt werden mit einem Ausformmaterial, um ein Substrat auszubilden, das die grundsätzlich gleiche Konfiguration aufweist, wie zuvor

beschrieben.

[0285] Obwohl die Verwendung von zwei teilweise geätzten Leiterrahmenstrukturen im Detail beschrieben worden ist, ist es zu verstehen, dass zwei oder mehr geätzte Leiterrahmenstrukturen kombiniert werden können, um ein Kombinationssubstrat gemäß einer Ausführungsform der Erfindung auszubilden.

[0286] [Fig. 20E-Fig. 20H](#) illustrieren andere Substrate gemäß anderen Ausführungsformen der Erfindung.

[0287] [Fig. 20E](#) zeigt eine Draufsicht auf ein Substrat **710** gemäß einer Ausführungsform der Erfindung. Das Substrat **710** beinhaltet eine Leiterrahmenstruktur **712** (z.B. eine Kupferleiterrahmenstruktur) und ein Ausformmaterial **714**, welches die Trennfugen der Leiterrahmenstruktur **712** füllt. Folglich kann eine dicke Kupferleiterrahmenstruktur vorgeformt werden mit einem Ausformmaterial, wie einem Epoxyausformmaterial, um Metallfelder in dem Substrat **712** elektrisch zu isolieren.

[0288] [Fig. 20F](#), [Fig. 20G](#) und [Fig. 20H](#) zeigen entsprechende querschnittene Seitenansicht, Draufsicht und perspektivische Unteransichten des Substrats **710**. Wie in [Fig. 20F](#) gezeigt, ist die Dicke des Ausformmaterials **714** im Wesentlichen gleich der Dicke der Leiterrahmenstruktur **712**. Die Kanten der Leiterrahmenstruktur **712** werden auch begrenzt durch das Ausformmaterial **714**, so dass das Ausformmaterial die äußere Kante des Substrats **710** ausbildet.

[0289] In Ausführungsformen der Erfindung können die zuvor beschriebenen Substrate **700**, **710** unabhängig in Halbleiterchip-Gehäusen verwendet werden. Wie in anderen Ausführungsformen, können Halbleiterchips auf Substrate montiert werden. Wenn gewünscht, können Eingangs- und Ausgangsverbindungen zwischen den montierten Halbleiterchips und dem Substrat und/oder äußeren Eingängen und/oder Ausgangsquellen ausgebildet werden. Die ausgebildeten Gehäuse können dann auf eine Schaltkreisplatte montiert werden.

[0290] In anderen Ausführungsformen können jedoch Substrate **700**, **702** der zuvor beschriebenen Art auf Rahmenstrukturen montiert werden, um die Substrate **700**, **702** mit äußeren Leitungen zu versehen. Diese Ausführungsformen sind in den [Fig. 21](#) und [22](#) gezeigt und werden im weiteren Detail im Folgenden beschrieben.

[0291] [Fig. 21A](#) zeigt eine Rahmenstruktur **550** beinhaltend einen Rahmenabschnitt **550(a)** und eine Anzahl von Leitern **550(b)**. Ein zentraler Bereich **550(c)** kann ein Substrat gemäß einer Ausführungsform der Erfindung aufnehmen.

[0292] Jegliches geeignete Substrat kann in dem Zentralbereich **550(c)** platziert sein. Z.B. können die Substrate, welche in den Zentralbereich **550(c)** aufgenommen werden, das Substrat **710**, welches in [Fig. 20E](#) gezeigt ist oder das Substrat **700**, welches in [Fig. 20C](#) gezeigt ist, sein. [Fig. 21B](#) zeigt eine Draufsicht eines spezifischen Substrats **552**, welches in dem Zentralbereich **550(c)** der Rahmenstruktur **550** platziert werden kann. [Fig. 21C](#) zeigt eine perspektivische Unteransicht des Substrats **552**, welches in [Fig. 21B](#) gezeigt ist.

[0293] Wie in den [Fig. 21D](#) und [Fig. 21E](#) gezeigt, kann eine Anzahl von Halbleiterchips **554** auf dem Substrat **552** montiert werden, bevor oder nachdem das Substrat **552** an der Rahmenstruktur **550** befestigt wird. Wie zuvor beschrieben, kann jegliches geeignetes leitfähiges Klebematerial verwendet werden, um die Halbleiterchips **554** an dem Substrat **552** zu befestigen. Zusätzlich können die Halbleiterchips jegliche der zuvor beschriebenen Charakteristika aufweisen. Z.B. kann wenigstens einer der Halbleiterchips **554** einen Treiber-IC-Halbleiterchip beinhalten, während wenigstens einer der Halbleiterchips **554** einen Leistungs-IC-Halbleiterchip beinhalten kann. Nachdem die Halbleiterchips **554** an dem Substrat **552** befestigt sind, wird hierauf folgend eine Halbleiterchipanordnung **560** ausgebildet.

[0294] Wie gezeigt, kann das Substrat **552**, welches die Halbleiterchips **554** beinhaltet, an den Leitern **550(b)** der Rahmenstruktur **550** befestigt werden. Die unteren Oberflächen der Leiter **550(b)** können gelötet oder in anderer Weise an den oberen, leitfähigen Oberflächen des Substrats **552** befestigt werden.

[0295] In einer alternativen Ausführungsform kann das Substrat **552** an den Leitern **550(b)** der Rahmenstruktur **550** ohne die Halbleiterchips **554** befestigt werden. Nachdem das Substrat **552** an den Leitern **550(b)** der Rahmenstruktur **550** befestigt ist, können die Halbleiterchips **554** auf dem Substrat **552** montiert werden.

[0296] [Fig. 21F](#) zeigt eine perspektivische Unteransicht der Halbleiterchipanordnung **560**. [Fig. 21G](#) zeigt eine querschnittene Seitenansicht einer Halbleiterchipanordnung **560**.

[0297] Nachdem die Halbleiterchipsanordnung **560** ausgebildet ist, kann ein Kapselmateriale **576** über die Halbleiterchips **554** geformt werden. [Fig. 22A](#) zeigt eine querschnittene Seitenansicht des Halbleiterchip-Gehäuses **577**. In diesem Beispiel ist das Halbleiterchip-Gehäuse **577** ein einzelnes Inreihengehäuse (SIP). [Fig. 22B](#), [Fig. 22C](#) und [Fig. 22D](#) zeigen perspektivische Draufsichten, Draufsichten und perspektivische Draufsichten der Halbleitergehäuse **577**. Das resultierende Gehäuse kann ein thermisches Hocheffizienzgehäuse sein und kann in einem LCD-TV-Modulgehäuse verwendet werden.

[0298] Es ist zu verstehen, dass die zuvor beschriebene Technik verwendet werden könnte, um ein duales Inreihengehäuse (DIP, Dual In-Line Package) ebenso auszubilden. Um ein duales Inreihengehäuse auszubilden, würde die zuvor beschriebene Rahmenstruktur **550** zwei Sätze von Leitern aufweisen, welche einwärts in Richtung des Zentralbereichs **550(c)** weisen. Beide Sätze von Leitern würden dann an dem Substrat befestigt werden (mit oder ohne die darauf montierten Halbleiterchips) und dann würde die sich ergebende Anordnung eingekapselt werden, wie zuvor beschrieben, um ein DIP-Art-Halbleiterchip-Gehäuse auszubilden.

[0299] Die zuvor beschriebenen Ausführungsformen haben eine Vielzahl von Vorteilen gegenüber konventionellen Strukturen. Z.B., im Vergleich mit direkt gebondeten Kupfersubstraten (DBC) sind Ausführungsformen der Erfindung weniger kostenintensiv, weil DBC-Substrate die Verwendung von teuren Basismaterialien und hohe Prozesstemperaturen erfordern. Auch kann in einem DBC-Substrat die thermische Nichtübereinstimmung zwischen Kupfer und Keramik in dem DBC hohe Grenzflächenspannungen erzeugen und kann Gehäusezuverlässigkeitsprobleme erzeugen. Zusätzlich können die hohen Prozesstemperaturen, welche erforderlich sind, um DBC-Substrate auszubilden, höhere Platten-Durchbiegung erzeugen.

[0300] Thermische Auskleidungs-Platten sind eine andere Art von Substrat. Sie verwenden eine Kombination von Aluminium (1-1,5 mm), Dielektrikum (50-80 micron), Kupfer (35-400 micron) und stromlos aufgebracht Nickel (3-5 micron).

[0301] Ausführungsformen der Erfindung haben eine Vielzahl von Vorteilen gegenüber thermischen Auskleidungs-Platten. Z.B., verglichen zu thermischen Auskleidungs-Platten benötigen Ausführungsformen der Erfindung weniger Schichten und sind daher weniger kostenintensiv herzustellen. Zusätzlich haben thermische Auskleidungs-Platten einen höheren thermischen Widerstand als Ausführungsformen der Erfindung und können mehr CTE-Nichtübereinstimmungsprobleme aufweisen. Thermische Nichtübereinstimmung kann hohe Grenzschichtenspannung erzeugen und kann Gehäusezuverlässigkeitsprobleme nach sich ziehen.

[0302] Schließlich können, wie zuvor gezeigt, Ausführungsformen der Erfindung mit einer gemeinsamen Leiterraumstruktur zur flexiblen Modulanordnung konstruiert sein.

VI. System in einem Gehäuse beinhaltend einen Spannungsregler

[0303] Viele der zuvor beschriebenen Ausführungsformen betreffen die Ausbildung und Verwendung von vorgeformten Substraten in Halbleiterchip-Gehäuse. Die vorhergehenden Halbleiterchip-Gehäuseausführungsformen sind auf spezifische Konfigurationen für Leistungs-Halbleiterchip-Gehäuse gerichtet. Die Halbleiterchip-Gehäuse können mit Energieversorgungen und/oder Spannungsreglern verwendet werden. Die Ausführungsformen, welche nachfolgend beschrieben sind, können jegliche der zuvor beschriebenen vorgeformten Substrate verwenden oder jegliches anderes geeignetes Substrat, welches ein oder mehrere Halbleiterchips stützen kann.

[0304] Da der Bedarf für Breitbandanwendungen steigt, werden die Gestaltungsanforderungen von Mikroprozessoren komplexer. Dies hat nach sich gezogen, dass CPU-Taktfrequenzen ansteigen und dies hat in einem Anstieg des Energieverbrauchs resultiert. Grundsätzlich sind Spannungsregler ausgestaltet unter Berücksichtigung der folgenden Erfordernisse: (1) der Spannungsregler hat eine hohe Responsibilität, arbeitet bei einer reduzierten Spannung und nimmt hohe Strompegel auf (z.B. aus einem 1,3 V und 70 A Ausgang auf einen 0,8 V und 150 A Ausgang); und (2) der Spannungsregler hat erhöhte Effizienz bei höheren Schaltfrequenzen, um jegliche Potenzialverluste bei niedrigen Pegeln aufzufangen.

[0305] Um einen Spannungsregler herzustellen, der eine hohe Frequenz und einen hohen Effizienzbetrieb kombiniert, ist es wünschenswert, jede der individuellen Vorrichtungen zu verbessern, welche in die Leistungs-MOSFETs inkorporiert sind und auch die parasitären Induktivitäten der Verdrahtung zwischen den Vorrichtungen zu reduzieren. Durch Integrieren eines Treiber-ICs und hoch- und niedrigseitiger Leistungs-MOSFETs in ein einzelnes Gehäuse kann ein wesentlicher Anstieg in der Effizienz erreicht werden mit signifikanter Miniaturisierung.

[0306] Konventionelle Gehäuse für synchrone Abwärtswandler (buck-converter) oder dgl. haben typischerweise drei Chip-Paddel, eines für jeden der Treiber-IC, einen hochseitigen MOSFET-Chip und einen niedrigseitigen MOSFET-Chip. In dem konventionellen Gehäuse ist die hochseitige MOSFET-Source mit einem niedrigseitigen MOSFET-Drain mit Bonddrähten verbunden. Dies erzeugt hohe parasitäre Induktivitäten. Zusätzlich ist die Verbindung des Treiber-ICs mit dem hochseitigen und niedrigseitigen MOSFET-Gate, -Source und -Drain auch unter Verwendung von Bondingdrähten ausgeführt. Das Verwenden individueller Paddel benötigt die Verwendung von langen Bondingdrähten. Solche Faktoren reduzieren die Hochfrequenzleistungseffizienz und die thermischen Eigenschaften von konventionellen Gehäusen. Grundsätzlich haben Mehrfach-chip-Paddel-Gehäuse einen geringeren Gehäusezuverlässigkeitslevel als Ausführungsformen der Erfindung.

[0307] Ein synchroner Abwärtswandler (buck-converter) kann einen Treiber-IC, einen hochseitigen Leistungs-MOSFET und einen niedrigseitigen Leistungs-MOSFET verwenden. [Fig. 23](#) zeigt ein vereinfachtes, schematisches Diagramm eines typischen synchronen Abwärtswandlers (buck-converter). Der synchrone Abwärtswandler (buck-converter) (SBC) **670** beinhaltet einen hochseitigen Metalloxidhalbleiter-Feldeffekttransistor (MOSFET) **672** und einen niedrigseitigen MOSFET **674**. Das Drain D des niedrigseitigen MOSFET **674** ist elektrisch mit der Source S des hochseitigen MOSFET **672** verbunden. Die meisten kommerziell produzierten MOSFETs sind vertikale Vorrichtungen und sind solcher Art gepackt, dass die externen Verbindungspunkte zum Gate, zur Drain und zur Source auf der gleichen geografischen Ebene der Vorrichtung sind.

[0308] Die Verbindung zwischen der Source S und dem Drain D des hoch- und niedrigseitigen MOSFET **672** und **674**, entsprechend, im SBC **670**, haben vorzugsweise sehr niedrige Induktivitäten, damit das SBC **670** bei mittleren bis hohen Betriebs/Schaltfrequenzen verwendet wird. Wo MOSFET **672** und **674** als diskrete Vorrichtungen konfiguriert sind, ist die Gestaltung der Schaltkreisauslegung des SBC **670** vorzugsweise optimiert, um parasitäre Induktivitäten zu reduzieren. Alternativ kann das SBC **670** konfiguriert sein als voll integrierter synchrone Abwärtswandler (buck-converter) in einem einzelnen Konverter in einem einzelnen Gehäuse und ausgestaltet und ausgelegt sein, um parasitäre Induktivitäten in der Verbindung zwischen der Source S und dem Drain D des hoch- und niedrigseitigen MOSFET **672** und **674**, entsprechend, zu reduzieren. Solche voll integrierten Vorrichtungen neigen jedoch dazu, kaum anwendungs- und/oder gestaltungsspezifische Vorrichtungen zu sein, die oft nicht kompatibel mit anderen Anwendungen und/oder Gestaltungen sind. Des Weiteren sind die Pfade/Leiter der gedruckten Schaltkreisplatte, welche die MOSFETs verbinden, typischerweise nicht gut geeignet, um mittlere bis Hochpegelströme zu leiten.

[0309] In Ausführungsformen der Erfindung kann eine neuartige duales gemeinsames Paddel-Gehäuse (z.B. eine 9 × 5 mm-26-pin dalseitige flache, Nichtleitergehäuse) Probleme von konventionellen Gehäusen überwinden. Ausführungsformen der Erfindung können die folgenden Charakteristika aufweisen:

- Ein Treiber-IC, ein hochseitiger MOSFET und ein niedrigseitiger MOSFET können das gleiche Paddel teilen.
- Das hochseitige MOSFET kann ein Flipchip sein, welches an dem Chip-Paddel befestigt ist, während das niedrigseitige MOSFET konventionell ein konventionelles Weichlot-Chipbefestigungsmaterial verwenden kann.
- Die Source des hochseitigen MOSFETs ist folglich automatisch mit der Drain des niedrigseitigen MOSFETs über die Chipbefestigungs-Paddel verbunden.
- Die Drain der hochseitigen MOSFET kann mit externen Stiften mit einem oder mehreren Metallstreifen-Clipbonds oder einem oder mehreren Drahtbondings verbunden sein.
- Der Treiber-IC kann auch zwischen den hoch- und niedrigseitigen MOSFET gesetzt sein, um Drahtlängen zu reduzieren.
- Der Treiber-IC verwendet ein nicht leitfähiges Chipbefestigungsmaterial, um es von den MOSFETs zu isolieren.
- Die Gehäuse gemäß den Ausführungsformen der Erfindung haben einen kleineren Footprint (beispielsweise 70%) und eine kleinere Stifzahl (z.B. 26), wenn verglichen mit konventionellen Gehäusen wie 8 × 8 QFN-Gehäusen.

[0310] Ein beispielhaftes Verfahren gemäß einer Ausführungsform der Erfindung beinhaltet das Erhalten eines Substrats, welches eine leitfähige Chipbefestigungsoberfläche umfasst und das Befestigen eines hochseitigen Transistors beinhaltend einen hochseitigen Transistoreingang an dem Substrat. Der hochseitige Transistoreingang ist mit der leitfähigen Chipbefestigungsoberfläche gekoppelt. Ein niedrigseitiger Transistor beinhaltend einen niedrigseitigen Transistorausgang ist auch an dem Substrat befestigt. Der niedrigseitige Transistoreingang ist mit der leitfähigen Chipbefestigungsoberfläche gekoppelt.

[0311] [Fig. 24A](#) zeigt eine querschnittene Seitenansicht eines Halbleiterchip-Gehäuses **600** gemäß einer

Ausführungsform der Erfindung. Das Halbleiterchip-Gehäuse **600** hat einen niedrigseitigen Transistor **606**, einen hochseitigen Transistor **602** und einen Steuerungschip **604**, die an einem Substrat **610** montiert sind.

[0312] [Fig. 24B](#) zeigt eine Draufsicht auf das Halbleiterchip-Gehäuse **600**, welches in [Fig. 24A](#) gezeigt ist. [Fig. 24C](#) zeigt eine perspektivische Ansicht des Halbleiterchip-Gehäuses **600**, welche in [Fig. 24A](#) gezeigt ist. Bezug nehmend sowohl auf [Fig. 24B](#) als auch [Fig. 24C](#) hat das Halbleiterchip-Gehäuse **600** einen niedrigseitigen Transistorchip **606**, einen hochseitigen Transistorchip **602** und einen Steuerungschip **604**, montiert auf einem Substrat **610**. Der hochseitige Transistor in dem hochseitigen Transistorchip **602** und der niedrigseitige Transistor in dem niedrigseitigen Transistorchip **606** können Leistungstransistoren, wie vertikale Leistungs-MOSFETs sein. Vertikale Leistungs-MOSFET-Chips sind im weiteren Detail zuvor beschrieben.

[0313] In diesem Beispiel beinhaltet das Substrat **610** hochseitige Source-Leitungen **610(c)**, eine hochseitige Gate-Leitung **610(h)**, eine leitfähige Chipbefestigungsoberfläche **610(g)**, niedrigseitige Source-Leitungen **610(a)** und Steuerungsleitungen **610(b)**. Das Substrat **610** kann ein vorgeformtes Substrat sein, wie zuvor beschrieben, kann eine einzelne, leitfähige Leiterraumstruktur sein oder kann eine andere geeignete Struktur sein. Die leitfähige Chipbefestigungsoberfläche **610(g)** kann den Teil der Oberfläche des Substrats **610** besetzen oder die gesamte obere Oberfläche des Substrats **610**.

[0314] Es können eine Anzahl von Verbindungen mit dem hochseitigen MOSFET-Chip **602** bestehen. Z.B. ist ein Drain-Clip **612** mit dem Drain-Bereich in dem hochseitigen MOSFET-Chip **602** befestigt. Eine Anzahl von Lotstrukturen **622(a)** können verwendet werden, um elektrisch und mechanisch den Drain-Bereich in dem hochseitigen MOSFET-Chip **602** mit dem Drain-Clip **612** zu koppeln. Ein oder mehrere Drain-Drähte können stattdessen oder zusätzlich zu dem Drain-Clip **612** in diesem Beispiel verwendet werden.

[0315] Wie in [Fig. 24B](#) gezeigt, ist der Gate-Bereich in dem hochseitigen MOSFET-Chip **602** mit einer Gate-Leitung **610(h)** gekoppelt. Eine Lotstruktur **622(b)** kann die Gate-Leitung **610(h)** mit dem Gate-Bereich in dem hochseitigen MOSFET-Chip **602** koppeln. Der Source-Bereich in dem hochseitigen MOSFET-Chip **602** ist mit der leitfähigen Chipbefestigungsoberfläche **610(g)** gekoppelt. Lot (nicht gezeigt) kann auch verwendet werden, um elektrisch den Source-Bereich in dem hochseitigen MOSFET-Chip **602** mit der leitfähigen Chipbefestigungsoberfläche **610(g)** zu koppeln.

[0316] Es können auch eine Anzahl von Verbindungen mit dem niedrigseitigen MOSFET-Chip **606** bestehen. Z.B. können Source-Drähte **616(a)** den Source-Bereich in dem niedrigseitigen MOSFET-Chip **606** mit den Source-Leitungen **610(a)** des Substrats koppeln. Als eine Alternative können ein oder mehrere Source-Clips anstelle oder zusätzlich zu den Source-Drähten **616(a)** verwendet werden. Die Source-Drähte **616(a)** können Kupfer, Gold oder jegliches anderes geeignetes Material umfassen. Der Gate-Bereich des niedrigseitigen MOSFET-Chips ist mit dem Steuerungschip **604** unter Verwendung eines Drahts **616(c)** gekoppelt.

[0317] Der Drain-Bereich des niedrigseitigen MOSFET-Chips **606** ist mit der leitfähigen Chipbefestigungsoberfläche **610(g)** des Substrats **610** gekoppelt, mittels eines leitfähigen Chipbefestigungsmaterials wie Lot oder dgl. Bleibasiertes oder nicht bleibasiertes Lot kann verwendet werden, um den Drain-Bereich des niedrigseitigen MOSFET-Chips **606** an der Chipbefestigungsoberfläche **610(g)** zu befestigen.

[0318] Der Steuerungschip **604** ist auch auf der leitfähigen Chipbefestigungsoberfläche **610(g)** des Substrats **610** montiert, aber kann elektrisch von dem Substrat **610** isoliert sein. Eine Anzahl von Bondingdrähten **616(e)** können Anschlüsse in dem Steuerungschip **604** mit Steuerungsleitungen **610(b)** koppeln. Ein Draht **602(d)** kann auch einen Anschluss in dem Steuerungschip **604** mit der leitfähigen Chipbefestigungsoberfläche **610(g)** koppeln. In einigen Fällen könnten leitfähige Clips anstelle von Bondingdrähten verwendet werden.

[0319] [Fig. 24D](#) zeigt eine Unteransicht des Substrats **610**. Wie in [Fig. 24D](#) gezeigt, kann die Unterseite des Substrats **610** einen halbgeätzten Abschnitt **610(i)** aufweisen.

[0320] [Fig. 24E](#) zeigt eine perspektivische Ansicht des Halbleiterchip-Gehäuses **600**.

[0321] [Fig. 25](#) zeigt eine querschnittene Seitenansicht eines Substrats **610** gemäß einer anderen Ausführungsform der Erfindung. Das Substrat **610** beinhaltet eine Vertiefung **690**, welche mit einem Ausformmaterial **692** gefüllt ist. Ein Steuerungschip **604** ist auf der Oberseite des Ausformmaterials **692**. Das Ausformmaterial **692** isoliert den Steuerungschip **604** elektrisch von den leitfähigen Abschnitten auf dem Substrat **610**. Wie in vorhergehenden Ausführungsformen sind ein niedrigseitiger MOSFET-Chip **606** und ein hochseitiger MOSFET-Chip **602** auf dem Substrat **610**.

[0322] Die Vertiefung **690** kann durch Ätzen, Fräsen oder dgl. ausgebildet sein. Das Ausformmaterial **692** kann in der Vertiefung abgelagert sein und dann nachfolgend ausgehärtet oder verfestigt werden.

[0323] Die in [Fig. 25](#) gezeigte Ausführungsform hat eine Vielzahl von Vorteilen. Z.B. isoliert das Ausformmaterial **692** elektrisch den Steuerungschip **604** von den hoch- und niedrigseitigen Chips **602**, **606** ohne Erhöhen der Höhe der ausgebildeten Halbleiterchip-Gehäuse.

[0324] Die Ausführungsformen, welche zuvor beschrieben wurden, haben eine Vielzahl von Vorteilen. Solche Vorteile beinhalten einen kleineren Footprint, und bessere thermische und elektrische Eigenschaften. Solche Ausführungsformen können in einer Vielzahl von Gehäusekonfigurationen verwendet werden, beinhaltend einzelne Inreihengehäuse und duale Inreihengehäuse.

[0325] Jegliche der zuvor beschriebenen Ausführungsformen und/oder jegliche Merkmale davon können mit einer anderen Ausführungsform/anderen Ausführungsformen und/oder einem anderen Merkmal/anderen Merkmalen kombiniert werden, ohne von dem Umfang der Erfindung abzuweichen. Z.B., obwohl Systeme in Modulen vom Gehäusotypus nicht spezifisch beschrieben worden sind in Bezug auf die Ausführungsformen, welche in den **Fig. 1-2** gezeigt sind, ist zu verstehen, dass solche Ausführungsformen für Systeme in Modulen vom Gehäusotypus verwendet werden können, ohne von der Idee und dem Umfang der Erfindung abzuweichen.

[0326] Die vorstehende Beschreibung ist illustrativ und nicht beschränkend. Viele Variationen der Erfindung werden dem Fachmann erkennbar werden bei Durchsicht der Offenbarung. Der Umfang der Erfindung sollte daher unter Bezugnahme auf die zuvor stehende Beschreibung nicht bestimmt werden, sondern stattdessen soll der unter Bezug auf die anhängenden Ansprüche unter Einbeziehung von deren vollem Umfang oder Äquivalenten bestimmt werden.

[0327] Jegliche Bezugnahme auf Positionen wie "oben", "unten", "oberer", "unterer", etc. beziehen sich auf die Figuren und sind zur Vereinfachung der Illustration verwendet und nicht als Beschränkung beabsichtigt. Sie sind nicht beabsichtigt, auf absolute Positionen zu verweisen.

[0328] Die Halbleiterchip-Gehäuse, welche zuvor beschrieben worden sind, können in jeglichem geeigneten elektrischen Apparat verwendet werden. Z.B. können sie in Personalcomputern, Servern, Handys, Haushaltsgeräten, etc. verwendet werden.

[0329] Eine Zitierung von "ein", "eine" oder "der", "die", "das" ist beabsichtigt zu meinen "ein oder mehrere", sofern nicht spezifisch das Gegenteil angezeigt ist.

[0330] Alle Patente, Patentanmeldungen, Veröffentlichungen und Beschreibungen, die hierin zuvor beschrieben worden sind, sind hierin durch Bezugnahme in ihrer Gesamtheit für alle Zwecke einbezogen. Nichts wird als Stand der Technik eingeräumt.

ZUSAMMENFASSUNG

[0331] Halbleiterchipgehäuse werden offenbart. Ein beispielhaftes Halbleiterchipgehäuse beinhaltet ein vorgeformtes Substrat. Das vorgeformte Substrat kann einen daran befestigten Halbleiterchip aufweisen und ein Kapselungsmaterial kann über dem Halbleiterchip angeordnet sein.

Patentansprüche

1. Verfahren umfassend:

Bereitstellen eines vorgeformten Substrats mit einer Leiterraumstruktur und einem Formmaterial, wobei die Leiterraumstruktur einen ersten leitenden Teilbereich, einen zweiten leitenden Teilbereich und einen Zwischen-Teilbereich zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich beinhaltet; Trennen des Zwischen-Teilbereichs, um den ersten leitenden Teilbereich von dem zweiten leitenden Teilbereich elektrisch zu isolieren;
Befestigen eines Halbleiterchips an dem Substrat; und
elektrisches Koppeln der ersten und zweiten leitenden Teilbereiche zu dem Halbleiterchip.

2. Verfahren nach Anspruch 1, wobei der Zwischen-Teilbereich mittels eines Ätz-Prozesses geformt ist.

3. Verfahren nach Anspruch 1, wobei Oberflächen der ersten und zweiten leitenden Teilbereiche im Wesentlichen planparallel mit einer äußeren Oberfläche des Formaterials sind.
4. Verfahren nach Anspruch 1, wobei elektrisches Koppeln des ersten leitenden Teilbereichs und des zweiten leitenden Teilbereichs zu dem Halbleiterchip umfasst Verbinden des ersten leitenden Teilbereichs zu dem Halbleiterchip über Drähte und Verbinden des zweiten leitenden Teilbereichs zu dem Halbleiterchip über Drähte.
5. Verfahren nach Anspruch 1, wobei Trennen die Verwendung einer Säge, eines Lasers oder eines Wasserstrahls umfasst, um den Zwischen-Teilbereich zu trennen.
6. Verfahren nach Anspruch 1, weiter umfassend, nach Befestigen des Chips an dem Halbleitersubstrat, Einkapseln des Halbleiterchips mittels eines Einkapsel-Materials, wobei das Einkapsel-Material ein Gebiet zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich füllt.
7. Verfahren nach Anspruch 1, wobei sich das vorgeformte Substrat in einer Anordnung von vorgeformten Substraten befindet.
8. Verfahren nach Anspruch 1, wobei die leitenden Teilbereiche sich nicht über das Formmaterial hinaus erstrecken.
9. Verfahren nach Anspruch 1, wobei der befestigte Halbleiterchip zumindest einen Teilbereich des ersten leitenden Teilbereichs überlappt.
10. Verfahren nach Anspruch 9, wobei die Leiterrahmenstruktur weiterhin einen leitenden Mittel-Teilbereich innerhalb eines durch eine Vielzahl von ersten leitenden Teilbereichen definierten Bereichs umfasst.
11. Halbleiterchip-Gehäuse umfassend:
ein vorgeformtes Substrat mit einer Leiterrahmenstruktur und einem Formmaterial, wobei die Leiterrahmenstruktur einen ersten leitenden Teilbereich, einen zweiten leitenden Teilbereich und eine Aussparung zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich beinhaltet;
einen Halbleiterchip auf dem vorgeformten Substrat; und
ein Einkapsel-Material, das den Halbleiterchip abdeckt und die Aussparung zwischen dem ersten leitenden Teilbereich und dem zweiten leitenden Teilbereich füllt.
12. Halbleiterchip-Gehäuse nach Anspruch 11, wobei der Halbleiterchip einen Leistungs-MOSFET umfasst.
13. Halbleiterchip-Gehäuse nach Anspruch 11, wobei der Halbleiterchip ein vertikales Bauelement umfasst.
14. Halbleiterchip-Gehäuse nach Anspruch 11, wobei der Halbleiterchip eine erste Oberfläche fern von dem Substrat und eine zweite Oberfläche benachbart zu dem Substrat hat, wobei das Gehäuse weiterhin Drahtverbindungen beinhaltet, die die erste Oberfläche des Chips zu dem Substrat koppeln.
15. Halbleiterchip-Gehäuse nach Anspruch 11, wobei der Halbleiterchip sich direkt über einem isolierten Teilbereich des Substrats befindet.
16. Halbleiterchip-Gehäuse nach Anspruch 11, wobei das Halbleiterchip-Gehäuse keine Leiter aufweist, die sich seitlich weg von dem Einkapsel-Material erstrecken.
17. Halbleiterchip-Gehäuse nach Anspruch 11, wobei die Aussparung durch Trennen geformt wurde.
18. Halbleiterchip-Gehäuse nach Anspruch 11, wobei die Aussparung durch Trennen mittels einer Säge, eines Lasers oder eines Wasserstrahls geformt wurde.
19. Halbleiterchip-Gehäuse nach Anspruch 11, wobei der befestigte Halbleiterchip zumindest einen Teilbereich des ersten leitenden Teilbereichs überlappt.
20. Halbleiterchip-Gehäuse nach Anspruch 11, wobei die Leiterrahmenstruktur weiterhin einen leitenden

Mittel-Bereich innerhalb eines durch eine Vielzahl von ersten leitenden Teilbereichen definierten Gebiets umfasst.

21. Verfahren umfassend:

Bereitstellen eines vorgeformten Substrats mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei das vorgeformte Substrat eine Leiterrahmenstruktur und ein Formmaterial beinhaltet, wobei die Leiterrahmenstruktur ein Feld-Gebiet umfasst, wobei eine äußere Oberfläche des Feld-Gebiets und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind und mit der zweiten Oberfläche des vorgeformten Substrats zusammenfallen; und

Befestigen von zumindest zwei Halbleiterchips an der ersten Oberfläche des vorgeformten Substrats.

22. Verfahren nach Anspruch 21, wobei die Leiterrahmenstruktur eine Vielzahl von leitenden Gebieten beinhaltet, wobei die Vielzahl von leitenden Gebieten sich in Kantengebieten des Substrats befinden.

23. Verfahren nach Anspruch 21, wobei die zumindest zwei Halbleiterchips mittels Lot befestigt sind.

24. Verfahren nach Anspruch 21, wobei die zumindest zwei Halbleiterchips mittels eines Klebstoffs befestigt sind.

25. Verfahren nach Anspruch 21, wobei die Leiterrahmenstruktur einen Chip-Befestigungs-Gebiet beinhaltet, wobei das Chip-Befestigungs-Gebiet mit der ersten Oberfläche des Substrats zusammenfällt und sich zumindest einer der Chips auf dem Chip-Befestigungs-Gebiet befindet.

26. Verfahren nach Anspruch 21, wobei die Leiterrahmenstruktur Kupfer umfasst.

27. Verfahren nach Anspruch 21, wobei das Substrat keine Leiter aufweist, die sich seitlich über das Formmaterial hinaus erstrecken.

28. Verfahren nach Anspruch 21, wobei zumindest einer der Halbleiterchips ein vertikales Bauelement umfasst.

29. Verfahren nach Anspruch 21, wobei zumindest einer der Chips einen vertikalen MOSFET umfasst.

30. Verfahren nach Anspruch 21, wobei die Leiterrahmenstruktur eine Vielzahl von leitenden Gebieten beinhaltet, wobei die Vielzahl von leitenden Gebieten Kantengebiete des Substrats sind, und wobei das Verfahren weiterhin Verbinden der Chips zu den leitenden Gebieten über Drähte umfasst.

31. Halbleiterchip-Gehäuse umfassend:

ein vorgeformtes Substrat mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei das vorgeformte Substrat eine Leiterrahmenstruktur und ein Formmaterial beinhaltet, wobei die Leiterrahmenstruktur ein Feld-Gebiet umfasst, wobei eine äußere Oberfläche des Feld-Gebiets und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind und mit der zweiten Oberfläche des vorgeformten Substrats zusammenfallen; und

zumindest zwei Halbleiterchips zu der ersten Oberfläche des vorgeformten Substrats gekoppelt sind.

32. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die Leiterrahmenstruktur eine Vielzahl von leitenden Gebieten beinhaltet, wobei die Vielzahl von leitenden Gebieten Kantengebiete des Substrats sind.

33. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die zumindest zwei Halbleiterchips mittels Lot befestigt sind.

34. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die zumindest zwei Halbleiterchips mittels eines Klebstoffs befestigt sind.

35. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die Leiterrahmenstruktur ein Chip-Befestigungs-Gebiet beinhaltet, wobei das Chip-Befestigungs-Gebiet mit der ersten Oberfläche des Substrats zusammenfällt und sich zumindest einer der Chips auf dem Chip-Befestigungs-Gebiet befindet.

36. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die Leiterrahmenstruktur Kupfer umfasst.

37. Halbleiterchip-Gehäuse nach Anspruch 31, wobei das Substrat keine Leiter aufweist, die sich seitlich über das Formmaterial hinaus erstrecken.
38. Halbleiterchip-Gehäuse nach Anspruch 31, wobei zumindest einer der Halbleiterchips ein vertikales Bauelement umfasst.
39. Halbleiterchip-Gehäuse nach Anspruch 31, wobei zumindest einer der Chips einen vertikalen MOSFET umfasst.
40. Halbleiterchip-Gehäuse nach Anspruch 31, wobei die Leiterrahmenstruktur eine Vielzahl von leitenden Gebieten beinhaltet, wobei die Vielzahl von leitenden Gebieten Kantengebiete des Substrats sind, und wobei das Verfahren weiterhin Verbinden der Chips zu den leitenden Gebieten über Drähte umfasst.
41. Verfahren zum Formen eines Halbleiterchip-Gehäuses, umfassend:
Formen eines Substrats, wobei Formen eines Substrats umfasst (i) Platzieren einer Leiterrahmenstruktur zwischen einer ersten Ausformform und einer zweiten Ausformform, (ii) Kontaktieren der Leiterrahmenstruktur mit den ersten und zweiten Ausformformen, und (iii) Formen eines Formmaterials um die Leiterrahmenstruktur; Befestigen eines Halbleiterchips an dem Substrat; und Einkapseln des Halbleiterchips in einem Einkapsel-Material.
42. Verfahren nach Anspruch 41, wobei der Halbleiterchip an dem Substrat mittels eines Klebstoffs befestigt ist.
43. Verfahren nach Anspruch 41, wobei der Halbleiterchip einen Leistungs-MOSFET umfasst.
44. Verfahren nach Anspruch 41, wobei das geformte Substrat zwei konkave Strukturen auf gegenüberliegenden Seiten des Substrats beinhaltet.
45. Verfahren nach Anspruch 41, wobei das Formmaterial eine Dicke aufweist, die gleich einer Dicke der Leiterrahmenstruktur ist.
46. Verfahren nach Anspruch 41, wobei das geformte Substrat eine konkave Struktur auf einer Seite des Substrats beinhaltet.
47. Verfahren nach Anspruch 41, wobei sich die Leiterrahmenstruktur in einer Anordnung von Leiterrahmenstrukturen befindet, und wobei das Verfahren nach Einkapseln weiterhin umfasst:
Trennen der Leiterrahmenstrukturen in der Anordnung, um einzelne Chipgehäuse zu formen.
48. Verfahren nach Anspruch 41, wobei die Leiterrahmenstruktur Kupfer umfasst.
49. Verfahren nach Anspruch 41, weiterhin umfassend Formen von Drahtverbindungen, die den Halbleiterchip zu Leitern in der Leiterrahmenstruktur verbinden.
50. Verfahren nach Anspruch 41, wobei ein Halbleiterchip-Gehäuse, das nach Einkapseln geformt ist, keine Leiter aufweist, die sich über das Einkapsel-Material hinaus erstrecken.
51. Halbleiterchip-Gehäuse, umfassend:
ein Substrat, wobei Formen eines Substrats eine Leiterrahmenstruktur und ein Formmaterial umfasst, wobei das Substrat zumindest eine konkave Struktur formt; und einen Halbleiterchip auf dem Substrat.
52. Halbleiterchip-Gehäuse nach Anspruch 51, weiterhin umfassend ein Einkapsel-Material über dem Halbleiterchip.
53. Halbleiterchip-Gehäuse nach Anspruch 51, weiterhin umfassend Drahtverbindungen, die zwischen dem Halbleiterchip und der Leiterrahmenstruktur in dem Substrat geformt sind.
54. Halbleiterchip-Gehäuse nach Anspruch 51, wobei das Substrat zwei konkave Strukturen aufweist, die sich auf gegenüberliegenden Seiten des Substrats befinden.

55. Halbleiterchip-Gehäuse nach Anspruch 51, wobei die konkave Struktur durch erhöhte Wände des Formmaterials und eine Oberfläche der Leiterrahmenstruktur geformt ist.
56. Halbleiterchip-Gehäuse nach Anspruch 51, wobei der Halbleiterchip einen Leistungs-Transistor umfasst.
57. Halbleiterchip-Gehäuse nach Anspruch 51, wobei der Halbleiterchip einen Leistungs-MOSFET umfasst.
58. Halbleiterchip-Gehäuse nach Anspruch 51, wobei die Leiterrahmenstruktur Kupfer umfasst.
59. Halbleiterchip-Gehäuse nach Anspruch 51, wobei der Halbleiterchip ein erster Halbleiterchip ist und wobei das Halbleiterchip-Gehäuse weiterhin einen zweiten Halbleiterchip auf dem Substrat umfasst.
60. Halbleiterchip-Gehäuse nach Anspruch 51, weiterhin umfassend ein Einkapsel-Material auf dem Halbleiterchip, und wobei Leiter der Leiterrahmenstruktur sich nicht über das Einkapsel-Material hinaus erstrecken.
61. Verfahren, umfassend:
Bereitstellen eines Substrats beinhaltend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine Oberfläche des Formmaterials und die Leiterrahmenstruktur im Wesentlichen planparallel sind, und wobei das Substrat ein erstes Chip-Befestigungs-Gebiet und ein zweites Chip-Befestigungs-Gebiet beinhaltet;
Befestigen eines ersten Halbleiterchips an dem ersten Chip-Befestigungs-Gebiet; und
Befestigen eines zweiten Halbleiterchips an dem zweiten Chip-Befestigungs-Gebiet.
62. Verfahren nach Anspruch 61, wobei der erste Halbleiterchip einen Treiber-IC umfasst und wobei der zweite Halbleiterchip einen Leistungs-Transistor beinhaltet.
63. Verfahren nach Anspruch 61, wobei das Verfahren weiterhin umfasst Befestigen eines dritten Halbleiterchips an dem Substrat.
64. Verfahren nach Anspruch 61, wobei das Verfahren umfasst Einkapseln der ersten und zweiten Halbleiterchips mittels eines Einkapsel-Materials.
65. Verfahren nach Anspruch 61, wobei die Leiterrahmenstruktur Kupfer beinhaltet.
66. Verfahren nach Anspruch 61, weiterhin umfassend Formen des Substrats, wobei Formen des Substrats teilweises Ätzen der Leiterrahmenstruktur und dann Formen des Formmaterials um die Leiterrahmenstruktur, so dass eine nicht-geätzte Oberfläche im Wesentlichen planparallel mit einer äußeren Oberfläche des geformten Formmaterials ist, beinhaltet.
67. Verfahren nach Anspruch 61, weiterhin umfassend Formen des Substrats, wobei Formen des Substrats teilweises Ätzen der Leiterrahmenstruktur; Abdecken der nicht-geätzten Oberfläche der Leiterrahmenstruktur mit Band; und dann Formen des Formmaterials um die Leiterrahmenstruktur, so dass eine nicht-geätzte Oberfläche im Wesentlichen planparallel mit einer äußeren Oberfläche des geformten Formmaterials ist, beinhaltet.
68. Verfahren nach Anspruch 61, wobei zumindest einer der Chips ein vertikales Bauelement umfasst.
69. Verfahren nach Anspruch 61, wobei zumindest einer der Chips einen Leistungs-MOSFET umfasst.
70. Verfahren nach Anspruch 61, wobei die Leiterrahmenstruktur eine Vielzahl von Leitern beinhaltet, die sich seitlich über eine seitliche äußere Oberfläche des Formmaterials in dem Substrat erstrecken.
71. Halbleiterchip-Gehäuse, umfassend:
ein Substrat beinhaltend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine Oberfläche des Formmaterials und die Leiterrahmenstruktur im Wesentlichen planparallel sind, und wobei das Substrat ein erstes Chip-Befestigungs-Gebiet und ein zweites Chip-Befestigungs-Gebiet umfasst;
einen ersten Halbleiterchip auf dem ersten Chip-Befestigungs-Gebiet; und
einen zweiten Halbleiterchip auf dem zweiten Chip-Befestigungs-Gebiet.

72. Halbleiterchip-Gehäuse nach Anspruch 71, wobei der erste Halbleiterchip einen Treiber-IC umfasst und wobei der zweite Halbleiterchip einen Leistungs-Transistor beinhaltet.
73. Halbleiterchip-Gehäuse nach Anspruch 71, weiterhin umfassend einen dritten, an dem Substrat befestigten Halbleiterchip.
74. Halbleiterchip-Gehäuse nach Anspruch 71, weiterhin umfassend ein Einkapsel-Material, das die ersten und zweiten Halbleiterchips einkapselt.
75. Halbleiterchip-Gehäuse nach Anspruch 71, wobei die Leiterrahmenstruktur Kupfer beinhaltet.
76. Halbleiterchip-Gehäuse nach Anspruch 71, wobei das Substrat eine teilweise geätzte Struktur beinhaltet und wobei das Formmaterial so um die Leiterrahmenstruktur angeordnet ist, dass eine nicht-geätzte Oberfläche im Wesentlichen planparallel mit einer äußeren Oberfläche des geformten Formmaterials ist.
77. Halbleiterchip-Gehäuse nach Anspruch 71, wobei das Substrat eine teilweise geätzte Struktur beinhaltet und wobei das Formmaterial so um die Leiterrahmenstruktur angeordnet ist, dass eine nicht-geätzte Oberfläche im Wesentlichen planparallel mit einer äußeren Oberfläche des geformten Formmaterials ist, und wobei die Leiterrahmenstruktur Kupfer beinhaltet.
78. Halbleiterchip-Gehäuse nach Anspruch 71, wobei zumindest einer der Chips ein vertikales Bauelement umfasst.
79. Halbleiterchip-Gehäuse nach Anspruch 71, wobei zumindest einer der Chips einen Leistungs-MOS-FET umfasst.
80. Halbleiterchip-Gehäuse nach Anspruch 71, wobei die Leiterrahmenstruktur eine Vielzahl von Leitern beinhaltet, die sich seitlich über eine seitliche äußere Oberfläche des Formmaterials in dem Substrat erstrecken.
81. Verfahren zur Herstellung eines Substrats für ein Halbleiterchip-Gehäuse, das Verfahren umfassend: Bereitstellen einer ersten Leiterrahmenstruktur und einer zweiten Leiterrahmenstruktur; Befestigen der ersten und zweiten Leiterrahmenstruktur aneinander mittels einer Klebeschicht; und Aufbringen des Formmaterials auf die erste Leiterrahmenstruktur, die zweite Leiterrahmenstruktur, oder die Klebeschicht.
82. Verfahren nach Anspruch 81, wobei Aufbringen des Formmaterials auf die erste Leiterrahmenstruktur, die zweite Leiterrahmenstruktur, und die Klebeschicht Aufbringen des Formmaterials auf die erste Leiterrahmenstruktur, die zweite Leiterrahmenstruktur, und die Klebeschicht umfasst.
83. Verfahren nach Anspruch 81, wobei die erste Leiterrahmenstruktur teilweise geätzt ist und die zweite Leiterrahmenstruktur teilweise geätzt ist.
84. Verfahren nach Anspruch 81, wobei die Klebeschicht in Form eines Polymer-Films bereitgestellt ist.
85. Verfahren nach Anspruch 81, wobei die Klebeschicht in Form eines Polyimid-Films bereitgestellt ist.
86. Verfahren nach Anspruch 81, wobei die erste Leiterrahmenstruktur und die zweite Leiterrahmenstruktur symmetrisch auf gegenüberliegenden Seiten der Klebeschicht angeordnet sind.
87. Verfahren nach Anspruch 81, wobei die ersten und zweiten Leiterrahmenstrukturen Aussparungen beinhalten, und wobei die Aussparungen in den ersten und zweiten Leiterrahmenstrukturen mit dem Formmaterial gefüllt sind, und wo Kanten des ersten und zweiten Leiterrahmens mit dem Formmaterial überzogen sind.
88. Verfahren nach Anspruch 81, wobei das Formmaterial in dem Substrat eine äußere Oberfläche hat, die im Wesentlichen planparallel mit einer äußeren Oberfläche der ersten Leiterrahmenstruktur oder der zweiten Leiterrahmenstruktur ist.
89. Verfahren nach Anspruch 81, wobei das Formmaterial in dem Substrat äußere Oberflächen hat, welche im Wesentlichen planparallel mit äußeren Oberflächen der ersten Leiterrahmenstruktur und der zweiten Leiter-

rahmenstruktur sind.

90. Verfahren nach Anspruch 81, wobei die ersten und zweiten Leiterrahmenstrukturen Kupfer umfassen.

91. Substrat für ein Halbleiterchip-Gehäuse, das Substrat umfassend:
eine erste Leiterrahmenstruktur;
eine zweite Leiterrahmenstruktur; und
eine Klebeschicht, die die ersten und zweiten Leiterrahmenstrukturen aneinander klebt; und
ein Formmaterial auf der ersten Leiterrahmenstruktur, der zweiten Leiterrahmenstruktur, oder der Klebeschicht.

92. Substrat nach Anspruch 91, wobei das Formmaterial sich auf der ersten Leiterrahmenstruktur, der zweiten Leiterrahmenstruktur, und der Klebeschicht befindet.

93. Substrat nach Anspruch 91, wobei die erste Leiterrahmenstruktur teilweise geätzt ist und die zweite Leiterrahmenstruktur teilweise geätzt ist.

94. Substrat nach Anspruch 91, wobei die Klebeschicht in Form eines Polymer-Films bereitgestellt ist.

95. Substrat nach Anspruch 91, wobei die ersten und zweiten Leiterrahmenstrukturen Kupfer umfassen.

96. Substrat nach Anspruch 91, wobei die Klebeschicht in Form eines Polyimid-Films bereitgestellt ist.

97. Substrat nach Anspruch 91, wobei das Formmaterial in dem Substrat eine äußere Oberfläche hat, die im Wesentlichen planparallel mit einer äußeren Oberfläche der ersten Leiterrahmenstruktur oder der zweiten Leiterrahmenstruktur ist.

98. Substrat nach Anspruch 91, wobei die ersten und zweiten Leiterrahmenstrukturen Aussparungen beinhalten, und wobei die Aussparungen in den ersten und zweiten Leiterrahmenstrukturen mit dem Formmaterial gefüllt sind, und wo Kanten des ersten und zweiten Leiterrahmens mit dem Formmaterial überzogen sind.

99. Substrat nach Anspruch 91, wobei das Formmaterial in dem Substrat äußere Oberflächen hat, welche im Wesentlichen planparallel mit äußeren Oberflächen der ersten Leiterrahmenstruktur und der zweiten Leiterrahmenstruktur sind.

100. Substrat nach Anspruch 91, wobei die erste Leiterrahmenstruktur und die zweite Leiterrahmenstruktur im Wesentlichen symmetrisch an gegenüberliegenden Seiten der Klebeschicht angeordnet sind.

101. Verfahren zum Formen eines Halbleiterchip-Gehäuses, umfassend:
Bereitstellen eines vorgeformten Substrats umfassend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine äußere Oberfläche der Leiterrahmenstruktur und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind;
Befestigen des Substrats an einer Rahmenstruktur, die Leiter beinhaltet; und
Befestigen eines Chips an dem Substrat.

102. Verfahren nach Anspruch 101, wobei die Leiterrahmenstruktur Kupfer umfasst.

103. Verfahren nach Anspruch 101, weiterhin umfassend Formen eines Formmaterials um das befestigte Substrat, und Trennen der Leiter von der Rahmenstruktur.

104. Verfahren nach Anspruch 101, weiterhin umfassend Befestigen einer Vielzahl von Chips an dem Substrat vor oder nach Befestigen des Substrats an der Rahmenstruktur.

105. Verfahren nach Anspruch 101, wobei, nachdem das Substrat an der Rahmenstruktur befestigt ist, das Substrat in Bezug auf einen wesentlichen Teilbereich der Rahmenstruktur abgesenkt wird.

106. Halbleiterchip-Gehäuse, umfassend:
ein vorgeformtes Substrat umfassend eine Leiterrahmenstruktur und ein Formmaterial, wobei eine äußere Oberfläche der Leiterrahmenstruktur und eine äußere Oberfläche des Formmaterials im Wesentlichen planparallel sind; und

einen Halbleiterchip auf dem vorgeformten Substrat;
an dem vorgeformten Substrat befestigte Leiter, wobei die Leiter einzeln aus dem vorgeformten Substrat geformt wurden.

107. Halbleiterchip-Gehäuse nach Anspruch 106, wobei die Leiterrahmenstruktur Kupfer umfasst.

108. Halbleiterchip-Gehäuse nach Anspruch 106, wobei das Formmaterial gegenüberliegende Oberflächen hat, die im Wesentlichen planparallel sind mit gegenüberliegenden Oberflächen der Leiterrahmenstruktur.

109. Halbleiterchip-Gehäuse nach Anspruch 106, wobei die Leiter an dem vorgeformten Substrat durch Lot oder Schweißungen befestigt sind.

110. Halbleiterchip-Gehäuse nach Anspruch 106, wobei der Halbleiterchip ein vertikales Bauelement umfasst.

111. Verfahren umfassend:

Bereitstellen eines Substrats umfassend eine leitende Chip-Befestigungs-Oberfläche;

Befestigen eines hochseitigen Transistors beinhaltend einen hochseitigen Transistor-Eingang an dem Substrat, wobei der hochseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist; und

Befestigen eines niedrigseitigen Transistors beinhaltend einen niedrigseitigen Transistor-Ausgang an dem Substrat, wobei der niedrigseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist.

112. Verfahren nach Anspruch 111, weiterhin umfassend:

Formen eines Einkapsel-Materials, das um den hochseitigen Transistor und den niedrigseitigen Transistor geformt ist.

113. Verfahren nach Anspruch 111, wobei der hochseitige Transistor ein hochseitiger MOSFET ist und der hochseitige Transistor-Eingang eine hochseitige Transistor-Source-Verbindung ist.

114. Verfahren nach Anspruch 111, wobei der niedrigseitige Transistor ein niedrigseitiger MOSFET ist und der niedrigseitige Transistor-Ausgang eine niedrigseitige Transistor-Drain-Verbindung ist.

115. Verfahren nach Anspruch 111, wobei der hochseitige Transistor sich in einem ersten Chip befindet und der niedrigseitige Transistor sich in einem zweiten Chip befindet.

116. Verfahren nach Anspruch 111, weiterhin umfassend Montieren eines auf dem Substrat montierten Controller-Chips.

117. Verfahren nach Anspruch 111, wobei das Substrat ein Formmaterial umfasst, das eine äußere Oberfläche hat, die im Wesentlichen planparallel mit der leitenden Chip-Befestigungs-Oberfläche ist.

118. Verfahren nach Anspruch 111, wobei die leitende Chip-Befestigungs-Oberfläche Teil eines Leiterrahmens ist.

119. Verfahren nach Anspruch 111, wobei der hochseitige Transistor einen hochseitigen Transistor-Ausgang hat, wobei der hochseitige Transistor-Ausgang fern von der leitenden Chip-Befestigungs-Oberfläche ist und der hochseitige Transistor-Eingang benachbart zu der leitenden Chip-Befestigungs-Oberfläche ist und wobei das Gehäuse weiterhin eine Klemme oder eine Drahtverbindung umfasst, die den hochseitigen Transistor-Ausgang zu den außen liegenden Leitern koppelt, und wobei die hoch- und niedrigseitigen Transistoren beide Leistungs-MOSFETs sind.

120. Verfahren nach Anspruch 111, weiterhin umfassend Befestigen eines Controller-Chips an dem Substrat und wobei die leitende Chip-Befestigungs-Oberfläche Teil einer Leiterrahmenstruktur ist.

121. Halbleiterbauelement-Gehäuse, umfassend:

ein Substrat umfassend eine leitende Chip-Befestigungs-Oberfläche;

einen hochseitigen Transistor umfassend einen hochseitigen Transistor-Eingang, wobei der hochseitige Tran-

sistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist; und einen niedrigseitigen Transistor beinhaltend einen niedrigseitigen Transistor-Ausgang, wobei der niedrigseitige Transistor-Eingang zu der leitenden Chip-Befestigungs-Oberfläche gekoppelt ist.

122. Halbleiterchip-Gehäuse nach Anspruch 121, weiterhin umfassend: ein Einkapsel-Material, das um den hochseitigen Transistor und den niedrigseitigen Transistor geformt ist.

123. Halbleiterchip-Gehäuse nach Anspruch 121, wobei der hochseitige Transistor ein hochseitiger MOSFET ist und der hochseitige Transistor-Eingang eine hochseitige Transistor-Source-Verbindung ist.

124. Halbleiterchip-Gehäuse nach Anspruch 121, wobei der niedrigseitige Transistor ein niedrigseitiger MOSFET und der niedrigseitige Transistor-Ausgang eine niedrigseitige Transistor-Drain-Verbindung ist.

125. Halbleiterchip-Gehäuse nach Anspruch 121, wobei der hochseitige Transistor ein hochseitiger MOSFET ist und der niedrigseitige Transistor ein niedrigseitiger MOSFET ist und der niedrigseitige Transistor-Ausgang eine niedrigseitige Transistor-Drain-Verbindung ist.

126. Halbleiterchip-Gehäuse nach Anspruch 121, weiterhin umfassend einen auf dem Substrat montierten Controller-Chip.

127. Halbleiterchip-Gehäuse nach Anspruch 121, wobei die leitende Chip-Befestigungs-Oberfläche Teil eines Leiterrahmens ist.

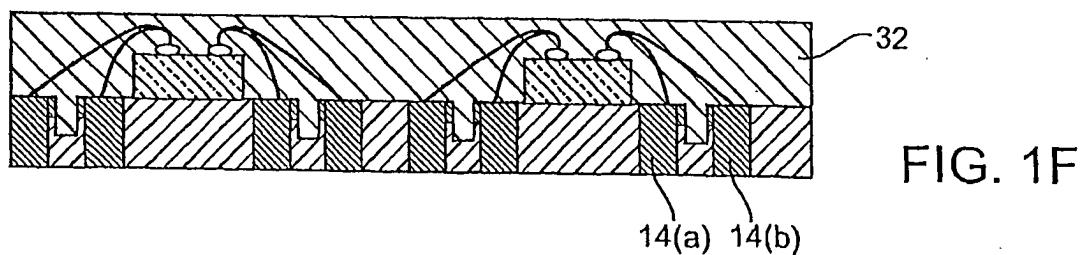
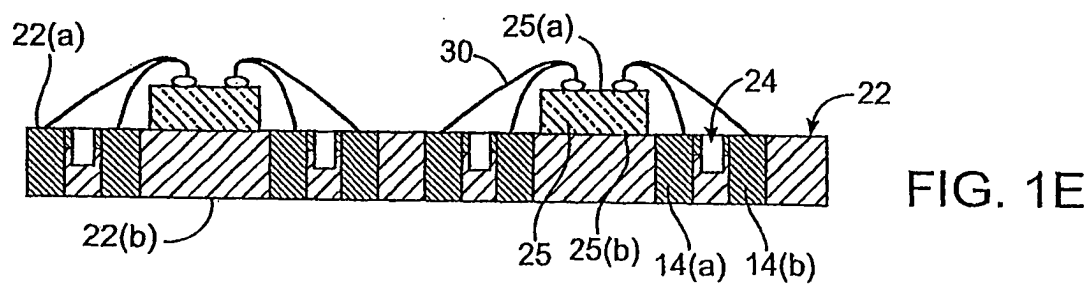
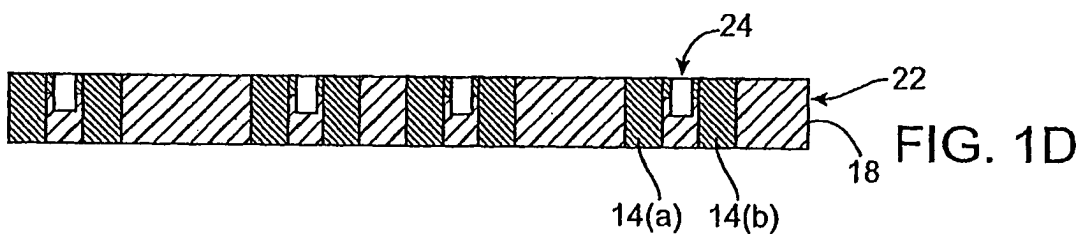
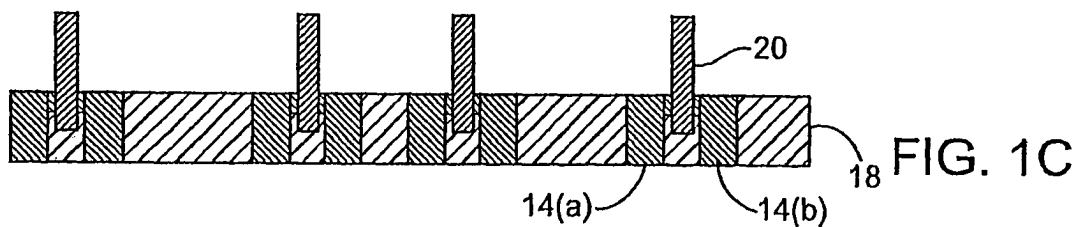
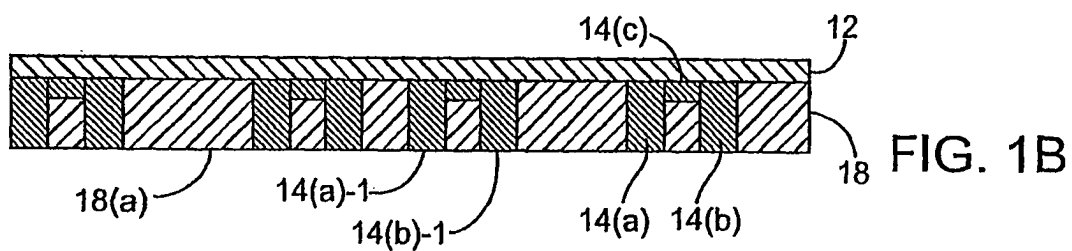
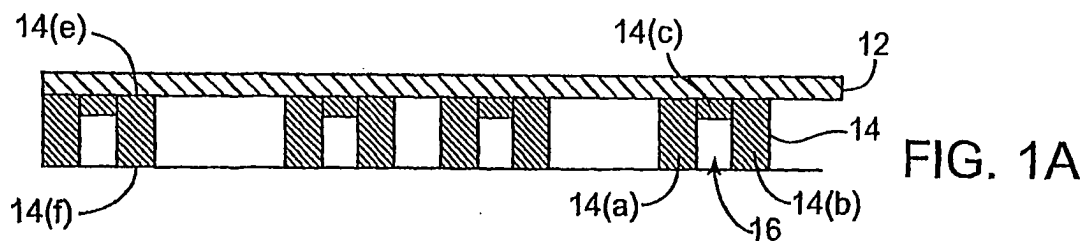
128. Halbleiterchip-Gehäuse nach Anspruch 121, wobei das Substrat ein Formmaterial umfasst, das eine äußere Oberfläche hat, die im Wesentlichen planparallel mit der leitenden Chip-Befestigungs-Oberfläche ist.

129. Halbleiterchip-Gehäuse nach Anspruch 121, wobei der hochseitige Transistor einen hochseitigen Transistor-Ausgang hat, wobei der hochseitige Transistor-Ausgang fern von der leitenden Chip-Befestigungs-Oberfläche ist und der hochseitige Transistor-Eingang benachbart zu der leitenden Chip-Befestigungs-Oberfläche ist und wobei das Gehäuse weiterhin eine Klemme oder eine Drahtverbindung umfasst, die den hochseitigen Transistor-Ausgang zu außen liegenden Leitern koppelt.

130. Halbleiterchip-Gehäuse nach Anspruch 121, wobei der hochseitige Transistor einen hochseitigen Transistor-Ausgang hat, wobei der hochseitige Transistor-Ausgang fern von der leitenden Chip-Befestigungs-Oberfläche ist und der hochseitige Transistor-Eingang benachbart zu der leitenden Chip-Befestigungs-Oberfläche ist und wobei das Gehäuse weiterhin eine Klemme oder eine Drahtverbindung umfasst, die den hochseitigen Transistor-Ausgang zu außen liegenden Leitern koppelt, und wobei die hoch- und niedrigseitigen Transistoren beide Leistungs-MOSFETs sind.

Es folgen 33 Blatt Zeichnungen

Anhängende Zeichnungen



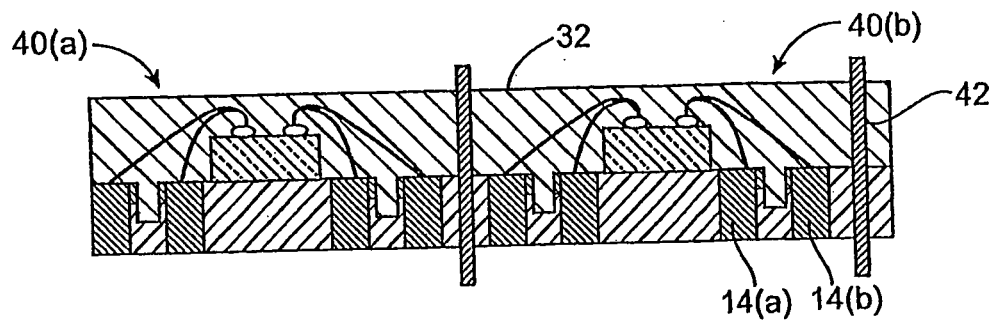


FIG. 1G

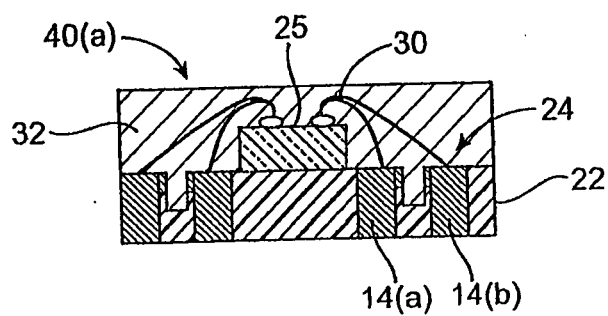


FIG. 1H

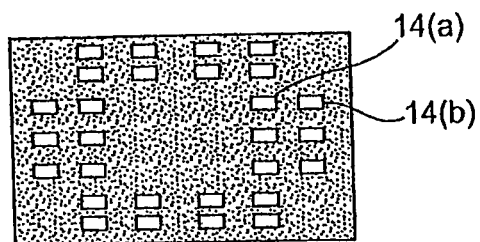


FIG. 1I

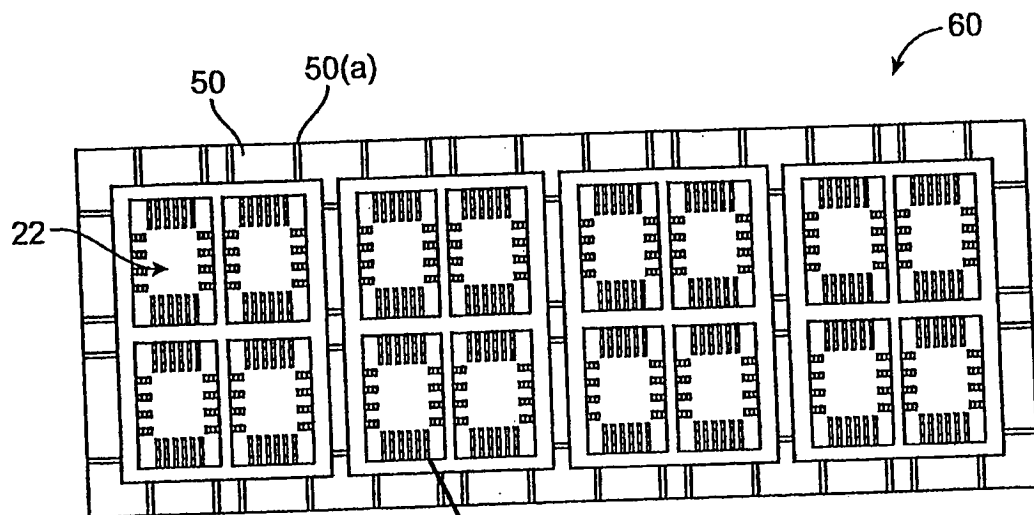


FIG. 1J

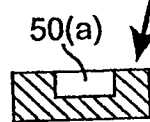


FIG. 1K

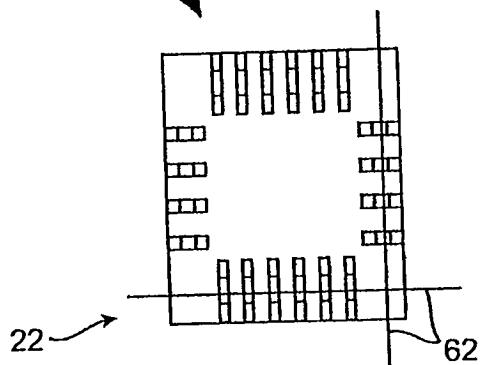


FIG. 1L

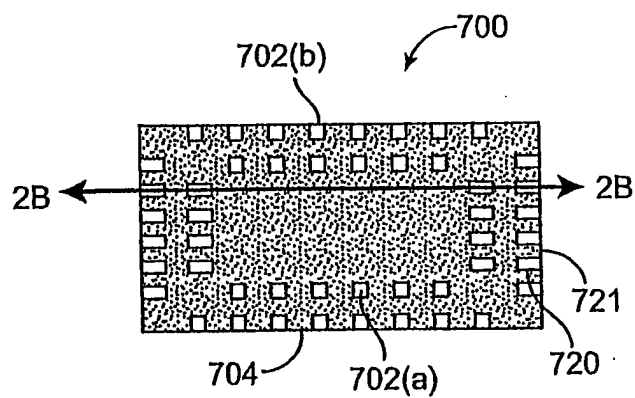


FIG. 2A

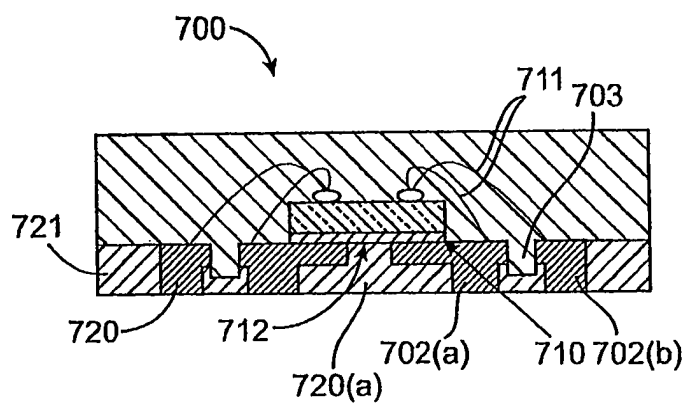


FIG. 2B

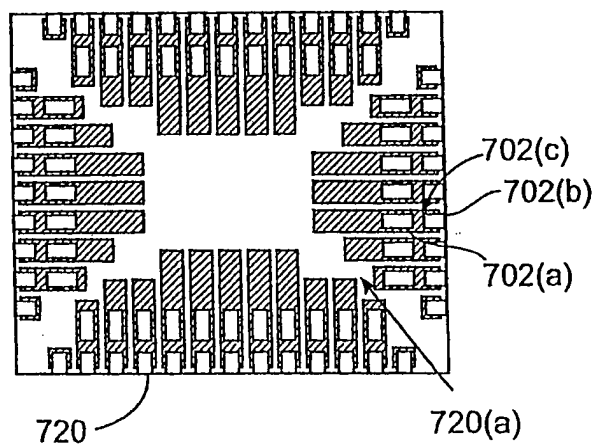


FIG. 2C

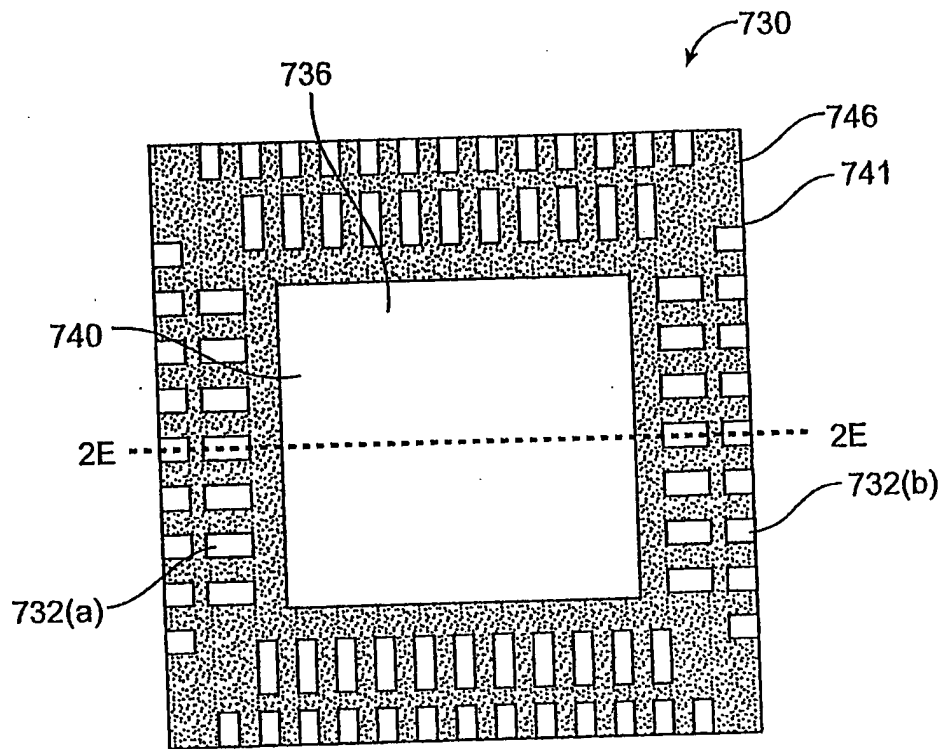


FIG. 2D

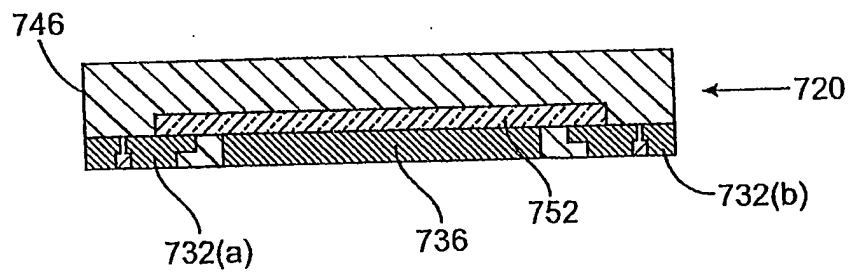


FIG. 2E

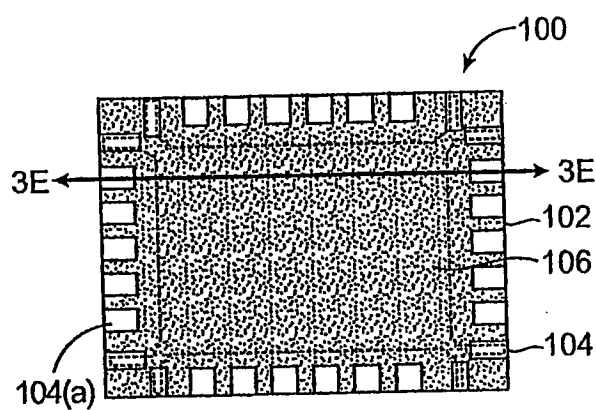


FIG. 3A

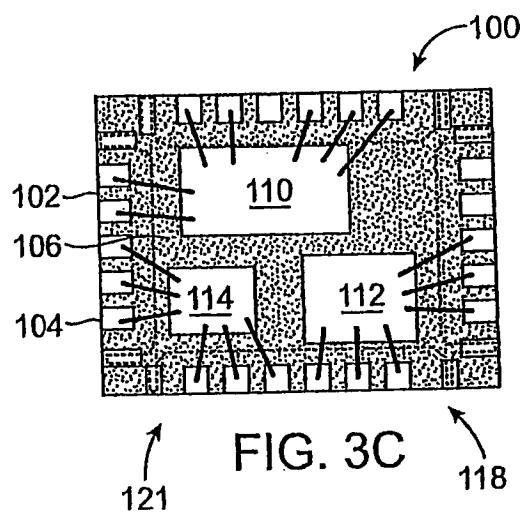


FIG. 3C

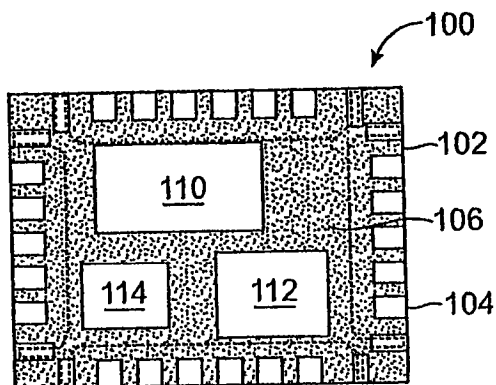


FIG. 3B

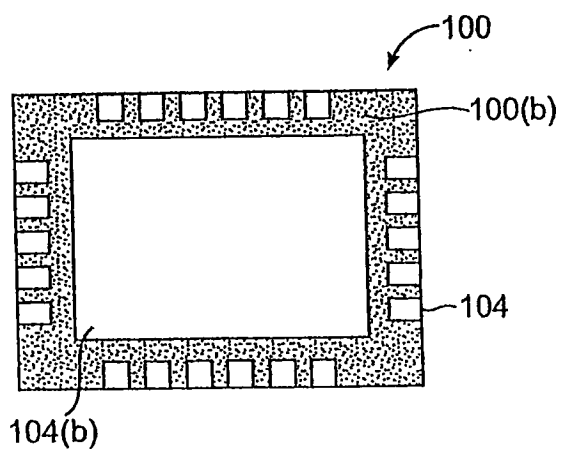


FIG. 3D

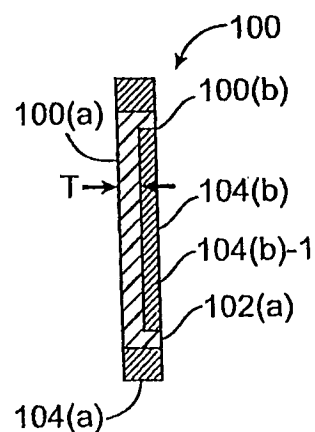


FIG. 3E

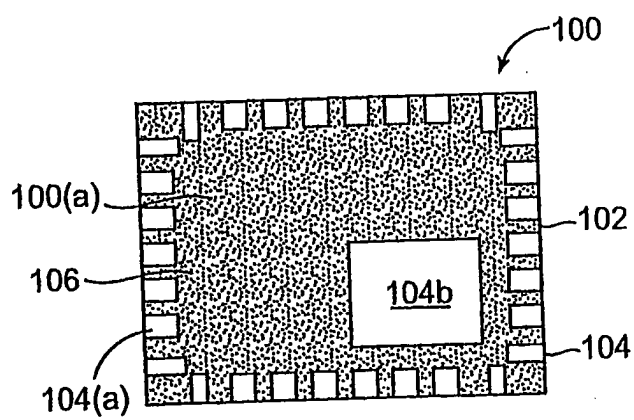


FIG. 4A

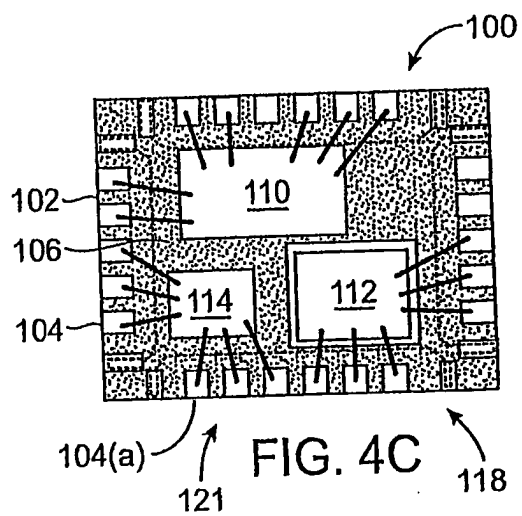


FIG. 4C

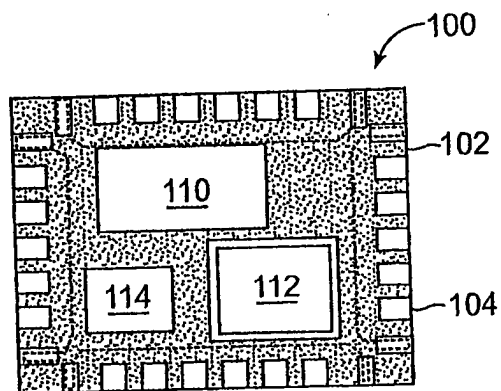


FIG. 4B

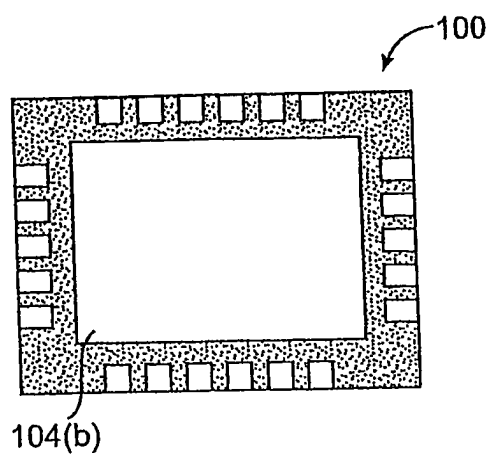


FIG. 4D

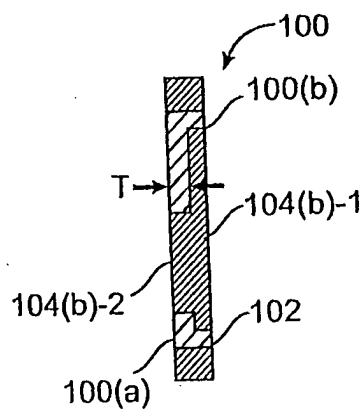


FIG. 4E

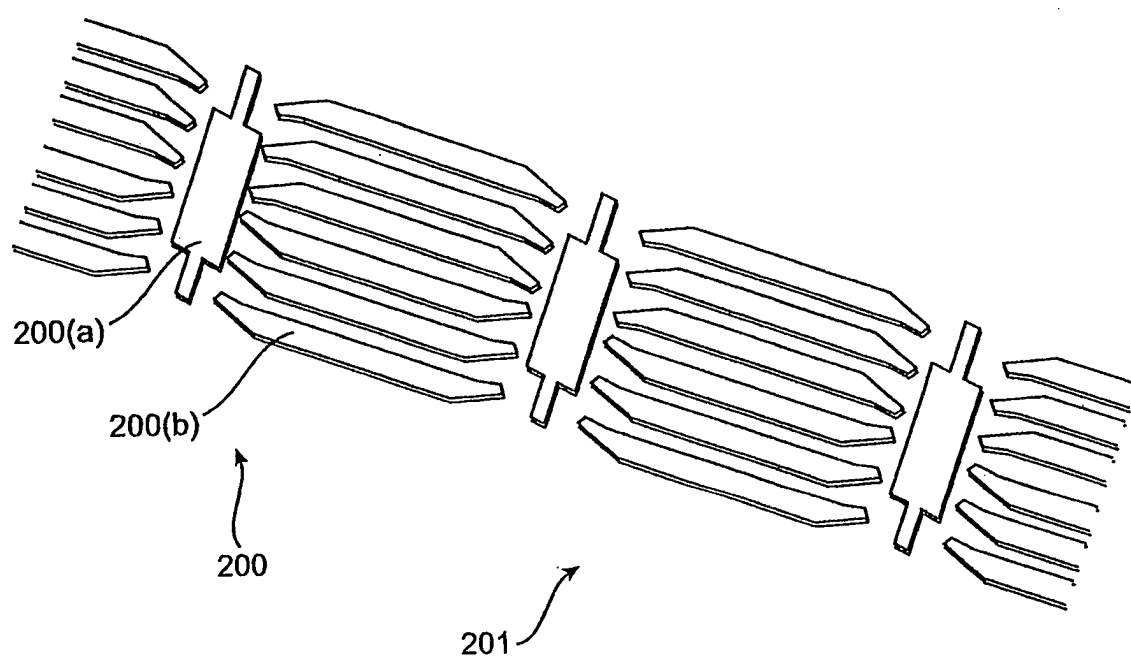


FIG. 5

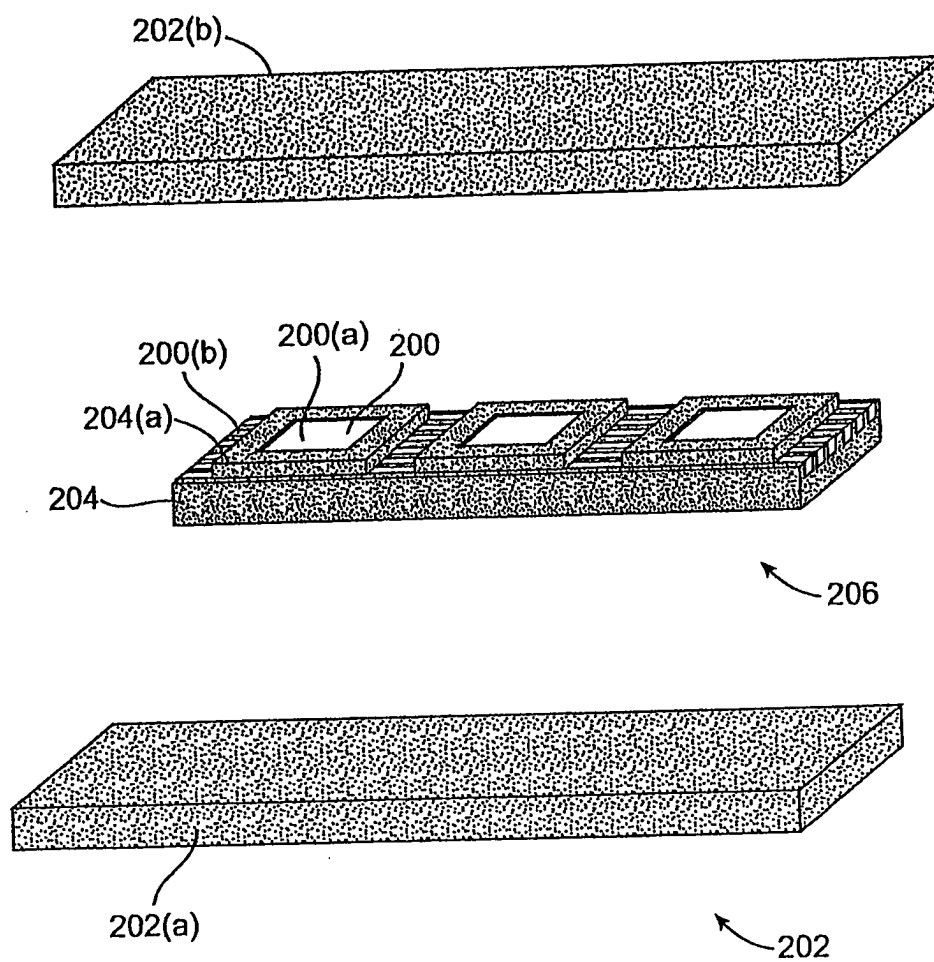


FIG. 6A

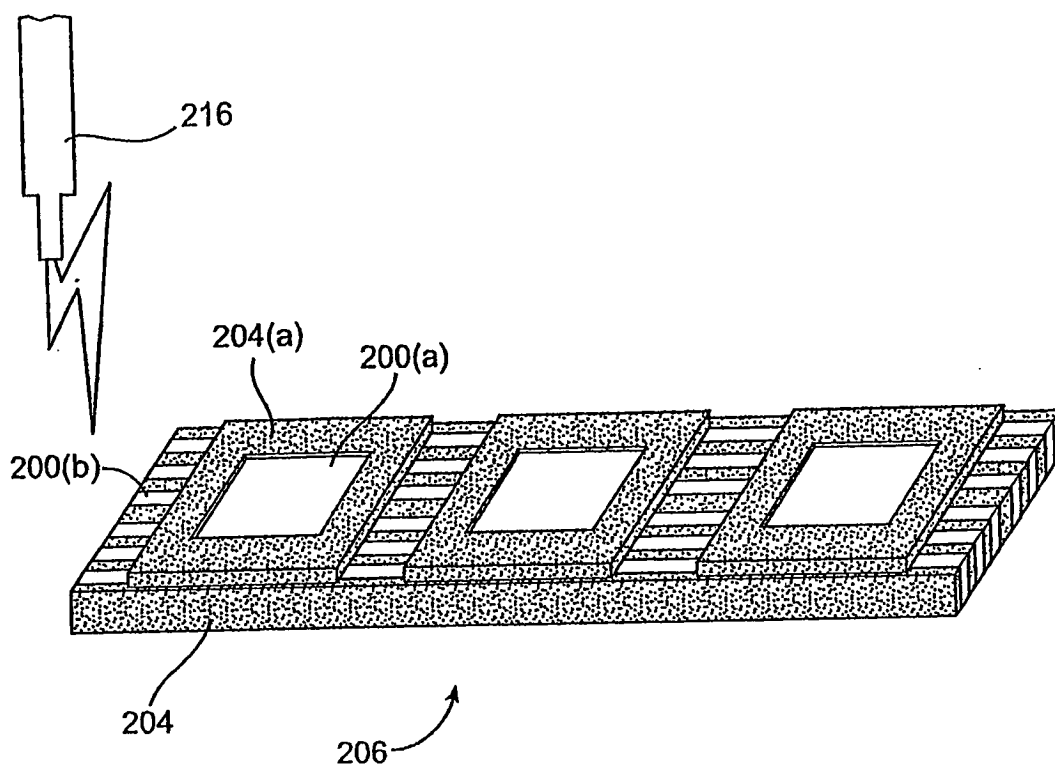


FIG. 6B

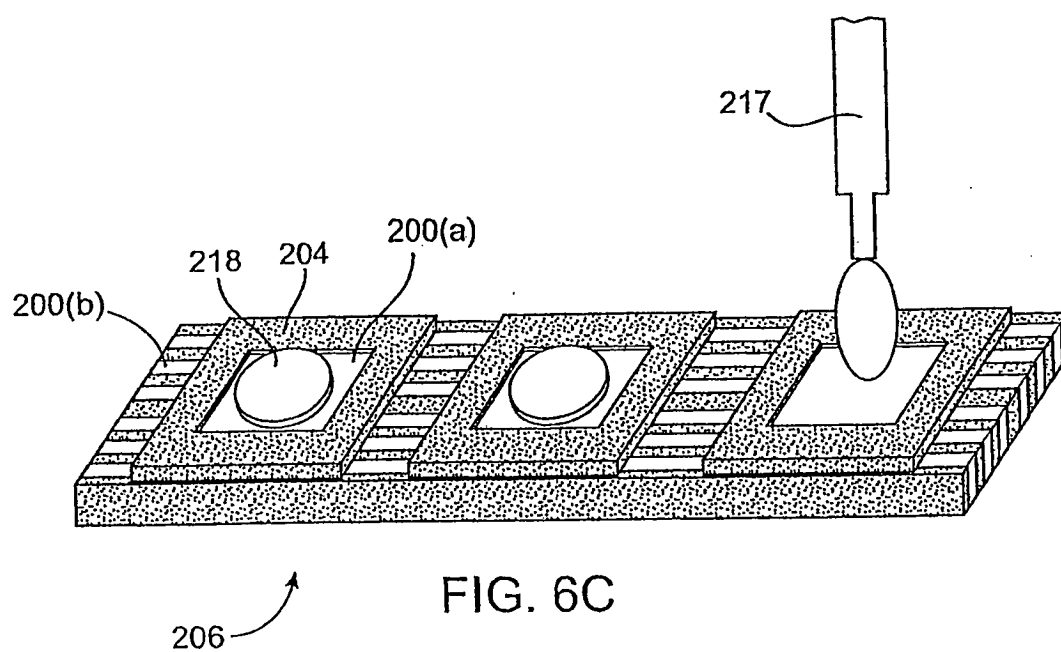


FIG. 6C

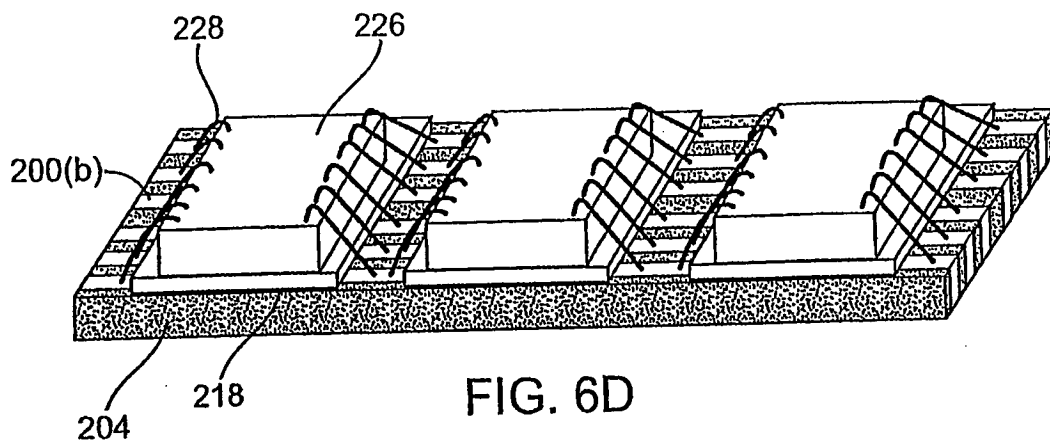


FIG. 6D

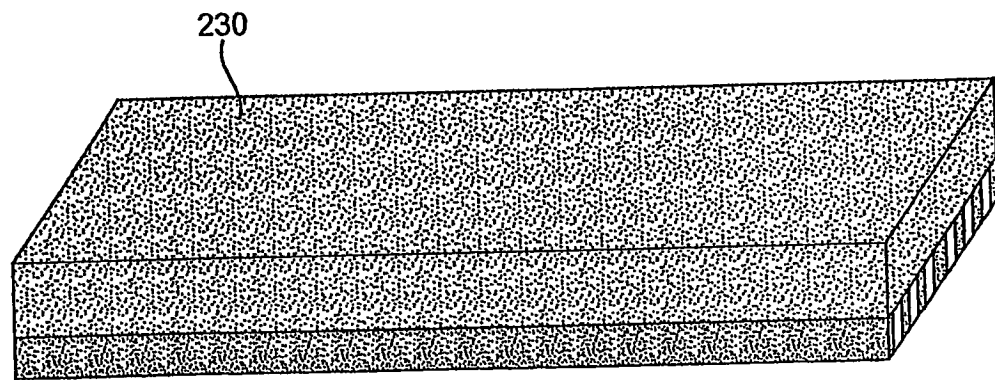


FIG. 6E

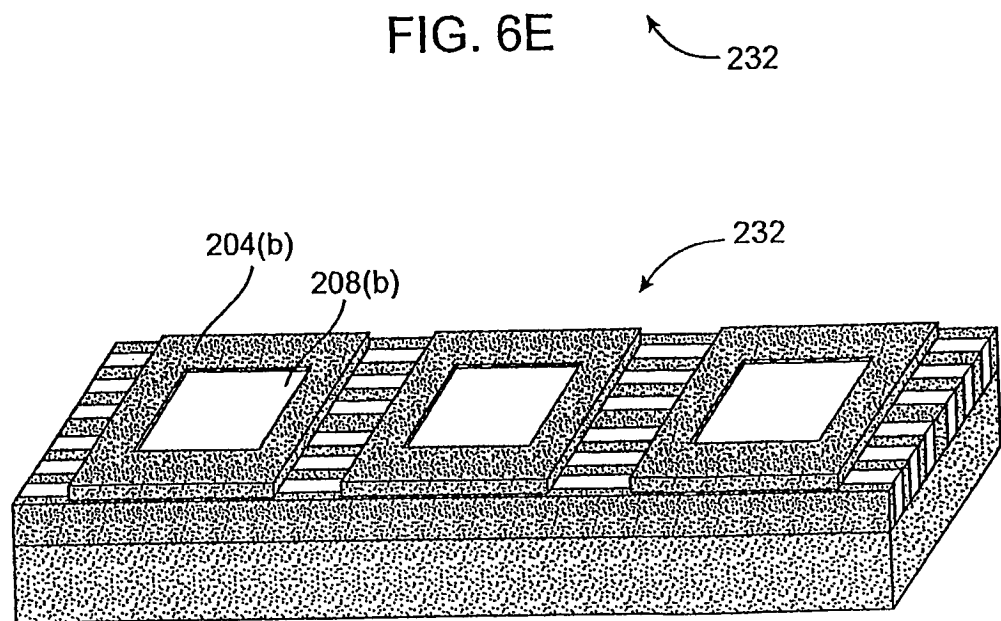


FIG. 6F

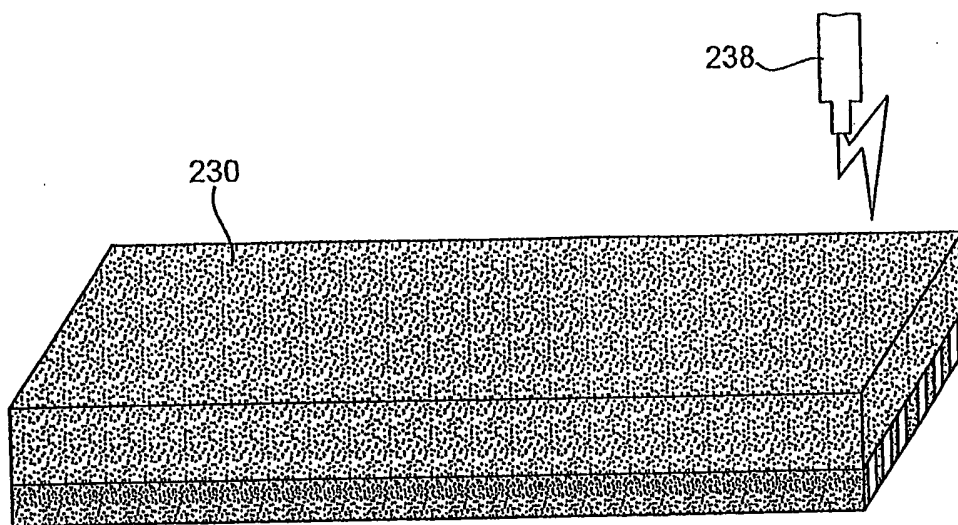


FIG. 6G

232

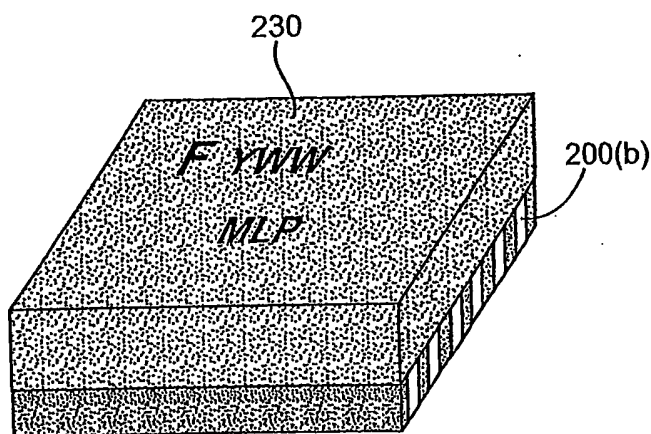
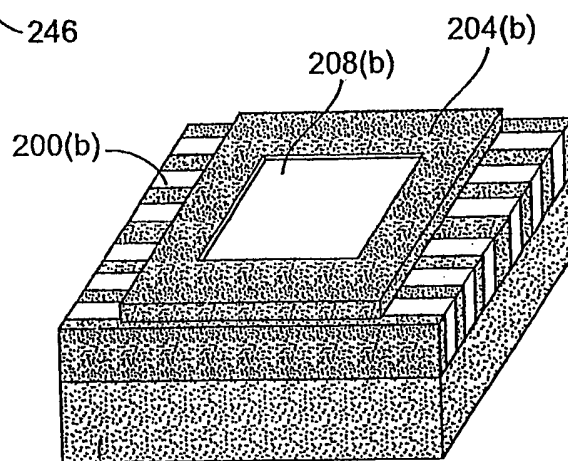


FIG. 6H

246



230

FIG. 6I

246

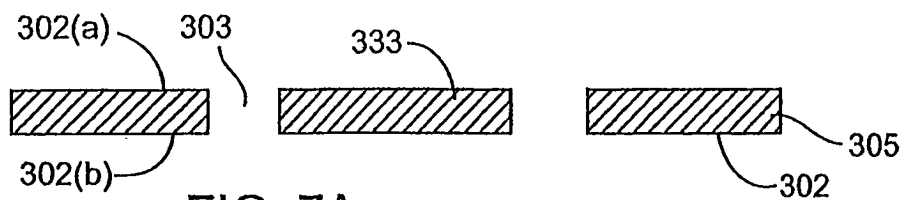


FIG. 7A

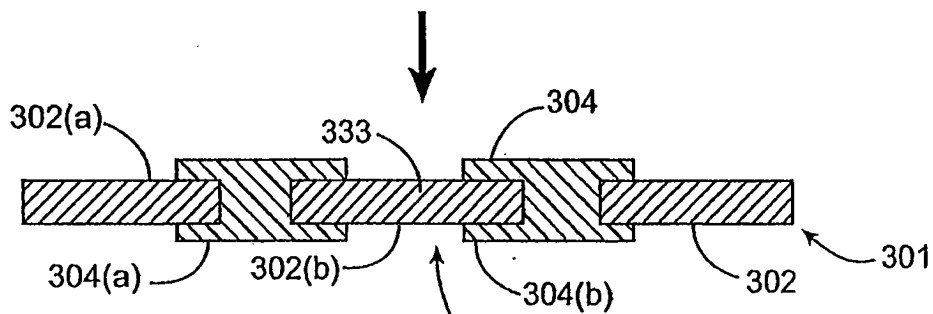


FIG. 7B

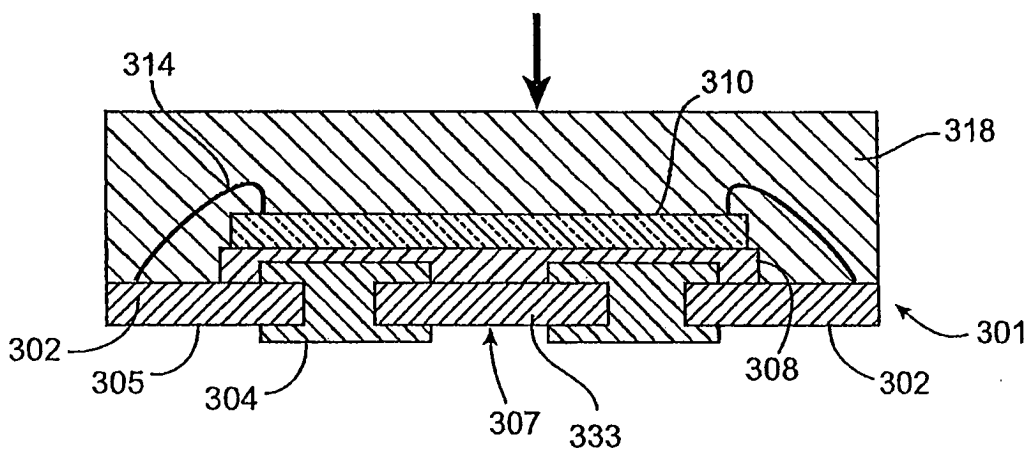


FIG. 7C

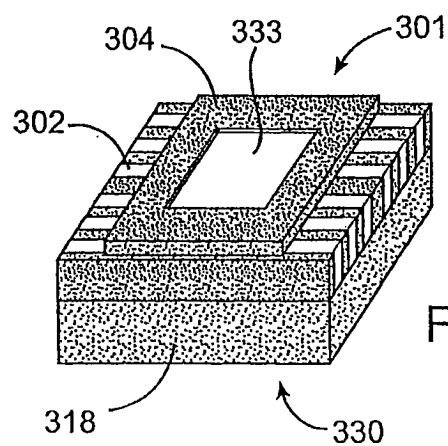


FIG. 7D

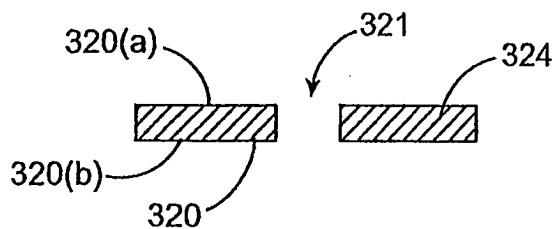


FIG. 8A

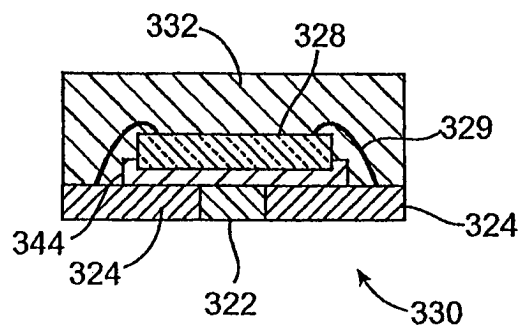


FIG. 8D

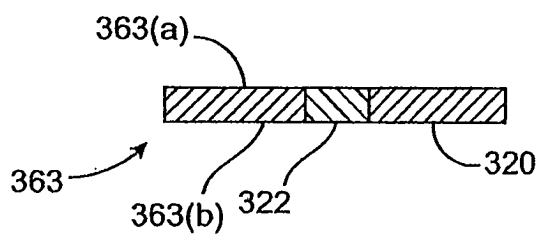


FIG. 8B

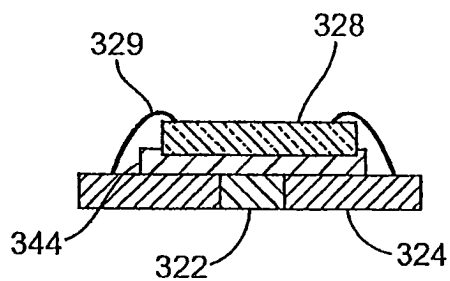


FIG. 8C

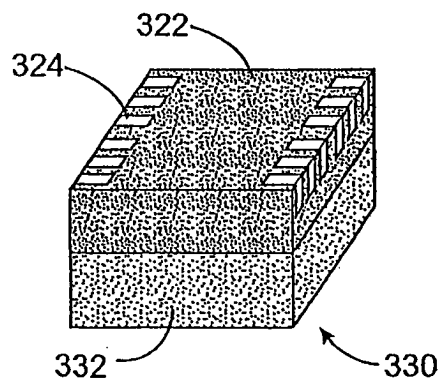


FIG. 8E

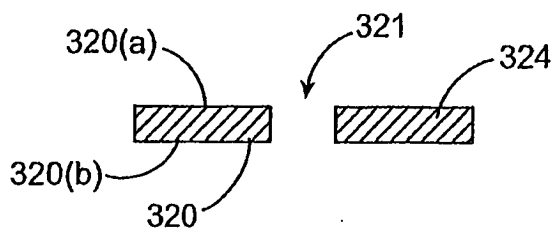


FIG. 9A

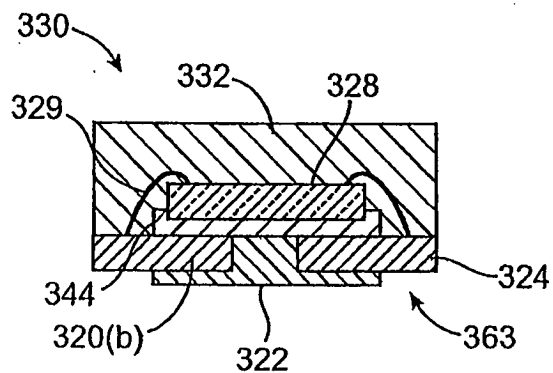


FIG. 9D

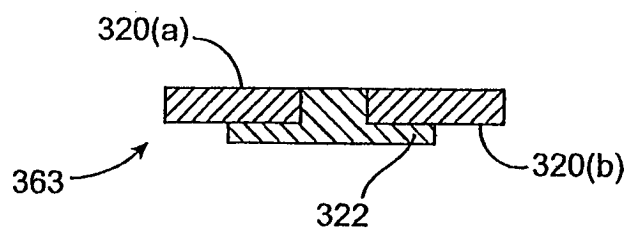


FIG. 9B

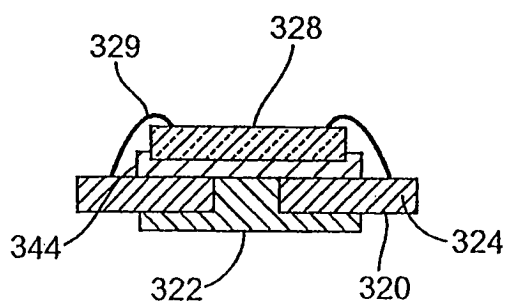


FIG. 9C

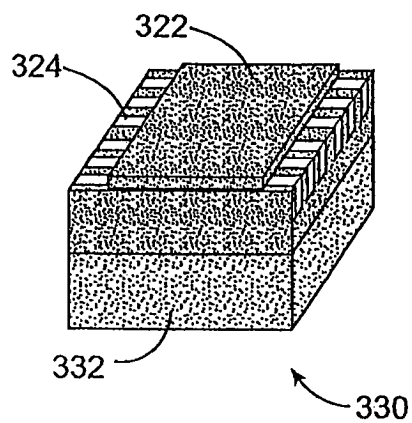


FIG. 9E

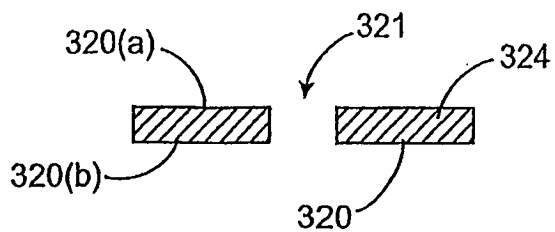


FIG. 10A

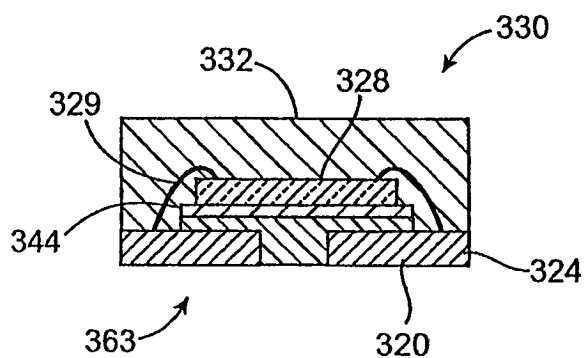


FIG. 10D

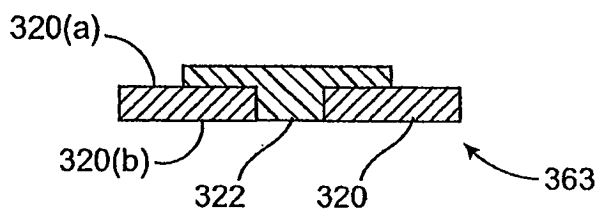


FIG. 10B

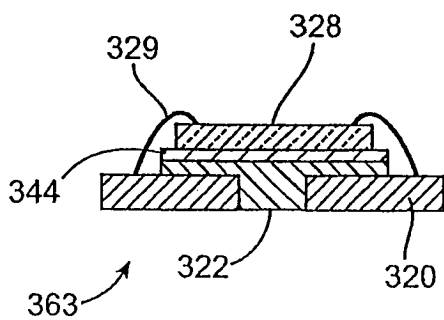


FIG. 10C

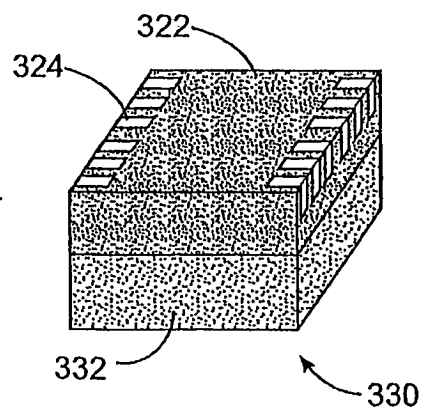


FIG. 10E

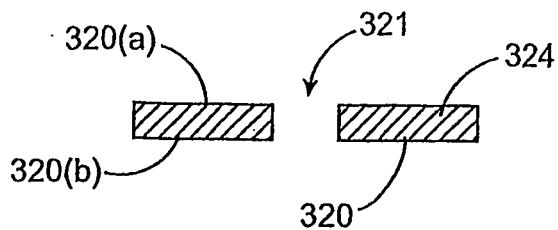


FIG. 11A

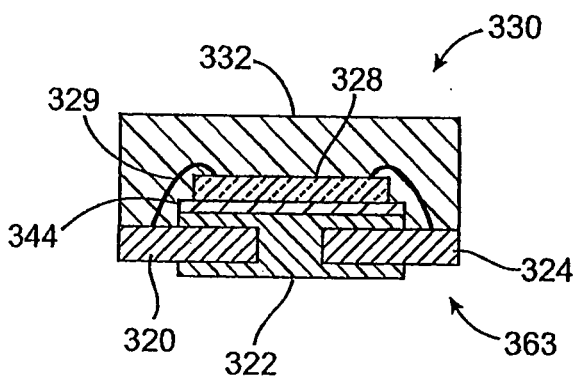


FIG. 11D

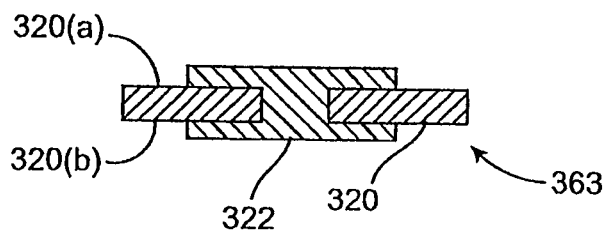


FIG. 11B

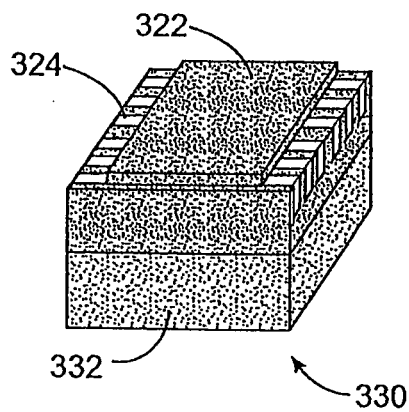


FIG. 11E

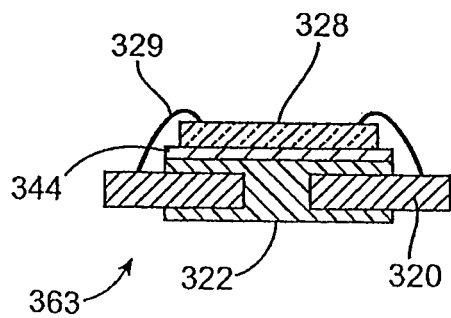


FIG. 11C

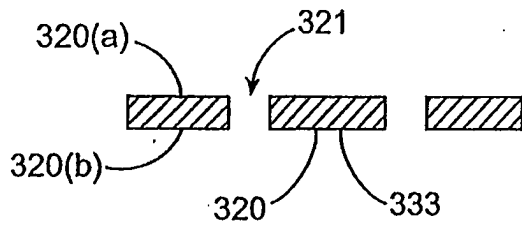


FIG. 12A

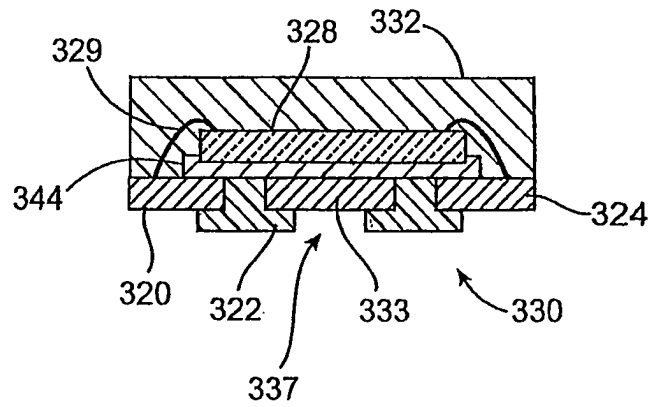


FIG. 12D

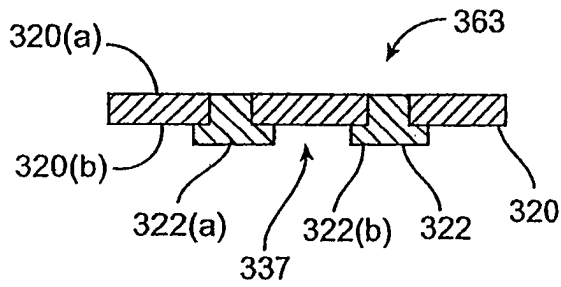


FIG. 12B

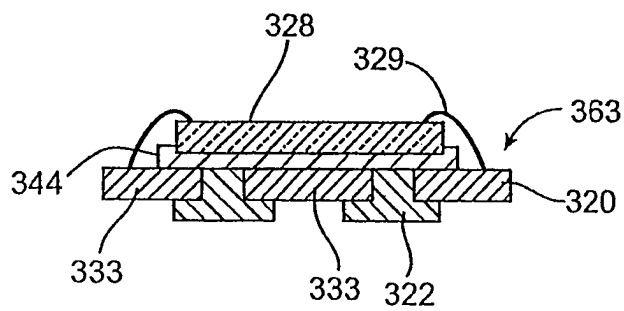


FIG. 12C

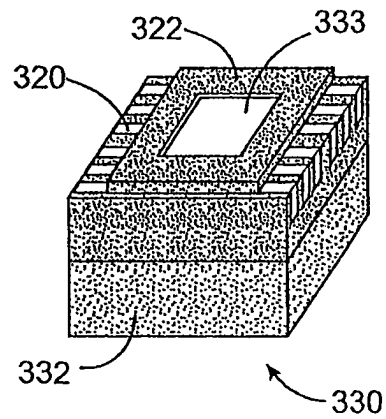


FIG. 12E

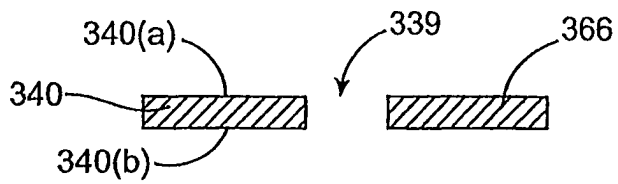


FIG. 13A

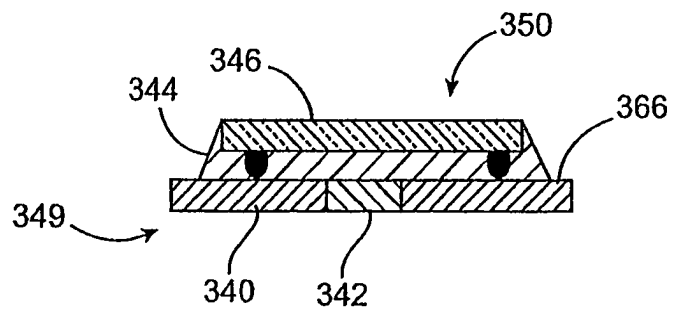


FIG. 13D

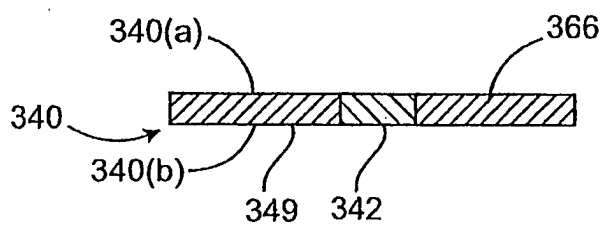


FIG. 13B

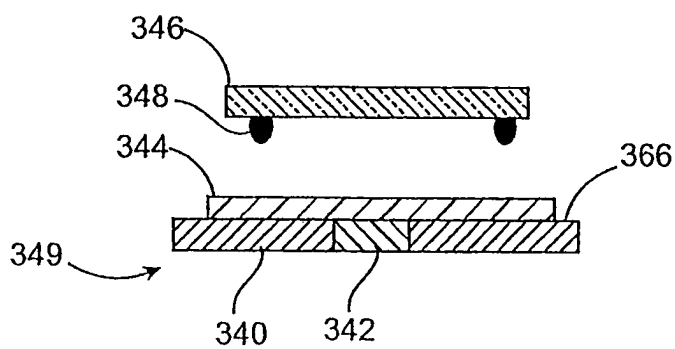


FIG. 13C

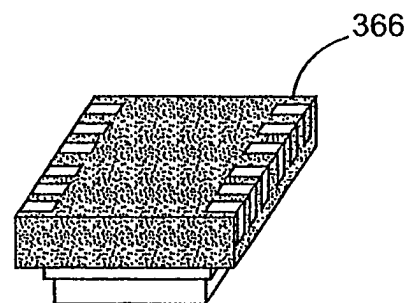


FIG. 13E

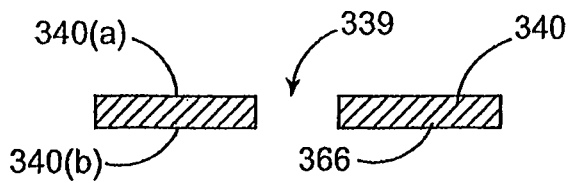


FIG. 14A

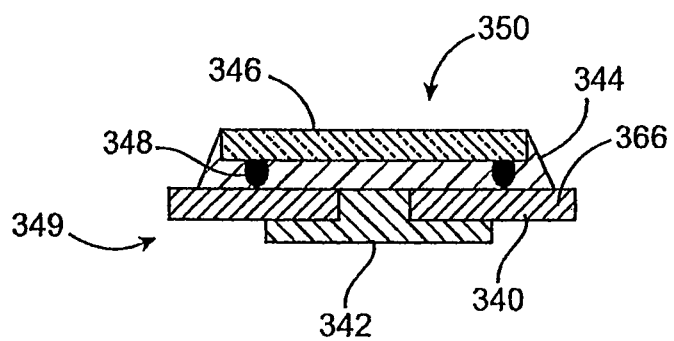


FIG. 14D

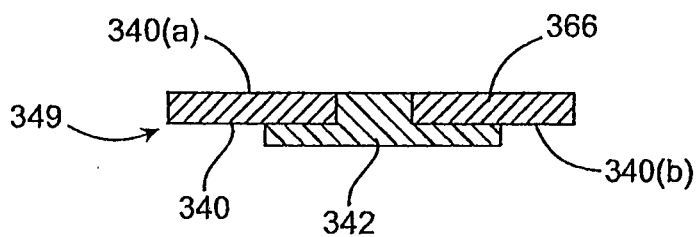


FIG. 14B

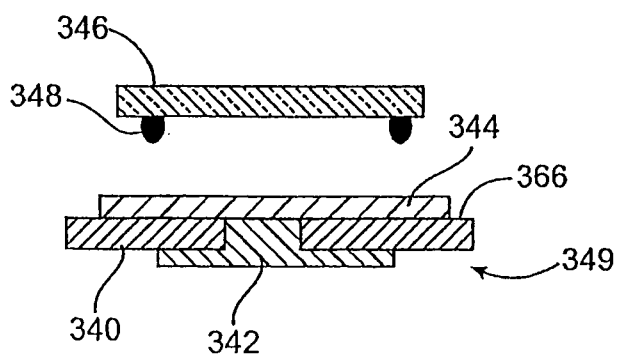


FIG. 14C

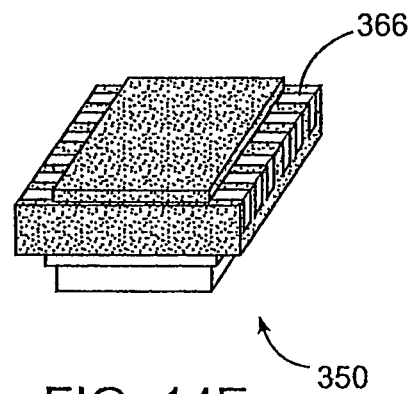


FIG. 14E

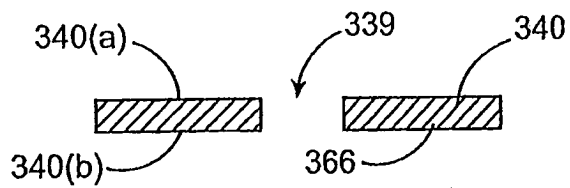


FIG. 15A

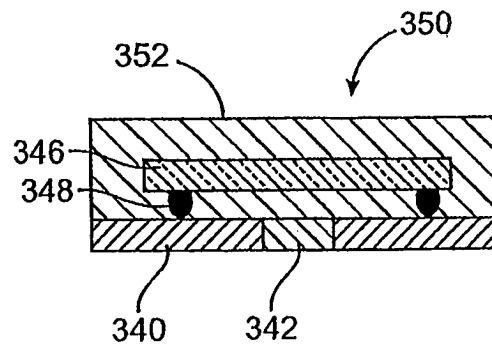


FIG. 15D

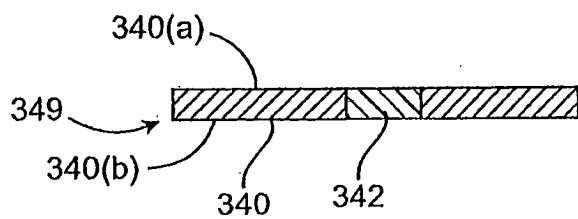


FIG. 15B

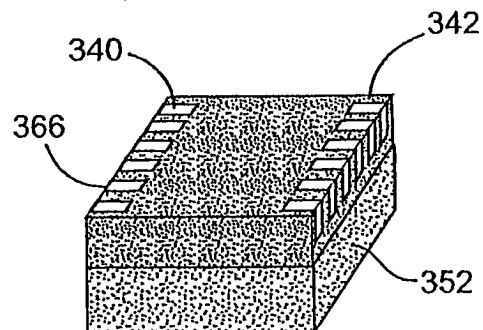


FIG. 15E

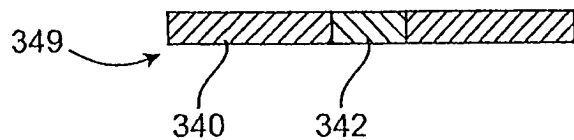
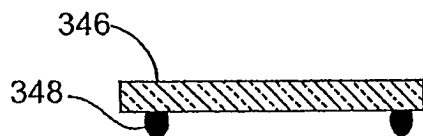


FIG. 15C

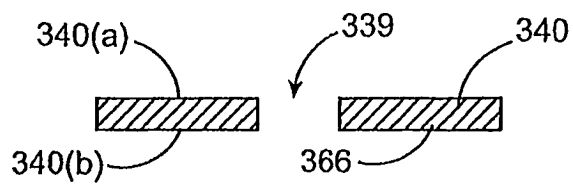


FIG. 16A

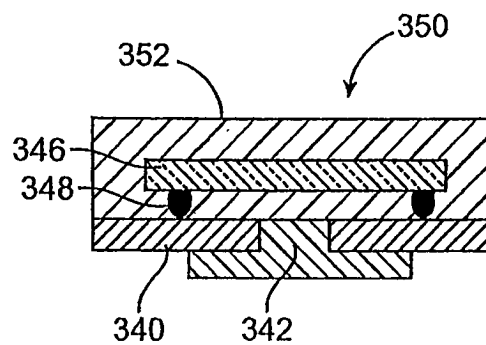


FIG. 16D

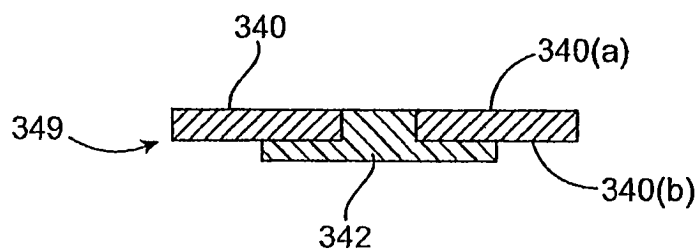


FIG. 16B

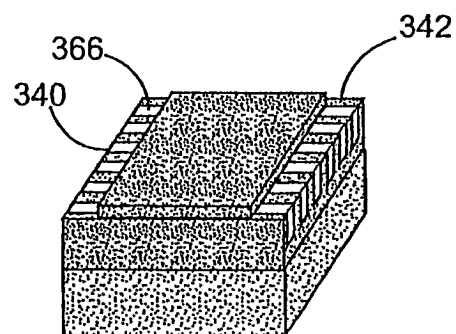


FIG. 16E

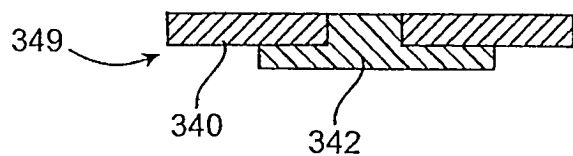
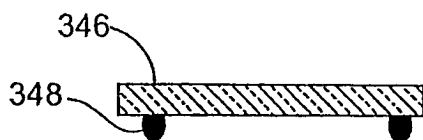


FIG. 16C

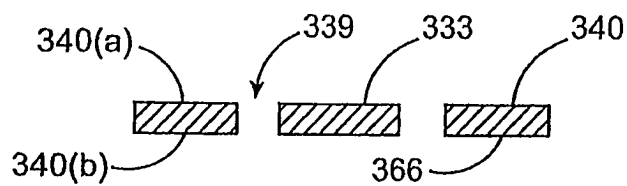


FIG. 17A

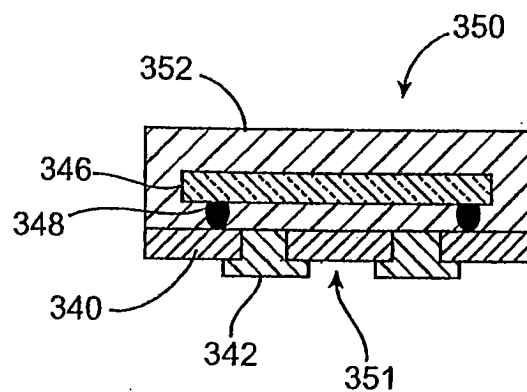


FIG. 17D

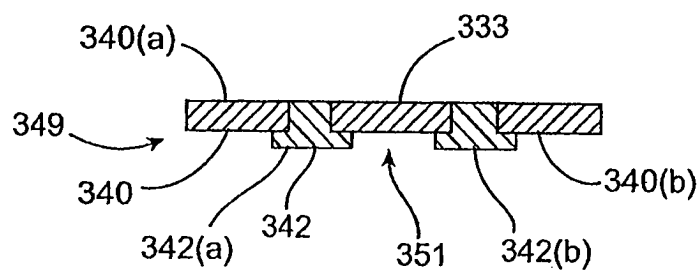


FIG. 17B

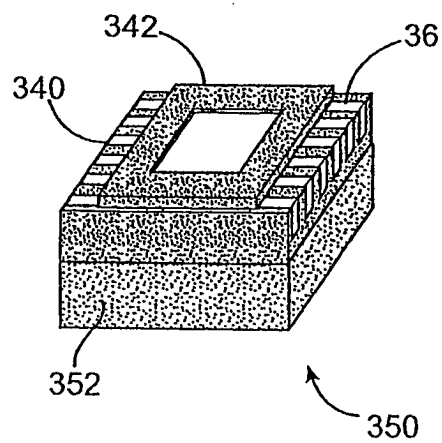


FIG. 17E

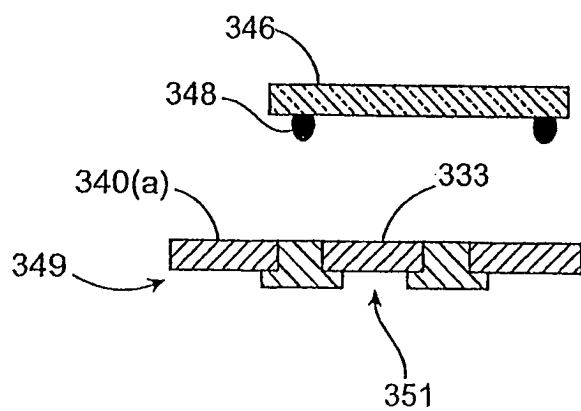


FIG. 17C

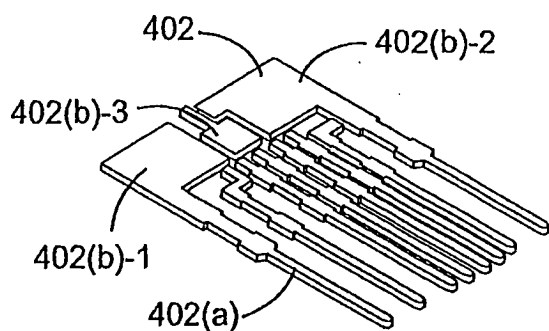


FIG. 18A-1

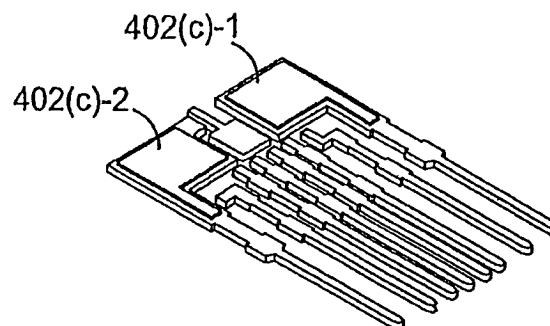


FIG. 18A-2

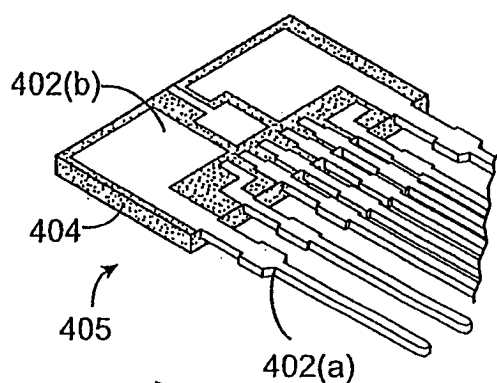


FIG. 18B-1

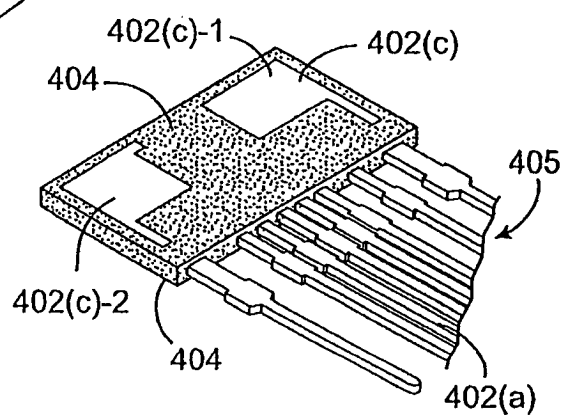


FIG. 18B-2

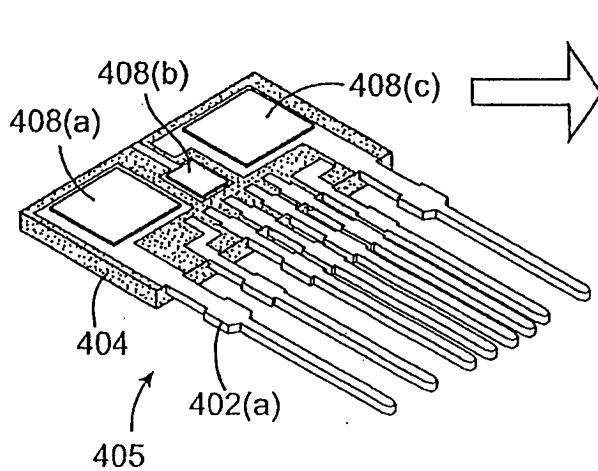


FIG. 18C

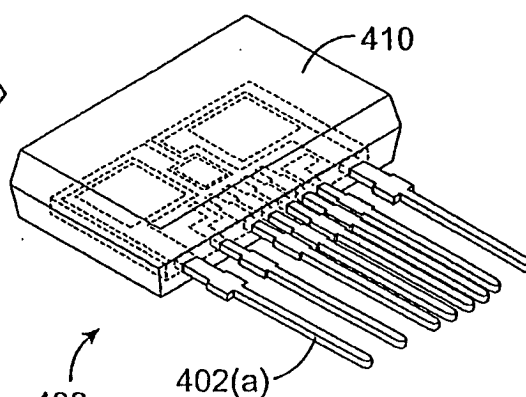


FIG. 18D

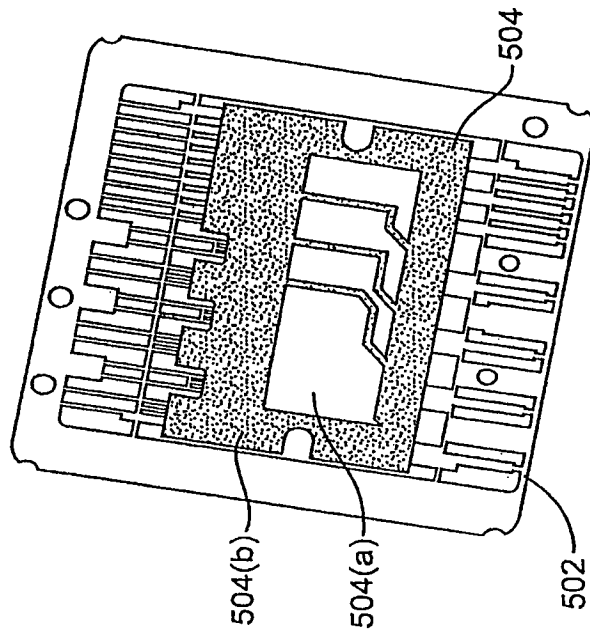


FIG. 19B

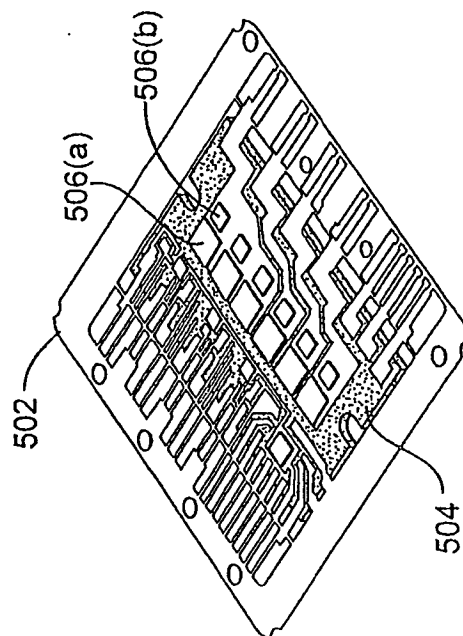


FIG. 19A

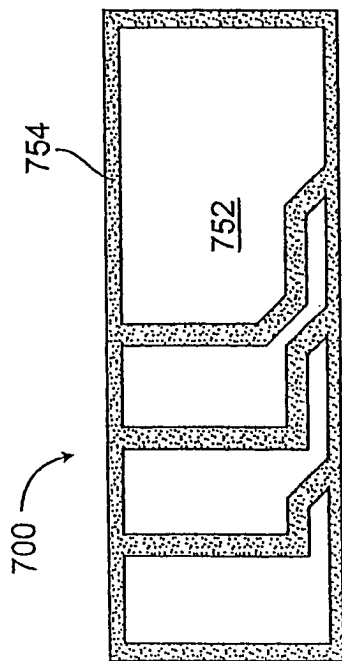


FIG. 20A

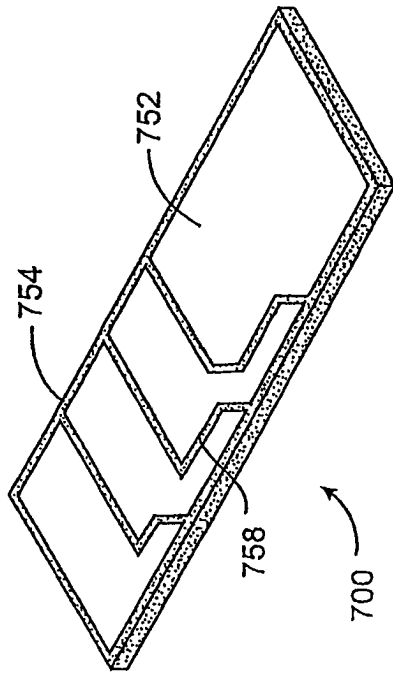


FIG. 20B

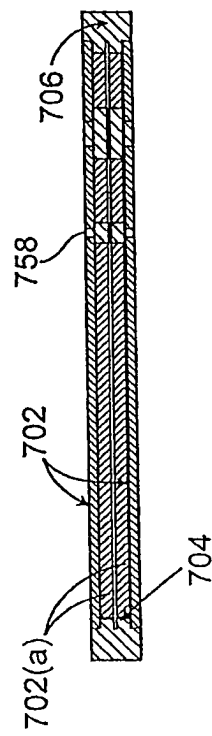


FIG. 20C

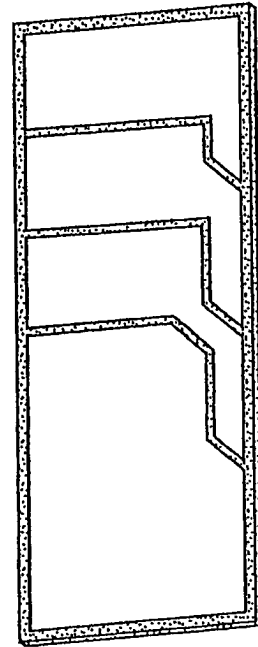
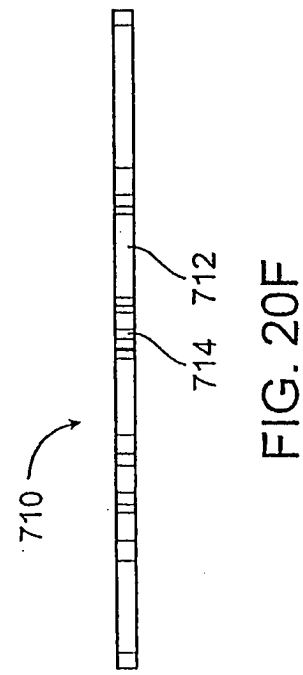
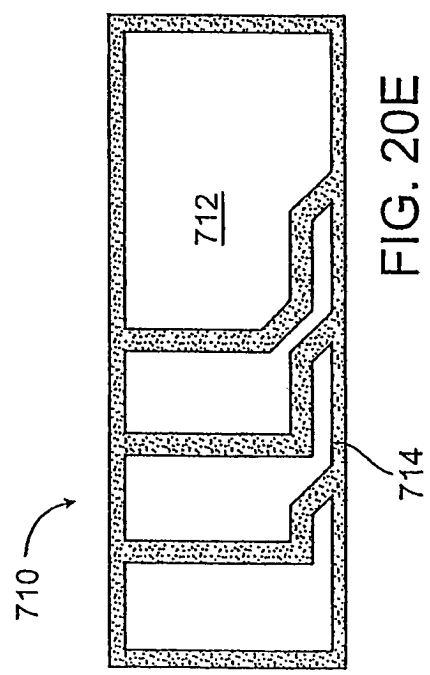
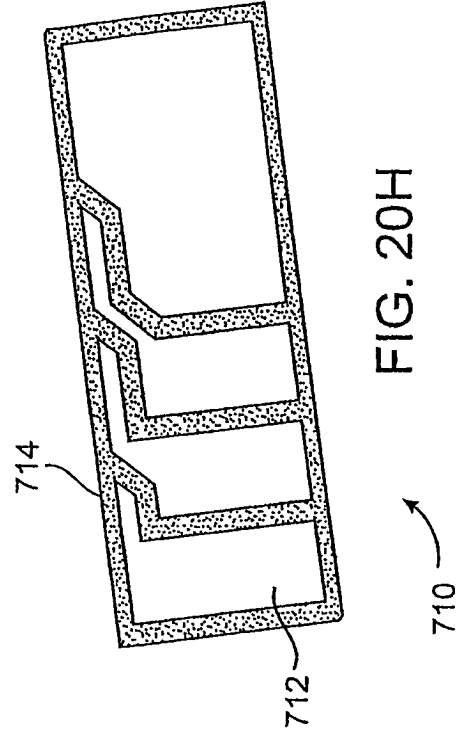
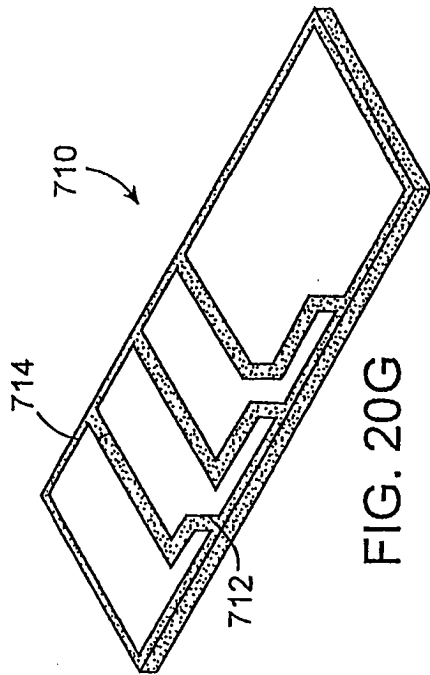


FIG. 20D



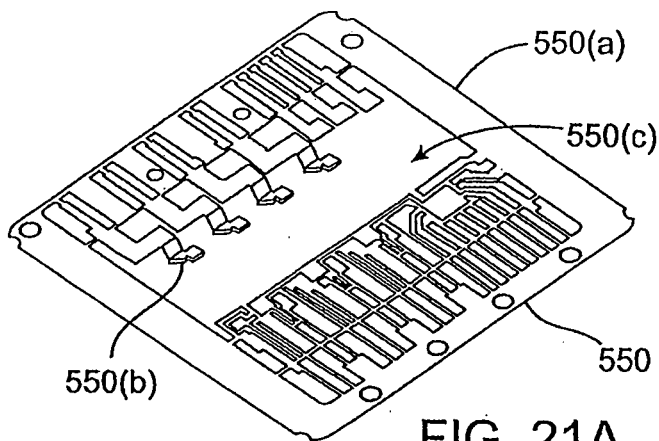


FIG. 21A

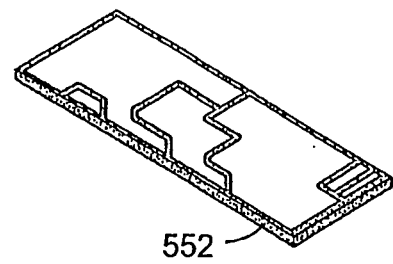


FIG. 21C

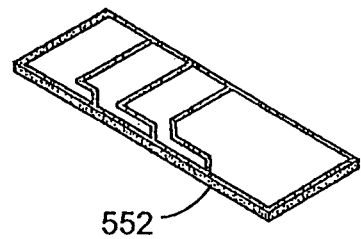


FIG. 21B

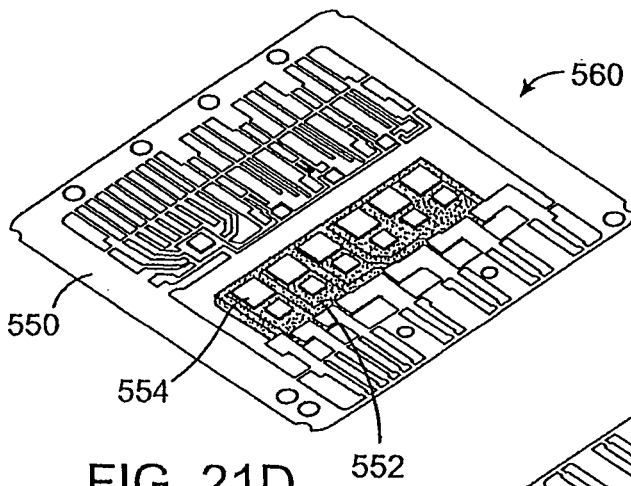


FIG. 21D

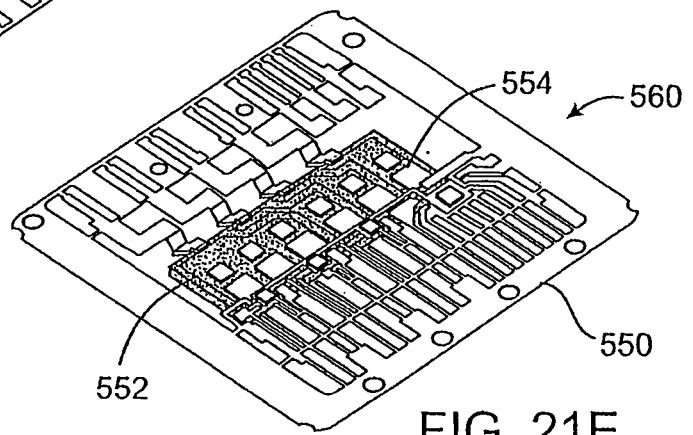


FIG. 21E

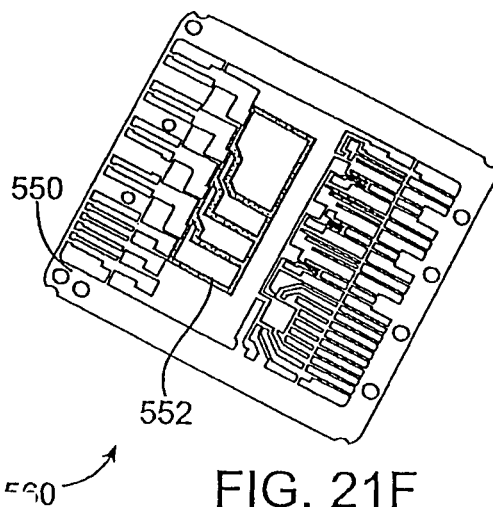


FIG. 21F

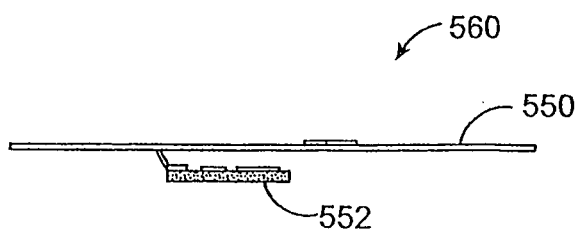
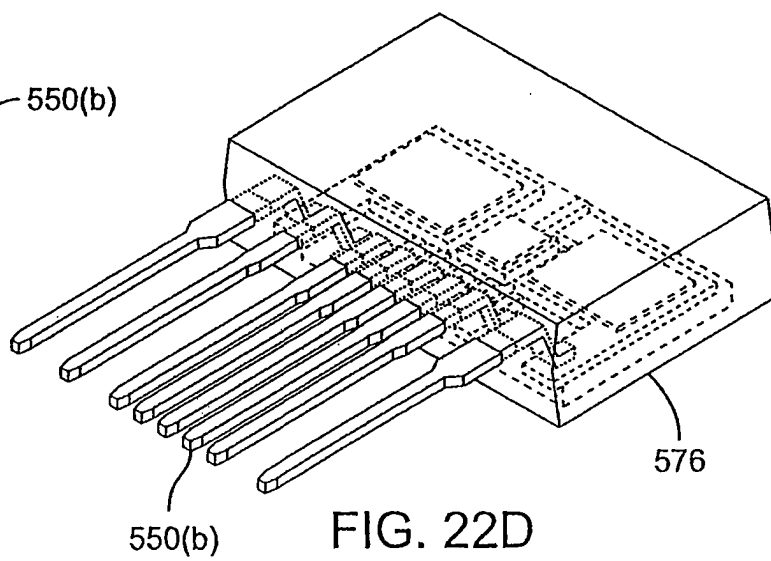
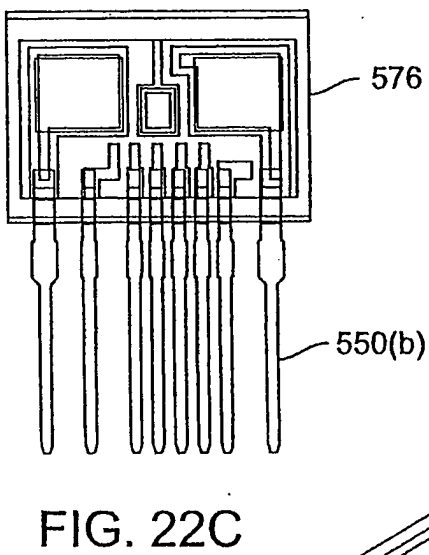
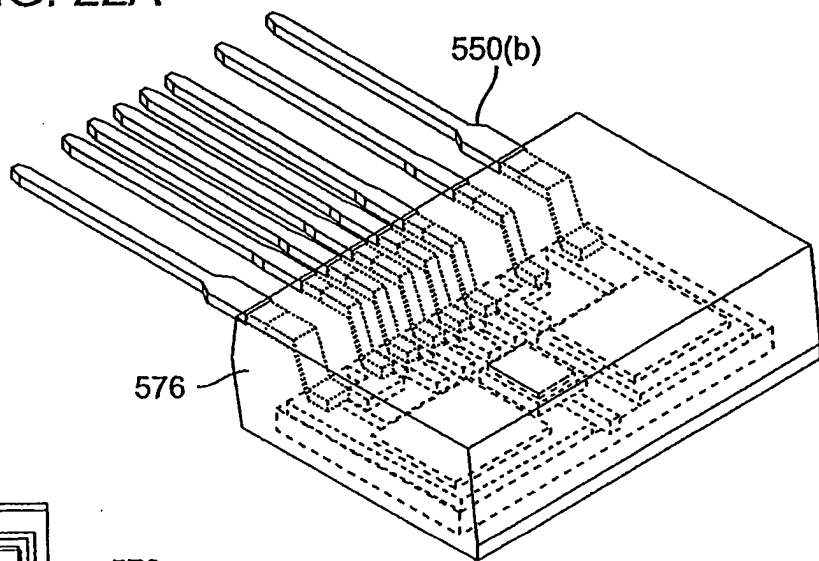
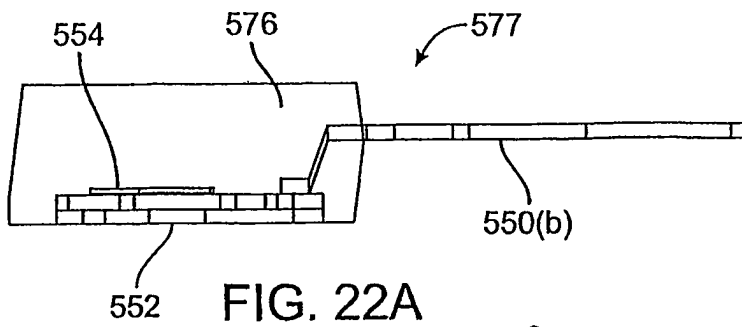


FIG. 21G



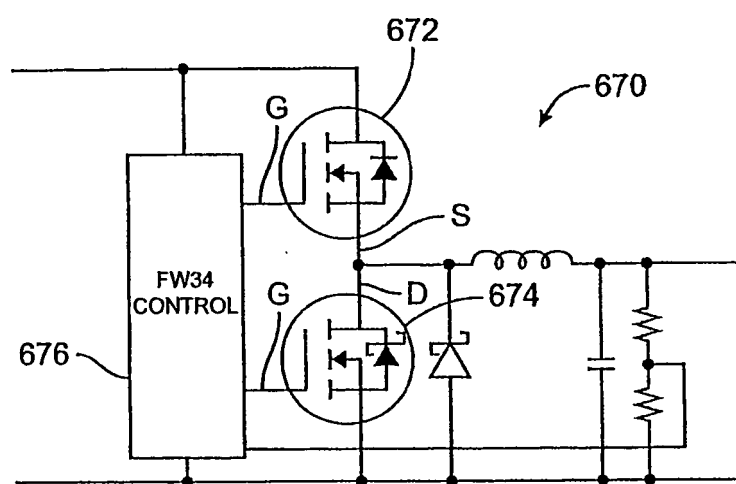
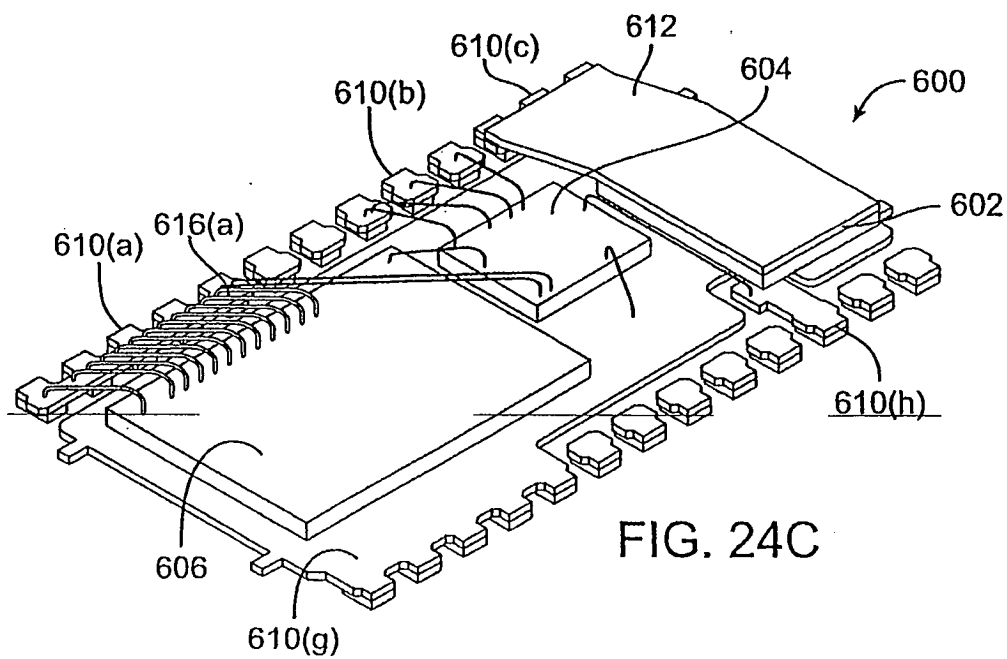
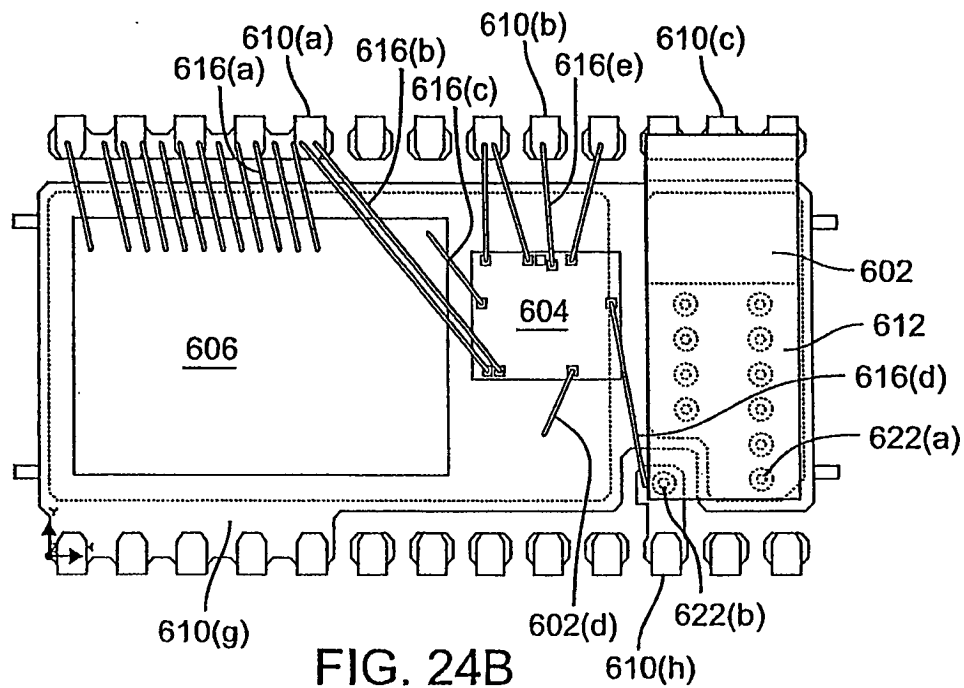
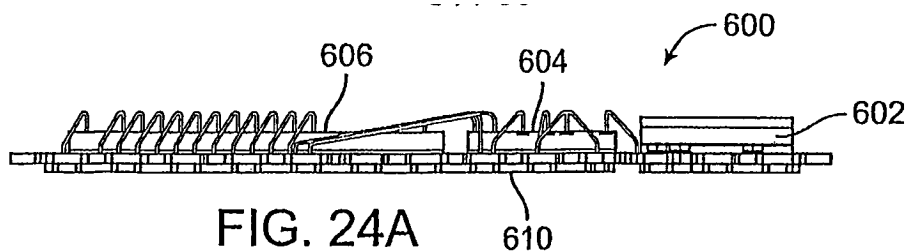


FIG. 23



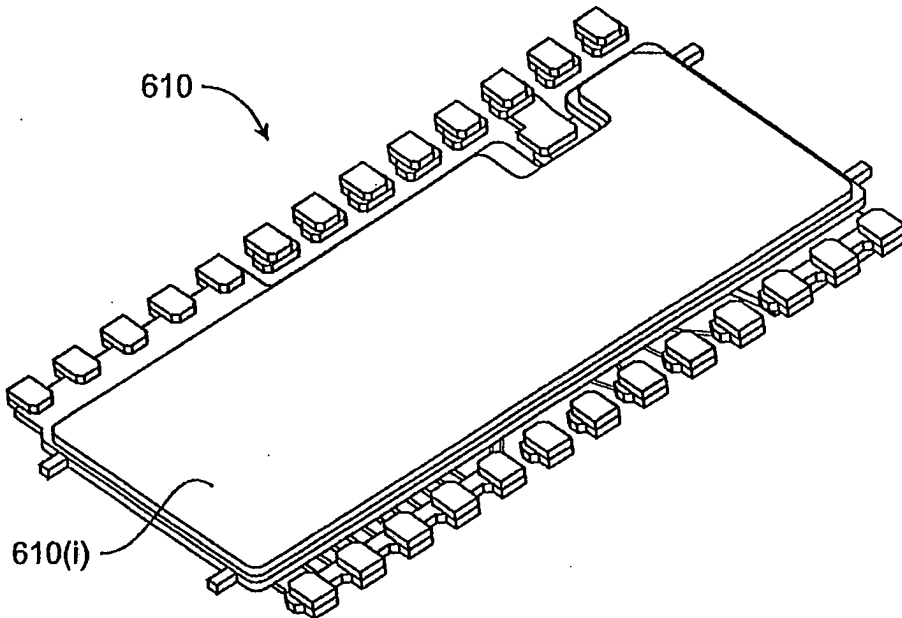


FIG. 24D

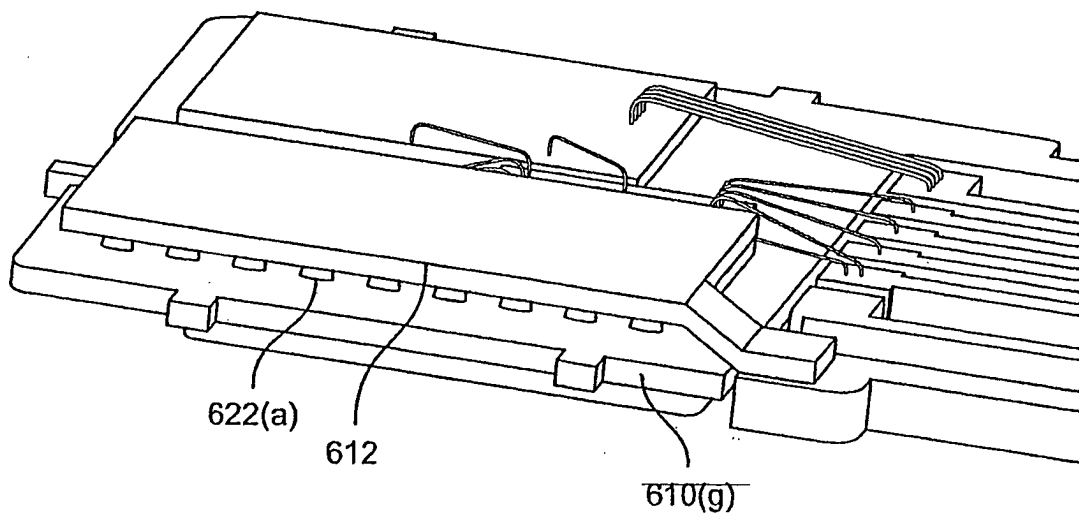


FIG. 24E

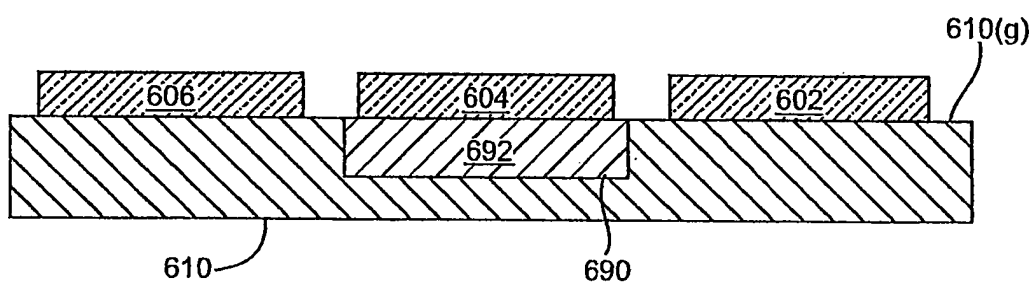


FIG. 25