

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月19日(19.05.2022)



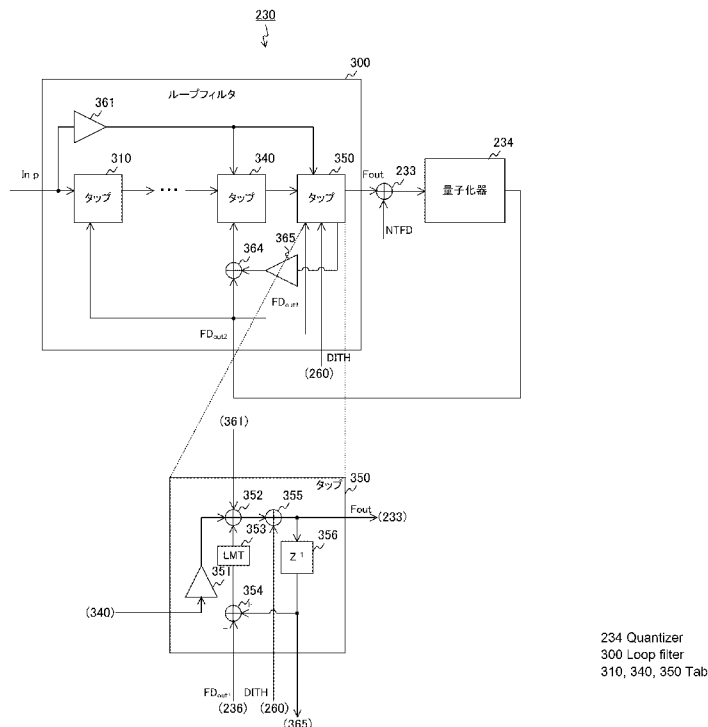
(10) 国際公開番号

WO 2022/102200 A1

- (51) 国際特許分類:
H03M 7/32 (2006.01) *H03M 3/02* (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2021/030757 (72) 発明者: 高木 裕(TAKAGI, Yutaka); 〒2430014
神奈川県厚木市旭町四丁目14番1号
(22) 国際出願日: 2021年8月23日(23.08.2021) ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (25) 国際出願の言語: 日本語 (74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト
(26) 国際公開の言語: 日本語 国際特許事務所 Tokyo (JP).
- (30) 優先権データ:
特願 2020-189334 2020年11月13日(13.11.2020) JP (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(54) Title: NOISE REDUCTION PROCESSING DEVICE, ACOUSTIC SYSTEM, AND CONTROL METHOD FOR NOISE REDUCTION PROCESSING DEVICE

(54) 発明の名称: ノイズ低減処理装置、音響システム、および、ノイズ低減処理装置の制御方法



(57) Abstract: According to the present invention, spurious noise is reduced in a noise reduction processing device provided with a loop filter and a quantizer. A difference calculation unit obtains a difference between an input signal and a predetermined feedback signal, and outputs it as an error signal. A delay signal adder adds the error signal and a predetermined delay signal and outputs it as an integrated signal. An internal dither adder adds the integrated signal and a predetermined internal dither signal and outputs it as a filter output signal. A delay unit in the filter delays the filter output

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

signal and outputs it as a delay signal. A quantizer quantizes the filter output signal and feeds it back as a feedback signal.

(57) 要約: ループフィルタおよび量子化器を設けたノイズ低減処理装置において、スプリアスノイズを低減する。差分演算部は、入力信号と所定の帰還信号との差分を求めて誤差信号として出力する。遅延信号加算器は、誤差信号と所定の遅延信号とを加算して積算信号として出力する。内部ディザ加算器は、積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する。フィルタ内遅延部は、フィルタ出力信号を遅延させて遅延信号として出力する。量子化器は、フィルタ出力信号を量子化して帰還信号として帰還させる。

明 細 書

発明の名称：

ノイズ低減処理装置、音響システム、および、ノイズ低減処理装置の制御方法

技術分野

[0001] 本技術は、ノイズ低減処理装置に関する。詳しくは、デルタシグマ変調器を用いるノイズ低減処理装置、音響システム、および、ノイズ低減処理装置の制御方法に関する。

背景技術

[0002] 従来より、アナログデジタル変換器において、音声信号などの信号を処理するために、デルタシグマ変調器が用いられている。例えば、ループフィルタと、そのループフィルタの出力にディザ信号を加算して量子化する量子化器とを設けたデルタシグマ変調器が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-314427号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、ディザ信号の加算により、スプリアスノイズを低減することができる。しかしながら、消費電力を低減する目的で、ディザ信号のビット数を少なくした際にスプリアスノイズを十分に低減することができない場合がある。例えば、ディザ信号のビット数を1に設定した際に、スプリアスノイズが生じるおそれがある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、ループフィルタおよび量子化器を設けたノイズ低減処理装置において、スプリアスノイズ

を低減することを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算部と、上記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算器と、上記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算器と、上記フィルタ出力信号を遅延させて上記遅延信号として出力するフィルタ内遅延部と、上記フィルタ出力信号を量子化して上記帰還信号として帰還させる量子化器とを具備するノイズ低減処理装置、および、その制御方法である。これにより、スプリアスノイズが低減されるという作用をもたらす。
- [0007] また、この第1の側面において、差動信号が上記入力信号として入力される場合には上記内部ディザ信号を生成して上記内部ディザ加算器に供給するディザ信号発生器をさらに具備してもよい。これにより、差動信号のスプリアスノイズが低減されるという作用をもたらす。
- [0008] また、この第1の側面において、デジタル信号に所定の入力型ディザ信号を加算して上記入力信号として供給する加算部をさらに具備し、上記ディザ信号発生器は、シングルエンド信号が上記入力信号として入力される場合には上記入力型ディザ信号を生成して上記加算部に供給してもよい。これにより、シングルエンド信号のスプリアスノイズが低減されるという作用をもたらす。
- [0009] また、この第1の側面において、上記フィルタ出力信号に所定のNTF (Noise Transfer Function) ディザ信号を加算して上記量子化器に出力するNTFディザ加算器をさらに具備し、上記ディザ信号発生器は、差動信号が上記入力信号として入力される場合には上記NTFディザ信号および上記内部ディザ信号のいずれかを生成してもよい。これにより、NTFディザ信号によりスプリアスノイズが低減されるという作用をもたらす。
- [0010] また、この第1の側面において、上記差動信号は、正側信号および負側信

号を含み、上記加算部は、上記正側信号および上記負側信号を交互に選択して上記入力信号として出力するセレクタを含んでもよい。これにより、回路規模が削減されるという作用をもたらす。

[0011] また、この第1の側面において、上記差動信号は、正側信号および負側信号を含み、上記加算部は、上記正側信号に上記入力型ディザ信号を加算して正側回路へ供給する正側加算器と、上記負側信号に上記入力型ディザ信号を加算して負側回路へ供給する負側加算器とを備え、上記差分演算部、上記遅延信号加算器、上記内部ディザ加算器および上記フィルタ内遅延部は、上記正側回路および上記負側回路のそれぞれに配置されてもよい。これにより、正側信号および負側信号が並列に処理されるという作用をもたらす。

[0012] また、本技術の第2の側面は、アナログデジタル変換により入力信号を生成するアナログデジタル変換器と、上記入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算部と、上記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算器と、上記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算器と、上記フィルタ出力信号を遅延させて上記遅延信号として出力するフィルタ内遅延部と、上記フィルタ出力信号を量子化して上記帰還信号として帰還させる量子化器とを具備する音響システムである。これにより、音響システムからの出力信号のスプリアスノイズが低減されるという作用をもたらす。

[0013] また、この第2の側面において、上記フィルタ出力信号の波形を整形するパルス整形器をさらに具備してもよい。これにより、波形が整形されるという作用をもたらす。

[0014] また、この第2の側面において、上記フィルタ出力信号が入力されるC I C (Cascaded Integrator-Comb) フィルタをさらに具備してもよい。これにより、パルス整形器が削減されるという作用をもたらす。

図面の簡単な説明

[0015] [図1]本技術の第1の実施の形態における音響システムの一構成例を示すブロ

ック図である。

[図2]本技術の第1の実施の形態におけるノイズ低減処理装置の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における加算部の一構成例を示すブロック図である。

[図4]本技術の第1の実施の形態におけるデルタシグマ変調器の一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態における量子化器のタイプをまとめた図である。

[図6]本技術の第1の実施の形態における量子化階級タイプAの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[図7]本技術の第1の実施の形態における量子化階級タイプBの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[図8]本技術の第1の実施の形態における量子化階級タイプCの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[図9]本技術の第1の実施の形態における量子化階級タイプDの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[図10]本技術の第1の実施の形態における量子化階級タイプEの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[図11]本技術の第1の実施の形態におけるLFSR (Linear Feedback Shift Register) の実装例を示す図である。

[図12]本技術の第1の実施の形態におけるスケーリング前のディザ信号の一例を示す図である。

[図13]本技術の第1の実施の形態における本方式ディザ信号を用いる際の量子化ビット数とスケーリング量との関係の一例を示す図である。

[図14]本技術の第1の実施の形態における本方式ディザ信号が2ビット、3ビットの際の入力信号の周波数特性の一例を示す図である。

[図15]本技術の第1の実施の形態における本方式ディザ信号が4ビット、5

ビットの際の入力信号の周波数特性の一例を示す図である。

[図16]本技術の第1の実施の形態における本方式ディザ信号が2ビット、3ビットの際の出力信号の周波数特性の一例を示す図である。

[図17]本技術の第1の実施の形態における本方式ディザ信号が4ビット、5ビットの際の出力信号の周波数特性の一例を示す図である。

[図18]本技術の第1の実施の形態におけるNTF (Noise Transfer Function) ディザ信号を用いる際の量子化ビット数とスケール量との関係の一例を示す図である。

[図19]本技術の第1の実施の形態におけるNTFディザ信号が1ビット、2ビットの際の出力信号の周波数特性の一例を示す図である。

[図20]本技術の第1の実施の形態におけるNTFディザ信号が3ビット、4ビットの際の出力信号の周波数特性の一例を示す図である。

[図21]本技術の第1の実施の形態におけるNTFディザ信号が5ビットの際の出力信号の周波数特性の一例を示す図である。

[図22]本技術の第1の実施の形態における入力型ディザ信号を用いる際の量子化ビット数とスケール量との関係の一例を示す図である。

[図23]本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じ、 $1/2$ の場合の出力信号の周波数特性の一例を示す図である。

[図24]本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ 、 $1/8$ の場合の出力信号の周波数特性の一例を示す図である。

[図25]本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ 、 $1/32$ の場合の出力信号の周波数特性の一例を示す図である。

[図26]本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じ、 $1/2$ の場合の出力信号の周波数特性の一例を示す図である。

[図27]本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ 、 $1/8$ の場合の出力信号の周波数特性の一例を示す図である。

[図28]本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ 、 $1/32$ の場合の出力信号の周波数特性の一例を示す図である。

[図29]本技術の第1の実施の形態におけるループフィルタの一構成例を示すブロック図である。

[図30]本技術の第1の実施の形態における後段のタップの一構成例を示す回路図である。

[図31]本技術の第1の実施の形態におけるデルタシグマ変調器の構成をまとめた図である。

[図32]本技術の第1の実施の形態における伝達関数周波数振幅特性を示す図である。

[図33]本技術の第1の実施の形態における伝達関数周波數位相特性を示す図である。

[図34]本技術の第1の実施の形態における本方式ディザ信号を用いる際のTHD (Total Harmonic Distortion) + N (Noise) 特性の一例を示す図である。

[図35]本技術の第1の実施の形態におけるNTFディザ信号を用いる際のTHD + N特性の一例を示す図である。

[図36]本技術の第1の実施の形態における入力型ディザ信号を用いる際のTHD + N特性の一例を示す図である。

[図37]本技術の第1の実施の形態における量子化出力ビット数が3ビットの際のTHD + N特性の一例を示す図である。

[図38]本技術の第1の実施の形態における量子化出力ビット数が4ビットの際のTHD + N特性との一例を示す図である。

[図39]本技術の第1の実施の形態における量子化出力ビット数が5ビットの

際の T H D + N 特性の一例を示す図である。

[図40]本技術の第 1 の実施の形態におけるパルス整形器以降の構成を説明するための図である。

[図41]本技術の第 1 の実施の形態における N R Z (Non-Return-to-Zero) 波形を用いる際のパルス波形の一例を示す図である。

[図42]本技術の第 1 の実施の形態における R Z (Return-to-Zero) 波形を用いる際のパルス波形の一例を示す図である。

[図43]本技術の第 2 の実施の形態における加算部の一構成例を示すブロック図である。

[図44]本技術の第 2 の実施の形態におけるデルタシグマ変調器の一構成例を示すブロック図である。

[図45]本技術の第 2 の実施の形態におけるループフィルタの一構成例を示すブロック図である。

[図46]本技術の第 2 の実施の形態における後段のタップの一構成例を示す回路図である。

[図47]本技術の第 3 の実施の形態における音響システムの一構成例を示すブロック図である。

発明を実施するための形態

[0016] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（ループフィルタの最終段にディザ信号を入力する例）

2. 第 2 の実施の形態（正側と負側とで共有されるループフィルタの最終段にディザ信号を入力する例）

3. 第 3 の実施の形態（ループフィルタの最終段にディザ信号を入力し、パルス整形器を削減した例）

[0017] <1. 第 1 の実施の形態>

[音響システムの構成例]

図１は、本技術の第１の実施の形態における音響システム１００の一構成例を示すブロック図である。この音響システム１００は、音声信号を再生するためのシステムであり、ノイズキャンセリングヘッドフォンやオーディオプレーヤーなどに搭載される。音響システム１００は、ＡＤＣ（Analog to Digital Converter）１１０およびデジタル処理部１２０と、ノイズ低減処理装置２００とを備える。また、音響システム１００は、所定数のフリップフロップ１４１と、ＤＡＣ（Digital to Analog Converter）１５０と、アンプ１６０と、スピーカ１７０とをさらに備える。

[0018] ＡＤＣ１１０は、アナログ信号をデジタル信号に変換するものである。アナログ信号として、例えば、音声を変換したものが入力される。このＡＤＣ１１０は、デジタル信号をデジタル処理部１２０に供給する。アナログデジタル変換における基準サンプリング周波数は、例えば、４４．１キロヘルツ（ｋＨｚ）や４８キロヘルツ（ｋＨｚ）に設定される。また、デジタル信号として、例えば、ＰＣＭ（Pulse Code Modulation）信号が生成される。

[0019] デジタル処理部１２０は、ＡＤＣ１１０からのデジタル信号に対して、所定の信号処理を行うものである。このデジタル処理部１２０は、処理後のデジタル信号をノイズ低減処理装置２００に供給する。

[0020] 水晶発振器１３０は、ノイズ低減処理装置２００やフリップフロップ１４１に所定のクロック信号を供給するものである。このクロック信号に同期して、ノイズ低減処理装置２００およびフリップフロップ１４１が動作する。

[0021] ノイズ低減処理装置２００は、デジタル信号のノイズを低減する処理を行うものである。このノイズ低減処理装置２００は、処理後のデジタル信号を所定数のフリップフロップ１４１に保持させる。

[0022] ＤＡＣ１５０は、所定数のフリップフロップ１４１からのデジタル信号をアナログ信号に変換するものである。このＤＡＣ１５０は、アナログ信号をアンプ１６０に供給する。

[0023] アンプ１６０は、アナログ信号を増幅するものである。このアンプ１６０

は、増幅後のアナログ信号をスピーカ 170 に供給する。スピーカ 170 は、アナログの電気信号を音声に変換するものである。

[0024] [ノイズ低減処理装置の構成例]

図 2 は、本技術の第 1 の実施の形態におけるノイズ低減処理装置 200 の一構成例を示すブロック図である。このノイズ低減処理装置 200 は、入力変換器 210、加算部 220、デルタシグマ変調器 230、パルス整形器 250、ディザ信号発生器 260、クロック・タイミング生成器 270 およびレジスタ 280 を備える。

[0025] ディザ信号発生器 260 は、一様乱数の雑音信号を生成し、加算部 220 とデルタシグマ変調器 230 とに入力するものである。雑音平均電力は生成する基準の一様乱数からスケーリングで規定される。デルタシグマ変調器 230 への雑音信号の挿入方法と乱数のビット数と振幅のスケール値とタイミングとは、量子化出力のビット数の設定に応じて決定される。加算部 220 とデルタシグマ変調器 230 とへのそれぞれの乱数入力とは排他的である。デルタシグマ変調器 230 への雑音信号は、その内部の量子化器（不図示）の前段へ入力される信号と、その内部のループフィルタの最終段のタップ（不図示）に入力される信号とに分けられる。

[0026] 加算部 220 に入力される雑音信号を、以下、「入力型ディザ信号 I N D I T H」と称する。量子化器（不図示）の前段へ入力される雑音信号を、以下、「N T F ディザ信号 N T F D」と称する。ループフィルタの最終段のタップ（不図示）に入力される雑音信号を、以下、「本方式ディザ信号 D I T H」と称する。

[0027] ノイズ低減処理装置 200 では、デルタシグマ変調器 230 の量子化器の構成と入力信号ソースの最大値 0 d B F S（Decibels Full Scale）と相関して出力レベルが規定される。それ以外は、後述するデルタシグマ変調器 230 のトポロジなどの他の構成に依存しない。

[0028] 入力変換器 210 は、デジタル信号（PCM 信号など）のビット深度などを変換するものである。この入力変換器 210 は、変換後のデジタル信号を

加算部 220 に供給する。

[0029] 加算部 220 は、入力変換器 210 からのデジタル信号にディザ信号発生器 260 からの入力型ディザ信号 I_{N_DITH} を加算し、デルタシグマ変調器 230 に出力するものである。

[0030] デルタシグマ変調器 230 は、加算部 220 からの信号に対してデルタシグマ変調を行うものである。このデルタシグマ変調器 230 は、変調後の信号をパルス整形器 250 に供給する。また、デルタシグマ変調器 230 は、ノイズ伝達関数 (NTF : Noise Transfer Function) がアプリケーションで通過させる出力信号に対して十分な SN (Signal-to-Noise) 比を確保できるサンプリング周波数で動作する。

[0031] ディザ信号発生器 260 は、デルタシグマ変調器 230 のトポロジに依存しないが、スプリアス発生を最大限に抑制できるため、PDM (Pulse Density Modulation) 出力のアプリケーションに最適なデルタシグマ変調器 230 のトポロジを例示する。デルタシグマ変調器 230 の STF (Signal Transfer Function) は、2 種類で実現される。1 つ目は、直線位相近で最小遅延特性と全域でフラットな周波数特性とを持つものである。2 つ目は、通過帯域に対して直線位相近似可能な LPF 型である。

[0032] 1 つ目は、スプリアス性雑音を抑制できるため、積極的に活用される。2 つ目は、平均入力電力で変化しない、入力信号のサンプリング周波数の整数倍の周波数で発生する折り返し信号を、サンプル・ホールドによる減衰より、さらに減衰したい時に利用される。このような折り返し信号は、例えば、入力信号のサンプリング周波数が $4FS$ (Full Scale) など、デルタシグマ変調器 230 のサンプリング周波数より低い時に発生する。

[0033] 例に挙げるデルタシグマ変調器 230 は、入力データのサンプリング周波数が最速でデルタシグマ変調器 230 のサンプリング周波数と同じ、遅くても $1/32$ 以上を入力データに対して要求する。サンプリング周波数が $128fs$ の時は、例えば、 $4FS$ となる。アプリケーションの信号帯域は DC (Direct Current) - 40 キロヘルツ (kHz) 程度を想定している。

[0034] 入力変換器 210 は、デジタル処理部 120 からのデジタル信号である入力データのチャンネル数などを必要に応じて変換し、加算部 220 に供給するものである。入力データとして、マイク入力をサンプルホールド回路により A/D 変換したデータや、S/PDIF (Sony Philips Digital InterFace) や I2S (Inter-IC Sound) 経由で入力されたデータが入力される。入力データは、そのまま入力されることもあるが、何らかの処理が行われたもの、もしくは、出力の歪み特性を考慮して 6 デシベル (dB) 未満の固定アッテネーションされたサンプリング・データが入力されることもある。入力変換器 210 は、入力データを 1 ビットシフトして -6 デシベル (dB) するか否かを選択する機能や、1 チャンネルの入力データを反転して同相および逆相の 2 チャンネルのデータを出力する機能を有する。また、入力変換器 210 は、差動ではなく 1 入力 1 出力で動作させるために同相の信号を 2 チャンネル分出力してデルタシグマ変調器 230 の消費電力を半分に抑える機能や、2 チャンネル入力を同相で 2 チャンネル出力する機能を有する。

[0035] 加算部 220 は、入力変換器 210 からのデータが 1 ビットの際に、そのデータに入力型ディザ信号 IN_DITH を加算し、デルタシグマ変調器 230 に供給するものである。

[0036] パルス整形器 250 は、デルタシグマ変調器 230 からの信号の波形をパルス波形に整形し、フリップフロップ 141 に出力するものである。

[0037] クロック・タイミング生成器 270 は、水晶発振器 130 からのクロック信号に同期して、タイミング信号を生成し、入力変換器 210、加算部 220、デルタシグマ変調器 230、パルス整形器 250 やディザ信号発生器 260 のそれぞれに供給するものである。レジスタ 280 は、入力変換器 210、加算部 220、デルタシグマ変調器 230、パルス整形器 250 やディザ信号発生器 260 で用いられる各種の設定値を保持する。

[0038] [加算部 220 の構成例]

図 3 は、本技術の第 1 の実施の形態における加算部 220 の一構成例を示すブロック図である。この加算部 220 は、反転増幅器 221 と、加算器 2

22および223とを備える。また、デルタシグマ変調器230は、正側回路231および負側回路232を備える。

[0039] 反転増幅器221は、入力変換器210からの入力信号 I_{n_p} を反転させて、入力信号 I_{n_n} として加算器223に供給するものである。

[0040] 加算器222は、入力信号 I_{n_p} に入力型ディザ信号 I_{N_DITH} を加算し、正側回路231に供給するものである。なお、加算器222は、特許請求の範囲に記載の正側加算器の一例である。

[0041] 加算器223は、入力信号 I_{n_n} に入力型ディザ信号 I_{N_DITH} を加算し、負側回路232に供給するものである。なお、加算器223は、特許請求の範囲に記載の負側加算器の一例である。

[0042] 同図に例示した構成により、差動信号またはシングルエンド信号がデルタシグマ変調器230に入力される。

[0043] 例えば、後段のアンプ160が、差動構成が取れないS/Eデジタルアンプや差動アンプのゲイン差が抑制できないアナログアンプである場合、シングルエンド信号が入力される。それ以外では、差動信号が入力される。

[0044] また、デルタシグマ変調器230内の量子化器が1ビット出力の場合、本発明範囲では シングルエンド信号は入力されず、差動信号が入力され、入力型ディザ信号が加算される。

[0045] 量子化器の出力が2ビット以上の場合、本方式ディザ信号を選択することができる。それぞれの場合に応じて、適切なディザ信号の発生ビット数とレベル、発生周波数が一意に決定される。

[0046] なお、シングルエンド信号で差動アンプにデータを供給する場合、加算部220は、片方をデルタシグマ変調器230へ出力し、もう片方について符号反転でデータを生成することもできる。オーディオ信号の場合DCはカットされるため、1の補数でも問題は生じない。1の補数の場合、スレートバイナリ化した後でも生成が容易である。

[0047] [デルタシグマ変調器の構成例]

図4は、本技術の第1の実施の形態におけるデルタシグマ変調器230の

一構成例を示すブロック図である。デルタシグマ変調器230内の正側回路231は、ループフィルタ300、加算器233、量子化器234、遅延部235および遅延部236を備える。負側回路232の構成は、正側回路231と同様である。

[0048] ループフィルタ300は、加算部220からの入力信号 I_{n_p} と、量子化器234および遅延部236からの帰還信号 F_{D_OUT1} および F_{D_OUT2} との差分を積算するものである。また、ループフィルタ300は、本方式ディザ信号 $DITH$ が入力された場合、積算した信号に本方式ディザ信号 $DITH$ を加算する。

[0049] 加算器233は、NTFディザ信号 $NTFD$ が入力された場合、ループフィルタ300からのフィルタ出力信号 F_{out} に、そのNTFディザ信号 $NTFD$ を加算するものである。この加算器233は、加算したデータを量子化器234に供給する。

[0050] 量子化器234は、加算器233からのデータを量子化し、遅延部235および236に供給するものである。また、量子化器234の出力信号は、帰還信号 F_{D_OUT2} としてループフィルタ300に入力される。

[0051] 遅延部235は、量子化器234の出力信号を1クロック分遅延させて、正側の出力信号 O_{ut_p} としてパルス整形器250に出力するものである。遅延部236は、量子化器234の出力信号を1クロック分遅延させて、帰還信号 F_{D_OUT1} としてループフィルタ300に供給するものである。

[0052] [量子化器の構成例]

図5は、本技術の第1の実施の形態における量子化器234のタイプをまとめた図である。量子化器234の量子化時の階級設定には、大別して2種類ある。1つ目は、原点を階級の中央値に持つ種類であり、2つ目は、原点对称で階級を配置する種類である。1つ目を「原点階級中央値タイプ」と称し、2つ目を「原点对称階級タイプ」と称する。量子化器234の出力ビット数が1と2のときは、デルタシグマ変調器230内でフィードバックされる代表値が個別に与えられる。特に2の時は、閾値も個別に与えられる。3

以上では、階級と階級閾値とは、定式化された方法で実施される。

[0053] また、以下、原点階級中央値タイプで定義階級個数が $2^N - 1$ (N は、整数)のものを量子化階級タイプAとする。原点对称階級タイプで定義階級個数が 2^N のものを量子化階級タイプBとする。原点对称階級タイプで定義階級個数が2のものを量子化階級タイプCとする。原点階級中央値タイプで定義階級個数が3のものを量子化階級タイプDとする。原点对称階級タイプで定義階級個数が4のものを量子化階級タイプEとする。

[0054] 図6は、本技術の第1の実施の形態における量子化階級タイプAの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[0055] 図7は、本技術の第1の実施の形態における量子化階級タイプBの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[0056] 図8は、本技術の第1の実施の形態における量子化階級タイプCの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[0057] 図9は、本技術の第1の実施の形態における量子化階級タイプDの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[0058] 図10は、本技術の第1の実施の形態における量子化階級タイプEの量子化階級と階級数値範囲、階級中央値との関係を示す図である。

[0059] 量子化出力ビット数が1のとき、量子化階級タイプCが用いられる。量子化出力ビット数が2のとき、量子化階級タイプDもしくは、量子化階級タイプEが用いられる。実装を単純にする目的では量子化階級タイプDが選択される。

[0060] また、量子化出力ビット数が3の時、量子化階級タイプBが用いられる。量子化階級タイプAでも可能であるが、大入力時のTHD+N特性が量子化階級タイプタイプBに劣る。

[0061] 量子化出力ビット数が4以上のとき、PWM出力では量子化階級タイプAが用いられる。PDM出力では量子化階級タイプBが用いられる。タイプAも可能であるが、大入力時のTHD+N特性がタイプBに劣る。量子化ビット数が3以上では、大入力時のTHD+N特性は、量子化階級タイプBの方

が量子化階級タイプAより良好である。

[0062] [ディザ信号発生器の構成例]

ディザ信号発生器260内の一様乱数を生成する装置は、選択するディザの挿入箇所に応じて同時に取得する乱数のビット数と乱数から生成するディザ信号の変化タイミングを切り替える。

[0063] 本方式ディザ信号を生成する場合、ディザ信号発生器260が同時に取得する乱数は1ビットである。1ビットの際に、スプリアス性を抑える条件を満たし、最も雑音平均電力が低くなる。一様乱数の更新タイミングは、デルタシグマ変調器230のサンプリング周波数と同じである。

[0064] NTFディザ信号を生成する場合、ディザ信号発生器260が同時に取得する乱数は2ビットである。スプリアス性を抑える条件を満たし、最も雑音平均電力が低くなる条件は、2ビットであるが、2ビットから4ビットに増加しても雑音電力は0.26デシベル(dB)程度の増加のため、入力型ディザ信号用の4ビット乱数を共用することもできる。また、一様乱数の更新タイミングは、デルタシグマ変調器230のサンプリング周波数と同じである。

[0065] 入力型ディザ信号を生成する場合、ディザ信号発生器260が同時に取得する乱数ビット数は4ビットである。4ビット以上の長周期乱数を他のシステムと共用しても問題ない。1ビットや2ビットではスプリアス性が顕著であり、3ビットも量子化雑音からスプリアス性を完全には除去できないことから、乱数は、4ビット以上に限定される。一様乱数の更新タイミングは、デルタシグマ変調器230のサンプリング周波数の $1/16$ 以下の $2^{-N'}$ である。ここで、 N' は4以上の整数である。 N' の上限値は、可聴帯域などアプリケーションが扱う周波数帯域内で折り返さない帯域幅で決定される。入力信号のサンプリング周波数が条件を満たす時には、そのタイミングに合わせる。

[0066] ディザ信号発生器260内の乱数発生器に関して、複数入力信号を時分割多重して、デルタシグマ変調器230のサンプリング周波数に対し、デルタ

シグマ変調器 230 を倍速以上で動作させている場合、その演算器に入力するディザ信号は共通に設定される。

[0067] 乱数は、一様乱数であればよく、入力信号のチャネル毎に独立にするか、共通にするかは任意である。周期性を持つ疑似乱数では、周期がアプリケーションで問題を起こさない範囲で、長周期に設定される。

[0068] 一例として、24ビットのLFSRで系列(24、23、22、17)を示す。LFSRのFibonacci型やGalois型も実装側の都合でのみ決定される。

[0069] 図11は、Fibonacci型で定義したVerilogコードの一例である。レジスタへの初期値代入と値更新のタイミングを制御し、予め行列式Aから A^2 や A^4 を求めておくことで、2ビット同時、4ビット同時に必要な複数の乱数ビットを取得している。

[0070] 行列式Aはn(nは、整数)サイクル目のレジスタの状態 v_n とn+1サイクル目のレジスタの状態 v_{n+1} で定義することができる。これらの状態は、LFSRの実装で一意に決まり、例えば、次の式により表される。

[数1]

$$v_{n+1}^T = A \times v_n^T \quad \dots \text{式1}$$

上式において、Tは転置行列を示す。

[0071] 1サイクルで1ビットの乱数を新規に取得できるため、m(mは、整数)ビット同時に新規に取得するためには次の式などに基づいて、レジスタ状態 v_n からmサイクル後のレジスタ状態 v_{n+m} を導けばよく、生成式に必要な行列式は A^m である。

[数2]

$$v_{n+2}^T = A^2 \times v_n^T \quad \dots \text{式2}$$

[数3]

$$v_{n+4}^T = A^4 \times v_n^T \quad \dots \text{式3}$$

[0072] 初期値は v_0 であり、例えば、次の式により表される。

[数4]

$$v_0^T = (x_1 \quad x_2 \quad \dots \quad x_{24}) = \begin{pmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 1 \\ 1 \\ 0 \\ 0 \\ 0 \\ 1 \\ 0 \\ 0 \\ 1 \\ 1 \\ 0 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 1 \\ 0 \end{pmatrix} \quad \dots \text{式4}$$

[0073] また、次の式は、行列式 A 、 A^2 および A^4 の一例である。

(2) アプリケーション周波数帯域幅以上であること。オーディオのようにアプリケーションがベースバンド信号の場合はアプリケーション周波数帯域幅の2倍以上であること。オーディオの場合、可聴帯域がDC-20キロヘルツ(kHz)の範囲であるため、最小で40キロヘルツ(kHz)、通常は入力信号のサンプリング周波数(例では4fs)、もしくは基準サンプリング周波数fsに合わせられる。

[0076] 図12は、本技術の第1の実施の形態におけるスケーリング前のディザ信号の一例を示す図である。同図におけるaは、1ビットのディザ信号を示し、同図におけるbは2ビットのディザ信号を示す。同図におけるcは、4ビットのディザ信号を示す。

[0077] 1ビットのディザ信号を用いる場合、RTLとの対応関係は次の式により表される。

$$v(0) = v1[1]$$

[0078] 2ビットのディザ信号を用いる場合、RTLとの対応関係は次の式により表される。

$$n(0) = v2[1]$$

$$n(1) = v2[2]$$

[0079] 4ビットのディザ信号を用いる場合、RTLとの対応関係は次の式により表される。

$$r(0) = v4[1]$$

$$r(1) = v4[2]$$

$$r(2) = v4[3]$$

$$r(3) = v4[4]$$

[0080] 次に、ディザ信号発生器260の乱数一符号付信号変換処理に関して、生成された乱数ビット列は、1サンプルデータとして、整数部が1ビットのの符号付小数として扱われる。そして、図12に例示するように、ディザ信号発生器260は、LSB側に1ビットの固定値を追加して、平均値が0の信号にする。

[0081] ディザ信号のビット長がM（Mは、整数）ビットのとき、平均雑音電力Pは、次の式により表される。

[数8]

$$P = \sum_{n=1}^{2^{M-1}} \frac{(2n-1)^2}{2^{3M-1}} \quad \dots \text{式8}$$

[数9]

$$P = \frac{1}{3} - \frac{1}{3 \times 4^M} \quad \dots \text{式9}$$

[0082] 式8および式9より、ディザ信号のビット数が大きくなるほど、一様乱数が連続値の時の平均電力値1／3に漸近する。dBFS単位では $10 \times 10 \log_{10} P + 10 \times 10 \log_{10} 2$ で、 -1.76 dBFS に漸近する。

[0083] ディザ信号が1ビットのときが最も小さい平均電力値となり、 -3.01 dBFS となる。ディザ信号のビット数が1ビット増える毎に平均電力値が大きくなる。例えば、2ビットのときに -2.04 dBFS となり、3ビットのときに -1.83 dBFS となり、4ビットのときに -1.78 dBFS となり、5ビットのときに -1.78 dBFS となる。

[0084] 次に、ディザ信号発生器260が、上述のLFSRなどを用いて生成した0.5と-0.5の2値の1ビットの本方式ディザ信号をスケーリングした場合を考える。

[0085] 図13は、本技術の第1の実施の形態における本方式ディザ信号を用いる際の量子化ビット数とスケーリング量との関係の一例を示す図である。

[0086] また、図14は、本技術の第1の実施の形態における本方式ディザ信号が2ビット、3ビットの際の入力信号の周波数特性の一例を示す図である。同図におけるaは、本方式ディザ信号が2ビットの際の変調前の入力信号の周波数特性の一例を示す図である。同図におけるbは、本方式ディザ信号が3ビットの際の変調前の入力信号の周波数特性の一例を示す図である。

[0087] 図15は、本技術の第1の実施の形態における本方式ディザ信号が4ビット

ト、5ビットの際の入力信号の周波数特性の一例を示す図である。同図におけるaは、本方式ディザ信号が4ビットの際の入力信号の周波数特性の一例を示す図である。同図におけるbは、本方式ディザ信号が5ビットの際の入力信号の周波数特性の一例を示す図である。

[0088] 図16は、本技術の第1の実施の形態における本方式ディザ信号が2ビット、3ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるaは、本方式ディザ信号が2ビットの際の変調後の出力信号の周波数特性の一例を示す図である。同図におけるbは、本方式ディザ信号が3ビットの際の変調後の出力信号の周波数特性の一例を示す図である。

[0089] 図17は、本技術の第1の実施の形態における本方式ディザ信号が4ビット、5ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるaは、本方式ディザ信号が4ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるbは、本方式ディザ信号が5ビットの際の出力信号の周波数特性の一例を示す図である。

[0090] 図14乃至図17の縦軸は、入出力信号のレベルを示し、横軸は周波数を示す。

[0091] 本方式ディザ信号を用いる場合、量子化階級タイプBの量子化出力1ビットに加えて、次の3条件は、ディザ信号の雑音電力が大きいと利用価値がないため、システム動作では除外される。

[0092] 1つ目の条件は、 $N=1$ （すなわち、雑音信号スケーリングが1）で、量子化階級タイプCのときである。このときは、スプリアスを抑制可能な雑音電力ではデルタシグマ変調器230が発生する量子化雑音が大幅なTHD+Nの劣化を引き起こす。

[0093] 2つ目の条件は、 $N=2$ （雑音信号スケーリングが $1/4$ ）で、量子化階級タイプAのときである。量子化階級タイプAでは強入力耐性が非常に低い。

[0094] 3つ目の条件は、 $N=2$ で量子化階級タイプBのときである。量子化階級タイプBでは、量子化階級タイプEより強入力耐性に劣り、入力ディザ型の

量子化ビット数が1のときとほぼ同等である。

[0095] 次に、NTFディザ信号を用いる場合を考える。例えば、差動信号をパルス整形器250より後段のシステムが受け付けないとき、および、本方式ディザ信号で雑音レベルが満足されないときにNTFディザ信号が用いられる。例えば、アンプ160がS/Eで、PWM信号が用いられるときが該当する。もしくは、差動信号を受け付けてもアナログバラつきが大きく、本方式ディザ信号で雑音レベルが満足されず、量子化器の出力ビット数が2ビット以上のときに、NTFディザ信号が用いられる。

[0096] ディザ信号発生器260が、2ビット乱数をスケールリングして、NTFディザ信号を生成する場合を想定する。

[0097] 図18は、本技術の第1の実施の形態におけるNTFディザ信号を用いる際の量子化ビット数とスケールリング量との関係の一例を示す図である。

[0098] 図19は、本技術の第1の実施の形態におけるNTFディザ信号が1ビット、2ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるaは、NTFディザ信号が1ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるbは、NTFディザ信号が2ビットの際の出力信号の周波数特性の一例を示す図である。

[0099] 図20は、本技術の第1の実施の形態におけるNTFディザ信号が3ビット、4ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるaは、NTFディザ信号が3ビットの際の出力信号の周波数特性の一例を示す図である。同図におけるbは、NTFディザ信号が4ビットの際の出力信号の周波数特性の一例を示す図である。

[0100] 図21は、本技術の第1の実施の形態におけるNTFディザ信号が5ビットの際の出力信号の周波数特性の一例を示す図である。

[0101] 図19乃至図21の縦軸は、出力信号のレベルを示し、横軸は周波数を示す。

[0102] NTFディザ信号を用いる場合、量子化階級タイプBで量子化出力1ビットのときに加えて、次の3条件は、ディザ信号の雑音電力が大きいと利用価

値がないため、システム動作では除外される。

[0103] 1つ目の条件は、 $N = 1$ で量子化階級タイプCのときである。このときは、スプリアスを抑制可能な雑音電力ではデルタシグマ変調器230が発生する量子化雑音が大幅なTHD+Nの劣化を引き起こす。

[0104] 2つ目の条件は、 $N = 2$ で量子化階級タイプAのときである。このときは、強入力耐性が非常に低い。

[0105] 3つ目の条件は、 $N = 2$ で量子化階級タイプBのときである。このときは、量子化階級タイプEより強入力耐性に劣り、入力ディザ型の量子化ビット数が1のときとほぼ同等である。

[0106] 次に、入力型ディザ信号を用いる場合を考える。入力型ディザ信号は、量子化器出力が1ビットで量子化階級タイプCのときに利用される。

[0107] ディザ信号発生器260が、4ビット以上の乱数をスケーリングして入力型ディザ信号を生成した場合を想定する。

[0108] 図22は、本技術の第1の実施の形態における入力型ディザ信号を用いる際の量子化ビット数とスケーリング量との関係の一例を示す図である。

[0109] 図23は、本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じ、 $1/2$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じ場合の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/2$ の場合の出力信号の周波数特性の一例を示す図である。

[0110] 図24は、本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ 、 $1/8$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/8$ の場合の出力信号の周波数特性

の一例を示す図である。

[0111] 図25は、本技術の第1の実施の形態における乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ 、 $1/32$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/32$ の場合の出力信号の周波数特性の一例を示す図である。

[0112] 図26は、本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じ、 $1/2$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数と同じの場合の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/2$ の場合の出力信号の周波数特性の一例を示す図である。

[0113] 図27は、本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ 、 $1/8$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/4$ の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/8$ の場合の出力信号の周波数特性の一例を示す図である。

[0114] 図28は、本技術の第1の実施の形態におけるスケールを変えた際の乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ 、 $1/32$ の場合の出力信号の周波数特性の一例を示す図である。同図におけるaは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/16$ の出力信号の周波数特性の一例を示す図である。同図におけるbは、乱数サンプリング周波数がデルタシグマ変調サンプリング周波数の $1/32$

の場合の出力信号の周波数特性の一例を示す図である。

[0115] 図23乃至図28の縦軸は出力信号のレベルを示し、横軸は周波数を示す。

[0116] 入力型ディザ信号を用いる場合、スケーリング量は $1/16$ が最適であるが、後段のアナログ部のバラツキが最終的な雑音電力を決定するため、 $1/32$ 、 $1/64$ 、 $1/128$ など、スケーリング量は可変とする。DC成分 α は、スケーリング値の半分を供給する。 $1/2F_s$ 近辺のスプリアス起因の拡散が、折り返しによる重なりで緩やかになる。図23乃至図25より、DC量は、雑音信号スケーリングが $1/16$ のときは -27 dBFS ($1/32$) となる。図26乃至図28より、雑音信号スケーリングが $1/64$ の時は -39 dBFS ($1/128$) が適当である。

[0117] また、後段のアナログ部品のバラつきによってスケーリングを大きく設定できないとき、もしくは、後段のアンプが差動出力を受けつけないときは、微小信号入力時に一定の条件下でDC成分 α が決定され、入力される。乱数成分 β は0とする。ここで、一定の条件は、次の式から推測される周波数がアプリケーション帯域に入らないときである。

[数10]

$$(\text{条件A}) : f_o(x, N, F_s, m) = m \times F_s \times 10^{\frac{x - 10 \log_{10} 2}{20}} \times 2^{N-1} \quad \dots \text{式10}$$

[数11]

$$(\text{条件B}) : f_o(x, N, F_s, m) = m \times F_s \times 10^{\frac{x - 10 \log_{10} 2}{20}} \times 2^N \quad \dots \text{式11}$$

[数12]

$$(\text{条件B}) : f_o'(x, N, F_s, m) = \frac{F_s}{2} - f_o(x, N, F_s, m - 0.5) \quad \dots \text{式12}$$

[数13]

$$(\text{条件C}) : f_o(x, F_s, m) = F_s \times 10^{\frac{x - 10 \log_{10} 2}{20}} \quad \dots \text{式13}$$

[数14]

$$(\text{条件C}) : f'_o(x, F_s, m) = \frac{F_s}{2} - f_0(x, N, F_s, m - 0.5) \quad \dots \text{式14}$$

[数15]

$$(\text{折り返し周波数}) : f_a(f_o, F_s) = \left| \arg \left(e^{j2\pi \frac{f_o}{F_s}} \right) \right| \times \frac{F_s}{2\pi} \quad \dots \text{式15}$$

[0118] 式10乃至式15において、 x は、デルタシグマ変調器230への入力信号の平均電力を示す。

[0119] 図29は、本技術の第1の実施の形態におけるループフィルタ300の一構成例を示すブロック図である。このループフィルタ300は、複数段のタップと、バッファアンプ361、363および365と、加算器362および364とを備える。タップの段数は、例えば、5段であり、例えば、タップ310、320、330、340および350が設けられる。

[0120] バッファアンプ361は、低遅延で動作させる際には、入力信号 I_{n_p} をそのまま、タップ320、330および340および350に供給する。一方、ループフィルタ300をLPF (Low-Pass Filter) として機能させる際には、バッファアンプ361は、入力信号 I_{n_p} を出力しない。

[0121] 量子化器234からの帰還信号 FD_{out2} は、タップ310、加算器362、タップ330および加算器364に入力される。

[0122] バッファアンプ363は、タップ330からの信号を $1/256$ 倍して加算器362に供給する。加算器362は、バッファアンプ363からの信号と帰還信号 FD_{out2} とを加算してタップ320に供給する。

[0123] バッファアンプ365は、タップ350からの信号を $1/256$ 倍して加算器364に供給する。加算器364は、バッファアンプ365からの信号と帰還信号 FD_{out2} とを加算してタップ340に供給する。

[0124] また、タップ310は、加算器311、加算器312、リミッタ313および遅延部314を備える。タップ320は、バッファアンプ321、加算

器 3 2 2、加算器 3 2 3、リミッタ 3 2 4 および遅延部 3 2 5 を備える。タップ 3 3 0 は、バッファアンプ 3 3 1、加算器 3 3 2、加算器 3 3 3、リミッタ 3 3 4 および遅延部 3 3 5 を備える。

[0125] 加算器 3 1 1 は、加算部 2 2 0 からの入力信号 I_{n_p} と加算器 3 1 2 からの信号とを加算し、リミッタ 3 1 3 を介して遅延部 3 1 4 に供給するものである。加算器 3 1 2 は、遅延部 3 1 4 からの信号と帰還信号 FD_{out2} とを加算して加算器 3 1 1 に供給するものである。リミッタ 3 1 3 は、 ± 16 ビットの範囲内に信号のレベルを制限するものである。遅延部 3 1 4 は、加算器 3 1 1 からの信号を 1 クロック分遅延させて加算器 3 1 2 およびバッファアンプ 3 2 1 に供給するものである。

[0126] バッファアンプ 3 2 1 は、遅延部 3 1 4 からの信号を $1/16$ 倍して加算器 3 2 2 に供給するものである。加算器 3 2 2 は、バッファアンプ 3 6 1 からの信号とバッファアンプ 3 2 1 からの信号と加算器 3 2 3 からの信号とを加算し、リミッタ 3 2 4 を介して遅延部 3 2 5 に供給するものである。加算器 3 2 3 は、遅延部 3 2 5 からの信号と加算器 3 6 2 からの信号とを加算して加算器 3 2 2 に供給するものである。リミッタ 3 2 4 は、 ± 8 ビットの範囲内に信号のレベルを制限するものである。遅延部 3 2 5 は、加算器 3 2 2 からの信号を 1 クロック分遅延させて加算器 3 2 3 およびバッファアンプ 3 3 1 に供給するものである。

[0127] バッファアンプ 3 3 1 は、遅延部 3 2 5 からの信号を $1/8$ 倍して加算器 3 3 2 に供給するものである。加算器 3 3 2 は、バッファアンプ 3 6 1 からの信号とバッファアンプ 3 3 1 からの信号と加算器 3 3 3 からの信号とを加算し、リミッタ 3 3 4 を介して遅延部 3 3 5 に供給するものである。加算器 3 3 3 は、遅延部 3 3 5 からの信号と帰還信号 FD_{out2} とを加算して加算器 3 3 2 に供給するものである。リミッタ 3 3 4 は、 ± 4 ビットの範囲内に信号のレベルを制限するものである。遅延部 3 3 5 は、加算器 3 3 2 からの信号を 1 クロック分遅延させて加算器 3 3 3、バッファアンプ 3 6 3 およびタップ 3 4 0 に供給するものである。

- [0128] 図30は、本技術の第1の実施の形態における後段のタップ340および350の一構成例を示す回路図である。タップ340は、バッファアンプ341、加算器342、加算器343、リミッタ344および遅延部345を備える。タップ350は、バッファアンプ351、加算器352、リミッタ353、加算器354、加算器355および遅延部356を備える。
- [0129] バッファアンプ341は、タップ330からの信号を $1/4$ 倍して加算器342に供給するものである。加算器342は、バッファアンプ361からの信号とバッファアンプ341からの信号と加算器343からの信号とを加算し、リミッタ344を介して遅延部345に供給するものである。加算器343は、遅延部345からの信号と加算器364からの信号とを加算して加算器342に供給するものである。リミッタ344は、 ± 4 ビットの範囲内に信号のレベルを制限するものである。遅延部345は、加算器342からの信号を1クロック分遅延させて加算器343およびバッファアンプ351に供給するものである。
- [0130] バッファアンプ351は、遅延部345からの信号を $1/2$ 倍して加算器352に供給するものである。加算器352は、バッファアンプ361からの信号とバッファアンプ351からの信号と加算器354からの信号とを加算し、加算器355に供給するものである。リミッタ353は、 ± 8 ビットの範囲内に信号のレベルを制限するものである。加算器354は、遅延部356からの信号と遅延部236からの帰還信号 $F D_{out1}$ とを加算し、リミッタ353を介して加算器352に供給するものである。
- [0131] 加算器355は、本方式ディザ信号 $D I T H$ と加算器352からの信号とを加算し、フィルタ出力信号 $F o u t$ として遅延部356と加算器233とに供給するものである。遅延部356は、加算器355からの信号を1クロック分遅延させて加算器354およびバッファアンプ365に供給するものである。
- [0132] 図29および図30に例示したループフィルタ300の伝達関数は、次の式により表される。

[数16]

$$STF_{LL}(z) = 256 \frac{4096 - 14336z^{-1} + 18946z^{-2} - 11203z^{-3} + 2501z^{-4}}{1048576 - 3670016z^{-1} + 4852224z^{-2} - 2874112z^{-3} + 646401z^{-4} - 2049z^{-5}} \times z^{-1}$$

・・・ 式16

[数17]

$$STF_{LPF}(z) = \frac{1024z^{-4}}{1048576 - 3670016z^{-1} + 4852224z^{-2} - 2874112z^{-3} + 646401z^{-4} - 2049z^{-5}} \times z^{-1}$$

・・・ 式17

[数18]

$$NTF(z) = \frac{1048576 - 5242880z^{-1} + 10488320z^{-2} - 10493440z^{-3} + 5250561z^{-4} - 1051137z^{-5}}{1048576 - 3670016z^{-1} + 4852224z^{-2} - 2874112z^{-3} + 646401z^{-4} - 2049z^{-5}} \times z^{-1}$$

・・・ 式18

[数19]

$$DTF(z) = 512 \frac{2048 - 8192z^{-1} + 12289z^{-2} - 8194z^{-3} + 2049z^{-4}}{1048576 - 3670016z^{-1} + 4852224z^{-2} - 2874112z^{-3} + 646401z^{-4} - 2049z^{-5}} \times z^{-1}$$

・・・ 式19

[0133] 式16の $STF_{LL}(z)$ は、低遅延動作時の STF (Signal Transfer Function) を示す。式17の $STF_{LPF}(z)$ は LPF 動作時の STF を示す。式18の $NTF(z)$ は、量子化ノイズの NTF (Noise Transfer Function) を示す。式19の $DTF(z)$ は、本方式の DTF (Dither Transfer Function) を示す。各周波数特性はデルタシグマ変調のサンプリング周波数が F_s のとき、 z に $e^{(j2\pi f/F_s)}$ を代入して取得することができる。

[0134] 図31は、本技術の第1の実施の形態におけるデルタシグマ変調器230の構成をまとめた図である。初段のタップ310は、量子化器234からの帰還信号 FD_{out2} と、入力信号 ln_p との差分（言い換えれば、量子化誤

差)を求め、その差分に応じた信号を後段のタップに出力する。なお、タップ310は、特許請求の範囲に記載の差分演算部の一例である。

[0135] ループフィルタ300内の最終段のタップ350において、加算器352は、前段のタップ340からの信号と遅延部356からの遅延信号に応じた信号とを加算して加算器355に出力する。加算器352の出力信号は、タップ350などで積算された信号である。なお、加算器352は、特許請求の範囲に記載の遅延信号加算器の一例である。

[0136] 加算器355は、加算器352からの信号と本方式ディザ信号DITHとを加算してフィルタ出力信号Foutとして加算器233および遅延部356に出力する。なお、本方式ディザ信号は、特許請求の範囲に記載の内部ディザ信号の一例であり、加算器355は、特許請求の範囲に記載の内部ディザ加算器の一例である。

[0137] 遅延部356は、フィルタ出力信号Foutを遅延させ、その遅延信号を加算器354に供給する。なお、遅延部356は、特許請求の範囲に記載のフィルタ内遅延部の一例である。

[0138] また、加算器233は、フィルタ出力信号FoutにNTFディザ信号NTFDを加算し、量子化器234に供給する。なお、加算器233は、特許請求の範囲に記載のNTFディザ加算器の一例である。

[0139] 量子化器234は、加算器233からの信号を量子化し、帰還信号FD_{out}としてタップ310などに帰還させる。

[0140] 図29乃至図31に例示した構成により、AD変換された信号やデジタルソースを処理して作られた、DC成分を含むどのような信号が入力されても、図13乃至図17に例示したようにスプリアスノイズを抑制することができる。

[0141] どのような入力信号に対しても、式16乃至式19の伝達関数の一例で代表されるようにデルタシグマ変調のトポロジーで決定されるNTF伝達関数の電力周波数特性に相似する量子化ノイズのみが付加される。このため、以下の効果が得られる。

- [0142] スプリアス性の量子化ノイズによる予期せぬ原音にない音の発生を防ぐことができる。特に可聴帯域内の微小信号入力時に顕著である。また、スプリアス性の量子化ノイズがアナログ回路に与える影響が事前に防がれるため、N T F 伝達関数から求められる理論通りの安定した雑音レベルがアナログ回路に提供される。また、アナログ回路のバラツキに対して、差動入力が多ビットのデルタシグマ変調器 2 3 0 から、音声アプリケーション帯域に洩れる雑音レベルが削減される。
- [0143] さらに、簡易な一様乱数から必要最小電力で適切な雑音を生成できる。また、それぞれのディザ形式においてディザ信号の必要最小ビット数が明確で、出力特性もスプリアスがなく安定なため、漏洩する雑音電力に対する後段システムの設計目標が容易になる。また、必要ビット数へのビット数削減により雑音信号電力を抑制することができる。本方式ディザ用の 1 ビット乱数の使用により、N T F ディザ信号に必要な 2 ビットの乱数利用時と比較して - 1 . 0 デシベル (d B) 以上、雑音信号電力が削減される。
- [0144] さらに効果のない不要な回路が削減される。ほぼ、平坦な周波数振幅特性、かつ、周波數位相特性が直線で、遅延が最小の量子化出力が可能なため、以下のアプリケーションで有効に活用することができる。
- [0145] 例えば、ノイズキャンセル等、低レイテンシが特性を向上させるアプリケーションや、マルチビット A D C デバイスの出力を 1 ビット化し、A D C データをデバイス間で伝送するアプリケーションが挙げられる。後者では、伝送電力を抑制できる。
- [0146] また、量子化器 2 3 4 で発生するスプリアス性雑音を論理的に除去するため、パルス整形器 2 5 0 以降に配置するフィルタを、アンプの入力耐性に応じて理論通りに設計できる。また、音響システム 1 0 0 は、量子化器 2 3 4 で発生するスプリアス性雑音を論理的に除去することができる。このため、線形時不変システムにこだわった R Z 波形の P D M 信号においても、スプリアス性の除去はデルタシグマ変調のサンプリング周波数の整数倍のスプリアスのみを考慮すればよく、低遅延を維持する設計が容易になる。

[0147] また、D T Fディザ方式やN T Fディザ方式は、式16乃至式19の伝達関数の一例で代表されるように、可聴帯域内に漏洩する雑音があらかじめ抑制される。このため、後段の利得のバラつきによる可聴帯域への雑音の影響が無視できる。

[0148] 1ビットの量子化器234は、どのような入力信号からも理想出力を取得するためには入力型ディザ信号が必要である。それにより、可聴帯域への雑音入力が不可避なため、後段の利得のバラつきを抑制する目標が明確になる。

[0149] N T Fディザ信号は、S/Eのデジタルアンプも含めて全ての出力アンプに利用できるメリットがある。これに対し、本方式ディザ信号はアナログ・アンプもしくはB T L (Balanced Transformer Less) 接続のデジタルアンプのように差動入力为前提となる。スプリアスの発生源は非線形動作する量子化器であり、式10乃至式15に例示したように、スプリアスの発生周波数が一意に決まる。ただし、入力平均電力値と入力信号との相互変調積で周波数が変化する。ループフィルタ300は線形動作のため周波数の変換は行わない。よって、フラットな周波数特性の雑音の追加によって量子化の周期性を除去するのが望ましく、スプリアス発生源の量子化器の直前に対策信号を入力するN T Fディザ信号は、周波数特性がN T Fであるためフラットにならない。ディザ信号の生成が1ビット乱数では、スプリアスの発生を抑制しきれない。この場合、2ビット乱数が必須となる。ループフィルタ300内の最終段に挿入する本方式ディザ信号は1ビット乱数で生成可能である。そのため、乱数発生に必要な電力が50%で済み、また、システムに入力される本来不要な雑音信号電力も20%以上削減することができる。

[0150] 図32は、式16乃至式19の各伝達関数の周波数振幅特性を示すグラフである。図32は、S T Fの周波數位相特性を示す。低遅延のS T Fは、全域にわたって、ほぼフラットな振幅特性で直線位相となっている。

[0151] 位相特性から求められる入出力遅延量は、オーディオ用途で $F_s = 48$ キロヘルツ (k H z) で、デルタシグマ変調器230のサンプリング周波数が

$F_s = 128 f_s$ のとき、低遅延の STF では 0.163 マイクロ秒 (μs) となる。また、LPF の STF では $DC - 20$ キロヘルツ (kHz) の範囲で 2.82 マイクロ秒 (μs) となる。デルタシグマ変調器 230 のサンプル間隔が 0.163 マイクロ秒 (μs) であるため、低遅延の STF は限界値を得ている。

[0152] 必要に応じて、出力ポートのフリップフロップのみクロック位相をずらせば、その分レイテンシがさらに短縮される。ただし、その短縮した間隔内で全てのチャンネルの演算を実行する必要がある。

[0153] 図 33 は、量子化器出力タイプとディザ方式ごとの THD+N 特性を示す図である。原点对称階級タイプの方が原点階級中央値タイプより特性は良いことがわかる。NTF ディザは S/E 時の特性であり、量子化器出力ビット数が 2 以上のシステムで保証できる特性下限である。

[0154] 図 34 乃至図 36 は、入力信号の平均電力が -6 dBFS 以上の、本トポロジ劣化領域における、本方式ディザ信号と差動動作の NTF ディザ信号との特性比較図である。

[0155] 図 34 における a は、本方式ディザ信号と原点对称階級タイプとを用いる際の THD+N 特性の一例を示す図である。同図における b は、本方式ディザ信号と原点对称中央値タイプを用いる際の THD+N 特性の一例を示す図である。

[0156] 図 35 における a は、NTF ディザ信号と原点对称階級タイプとを用いる際の THD+N 特性の一例を示す図である。同図における b は、NTF ディザ信号と原点对称中央値タイプを用いる際の THD+N 特性の一例を示す図である。

[0157] 図 36 における a は、入力型ディザ信号と原点对称階級タイプとを用いる際の THD+N 特性の一例を示す図である。同図における b は、入力型ディザ信号と原点对称中央値タイプを用いる際の THD+N 特性の一例を示す図である。

[0158] ディザ信号電力の 1 デシベル (dB) 差の優位性は、THD+N 特性の劣

化入力平均電力の閾値には現われない。 $DTF(f) \propto N_0$ と $NTF(f) \propto N_0 \times 1.25$ の伝達関数と白色雑音電力密度 N_0 とで決まる周波数特性を持つ雑音が、アナログ領域におけるバラツキで外部に出力される時に現われる影響で選択される。

[0159] 図37は、本技術の第1の実施の形態における量子化出力ビット数が3ビットの際の $THD+N$ 特性の一例を示す図である。同図におけるaは、原点对称階級タイプを用いる際の特性を示し、同図におけるbは、原点对称中央値タイプを用いる際の特性を示す。

[0160] 図38は、本技術の第1の実施の形態における量子化出力ビット数が4ビットの際の $THD+N$ 特性との一例を示す図である。同図におけるaは、原点对称階級タイプを用いる際の特性を示し、同図におけるbは、原点对称中央値タイプを用いる際の特性を示す。

[0161] 図39は、本技術の第1の実施の形態における量子化出力ビット数が5ビットの際の $THD+N$ 特性の一例を示す図である。同図におけるaは、原点对称階級タイプを用いる際の特性を示し、同図におけるbは、原点对称中央値タイプを用いる際の特性を示す。

[0162] 図37乃至図39より、入力変換器210の6デシベル(dB)のアッテネータ機能、もしくは、入力変換器210の前段にて信号電力の固定アッテネータの調整量も決定される。調整量は、デルタシグマ変調のトポロジで変化する。

[0163] 続いて、パルス整形器250が、PWM信号を出力する際について説明する。この場合は、クロック・タイミング生成器270は、デルタシグマ変調のサンプリング周波数の16倍、32倍など 2^N の周波数のクロック信号を供給する。アンプ160がS/Eのアンプの場合、パルス整形器250は、入力信号1チャンネル当たりデルタシグマ変調器230からの1出力のみを利用してアンプ160に出力する。一方、アンプ160がBTLアンプの場合、パルス整形器250は、入力信号1チャンネル当たり、デルタシグマ変調器230からの2出力を利用し、2つのアンプに出力する。

[0164] PWM信号への変換方法は片側変調や両側変調などであり、パルス整形器250は、既知の変調方式に合わせてデルタシグマ変調器230のストレート・バイナリ値をパルス波形に変換して出力する。

[0165] 次に、パルス整形器250が、PDM信号を出力する際について説明する。パルス整形器250は、デルタシグマ変調器230の出力をインパルス列として扱い、1インパルスに対する波形を生成する機能と、後続のFIR(Finite Impulse Response)フィルタのために遅延タップを提供する機能とを有する。FIRフィルタ内の遅延タップは、目標のフィルタ特性を定義するために必要なFIRフィルタのサンプリング周波数に応じて、パルス波形を遅延して出力する。パルス整形器250に供給するクロックの周波数は、パルス波形を生成することができる精度があれば、遅延タップの構成にも対応できる。

[0166] 最もオーソドックスな方法、デルタシグマ変調のサンプリング周波数の逆数のパルス幅でDAC150およびアンプ160を駆動する時には、デルタシグマ変調のサンプリング周波数と同じ周波数のクロックを装置に供給した動作が可能である。デルタシグマ変調のサンプリング周波数の整数倍に発生するスプリアスは、サンプル・ホールドの周波数特性の0点で減衰する。このため、アナログのFIRフィルタは、量子化器出力ビット数に合わせて、量子化雑音をDAC150やアンプ160が許容するレベルに減衰する特性を実現する。

[0167] 図40は、PDM信号を出力するパルス整形器250以降の構成を説明するための図である。同図におけるリタイミング回路140は、所定数のフリップフロップ141からなる回路に該当する。DAC150内には、FIRフィルタが設けられる。パルス整形器250の内部において、FIRフィルタのタップに相当するクロックに同期した遅延器が構成される。量子化器（不図示）の出力ビット数が大きく、FIRフィルタによる減衰が不要な場合は、1入力当たり1出力とし、他の出力は0に固定される。

[0168] デルタシグマ変調のサンプリング周波数の逆数のパルス幅を持つシステムは

、フリップフロップによるNRZ波形出力であるため、原理的に線形時不変システムではない。

[0169] 図41は、上段のNRZ波形による”1”、”1”というパルス波形が、中段の波形になるのがLTI (Linear Time-Invariant) システムを示し、実際のフリップフロップの出力は下段の波形となることで、線形性が崩れることを示している。

[0170] 図42は、RZ波形により、線形性が維持されることを示している。

[0171] デルタ変調のサンプリング周波数の8倍の周波数のクロック信号をパルス整形器250に供給して7/8のパルス幅によるRZ波形による出力は、 $20 \times \log_{10}(7/8)$ で、-1.1デシベル(dB)分、出力は損失する。しかし、LTIシステムにより近似した出力を生成できる。NRZ波形と同様にFIRフィルタをデルタシグマ変調器230と同じサンプリング周波数で駆動すると、デルタシグマ変調のサンプリング周波数の整数倍のスプリアスが、8の倍数を除いて大きく発生する。サンプル・ホールドによるスプリアスの抑制はNRZ波形に相当する周波数特性である理由による。周波数特性を考慮してFIRフィルタの係数とFIRフィルタのサンプリング周波数とが決定される。

[0172] 一例として、FIRフィルタのサンプリング周波数をデルタシグマ変調のサンプリング周波数の8倍として、8タップの全係数を同一にしたフィルタを次の式により提示する。

[数20]

$$H(z) = \sum_{n=0}^7 c_n z^{-n}, \quad \left(c_n = \frac{1}{8}, \quad z = e^{-j2\pi \frac{f}{8F_s}}, \quad F_s: \Delta\Sigma \text{ modulator sampling freq.} \right)$$

・・・ 式20

[0173] 量子化ビット数が大きく、量子化雑音が低レベルであるという前提である。量子化出力ビット数は4以上とする。量子化出力が3ビットの時は、アナログのRCフィルタで量子化雑音を減衰した信号で動作するようにDAC1

50やアンプ160の電源を決定することや、デルタシグマ変調器230のサンプリング周波数を高く設定するなどにより対応することができる。

[0174] 本応用例は一例であり、パルス整形器250の動作を限定するものではないが、FIRフィルタによる遅延を最短にすることができる。

[0175] このように、本技術の第1の実施の形態によれば、ループフィルタ300内の積算信号に本方式ディザ信号DITHを加算したため、ループフィルタ300の外でNTFディザ信号を加算する場合よりもスプリアスノイズを抑制することができる。

[0176] <2. 第2の実施の形態>

上述の第1の実施の形態では、デルタシグマ変調器230内の差動信号の正側と負側とのそれぞれにループフィルタ300などを配置していたが、フィルタの段数を増やすほど、回路規模が増大するおそれがある。この第2の実施の形態のノイズ低減処理装置200は、正側と負側とで回路を共有する点において第1の実施の形態と異なる。

[0177] 図43は、本技術の第2の実施の形態における加算部220の一構成例を示すブロック図である。この第2の実施の形態の加算部220は、フリップフロップ224乃至226と、加算器222および223とを備える。

[0178] フリップフロップ224は、クロック信号に同期して、入力変換器210からの入力信号Inを保持するものである。このフリップフロップ224は、保持した信号を加算器222に供給する。

[0179] フリップフロップ225は、クロック信号に同期して入力信号Inを保持するものである。このフリップフロップ225は、保持した信号を加算器223に供給する。

[0180] フリップフロップ226は、クロック信号に同期して、ディザ信号発生器260からの整数値intSRFsを示す信号を入力型ディザ信号IN__DITHとして保持する。このフリップフロップ226は、保持した信号を加算器222および223に供給する。

[0181] 加算器222は、フリップフロップ224からの信号とフリップフロップ

226からの信号とを加算し、正側の入力信号 ln_p としてセレクタ227に供給するものである。加算器223は、フリップフロップ225からの信号とフリップフロップ226からの信号とを加算し、負側の入力信号 ln_n としてセレクタ227に供給するものである。

[0182] セレクタ227には、「0」または「1」の整数値 $intDSFs$ が入力される。整数値 $intDSFs$ は、例えば、クロック・タイミング生成器270により設定される。セレクタ227は、整数値 $intDSFs$ が「0」の場合に入力信号 ln_p を選択してデルタシグマ変調器230に出力し、整数値 $intDSFs$ が「1」の場合に入力信号 ln_n を選択してデルタシグマ変調器230に出力する。

[0183] 図44は、本技術の第2の実施の形態におけるデルタシグマ変調器230の一構成例を示すブロック図である。この第2の実施の形態のデルタシグマ変調器230は、ループフィルタ300、加算器233および量子化器234と、フリップフロップ241乃至246を備える。第2の実施の形態のデルタシグマ変調器230は、同図に例示したループフィルタ300等を正側と負側との2チャンネルで共有する点において第1の実施の形態と異なる。

[0184] フリップフロップ241は、クロック信号に同期して、整数値 $intDSFs$ を示す信号を本方式ディザ信号 $DITH$ として保持する。このフリップフロップ241は、保持した本方式ディザ信号 $DITH$ をループフィルタ300に供給する。

[0185] フリップフロップ242は、クロック信号に同期して、整数値 $intDSFs$ を示す信号をNTFディザ信号 $NTFD$ として保持する。このフリップフロップ242は、保持したNTFディザ信号 $NTFD$ を加算器233に供給する。

[0186] フリップフロップ243は、整数値 $intDSFs$ が「1」の際にクロック信号に同期して、量子化器234からの信号を正側の出力信号 Out_p として保持する。このフリップフロップ243は、保持した出力信号 Out_p をパルス整形器250に供給する。

- [0187] フリップフロップ244は、整数値 $intDSFs$ が「1」の際にクロック信号に同期して、フリップフロップ245からの信号を負側の出力信号 Out_n として保持する。このフリップフロップ244は、保持した出力信号 Out_n をパルス整形器250に供給する。
- [0188] フリップフロップ245は、クロック信号に同期して、量子化器234からの信号を保持し、フリップフロップ244および246に出力する。
- [0189] フリップフロップ246は、クロック信号に同期して、フリップフロップ245からの信号を保持し、帰還信号 FD_{out2} としてループフィルタ300に出力する。
- [0190] 図45は、本技術の第2の実施の形態におけるループフィルタ300の一構成例を示すブロック図である。この第2の実施の形態のタップ310は、遅延部314の代わりにフリップフロップ315および316を備える点において第1の実施の形態と異なる。また、第2の実施の形態のタップ320は、遅延部325の代わりにフリップフロップ326および327を備える点において第1の実施の形態と異なる。第2の実施の形態のタップ330は、遅延部335の代わりにフリップフロップ336および337を備える点において第1の実施の形態と異なる。
- [0191] 図46は、本技術の第2の実施の形態における後段のタップの一構成例を示す回路図である。第2の実施の形態のタップ340は、遅延部345の代わりにフリップフロップ346および347を備える点において第1の実施の形態と異なる。また、第2の実施の形態のタップ350は、遅延部356の代わりにフリップフロップ357および358を備える点において第1の実施の形態と異なる。
- [0192] 図43乃至図44に例示した構成により、正側と負側との2チャンネルで各種の演算器を共有することができる。なお、2チャンネルとも同一信号を入力することもできる。この場合には、倍速クロックで動作してもデータ変化が半分になるメリットがある。
- [0193] 例えば、1入力信号のみを同相で1出力する用途では、前段の入力変換器

210が2チャンネルとも同一の入力データを生成してデルタシグマ変調器230に与える。そして、片方の出力のフリップフロップの保持値は、「0」に固定される。また、出力ポートのデータはストレート・バイナリ形式に設定される。2の補数で演算していた場合、MSB (Most Significant Bit) のみが論理反転される。

[0194] 図43乃至図44に例示した構成は、以下の4通りの用途に用いることができる。入力信号は入力変換器210が制御し、出力信号はデルタシグマ変調器230が制御する。それぞれで、ディザ方式に制限がある。

[0195] 1つ目の用途は、次の式により1信号xを変換してデルタシグマ変調器230に入力し、差動信号 {Out__p、Out__n}) をそれぞれ出力する場合である。

$$\{In_p、In_n\} = \{+X (+IN_DITH)、-X (+IN_DITH)\}$$

[0196] 2つ目の用途は、1信号xを次の式により変換して、デルタシグマ変調器230に入力し、片方の信号を0固定の {OUT__P, 0} として出力する場合である。

$$\{In_p、In_n\} = \{+X (+IN_DITH)、+X (+IN_DITH)\}$$

[0197] 2番目の用途は、NTFディザ信号を用いるときと、入力型ディザ信号で乱数成分を0に設定したときとに有効である。また、この設定は、S/EのPWM信号を出力するときの設定である。

[0198] 3番目の用途は、次の式により、差動信号をADC1およびADC2に変換し、それらの一方を必要に応じて選択して1信号を出力する場合、または、2信号を同時に出力する場合である。

$$\begin{aligned} \{In_p、In_n\} &= \{ADC1、ADC1\} \\ \rightarrow \{Out_p、Out_n\} &= \{ADC1、0\} \\ \{In_p、In_n\} &= \{ADC2、ADC2\} \\ \rightarrow \{Out_p、Out_n\} &= \{0、ADC2\} \end{aligned}$$

$$\{In_p, In_n\} = \{ADC1, ADC2\}$$

$$\rightarrow \{Out_p, Out_n\} = \{ADC1, ADC2\}$$

[0199] 3番目の用途は、入力型ディザ信号で乱数成分を0に設定したときとに有効である。

[0200] パルス整形器250の後段のシステムが、差動入力に対応するものの、バラつきにより差動信号間の雑音成分にコモンが要求される場合、次の4番目が設定される。

[0201] 4番目の用途は、1信号xを次の式により変換して、デルタシグマ変調器230に入力し、片方の信号を論理反転して $\{Out_p, -Out_n\}$ として出力する場合である。

$$\{In_p, In_n\} = \{+X (+IN_DITH), +X (+IN_DITH)\}$$

[0202] 4番目の用途は、NTFディザ信号を用いるときと、入力型ディザ信号で乱数成分を0に設定したときとにおいて有効である。

[0203] 入力のPCMデータがPビット（Pは、整数）のとき、デルタシグマ変調器230はP+1ビットの入力信号を0dBFSとする。MSBは、P+1ビットの符号付き整数部1ビット固定小数の整数部として構成される。

[0204] 入力変換器210はPビットのPCM信号入力から、デルタシグマ変調器230への出力PCM信号をP+1ビットで出力する。入力信号をMSB側から詰めてLSBを0で出力するときに0dBのアッテネーションであり、1ビット算術右シフトして出力するときに6デシベル（dB）のアッテネーションである。

[0205] 図43乃至図44に例示した構成は2チャネル多重であるが、多重化するチャネル数は動作クロックとデルタシグマ変調に求められるサンプリング周波数との比で決定され、トグル量が最小になるように入力変換器210により信号が変換される。

[0206] 入力変換器210は、入力型ディザ信号用の信号が入力される時、出力信号に等しく加算する。

[0207] このように、本技術の第2の実施の形態によれば、加算部220内のセレクタ227が、正側の入力信号と負側の入力信号とを交互に選択するため、正側と負側とで回路を共有することができる。これにより、回路を共有しない場合と比較して回路規模を削減することができる。

[0208] <3. 第3の実施の形態>

上述の第1の実施の形態では、デルタシグマ変調器230がパルス整形器250を介してフリップフロップ141へフィルタ出力信号を出力していた。しかし、デルタシグマ変調器230は、CIC (Cascaded Integrator-Comb) フィルタに信号を出力することもできる。この第3の実施の形態の音響システムは、デルタシグマ変調器230は、CICフィルタに信号を出力する点において第1の実施の形態と異なる。

[0209] 図47は、本技術の第3の実施の形態における音響システム100の一構成例を示すブロック図である。この第3の実施の形態の音響システム100は、マルチビットADC181および182と、ノイズ低減処理装置200と、後段デバイス190とを備える。

[0210] また、ノイズ低減処理装置200には、パルス整形器250が設けられない。後段デバイス190は、CICフィルタ191および水晶発振器192を備える。

[0211] マルチビットADC181および182は、入力変換器210に入力信号を供給する。水晶発振器192は、クロック・タイミング生成器270にクロック信号を供給する。デルタシグマ変調器230は、フィルタ出力信号をCICフィルタ191に供給する。

[0212] CICフィルタ191では、量子化雑音がデシメーションによって折り返されるため、乱数成分 β は0に設定される。

[0213] デルタシグマ変調器230がフィルタ出力信号をCICフィルタ191に供給する場合、同図に例示するようにパルス整形器250が不要となり、削減される。

[0214] このように、本技術の第3の実施の形態によれば、デルタシグマ変調器2

30がフィルタ出力信号をC1Cフィルタ191に供給するため、パルス整形器250を削減することができる。

[0215] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0216] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0217] なお、本技術は以下のような構成もとることができる。

(1) 入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算部と、

前記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算器と、

前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算器と、

前記フィルタ出力信号を遅延させて前記遅延信号として出力するフィルタ内遅延部と、

前記フィルタ出力信号を量子化して前記帰還信号として帰還させる量子化器とを具備するノイズ低減処理装置。

(2) 差動信号が前記入力信号として入力される場合には前記内部ディザ信号を生成して前記内部ディザ加算器に供給するディザ信号発生器をさらに具備する

前記(1)記載のノイズ低減処理装置。

(3) デジタル信号に所定の入力型ディザ信号を加算して前記入力信号として供給する加算部をさらに具備し、

前記ディザ信号発生器は、シングルエンド信号が前記入力信号として入力される場合には前記入力型ディザ信号を生成して前記加算部に供給する前記（２）記載のノイズ低減処理装置。

（４）前記フィルタ出力信号に所定のNTF（Noise Transfer Function）ディザ信号を加算して前記量子化器に出力するNTFディザ加算器をさらに具備し、

前記ディザ信号発生器は、差動信号が前記入力信号として入力される場合には前記NTFディザ信号および前記内部ディザ信号のいずれかを生成する前記（３）記載のノイズ低減処理装置。

（５）前記差動信号は、正側信号および負側信号を含み、

前記加算部は、前記正側信号および前記負側信号を交互に選択して前記入力信号として出力するセレクタを含む

前記（３）または（４）に記載のノイズ低減処理装置。

（６）前記差動信号は、正側信号および負側信号を含み、

前記加算部は、

前記正側信号に前記入力型ディザ信号を加算して正側回路へ供給する正側加算器と、

前記負側信号に前記入力型ディザ信号を加算して負側回路へ供給する負側加算器と

を備え、

前記差分演算部、前記遅延信号加算器、前記内部ディザ加算器および前記フィルタ内遅延部は、前記正側回路および前記負側回路のそれぞれに配置される

前記（３）または（４）に記載のノイズ低減処理装置。

（７）アナログデジタル変換により入力信号を生成するアナログデジタル変換器と、

前記入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算部と、

前記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算器と、

前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算器と、

前記フィルタ出力信号を遅延させて前記遅延信号として出力するフィルタ内遅延部と、

前記フィルタ出力信号を量子化して前記帰還信号として帰還させる量子化器と

を具備する音響システム。

(8) 前記フィルタ出力信号の波形を整形するパルス整形器をさらに具備する

前記(7)記載の音響システム。

(9) 前記フィルタ出力信号が入力されるC I C (Cascaded Integrator-Comb) フィルタをさらに具備する

前記(7)または(8)に記載の音響システム。

(10) 入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算手順と、

前記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算手順と、

前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算手順と、

前記フィルタ出力信号を遅延させて前記遅延信号として出力するフィルタ内遅延手順と、

前記フィルタ出力信号を量子化して前記帰還信号として帰還させる量子化手順と

を具備するノイズ低減処理装置の制御方法。

符号の説明

[0218] 100 音響システム

- 110 ADC
- 120 デジタル処理部
- 130、192 水晶発振器
- 140 リタイミング回路
- 141、224～226、241～246、315、316、326、327、336、337、346、347、357、358 フリップフロップ
- 150 DAC
- 160 アンプ
- 170 スピーカ
- 181、182 マルチビットADC
- 190 後段デバイス
- 191 CICフィルタ
- 200 ノイズ低減処理装置
- 210 入力変換器
- 220 加算部
- 221 反転増幅器
- 222、223、233、311、312、322、323、332、333、342、343、352、354、355、362、364 加算器
- 227 セレクタ
- 230 デルタシグマ変調器
- 231 正側回路
- 232 負側回路
- 234 量子化器
- 235、236、314、325、335、345、356 遅延部
- 250 パルス整形器
- 260 ディザ信号発生器
- 270 クロック・タイミング生成器

280 レジスタ

300 ループフィルタ

310、320、330、340、350 タップ

313、324、334、344、353 リミッタ

321、331、341、351、361、363、365 バッファア
ンプ

請求の範囲

- [請求項1] 入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算部と、
- 前記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算器と、
- 前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算器と、
- 前記フィルタ出力信号を遅延させて前記遅延信号として出力するフィルタ内遅延部と、
- 前記フィルタ出力信号を量子化して前記帰還信号として帰還させる量子化器と
- を具備するノイズ低減処理装置。
- [請求項2] 差動信号が前記入力信号として入力される場合には前記内部ディザ信号を生成して前記内部ディザ加算器に供給するディザ信号発生器をさらに具備する
- 請求項1記載のノイズ低減処理装置。
- [請求項3] デジタル信号に所定の入力型ディザ信号を加算して前記入力信号として供給する加算部をさらに具備し、
- 前記ディザ信号発生器は、シングルエンド信号が前記入力信号として入力される場合には前記入力型ディザ信号を生成して前記加算部に供給する
- 請求項2記載のノイズ低減処理装置。
- [請求項4] 前記フィルタ出力信号に所定のNTF (Noise Transfer Function) ディザ信号を加算して前記量子化器に出力するNTFディザ加算器をさらに具備し、
- 前記ディザ信号発生器は、差動信号が前記入力信号として入力される場合には前記NTFディザ信号および前記内部ディザ信号のいずれかを生成する

請求項3記載のノイズ低減処理装置。

[請求項5] 前記差動信号は、正側信号および負側信号を含み、
 前記加算部は、前記正側信号および前記負側信号を交互に選択して
 前記入力信号として出力するセレクタを含む
請求項3記載のノイズ低減処理装置。

[請求項6] 前記差動信号は、正側信号および負側信号を含み、
 前記加算部は、
 前記正側信号に前記入力型ディザ信号を加算して正側回路へ供給する
 正側加算器と、
 前記負側信号に前記入力型ディザ信号を加算して負側回路へ供給する
 負側加算器と
 を備え、
 前記差分演算部、前記遅延信号加算器、前記内部ディザ加算器および
 前記フィルタ内遅延部は、前記正側回路および前記負側回路のそれ
 ぞれに配置される
請求項3記載のノイズ低減処理装置。

[請求項7] アナログデジタル変換により入力信号を生成するアナログデジタル
 変換器と、
 前記入力信号と所定の帰還信号との差分を求めて誤差信号として出力する
 差分演算部と、
 前記誤差信号と所定の遅延信号とを加算して積算信号として出力する
 遅延信号加算器と、
 前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として
 出力する内部ディザ加算器と、
 前記フィルタ出力信号を遅延させて前記遅延信号として出力する
 フィルタ内遅延部と、
 前記フィルタ出力信号を量子化して前記帰還信号として帰還させる
 量子化器と

を具備する音響システム。

[請求項8] 前記フィルタ出力信号の波形を整形するパルス整形器をさらに具備する

請求項7記載の音響システム。

[請求項9] 前記フィルタ出力信号が入力されるC I C (Cascaded Integrator-Comb) フィルタをさらに具備する

請求項7記載の音響システム。

[請求項10] 入力信号と所定の帰還信号との差分を求めて誤差信号として出力する差分演算手順と、

前記誤差信号と所定の遅延信号とを加算して積算信号として出力する遅延信号加算手順と、

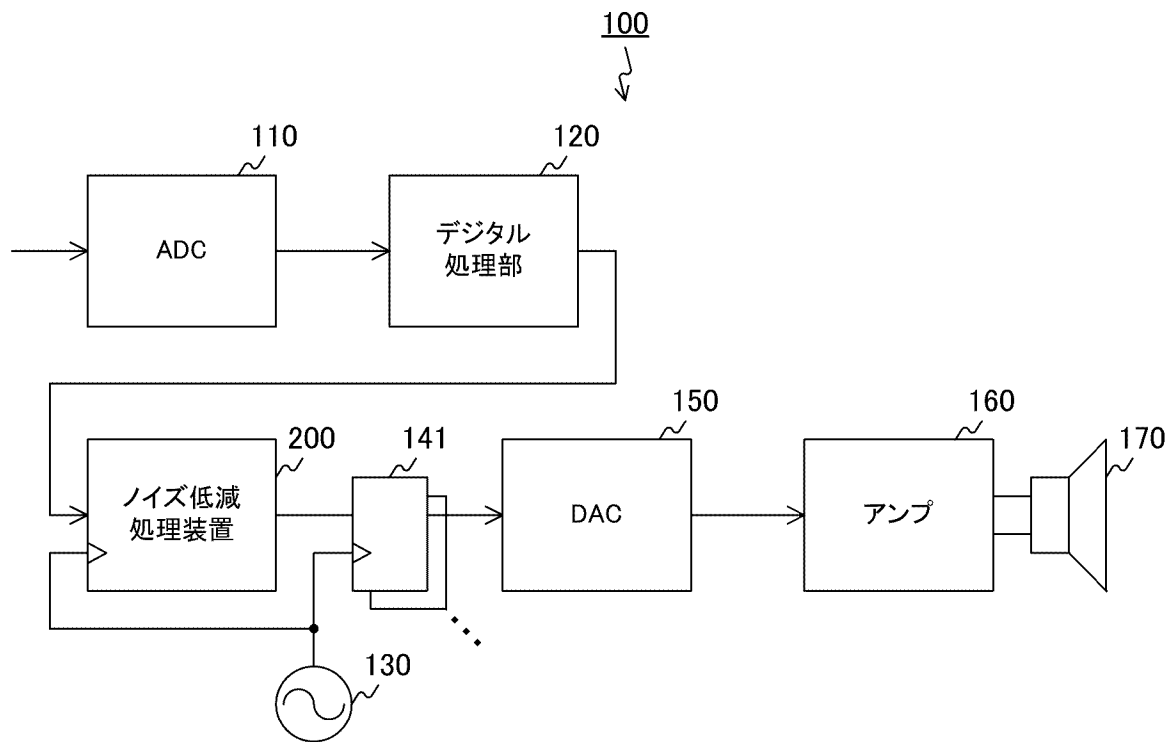
前記積算信号と所定の内部ディザ信号とを加算してフィルタ出力信号として出力する内部ディザ加算手順と、

前記フィルタ出力信号を遅延させて前記遅延信号として出力するフィルタ内遅延手順と、

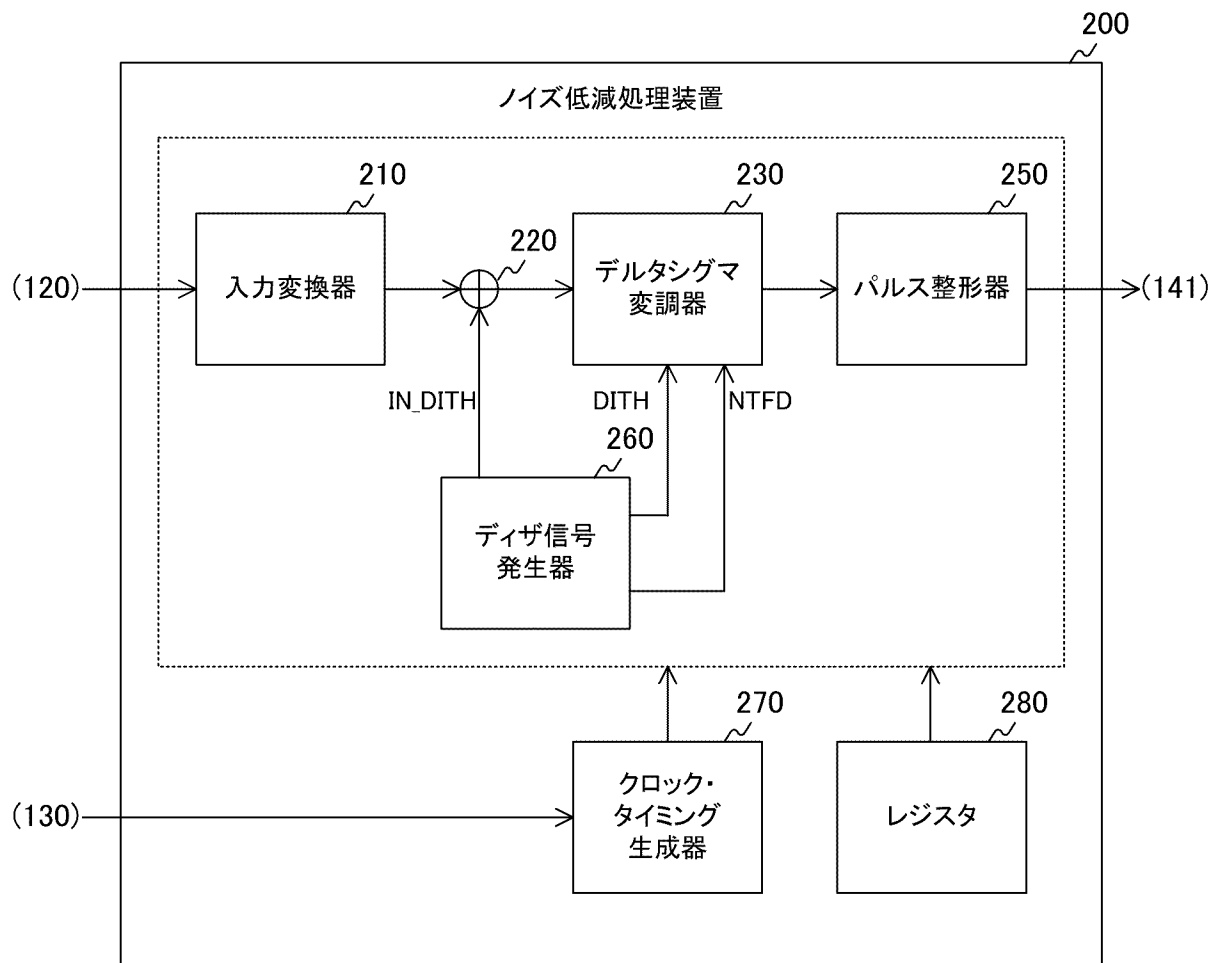
前記フィルタ出力信号を量子化して前記帰還信号として帰還させる量子化手順と

を具備するノイズ低減処理装置の制御方法。

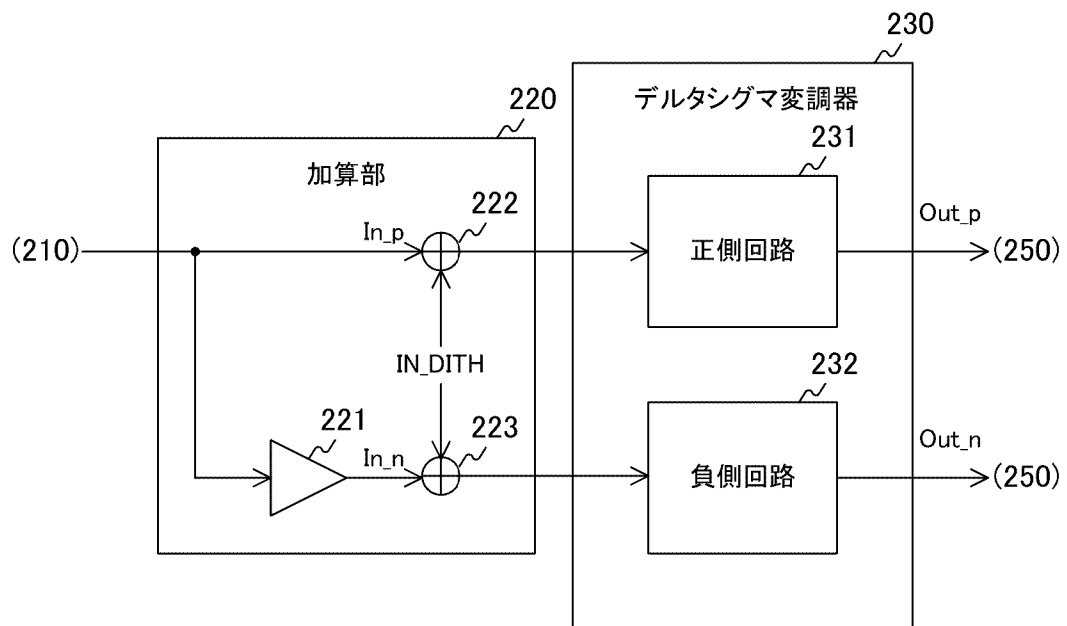
[図1]



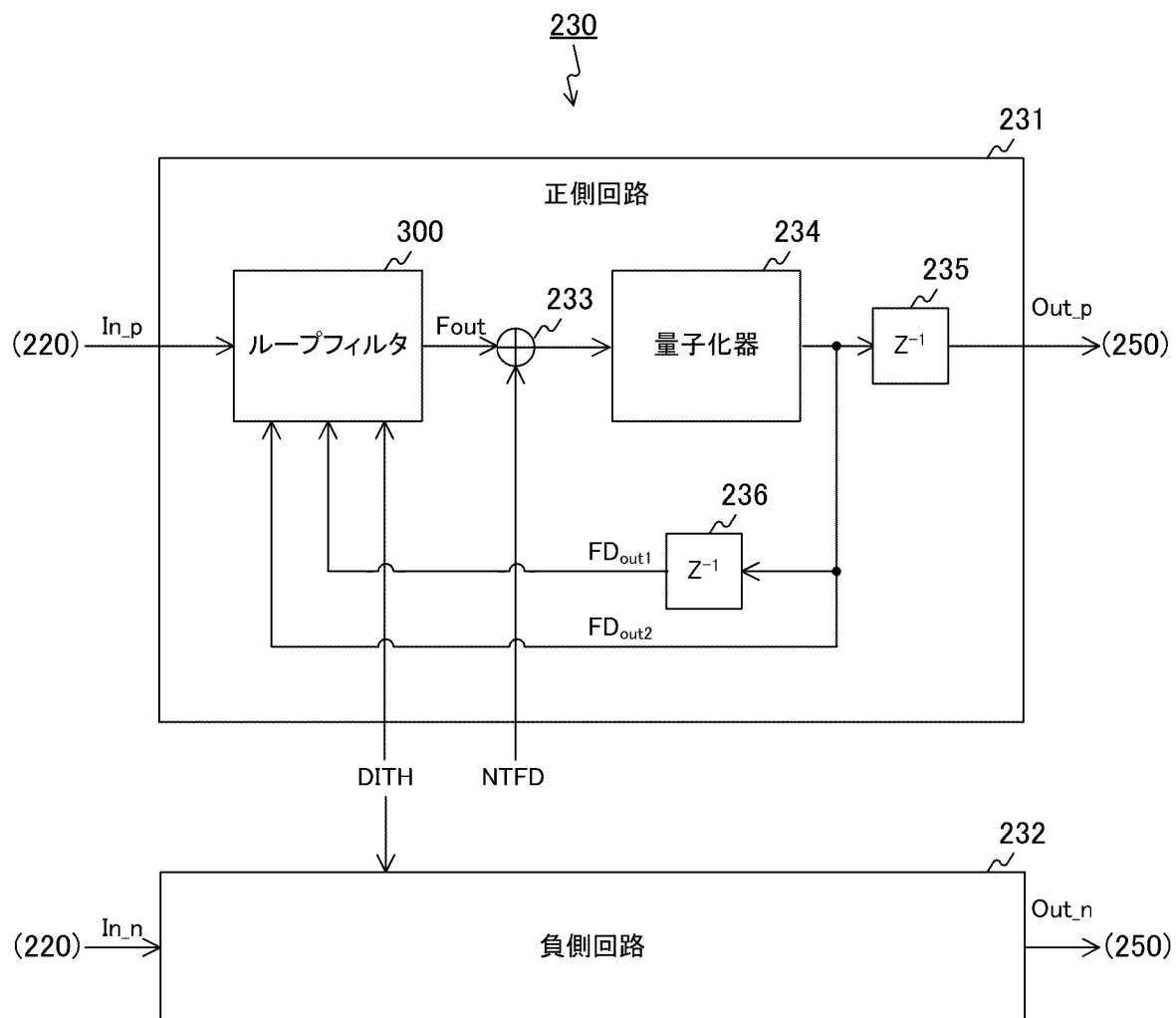
[図2]



[図3]



[図4]



[図5]

量子化階級タイプ	階級設定方法	定義階級個数
A	原点階級中央値タイプ	$2^N - 1$
B	原点对称階級タイプ	2^N
C	原点对称階級タイプ	$2^N - 2$
D	原点階級中央値タイプ	$2^N - 1 = 3$
E	原点对称階級タイプ	$2^N - 4$

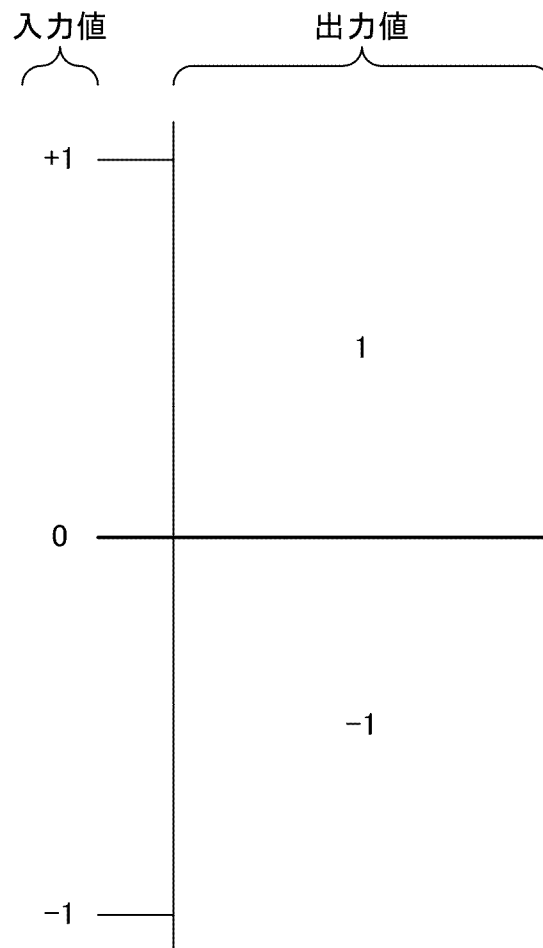
[図6]

入力値	出力値
+1	$(2^{N-1}-1) \cdot 2^{-N+1}$
	$\vdots$
	$1 \cdot 2^{-N+1}$
0	0
	$-1 \cdot 2^{-N+1}$
	$\vdots$
	$-(2^{N-1}-1) \cdot 2^{-N+1}$
-1	$-(2^{N-1}) \cdot 2^{-N+1}$

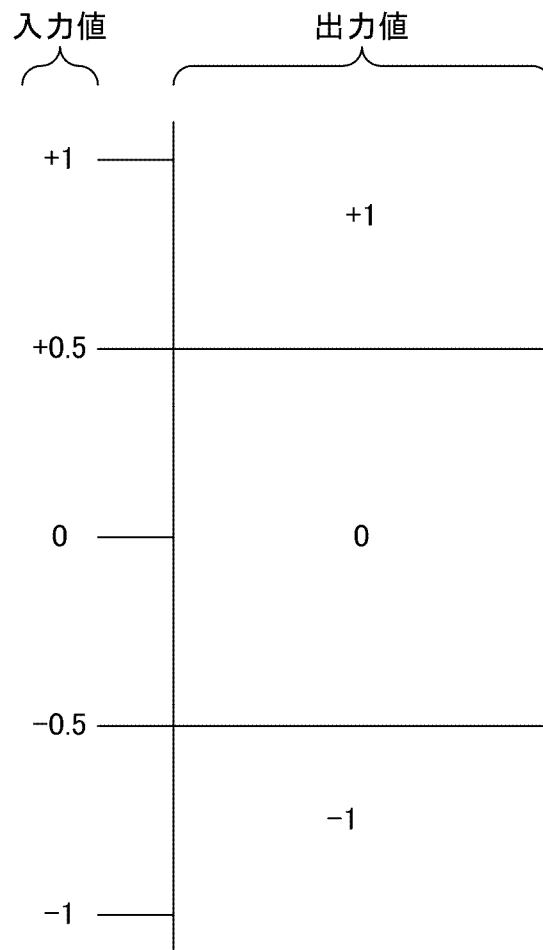
[図7]

入力値	出力値
+1	$1-2^{-N}$
	$\vdots$
	$2^{-(N-1)}+2^{-N}$
	$+2^{-N}$
0	-2^{-N}
	$-2^{-(N-2)}+2^{-N}$
	$\vdots$
-1	$-1+2^{-N}$

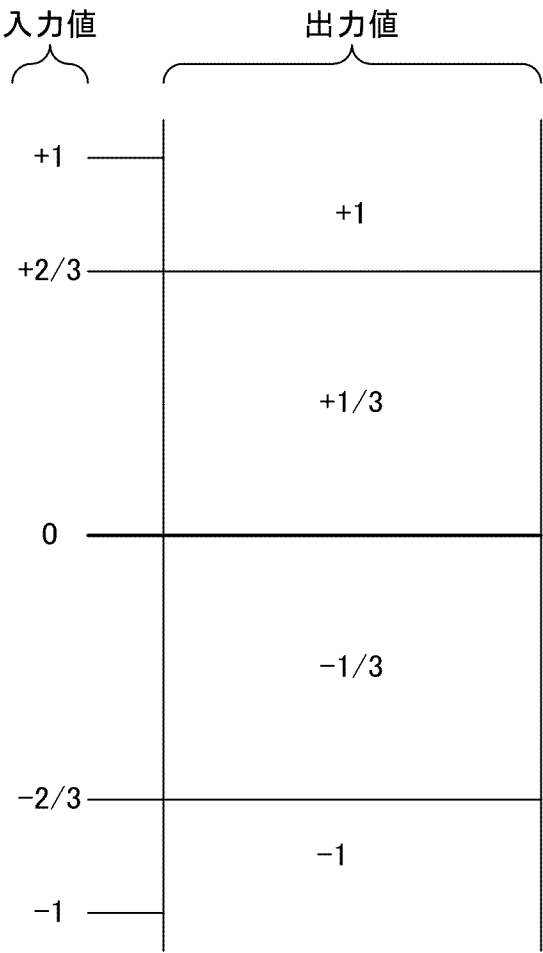
[図8]



[図9]



[図10]



[図11]

```

reg [24:1]  v1,v2,v3,v4  ;

always @( posedge clk , negedge xrst ) begin
  if ( !xrst ) v1 <= 0 ;
  else if ( !enable ) v1 <= 24'h 7E_C461 ; // init
  else if ( int_128fs ) begin
    v1[1] <= v1[17] ^ v1[22] ^ v1[23] ^ v1[24];
    v1[24:2] <= v1[23:1];
  end
end

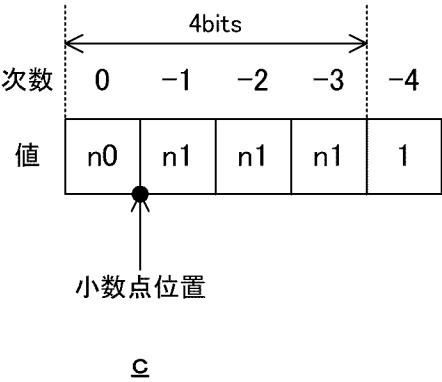
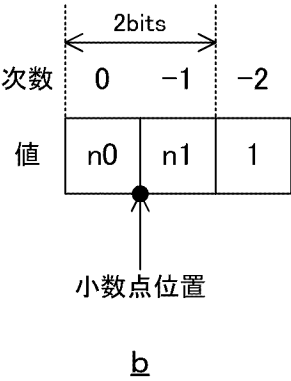
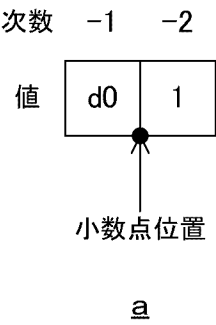
always @( posedge clk , negedge xrst ) begin
  if ( !xrst ) v2 <= 0 ;
  else if ( !enable ) v2 <= 24'h 7E_C461 ; // init
  else if ( int_128fs ) begin
    v2[1] <= v2[16] ^ v2[21] ^ v2[22] ^ v2[23];
    v2[2] <= v2[17] ^ v2[22] ^ v2[23] ^ v2[24];
    v2[24:3] <= v2[22:1];
  end
end

always @( posedge clk , negedge xrst ) begin
  if ( !xrst ) v3 <= 0 ;
  else if ( !enable ) v3 <= 24'h 7E_C461 ; // init
  else if ( int_128fs ) begin
    v3[1] <= v3[15] ^ v3[20] ^ v3[21] ^ v3[22];
    v3[2] <= v3[16] ^ v3[21] ^ v3[22] ^ v3[23];
    v3[3] <= v3[17] ^ v3[22] ^ v3[23] ^ v3[24];
    v3[24:4] <= v3[22:1];
  end
end

always @( posedge clk , negedge xrst ) begin
  if ( !xrst ) v4 <= 0 ;
  else if ( !enable ) v4 <= 24'h 7E_C461 ; // init
  else if ( int_4fs ) begin
    v4[1] <= v4[14] ^ v4[19] ^ v4[20] ^ v4[21];
    v4[2] <= v4[15] ^ v4[20] ^ v4[21] ^ v4[22];
    v4[3] <= v4[16] ^ v4[21] ^ v4[22] ^ v4[23];
    v4[4] <= v4[17] ^ v4[22] ^ v4[23] ^ v4[24];
    v4[24:5] <= v4[20:1];
  end
end

```

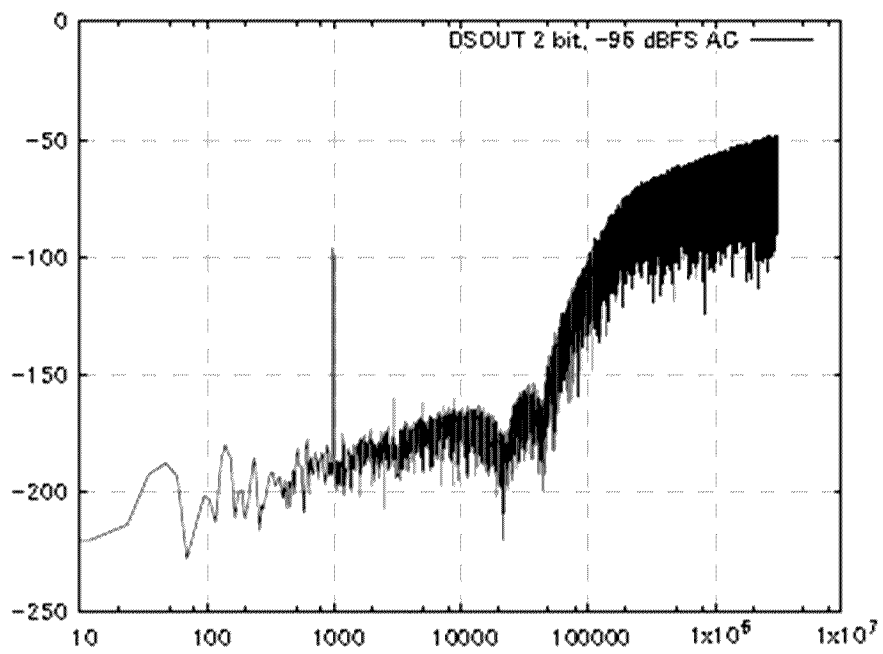
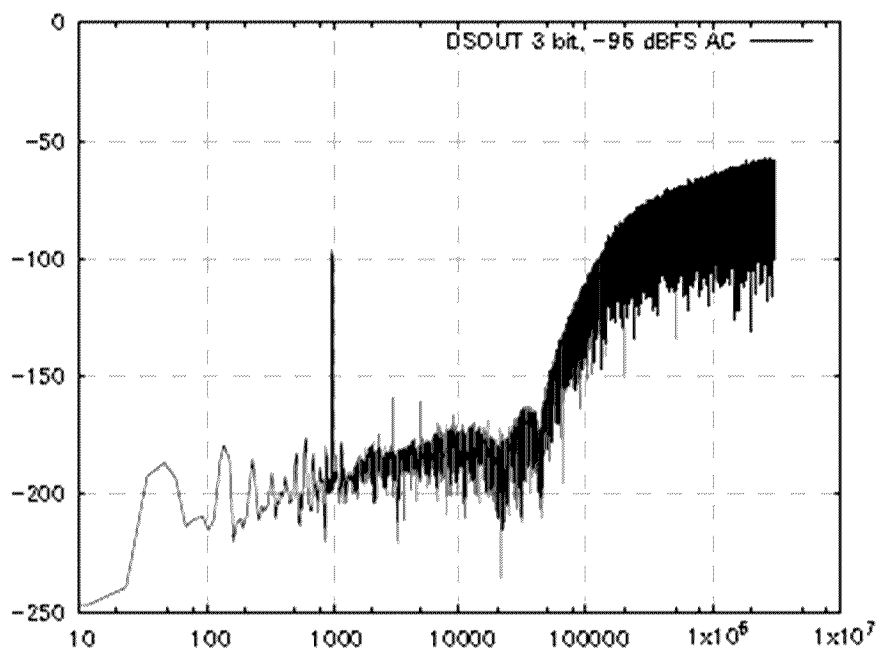
[図12]



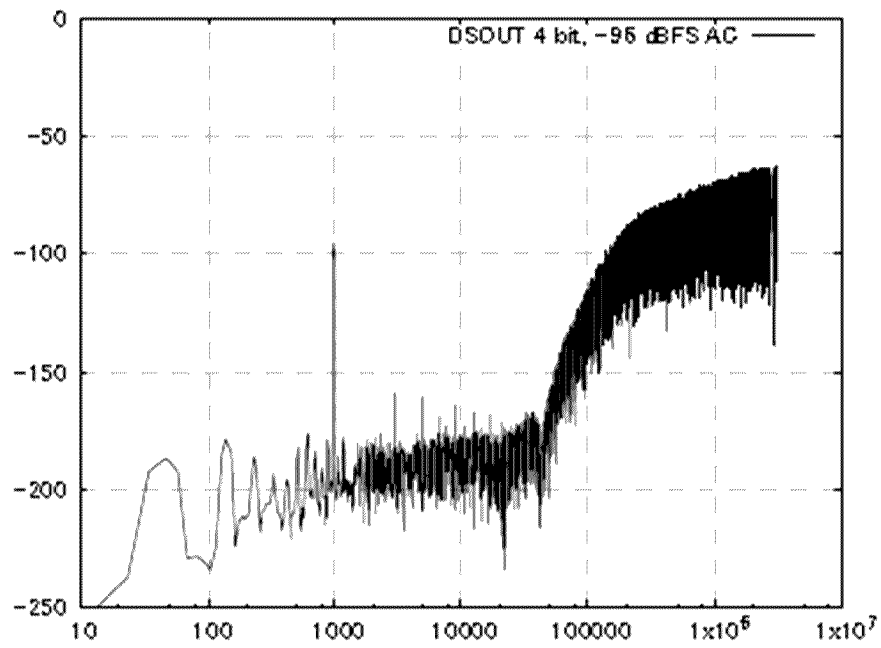
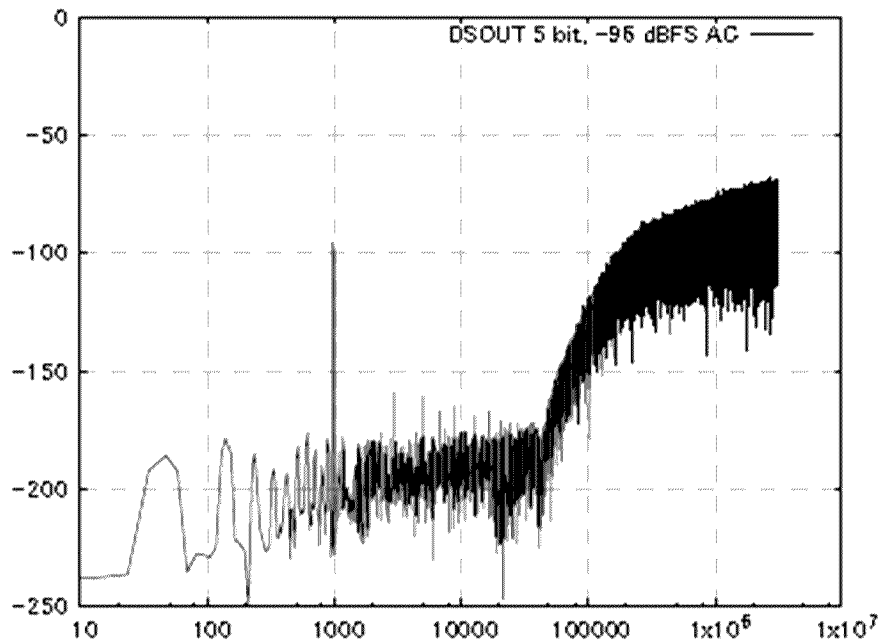
[図13]

量子化出力 ビット数N	量子化階級 タイプ	雑音信号 スケーリング	雑音信号 ビット シフト量	追加雑音 平均電力 dBFS	備考
1	C	1	0	-3.0	(参考)全入力レベル THD+Nの劣化が激しい
2	A	1/4	2	-15	(参考)強入力耐性が非常 に低い
2	B	1/4	2	-15	
2	D	1/2	1	-9.0	
2	E	1/2	1	-9.0	
3	A,B	1/8	3	-21	
4	A,B	1/16	4	-27	
5	A,B	1/32	5	-33	

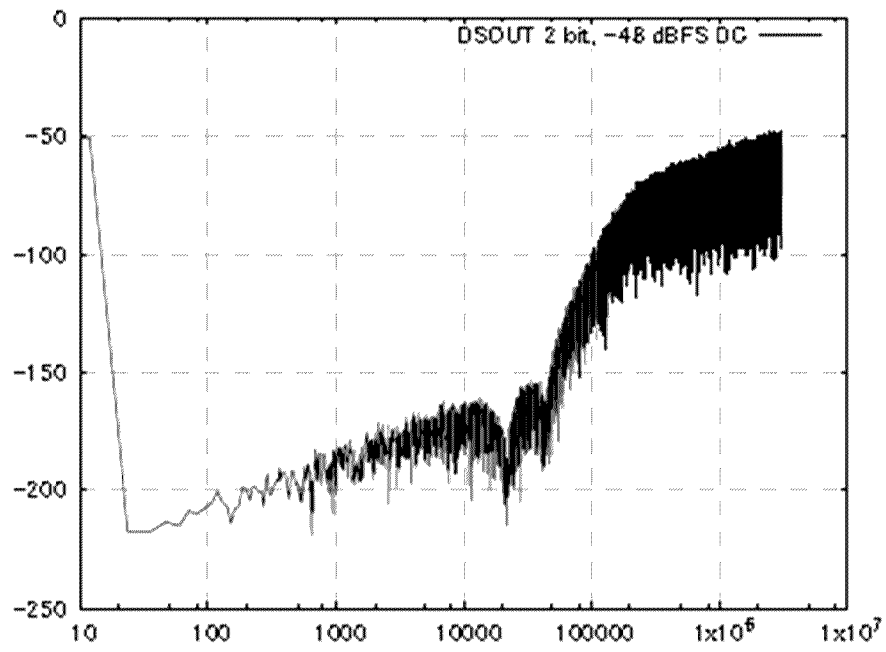
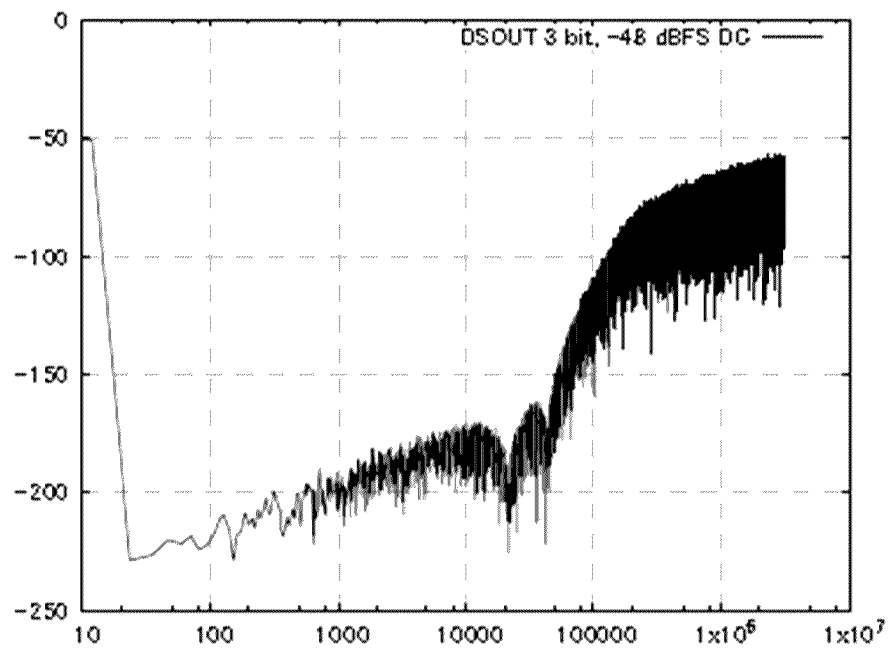
[図14]

ab

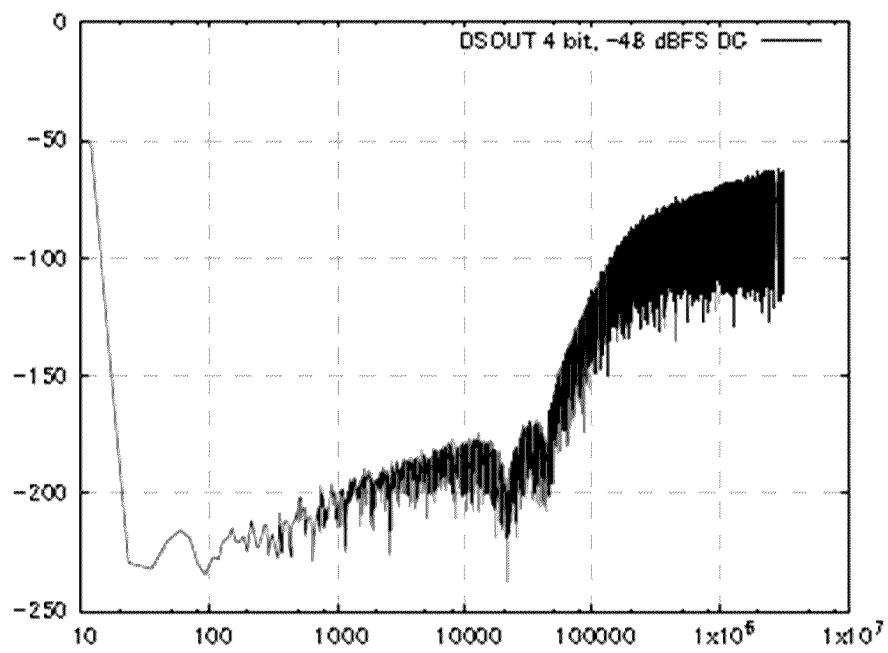
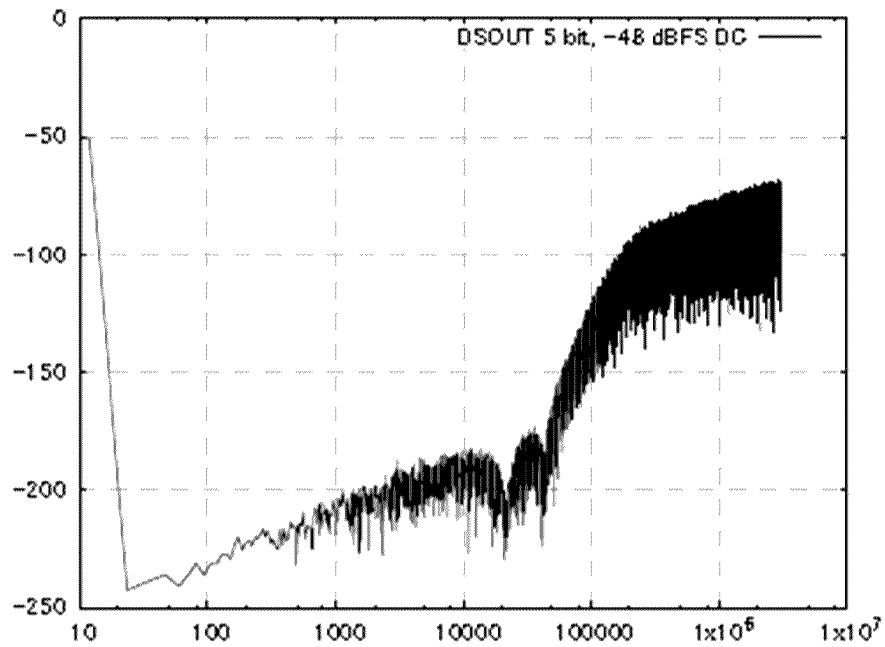
[図15]

ab

[図16]

ab

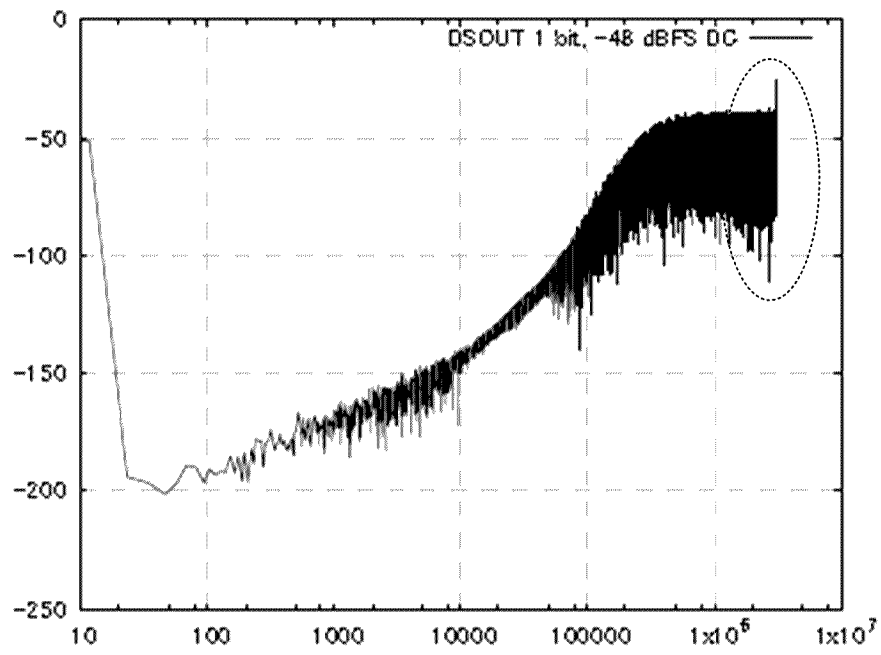
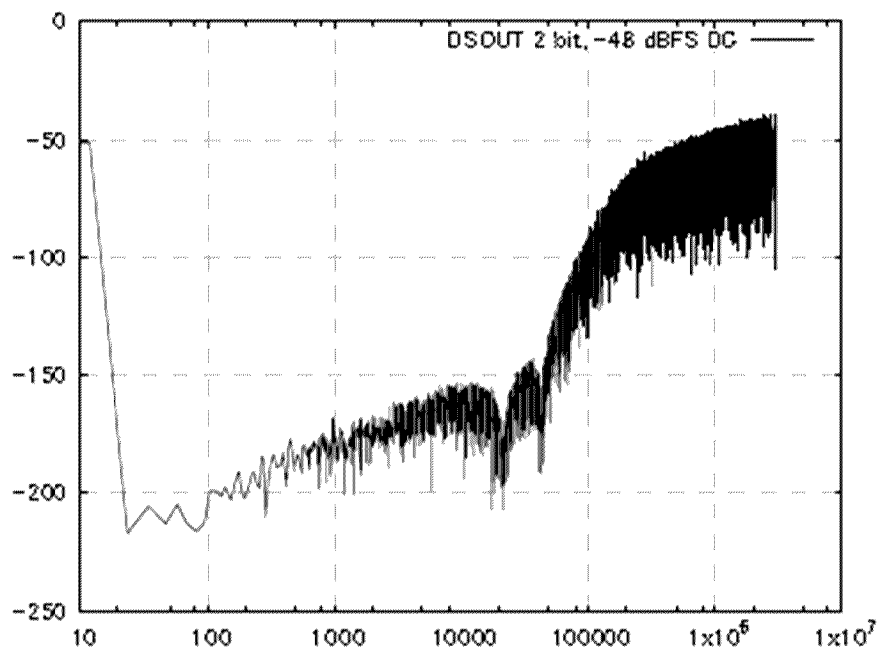
[図17]

ab

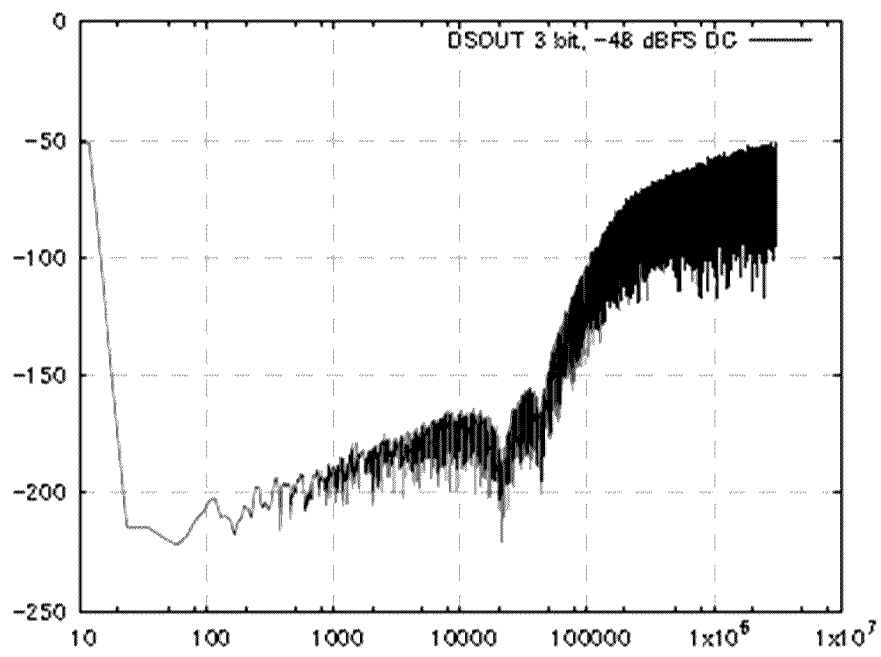
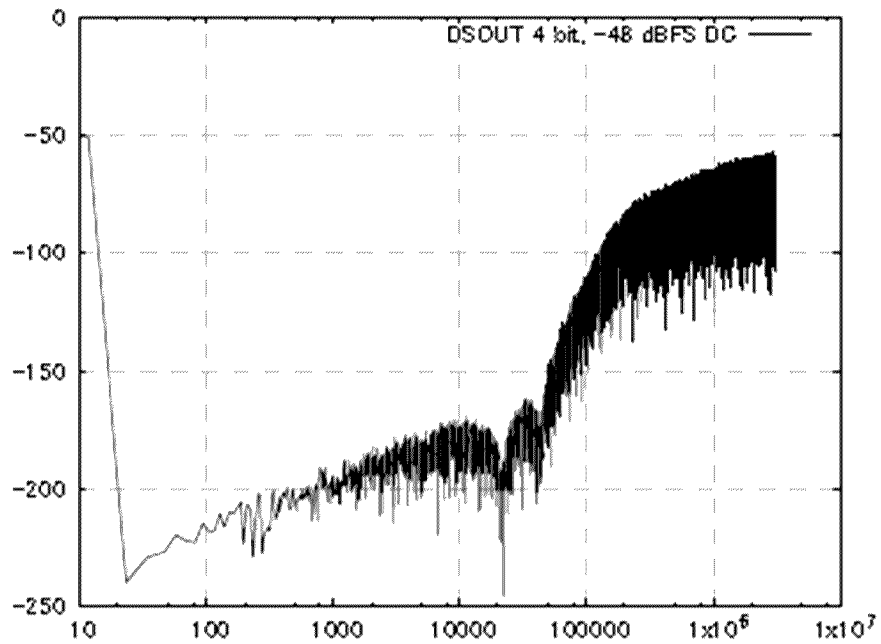
[図18]

量子化出力 ビット数N	量子化階級 タイプ	雑音信号 スケーリング	雑音信号 ビット シフト量	追加雑音 平均電力 dBFS	備考
1	C	1	0	-1.8	(参考)全入力レベル THD+Nの劣化が激しい
2	A	1/4	2	-14	(参考)強入力耐性が非常 に低い
2	B	1/4	2	-14	
2	D	1/2	1	-8.1	
2	E	1/2	1	-8.1	
3	A,B	1/8	3	-20	
4	A,B	1/16	4	-26	
5	A,B	1/32	5	-32	

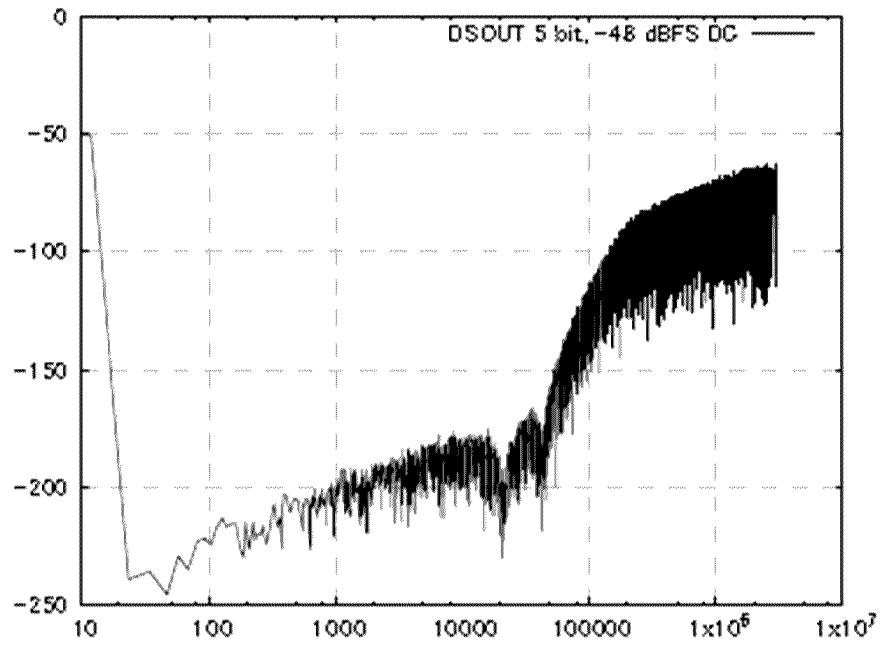
[図19]

ab

[図20]

ab

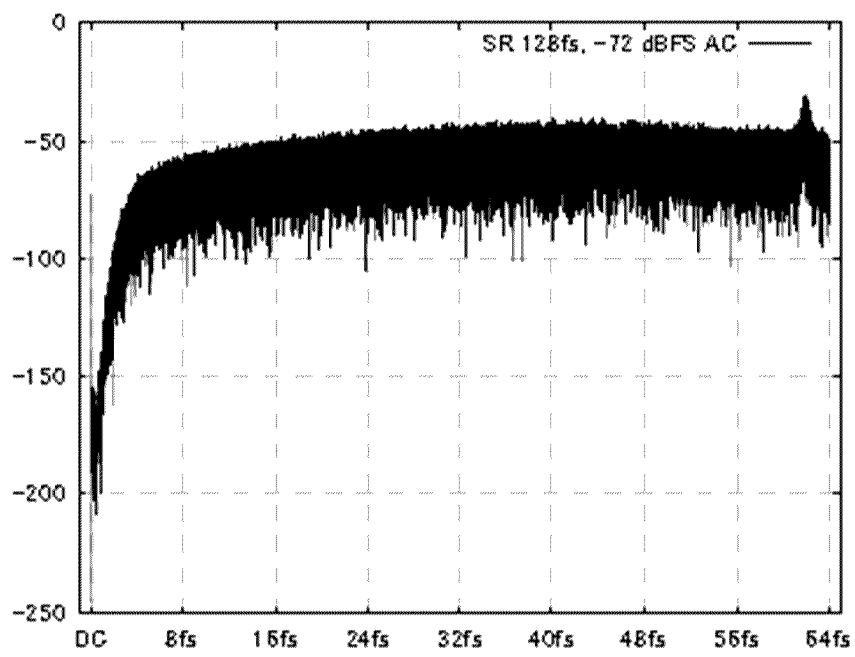
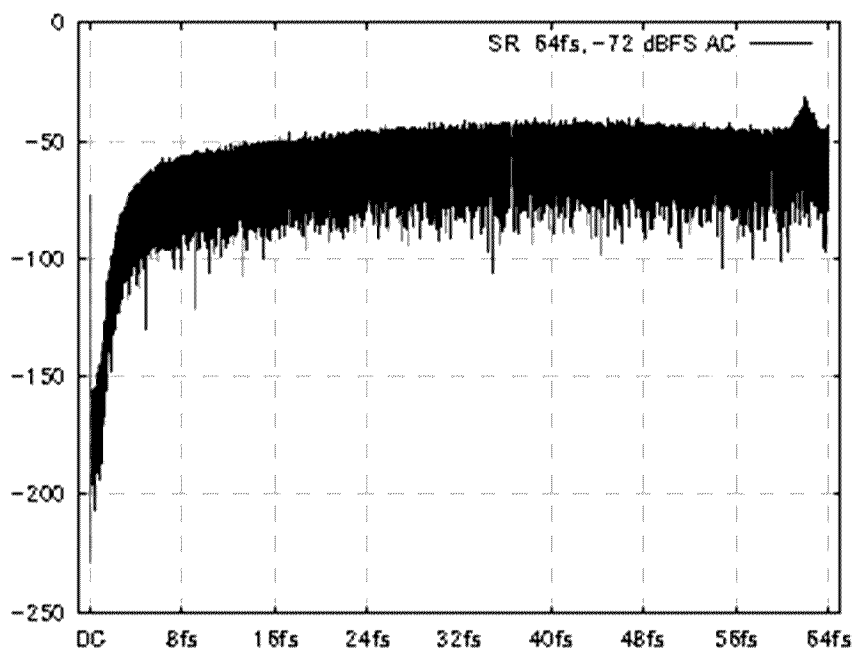
[図21]



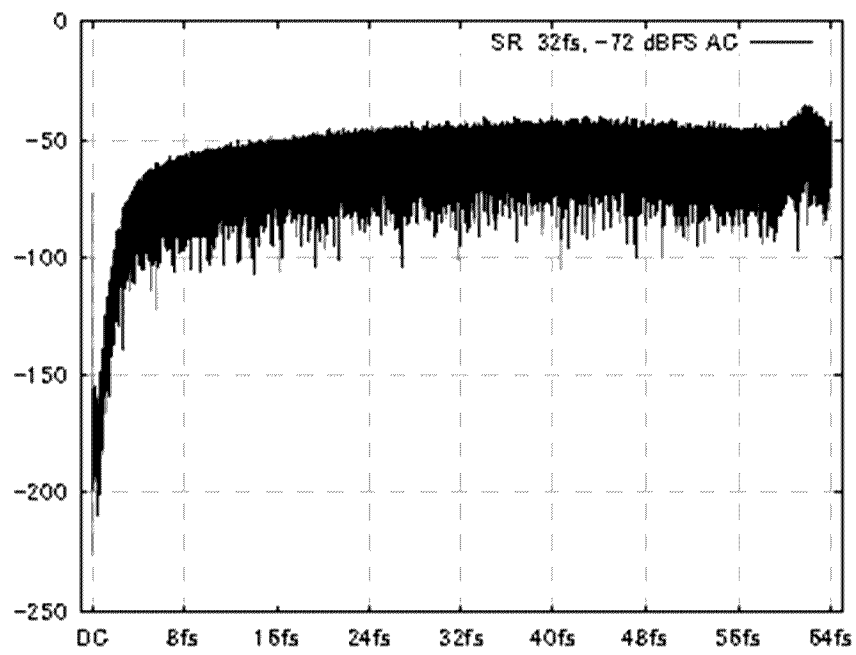
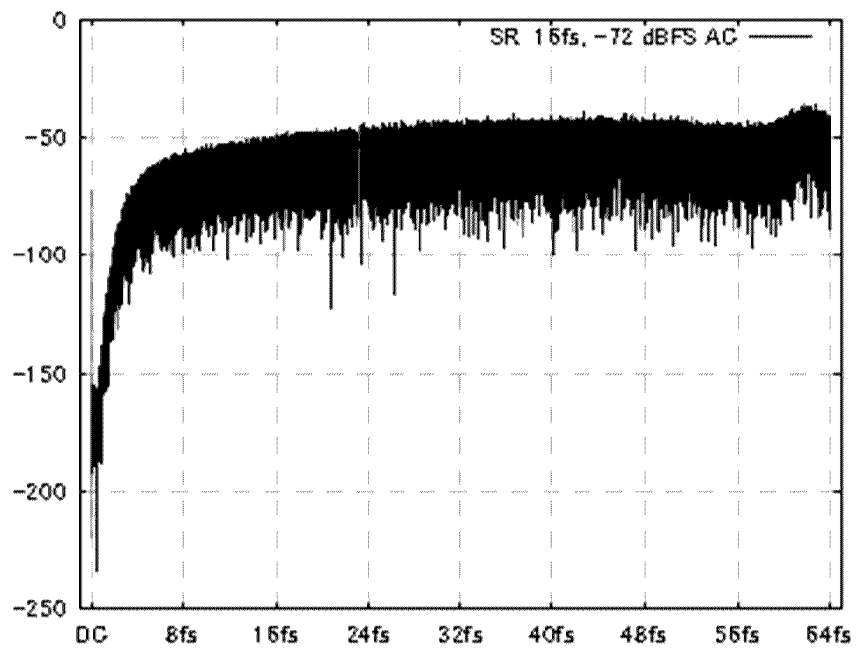
[図22]

量子化出力 ビット数N	量子化階級 タイプ	雑音信号 スケーリング	雑音信号 ビット シフト量	追加雑音 平均電力 dBFS	追加DC電力 dBFS(α)	備考
1	C	1/16	4	-16	-27(1/32)	最適値
1	C	1/32	5	-32	-33(1/64)	
1	C	1/64	6	-39	-39(1/128)	

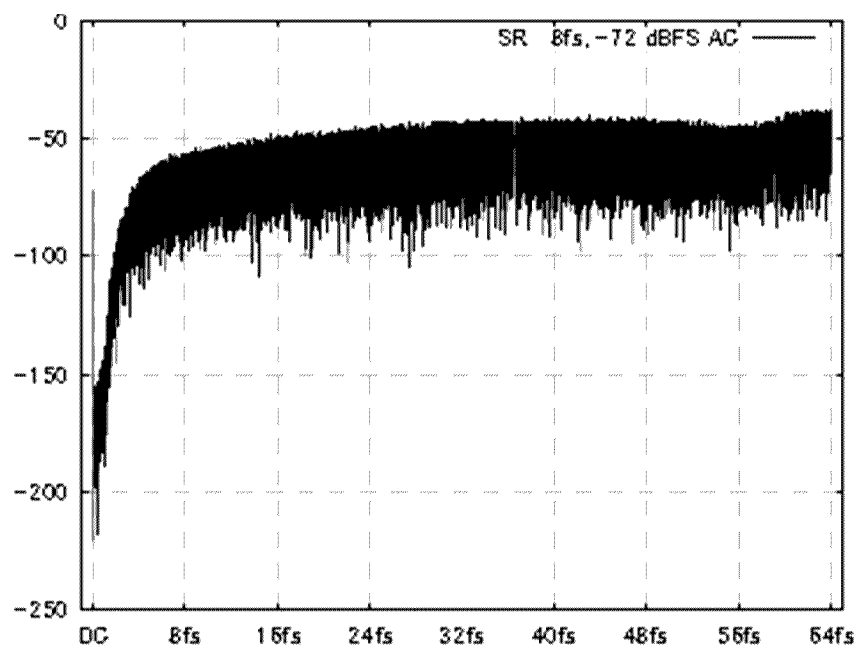
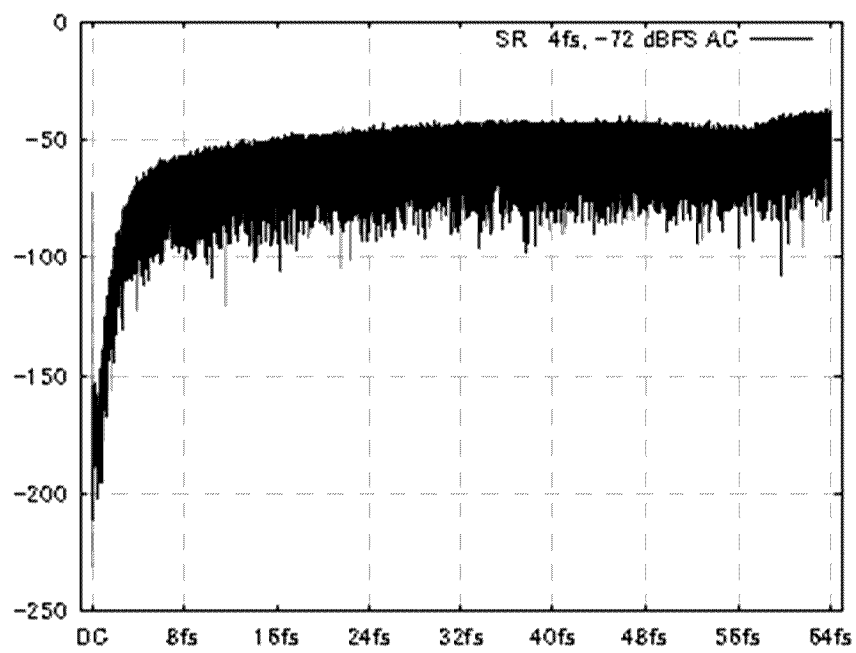
[図23]

ab

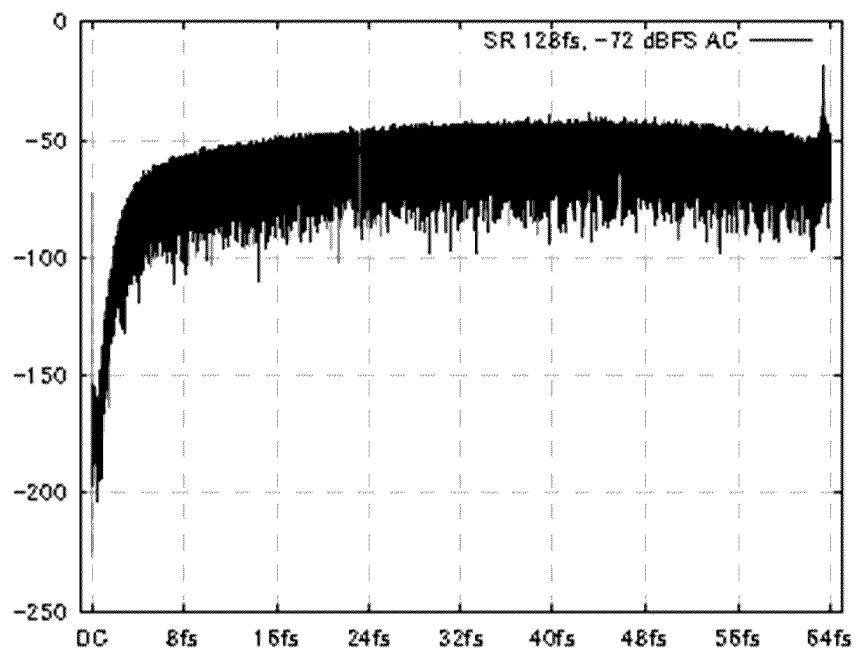
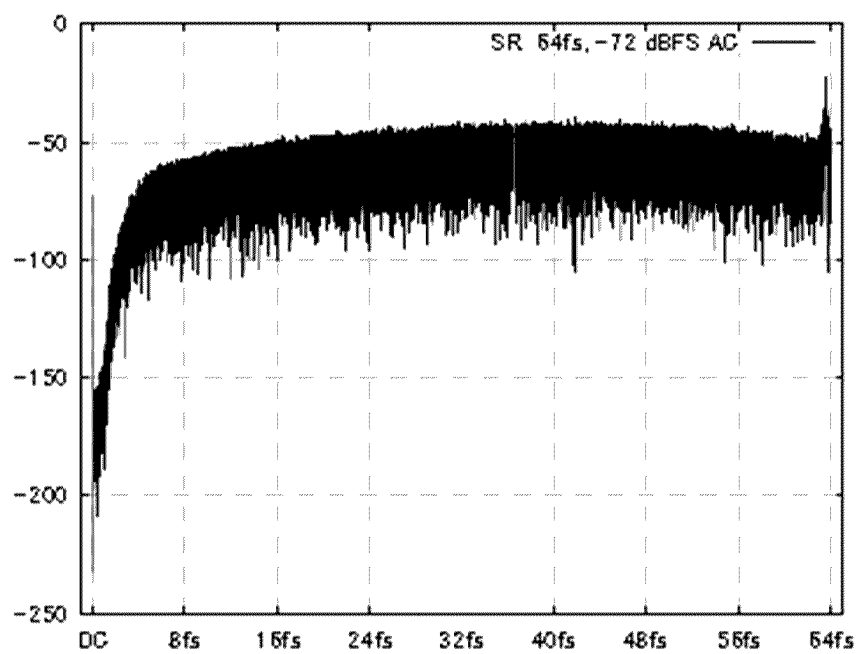
[図24]

ab

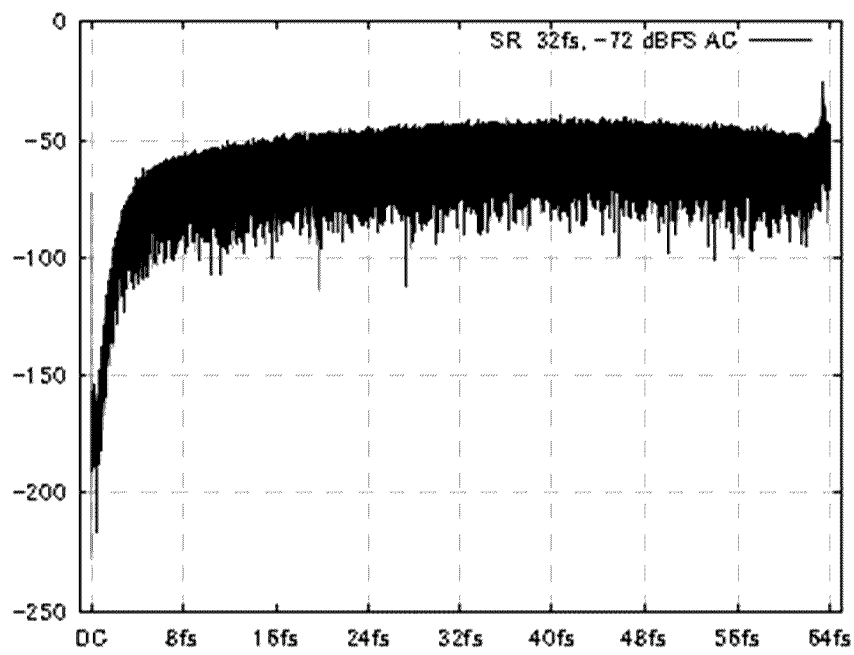
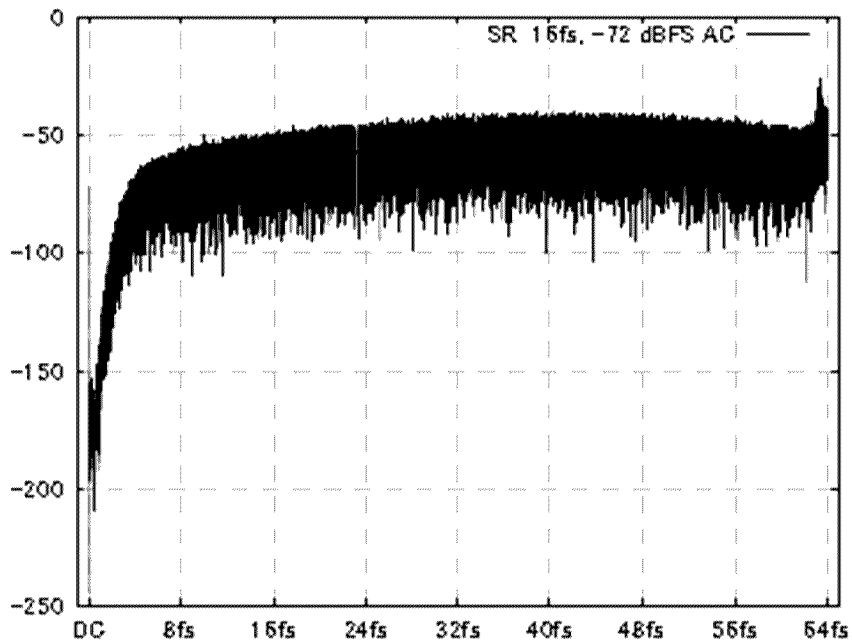
[図25]

ab

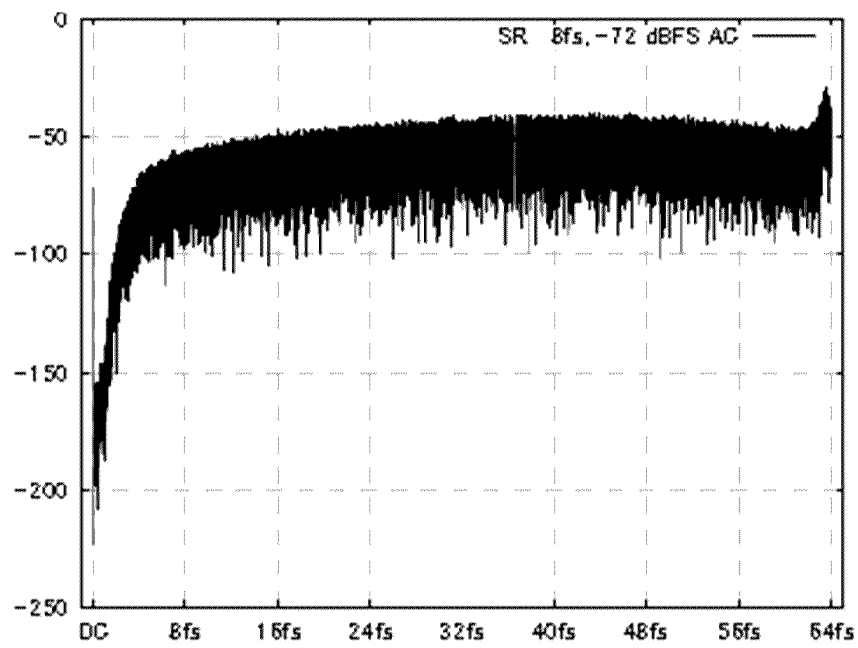
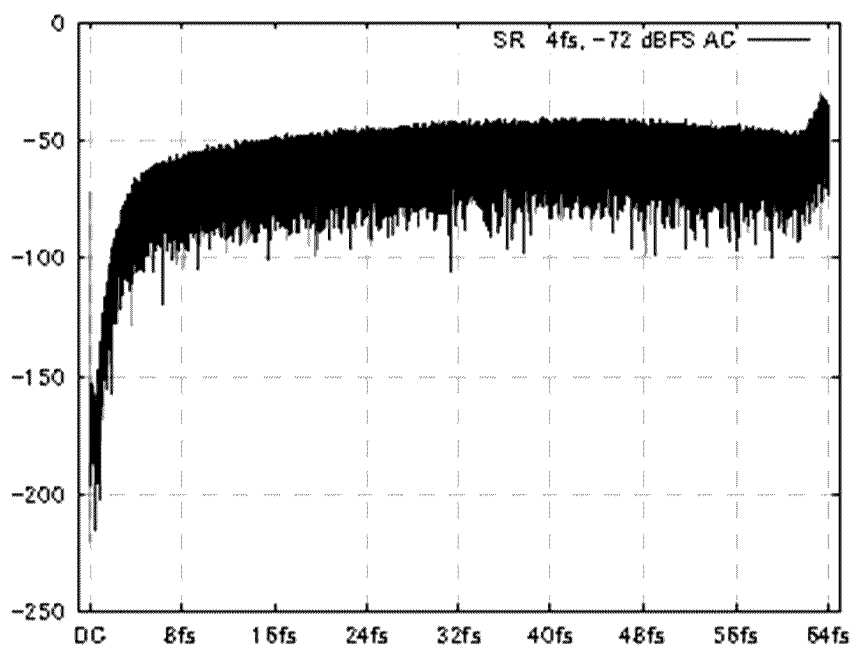
[図26]

ab

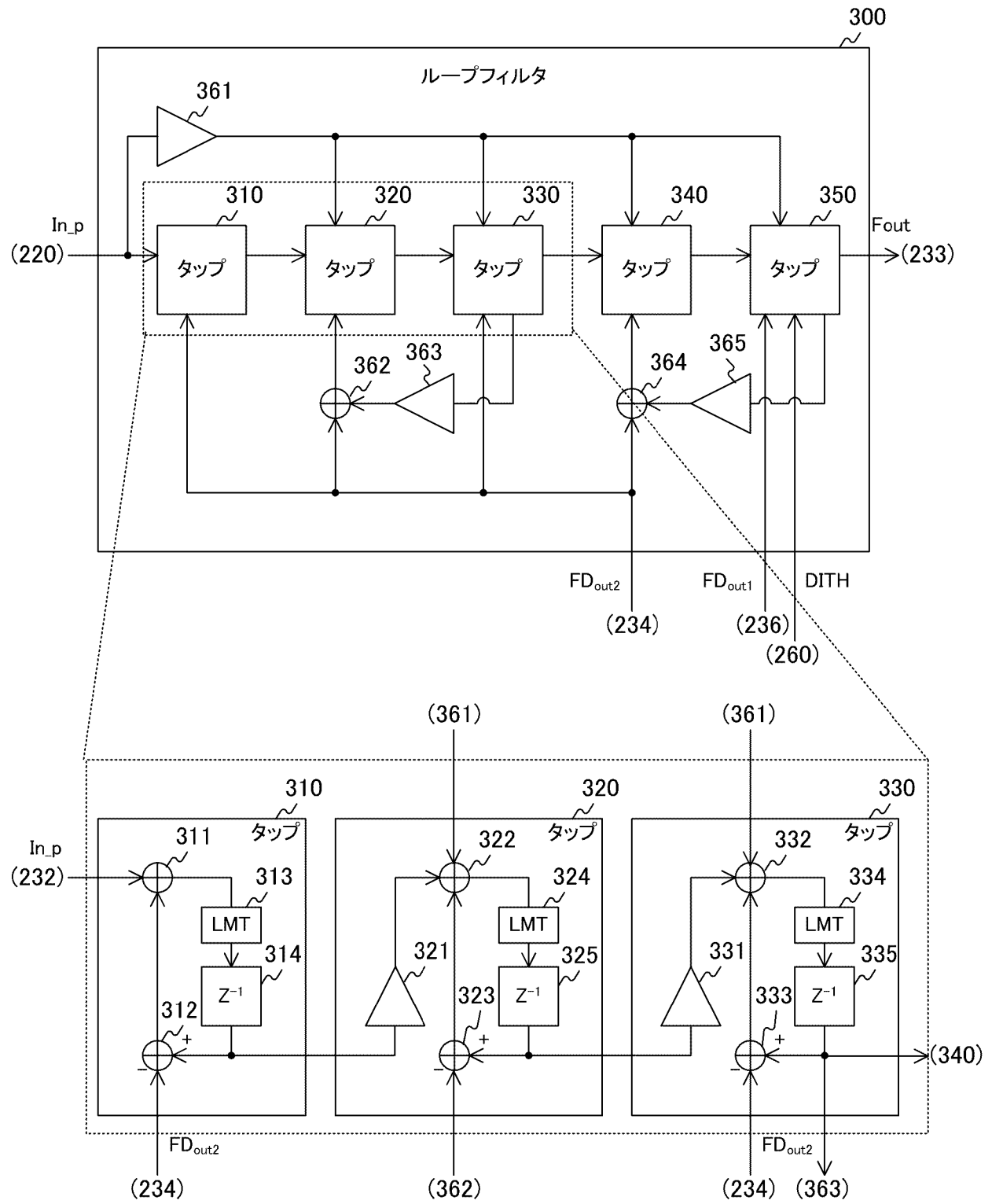
[図27]

ab

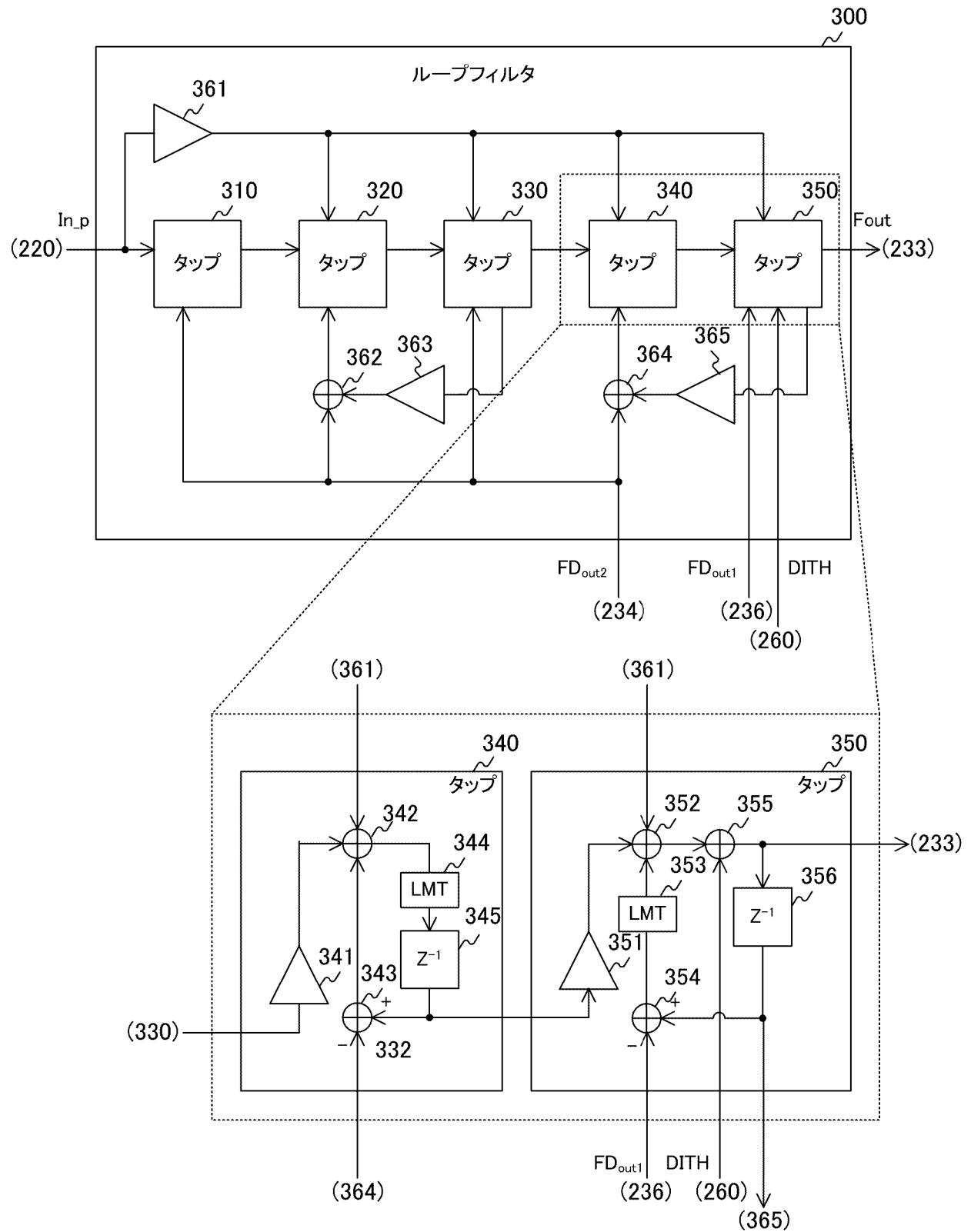
[図28]

ab

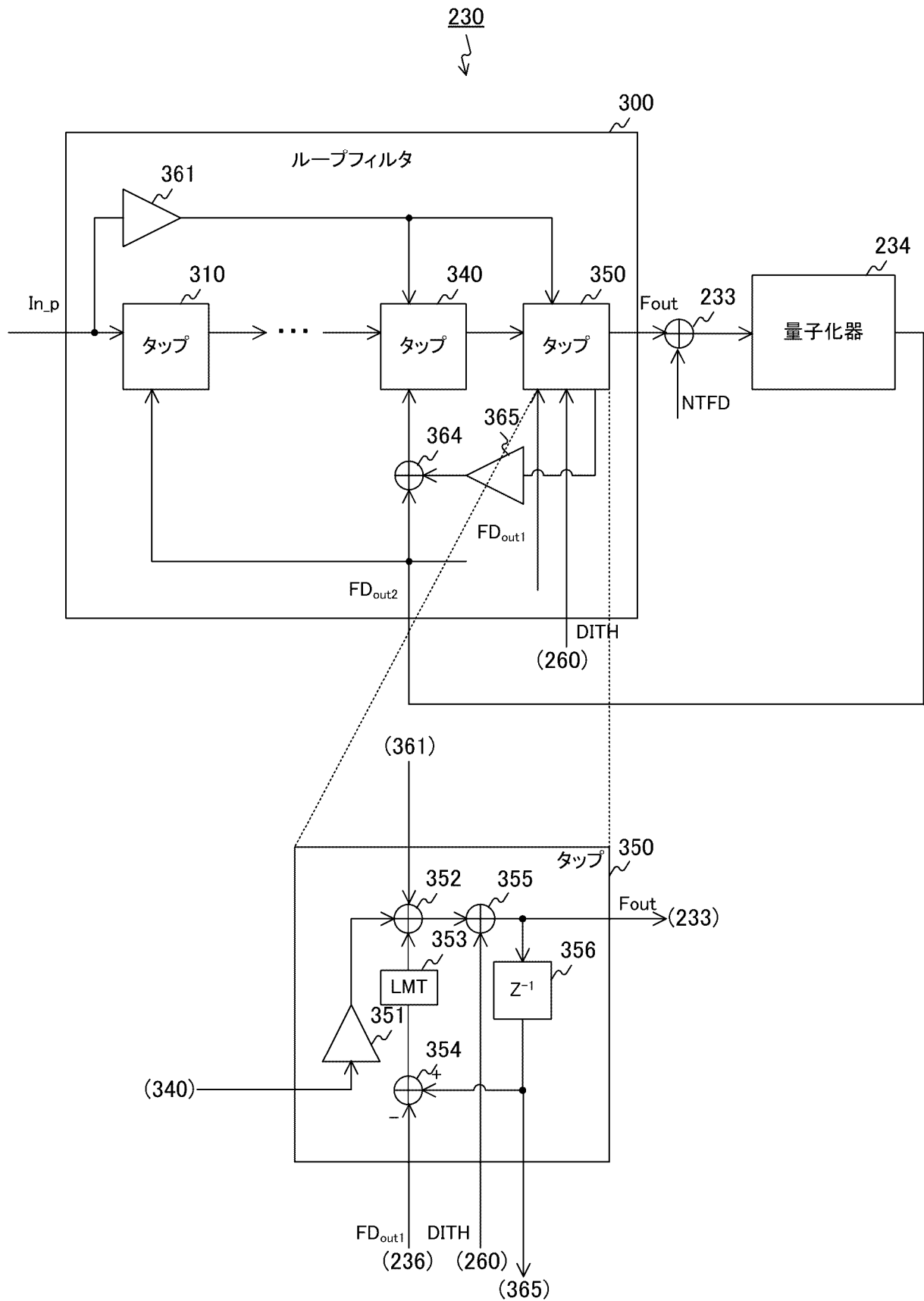
[図29]



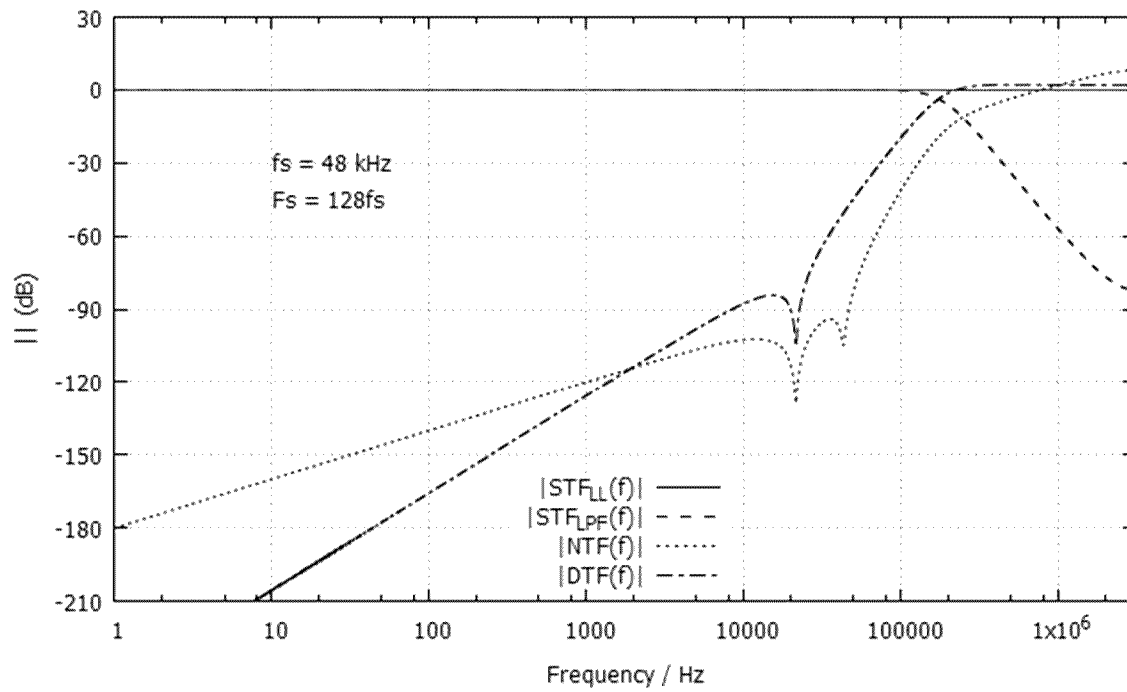
[図30]



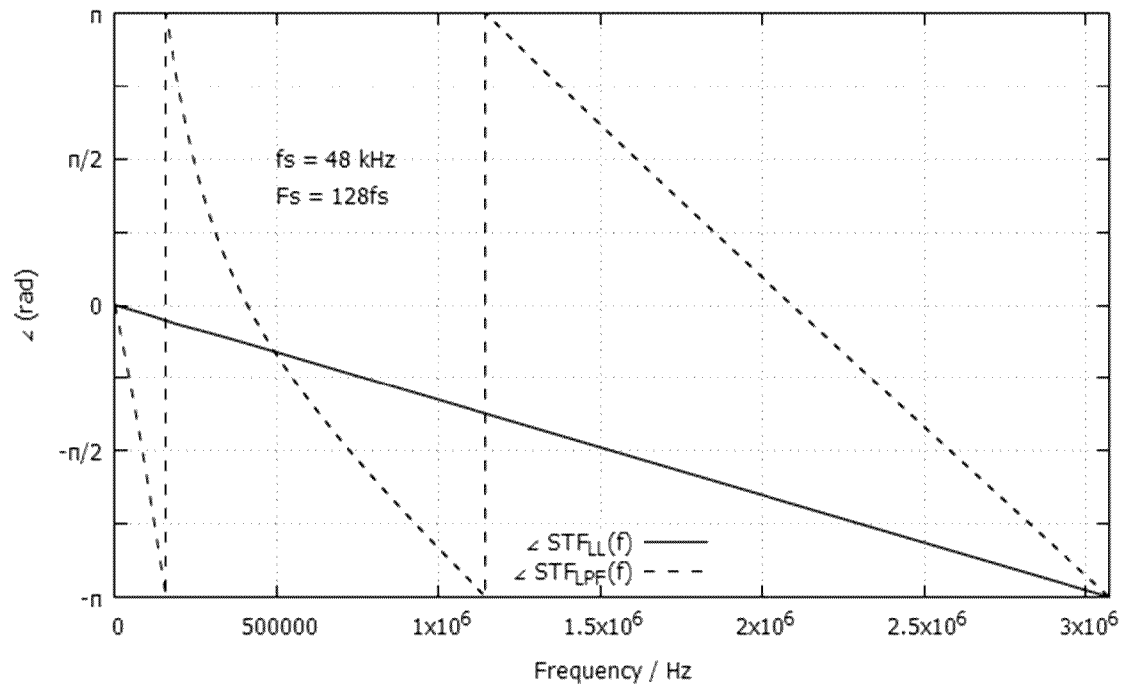
[図31]



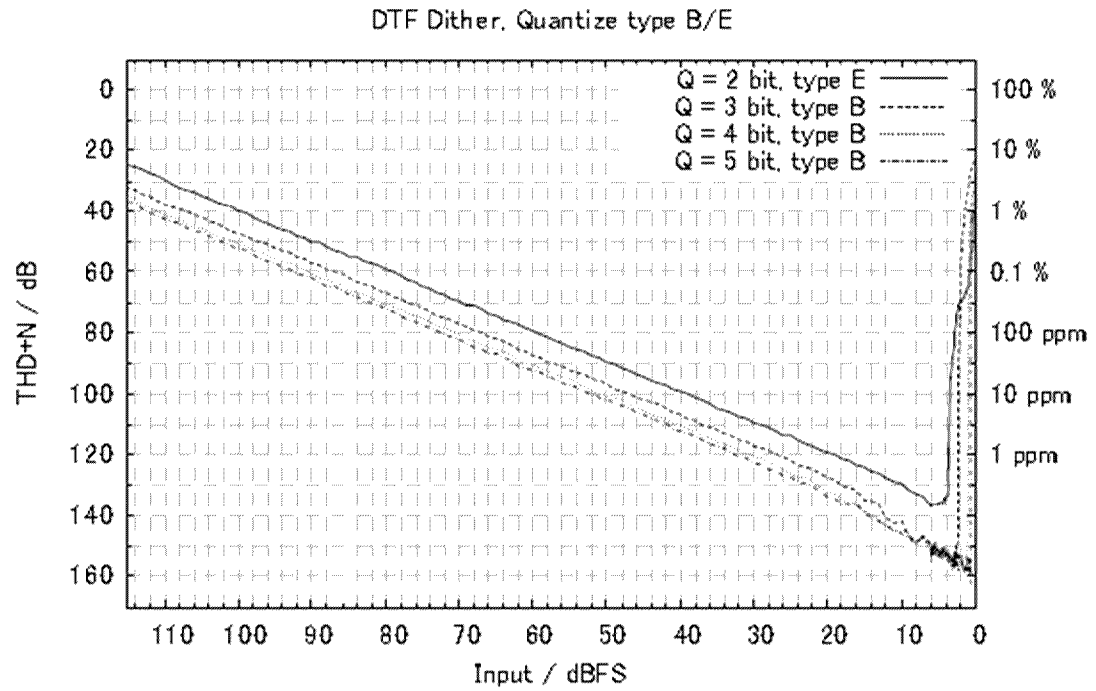
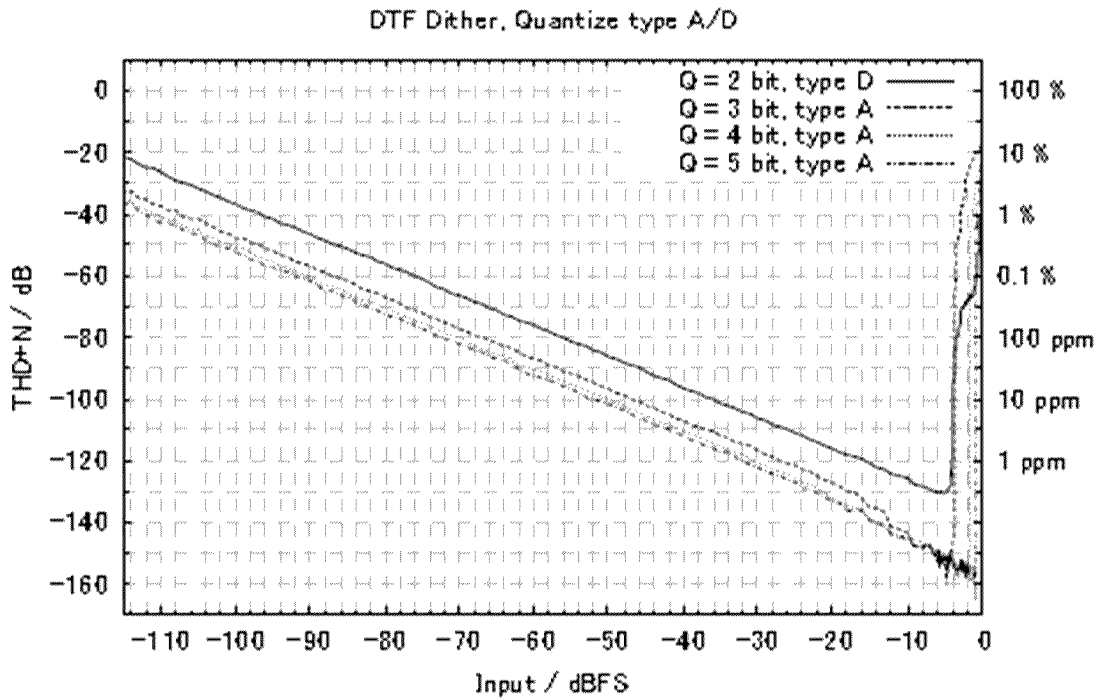
[図32]



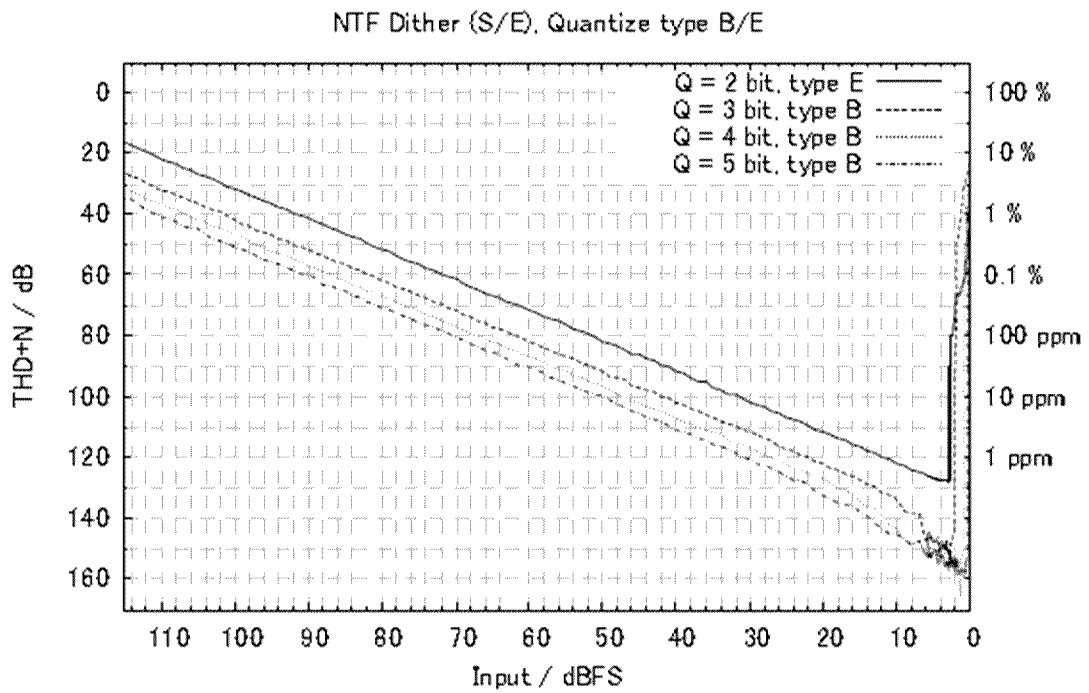
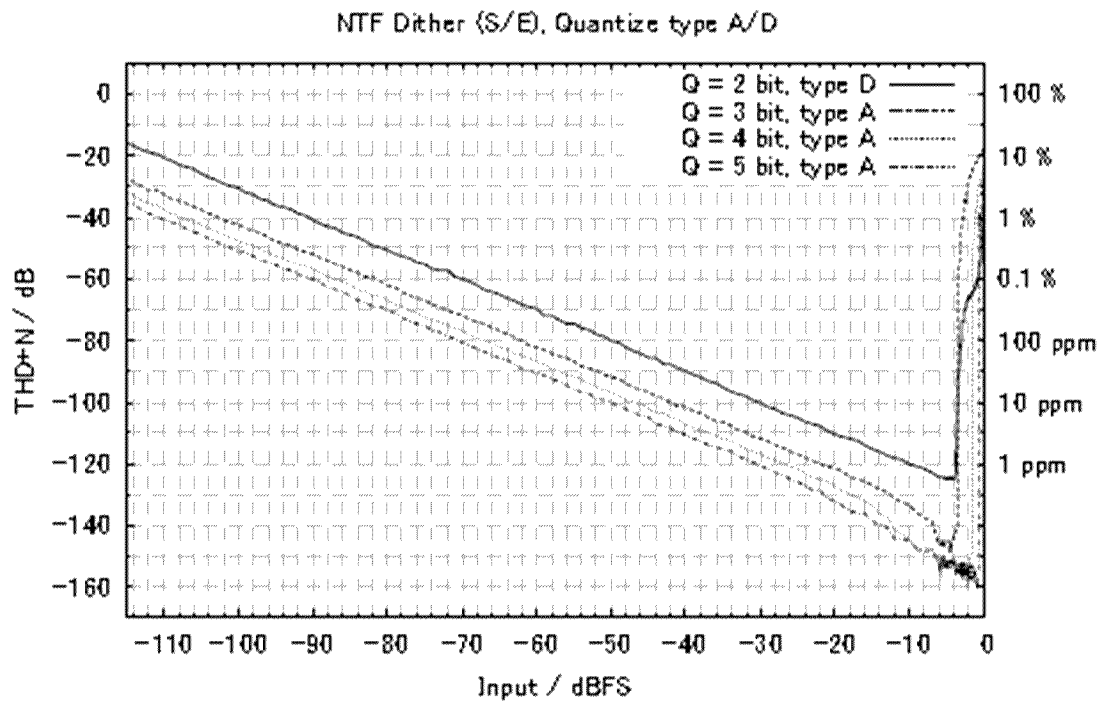
[図33]



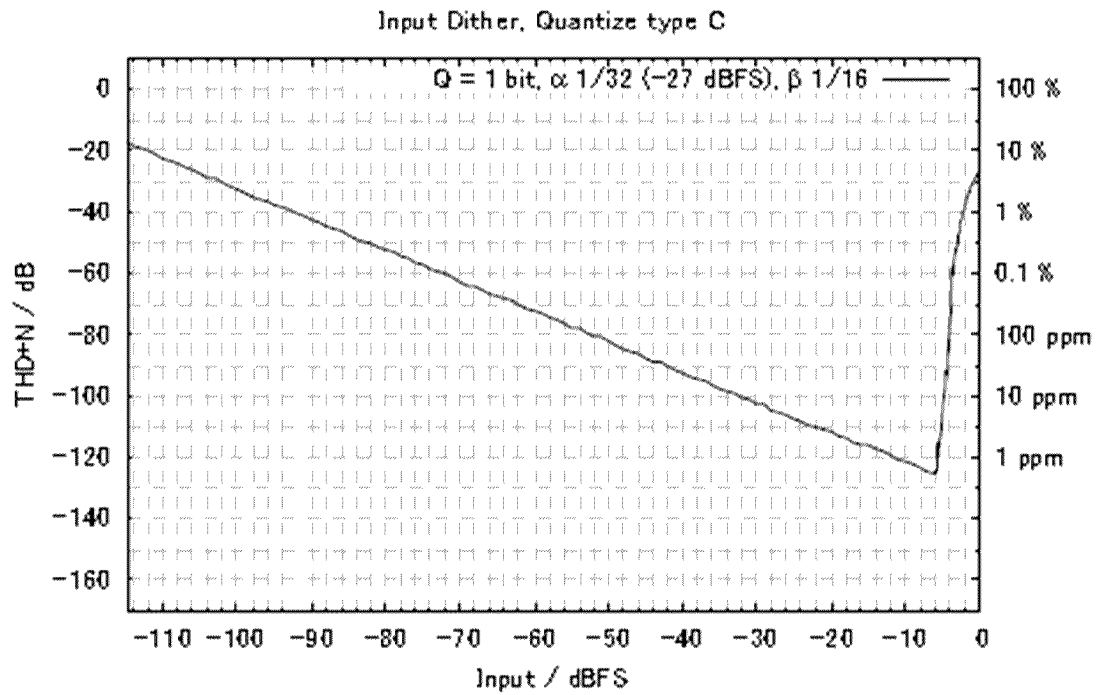
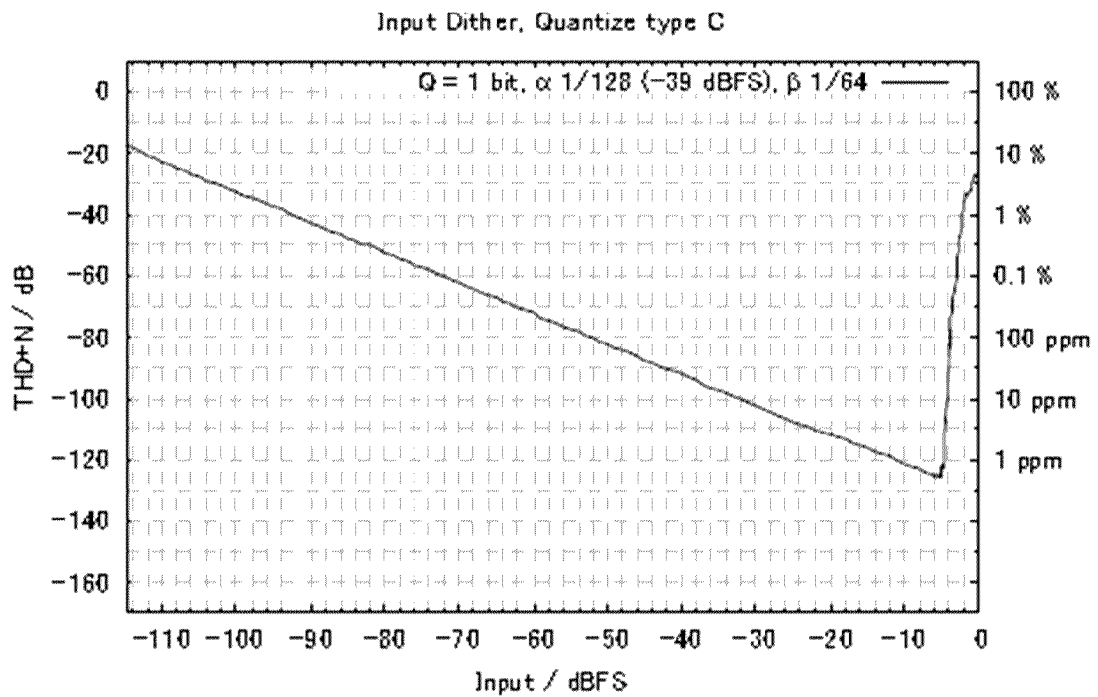
[図34]

ab

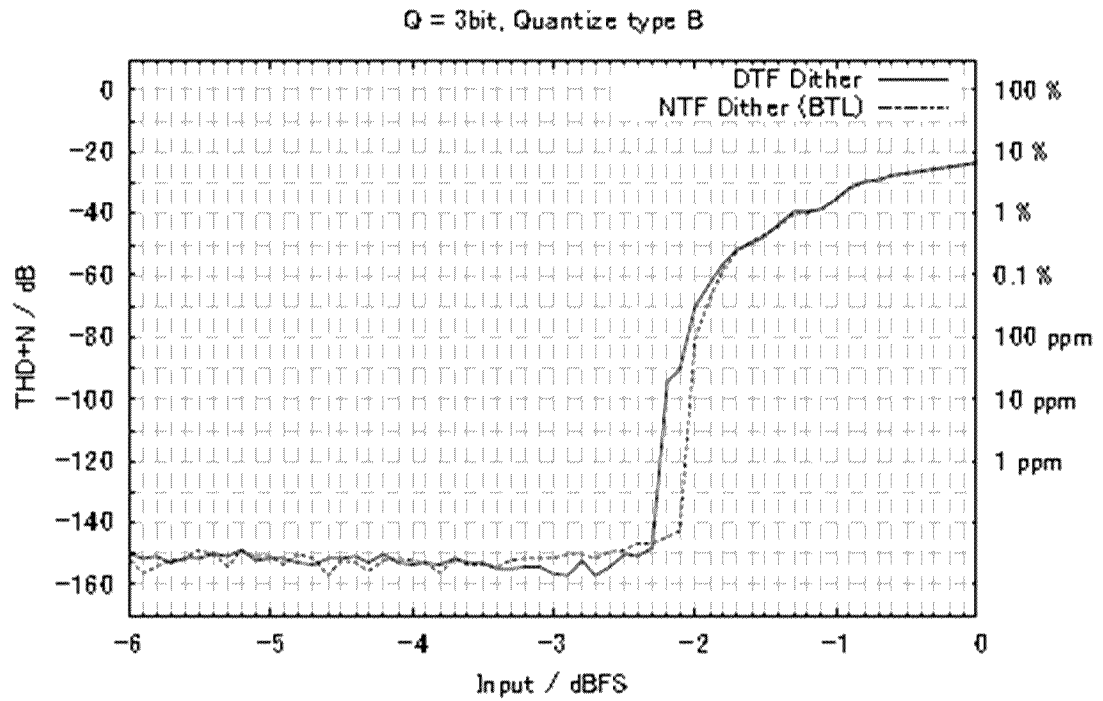
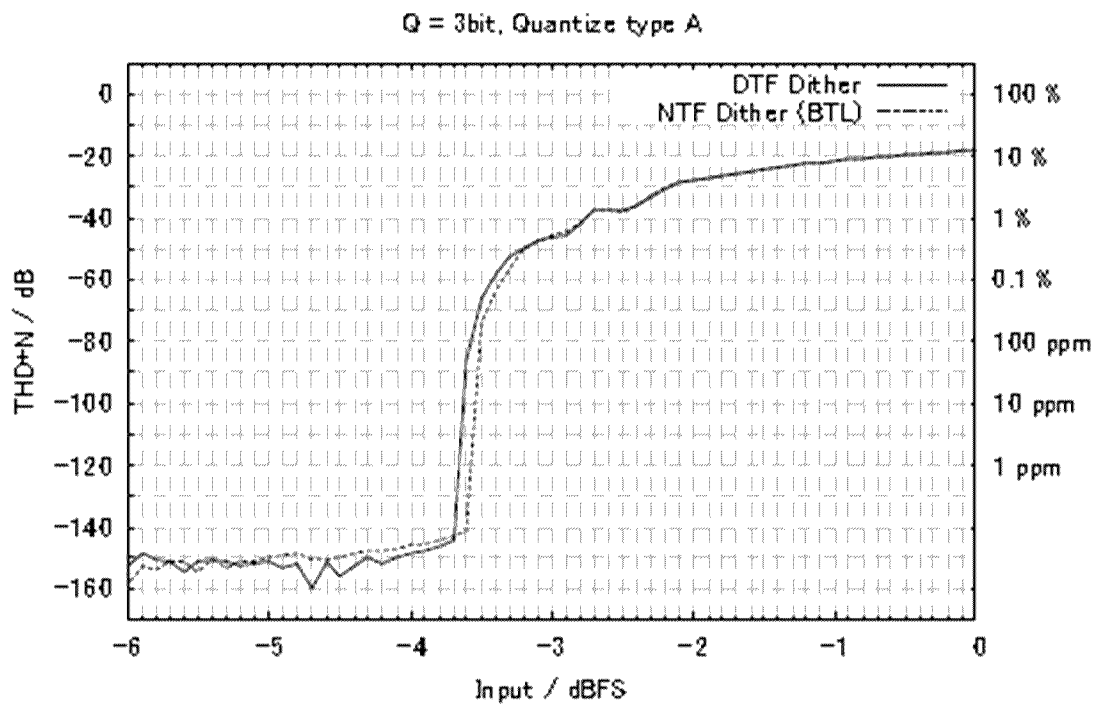
[図35]

ab

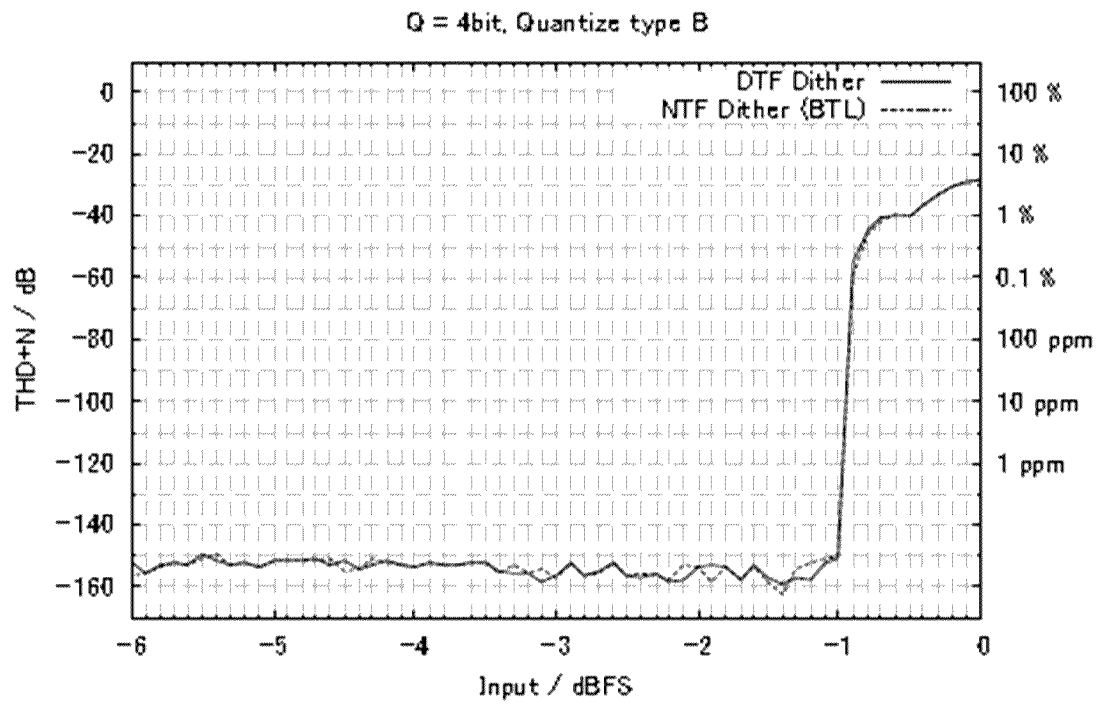
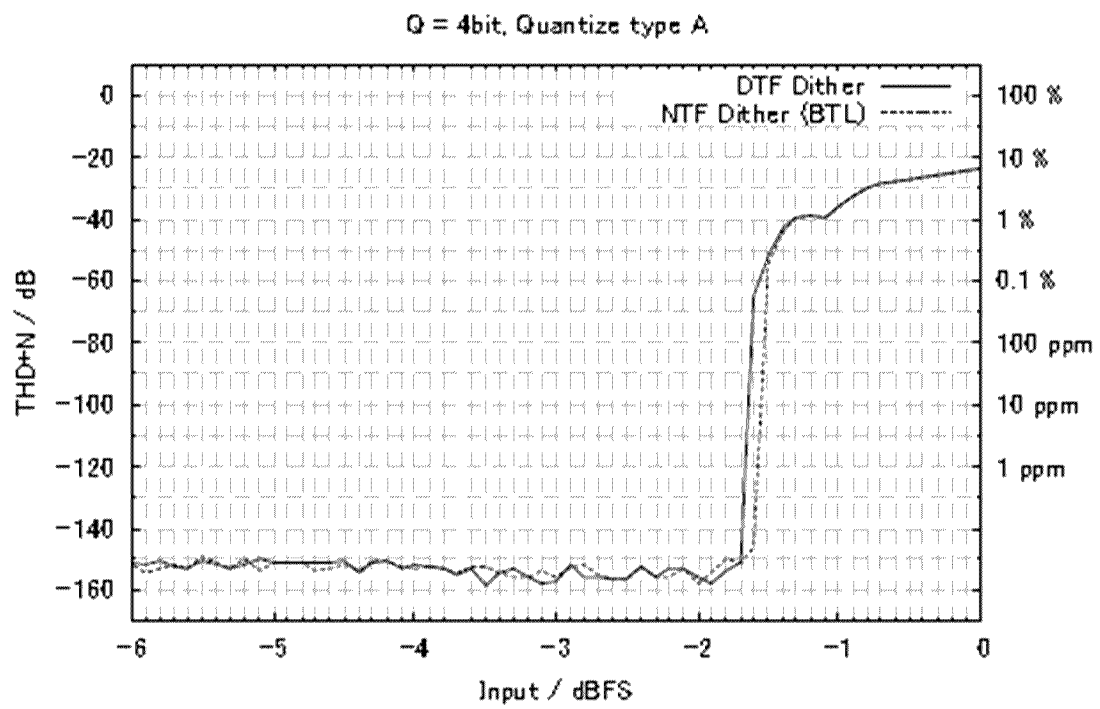
[図36]

ab

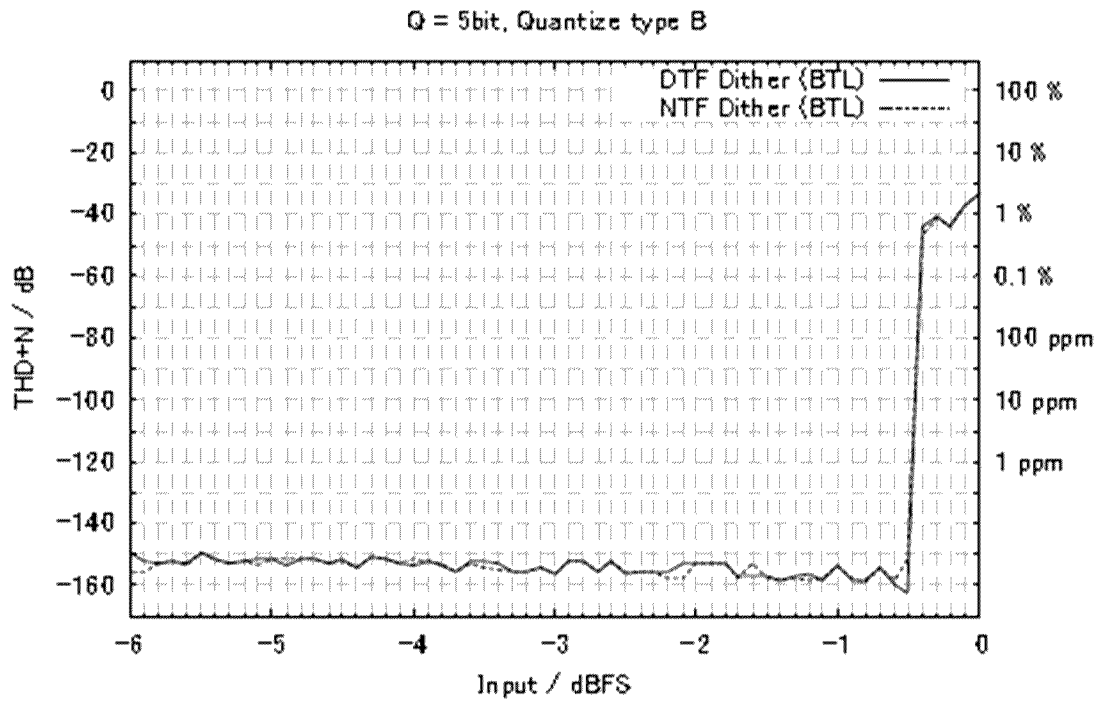
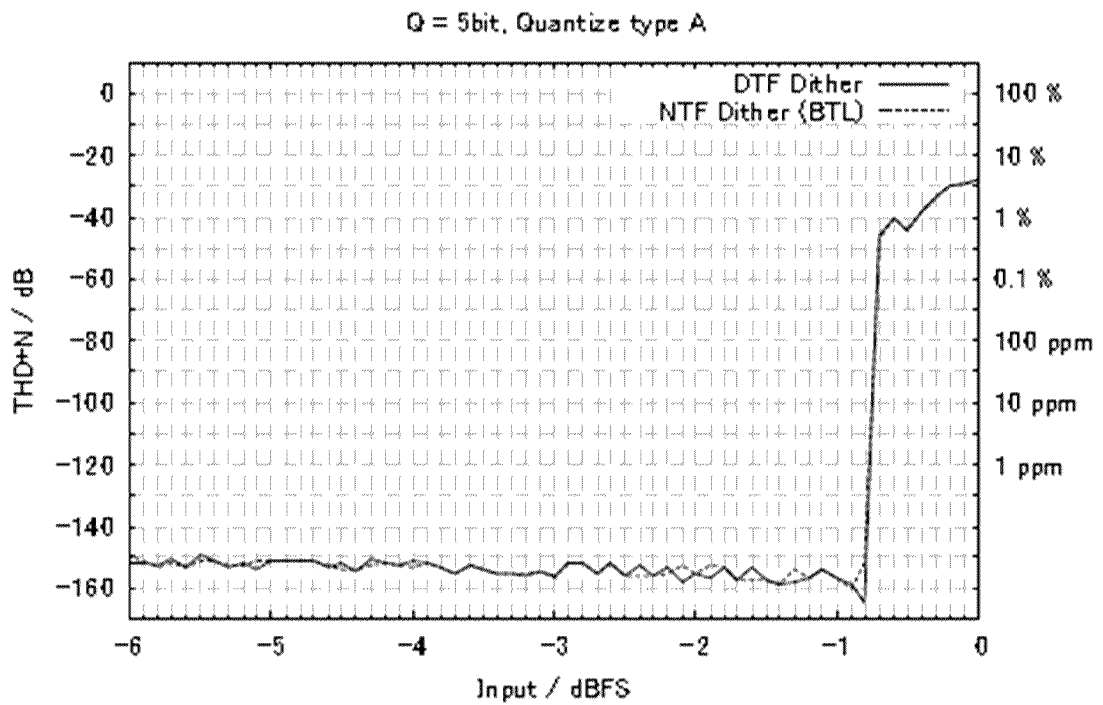
[図37]

ab

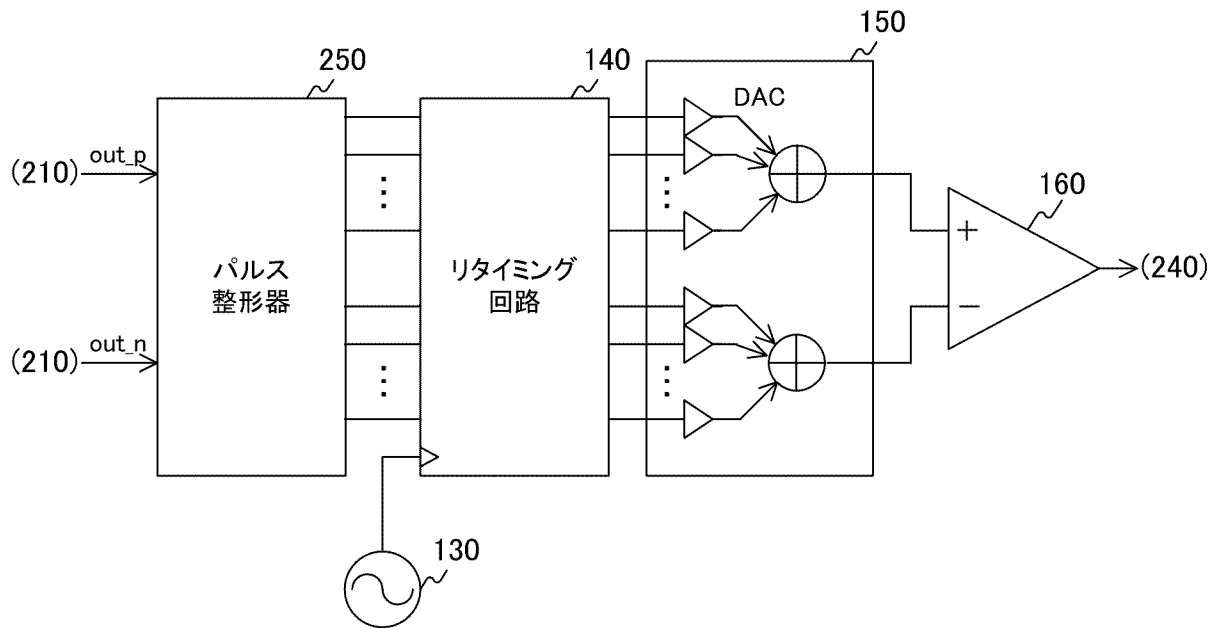
[図38]

ab

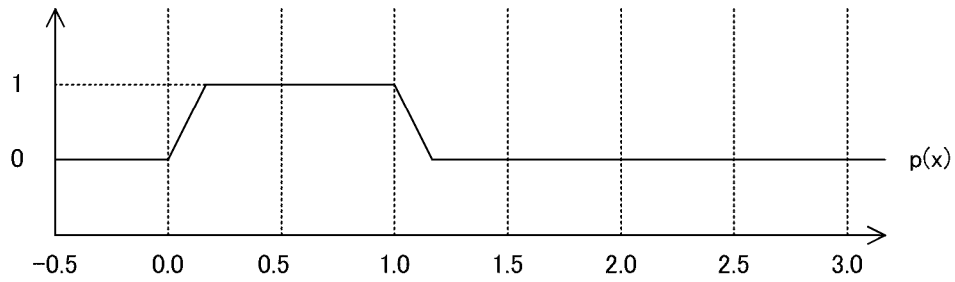
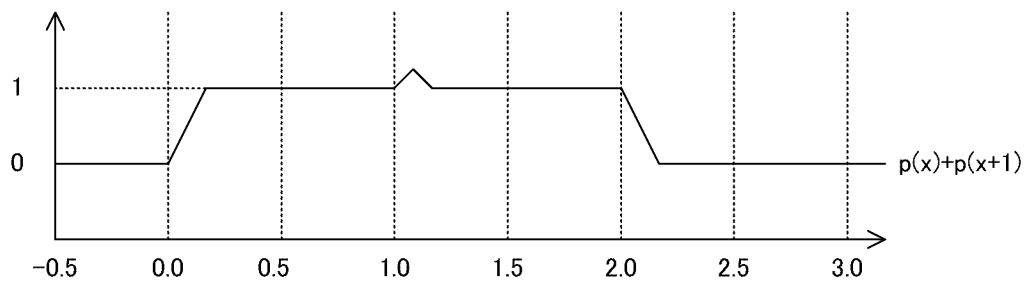
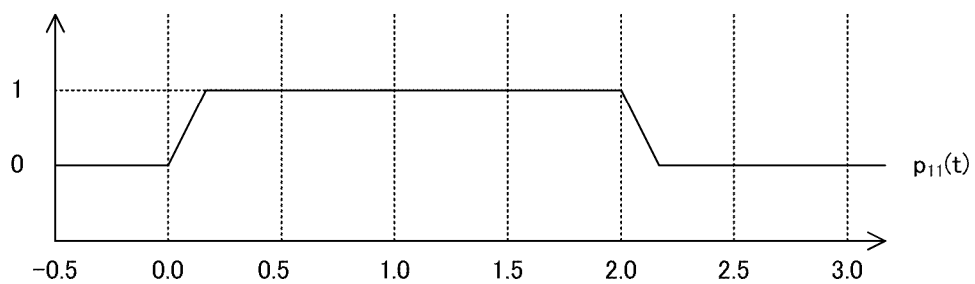
[図39]

ab

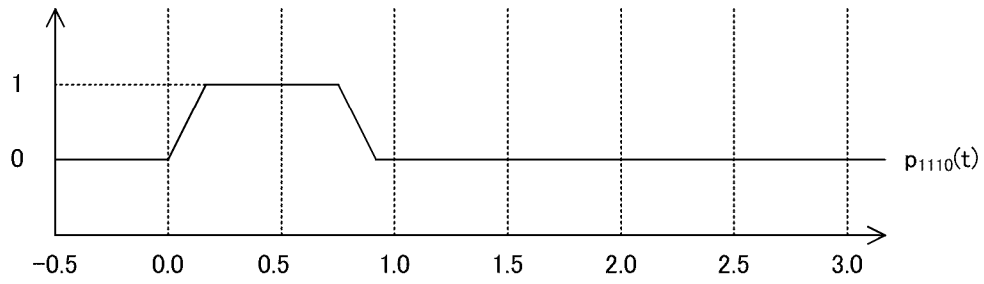
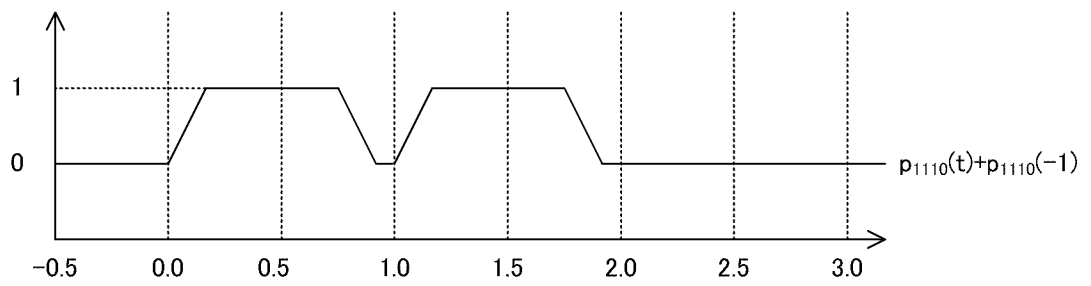
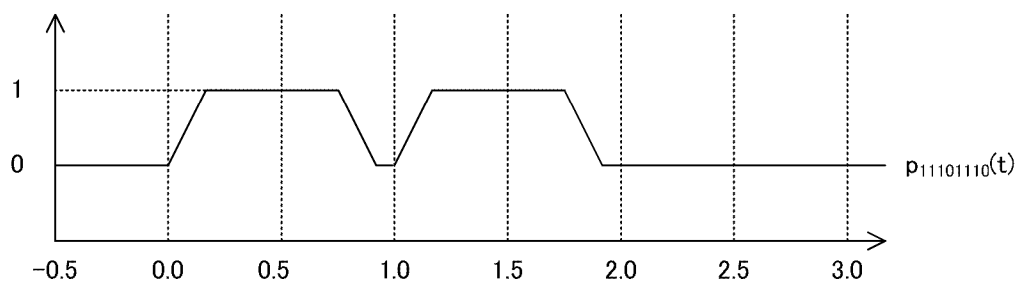
[図40]



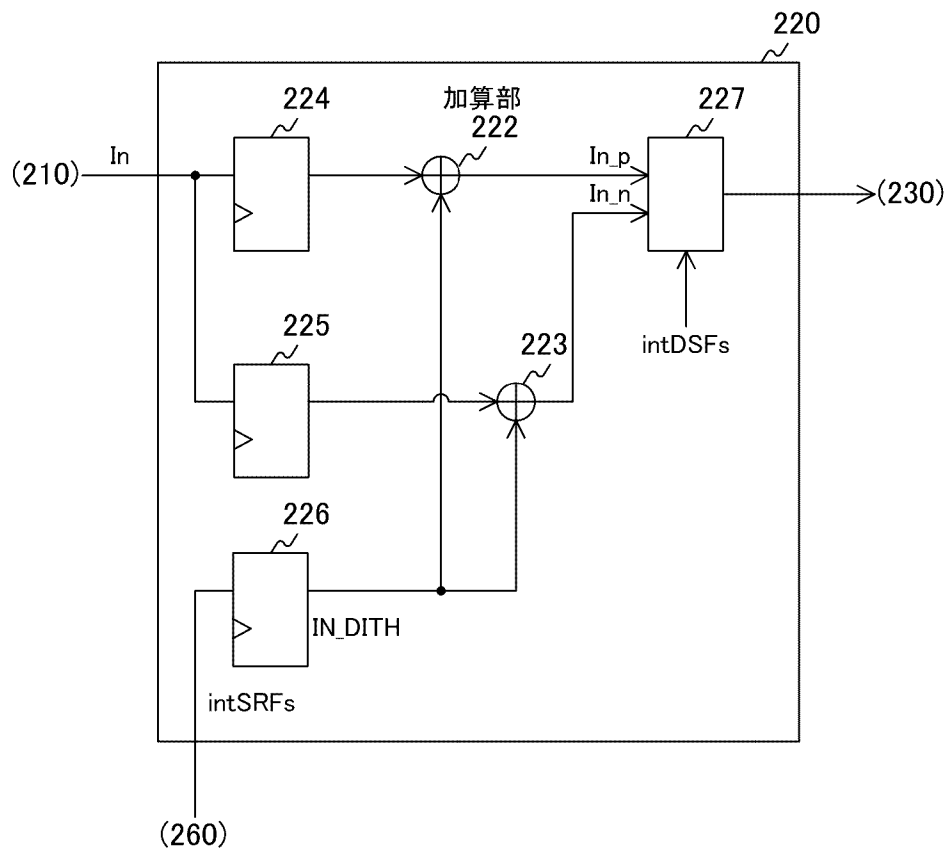
[図41]

abc

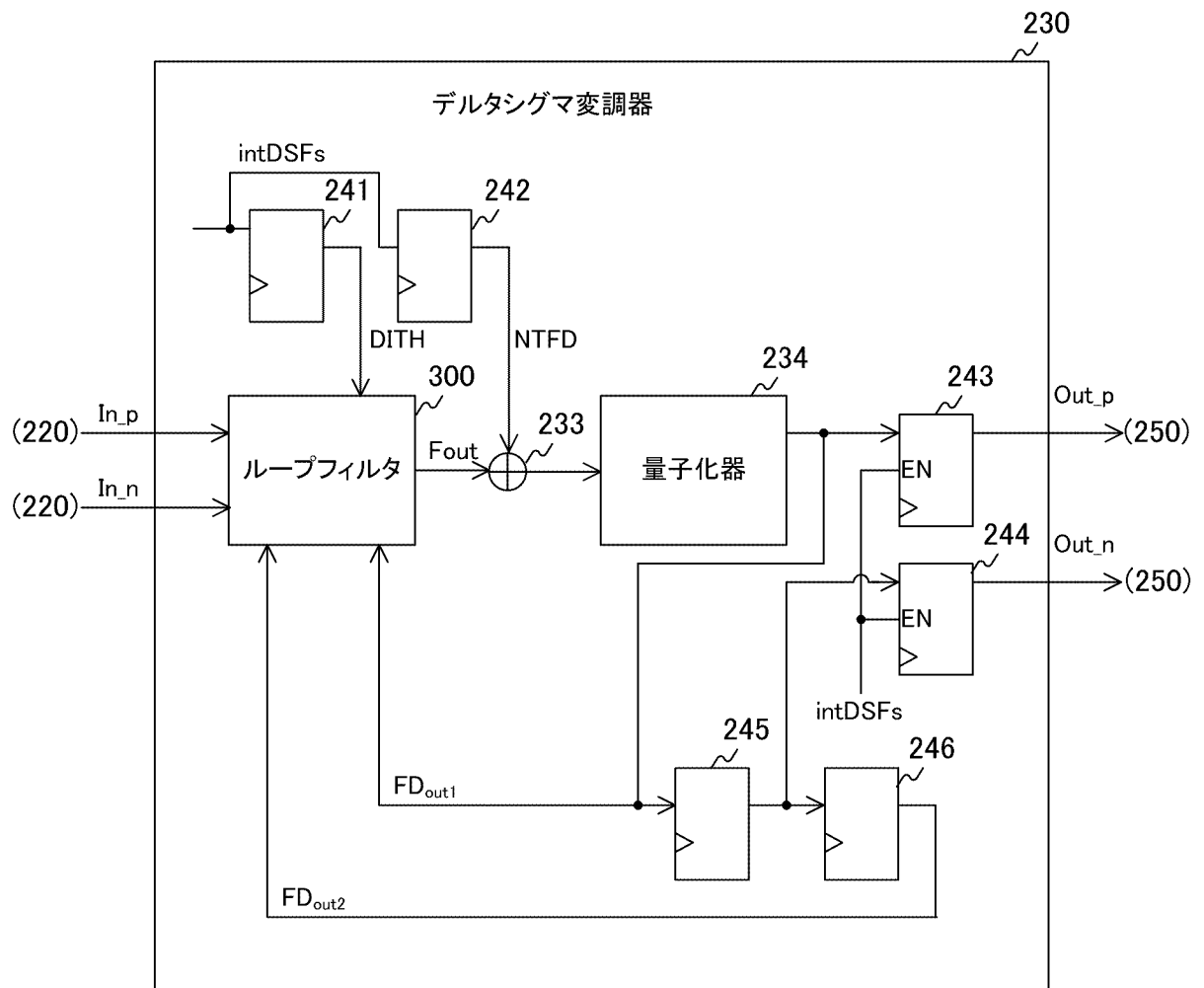
[図42]

abc

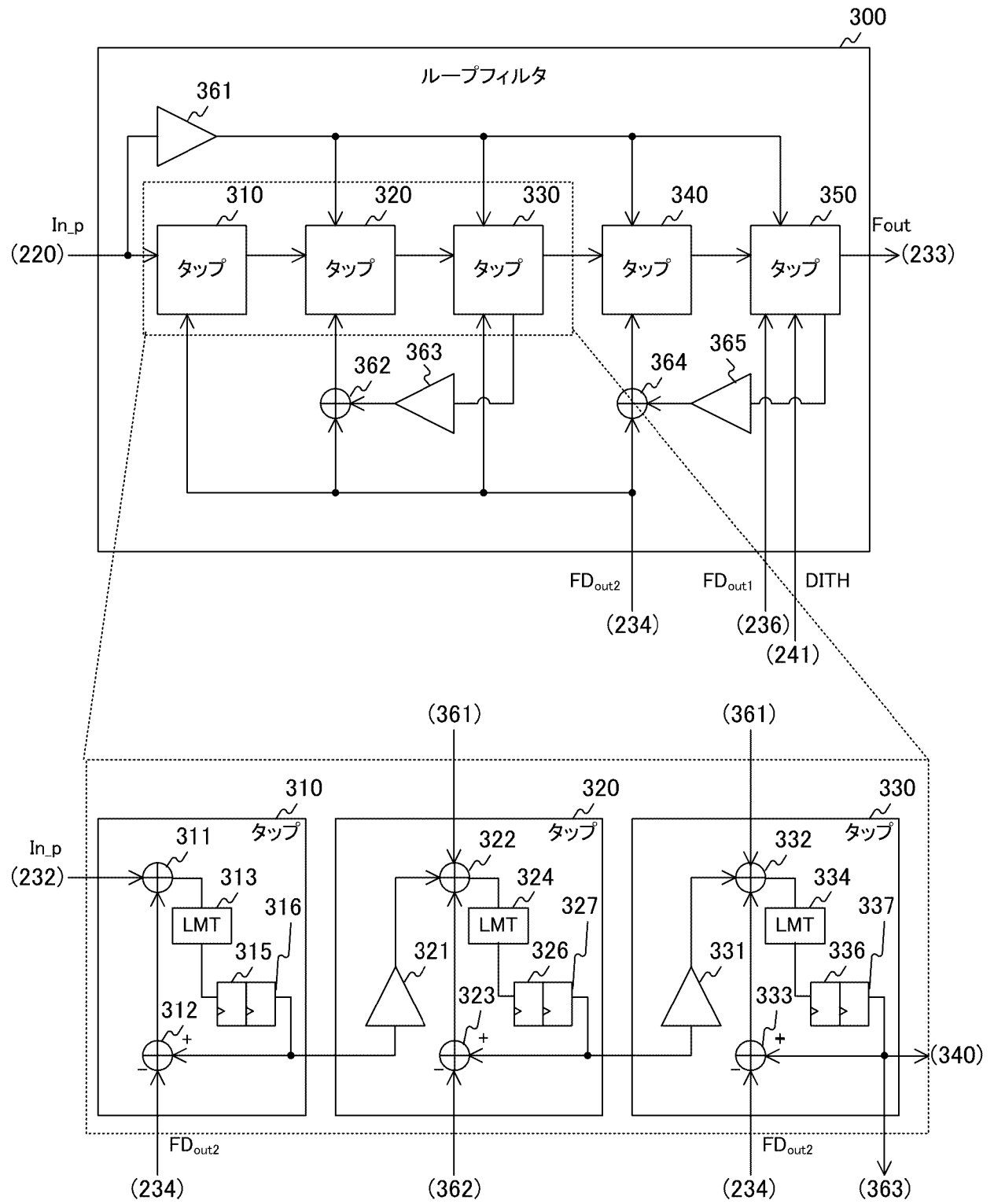
[図43]



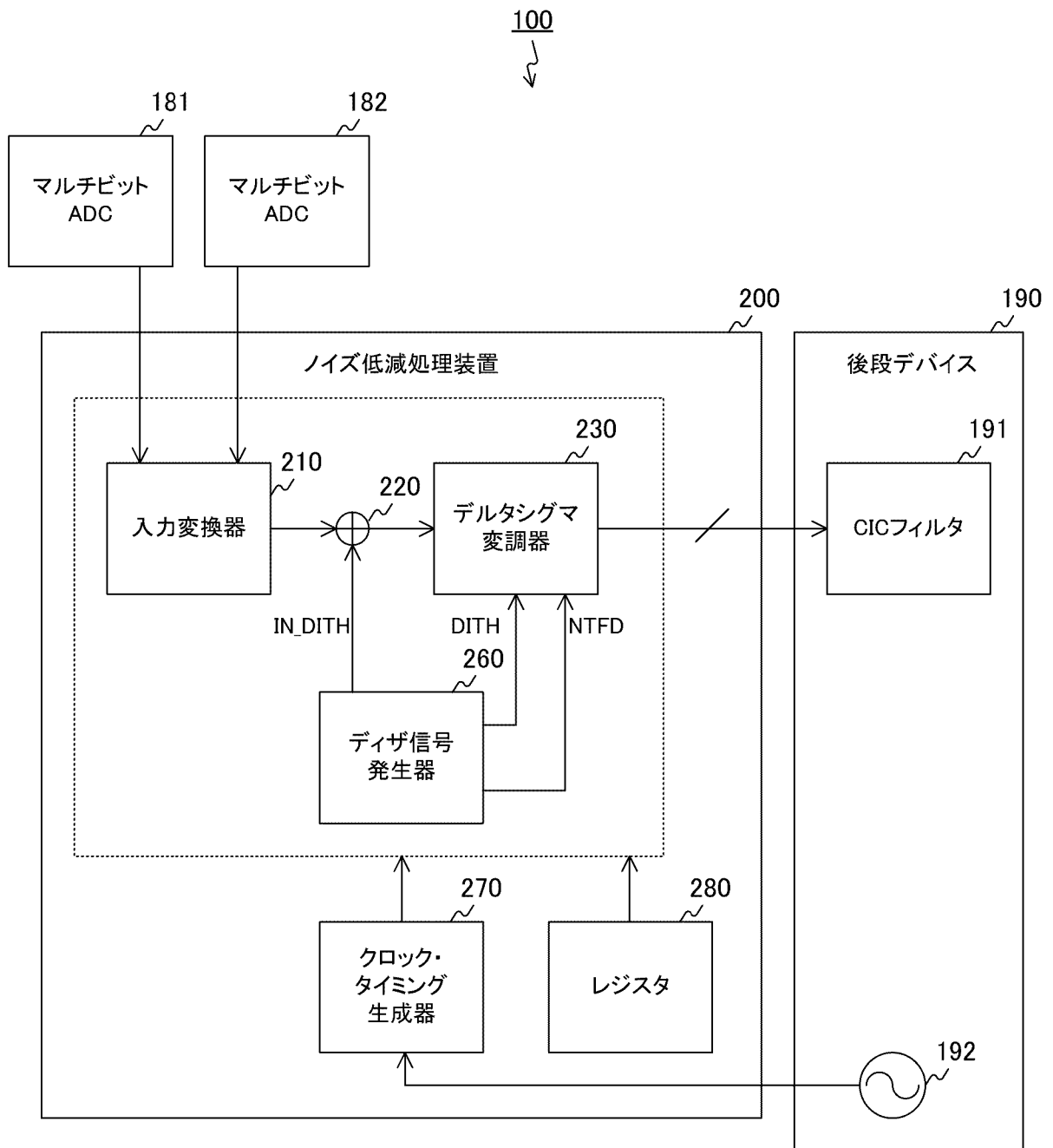
[図44]



[図45]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/030757

A. CLASSIFICATION OF SUBJECT MATTER**H03M 7/32**(2006.01)i; **H03M 3/02**(2006.01)i

FI: H03M7/32; H03M3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M7/32; H03M3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-181020 A (FAITH INC.) 07 August 2008 (2008-08-07) paragraphs [0037]-[0038], fig. 7-8	1-10
A	JP 2007-129363 A (SHARP CORP.) 24 May 2007 (2007-05-24) paragraphs [0013]-[0019], fig. 13-14	1-10
A	JP 5-160736 A (AMERICAN TELEPH. & TELEGR. CO.) 25 June 1993 (1993-06-25) paragraphs [0006]-[0011], fig. 2	1-10
A	WO 2006/002844 A1 (ERICSSON TECHNOLOGY LICENSING AB.) 12 January 2006 (2006-01-12) page 13, lines 3-24, fig. 4	1-10
A	JP 2019-114837 A (SEIKO EPSON CORP.) 11 July 2019 (2019-07-11) paragraphs [0054]-[0055], [0086]-[0087], fig. 3, 8	3, 6

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

13 October 2021

Date of mailing of the international search report

26 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/030757

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-181020	A	07 August 2008	(Family: none)	
JP	2007-129363	A	24 May 2007	(Family: none)	
JP	5-160736	A	25 June 1993	US 5144308 A	
				column 2, line 55 to column 3, line 54, fig. 2	
				EP 709969 A2	
				EP 515154 A1	
WO	2006/002844	A1	12 January 2006	US 2007/0252737 A1	
				US 7394418 B2	
				EP 1612946 A1	
				KR 10-2007-0058388 A	
				CN 101032080 A	
JP	2019-114837	A	11 July 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 7/32(2006.01)i; H03M 3/02(2006.01)i FI: H03M7/32; H03M3/02														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03M7/32; H03M3/02 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2008-181020 A (株式会社フェイス) 07.08.2008 (2008 - 08 - 07) [0037] - [0038], 図7-8	1-10												
A	JP 2007-129363 A (シャープ株式会社) 24.05.2007 (2007 - 05 - 24) [0013] - [0019], 図13-14	1-10												
A	JP 5-160736 A (アメリカン テレフォン アンド テレグラフ カムパニー) 25.06.1993 (1993 - 06 - 25) [0006] - [0011], 図2	1-10												
A	WO 2006/002844 A1 (ERICSSON TECHNOLOGY LICENSING AB) 12.01.2006 (2006 - 01 - 12) 第13ページ第3-24行, 図4	1-10												
A	JP 2019-114837 A (セイコーエプソン株式会社) 11.07.2019 (2019 - 07 - 11) [0054] - [0055], [0086] - [0087], 図3, 8	3, 6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 13.10.2021	国際調査報告の発送日 26.10.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 北村 智彦 5K 9297 電話番号 03-3581-1101 内線 3556													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/030757

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-181020	A	07.08.2008	(ファミリーなし)	
JP	2007-129363	A	24.05.2007	(ファミリーなし)	
JP	5-160736	A	25.06.1993	US 5144308 A	
				第2欄第55行-第3欄第54行, 図2	
				EP 709969 A2	
				EP 515154 A1	
WO	2006/002844	A1	12.01.2006	US 2007/0252737 A1	
				US 7394418 B2	
				EP 1612946 A1	
				KR 10-2007-0058388 A	
				CN 101032080 A	
JP	2019-114837	A	11.07.2019	(ファミリーなし)	