I732383

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I732383 B**

(45)公告日： 中華民國 110 (2021) 年 07 月 01 日

(21)申請案號：108145851　(22)申請日： 中華民國 105 (2016) 年 01 月 26 日

(51)Int. Cl.：　*H01L21/3205(2006.01)*　*H01L21/321 (2006.01)*

(30)優先權：2015/02/06　日本　2015-022396

2015/03/17　日本　2015-053431

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP) ；森若智昭 MORIWAKA, TOMOAKI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

JP　2013-110360A　JP　2014-187378A

審查人員：湯欽全

申請專利範圍項數：13 項　圖式數：57　共 188 頁

(54)名稱

裝置及其製造方法以及電子裝置

(57)摘要

本發明的一個實施方式提供一種具有優良的電特性的佈線或者具有穩定的電特性的佈線。本發明的一個實施方式是一種裝置的製造方法，包括如下步驟：在基板上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；藉由去除第一絕緣膜的一部分及第二絕緣膜的一部分，形成第一開口部；在第一開口部中及第二絕緣膜的頂面形成第一導電體；以及藉由使第一導電體的表面平坦化去除第一導電體的一部分，形成第二導電體。

A wiring having excellent electrical characteristics is provided. A wiring having stable electrical characteristics is provided. A device is manufactured through the steps of forming a first insulating film over a substrate, forming a second insulating film over the first insulating film, removing part of the first insulating film and part of the second insulating film to form a first opening, forming a first conductor in the first opening and over a top surface of the second insulating film, and forming a second conductor by planarizing a surface of the first conductor so as to remove part of the first conductor.

指定代表圖：

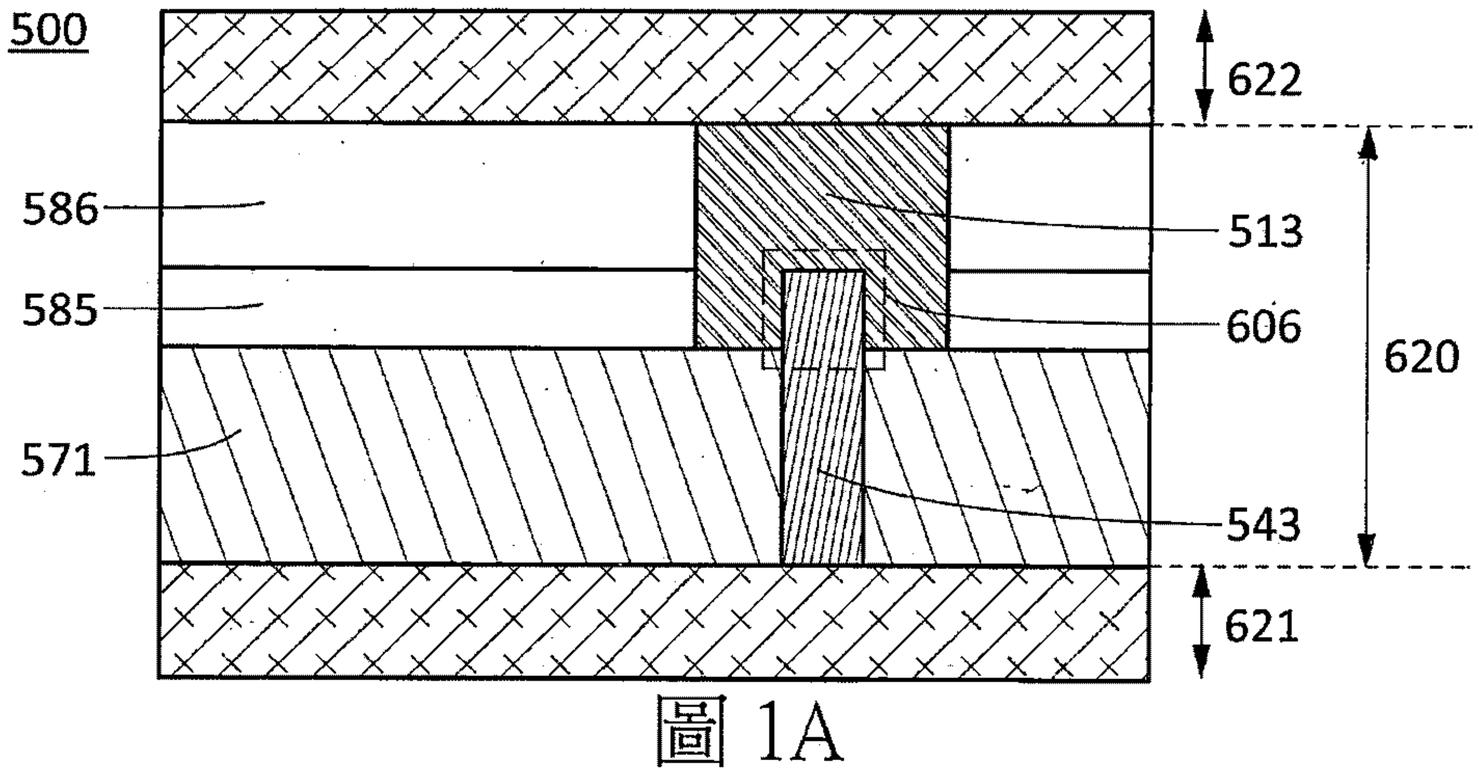


圖 1A

符號簡單說明：

500・・・裝置

513・・・導電層

543・・・導電層

571・・・絕緣膜

585・・・絕緣膜

586・・・絕緣膜

606・・・凸部

620・・・層

621・・・層

622・・・層

I732383

發明摘要

※ 申請案號：108145851（由105102353分割）

※ 申請日：105年1月26日　　※IPC 分類：*H01L 21/3205* (2006.01)
H01L 21/321 (2006.01)

【發明名稱】（中文/英文）

裝置及其製造方法以及電子裝置

DEVICE, MANUFACTURING METHOD THEREOF, AND ELECTRONIC DEVICE

【中文】

本發明的一個實施方式提供一種具有優良的電特性的佈線或者具有穩定的電特性的佈線。本發明的一個實施方式是一種裝置的製造方法，包括如下步驟：在基板上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；藉由去除第一絕緣膜的一部分及第二絕緣膜的一部分，形成第一開口部；在第一開口部中及第二絕緣膜的頂面形成第一導電體；以及藉由使第一導電體的表面平坦化去除第一導電體的一部分，形成第二導電體。

【英文】

A wiring having excellent electrical characteristics is provided. A wiring having stable electrical characteristics is provided. A device is manufactured through the steps of forming a first insulating film over a substrate, forming a second insulating film over the first insulating film, removing part of the first insulating film and part of the second insulating film to form a first opening, forming a first conductor in the first opening and over a top surface of the second insulating film, and forming a second conductor by planarizing a surface

of the first conductor so as to remove part of the first conductor.

【代表圖】

【本案指定代表圖】：第（1A）圖。

【本代表圖之符號簡單說明】：

500 裝置

513 導電層

543 導電層

571 絕緣膜

585 絕緣膜

586 絕緣膜

606 凸部

620 層

621 層

622 層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

裝置及其製造方法以及電子裝置

DEVICE, MANUFACTURING METHOD THEREOF, AND ELECTRONIC DEVICE

【技術領域】

[0001]

本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。本發明尤其係關於例如一種電極、裝置、半導體、半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、鏡像裝置、記憶體裝置或者處理器。此外，本發明係關於一種電極、半導體、半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、鏡像裝置、記憶體裝置或者處理器的製造方法。另外，本發明係關於一種電極、半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、鏡像裝置、記憶體裝置或者處理器的驅動方法。

[0002]

注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0003]

近年來，隨著電子裝置的高功能化、小型化或輕量化，對包括被微型化的元件的裝置的需求增高。隨著該裝置的微型化，對佈線層的微型化的需求也增高。此外，為了實現優良的特性的裝置，例如被要求具有低電阻的佈線層（參照專利文獻 1）。

[0004]

[專利文獻 1] 日本專利申請公開第平 05-347360 號公報

【發明內容】

[0005]

本發明的一個實施方式的目的之一是提供一種具有優良的電特性的佈線的形成方法。本發明的一個實施方式的目的之一是提供一種具有穩定的電特性的佈線的形成方法。本發明的一個實施方式的目的之一是提供一種微細的佈線的形成方法。本發明的一個實施方式的目的之一是提供一種在絕緣體中嵌入導電體的方法。此外，本發明的一個實施方式的目的之一是提供一種微型化的半導體裝置。

[0006]

本發明的一個實施方式的目的之一是提供一種具有優良的電特性的裝置的製造方法。本發明的一個實施方式的目的之一是提供一種具有穩定的電特性的裝置的製造方法。本發明的一個實施方式的目的之一是提供一種可靠性高的裝置的製造方法。此外，本發明的一個實施方式的目的之一是提供一種良率高的裝置的製造方法。

[0007]

注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個

實施方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並提取上述以外的目的。

[0008]

本發明的一個實施方式是一種裝置的製造方法，該裝置包括元件及電極，電極包括與元件連接的區域，該裝置的製造方法包括如下步驟：在基板上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；藉由去除第一絕緣膜的一部分及第二絕緣膜的一部分，形成第一開口部；在第一開口部中及第二絕緣膜的頂面形成第一導電體；藉由使第一導電體的表面平坦化去除第一導電體的一部分，形成第二導電體；在第二絕緣膜及第二導電體上形成第三絕緣膜，藉由去除第二絕緣膜的一部分及第三絕緣膜的一部分，以使第二導電體的頂面的一部分及側面的一部分露出的方式設置第二開口部；以與第二導電體接觸的方式在第三絕緣膜的頂面及第二開口部中形成第三導電體；以及藉由去除第三導電體的一部分，形成第四導電體。

[0009]

本發明的一個實施方式是一種裝置的製造方法，該裝置包括元件及電極，電極包括與元件連接的區域，該裝置的製造方法包括如下步驟：在基板上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；藉由去除第一絕緣膜的一部分及第二絕緣膜的一部分，形成第一開口部；在第一開口部中及第二絕緣膜的頂面形成第一導電體；藉由利用化學機械拋光法以使第一導電體的表面與基板的底面平行的方式去除第一導電體的一部分，在第一開口部中形成第二導電體；在第二絕緣膜及第二導電體上形成第三絕緣膜，藉由去除第二絕緣膜的一部分及第三絕緣膜的一部分，以使第二導電體的頂面的一部分及側面的一部分露出的方式設置第二開口部；以與第二導電體接觸的方式在第三絕緣膜的頂面及第二開口部中形成第三導電體；以及

藉由去除第三導電體的一部分，形成第四導電體。

[0010]

本發明的一個實施方式是一種裝置的製造方法，該裝置包括元件及電極，電極包括與元件連接的區域，該裝置的製造方法包括如下步驟：在基板上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；藉由去除第一絕緣膜的一部分及第二絕緣膜的一部分，形成第一開口部；在第一開口部中及第二絕緣膜的頂面形成第一導電體；藉由利用化學機械拋光法以使第一導電體的表面與基板的底面平行的方式去除第一導電體的一部分，在第一開口部中形成第二導電體;在第二絕緣膜及第二導電體上形成第三絕緣膜，藉由去除第二絕緣膜的一部分及第三絕緣膜的一部分，以使第二導電體的頂面的一部分及側面的一部分露出的方式設置第二開口部；以與第二導電體接觸的方式在第三絕緣膜的頂面及第二開口部中形成第三導電體；以及藉由利用化學機械拋光法以使第三導電體的表面與基板的底面平行的方式去除第三導電體的一部分，在第二開口部中形成第四導電體。

[0011]

在上述結構中，元件較佳為包括氧化物半導體。此外，在上述結構中，較佳的是，第二絕緣膜包含鋁，第一絕緣膜包含矽。另外，在上述結構中，第二絕緣膜的氫透過性較佳的是比第一絕緣膜低。

[0012]

本發明的一個實施方式是一種裝置，包括：第一導電體；第二導電體；第一絕緣膜；以及第二絕緣膜，其中，第二絕緣膜包括與第一絕緣膜的頂面接觸的區域及與第二導電體的側面接觸的區域，第二導電體的側面包括與第一絕緣膜接觸的區域，並且，第二導電體與第一導電體的側面、第一導電體的頂面、第一絕緣膜的頂面接觸。

[0013]

本發明的一個實施方式是一種裝置，包括：第一導電體；第二導電體；第一絕緣膜；以及第二絕緣膜，其中，第二絕緣膜包括與第一絕緣膜的頂面接觸的區域及與第二導電體的側面接觸的區域，第二導電體包括具有第一厚度的第一區域及具有第二厚度的第二區域，第一區域與第一導電體的頂面接觸，第二區域與第一絕緣膜的頂面接觸，第一厚度比第二厚度薄。

[0014]

本發明的一個實施方式是一種裝置，包括：第一導電體；第二導電體；第一絕緣膜；以及第二絕緣膜，其中，第二絕緣膜包括與第一絕緣膜的頂面接觸的區域及與第二導電體的側面接觸的區域，第一導電體包括第三導電體及第四導電體，第三導電體的側面包括與第一絕緣膜接觸的區域，第四導電體與第三導電體的頂面接觸，第二導電體的側面與第二絕緣膜接觸，並且第二導電體與第三導電體的側面、第四導電體的頂面、第一絕緣膜的頂面接觸。

[0015]

在上述結構中，較佳的是，裝置包括氧化物半導體以及層疊在第二導電體上的氧化物半導體。在上述結構中，較佳的是，第二絕緣膜包含鋁，並且第一絕緣膜包含矽。在上述結構中，較佳的是，第二絕緣膜的氫透過性比第一絕緣膜低。

[0016]

本發明的一個實施方式是一種裝置，包括：第一導電體；第二導電體；第一絕緣膜；以及第二絕緣膜，其中，第二絕緣膜包括與第一絕緣膜的頂面接觸的區域，第二導電體包括位於第一導電體上的區域，第一導電體的頂面中最高的區域的高度比第二絕緣膜的頂面中最高的區域的高度高，並

且，第二導電體的底面中最低的區域的高度比第二絕緣膜的頂面中最高的區域的高度低。

[0017]

本發明的一個實施方式是一種包括上述結構中任一結構的裝置的電子裝置。

[0018]

根據本發明的一個實施方式可以提供一種具有優良的電特性的佈線的形成方法。根據本發明的一個實施方式可以提供一種具有穩定的電特性的佈線的形成方法。根據本發明的一個實施方式可以提供一種在絕緣體中嵌入導電體的方法。

[0019]

根據本發明的一個實施方式可以提供一種具有優良的電特性的裝置的製造方法。根據本發明的一個實施方式可以提供一種微細的佈線的形成方法。根據本發明的一個實施方式可以提供一種具有穩定的電特性的裝置的製造方法。根據本發明的一個實施方式可以提供一種可靠性高的裝置的製造方法。根據本發明的一個實施方式可以提供一種良率高的裝置的製造方法。此外，根據本發明的一個實施方式可以提供一種微型化的半導體裝置。

[0020]

注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並提取上述以外的效果。

【圖式簡單說明】

[0021]

在圖式中：

圖 1A 至圖 1C 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 2A 及圖 2B 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 3A 及圖 3B 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 4 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 5A 至圖 5D 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 6A 至圖 6C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 7A 至圖 7C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 8A 至圖 8C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 9A 及圖 9B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 10 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 11 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 12 是示出本發明的一個實施方式的裝置的一個例子的圖；

圖 13A 及圖 13B 是示出本發明的一個實施方式的裝置的一個例子的圖；

圖 14 是示出本發明的一個實施方式的裝置的一個例子的圖；

圖 15A 至圖 15C 是本發明的一個實施方式的電路圖；

圖 16A 至圖 16C 是本發明的一個實施方式的電路圖；

圖 17A 至圖 17E 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 18A 至圖 18C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 19A 至圖 19C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 20A 至圖 20C 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 21 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 22 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 23A 及圖 23B 是示出本發明的一個實施方式的電晶體的一個例子的剖面圖；

圖 24 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 25 是包括本發明的一個實施方式的氧化物半導體的區域的能帶圖；

圖 26A 及圖 26B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 27A 及圖 27B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 28A 及圖 28B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 29A 及圖 29B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 30A 及圖 30B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 31A 及圖 31B 是示出本發明的一個實施方式的電晶體的一個例子的俯視圖及剖面圖；

圖 32A 及圖 32B 是示出本發明的一個實施方式的電晶體的一個例子的剖面圖；

圖 33A 至圖 33D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像及 CAAC-OS 的剖面示意圖；

圖 34A 至圖 34D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 35A 至圖 35C 是說明藉由 XRD 的 CAAC-OS 及單晶氧化物半導體的結構分析的圖；

圖 36A 及圖 36B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 37 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 38 是實施方式的 CPU 的結構實例；

圖 39 是實施方式的記憶元件的電路圖；

圖 40 是實施方式的 RF 標籤的結構實例；

圖 41A 至圖 41F 是實施方式的 RF 標籤的使用例子；

圖 42A 至圖 42C 是實施方式的顯示裝置的俯視圖及電路圖；

圖 43A 至圖 43F 是實施方式的電子裝置；

圖 44A 及圖 44B 是示出本發明的一個實施方式的裝置的俯視圖；

圖 45A 及圖 45B 是示出本發明的一個實施方式的裝置的方塊圖；

圖 46A 及圖 46B 是示出本發明的一個實施方式的裝置的剖面圖；

圖 47 是示出本發明的一個實施方式的裝置的剖面圖；

圖 48 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 49 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 50A 至圖 50C 是示出本發明的一個實施方式的裝置的一個例子的剖面圖；

圖 51A 至圖 51D 是示出本發明的一個實施方式的裝置的製造方法的一個例子的剖面圖；

圖 52A 及圖 52B 是利用 STEM 的剖面觀察結果；

圖 53 是利用 STEM 的剖面觀察結果；

圖 54A 及圖 54B 是利用 STEM 的剖面觀察結果；

圖 55 是利用 STEM 的剖面觀察結果；

圖 56A 及圖 56B 是元件的剖面圖及俯視圖；

圖 57 是元件的電阻值的測量結果。

【實施方式】

[0022]

將參照圖式對本發明的實施方式進行詳細的說明。注意，本發明不侷限於以下說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在下面的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加元件符號。此外，當參照不同元件符號的組件的記載時，可以適當地使用所參照的組件的厚度、組成、結構或形狀等的記載。

[0023]

在圖式中，有時為了便於理解而誇大尺寸、膜（層）的厚度或區域。

[0024]

此外，電壓大多指某個電位與參考電位（例如，接地電位（GND）或源極電位）之間的電位差。由此，可以將電壓換稱為電位。一般而言，電位（電壓）是相對的，根據與參考電位之差決定。因此，在記載為“接地電位”等的情況下，電位也不侷限於 0V。例如，也有電路中的最低電位為“接地電位”的情況。或者，也有電路中的實質上的中間電位為“接地電位”的情況。在該情況下，以該電位為基準規定正電位及負電位。

[0025]

另外，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，在本說明書等中記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

[0026]

注意，例如在導電性充分低時，有時即便在表示為“半導體”時也具有“絕緣體”的特性。此外，“半導體”與“絕緣體”的境界不清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將本說明書所記載的“絕緣體”換稱為“半導體”。

[0027]

另外，例如在導電性充分高時，有時即便在表示為“半導體”時也具有“導電體”的特性。此外，“半導體”和“導電體”的境界不清楚，因此有時不能精確地區別。由此，有時可以將本說明書所記載的“半導體”換稱為“導電體”。同樣地，有時可以將本說明書所記載的“導電體”換稱為“半導體”。

[0028]

注意，半導體的雜質例如是指構成半導體的主要成分之外的物質。例如，濃度低於 0.1atomic%的元素是雜質。當包含雜質時，例如，有可能在半導體中形成 DOS（Density of State：態密度），載子移動率有可能降低或結晶性有可能降低。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（包含於水中）、鋰、鈉、矽、硼、磷、碳、氮等。當半導體是氧化物半導體時，有時例如由於氫等雜質的混入導致氧缺陷的產生。此外，當半導體是矽層時，作為改變半導體特性的雜質，例如有氧、除氫之外的第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等。

[0029]

在本說明書中，“A 具有其端部從 B 的端部突出的形狀”有時指在俯視圖或剖面圖中 A 的至少一個端部位於 B 的至少一個端部的外側。因此，例如可以將“A 具有其端部從 B 的端部突出的形狀”的記載解釋為在俯視圖中 A 的一個端部位於 B 的一個端部的外側。

[0030]

在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下的狀態。因此也包括該角度為-5°以上且 5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度為-30°以上且 30°以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80°以上且 100°以下的狀態。因此也包括該角度為 85°以上且 95°以下的狀態。“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0031]

另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0032]

注意，在本說明書中，當記載為半導體時，可以換稱為氧化物半導體。作為半導體，還可以使用：矽或鍺等第 14 族半導體；碳化矽、矽化鍺、砷化鎵、磷化銦、硒化鋅或硫化鎘等化合物半導體；以及有機半導體。

[0033]

在本說明書中，當簡單地記載為氧化物時，可以換稱為氧化物半導體、氧化物絕緣體或氧化物導電體。

[0034]

在本說明書中，有時裝置例如是指半導體裝置、顯示裝置、發光裝置、照明設備、蓄電裝置、鏡像裝置、記憶體裝置、電光裝置等裝置。

[0035]

實施方式 1

在本實施方式中，對包括用來電連接元件與元件的導電層的裝置的製造方法進行說明。這裡，導電層例如是包括導電體的層。此外，導電層例如是指電極或插頭等。本發明的一個實施方式的裝置例如包括元件及電極，該電極包括與元件連接的區域。

[0036]

[裝置的例子]

圖 1A 示出本發明的一個實施方式的裝置 500 的剖面的一個例子。圖 1A 所示的裝置 500 包括層 621、層 622、層 621 與層 622 之間的層 620。層 620 包括與層 621 的頂面接觸的絕緣膜 571、導電層 543、與絕緣膜 571 的頂面以及導電層 543 的頂面接觸的導電層 513、與絕緣膜 571 的頂面接觸的絕緣

膜 585、與絕緣膜 585 的頂面接觸的絕緣膜 586。此外，與絕緣膜 586 的頂面及導電層 513 的頂面接觸地設置有層 622。

[0037]

導電層 543 的側面包括與絕緣膜 571 接觸的區域及與導電層 513 接觸的區域。此外，導電層 543 的頂面包括與導電層 513 接觸的區域。

[0038]

導電層 513 的側面包括與絕緣膜 585 接觸的區域及與絕緣膜 586 接觸的區域。

[0039]

這裡，導電層 543 包括從絕緣膜 571 的頂面突出的區域的凸部 606。導電層 513 包括與凸部 606 的頂面及側面接觸的區域。此外，導電層 513 的底面較佳為包括凹部。

[0040]

藉由使導電層 543 包括凸部 606，例如可以增大與導電層 513 的接觸面積。因此，有時可以進一步降低導電層 543 與導電層 513 的接觸電阻。此外，藉由使導電層 513 的底面具有凹部，可以增大與導電層 543 的接觸面積，由此有時可以進一步降低接觸電阻。

[0041]

層 621 及層 622 較佳為包括導電體及絕緣體。此外，層 621 及層 622 較佳為包括元件，更佳為包括半導體元件。這裡，半導體元件例如是包括半導體及導電體的元件。導電層 543 較佳的是與層 621 所包括的導電體或半導體電連接。此外，導電層 513 較佳的是與層 622 所包括的導電體或半導體電連接。

[0042]

如圖 1B 所示，層 620 也可以包括與絕緣膜 571 的頂面接觸的多個導電體。圖 1B 與圖 1A 的不同之處在於包括與絕緣膜 571 的頂面接觸的導電層 413。這裡，由於導電層 413 形成在不包括凸部 606 等所例示的凸部的區域上，所以在圖 1B 所示的剖面中，導電層 413 的底面的平坦性比導電層 513 的底面高。此外，導電層 513 及導電層 413 較佳為包括設置在具有凸部 606 等所例示的凸部的區域上的第一區域及設置在不具有凸部的區域上的第二區域。

[0043]

此外，如圖 1C 所示，層 620 也可以在絕緣膜 571 與層 621 之間包括絕緣膜 584。在圖 1C 中，導電層 543 的側面與絕緣膜 571 及絕緣膜 584 接觸。

[0044]

圖 2A 示出層 620 所包括的導電層 543 的形狀與圖 1C 不同的例子。在圖 2A 所示的剖面中，導電層 543 的頂面附近的區域的寬度比其底面附近的區域的寬度窄。

[0045]

如圖 2B 所示，層 620 所包括的導電層 543 及導電層 513 也可以包括兩層以上的導電層。在圖 2B 中，導電層 543 包括與絕緣膜 584、絕緣膜 571 及導電層 513 接觸的導電層 543a 以及與導電層 543a 的內面接觸且以嵌入的方式形成的導電層 543b。此外，導電層 513 包括與絕緣膜 585 及絕緣膜 586 接觸的導電層 513a 以及與導電層 513a 的內面接觸且以嵌入的方式形成的導電層 513b。

[0046]

圖 3A 與圖 1A 的不同之處在於：在層 620 所包括的凸部 606 的頂面包括由導電層 513 覆蓋的區域及不由導電層 513 覆蓋的區域；以及在凸部 606

的側面包括由導電層 513 覆蓋的區域及不由導電層 513 覆蓋的區域。

[0047]

圖 3B 與圖 1A 的不同之處在於層 620 所包括的凸部 606 的形狀。圖 3B 與圖 1A 的不同之處在於凸部 606 包括與絕緣膜 585 的頂面接觸的區域以及與絕緣膜 586 接觸的側面。

[0048]

在圖 1A 至圖 3B 中，導電層 543 例如電連接層 621 所包括的導電層與導電層 513。此外，導電層 513 例如較佳為具有在樣本面內被引繞的佈線層的功能。另外，層 622 較佳為包括與導電層 513 電連接的多個導電層。參照圖 4 說明其一個例子。

[0049]

圖 4 包括層 621、層 622、連接層 621 與層 622 的層 620。層 621 包括具有半導體元件的層 623、與層 623 的頂面接觸的絕緣膜 581、與層 623 的頂面接觸的導電層 511、與絕緣膜 581 的頂面接觸的絕緣膜 582、與導電層 511 的頂面接觸的導電層 542、與絕緣膜 582 的頂面接觸的絕緣膜 583、與導電層 542 的頂面接觸的導電層 512。導電層 543 與導電層 512 的頂面接觸。此外，導電層 511 較佳的是與層 623 所包括的半導體元件電連接。

[0050]

絕緣膜 582 較佳的是與導電層 511 的頂面接觸。此外，導電層 512 較佳的是與絕緣膜 582 的頂面接觸。

[0051]

導電層 511 的側面與絕緣膜 581 接觸，導電層 542 的側面與絕緣膜 582 接觸，導電層 512 的側面與絕緣膜 583 接觸。

[0052]

層 622 包括與絕緣膜 586 的頂面接觸的絕緣膜 587、與導電層 513 的頂面接觸的導電層 544、與絕緣膜 587 的頂面接觸的絕緣膜 588、與導電層 544 的頂面接觸的導電層 514、與絕緣膜 588 的頂面及導電層 514 的頂面接觸的層 624。層 624 包括半導體元件。此外，導電層 514 較佳的是與層 624 所包括的半導體元件電連接。

[0053]

絕緣膜 587 較佳的是與導電層 513 的頂面接觸。絕緣膜 587 較佳的是與導電層 413 的頂面接觸。此外，導電層 514 較佳的是與絕緣膜 587 的頂面接觸。

[0054]

導電層 543 電連接層 621 所包括的導電層 512 與導電層 513。層 622 包括電連接導電層 513 與層 622 所包括的導電層 514 的導電層 544。導電層 542 至導電層 544 等導電層有時稱為插頭。此外，導電層 511 至導電層 514 有時例如較佳為具有在樣本面內被引繞的佈線層的功能。這樣的佈線層較佳的是在樣本面內的電阻偏差小。

[0055]

〈絕緣膜 571〉

這裡，絕緣膜 571 較佳為具有阻擋氫及水的功能。例如，絕緣膜 571 較佳的是與絕緣膜 584 至絕緣膜 586 中的至少一個相比氫透過性及水透過性更低。此外，絕緣膜 571 較佳為具有阻擋氧的功能。例如，絕緣膜 571 較佳的是與絕緣膜 584 至絕緣膜 586 中的至少一個相比氧透過性更低。這裡，水及氫的透過性低例如是指與一般用作絕緣體的氧化矽等相比水及氫的透過性更低的情況。此外，氧透過性低是指與一般用作絕緣體的氧化矽等相比氧的透過性更低的情況。

[0056]

藉由使絕緣膜 571 具有阻擋氫的功能，可以抑制層 621 所包括的絕緣體等所包含的氫擴散到層 622。例如，當層 622 包括具有氧化物半導體的半導體元件時，藉由抑制氫擴散到該氧化物半導體，有時可以抑制半導體元件特性的降低。

[0057]

藉由使絕緣膜 571 具有阻擋氧的功能，有時可以抑制氧從層 622 向外擴散，而氧容易供應給層 622 中。例如，當層 622 包括具有氧化物半導體的半導體元件時，有時藉由使氧容易供應給該氧化物半導體，可以提高半導體元件的特性。

[0058]

作為絕緣膜 571，例如可以使用氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）或（Ba，Sr）TiO_3（BST）、氮化矽等的單層或疊層。另外，例如也可以對這些絕緣膜添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔、氧化鋯、氧化鎵。此外，也可以對這些絕緣膜進行氮化處理形成氧氮化膜。還可以在上述絕緣膜上層疊氧化矽、氧氮化矽或氮化矽。尤其是，氧化鋁具有對水或氫的優良的阻擋性，所以是較佳的。

[0059]

作為絕緣膜 571，除了不容易使水或氫透過的材料的層之外，也可以使用包含其他絕緣材料的層的疊層。例如，也可以使用包含氧化矽或氧氮化矽的層、包含金屬氧化物的層等的疊層。

[0060]

〈絕緣膜 581 等〉

作為圖 1A 至圖 4 所示的絕緣膜 581 至絕緣膜 588，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。

[0061]

絕緣膜 581 至絕緣膜 588 可以藉由濺射法、CVD 法(包括熱 CVD 法、MOCVD 法、PECVD 法等)、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少由電漿造成的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0062]

作為絕緣膜 581 至絕緣膜 588 可以使用矽碳氮化膜(SiCN 膜)。此外，可以使用 USG (Undoped Silicate Glass：未摻雜矽玻璃)、BPSG (Boron Phosphorus Silicate Glass：硼磷矽玻璃)、BSG (Borosilicate Glass：硼矽玻璃）等。藉由常壓 CVD 法形成 USG、BPSG 等即可。此外，例如，利用塗布法形成 HSQ（氫倍半矽氧烷）等。

[0063]

絕緣膜 581、絕緣膜 583 等如圖 10 等所示也可以採用兩層以上的疊層。在圖 10 中示出絕緣膜 581 為絕緣膜 581a 及絕緣膜 581b 的兩層且絕緣膜 583 為絕緣膜 583a 及絕緣膜 583b 的兩層的例子。作為一個例子，可以將氮及矽的絕緣膜用於絕緣膜 581a、絕緣膜 583a，且將 USG 用於絕緣膜 581b、絕緣膜 583b，並將這些絕緣膜層疊。

[0064]

〈導電層 511 等及導電層 542 等〉

作為圖 1A 至圖 4 所示的導電層 511 至導電層 514 及導電層 542 至導電

層 544，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。例如，可以使用選自鋁、鈦、鉻、鎳、銅、釔、鋯、鈮、鉬、銀、鉭和鎢等中的金屬或以這些元素為主要成分的合金以單層結構或疊層結構形成。此外，可以使用氮化鎢、氮化鉬、氮化鈦等金屬氮化物。

[0065]

作為一個例子，也可以使用氮化鈦、鈦等的材料和其他材料的疊層。例如，有時藉由在開口部中形成氮化鈦或鈦，然後層疊其他金屬，可以提高與開口部的緊密性。

[0066]

例如，有包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜和鈦膜或氮化鈦膜的三層結構、依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜和鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0067]

[裝置的製造方法]

接著，參照圖 5A 至圖 8C 對圖 2B 所示的裝置 500 的製造方法的一個例子進行說明。

[0068]

首先，在層 621 上依次形成絕緣膜 584、絕緣膜 571 及絕緣膜 585（參照圖 5A）。絕緣膜 584、絕緣膜 571 及絕緣膜 585 例如可以利用濺射法、CVD（Chemical Vapor Deposition：化學氣相沉積）法（包括熱 CVD 法、MOCVD（Metal Organic CVD：有機金屬 CVD）法、PECVD（Plasma Enhanced CVD：

電漿 CVD）法等）、MBE（Molecular Beam Epitaxy：分子束磊晶）法、ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulsed Laser Deposition：脈衝雷射沉積）法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少由電漿造成的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0069]

接著，在絕緣膜 585 上形成遮罩 611。遮罩例如可以利用光微影法使用光阻劑來形成。此外，也可以形成包括無機膜或金屬膜的硬遮罩（參照圖 5B）。

[0070]

接著，使用遮罩 611 對絕緣膜 585、絕緣膜 571 及絕緣膜 584 進行蝕刻，來設置開口部 601。然後，去除遮罩（參照圖 5C）。作為絕緣體的蝕刻例如使用乾蝕刻法即可。此外，當作為絕緣膜 571 例如使用氧化鋁時，例如可以利用使用三氯化硼等的氣體的乾蝕刻等。

[0071]

接著，在絕緣膜 585 上及開口部 601 內形成將成為導電層 543 的導電膜。這裡，示出作為導電層 543 使用導電層 543a 及導電層 543b 的疊層膜的例子。首先，形成將成為導電層 543a 的導電膜 543c（參照圖 5D）。接著，形成將成為導電層 543b 的導電膜 543d（參照圖 6A）。注意，導電層 543 可以為單層膜或三層以上的疊層膜。

[0072]

接著，藉由對導電膜 543d 及導電膜 543c 的表面進行平坦化來將其去除，使絕緣膜 585 露出而形成導電層 543a 及導電層 543b（參照圖 6B）。較佳為利用化學機械拋光（Chemical Mechanical Polishing：CMP）法等拋

光法去除導電膜 543d 及導電膜 543c。或者，也可以利用乾蝕刻。例如，可以利用回蝕等的方法。在利用 CMP 法等拋光法時，有時導電膜 543d 及導電膜 543c 的拋光速度在樣本的面內具有變動。在此情況下，在拋光速度較快的部分中，有時絕緣膜 585 的露出時間變長。較佳的是與導電膜 543d 及導電膜 543c 的拋光速度相比絕緣膜 585 的拋光速度更慢。藉由使絕緣膜 585 的拋光速度變慢，在導電膜 543d 及導電膜 543c 的拋光製程中，絕緣膜 585 可以用作拋光的停止膜。此外，可以提高絕緣膜 585 的表面的平坦性。

[0073]

在此，CMP 法是一種對被加工物的表面藉由化學、機械的複合作用進行平坦化的方法。一般而言，在拋光台上貼附砂布，且一邊在被加工物與砂布之間供應漿料（拋光劑），一邊將拋光台和被加工物分別旋轉或搖動，來由漿料與被加工物表面之間的化學反應以及砂布與被加工物的機械拋光的作用對被加工物的表面進行拋光。

[0074]

在 CMP 法中，作為砂布例如可以使用聚氨酯泡沫、不織布、絨面革等。此外，作為磨粒例如可以使用二氧化矽（氧化矽）、氧化鈰、氧化錳、氧化鋁等。此外，作為二氧化矽例如可以使用氣相法二氧化矽、膠體二氧化矽。

[0075]

用於 CMP 法的漿料從容易去除被加工物或使漿料穩定的觀點來看有時需要調整 pH。例如，在使用酸性的漿料時，用作停止膜的絕緣膜 585 較佳的是對酸具有高耐性。此外，在使用鹼性的漿料時，絕緣膜 585 較佳的是對鹼具有高耐性。

[0076]

此外，作為漿料中的氧化劑例如也可以使用過氧化氫等。

[0077]

這裡，作為一個例子，說明導電層 543 具有鎢且絕緣膜 585 具有氧化矽的情況。作為漿料中的磨粒例如較佳為使用氣相法二氧化矽、膠體二氧化矽。此外，例如較佳為使用酸性的漿料，例如作為氧化劑較佳為使用過氧化氫水。

[0078]

這裡，例如，作為導電層 543a 也可以使用氮化鈦膜，作為導電層 543b 也可以使用鎢。此外，也可以在導電層 543a 與導電層 543b 之間使用鈦等。

[0079]

或者，導電層 543 也可以包含銅。

[0080]

絕緣膜 585 較佳為包含矽，更佳為包含矽及氧。例如，較佳為包含氧化矽、氧氮化矽等。

[0081]

接著，形成絕緣膜 586（參照圖 6C）。關於絕緣膜 586 的形成方法，參照絕緣膜 584 等即可。

[0082]

接著，在絕緣膜 586 上形成遮罩 607（參照圖 7A）。關於遮罩 607 參照遮罩 611 的記載即可。

[0083]

接著，使用遮罩 607 對絕緣膜 586 及絕緣膜 585 進行蝕刻，來設置開口部 602 及開口部 603。然後，去除遮罩（參照圖 7B）。作為絕緣體的蝕刻例如使用乾蝕刻法即可。這裡，絕緣膜 571 的蝕刻速度比絕緣膜 585 慢，較佳的是蝕刻速度的差異較大。就是說，當設置開口部 602 及開口部 603

時，絕緣膜 571 的蝕刻量越少越好。

[0084]

當絕緣膜 571 與絕緣膜 585 的蝕刻速度的差異較小時，如圖 7C 所示，絕緣膜 571 被去除相當於厚度 610 的程度。厚度 610 例如有時在樣本面內具有變動。如後面所述，在開口部 602 及開口部 603 中形成導電層。所形成的該導電層有時例如用作在樣本面內被引繞的佈線層。這樣的佈線層較佳的是電阻偏差較小。

[0085]

當厚度 610 在樣本面內具有變動時，有時厚度的偏差導致佈線層的電阻的偏差。因此，較佳的是使厚度 610 儘可能地變薄。或者，厚度 610 的偏差較佳為小。

[0086]

藉由使絕緣膜 571 的蝕刻速度比絕緣膜 585 慢且蝕刻速度的差異變大，可以減薄厚度 610。或者，可以減少厚度 610 的偏差。

[0087]

厚度 610 的偏差有時也導致導電層 543 的凸部的高度偏差。藉由減少厚度 610 的偏差，有時可以減少凸部的高度偏差。

[0088]

這裡，例如藉由作為絕緣膜 571 使用具有氧化鋁的膜且作為絕緣膜 585 使用具有氧及矽的膜，有時可以使絕緣膜 571 的蝕刻速度充分地慢於絕緣膜 585，所以是較佳的。

[0089]

這裡，開口部 602 設置在導電層 543 上。有時導電層 543 的蝕刻速度比絕緣膜 585 的蝕刻速度慢。在此情況下，由於絕緣膜 585 先被蝕刻，所

以在開口部 602 的下部形成導電層 543 的凸部。另一方面，由於開口部 603 形成在沒有導電層 543 等的與層 621 連接的導電層的區域上，所以在開口部 603 的下部不會形成導電層的凸部，就是說開口部 603 的底面的平坦性比開口部 602 高。如此，藉由在平坦性高的開口部中形成導電層，導電層的剖面積不受到凸部的影響，因此有時可以進一步減少導電層的電阻的偏差。

[0090]

接著，在所設置的開口部 602 及開口部 603 中形成將成為導電層 513 等的導電層的膜。這裡，示出作為導電層 513 使用導電層 513a 及導電層 513b 的疊層膜的例子。首先，形成將成為導電層 513a 的導電膜 513c。接著，形成將成為導電層 513b 的導電膜 513d（參照圖 8A）。注意，導電層 513 可以是單層膜或三層以上的疊層膜。

[0091]

接著，藉由對導電膜 513d 及導電膜 513c 的表面進行平坦化來將其去除，使絕緣膜 586 露出而形成導電層 513 等導電層（參照圖 8B）。例如較佳為利用 CMP 法等拋光法去除導電膜 513d 及導電膜 513c。

[0092]

接著，在絕緣膜 586 及導電層 513 等的導電層上形成層 622（參照圖 8C）。藉由上述製程，可以製造圖 2B 所示的裝置 500。

[0093]

這裡，如圖 7B 所示，當對絕緣膜 586 及絕緣膜 585 進行蝕刻設置開口部 602 時，有時絕緣膜 585 的一部分殘留在導電層 543 的側壁。該殘留的絕緣膜為絕緣膜 598。

[0094]

圖 50A 示出其一個例子。在圖 50A 所示的裝置 500 中，包括與導電層 543 所包括的凸部 606 的側壁及絕緣膜 571 的頂面接觸的絕緣膜 598。絕緣膜 598 具有由導電層 513 及導電層 543 夾住的區域。圖 50C 示出放大圖 50A 的一部分的圖。這裡，絕緣膜 598 也可以只與導電層 543 的側面的一部分接觸。例如，如圖 50B 所示，在裝置 500 中，絕緣膜 598 也可以與導電層 543 所包括的凸部 606 的側壁的一部分接觸。在圖 50B 中，凸部 606 的側面的一部分與絕緣膜 598 接觸。此外，凸部 606 的側面在凸部 606 的上部附近包括不由絕緣膜 598 覆蓋的區域。藉由在此使裝置 500 包括絕緣膜 598，有時導電層 513 的覆蓋性得到提高。因此，例如有時可以抑制導電層 513 的形狀不良。

[0095]

〈裝置的變形例子〉

接著，示出在裝置 500 中層 620 包括電容元件 150 的例子。圖 20C 所示的裝置 500 與圖 4 所示的裝置 500 的不同之處在於包括層 621 上的導電層 521、與導電層 513 形成在同一層中的導電層 523、連接層 621 所包括的導電層與導電層 523 的導電層 522。此外，圖 4 中的裝置所包括的導電層 413 在圖 20C 中未圖示，但是圖 20C 中的裝置也可以包括導電層 413。

[0096]

這裡，電容元件由導電層 521 及導電層 523 的一對電極以及用作電介質的絕緣膜 571 形成。導電層 522 與導電層 543 同樣地在絕緣膜 571 上具有凸部。導電層 523 與導電層 513 同樣地以覆蓋導電層 522 所具有的凸部的方式形成。

[0097]

在圖 20C 中示出導電層 522 包括導電層 522a 及導電層 522b 的兩層且

導電層 523 包括導電層 523a 及導電層 523b 的兩層的例子，但是導電層 522 及導電層 523 也可以是單層或三層以上的疊層膜。

[0098]

參照圖 17A 至圖 20C 對圖 20C 所示的裝置 500 的製造方法進行說明。

[0099]

首先，在層 621 上形成絕緣膜 584。接著，在絕緣膜 584 上設置遮罩 608（參照圖 17A）。接著，使用遮罩 608 對絕緣膜 584 進行蝕刻來設置開口部（參照圖 17B）。接著，在所設置的開口部內及絕緣膜 584 上形成將成為導電層 521 的導電膜 526（參照圖 17C）。接著，對導電膜 526 的表面進行平坦化來將其去除，形成導電層 521（參照圖 17D）。接著，形成絕緣膜 571 及絕緣膜 585（參照圖 17E）。

[0100]

接著，在絕緣膜 585 上設置遮罩 614（參照圖 18A）。接著，使用遮罩 614 對絕緣膜 585、絕緣膜 571 及絕緣膜 584 進行蝕刻，在層 621 上設置開口部 601 及開口部 603（參照圖 18B）。接著，在開口部 601 及開口部 603 內以及絕緣膜 585 上形成將成為導電層 543a、導電層 522a 等的導電膜 543c，接著形成將成為導電層 543b、導電層 522b 等的導電膜 543d（參照圖 18C）。

[0101]

接著，對導電膜 543d 及導電膜 543c 的表面進行平坦化來將其去除，形成導電層 543 及導電層 522（參照圖 19A）。接著，形成絕緣膜 586（參照圖 19B）。接著，在絕緣膜 586 上設置遮罩 614（參照圖 19C）。

[0102]

接著，使用遮罩 614 對絕緣膜 586 及絕緣膜 585 進行蝕刻，設置開口部 602、開口部 605（參照圖 20A）。這裡，在開口部 602 及開口部 605 的下

部具有凸部。關於凸部的記載，例如參照圖 7B 的說明即可。

[0103]

接著，藉由在開口部 602、開口部 605 內以及絕緣膜 586 上形成導電膜之後，對該導電膜的表面進行平坦化來將其去除，形成導電層 523 及導電層 513（參照圖 20B）。然後，在導電層 523、導電層 513 及絕緣膜 586 上形成層 622，從而得到圖 20C 所示的裝置 500。

[0104]

[電晶體的例子]

對作為層 622 所包括的元件使用電晶體的例子進行說明。圖 9A 及圖 9B 示出層 622 所包括的電晶體 490 的一個例子。圖 9A 是電晶體 490 的俯視圖。圖 9B 示出對應於圖 9A 所示的點劃線 E1-E2 及點劃線 E3-E4 的剖面。

[0105]

圖 9B 所示的剖面示出電晶體 490 形成在層 625 上的例子。層 625 可以是具有絕緣表面的基板，也可以設置在導電體上。此外，層 625 較佳為具有絕緣體及導電體。此外，層 625 例如也可以包括層 621。

[0106]

圖 9A 及圖 9B 所示的電晶體 490 包括層 625 上的絕緣膜 402、絕緣膜 402 上的半導體 406a、半導體 406a 上的半導體 406b、與半導體 406b 的頂面接觸的導電層 416a 及導電層 416b、與半導體 406a 的側面、半導體 406b 的頂面及側面、導電層 416a 的頂面及側面以及導電層 416b 的頂面及側面接觸的半導體 406c、半導體 406c 上的絕緣膜 412、絕緣膜 412 上的導電層 404。

[0107]

這裡，層 625 也可以包括夾著絕緣膜 402 與半導體 406a 對置的導電層。

該導電層也可以用作電晶體 490 的電極。

[0108]

注意，半導體 406b 具有電晶體的通道形成區域的功能。另外，導電層 404 具有電晶體的第一閘極電極（也稱為前閘極電極）的功能。此外，導電層 416a 及導電層 416b 具有電晶體的源極電極及汲極電極的功能。

[0109]

這裡，作為半導體 406a、半導體 406b 及半導體 406c，較佳為使用氧化物半導體。氧化物半導體將在後面說明。

[0110]

如圖 9B 所示，可以由導電層 404 的電場電圍繞半導體 406b（將由導電體的電場電圍繞半導體的電晶體結構稱為 surrounded channel(s-channel) 結構）。因此，有時在整個半導體 406b 中（塊內）形成通道。在 s-channel 結構中，可以使大電流流過電晶體的源極與汲極間，由此可以提高導通時的電流(通態電流，on-state current)。

[0111]

由於可以得到高通態電流，因此 s-channel 結構可以說是適合於微型電晶體的結構。因為可以使電晶體微型化，所以包括該電晶體的裝置可以具有高集成度及高密度。例如，電晶體的通道長度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且，電晶體的通道寬度較佳為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0112]

以下，對半導體 406a、半導體 406b 及半導體 406c 進行說明。

[0113]

藉由在半導體 406b 的上下配置半導體 406a 及半導體 406c，有時可以

提高電晶體的電特性。

[0114]

半導體 406a 較佳為具有 CAAC-OS。半導體 406b 較佳為具有 CAAC-OS。半導體 406c 較佳為具有 CAAC-OS。

[0115]

半導體 406b 例如是包含銦的氧化物半導體。例如，在半導體 406b 包含銦時，其載子移動率（電子移動率）得到提高。此外，半導體 406b 較佳為包含元素 M。元素 M 較佳的是鋁、鎵、釔或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，半導體 406b 較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0116]

注意，半導體 406b 不侷限於包含銦的氧化物半導體。半導體 406b 例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0117]

作為半導體 406b 例如使用能隙大的氧化物。半導體 406b 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0118]

例如，半導體 406a 及半導體 406c 是包含除了氧之外的一種以上或兩種以上的構成半導體 406b 的元素的氧化物半導體。因為半導體 406a 及半

導體 406c 包含除了氧之外的一種以上或兩種以上的構成半導體 406b 的元素，所以在半導體406a與半導體406b的介面以及半導體406b與半導體406c的介面處不容易形成缺陷能階。

[0119]

半導體 406a、半導體 406b 及半導體 406c 較佳的是至少包含銦。另外，在半導體406a是In-M-Zn氧化物的情況下，在In和M的總和為100atomic%時，較佳的是，In 低於 50atomic%，M 高於 50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。此外，在半導體 406b 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為 100atomic%時，較佳的是，In 高於 25atomic%，M 低於 75atomic%，更佳的是，In 高於 34atomic%，M 低於 66atomic%。此外，在半導體 406c 是 In-M-Zn 氧化物的情況下，在 In 和 M 的總和為100atomic%時，較佳的是，In低於50atomic%，M高於50atomic%，更佳的是，In 低於 25atomic%，M 高於 75atomic%。另外，半導體 406c 也可以使用與半導體 406a 相同的種類的氧化物。注意，半導體 406a 及/或半導體 406c 有時也可以不包含銦。例如，半導體 406a 及/或半導體 406c 也可以包含氧化鎵。半導體 406a、半導體 406b 及半導體 406c 所包含的各元素的原子數也可以不是簡單的整數比。

[0120]

作為半導體 406b 使用其電子親和力大於半導體 406a 及半導體 406c 的氧化物。例如，作為半導體 406b 使用如下氧化物，該氧化物的電子親和力比半導體 406a 及半導體 406c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是真空能階和導帶底之間的能量差。

[0121]

注意，銦鎵氧化物具有較小的電子親和力及較高的氧阻擋性。因此，半導體 406c 較佳為包含銦鎵氧化物。鎵原子的比率[Ga/（In+Ga）]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0122]

此時，若施加閘極電壓，通道則形成在半導體 406a、半導體 406b 和半導體 406c 中的電子親和力最大的半導體 406b 中。

[0123]

在此，有時在半導體 406a 與半導體 406b 之間具有半導體 406a 和半導體 406b 的混合區域。另外，有時在半導體 406b 與半導體 406c 之間具有半導體 406b 和半導體 406c 的混合區域。混合區域的缺陷能階密度低。因此，在半導體 406a、半導體 406b 和半導體 406c 的疊層體的能帶圖中，各層之間的介面及介面附近的能量連續地變化（也稱為連續接合）（參照圖 25）。注意，有時無法明確地區分半導體 406a、半導體 406b 及半導體 406c 的各邊界。

[0124]

藉由作為半導體 406b 使用電子親和力大於半導體 406a 及半導體 406c 的氧化物，在對閘極電極施加電場時，在半導體 406a、半導體 406b 和半導體 406c 中的電子親和力較大的半導體 406b 中形成通道。在此，藉由在半導體 406b 中形成通道，例如通道形成區域遠離與絕緣膜 412 之間的介面，由此可以減小與絕緣膜之間的介面的散射的影響。因此，可以提高電晶體的場效移動率。在此，如後面所述，因為半導體 406b 與半導體 406c 的構成元素相同，所以幾乎沒有發生介面散射。

[0125]

此外，在使用氧化矽膜、氧氮化矽膜、氮氧化矽膜或氮化矽膜等作為

閘極絕緣膜的情況下，包含在閘極絕緣膜中的矽有可能混入氧化物半導體膜中。如果矽混入氧化物半導體膜中，則會導致氧化物半導體膜的結晶性下降、載子移動率下降等。因此，為了降低形成有通道的半導體 406b 的雜質濃度，例如矽濃度，較佳的是在半導體 406b 與閘極絕緣膜之間設置半導體 406c。由於同樣的理由，為了降低從絕緣膜 402 擴散的雜質的影響，較佳的是在半導體 406b 與絕緣膜 402 之間設置半導體 406a。

[0126]

此外，為了提高電晶體的通態電流，半導體 406c 的厚度越小越好。例如，半導體 406c 具有其厚度小於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，半導體 406c 具有阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的半導體 406b 中的功能。因此，半導體 406c 較佳為具有一定程度的厚度。例如，半導體 406c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從絕緣膜 402 等釋放的氧向外擴散，半導體 406c 較佳為具有阻擋氧的性質。

[0127]

此外，為了提高可靠性，半導體 406a 較佳為厚且半導體 406c 較佳為薄。例如，半導體 406a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上的區域即可。藉由將半導體 406a 形成得厚，可以拉開從相鄰的絕緣體與半導體 406a 的介面至形成有通道的半導體 406b 的距離。注意，因為具有半導體的裝置的生產率可能會下降，所以半導體 406a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0128]

另外，半導體 406b 包括藉由 SIMS 得到的氫濃度為 1×10^{16}atoms/cm^3 以

上且 2×10^{20}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。為了降低半導體 406b 的氫濃度，較佳為降低半導體 406a 及半導體 406c 的氫濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氫濃度為 1×10^{16}atoms/cm^3 以上且 2×10^{20}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。此外，半導體 406b 具有藉由 SIMS 得到的氮濃度為 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。為了降低半導體 406b 的氮濃度，較佳降低半導體 406a 及半導體 406c 的氮濃度。半導體 406a 及半導體 406c 具有藉由 SIMS 得到的氮濃度為 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。

[0129]

上述三層結構是一個例子。例如，也可以採用沒有半導體 406a 或半導體 406c 的兩層結構。或者，也可以採用在半導體 406a 上或下、或者在半導體 406c 上或下設置作為半導體 406a、半導體 406b 和半導體 406c 例示的半導體中的任何一個半導體的四層結構。或者，也可以採用在半導體 406a 上、半導體 406a 下、半導體 406c 上、半導體 406c 下中的任何兩個以上的位置設置作為半導體 406a、半導體 406b 和半導體 406c 例示的半導體中的

任何一個以上的半導體的 n 層結構（n 為 5 以上的整數）。

[0130]

絕緣膜 408 較佳為具有阻擋氧的功能。此外，絕緣膜 408 較佳為具有阻擋氫及水的功能。作為絕緣膜 408 例如可以使用絕緣膜 571 所示的材料。

[0131]

〈電晶體的製造方法〉

接著，對電晶體 490 的製造方法的一個例子進行說明。圖 9B 所示的電晶體 490 設置在層 625 上。首先，在層 625 上依次形成絕緣膜 402、將成為半導體 406a 的膜以及將成為半導體 406b 的膜。然後，較佳為進行第一加熱處理。第一加熱處理可以以 250℃以上且 650℃以下，較佳為以 300℃以上且 500℃以下的溫度進行。第一加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。第一加熱處理也可以在減壓狀態下進行。或者，作為第一加熱處理，也可以在惰性氣體氛圍下進行加熱處理之後，在包含 10ppm 以上、1%以上或 10%以上的氧化氣體氛圍下進行加熱處理以填補脫離的氧。藉由進行第一加熱處理，可以提高半導體 406a 及半導體 406b 的結晶性，並可以去除氫或水等雜質。

[0132]

接著，在將成為半導體 406b 的膜上設置遮罩，利用乾蝕刻等形成半導體 406b 及半導體 406a。這裡，作為一個例子將導電體用於遮罩。然後，對該遮罩進行加工，將其用作導電層 416a 及導電層 416b。

[0133]

接著，在半導體 406a、半導體 406b、導電層 416a 及導電層 416b 上依次形成將成為半導體 406c 的膜、將成為絕緣膜 412 的膜、將成為導電層 404 的導電膜。然後，使用遮罩利用乾蝕刻等形成導電層 404。然後，去除遮罩。

[0134]

接著，使用遮罩利用乾蝕刻等形成絕緣膜 402、半導體 406c。然後，形成絕緣膜 408。

[0135]

絕緣膜 408 例如可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。較佳的是，藉由作為絕緣膜 408 使用含氧的電漿形成氧化鋁膜，可以將該電漿中的氧作為過量氧添加到絕緣膜 402 及絕緣膜 412 的側面。此時，有時在絕緣膜 408 及絕緣膜 402 的膜介面附近形成包含多量的過量氧的混合區域。

[0136]

較佳的是在形成將成為絕緣膜 408 的絕緣體之後的任何時機進行第二加熱處理。藉由進行第二加熱處理，包含在絕緣膜 402 及該混合區域中的過量氧透過絕緣膜 402 及半導體 406a 移動到半導體 406b。藉由使過量氧移動到半導體 406b，可以降低半導體 406b 的缺陷（氧缺陷）。關於第二加熱處理的條件可以參照第一加熱處理。

[0137]

藉由上述製程，可以製造圖 9A 及圖 9B 所示的電晶體 490。

[0138]

這裡，作為絕緣膜 402 及絕緣膜 412，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。絕緣膜 402 及絕緣膜 412 可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少由電漿造成的損傷，較佳為利用熱 CVD 法、

MOCVD 法或 ALD 法。

[0139]

作為形成將成為半導體 406a、半導體 406b 及半導體 406c 的膜的方法，例如可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等。另外，在作為將成為半導體 406a、半導體 406b 及半導體 406c 的膜藉由 MOCVD 法形成 In-Ga-Zn 氧化物層的情況下，作為源氣體可以使用三甲基銦、三甲基鎵及二甲基鋅等。注意，不侷限於上述源氣體的組合，也可以使用三乙基銦等代替三甲基銦。另外，也可以使用三乙基鎵等代替三甲基鎵。此外，還可以使用二乙基鋅等代替二甲基鋅。此外，作為半導體 406a、半導體 406b 及半導體 406c 的乾蝕刻的氣體，例如可以使用甲烷（CH_4）及氬（Ar）的混合氣體等。

[0140]

關於可以用於導電層 416a、導電層 416b 的材料或形成方法，例如可以參照導電層 542 等。

[0141]

〈電晶體的變形例子〉

圖 26A 是電晶體 490 的俯視圖。圖 26B 示出對應於圖 26A 所示的點劃線 C1-C2 及點劃線 C3-C4 的剖面。

[0142]

圖 26B 所示的電晶體 490 包括：絕緣膜 402；絕緣膜 402 上的半導體 406a；半導體 406a 上的半導體 406b；與半導體 406a 的側面以及半導體 406b 的頂面及側面接觸的導電層 416a 及導電層 416b；與半導體 406a 的側面、半導體 406b 的頂面及側面、導電層 416a 的頂面及側面以及導電層 416b 的頂面及側面接觸的半導體 406c；半導體 406c 上的絕緣膜 412；絕緣膜 412

上的導電層 404。

[0143]

圖 27A 是電晶體 490 的俯視圖。圖 27B 是對應於圖 27A 所示的點劃線 G1-G2 及點劃線 G3-G4 的剖面圖。

[0144]

圖 27A 及圖 27B 所示的電晶體 490 包括：絕緣膜 402；絕緣膜 402 的凸部上的半導體 406a；半導體 406a 上的半導體 406b；半導體 406b 上的半導體 406c；與半導體 406a、半導體 406b 及半導體 406c 接觸且彼此分離地配置的導電層 416a 及導電層 416b；半導體 406c、導電層 416a 及導電層 416b 上的絕緣膜 412；絕緣膜 412 上的導電層 404；導電層 416a、導電層 416b、絕緣膜 412 及導電層 404 上的絕緣膜 408。

[0145]

絕緣膜 412 在 G3-G4 剖面中至少與半導體 406b 的側面接觸。此外，導電層 404 在 G3-G4 剖面中至少隔著絕緣膜 412 面對半導體 406b 的頂面及側面。

[0146]

圖 28A 是電晶體 490 的俯視圖的一個例子。圖 28B 示出對應於圖 28A 的點劃線 E1-E2 及點劃線 E3-E4 的剖面圖的一個例子。注意，在圖 28A 中，為了明確起見，省略一些組件如絕緣體等。

[0147]

圖 28A 及圖 28B 所示的電晶體 490 包括：層 625 上的絕緣膜 402；絕緣膜 402 上的半導體 406a；半導體 406a 上的半導體 406b；與半導體 406b 的頂面接觸的導電層 416a 及導電層 416b；與半導體 406a 的側面、半導體 406b 的側面、導電層 416a 的側面及頂面以及導電層 416b 的側面及頂面接觸的

絕緣膜 591b；與半導體 406b 的頂面接觸的半導體 406c；半導體 406c 上的絕緣膜 412；絕緣膜 412 上的導電層 404；與導電層 404 的頂面及側面以及絕緣膜 591b 的頂面接觸的絕緣膜 408。關於可以用於絕緣膜 591b 的材料等例如可以參照絕緣膜 581。

[0148]

圖 29A 是電晶體 490 的俯視圖的一個例子。圖 29B 示出對應於圖 29A 的點劃線 F1-F2 及點劃線 F3-F4 的剖面圖的一個例子。注意，在圖 29A 中，為了明確起見，省略一些組件如絕緣體等。

[0149]

圖 29A 及圖 29B 所示的電晶體 490 不包括導電層 416a 及導電層 416b，且導電層 426a 及導電層 426b 與半導體 406b 接觸。此時，較佳的是在半導體 406b 及/或半導體 406a 的至少與導電層 426a 及導電層 426b 接觸的區域設置低電阻區域 423a（低電阻區域 423b）。低電阻區域 423a 及低電阻區域 423b 例如可以藉由將導電層 404 等用作遮罩並對半導體 406b 及/或半導體 406a 添加雜質來形成。另外，也可以將導電層 426a 及導電層 426b 設置於半導體 406b 的孔（打穿的部分）或者凹部（沒有打穿的部分）中。藉由將導電層 426a 及導電層 426b 設置於半導體 406b 的孔或凹部中，導電層 426a 及導電層 426b 與半導體 406b 的接觸面積變大，因此能夠降低接觸電阻的影響。亦即，能夠提高電晶體的通態電流。

[0150]

圖 30A 及圖 30B 是本發明的一個實施方式的電晶體 490 的俯視圖及剖面圖。圖 30A 是俯視圖，圖 30B 是對應於圖 30A 所示的點劃線 I1-I2 以及點劃線 I3-I4 的剖面圖。另外，在圖 30A 的俯視圖中，為了圖的簡化，省略一些組件。

[0151]

圖 30A 及圖 30B 所示的電晶體 490 包括：層 625 上的導電層 604；導電層 604 上的絕緣膜 612；絕緣膜 612 上的半導體 606a；半導體 606a 上的半導體 606b；半導體 606b 上的半導體 606c；與半導體 606a、半導體 606b 及半導體 606c 接觸且彼此分離地配置的導電層 616a 及導電層 616b；以及半導體 606c、導電層 616a 及導電層 616b 上的絕緣膜 618。另外，導電層 604 隔著絕緣膜 612 面對半導體 606b 的底面。此外，絕緣膜 612 也可以具有凸部。另外，也可以不設置半導體 606a 或絕緣膜 618。

[0152]

注意，半導體 606b 具有電晶體 490 的通道形成區域的功能。另外，導電層 604 具有電晶體 490 的第一閘極電極（也稱為前閘極電極）的功能。另外，導電層 616a 及導電層 616b 具有電晶體 490 的源極電極及汲極電極的功能。

[0153]

另外，絕緣膜 618 較佳的是包含過量氧的絕緣體。

[0154]

另外，關於導電層 604，參照導電層 404 的記載。關於絕緣膜 612，參照絕緣膜 412 的記載。關於半導體 606a，參照半導體 406c 的記載。關於半導體 606b，參照半導體 406b 的記載。關於半導體 606c，參照半導體 406a 的記載。關於導電層 616a 及導電層 616b，參照導電層 416a 及導電層 416b 的記載。關於絕緣膜 618，參照絕緣膜 402 的記載。

[0155]

因此，有時可以認為圖 30A 及圖 30B 所示的電晶體 490 與圖 27A 及圖 27B 所示的電晶體 490 僅有部分結構不同。明確而言，圖 30A 及圖 30B 所示

的電晶體 490 的結構與圖 27A 及圖 27B 所示的電晶體 490 不具有導電層 404 的結構類似。因此，關於圖 30A 和圖 30B 所示的電晶體 490，可以適當地參照圖 27A 及圖 27B 所示的電晶體 490 的說明。

[0156]

注意，電晶體 490 也可以包括隔著絕緣膜 618 與半導體 606b 重疊的導電體。該導電體用作電晶體 490 的第二閘極電極。關於該導電體，參照導電層 413 的記載。另外，也可以使用該第二閘極電極形成 s-channel 結構。

[0157]

另外，也可以在絕緣膜 618 上設置有顯示元件。例如，也可以設置有像素電極、液晶層、共用電極、發光層、有機 EL 層、陽極、陰極等。顯示元件例如與導電層 616a 等連接。

[0158]

另外，也可以在半導體上設置能夠用作通道保護膜的絕緣體。另外，如圖 31A 及圖 31B 所示，也可以在導電層 616a 及導電層 616b 與半導體 606c 之間設置絕緣膜 619。在此情況下，導電層 616a（導電層 616b）與半導體 606c 藉由絕緣膜 619 中的開口部連接。關於絕緣膜 619，可以參照絕緣膜 618 的記載。

[0159]

另外，在圖 30B 及圖 31B 中，也可以在絕緣膜 618 上設置導電層 613。圖 32A 和圖 32B 示出此時的例子。此外，關於導電層 613，參照導電層 413 的記載。另外，既可以對導電層 613 供應與導電層 604 相同的電位或信號，又可以對導電層 613 供應與導電層 604 不同的電位或信號。例如，也可以對導電層 613 供應固定電位來控制電晶體 490 的臨界電壓。亦即，導電層 613 可以具有第二閘極電極的功能。

[0160]

[半導體裝置的例子]

圖 10 示出本發明的一個實施方式的裝置 500 為半導體裝置的情況下的一個例子。此外，圖 13A 示出由圖 10 所示的點劃線圍繞的區域的放大圖。此外，圖 13B 示出在圖 13A 中導電層 511 至導電層 513 以及導電層 542 至導電層 544 分別層疊為兩層的例子。

[0161]

圖 11 示出大致垂直於圖 10 所示的剖面的面的裝置 500 的剖面。這裡，圖 10 所示的剖面沿著線 A1-A2，圖 11 所示的剖面沿著線 A3-A4。

[0162]

圖 12 示出與圖 11 不同的大致垂直於圖 10 所示的剖面的面的裝置 500 的剖面的一個例子。

[0163]

圖 10 所示的裝置 500 包括層 621、層 622、連接層 621 與層 622 的層 620。層 621 包括設置在基板 400 上的電晶體 491、電晶體 492 及電晶體 493，層 622 包括電晶體 490 及電容元件 150。

[0164]

〈層 621〉

下面，說明層 621。電晶體 491 包括：通道形成區域 407；基板 400 上的絕緣膜 462；絕緣膜 462 上的導電層 454；與導電層 454 的側面接觸的絕緣膜 470；位於基板 400 中且不與導電層 454 及絕緣膜 470 重疊的區域的區域 476；與絕緣膜 470 重疊的區域的區域 474。區域 476 是低電阻層，並較佳為用作電晶體 491 的源極區域或汲極區域。此外，區域 474 較佳的是可以用作 LDD（輕摻雜汲極極）區域。

[0165]

電晶體 491 可以為 p 通道型或 n 通道型電晶體，可以根據電路結構或驅動方法使用適當的電晶體。

[0166]

基板 400 例如較佳為具有矽類半導體等半導體，較佳為具有單晶矽。或者，也可以包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等。此外，也可以使用具有晶格畸變的矽。此外，電晶體 491 也可以是使用 GaAs 和 AlGaAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

[0167]

區域 476 較佳為包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

[0168]

作為導電層 454 的材料可以使用包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0169]

圖 10 所示的電晶體 491 是採用淺溝槽隔離（STI：Shallow Trench Isolation）法等實現元件分離的例子。明確而言，在圖 10 中，藉由蝕刻等在基板 400 中形成溝槽，將含有氧化矽等的絕緣物填埋於該溝槽中，然後利用蝕刻等部分去除該絕緣物來形成元件分離區域 460，使用該元件分離區域 460 使電晶體 491 元件分離。

[0170]

在位於溝槽以外的區域的基板 400 的凸部中設置有電晶體 491 的區域 476、區域 474 以及通道形成區域 407。再者，電晶體 491 還包括覆蓋通道形成區域 407 的絕緣膜 462 以及隔著絕緣膜 462 與通道形成區域 407 重疊的導電層 454。

[0171]

在電晶體 491 中，藉由使通道形成區域 407 中的凸部的側部及上部隔著絕緣膜 462 與導電層 454 重疊，可以使載子流過包括通道形成區域 407 的側部及上部的較廣的範圍。由此，可以縮小電晶體 491 在基板上所占的面積，並可以增加電晶體 491 中的載子的移動量。其結果，可以在增加電晶體 491 的通態電流的同時提高場效移動率。當將通道形成區域 407 中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區域 407 中的凸部的膜厚度設定為 T 時，當膜厚度 T 與通道寬度 W 之比（T/W）的縱橫比較高時，載子流過的範圍變得更廣，因此可以增加電晶體 491 的通態電流並提高場效移動率。

[0172]

當電晶體 491 使用塊狀半導體基板時，縱橫比較佳為 0.5 以上，更佳為 1 以上。

[0173]

電晶體 491 如圖 23A 所示也可以在基板 400 中不設置凸部。此外，電晶體 491 如圖 23B 所示也可以使用 SOI（Silicon On Insulator：絕緣層上覆矽）基板形成。

[0174]

關於電晶體 492 及電晶體 493，參照電晶體 491 的記載即可。

[0175]

以覆蓋電晶體 491、電晶體 492 及電晶體 493 的方式設置有絕緣膜 464a 及絕緣膜 464b。

[0176]

以嵌入絕緣膜 464a 及絕緣膜 464b 的開口的方式設置有導電層 541 等。導電層 541 等較佳的是以在電晶體 491 或電晶體 492 的導電層 454、區域 476 等上且與其接觸的方式設置。

[0177]

在導電層 541 等上設置有絕緣膜 581 及導電層 511 等。導電層 511 等較佳的是與導電層 541 等的導電層連接。

[0178]

在導電層 511 等上設置有絕緣膜 582 及導電層 542 等。導電層 542 等較佳的是以在導電層 511 等上且與其接觸的方式設置。

[0179]

在導電層 542 等上設置有絕緣膜 583 及導電層 512 等。導電層 512 等較佳的是與導電層 542 等導電層連接。

[0180]

在層 621 中例如也可以省略絕緣膜 582、絕緣膜 583、導電層 542 及導電層 512。在此情況下，例如，導電層 511 等也可以與層 620 接觸。或者，也可以在絕緣膜 581 與絕緣膜 582 之間還包括層疊的絕緣膜及導電層。

[0181]

關於絕緣膜 464a 及絕緣膜 464b，例如也可以參照絕緣膜 581 的記載。關於導電層 541，例如可以參照導電層 542 的記載。

[0182]

〈層 622〉

下面，說明層 622。關於層 622 所包括的電晶體 490，參照圖 9A 及圖 9B、圖 26A 至圖 32B 即可。

[0183]

在層 622 中，在電晶體 490 上包括絕緣膜 591，以嵌入絕緣膜 591 的開口的方式設置有導電層 544 等。導電層 544 等較佳的是與層 620 所包括的導電層、電晶體 490 所包括的導電層 404、導電層 416a 及導電層 416b 等連接。

[0184]

在絕緣膜 591 及導電層 544 等上設置有絕緣膜 592 及導電層 514 等。導電層 514 等較佳的是與導電層 544 等連接。此外，以嵌入絕緣膜 592 的開口的方式設置有與導電層 514 等的頂面接觸的導電層 545。

[0185]

在絕緣膜 592 及導電層 545 等上設置有絕緣膜 593 及導電層 515 等。導電層 515 等較佳的是與導電層 545 等連接。此外，以嵌入絕緣膜 593 的開口的方式設置有與導電層 515 等的頂面接觸的導電層 546。

[0186]

在導電層 546 及絕緣膜 593 上設置有電容元件 150。電容元件包括作為一對電極的導電層 516 及導電層 517 以及作為電介質的絕緣膜 572。此外，在導電層 546 及絕緣膜 593 上也可以包括導電層 516b 等。

[0187]

導電層 516 與導電層 546 接觸。此外，導電層 517 藉由設置在導電層 517 上的導電層 547 與設置在絕緣膜 594 上的導電層電連接。此外，導電層 516 等與導電層 547 等接觸。

[0188]

作為絕緣膜 572，例如可以使用氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛（PZT）、鈦酸鍶（$SrTiO_3$）或（Ba，Sr）TiO_3（BST）等所謂的 high-k 材料的絕緣膜的單層或疊層。另外，例如也可以對這些絕緣膜添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化釔、氧化鋯、氧化鑭。此外，也可以對這些絕緣膜進行氮化處理形成氧氮化膜。還可以在上述絕緣膜上層疊氧化矽、氧氮化矽或氮化矽。

[0189]

關於絕緣膜 572 的形成條件，例如參照絕緣膜 571 的記載即可。

[0190]

在絕緣膜 594 上設置有絕緣膜 595 及導電層 518 等。導電層 518 等較佳的是與導電層 547b 等連接。此外，以嵌入絕緣膜 595 的開口的方式設置有與導電層 518 等的頂面接觸的導電層 548。

[0191]

在絕緣膜 595 上設置有絕緣膜 599 及導電層 519 等。此外，也可以在絕緣膜 599 中設置有到達導電層 519 等的開口部。

[0192]

圖 14 所示的裝置 500 與圖 10 的不同之處在於電晶體 490 的形狀及電容元件 150 的形狀。這裡，圖 14 示出與圖 10 的電容元件 150 不同的電容元件 150 的例子。在圖 14 所示的電容元件 150 中，在絕緣膜 593 中例如設置柱狀的開口部，在開口部的內壁設置導電層 516，在其上設置絕緣膜 572，在絕緣膜 572 上以嵌入開口的方式設置導電層 517。藉由將設置在柱狀等的開口部的內壁的導電層用作電容器的一個電極，可以增大電極面積。因此，可以增大電容。

[0193]

關於圖 14 所示的電晶體 490，參照圖 28A 及圖 28B。

[0194]

〈層 620〉

層 620 包括連接層 621 與層 622 的佈線層。關於圖 10 的層 620 所示的導電層 543、導電層 513、導電層 413、絕緣膜 584 至絕緣膜 586 等，可以參照圖 1A 至圖 4 所示的層 620 的記載。

[0195]

在絕緣膜 583 上設置有絕緣膜 584 及導電層 543 等。層 621 所包括的導電層 512 等與層 620 所包括的導電層 543 等連接。在絕緣膜 571 及導電層 543 等所包括的凸部上設置有導電層 513 等，在絕緣膜 571 上設置有導電層 413。導電層 513 等與層 622 所包括的導電層 544 等連接。此外，如圖 10 所示，層 620 所包括的導電層 413 可以隔著絕緣膜 402 位於電晶體 490 的下部。在此情況下，例如導電層 413 較佳為用作電晶體 490 的電極。

[0196]

絕緣膜 402 位於導電層 413 與半導體 406a 之間。

[0197]

作為絕緣膜 402，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釔、鋯、鑭、鈰、鉿或鉭的絕緣體的單層或疊層。例如，絕緣膜 402 較佳為包含氧化矽或氧氮化矽。

[0198]

例如，作為絕緣膜 402 也可以採用由包含氧化矽的膜夾住包含氧化鉿的膜的疊層結構。

[0199]

這裡，導電層 513 及導電層 413 較佳為包括導電層 543 設置在具有凸

部的區域上的第一區域及設置在不具有凸部的區域上的第二區域。第二區域的底面的平坦性比第一區域的底面高。圖 10、圖 11 等示出電晶體 490 的通道區域設置在導電層 413 所包括的第二區域上的例子。這裡，例如有時電荷被導電層的表面或導電層與絕緣膜的介面俘獲。在此情況下，有時藉由進一步使導電層的底面平坦，給通道區域帶來的影響變得均勻，所以是較佳的。

[0200]

絕緣膜 571 較佳為使用不容易使氧透過的材料。上述材料是不但對氫、水而且對氧也具有優良的阻擋性的材料。藉由使用這種材料，可以抑制在對絕緣膜 402 進行加熱時被釋放的氧擴散到絕緣膜 571 的下方的層。其結果，可以增大可能從絕緣膜 402 被釋放而供應到電晶體 490 的半導體層的氧量。

[0201]

如此，降低位於絕緣膜 571 的下方的各層所包含的氫或水的濃度、去除各層所包含的氫或水、或者抑制來源於各層所包含的氫的氣體的釋放，且使用絕緣膜 571 抑制氫或水擴散到電晶體 490 中。因此，可以使絕緣膜 402 或構成電晶體 490 的各層中的氫及水的含量極低。例如，可以將絕緣膜 402、電晶體 490 的半導體 406 或絕緣膜 412 所包含的氫的濃度降低到低於 $5\times10^{18}cm^{-3}$，較佳低於 $1\times10^{18}cm^{-3}$，更佳低於 $3\times10^{17}cm^{-3}$。

[0202]

[電路的一個例子]

接著，示出能夠應用於本發明的一個實施方式的裝置的電路的一個例子。

[0203]

圖 15A 示出包括三個電晶體及電容元件的電路的一個例子。這裡，將考慮作為三個電晶體使用圖 10 等所說明的電晶體 490、電晶體 491 及電晶體 492，且作為電容元件使用電容元件 150 的情況。

[0204]

這裡，用於圖 15A 的電路的電晶體例如較佳的是在如圖 10 所示的裝置的剖面中設置在層 621 或層 622 中。尤其是，將電晶體 491 及電晶體 492 設置在層 621 中，且將電晶體 490 設置在層 622 中，在層 621 與層 622 之間設置層 620，由此可以得到電晶體 490 至電晶體 492 的優良的特性。此外，電容元件 150 也可以設置在層 620 至層 622 中的任何一個層中。

[0205]

作為包括圖 15A 所示的電路的裝置的一個例子，可以使用圖 10 的結構。在圖 10 中，電晶體 491 形成在層 621 中，電晶體 490 形成在層 622 中，電容元件形成在層 622 中。

[0206]

在圖 15A 中，電晶體 490 的源極和汲極中的一個藉由浮動節點（FN）與電晶體 491 的閘極電極及電容元件 150 的一個電極連接。此外，電晶體 490 的源極和汲極中的另一個與電晶體 492 的源極和汲極中的一個連接。這些連接較佳的是藉由設置在層 620 中的導電層來實現。此外，電晶體 491 的源極電極和汲極電極中的一個藉由設置在層 620 中的導電層等例如與連接於層 622 的端子 SL 連接。電晶體 491 的源極和汲極中的另一個與電晶體 492 的源極和汲極中的另一個連接。

[0207]

在圖 10 中，層 621 所包括的電晶體 491 的閘極電極的導電層 454 藉由設置在層 620 中的導電層 543、導電層 513 等導電層與層 622 所包括的電容

元件 150 的電極的導電層 516 連接。導電層 516 在層 622 中與電晶體 490 的源極電極和汲極電極中的一個的導電層 416b 連接。電晶體 492 的源極和汲極中的一個藉由設置在層 620 中的導電層等與電晶體 490 的源極電極和汲極電極中的一個的導電層 416a 連接。

[0208]

電晶體 491 的源極電極和汲極電極中的一個藉由設置在層 620 中的導電層等例如與連接於層 622 的端子 SL 連接。

[0209]

這裡，在圖 10 中，如電晶體 493 那樣設置在層 621 中的電晶體例如可以用於與圖 15A 至圖 15C 等所示的電路連接的週邊電路諸如驅動電路及轉換器等。

[0210]

圖 22 所示的裝置 500 與圖 10 的不同之處在於：電容元件 150 位於電晶體 490 的下部且位於電晶體 491 的上部，並設置在層 621 中；以及在絕緣膜 583 與絕緣膜 584 之間包括絕緣膜 631、絕緣膜 632、導電層 529 及導電層 530。

[0211]

在圖 22 所示的裝置 500 中，將導電層 512 用作電容元件 150 的一個電極。此外，裝置 500 包括以嵌入在絕緣膜 631 中的方式設置且用作插頭的導電層 529 等。此外，包括設置在絕緣膜 631 上的絕緣膜 632、設置在導電層 529 等及絕緣膜 631 上且與導電層 529 等連接的導電層 530、導電層 530b 等。這裡，將絕緣膜 631 用作電容元件 150 的電介質。此外，將導電層 530b 用作電容元件 150 的另一個電極。另外，導電層 512 藉由導電層 529 及導電層 530 與層 620 所包括的導電層 543 連接。導電層 543 藉由導電層 513

與層 622 的導電層連接。

[0212]

在圖 10 中示出電容元件設置在層 622 中的例子，如圖 21 所示也可以將電容元件 150 設置在層 620 中。圖 21 所示的裝置 500 包括圖 20C 所示的電容元件 150。

[0213]

圖 21 是包括圖 15B 所示的電路的裝置 500 的一個例子。圖 15B 與圖 15A 不同，不包括電晶體 492，所以可以縮小電路面積。

[0214]

這裡，如圖 49 所示，也可以在圖 21 中在絕緣膜 571 與絕緣膜 584 之間包括絕緣膜 590。電容元件 150 包括導電層 522 及導電層 523、夾在兩個導電層之間的絕緣膜 590 及絕緣膜 571。作為絕緣膜 590，例如較佳為使用包含氧化矽的絕緣膜。

[0215]

圖 48 是包括圖 15B 所示的電路的裝置 500 的其他例子。

[0216]

圖 48 所示的裝置 500 與圖 10 的不同之處在於：在絕緣膜 586 與絕緣膜 402 之間包括絕緣膜 588、絕緣膜 589、導電層 527 等以及導電層 528 等；電容元件 150 位於電晶體 490 的下部且設置在層 620 中。

[0217]

圖 48 所示的裝置 500 包括以嵌入在絕緣膜 588 中的方式設置且用作插頭的導電層 527 等。此外，包括設置在絕緣膜 588 上的絕緣膜 589、設置在導電層 527 等及絕緣膜 588 上且與導電層 527 等連接的導電層 528 等。

[0218]

在圖 48 中，設置在層 621 中的電晶體 491 所包括的導電層 454 與設置在層 620 中的導電層 521 連接。將導電層 521 用作電容元件 150 的一個電極。此外，將設置在層 620 中的導電層 524 用作電容元件的另一個電極。另外，設置在層 622 中的電晶體 490 所包括的導電層 416b 藉由設置在層 620 中的導電層 523 及導電層 522 與導電層 521 連接。電晶體 491 的源極和汲極中的一個藉由設置在層 620 中的導電層等與電晶體 490 的源極電極和汲極電極中的一個的導電層 416a 連接。

[0219]

電晶體 491 的源極電極和汲極電極中的另一個藉由設置在層 620 中的導電層等例如與連接於層 622 的端子 SL 連接。

[0220]

在圖 48 中，示出導電層 416b 藉由導電層 527、導電層 528 及導電層 544 與層 620 所包括的導電層 523 連接的例子。這裡，導電層 544 以打穿絕緣膜 591、導電層 416b、絕緣膜 402 等的方式設置。

[0221]

如圖 24 所示，作為電容元件 150 的一個電極可以使用電晶體 490 所包括的導電層 416b，作為電介質可以使用半導體 406c 及絕緣膜 412 的疊層膜。此時，電容元件 150 的另一個電極較佳為使用與電晶體 490 所包括的導電層 404 相同的材料等，並與導電層 404 同時形成。

[0222]

〈電路工作〉

圖 15A、圖 15B、圖 15C 及圖 16A 所示的電路可以用作記憶體裝置。

[0223]

下面，說明圖 15B 所示的電路的工作。

[0224]

圖15B所示的電路藉由具有能夠保持電晶體491的閘極的電位的特徵，可以如下所示進行資訊的寫入、保持以及讀出。

[0225]

對資訊的寫入及保持進行說明。首先，將端子WWL的電位設定為使電晶體490導通的電位，而使電晶體490導通。由此，端子BL的電位施加到與電晶體491的閘極及電容元件150的一個電極電連接的節點FN。換言之，對電晶體491的閘極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一個。然後，藉由將端子WWL的電位設定為使電晶體490成為非導通狀態的電位，使電荷保持在節點FN（保持）。

[0226]

因為作為電晶體490的半導體層使用氧化物半導體，可以使關態電流（off-state current）極小，所以節點FN的電荷被長時間保持。

[0227]

接著，對資訊的讀出進行說明。當在對端子BL施加規定的電位（恆電位）的狀態下對端子CL施加適當的電位（讀出電位）時，端子SL具有對應於保持在節點FN中的電荷量的電位。這是因為：在電晶體491為n通道電晶體的情況下，對電晶體491的閘極施加高位準電荷時的外觀上的臨界電壓V_{th_H}低於對電晶體491的閘極施加低位準電荷時的外觀上的臨界電壓V_{th_L}。在此，外觀上的臨界電壓是指為了使電晶體491成為“導通狀態”而需要的端子CL的電位。由此，藉由將端子CL的電位設定為V_{th_H}與V_{th_L}之間的電位V_0，可以辨別施加到節點FN的電荷。例如，在寫入時節點FN被供應高位準電荷的情況下，若端子CL的電位為V_0（$>V_{th_H}$），電晶體491則成

為“導通狀態”。另一方面，當節點 FN 被供應低位準電荷時，即便端子 CL 的電位為 V_0（$<V_{th_L}$），電晶體 491 也保持“非導通狀態”。因此，藉由辨別端子 SL 的電位，可以讀出節點 FN 所保持的資訊。

[0228]

注意，當將記憶單元設置為陣列狀時，在讀出時必須讀出所希望的記憶單元的資訊。在不讀出資訊的記憶單元中，藉由對端子 CL 施加不管施加到節點 FN 的電荷如何都使電晶體 491 成為“非導通狀態”的電位，亦即低於 V_{th_H}的電位，能夠讀出所希望的記憶單元中的資訊。或者，在不讀出資訊的記憶單元中，藉由對端子 CL 施加不管施加到節點 FN 的電荷如何都使電晶體 491 成為“導通狀態”的電位，亦即高於 V_{th_L}的電位，能夠僅讀出所希望的記憶單元中的資訊。

[0229]

接著，在圖 15A 所示的電路中，也可以與圖 15B 同樣地進行資訊的寫入、保持以及讀出。這裡，在圖 15A 中包括電晶體 492。為了不讀出其他記憶單元的資訊，例如可以使電晶體 492 處於非導通狀態。由此，有時可以抑制從端子 BL 至端子 SL 的洩漏電流。此外，有時，在讀出時，為了不讀出其他記憶單元的資訊，對端子 RWL 施加使電晶體 492 成為“非導通狀態”的電位即可，不需要對端子 CL 施加高電位。

[0230]

上述半導體裝置可以應用使用氧化物半導體的關態電流極小的電晶體來長期間保持存儲內容。亦即，因為不需要更新工作或可以使更新工作的頻率極低，所以能夠實現低功耗的半導體裝置。此外，在沒有電力供應時（但較佳的是固定電位）也可以長期間保持存儲內容。

[0231]

此外，因為該半導體裝置在寫入資訊時不需要高電壓，所以其中不容易產生元件的劣化。例如，不同於習知的非揮發性記憶體，不需要對浮動閘極注入電子或從浮動閘極抽出電子，因此不會發生絕緣體劣化等問題。換言之，在本發明的一個實施方式的半導體裝置中，在現有非揮發性記憶體中成為問題的重寫次數不受到限制，並且其可靠性得到極大的提高。再者，根據電晶體的導通狀態/非導通狀態進行資訊的寫入，所以能夠高速工作。

[0232]

圖 15C 所示的半導體裝置在不包括電晶體 491 之處與圖 15B 所示的半導體裝置不同。在此情況下，也可以藉由與圖 15B 所示的半導體裝置同樣的工作進行資訊的寫入及保持工作。

[0233]

對圖 15C 所示的半導體裝置中的資訊讀出進行說明。在電晶體 490 成為導通狀態時，處於浮動狀態的端子 BL 和電容元件 150 導通，且在端子 BL 和電容元件 150 之間再次分配電荷。其結果是，端子 BL 的電位產生變化。端子 BL 的電位的變化量根據電容元件 150 的一個電極的電位（或積累在電容元件 150 中的電荷）而具有不同的值。

[0234]

例如，在電容元件 150 的一個電極的電位為 V，電容元件 150 的電容為 C，端子 BL 所具有的電容成分為 CB，再次分配電荷之前的端子 BL 的電位為 VB0 時，再次分配電荷之後的端子 BL 的電位為（CB×VB0+C×V）/（CB+C）。因此，在假定記憶單元處於其電容元件 150 的一個電極的電位 V 為 V1 和 V0（V1>V0）這兩種的狀態時，可以得知保持電位 V1 時的端子 BL 的電位（=（CB×VB0+C×V1）/（CB+C））高於保持電位 V0 時的端子 BL 的電位（=

(CB×VB0+C×V0)/(CB+C))。

[0235]

並且，藉由對端子 BL 的電位和規定的電位進行比較，可以讀出資訊。

[0236]

在此情況下，在用來驅動記憶單元的週邊電路中，使用在圖 10 等中作為一個例子示出的電晶體 493 等的設置在層 621 中的電晶體即可。

[0237]

圖 16B 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。圖 1A 至圖 4 所示的裝置 500 也可以包括圖 16B 所示的電路。在此情況下，例如，較佳的是將電晶體 2200 設置在層 621 中，將電晶體 2100 設置在層 622 中，使用設置在層 620 中的導電層進行電晶體的源極電極或汲極電極、閘極電極的連接。

[0238]

圖 16C 所示的電路圖示出使電晶體 2100 和電晶體 2200 的各源極和各汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。圖 1A 至圖 4 所示的裝置 500 也可以包括圖 16C 所示的電路。在此情況下，例如，較佳的是將電晶體 2200 設置在層 621 中，將電晶體 2100 設置在層 622 中，使用設置在層 620 中的導電層進行電晶體的源極電極或汲極電極、閘極電極的連接。

[0239]

圖 16A 示出能夠應用於本發明的一個實施方式的裝置的電路的一個例子。

[0240]

圖 16A 所示的電路包括：電容元件 660a；電容元件 660b；電晶體 661a；電晶體 661b；電晶體 662a；電晶體 662b；反相器 663a；反相器 663b；佈線 BL；佈線 BLB；佈線 WL；佈線 CL；以及佈線 GL。

[0241]

圖 16A 所示的電路是藉由反相器 663a 及反相器 663b 環連接而構成正反器的記憶單元。以反相器 663b 的輸出信號被輸出的節點為節點 VN1，以反相器 663a 的輸出信號被輸出的節點為節點 VN2。另外，藉由將該記憶單元配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0242]

電晶體 662a 的源極和汲極中的一個與佈線 BL 電連接，源極和汲極中的另一個與節點 VN1 電連接，閘極與佈線 WL 電連接。電晶體 662b 的源極和汲極中的一個與節點 VN2 電連接，源極和汲極中的另一個與佈線 BLB 電連接，閘極與佈線 WL 電連接。

[0243]

電晶體 661a 的源極和汲極中的一個與節點 VN1 電連接，源極和汲極中的另一個與電容元件 660a 的一個電極電連接，閘極與佈線 GL 電連接。在此，以電晶體 661a 的源極和汲極中的另一個與電容元件 660a 的一個電極之間的節點為節點 NVN1。電晶體 661b 的源極和汲極中的一個與節點 VN2 電連接，源極和汲極中的另一個與電容元件 660b 的一個電極電連接，閘極與佈線 GL 電連接。在此，以電晶體 661b 的源極和汲極中的另一個與電容元件 660b 的一個電極之間的節點為節點 NVN2。

[0244]

電容元件 660a 的另一個電極與佈線 CL 電連接。電容元件 660b 的另一個電極與佈線 CL 電連接。

[0245]

可以根據施加到佈線 WL 的電位控制電晶體 662a 及電晶體 662b 的導通狀態和非導通狀態的選擇。可以根據施加到佈線 GL 的電位控制電晶體 661a 及電晶體 661b 的導通狀態和非導通狀態的選擇。

[0246]

下面說明圖 16A 所示的記憶單元的寫入、保持以及讀出工作。

[0247]

當進行寫入時，首先對佈線 BL 及佈線 BLB 施加對應於資料 0 或資料 1 的電位。

[0248]

例如，當想要寫入資料 1 時，對佈線 BL 施加高位準的電源電位(VDD)，對佈線 BLB 施加接地電位。接著，對佈線 WL 施加高於或等於 VDD 與電晶體 662a、電晶體 662b 的臨界電壓之和的電位（VH）。

[0249]

接著，藉由將佈線 WL 的電位設定為小於電晶體 662a、電晶體 662b 的臨界電壓，可以保持對正反器寫入了的資料 1。

[0250]

當進行讀出工作時，預先對佈線 BL 及佈線 BLB 施加 VDD。接著，當對佈線 WL 施加 VH 時，佈線 BL 的電位保持 VDD 而不發生變化，而佈線 BLB 藉由電晶體 662a 及反相器 663a 進行放電，其電位成為接地電位。藉由利用感測放大器（未圖示）放大佈線 BL 與佈線 BLB 之間的電位差，可以讀出被保持的資料 1。

[0251]

另外，當想要寫入資料 “0” 時，對佈線 BL 施加接地電位且對佈線 BLB

施加 VDD，然後對佈線 WL 施加 VH，即可。接著，藉由將佈線 WL 的電位設定為低於電晶體 662a、電晶體 662b 的臨界電壓的電壓，可以保持寫入到正反器中的資料 0。當進行讀出工作時，預先對佈線 BL 及佈線 BLB 施加 VDD 並對佈線 WL 施加 VH，佈線 BLB 的電位保持 VDD 而不發生變化，佈線 BL 藉由電晶體 662b 及反相器 663b 進行放電，其電位成為接地電位。藉由利用感測放大器放大佈線 BL 與佈線 BLB 之間的電位差，可以讀出被保持的資料 0。

[0252]

因此，圖 16A 所示的半導體裝置用作所謂的 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。因為 SRAM 使用正反器保持資料，所以不需要更新工作。由此，可以抑制保持資料時的耗電量。另外，因為在正反器中不使用電容元件，所以適合於被要求高速工作的用途。

[0253]

另外，圖 16A 所示的半導體裝置可以將資料藉由電晶體 661a 從節點 VN1 寫入到節點 NVN1。與此同樣，也可以將資料藉由電晶體 661b 從節點 VN2 寫入到節點 NVN2。藉由使電晶體 661a 或電晶體 661b 成為非導通狀態保持被寫入的資料。例如，即使停止供應電源電位也有時可以保持節點 VN1 及節點 VN2 的資料。

[0254]

與當停止供應電源電位時立刻資料被消失的習知的 SRAM 不同，在圖 16A 所示的半導體裝置中，即使在停止供應電源電位之後也可以保持資料。因此，藉由適當地供應或停止電源電位，可以實現耗電量小的半導體裝置。例如，藉由將圖 16A 所示的半導體裝置用於 CPU 的存儲區域，也可以減少 CPU 的耗電量。

[0255]

另外，可知節點 NVN1 及節點 NVN2 中保持資料的期間根據電晶體 661a 及電晶體 661b 的關態電流而變化。因此，為了延長資料的保持期間，將關態電流低的電晶體用於電晶體 661a 及電晶體 661b 即可。另外，增大電容元件 660a 及電容元件 660b 的電容即可。

[0256]

例如，藉由將電晶體 490 及電容元件 150 用作電晶體 661a 及電容元件 660a，可以在節點 NVN1 中長期間地保持資料。與此同樣，在將電晶體 490 及電容元件 150 用作電晶體 661b 及電容元件 660b 時，可以在節點 NVN2 中長期間地保持資料。因此，電晶體 661a 及電晶體 661b 可以參照電晶體 490 的記載。另外，電容元件 660a 及電容元件 660b 可以參照電容元件 150 的記載。

[0257]

此外，電晶體 490 及電容元件 150 可以以至少部分地重疊於電晶體 491 的方式製造。在圖 16A 所示的電晶體 662a、電晶體 662b、反相器 663a 中包括的電晶體及反相器 663b 所包括的電晶體可以以其一部分至少與電晶體 661a、電晶體 661b、電容元件 660a 及電容元件 660b 重疊的方式製造。因此，有時可以在與習知的 SRAM 相比不增加佔有面積的情況下製造圖 16A 所示的半導體裝置。在電晶體 662a、電晶體 662b、反相器 663a 中包括的電晶體及反相器 663b 所包括的電晶體可以參照電晶體 491 的記載。

[0258]

這裡，例如，較佳的是，將電晶體 491 設置在裝置 500 所包括的層 621 中，將電晶體 490 設置在層 622 中，將連接電晶體 491 與電晶體 490 的導電層設置在層 620 中。

[0259]

此外，在圖 10 至圖 14、圖 21、圖 22 以及圖 24 所示的結構中，也可以將電晶體 490 的源極電極和汲極電極中的一個與電容元件 150 的連接應用於圖 16A 的電路中的電晶體 661a 的源極電極和汲極電極中的一個與電容元件 660a 的連接。此外，也可以將電晶體 490 的源極電極和汲極電極中的另一個與電晶體 491 的源極電極和汲極電極中的一個的連接應用於圖 16A 的電路中的電晶體 661a 的源極電極和汲極電極中的另一個與電晶體 662a 的源極電極和汲極電極中的一個的連接。

[0260]

實施方式 2

在本實施方式中，對氧化物半導體的結構進行說明。

[0261]

〈氧化物半導體的結構〉

氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶氧化物半導體、nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）、a-like OS（amorphous like Oxide Semiconductor）以及非晶氧化物半導體等。

[0262]

從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0263]

作為非晶結構的定義，一般而言，已知：它處於亞穩態並沒有被固定化，具有各向同性而不具有不均勻結構等。也可以換句話說為非晶結構的鍵角不固定，具有短程有序而不具有長程有序。

[0264]

從相反的觀點來看，不能將本質上穩定的氧化物半導體稱為完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。注意，a-like OS 在微小區域中具有週期結構，但是同時具有空洞（也稱為 void），並具有不穩定結構。因此，a-like OS 在物性上近乎於非晶氧化物半導體。

[0265]

〈CAAC-OS〉

首先，對 CAAC-OS 進行說明。

[0266]

CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0267]

在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0268]

下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 33A 示出從大致平行

於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0269]

圖 33B 示出將圖 33A 中的區域(1)放大的 Cs 校正高解析度 TEM 影像。由圖 33B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0270]

如圖 33B 所示，CAAC-OS 具有特有的原子排列。圖 33C 是以輔助線示出特有的原子排列的圖。由圖 33B 和圖 33C 可知，一個顆粒的尺寸為 1nm 以上或者 3nm 以上，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal)。注意，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0271]

在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為沉積磚塊或塊體的結構(參照圖 33D)。在圖 33C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 33D 所示的區域 5161。

[0272]

圖 34A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面

的 Cs 校正高解析度 TEM 影像。圖 34B、圖 34C 和圖 34D 分別示出將圖 34A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 34B、圖 34C 和圖 34D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0273]

接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 35A 所示，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0274]

注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0275]

另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ軸）旋轉樣本的條件下進行分析（φ掃描），也如圖 35B 所示的那樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定為 56°附近來進行φ掃描時，如圖 35C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由

使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0276]

接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 36A 所示的繞射圖案（也稱為選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 36B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 36B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 36B 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 36B 中的第二環起因於（110）面等。

[0277]

如上所述，CAAC-OS 是結晶性高的氧化物半導體。因為氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，所以從相反的觀點來看，可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0278]

此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，

導致結晶性下降。

[0279]

當氧化物半導體包含雜質或缺陷時，其特性有時因光或熱等會發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0280]

雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 $8\times10^{11}/cm^3$，較佳小於 $1\times10^{11}/cm^3$，更佳小於 $1\times10^{10}/cm^3$，且是 $1\times10^{-9}/cm^3$ 以上的氧化物半導體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0281]

〈nc-OS〉

接著說明 nc-OS。

[0282]

在 nc-OS 的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0283]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0284]

如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0285]

nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0286]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0287]

在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和觀察不到結晶部的區域。

[0288]

由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0289]

作為進行電子照射的樣本，準備 a-like OS（記載為樣本 A）、nc-OS（記載為樣本 B）和 CAAC-OS（記載為樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0290]

首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0291]

注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0292]

圖 37 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 37 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 37 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 37 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0293]

如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0294]

此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0295]

例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化

物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^{3}以上且小於 6.3g/cm^3。

[0296]

注意，有時不存在相同組成的單晶氧化物半導體。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶氧化物半導體的組合比例使用加權平均估計出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳的是儘可能減少所組合的單晶氧化物半導體的種類來估計密度。

[0297]

如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0298]

實施方式 3

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0299]

圖 38 是示出將在上述實施方式中說明的記憶體裝置用於至少其一部分的 CPU 的結構的一個例子的方塊圖。

[0300]

圖 38 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU 控制器 1192、指令解碼器 1193、中斷控制器

1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 38 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 38 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0301]

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到ALU控制器1192、中斷控制器1194、暫存器控制器1197、時序控制器 1195。

[0302]

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0303]

另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號生成內部時脈信號的內部時脈發生器，並將內部時脈信號供應到上述各種電路。

[0304]

在圖 38 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。

[0305]

在圖 38 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0306]

圖 39 是可以用作暫存器 1196 的記憶體裝置的電路圖的一個例子。記憶體裝置 1200 包括在關閉電源時丟失存儲資料的電路 1201、在關閉電源時不丟失存儲資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶體裝置 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。電晶體 1209 較佳為其通道形成於氧化物半導體層的電晶體。作為電晶體 1209，可以使用在上述實施方式中說明的電晶體 490。

[0307]

在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶體裝置 1200 供應電源電壓時，接地電位（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0308]

這裡，例如在圖 10 至圖 14、圖 21、圖 22 以及圖 24 所示的結構中，也可以將電晶體 490 的源極電極和汲極電極中的一個與電容元件 150 的連接應用於圖 39 的電路中的電晶體 1209 的源極電極和汲極電極中的一個與電容元件 1208 的連接。此外，也可以將電晶體 490 的源極電極和汲極電極中的另一個與電晶體 491 的閘極電極的連接應用於圖 39 的電路中的電晶體 1209 的源極電極和汲極電極中的一個與電晶體 1210 的閘極的連接。

[0309]

在此示出開關 1203 為具有一導電型(例如，n 通道型)的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的開啟狀態或關閉狀態）由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的開啟狀態或關閉狀態)由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0310]

電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一

個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個彼此電連接。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0311]

當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0312]

控制信號 WE 輸入到電晶體 1209 的第一閘極（第一閘極電極）。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0313]

對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 39 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二

端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0314]

另外，雖然圖 39 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0315]

在圖 39 所示的用於記憶體裝置 1200 的電晶體中，電晶體 1209 以外的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶體裝置 1200 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶體裝置 1200 還可以包括電晶體 1209 以外的其通道形成在氧化物半導體層中的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。

[0316]

圖 39 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0317]

在根據本發明的一個實施方式的半導體裝置中，在不向記憶體裝置

1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0318]

另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶體裝置 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶體裝置 1200 在停止供應電源電壓的期間也可以保持存儲內容（資料）。

[0319]

另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0320]

另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶體裝置 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（開啟狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0321]

藉由將這種記憶體裝置 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，在再次開始供應電源電壓之後在短時間內記憶體裝置可以恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或

多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0322]

在本實施方式中，雖然對將記憶體裝置1200用於CPU的例子進行說明，但是也可以將記憶體裝置 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、PLD(Programmable Logic Device：可程式邏輯裝置）等、RF-ID（Radio Frequency Identification：射頻識別）。

[0323]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0324]

實施方式 4

在本實施方式中，參照圖 40 說明包括上述實施方式例示的記憶體裝置的 RF 標籤。

[0325]

根據本實施方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0326]

參照圖 40 說明 RF 標籤的結構。圖 40 是示出 RF 標籤的結構例子的方塊圖。

[0327]

如圖 40 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、定電壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0328]

接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0329]

定電壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。定電壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的

電路。

[0330]

解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0331]

邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、存儲區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0332]

注意，根據需要可以適當地設置上述各電路。

[0333]

在此，可以作為記憶體電路 810 使用上述實施方式所示的記憶體裝置。因為藉由作為記憶體電路 810 使用上述實施方式所示的記憶體裝置，即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為本發明的一個實施方式的記憶體裝置的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，本發明的一個實施方式的記憶體裝置可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0334]

此外，因為本發明的一個實施方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳的是生產者另外準備用來對 ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的

所有 RF 標籤具有識別號碼，由此不會發生出貨後的產品的識別號碼不連續的情況而可以更容易地根據出貨後的產品進行顧客管理。

[0335]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0336]

實施方式 5

在本實施方式中，參照圖 41A 至圖 41F 說明本發明的一個實施方式的 RF 標籤的使用例子。RF 標籤的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名債券類、證件類（駕駛執照、居民卡等，參照圖 41A）、儲存媒體（DVD、錄影帶等，參照圖 41B）、包裝用容器類（包裝紙、瓶子等，參照圖 41C）、車輛類（自行車等，參照圖 41D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣物類、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 41E 和圖 41F）等。

[0337]

本發明的一個實施方式的 RF 標籤 4000 以貼到物品表面上或者嵌入物品的方式固定。例如，當物品為書本時，RF 標籤 4000 以嵌入在書本的紙張裡的方式固定在書本，而當物品為有機樹脂的包裝時，RF 標籤 4000 以嵌入在有機樹脂中的方式固定在有機樹脂的包裝。本發明的一個實施方式的 RF 標籤 4000 實現了小型、薄型以及輕量，所以即使固定在物品中也不會影響到該物品的設計性。另外，藉由將本發明的一個實施方式的 RF 標籤 4000 設置於鈔票、硬幣、有價證券類、不記名債券類或證件類等，可以賦予識

別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存媒體、個人物品、食物類、衣物類、生活用品類或電子裝置等中設置本發明的一個實施方式的 RF 標籤，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝本發明的一個實施方式的 RF 標籤，可以防止盜竊等而提高安全性。

[0338]

如上所述，藉由將本發明的一個實施方式的 RF 標籤應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等工作的功耗，因此能夠使最大通信距離長。另外，即使在不供應電力的狀態下，也可以在極長的期間保持資料，所以上述 RF 標籤適用於寫入或讀出的頻率低的用途。

[0339]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0340]

實施方式 6

在本實施方式中說明本發明的一個實施方式的顯示面板的結構實例。

[0341]

[結構實例]

圖 42A 是本發明的一個實施方式的顯示面板的俯視圖，圖 42B 是在將液晶元件用於本發明的一個實施方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 42C 是在將有機 EL 元件用於本發明的一個實施方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0342]

可以根據上述實施方式形成配置在像素部中的電晶體。例如，可以參照上述實施方式所示的電晶體 490。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0343]

這裡，較佳的是，將配置在顯示面板的像素部中的電晶體、驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分設置在上述實施方式所示的層 622 中。在此情況下，例如驅動電路中的電晶體的一部分也可以設置在上述實施方式所示的層 621 中。此外，驅動電路部與像素部例如也可以藉由設置在上述實施方式所示的層 620 中的佈線電連接。

[0344]

圖 42A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 700 上設置有：像素部 701；第一掃描線驅動電路 702；第二掃描線驅動電路 703；以及信號線驅動電路 704。在像素部 701 中配置有從信號線驅動電路 704 延伸的多個信號線以及從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中具有顯示元件的各像素配置為矩陣狀。另外，顯示裝置的基板 700 藉由 FPC（Flexible Printed Circuit：軟性印刷電路板）等的連接部連接到時序控制電路（也稱為控制器、控制 IC）。

[0345]

在圖 42A 中，在設置有像素部 701 的基板 700 上形成有第一掃描線驅動電路 702、第二掃描線驅動電路 703、信號線驅動電路 704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，

當在基板 700 的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板 700 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

[0346]

[液晶面板]

圖 42B 示出像素的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0347]

可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

[0348]

電晶體 716 的閘極佈線 712 和電晶體 717 的閘極佈線 713 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 716 和電晶體 717 共同使用用作資料線的源極電極層或汲極電極層 714。作為電晶體 716 及電晶體 717，可以適當地利用上述實施方式所示的電晶體 490。由此可以提供可靠性高的液晶顯示面板。

[0349]

電晶體 716 與第一像素電極層電連接，且電晶體 717 與第二像素電極層電連接。第一像素電極層和第二像素電極層彼此分離。注意，對第一像素電極層及第二像素電極層的形狀沒有特別的限制。第一像素電極層例如具有 V 字型的形狀即可。

[0350]

電晶體 716 的閘極電極連接到閘極佈線 712，而電晶體 717 的閘極電極

連接到閘極佈線 713。藉由對閘極佈線 712 和閘極佈線 713 施加不同的閘極信號，可以使電晶體 716 及電晶體 717 的工作時序互不相同來控制液晶配向。

[0351]

另外，也可以由電容佈線 710、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0352]

多域結構的像素設置有第一液晶元件 718 和第二液晶元件 719。第一液晶元件 718 由第一像素電極層、相對電極層以及它們之間的液晶層構成，而第二液晶元件 719 由第二像素電極層、相對電極層以及它們之間的液晶層構成。

[0353]

此外，圖 42B 所示的像素電路不侷限於此。例如，也可以還對圖 42B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0354]

（有機 EL 面板）

圖 42C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0355]

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態返回到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0356]

圖 42C 是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個 n 通道電晶體的例子。本發明的一個實施方式的金屬氧化物膜可以用於 n 通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階驅動。

[0357]

以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0358]

像素 720 包括切換電晶體 721、驅動電晶體 722、發光元件 724 以及電容元件 723。在切換電晶體 721 中，閘極電極層與掃描線 726 連接，第一電極（源極電極層和汲極電極層中的一個）與信號線 725 連接，並且第二電極（源極電極層和汲極電極層中的另一個）與驅動電晶體 722 的閘極電極層連接。在驅動電晶體 722 中，閘極電極層藉由電容元件 723 與電源線 727 連接，第一電極與電源線 727 連接，第二電極與發光元件 724 的第一電極（像素電極）連接。發光元件 724 的第二電極相當於共用電極 728。共用電極 728 與形成在同一基板上的共用電位線電連接。

[0359]

作為切換電晶體 721 及驅動電晶體 722，可以適當地利用上述實施方式所示的電晶體 490。由此可以提供可靠性高的有機 EL 顯示面板。

[0360]

將發光元件 724 的第二電極（共用電極 728）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 727 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定

為發光元件 724 的正向臨界電壓以上，將該電位差施加到發光元件 724 來使電流流過發光元件 724，以獲得發光。發光元件 724 的正向電壓是指為獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0361]

另外，還可以使用驅動電晶體 722 的閘極電容代替電容元件 723。作為驅動電晶體 722 的閘極電容，也可以利用在通道形成區域和閘極電極層之間的電容。

[0362]

接著，說明輸入到驅動電晶體 722 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 722 輸入使驅動電晶體 722 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 722 在線性區域中工作，將比電源線 727 的電壓高的電壓施加到驅動電晶體 722 的閘極電極層。另外，對信號線 725 施加電源線電壓加驅動電晶體 722 的臨界電壓 Vth 的值以上的電壓。

[0363]

當進行類比灰階驅動時，對驅動電晶體 722 的閘極電極層施加發光元件 724 的正向電壓加驅動電晶體 722 臨界電壓的 Vth 的值以上的電壓。另外，藉由輸入使驅動電晶體 722 在飽和區域中工作的視訊信號，使電流流過發光元件 724。為了使驅動電晶體 722 在飽和區域中工作，使電源線 727 的電位高於驅動電晶體 722 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 724，而進行類比灰階驅動。

[0364]

注意，像素電路的結構不侷限於圖 42C 所示的像素結構。例如，還可以對圖 42C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電

晶體或邏輯電路等。

[0365]

當對圖 42A 至圖 42C 所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0366]

例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包括 EL（電致發光）元件（包含有機和無機材料的 EL 元件、有機 EL 元件或無機 EL 元件）、LED 晶片（白色 LED 晶片、紅色 LED 晶片、綠色 LED 晶片、藍色 LED 晶片等）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、電漿顯示器（PDP）、使用微機電系統（MEMS）的顯示元件（例如柵光閥（GLV）、數位微鏡裝置（DMD）、數位微快門（DMS）、IMOD(干涉測量調節)元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、壓電陶瓷顯示器等）、電潤濕（electrowetting）元件、量子點、使用碳奈米管的顯示元件中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器(FED)或 SED 方式平面型顯示器(SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為在各像素中使用量子點的顯示裝置的一個例子，有量子點顯

示器等。此外，量子點也可以設置在背光的一部分中，而不用作顯示元件。藉由使用量子點，可以進行色純度高的顯示。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透射型液晶顯示器、半透射型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射型液晶顯示器時，使像素電極的一部分或全部具有反射電極的功能，即可。例如，像素電極的一部分或全部包含鋁、銀等，即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。因而，可以進一步降低耗電量。此外，在使用 LED 晶片的情況下，也可以在 LED 晶片的電極或氮化物半導體下設置石墨烯或石墨。作為石墨烯或石墨也可以層疊多個層，而形成多層膜。如此藉由設置石墨烯或石墨，可以較容易地在其上形成氮化物半導體，例如具有晶體的 n 型 GaN 半導體層等。還有，也可以在其上設置具有晶體的 p 型 GaN 半導體層等來構成 LED 晶片。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體層之間設置 AlN 層。此外，也可以利用 MOCVD 形成 LED 晶片所包括的 GaN 半導體層。注意，當設置石墨烯時，也可以利用濺射法形成 LED 晶片所包括的 GaN 半導體層。此外，在使用 MEMS（微機電系統）的顯示元件中，在密封顯示元件的空間（例如，配置有顯示元件的元件基板與以與元件基板對置的方式配置的相對基板之間）配置乾燥劑。藉由配置乾燥劑，可以防止 MEMS 等因水分而不容易移動或變得容易劣化。

[0367]

例如在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，例如可以使用半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金

屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀的材料的紙或者基材薄膜等。作為玻璃基板的一個例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板、貼合薄膜、基材薄膜等，可以舉出如下例子。例如可以舉出以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚碸(PES)為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。或者，作為一個例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作為一個例子，可以舉出聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或SOI基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低耗電量化或電路的高集成化。

[0368]

另外，作為基板也可以使用撓性基板，在該撓性基板上直接形成電晶體。或者，也可以在基板與電晶體之間設置剝離層。剝離層可以在如下情況下使用，亦即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板分離並轉置到其他基板上的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的層疊結構或基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0369]

另外，也可以使用一個基板形成電晶體，然後將該電晶體轉置到另一個基板上。作為轉置電晶體的基板，除了上述可以設置電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基

板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡膠基板等。藉由使用上述基板，可以形成特性良好的電晶體或耗電量低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，或者可以實現輕量化或薄型化。

[0370]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0371]

實施方式 7

本發明的一個實施方式的裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠播放儲存媒體如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 43A 至圖 43F 示出這些電子裝置的具體例子。

[0372]

圖 43A 是可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 43A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可

攜式遊戲機所包括的顯示部的個數不限於此。

[0373]

圖 43B 是可攜式資料終端，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，可以藉由連接部 915 改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0374]

圖 43C 是膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0375]

圖 43D 是電冷藏冷凍箱，其包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0376]

圖 43E 是視頻攝影機，其包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，可以藉由連接部 946 改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所

形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0377]

圖 43F 是汽車，其包括車身 951、車輪 952、儀表板 953 及燈 954 等。

[0378]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0379]

實施方式 8

[0380]

〈攝像裝置〉

以下對根據本發明的一個實施方式的攝像裝置進行說明。

[0381]

圖 44A 是示出根據本發明的一個實施方式的攝像裝置 2000 的例子的平面圖。攝像裝置 2000 包括像素部 2010、用來驅動像素部 2010 的週邊電路 2060、週邊電路 2070、週邊電路 2080 及週邊電路 2090。像素部 2010 包括配置為 p 行 q 列（p 及 q 為 2 以上的整數）的矩陣狀的多個像素 2011。週邊電路 2060、週邊電路 2070、週邊電路 2080 及週邊電路 2090 分別與多個像素 2011 連接，並具有供應用來驅動多個像素 2011 的信號的功能。此外，在本說明書等中，有時將週邊電路 2060、週邊電路 2070、週邊電路 2080 及週邊電路 2090 等總稱為“週邊電路”或“驅動電路”。例如，週邊電路 2060 也可以說是週邊電路的一部分。

[0382]

攝像裝置 2000 較佳為包括光源 2091。光源 2091 能夠發射檢測光 P1。

[0383]

週邊電路至少包括邏輯電路、開關、緩衝器、放大電路或轉換電路中的一個。此外，也可以在形成像素部 2010 的基板上形成週邊電路。另外，也可以將 IC 晶片等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 2060、週邊電路 2070、週邊電路 2080 和週邊電路 2090 中的一個以上。

[0384]

如圖 44B 所示，在攝像裝置 2000 所包括的像素部 2010 中，也可以以像素 2011 傾斜的方式配置。藉由以像素 2011 傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以提高攝像裝置 2000 的攝像品質。

[0385]

〈像素的結構例子〉

藉由使攝像裝置2000所包括的一個像素2011由多個子像素2012構成，且使每個子像素 2012 與使特定的波長區域的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資訊。

[0386]

圖 45A 是示出用來取得彩色影像的像素 2011 的一個例子的平面圖。圖 45A 所示的像素 2011 包括設置有使紅色（R）的波長區域的光透過的濾色片的子像素 2012（以下也稱為“子像素 2012R”）、設置有使綠色（G）的波長區域的光透過的濾色片的子像素 2012（以下也稱為“子像素 2012G”）及設置有使藍色（B）的波長區域的光透過的濾色片的子像素 2012（以下也稱為“子像素 2012B”）。子像素 2012 可以被用作光感測器。

[0387]

子像素 2012（子像素 2012R、子像素 2012G 及子像素 2012B）與佈線 2031、佈線 2047、佈線 2048、佈線 2049、佈線 2050 電連接。此外，子像素 2012R、子像素 2012G 及子像素 2012B 分別獨立地連接於佈線 2053。在本說明書等中，例如將與第 n 行（n 為 1 以上且 p 以下的整數）的像素 2011 連接的佈線 2048 及佈線 2049 分別稱為佈線 2048[n]及佈線 2049[n]。此外，例如，將與第 m 列（m 為 1 以上且 q 以下的整數）的像素 2011 連接的佈線 2053 稱為佈線 2053[m]。此外，在圖 45A 中，與第 m 列的像素 2011 所包括的子像素 2012R 連接的佈線 2053 稱為佈線 2053[m]R，將與子像素 2012G 連接的佈線 2053 稱為佈線 2053[m]G，將與子像素 2012B 連接的佈線 2053 稱為佈線 2053[m]B。子像素 2012 藉由上述佈線與週邊電路電連接。

[0388]

攝像裝置 2000 具有相鄰的像素 2011 的設置有使相同的波長區域的光透過的濾色片的子像素 2012 藉由開關彼此電連接的結構。圖 45B 示出配置在第 n 行第 m 列的像素 2011 所包括的子像素 2012 與相鄰於該像素 2011 的配置在第 n+1 行第 m 列的像素 2011 所包括的子像素 2012 的連接例子。在圖 45B 中，配置在第 n 行第 m 列的子像素 2012R 與配置在第 n+1 行第 m 列的子像素 2012R 藉由開關 2001 連接。此外，配置在第 n 行第 m 列的子像素 2012G 與配置在第 n+1 行第 m 列的子像素 2012G 藉由開關 2002 連接。此外，配置在第 n 行第 m 列的子像素 2012B 與配置在第 n+1 行第 m 列的子像素 2012B 藉由開關 2003 連接。

[0389]

用於子像素 2012 的濾色片的顏色不侷限於紅色（R）、綠色（G）、藍色（B），也可以使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素 2011 中設置檢測三種不同波長區域的光的子像素 2012，

可以獲得全彩色影像。

[0390]

或者，像素 2011 除了包括分別設置有使紅色（R）、綠色（G）及藍色（B）的光透過的濾色片的各子像素 2012 以外，還可以包括設置有使黃色（Y）的光透過的濾色片的子像素 2012。或者，像素 2011 除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的各子像素 2012 以外，還可以包括設置有使藍色(B)的光透過的濾色片的子像素 2012。藉由在一個像素 2011 中設置檢測四種不同波長區域的光的子像素 2012，可以進一步提高所獲得的影像的顏色再現性。

[0391]

例如，在圖 45A 中，檢測紅色的波長區域的子像素 2012、檢測綠色的波長區域的子像素 2012 及檢測藍色的波長區域的子像素 2012 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）為紅色:綠色:藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以為紅色:綠色:藍色=1:6:1。

[0392]

設置在像素 2011 中的子像素 2012 的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同的波長區域的子像素 2012，可以提高冗餘性，由此可以提高攝像裝置 2000 的可靠性。

[0393]

此外，藉由使用反射或吸收可見光且使紅外光透過的 IR(IR:Infrared)濾光片，可以實現檢測紅外光的攝像裝置 2000。

[0394]

藉由使用 ND（ND：Neutral Density）濾光片（減光濾光片），可以防

止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0395]

除了上述濾光片以外，還可以在像素 2011 中設置透鏡。這裡，參照圖 46A 及圖 46B 的剖面圖說明像素 2011、濾光片 2054、透鏡 2055 的配置例子。藉由設置透鏡 2055，可以使光電轉換元件高效地受光。明確而言，如圖 46A 所示，可以使光 2056 穿過形成在像素 2011 中的透鏡 2055、濾光片 2054（濾光片 2054R、濾光片 2054G 及濾光片 2054B）及像素電路 2030 等而入射到光電轉換元件 2020。

[0396]

注意，如由點劃線圍繞的區域所示，有時箭頭所示的光 2056 的一部分被佈線 2057 的一部分遮蔽。因此，如圖 46B 所示，較佳為採用在光電轉換元件 2020 一側配置透鏡 2055 及濾光片 2054，而使光電轉換元件 2020 高效地接收光 2056 的結構。藉由從光電轉換元件 2020 一側將光 2056 入射到光電轉換元件 2020，可以提供檢測靈敏度高的攝像裝置 2000。

[0397]

作為圖 46A 及圖 46B 所示的光電轉換元件 2020，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0398]

光電轉換元件 2020 也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎘、鎘鋅合金等。

[0399]

例如，在將硒用於光電轉換元件 2020 時，可以實現對可見光、紫外光、

紅外光、X 射線、伽瑪射線等較寬的波長區域具有光吸收係數的光電轉換元件 2020。

[0400]

在此，攝像裝置 2000 所包括的一個像素 2011 除了圖 45A 及圖 45B 所示的子像素 2012 以外，還可以包括具有第一濾光片的子像素 2012。

[0401]

〈攝像裝置的結構實例〉

圖 47 是構成攝像裝置的元件的剖面圖。圖 47 所示的攝像裝置包括層 621、設置在層 621 上的層 620 以及設置在層 620 上的層 622。層 621 包括設置在基板 400 上的電晶體 491 以及設置在基板 400 中的光電二極體 2360。層 622 包括電晶體 490 及電晶體 490b。關於電晶體 490b，可以參照電晶體 490 的記載。

[0402]

攝像裝置所包括的光電二極體 2360 包括電極 2361、電極 2362、由兩個電極夾住的半導體層。電極 2362 藉由層 621 所包括的導電層 512b 等與層 620 所包括的導電層 543b 連接。導電層 513b 與導電層 543b 所包括的凸部上及側面的至少一部分接觸。導電層 513b 藉由層 622 所包括的導電層 544b 等與電晶體 490 所包括的導電層 416b 連接。此外，較佳的是，導電層 513b 的一部分與絕緣膜 571 的頂面接觸。

[0403]

電極 2361 藉由低電阻層 2363 與設置在其上部的導電層 541c 連接，且藉由層 621 所包括的導電層 512c 等其他佈線層與層 620 所包括的導電層 543e 連接。導電層 513e 與導電層 543e 所包括的凸部上及側面的至少一部分接觸。導電層 513e 藉由層 622 所包括的導電層 544c 等例如與層 622 所

包括的其他佈線層等連接。此外，導電層 513e 的一部分較佳的是與絕緣膜 571 的頂面接觸。

[0404]

關於導電層 513b、513e 以及導電層 543b、543e 分別可以參照導電層 513 及 543 的記載。

[0405]

在圖 47 所示的剖面圖的一個例子中，在基板 400 中，在與形成有電晶體 491 的面相反一側設置有光電二極體 2360 的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。此外，光電二極體 2360 的受光面也可以是與形成有電晶體 491 的面相同的面。

[0406]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0407]

（關於本說明書等的記載的附記）

下面，對上述實施方式及實施方式中的各結構的說明附加注釋。

[0408]

各實施方式所示的結構可以與其他實施方式所示的結構適當地組合而構成本發明的一個實施方式。另外，當在一個實施方式中示出多個結構實例時，可以適當地組合這些結構實例。

[0409]

另外，可以將某一實施方式中說明的內容（或其一部分）應用/組合/替換成該實施方式中說明的其他內容（或其一部分）及/或另一個或多個其

他實施方式中說明的內容（或其一部分）。

[0410]

注意，實施方式中說明的內容是指各實施方式中利用各種圖式所說明的內容或者利用說明書所記載的文章而說明的內容。

[0411]

另外，藉由將某一實施方式中示出的圖式（或其一部分）與該圖式的其他部分、該實施方式中示出的其他圖式（或其一部分）及/或另一個或多個其他實施方式中示出的圖式（或其一部分）組合，可以構成更多圖。

[0412]

雖然在各實施方式中對本發明的一個實施方式進行了說明，但是本發明的一個實施方式不侷限於此。例如，作為本發明的一個實施方式，在實施方式 1 中說明作為關態電流較低的電晶體使用 OS 電晶體的結構，但是本發明的一個實施方式只要是關態電流較低的電晶體即可，所以本發明的一個實施方式不侷限於 OS 電晶體。因此，根據情況，本發明的一個實施方式例如也可以採用不使用 OS 電晶體的結構。

[0413]

〈關於說明圖式的記載的附記〉

在本說明書等中，“上”“下”等表示配置的詞句是為了方便參照圖式對組件的位置關係進行說明而使用的。組件的位置關係根據描述各組件的方向適當地改變。因此，表示配置的詞句不侷限於本說明書中所示的記載，根據情況可以適當地更換表達方式。

[0414]

“上”或“下”這樣的詞句不限定於組件的位置關係為“正上”或“正下”且直接接觸的情況。例如，當記載為“絕緣層 A 上的電極 B”時，

不一定必須在絕緣層 A 上直接接觸地形成有電極 B，也可以包括絕緣層 A 與電極 B 之間包括其他組件的情況。

[0415]

在本說明書等中，根據功能對組件進行分類並在方塊圖中以彼此獨立的方塊表示。然而，在實際的電路等中難以根據功能分類組件，有時一個電路涉及到多個功能或者多個電路涉及到一個功能。因此，方塊圖中的方塊的分割不侷限於說明書中說明的組件，而可以根據情況適當地不同。

[0416]

為了便於說明，在圖式中，任意示出尺寸、層的厚度或區域。因此，本發明的一個實施方式並不侷限於圖式中的尺寸。圖式是為了明確起見而示意性地示出的，而不侷限於圖式所示的形狀或數值等。例如，可以包括雜波或定時偏差等所引起的信號、電壓或電流的不均勻等。

[0417]

在俯視圖（也稱為平面圖、佈局圖）或透視圖等的圖式中，為了明確起見，有時省略部分組件的圖示。

[0418]

〈關於可以換個方式表述的記載的附記〉

在本說明書等中，當說明電晶體的連接關係時，記載為“源極和汲極中的一個”（或者第一電極或第一端子）、“源極和汲極中的另一個”（或者第二電極或第二端子）。這是因為電晶體的源極和汲極根據電晶體的結構或工作條件等改變。注意，根據情況可以將電晶體的源極和汲極適當地換稱為源極（汲極）端子或源極（汲極）電極等。

[0419]

注意，在本說明書等中，“電極”或“佈線”這樣的詞語不在功能上

限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”這樣的詞語還包括多個“電極”或“佈線”被形成為一體的情況等。

[0420]

另外，在本說明書等中，可以適當地調換電壓和電位。電壓是指與參考電位之間的電位差，例如在參考電位為接地電壓時，可以將電壓換稱為電位。接地電壓不一定意味著 0V。注意，電位是相對的，對佈線等供應的電位有時根據基準電壓而變化。

[0421]

在本說明書等中，根據情況或狀態，可以互相調換“膜”和“層”等詞句。例如，有時可以將“導電膜”換稱為“導電層”。此外，有時可以將“絕緣膜”換稱為“絕緣層”。

[0422]

〈關於詞句的定義的附記〉

下面，對上述實施方式中沒有涉及到的詞句的定義進行說明。

[0423]

〈〈開關〉〉

在本說明書等中，開關是指具有藉由變為導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過的功能的元件。或者，開關是指具有選擇並切換電流路徑的功能的元件。

[0424]

例如，可以使用電開關或機械開關等。換而言之，開關只要可以控制電流，就不侷限於特定的元件。

[0425]

電開關的例子包括電晶體(例如雙極電晶體或 MOS 電晶體)、二極體(例如 PN 二極體、PIN 二極體、肖特基二極體、金屬-絕緣體-金屬（MIM）二極體、金屬-絕緣體-半導體（MIS）二極體或者二極體接法的電晶體）或者組合這些元件的邏輯電路。

[0426]

當作為開關使用電晶體時，電晶體的“導通狀態”是指電晶體的源極與汲極在電性上短路的狀態。另外，電晶體的“非導通狀態”是指電晶體的源極與汲極在電性上斷開的狀態。當僅將電晶體用作開關時，對電晶體的極性（導電型）沒有特別的限制。

[0427]

機械開關的例子包括像數位微鏡裝置（DMD）那樣的利用 MEMS（微機電系統）技術的開關。該開關具有以機械方式可動的電極，並且藉由移動該電極來控制導通和非導通而進行工作。

[0428]

〈〈通道長度〉〉

在本說明書等中，例如，通道長度是指在電晶體的俯視圖中，半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極重疊的區域或者形成通道的區域中的源極和汲極之間的距離。

[0429]

另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限於一個值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0430]

《通道寬度》

在本說明書等中，例如，通道寬度是指半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域、或者形成通道的區域中的源極和汲極相對的部分的長度。

[0431]

另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道寬度有時不限於一個值。因此，在本說明書中，通道寬度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0432]

另外，根據電晶體的結構，有時實際上形成通道的區域中的通道寬度（下面稱為實效的通道寬度）和電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）不同。例如，在具有立體結構的電晶體中，有時實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，而不能忽略其影響。例如，在具有微型且立體結構的電晶體中，有時形成在半導體的側面上的通道區域的比例較大。在此情況下，實際形成通道時獲得的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0433]

在具有立體結構的電晶體中，有時難以藉由實測估計實效通道寬度。例如，為了根據設計值估計實效通道寬度，需要假定預先知道半導體的形狀。因此，當不清楚半導體的形狀時，難以正確地測量實效通道寬度。

[0434]

因此，在本說明書中，有時將在電晶體的俯視圖中半導體和閘極電極重疊的區域中的源極與汲極相對的部分的長度，亦即外觀上的通道寬度稱

為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地描述為“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指實效通道寬度。注意，藉由取得剖面 TEM 影像等並對其進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0435]

另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度來計算。在此情況下，該值有時與使用實效通道寬度計算的值不同。

[0436]

〈〈連接〉〉

在本說明書等中，“A與B連接”除了包括A與B直接連接的情況以外，還包括 A 與 B 電連接的情況。在此，“A 與 B 電連接”是指當在 A 與 B 之間存在具有某種電作用的物件時，能夠在 A 和 B 之間進行電信號的授受。

[0437]

注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表達為如下。

[0438]

例如，可以表達為“X、Y、電晶體的源極（或第一端子等）、電晶體的

汲極(或第二端子等)互相電連接，並以 X、電晶體的源極(或第一端子等)、電晶體的汲極（或第二端子等）、Y 的順序依次電連接”。或者，可以表達為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，並以 X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 的順序依次電連接”。或者，可以表達為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，並按照 X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)、Y 的連接順序進行設置”。藉由使用與這些例子相同的表達方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而確定技術範圍。

[0439]

另外，作為其他表達方法，例如可以表達為“電晶體的源極（或第一端子等）至少藉由第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，所述第一連接路徑是藉由 Z1 的路徑，電晶體的汲極（或第二端子等）至少藉由第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，所述第三連接路徑是藉由 Z2 的路徑”。或者，也可以表達為“電晶體的源極（或第一端子等）至少經過第一連接路徑，藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑，藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑”。或者，也可以表達為“電晶體的源極(或第一端子等）至少經過第一電路徑，藉由 Z1 與 X 電連接，所述第一電路徑不具有第二電路徑，所述第二電路徑是從電晶體的源極（或第一端子等）

到電晶體的汲極（或第二端子等）的電路徑，電晶體的汲極（或第二端子等）至少經過第三電路徑，藉由 Z2 與 Y 電連接，所述第三電路徑不具有第四電路徑，所述第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑”。藉由使用與這些例子同樣的表達方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來確定技術範圍。

[0440]

注意，這些表達方法只是一個例子而已，不侷限於上述表達方法。在此，X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電層和層等）。

[實施例 1]

[0441]

在本實施例中，作為包括本發明的一個實施方式的導電層的裝置參照圖 2B 所示的裝置 500 形成裝置，並觀察其剖面。

[0442]

[樣本的製造]

首先，作為基板 400 準備 126.6mm 見方的矽晶圓。接著，在矽晶圓上作為絕緣膜 464h 形成厚度為 100nm 的氧氮化矽膜。然後，在氧氮化矽膜上形成 150nm 的鎢膜。

[0443]

氧氮化矽膜利用 PECVD 法形成。成膜條件為如下條件：基板溫度為 325℃；使用 13.56MHz 的 RF 電源；功率為 35W；壓力為 133.3Pa；作為氣體使用 5sccm 的甲矽烷及 1000sccm 的一氧化二氮。鎢膜利用濺射法形成。此外，

成膜條件為如下條件:基板溫度為130℃;使用1kW的DC電源;壓力為0.8Pa;作為氣體使用大約80sccm的氬。另外，靶材與基板間的距離為60mm。

[0444]

接著，在鎢膜上形成光阻遮罩。然後，藉由利用乾蝕刻去除鎢膜的一部分，形成導電層512。然後，去除光阻遮罩（圖51A示出製程概要）。鎢膜的乾蝕刻條件為如下條件：上部電極與基板間的距離為115mm；壓力為2.0Pa；上部一側的RF電源的功率為1250W且下部一側的RF電源的功率為50W；作為蝕刻氣體流量使用28sccm的四氟甲烷、24sccm的氧、14sccm的氯。

[0445]

接著，在矽晶圓及導電層512上作為絕緣膜584b形成厚度為800nm的氧化矽膜(圖51B示出製程概要)。然後，以在導電層512上殘留厚度為300nm左右的氧化矽的方式利用CMP法對氧化矽膜的頂面進行拋光（圖51C示出製程概要）。

[0446]

氧化矽膜利用PECVD法形成。成膜條件為如下條件：基板溫度為300℃；使用電源頻率為27MHz的RF電源；功率為300W；壓力為100Pa；作為氣體使用15sccm的TEOS（Tetraethyl orthosilicate：四乙氧基矽烷）及750sccm的氧。

[0447]

下面，說明CMP法的拋光條件。作為砂布，使用採用了聚氨酯泡沫體的霓塔哈斯(NITTA/HAAS)公司製造的IC1000/SUBA(在日本註冊的商標)。另外，作為漿料使用採用了氣相法二氧化矽的美國嘉柏微電子材料（Cabot Microelectronics）公司製造的Semi-Sperse（在日本註冊的商標）25。漿

料流量為 150mL/min，拋光壓力為 3.6psi。磨頭及工作臺的旋轉數分別為 93rpm、90rpm。此時，在磨頭上安裝有被處理物且工作台上安裝有砂布的狀態下進行處理。採用上述拋光條件進行處理。在進行拋光之後，進行兆聲波清洗。

[0448]

接著，在氧化矽膜上作為絕緣膜 571 形成厚度為 50nm 的氧化鋁膜。然後，在絕緣膜 571 上作為絕緣膜 585 形成厚度為 50nm 的氧氮化矽膜（圖 51D 示出製程概要）。氧化鋁膜利用濺射法形成。成膜條件為如下條件：使用氧化鋁的靶材；作為電源使用 2.5kW 的 RF 電源；壓力為 0.4Pa；作為沉積氣體使用 25sccm 的氬、25sccm 的氧。此外，靶材與基板間的距離為 60mm。

[0449]

氧氮化矽的成膜條件為如下條件：基板溫度為 450℃；使用電源頻率為 60MHz 的 RF 電源；功率為 150W；壓力為 40Pa；作為氣體使用 1sccm 的甲矽烷、800sccm 的一氧化二氮。

[0450]

關於後面的製程，參照圖 5B 至圖 8C 即可。

[0451]

接著，在絕緣膜 585 上形成光阻遮罩，在絕緣膜 585、絕緣膜 571 及導電層 512 上的絕緣膜 584b 中形成開口部。利用乾蝕刻去除絕緣膜 585、絕緣膜 571 及絕緣膜 584b 的一部分。

[0452]

絕緣膜 585、絕緣膜 571 及絕緣膜 584b 的蝕刻藉由五個步驟進行。

[0453]

第一步驟的處理條件為：上部電極與基板間的距離為 40mm；壓力為

6.5Pa；上部一側的 RF 電源的功率為 1000W 且下部一側的 RF 電源的功率為 100W；作為蝕刻氣體使用 100sccm 的四氟甲烷；進行 39sec 處理。此外，處理室的溫度為 20℃。

[0454]

第二步驟的處理條件為：上部電極與基板間的距離為 25mm；壓力為 3.3Pa；上部一側的 RF 電源的功率為 1800W 且下部一側的 RF 電源的功率為 2000W；作為蝕刻氣體使用 800sccm 的氬、30sccm 的氧、22sccm 的六氟-1，3-丁二烯；進行 7sec 處理。

[0455]

第三步驟的處理條件為：上部電極與基板間的距離為 25mm；壓力為 5.2Pa；上部一側的 RF 電源的功率為 300W 且下部一側的 RF 電源的功率為 1200W；作為蝕刻氣體使用 275sccm 的氬、50sccm 的三氟甲烷；進行 3sec 處理。

[0456]

第四步驟的處理條件為：上部電極與基板間的距離為 25mm；壓力為 2.6Pa；上部一側的 RF 電源的功率為 300W 且下部一側的 RF 電源的功率為 1200W；作為蝕刻氣體使用 275sccm 的氬、50sccm 的三氟甲烷；進行 30sec 處理。

[0457]

第五步驟的處理條件為：上部電極與基板間的距離為 25mm；壓力為 3.3Pa；上部一側的 RF 電源的功率為 1800W 且下部一側的 RF 電源的功率為 2000W；作為蝕刻氣體使用 800sccm 的氬、30sccm 的氧、22sccm 的六氟-1，3-丁二烯；進行 43sec 處理。

[0458]

接著，在絕緣膜 585 的開口部內及絕緣膜 585 上，作為將成為導電層 543a 的導電膜形成厚度為 5nm 的氮化鈦膜。然後，作為將成為導電層 543b 的導電膜，在氮化鈦膜上、絕緣膜 585 的開口部內及絕緣膜 585 上以填充開口部的方式形成厚度為 250nm 的鎢膜。

[0459]

氮化鈦的成膜條件為如下：以 50sccm 導入四氯化鈦 0.05sec 並將其附著到絕緣膜 585 上，然後以 4500sccm 導入氮氣體 0.2sec 進行清洗處理，以 2700sccm 導入氨氣體 0.3sec 並將其附著到絕緣膜 585，然後以 4000sccm 導入氮氣體 0.3sec，以上述製程為一個循環，藉由調節循環次數控制膜厚度。基板載物台的設定溫度為 412℃，壓力為 667Pa，基板載物台和發射氣體載物台之間的距離為 3mm。

[0460]

以三個步驟進行鎢的成膜。

[0461]

在第一步驟中，作為成膜用氣體使用流量為 160sccm 的六氟化鎢、400sccm 的矽烷、6000sccm 的氬、2000sccm 的氮，作為載物台背面用氣體使用流量為 4000sccm 的氬，成膜時的處理室內的壓力為 1000Pa，基板載物台的設定溫度為 390℃，以三個循環形成厚度為 3nm 的鎢膜。

[0462]

在第二步驟中，作為成膜用氣體使用流量為 250sccm 的六氟化鎢、2200sccm 及 1700sccm 的氬（將氣體線分為兩個而使用）、2000sccm 的氬、200sccm 的氮，作為載物台背面用氣體使用流量為 4000sccm 的氬，成膜時的處理室內的壓力為 10666Pa，基板載物台的設定溫度為 390℃，以 15sec 形成厚度為 41nm 的鎢膜。

[0463]

在第三步驟中，作為成膜用氣體使用流量為 250sccm 的六氟化鎢、2200sccm 及 1700sccm 的氫（將氣體線分為兩個而使用）、2000sccm 的氬、200sccm 的氮，作為載物台背面用氣體使用流量為 4000sccm 的氬，成膜時的處理室內的壓力為 10666Pa，基板載物台的設定溫度為 390℃，形成鎢膜。

[0464]

接著，利用 CMP 法以使絕緣膜 585 露出的方式對鎢膜及氮化鈦膜的頂面進行拋光，形成導電層 543a 及導電層 543a 上的導電層 543b。

[0465]

下面，說明 CMP 法的拋光條件。作為砂布，使用採用了聚氨酯泡沫體的霓塔哈斯（NITTA/HAAS）公司製造的 IC1000/SUBA（在日本註冊的商標）。另外，作為漿料使用採用了矽膠的美國嘉柏微電子材料（Cabot Microelectronics）公司製造的 W7300-B21。漿料流量為 150mL/min，拋光壓力為 3.0psi。磨頭及工作臺的旋轉數分別為 93rpm、90rpm。此時，在磨頭上安裝有被處理物且工作台上安裝有砂布的狀態下進行處理。採用上述拋光條件進行處理。在進行拋光之後，進行兆聲波清洗及稀氫氟酸清洗。

[0466]

接著，在絕緣膜 585 及導電層 543b 上作為絕緣膜 586 形成厚度為 120nm 的氧氮化矽膜。作為氧氮化矽的成膜條件參照絕緣膜 585 的成膜條件。基板溫度為 500℃。

[0467]

接著，在絕緣膜 586 上形成光阻遮罩，在絕緣膜 586 及絕緣膜 585 中形成開口部。利用乾蝕刻去除絕緣膜 586 及絕緣膜 585。乾蝕刻藉由兩個步驟進行。

[0468]

第一步驟的處理條件為：上部電極與基板間的距離為 40mm；壓力為 6.5Pa；上部一側的 RF 電源的功率為 1000W 且下部一側的 RF 電源的功率為 100W；作為蝕刻氣體使用 100sccm 的四氟甲烷；進行 39sec 處理。此外，處理室的溫度為 20℃。

[0469]

第二步驟的處理條件為：上部電極與基板間的距離為 40mm；壓力為 3.3Pa；上部一側的 RF 電源的功率為 500W 且下部一側的 RF 電源的功率為 1150W；作為蝕刻氣體使用 800sccm 的氫、30sccm 的氧、22sccm 的六氟-1，3-丁二烯；進行 32sec 處理。

[0470]

接著，在絕緣膜 586 的開口部內及絕緣膜 586 上作為將成為導電層 513a 的導電膜形成氮化鈦膜。然後，以填充開口部內的方式，在絕緣膜 586 的開口部內及絕緣膜 586 上作為將成為導電層 513b 的導電膜形成厚度為 250nm 的鎢膜。這裡，形成導電層 513a 的厚度不同的兩個條件的樣本（樣本 1 及樣本 2）。作為將成為導電層 513a 的導電膜，在樣本 1 中形成厚度為 5nm 的氮化鈦膜，在樣本 2 中形成厚度為 10nm 的氮化鈦膜。關於氮化鈦的成膜條件，參照導電層 543a 的成膜條件。此外，關於鎢的成膜條件，參照導電層 543b 的成膜條件。

[0471]

接著，利用 CMP 法以使絕緣膜 586 露出的方式對鎢膜及氮化鈦膜的頂面進行拋光，形成導電層 513a 及導電層 513a 上的導電層 513b。

[0472]

在 CMP 法的條件中，作為砂布，使用採用了聚氨酯泡沫體的霓塔哈斯

（NITTA/HAAS）公司製造的 IC1000/SUBA（在日本註冊的商標）。另外，作為漿料使用採用了矽膠的美國嘉柏微電子材料(Cabot Microelectronics）公司製造的 W7300-B21。漿料流量為 150mL/min，拋光壓力為 3.0psi。磨頭及工作臺的旋轉數分別為 93rpm、90rpm。此時，在磨頭上安裝有被處理物且工作台上安裝有砂布的狀態下進行處理。採用上述拋光條件進行處理。在進行拋光之後，進行兆聲波清洗及稀氫氟酸清洗。

[0473]

藉由上述製程形成樣本 1 及樣本 2。

[0474]

[樣本的觀察]

接著，對所形成的樣本 1 及樣本 2 作為覆蓋層 633 形成碳膜及碳膜上的鉑膜。然後，利用 FIB（Focused Ion beam：聚焦離子束）對剖面進行加工。

[0475]

接著，利用掃描透射型電子顯微鏡（STEM：Scanning Transmission Electron Microscopy），明確而言利用日立高新技術公司製造的“日立超薄膜評價裝置 HD-2300”觀察樣本的剖面。加速電壓為 200kV。圖 52A、圖 52B 及圖 53 示出樣本 1 的觀察結果，圖 54A、圖 54B 及圖 55 示出樣本 2 的觀察結果。

[0476]

圖 52A 示出樣本 1 的剖面觀察結果，圖 52B 示出在圖 52A 中由點劃線圍繞的區域的放大圖，圖 53 示出在圖 52B 中由點劃線圍繞的區域的放大圖。此外，圖 54A 示出樣本 2 的剖面觀察結果，圖 54B 示出在圖 54A 中由點劃線圍繞的區域的放大圖，圖 55 示出在圖 54B 中由點劃線圍繞的區域的放大

圖。圖 52A、圖 54A 的觀察倍率為 13,000 倍，圖 52B、圖 54B 的觀察倍率為 50,000 倍，圖 53、圖 55 的觀察倍率為 150,000 倍。這裡，在圖 53 等中省略導電層 513a 及導電層 543a 的元件符號。

[0477]

在圖 53 及圖 55 所示的剖面中，導電層 543a 及導電層 543b 的頂面的高度比絕緣膜 571 的頂面的高度高。

[0478]

如圖 52A 至圖 55 所示，導電層 543a、導電層 543b 良好地填充覆蓋形成在絕緣膜 584b、絕緣膜 571 等中的開口部內。此外，如圖 55 等所示，可知導電層 513a 良好地覆蓋形成在絕緣膜 585、絕緣膜 586 等中的開口部內，在導電層 513a 上以填充開口部的方式形成有導電層 513b。

實施例 2

[0479]

在本實施例中，估計使用用作插頭的導電層連接兩個以上的導電層時的電阻值。

[0480]

[樣本的製造]

首先，準備樣本 T-1 至樣本 T-4。在樣本 T-1 至樣本 T-4 中，在基板 400 上形成多個半導體元件。作為基板 400 使用矽晶圓。作為半導體元件，形成將矽用於通道區域的電晶體等。接著，形成導電層 512，在導電層 512 的頂面形成絕緣膜 584。以下，在沒有特別的記載的情況下，對樣本 T-1 至樣本 T-4 都進行相同的處理。

[0481]

在絕緣膜 584 上作為絕緣膜 571 形成厚度為 30nm 的氧化鋁膜。利用濺射法使用氧化鋁靶材形成氧化鋁膜。然後，作為絕緣膜 585 形成厚度為 50nm 的氧化矽膜。利用電漿 CVD 法作為氣體使用 SiH_4 及 N_2O 形成氧化矽膜。

[0482]

接著，在形成遮罩之後，利用蝕刻在氧化矽膜、氧化鋁膜及絕緣膜 584 中設置開口部。在作為遮罩形成將成為硬遮罩的鎢膜、氮化矽膜之後，塗佈有機膜來進行露光。然後，利用乾蝕刻去除鎢膜的一部分及氮化矽膜的一部分，形成硬遮罩。

[0483]

接著，利用乾蝕刻去除絕緣膜 584 及絕緣膜 585。作為乾蝕刻的氣體，使用六氟-1，3-丁二烯、氧及氬進行蝕刻，然後使用氫、八氟環丁烷及氬進行蝕刻，然後使用六氟-1，3-丁二烯、氧及氬進行蝕刻。

[0484]

接著，在該開口部及絕緣膜 585 的表面作為將成為導電層 543a 的導電膜形成厚度為 10nm 的氮化鈦膜。然後，以填充該開口部的方式在氮化鈦膜上作為將成為導電層 543b 的導電膜形成厚度為 150nm 的鎢膜。

[0485]

接著，利用 CMP 法以使絕緣膜 585 露出的方式對鎢膜及氮化鈦膜的頂面進行拋光，形成導電層 543a 及導電層 543a 上的導電層 543b。

[0486]

接著，作為絕緣膜 586 形成厚度為 120nm 的氧化矽膜。利用電漿 CVD 法作為氣體使用 SiH_4 及 N_2O 形成氧化矽膜。

[0487]

接著，在絕緣膜 586 上形成光阻遮罩，在絕緣膜 586 及絕緣膜 585 中

形成開口部。利用乾蝕刻去除絕緣膜 586 及絕緣膜 585。

[0488]

接著，在該開口部及絕緣膜 586 的表面形成將成為導電層 513a 的導電膜。在樣本 T-1 及樣本 T-2 中，形成厚度為 20nm 的氮化鉭膜及氮化鉭膜上的厚度為 5nm 的氮化鈦膜。在樣本 T-3 及樣本 T-4 中，形成厚度為 5nm 的氮化鈦膜。利用濺射法形成氮化鉭膜。

[0489]

然後，以填充該開口部的方式在該開口部及樣本 T-1 的表面作為將成為導電層 513b 的導電膜形成厚度為 250nm 的鎢膜。

[0490]

接著，藉由利用 CMP 法以使絕緣膜 586 的表面露出的方式對鎢膜、氮化鈦膜及氮化鉭膜進行拋光，形成導電層 513a 及導電層 513b。

[0491]

[樣本的測量]

這裡，圖 56A 示出在本實施例中用來測量的元件 120 的剖面示意圖。圖 56A 所示的結構包括（m+2）個導電層 513、（m+1）個導電層 512、（2m+2）個導電層 543。例如，第 m 導電層 512 與第（2m-1）導電層 543 及第（2m）導電層 543 連接。第（2m-1）導電層 543 與第 m 導電層 513 連接，第（2m）導電層 543 與第（m+1）導電層 513 連接。在本實施例中用來測量的元件包括 1488 個導電層 543。

[0492]

圖 56B 示出元件 120 的頂面的一部分。導電層 543 的頂面的形狀大致為正方形，且一邊長度大約為 170nm。此外，導電層 543 具有插頭的功能，導電層 512 及導電層 513 具有佈線的功能。導電層 512 的線寬度大約為 560nm，

導電層 513 的線寬度大約為 440nm。注意，第一導電層 512 及第（m+2）導電層 512 具有 50μm 見方以上的較大的區域。

[0493]

對樣本 T-1 至樣本 T-4 分別包括的 3 個元件 120 進行測量。圖 57 示出在電流-電壓特性中電壓為 0.1V 的電阻值。在每個樣本中元件間的電阻值的偏差小，能夠使電阻值足夠低。

【符號說明】

[0494]

120　元件
150　電容元件
400　基板
402　絕緣膜
404　導電層
406　半導體
406a　半導體
406b　半導體
406c　半導體
407　通道形成區域
408　絕緣膜
412　絕緣膜
413　導電層
416a　導電層
416b　導電層
418　絕緣膜
423a　低電阻區域
423b　低電阻區域
426a　導電層
426b　導電層
454　導電層
460　元件分離區域
462　絕緣膜
464a　絕緣膜
464b　絕緣膜
464h　絕緣膜
470　絕緣膜
474　區域
476　區域
490　電晶體

490b 電晶體
491 電晶體
492 電晶體
493 電晶體
500 裝置
511 導電層
512 導電層
512b 導電層
512c 導電層
513 導電層
513a 導電層
513b 導電層
513c 導電膜
513d 導電膜
513e 導電層
514 導電層
515 導電層
516 導電層
516b 導電層
517 導電層
518 導電層
519 導電層
521 導電層
522 導電層
522a 導電層
522b 導電層
523 導電層
523a 導電層
523b 導電層
524 導電層
526 導電膜
527 導電層
528 導電層
529 導電層
530 導電層
530b 導電層
541 導電層
541c 導電層
542 導電層
543 導電層
543a 導電層
543b 導電層
543c 導電膜
543d 導電膜
543e 導電層
544 導電層
544b 導電層
544c 導電層

545 導電層
546 導電層
547 導電層
547b 導電層
548 導電層
571 絕緣膜
572 絕緣膜
581 絕緣膜
581a 絕緣膜
581b 絕緣膜
582 絕緣膜
583 絕緣膜
583a 絕緣膜
583b 絕緣膜
584 絕緣膜
584b 絕緣膜
585 絕緣膜
586 絕緣膜
587 絕緣膜
588 絕緣膜
589 絕緣膜
590 絕緣膜
591 絕緣膜
591b 絕緣膜
592 絕緣膜
593 絕緣膜
594 絕緣膜
595 絕緣膜
598 絕緣膜
599 絕緣膜
601 開口部
602 開口部
603 開口部
604 導電層
605 開口部
606 凸部
606a 半導體
606b 半導體
606c 半導體
607 遮罩
608 遮罩
610 厚度
611 遮罩
612 絕緣膜
613 導電層
614 遮罩
616a 導電層
616b 導電層

618 絕緣膜

619 絕緣膜

620 層

621 層

622 層

623 層

624 層

625 層

631 絕緣膜

632 絕緣膜

633 覆蓋層

660a 電容元件

660b 電容元件

661a 電晶體

661b 電晶體

662a 電晶體

662b 電晶體

663a 反相器

663b 反相器

700 基板

701 像素部

702 掃描線驅動電路

703 掃描線驅動電路

704 信號線驅動電路

710 電容佈線

712 閘極佈線

713 閘極佈線

714 源極電極層或汲極電極層

716 電晶體

717 電晶體

718 液晶元件

719 液晶元件

720 像素

721 切換電晶體

722 驅動電晶體

723 電容元件

724 發光元件

725 信號線

726 掃描線

727 電源線

728 共用電極

800 RF 標籤

801 通信器

802 天線

803 無線信號

804 天線

805 整流電路

806 定電壓電路
807 解調變電路
808 調變電路
809 邏輯電路
810 記憶體電路
811 ROM
901 外殼
902 外殼
903 顯示部
904 顯示部
905 麥克風
906 揚聲器
907 操作鍵
908 觸控筆
911 外殼
912 外殼
913 顯示部
914 顯示部
915 連接部
916 操作鍵
921 外殼
922 顯示部
923 鍵盤
924 指向裝置
931 外殼
932 冷藏室門
933 冷凍室門
941 外殼
942 外殼
943 顯示部
944 操作鍵
945 透鏡
946 連接部
951 車身
952 車輪
953 儀表板
954 燈
1189 ROM 介面
1190 基板
1191 ALU
1192 ALU 控制器
1193 指令解碼器
1194 中斷控制器
1195 時序控制器
1196 暫存器
1197 暫存器控制器
1198 匯流排介面
1199 ROM

1200 記憶體裝置
1201 電路
1202 電路
1203 開關
1204 開關
1206 邏輯元件
1207 電容元件
1208 電容元件
1209 電晶體
1210 電晶體
1213 電晶體
1214 電晶體
1220 電路
2000 攝像裝置
2001 開關
2002 開關
2003 開關
2010 像素部
2011 像素
2012 子像素
2012B 子像素
2012G 子像素
2012R 子像素
2020 光電轉換元件
2030 像素電路
2031 佈線
2047 佈線
2048 佈線
2049 佈線
2050 佈線
2053 佈線
2054 濾光片
2054B 濾光片
2054G 濾光片
2054R 濾光片
2055 透鏡
2056 光
2057 佈線
2060 週邊電路
2070 週邊電路
2080 週邊電路
2090 週邊電路
2091 光源
2100 電晶體
2200 電晶體
2360 光電二極體
2361 電極
2362 電極

2363　低電阻層

4000　RF 標籤

5100　顆粒

5120　基板

5161　區域

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種半導體裝置，包括：

第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該第一絕緣膜中的第一開口部；

該第二絕緣膜及該第三絕緣膜中的第二開口部，該第二開口部與該第一開口部重疊；

第一導電體；

第二導電體；

包括半導體膜的第一電晶體；以及

位於該第一絕緣膜與該半導體膜之間的第四絕緣膜，

其中該第一絕緣膜包括選自氧化鋁、氧化鈴、氧化鉭、氧化鋯的材料，

該第一導電體的第一部分位於該第一開口部中，

該第一導電體的第二部分位於該第二開口部中，

並且該第二導電體位於該第二開口部中且與該第一導電體的該第二部分的頂面及側面接觸。

2. 一種半導體裝置，包括：

第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該第一絕緣膜中的第一開口部；

該第二絕緣膜及該第三絕緣膜中的第二開口部，該第二開口部與該第

一開口部重疊；

第一導電體；

第二導電體；

該第三絕緣膜上的第四絕緣膜；以及

包括半導體膜的第一電晶體，該半導體膜位於該第四絕緣膜上，

其中該第一導電體的第一部分位於該第一開口部中，

該第一導電體的第二部分位於該第二開口部中，

並且該第二導電體位於該第二開口部中且與該第一導電體的該第二部分的頂面及側面接觸。

3. 根據申請專利範圍第1或2項所述之半導體裝置，

其中該半導體膜包括氧化物半導體。

4. 根據申請專利範圍第1或2項所述之半導體裝置，

其中該第一絕緣膜對水或氫具有阻擋性。

5. 根據申請專利範圍第4項所述之半導體裝置，更包括第二電晶體，

其中第二電晶體包括矽的半導體，

並且該第一絕緣膜位於該第二電晶體上。

6. 根據申請專利範圍第5項所述之半導體裝置，

其中該第一電晶體和該第二電晶體藉由該第一導電體及該第二導電體彼此電連接。

7. 根據申請專利範圍第1或2項所述之半導體裝置，

其中該第一絕緣膜的蝕刻速度低於該第二絕緣膜的蝕刻速度。

8. 一種半導體裝置，包括：

第一電晶體；

該第一電晶體上的第一絕緣膜；

該第一絕緣膜上的第二絕緣膜；

該第二絕緣膜上的第三絕緣膜；

該第一絕緣膜中的第一開口部；

該第二絕緣膜及該第三絕緣膜中的第二開口部，該第二開口部與該第一開口部重疊；

第一導電體；

第二導電體；以及

包括半導體膜的第二電晶體， 該半導體膜位於該第三絕緣膜上，

其中該第一絕緣膜包括選自氧化鋁、氧化鉿、氧化鉭、氧化鋯的材料，

該第一導電體的第一部分位於該第一開口部中，

該第一導電體的第二部分位於該第二開口部中，

並且該第二導電體位於該第二開口部中且與該第一導電體的該第二部分的頂面及側面接觸。

9. 根據申請專利範圍第8項所述之半導體裝置，

其中該半導體膜包括氧化物半導體。

10. 根據申請專利範圍第9項所述之半導體裝置，

其中第一電晶體包括矽的半導體。

11. 根據申請專利範圍第10項所述之半導體裝置，

其中該第一絕緣膜對水或氫具有阻擋性。

12. 根據申請專利範圍第8項所述之半導體裝置，

其中該第一絕緣膜的蝕刻速度低於該第二絕緣膜的蝕刻速度。

13. 根據申請專利範圍第8項所述之半導體裝置，

其中該第一電晶體和該第二電晶體藉由該第一導電體及該第二導電體

彼此電連接。

圖式

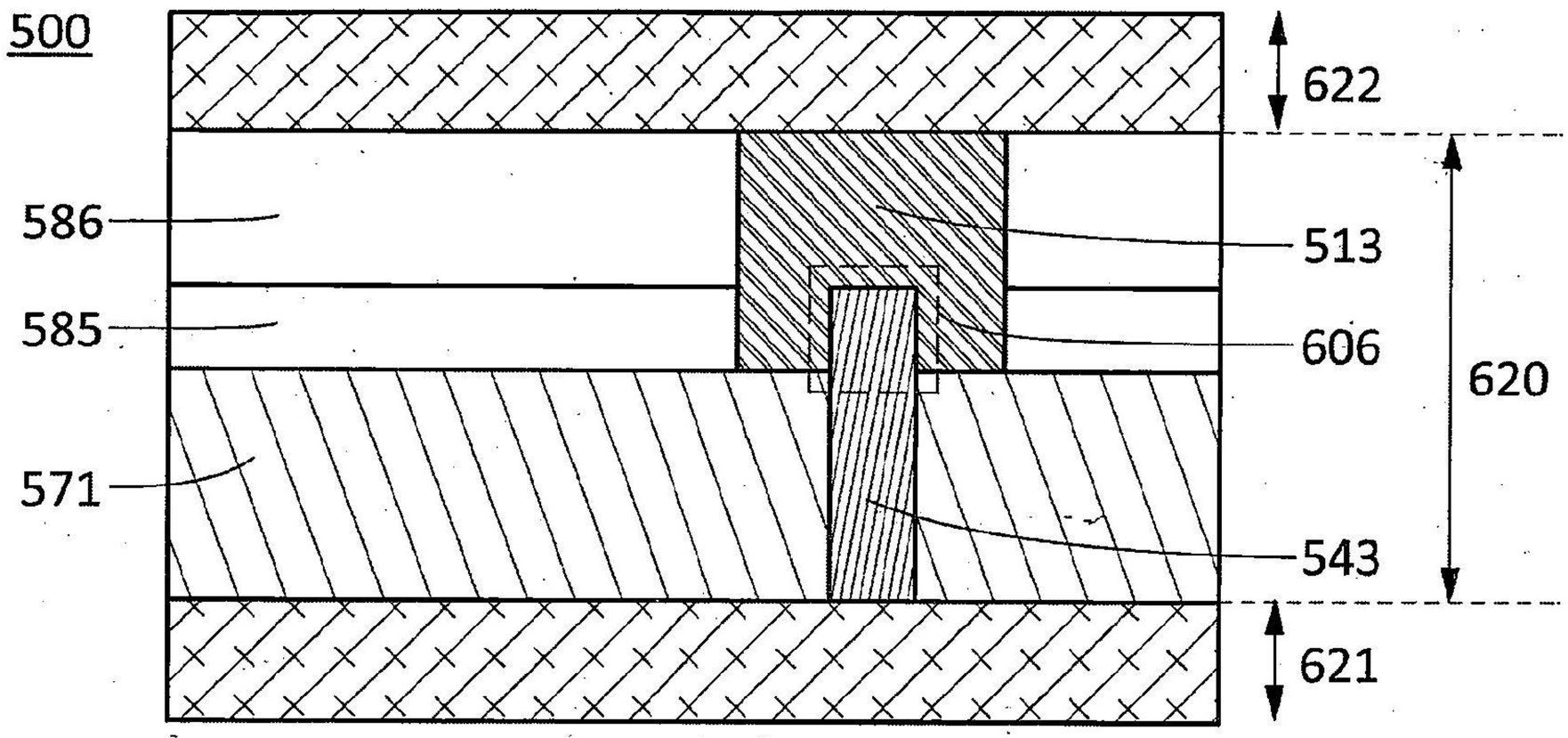


圖 1A

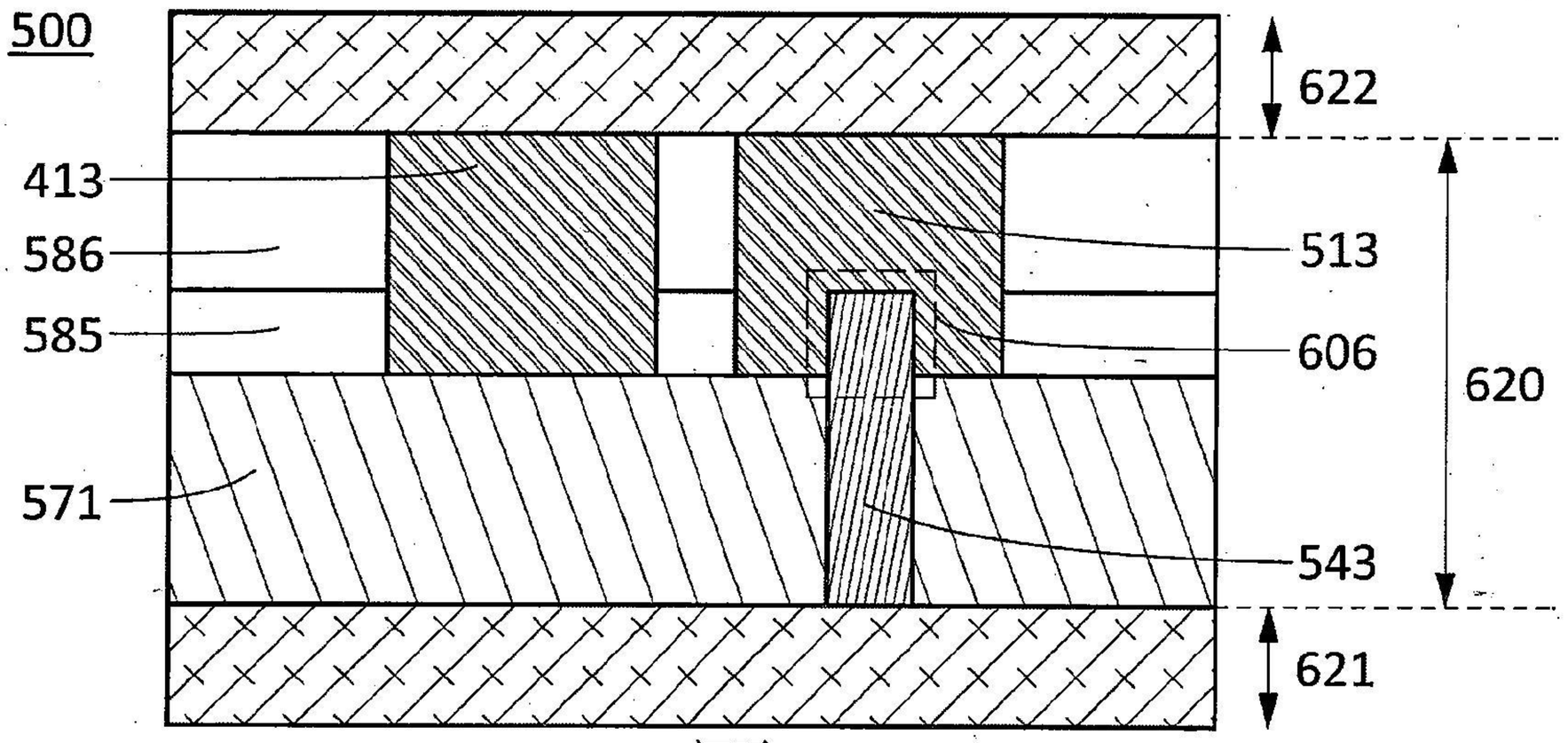


圖 1B

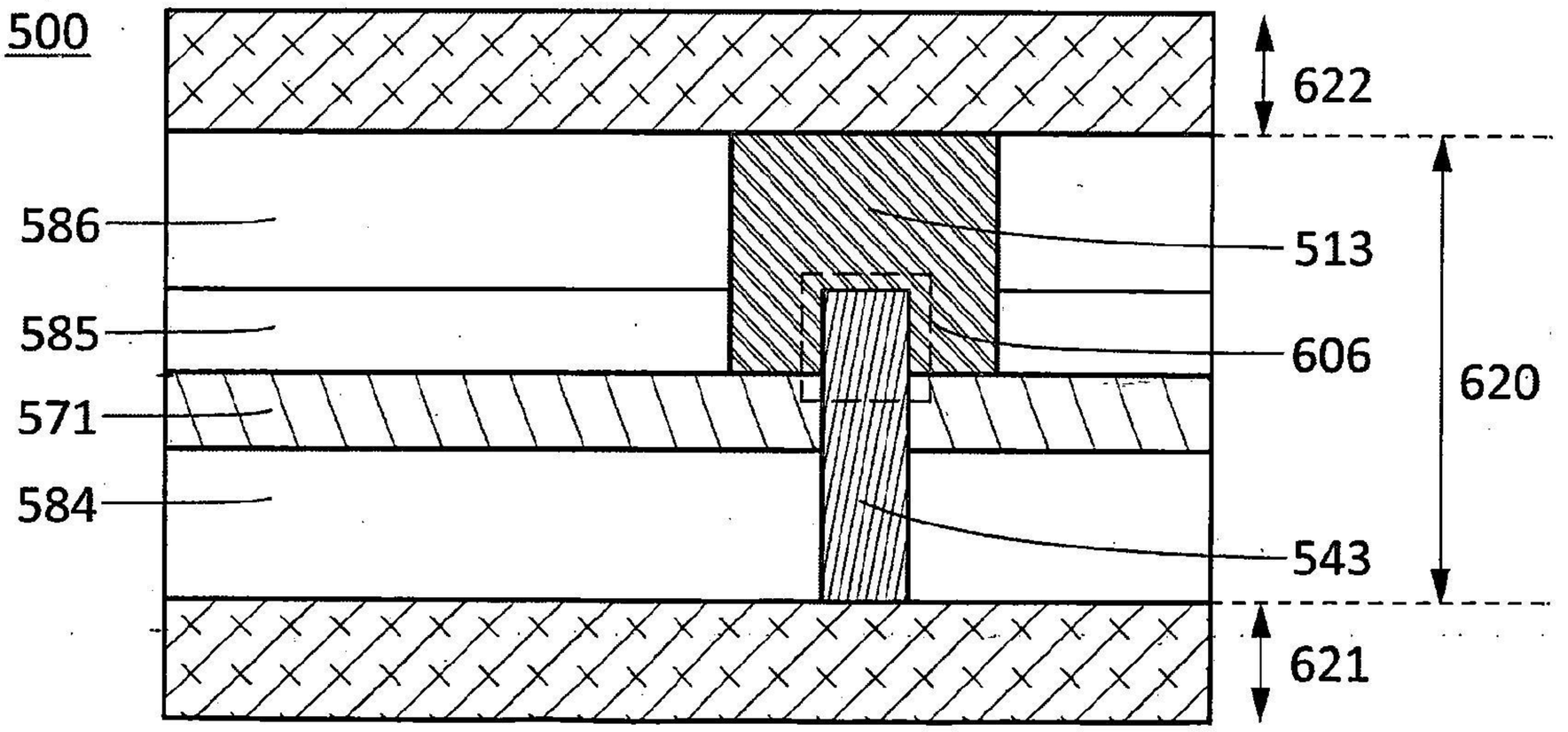


圖 1C

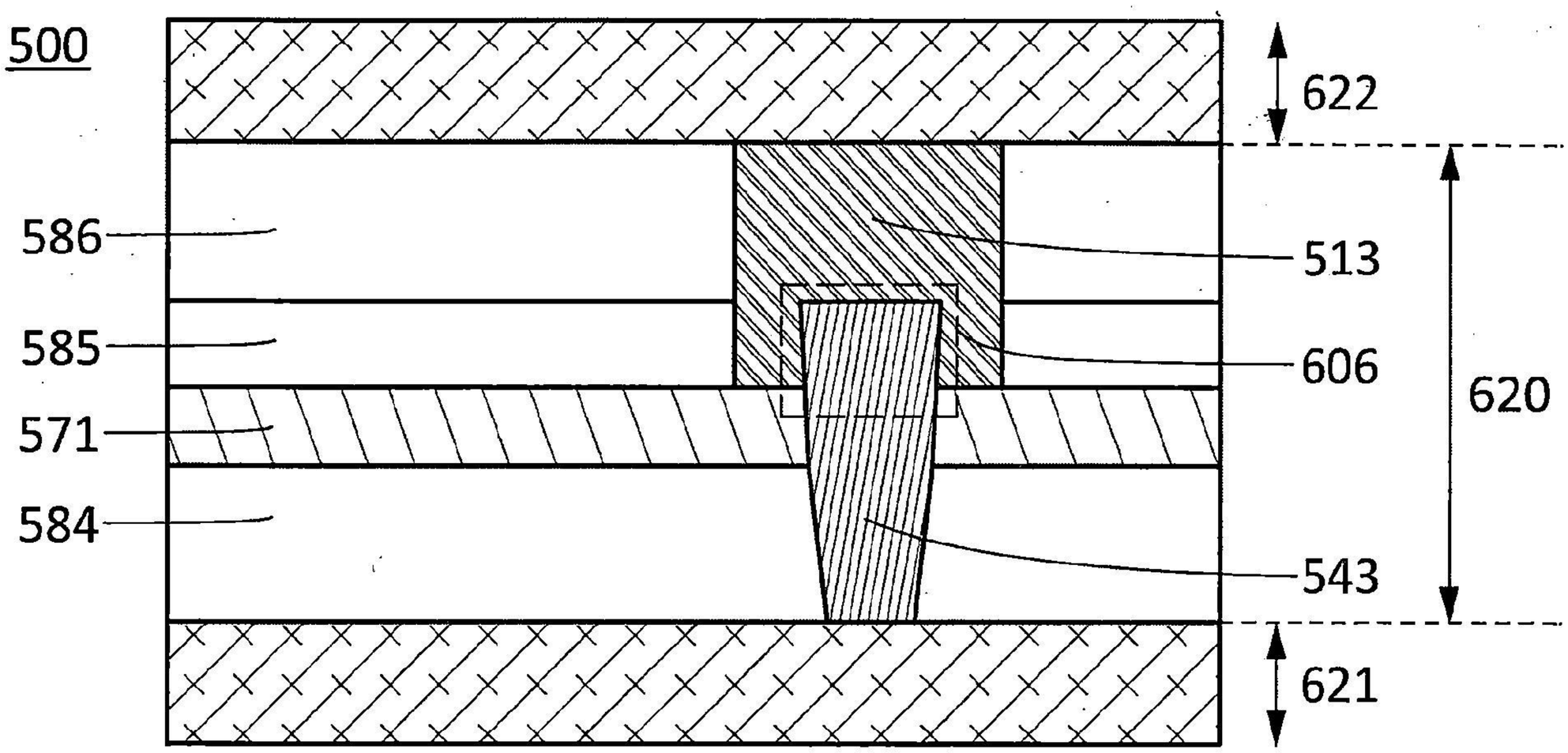

500
622
586
513
585
606
620
571
584
543
621

圖 2A

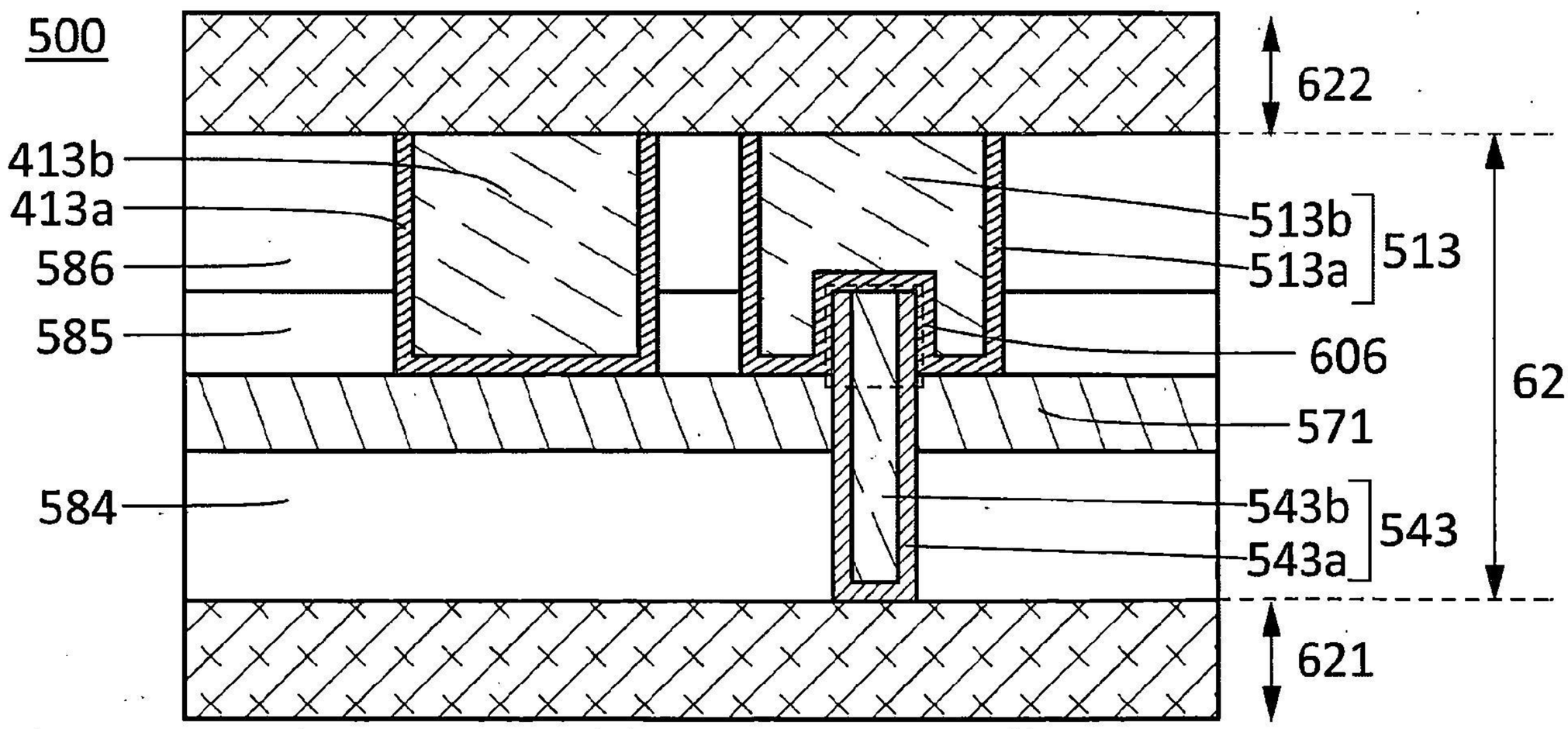

500
622
413b
413a
513b
513a
513
586
585
606
620
571
584
543b
543a
543
621

圖 2B

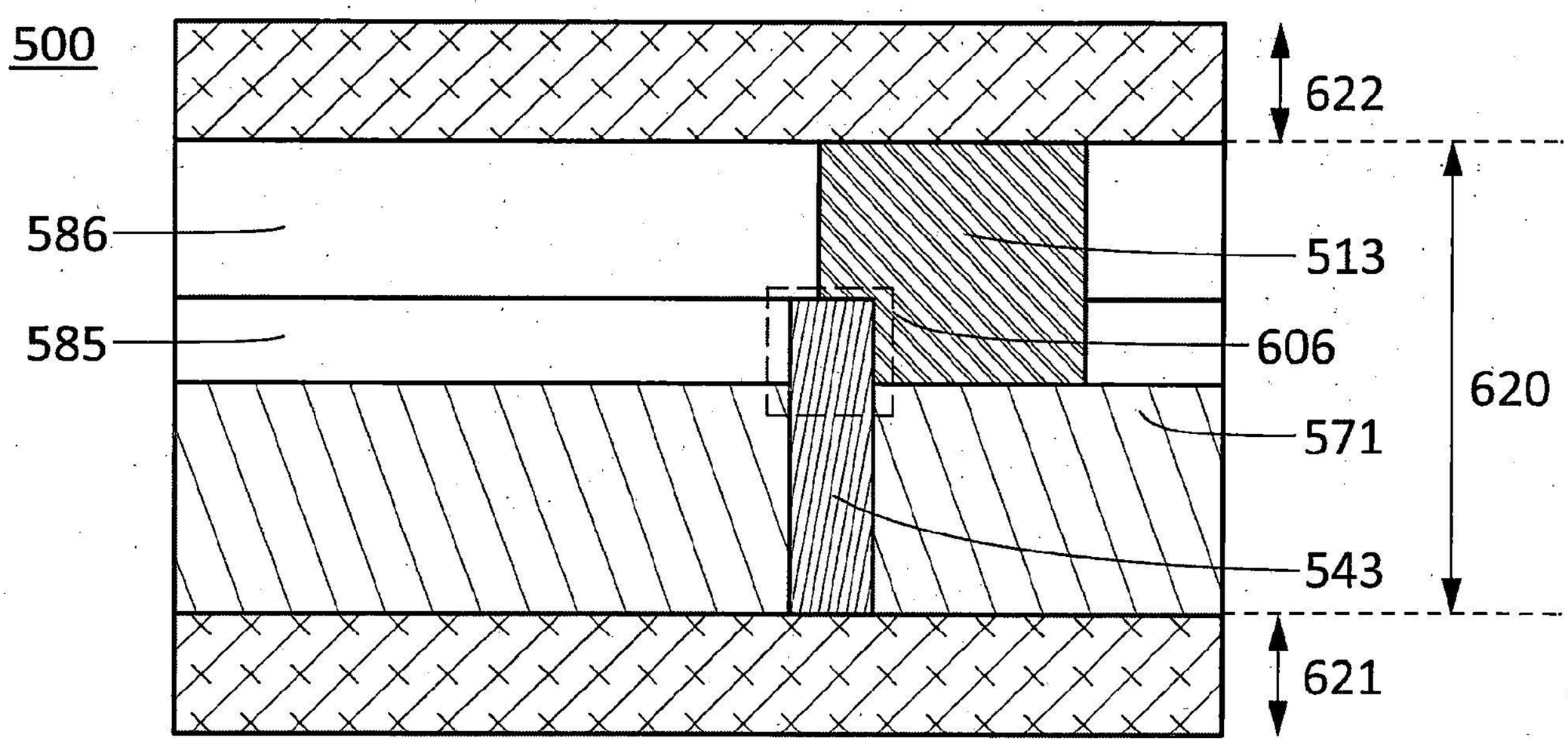

500
622
586
513
585
606
620
571
543
621

圖 3A

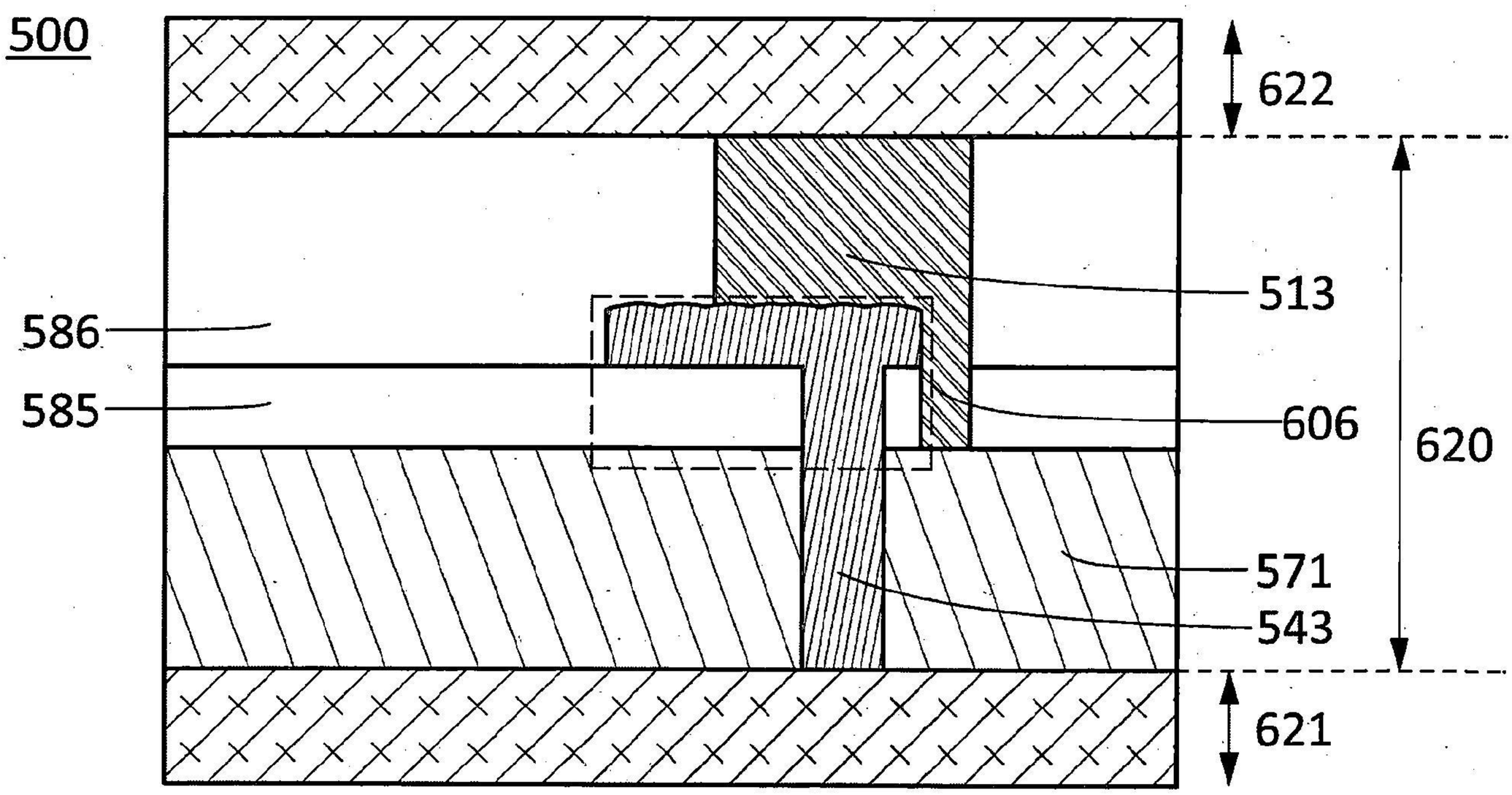

500
622
586
513
585
606
620
571
543
621

圖 3B

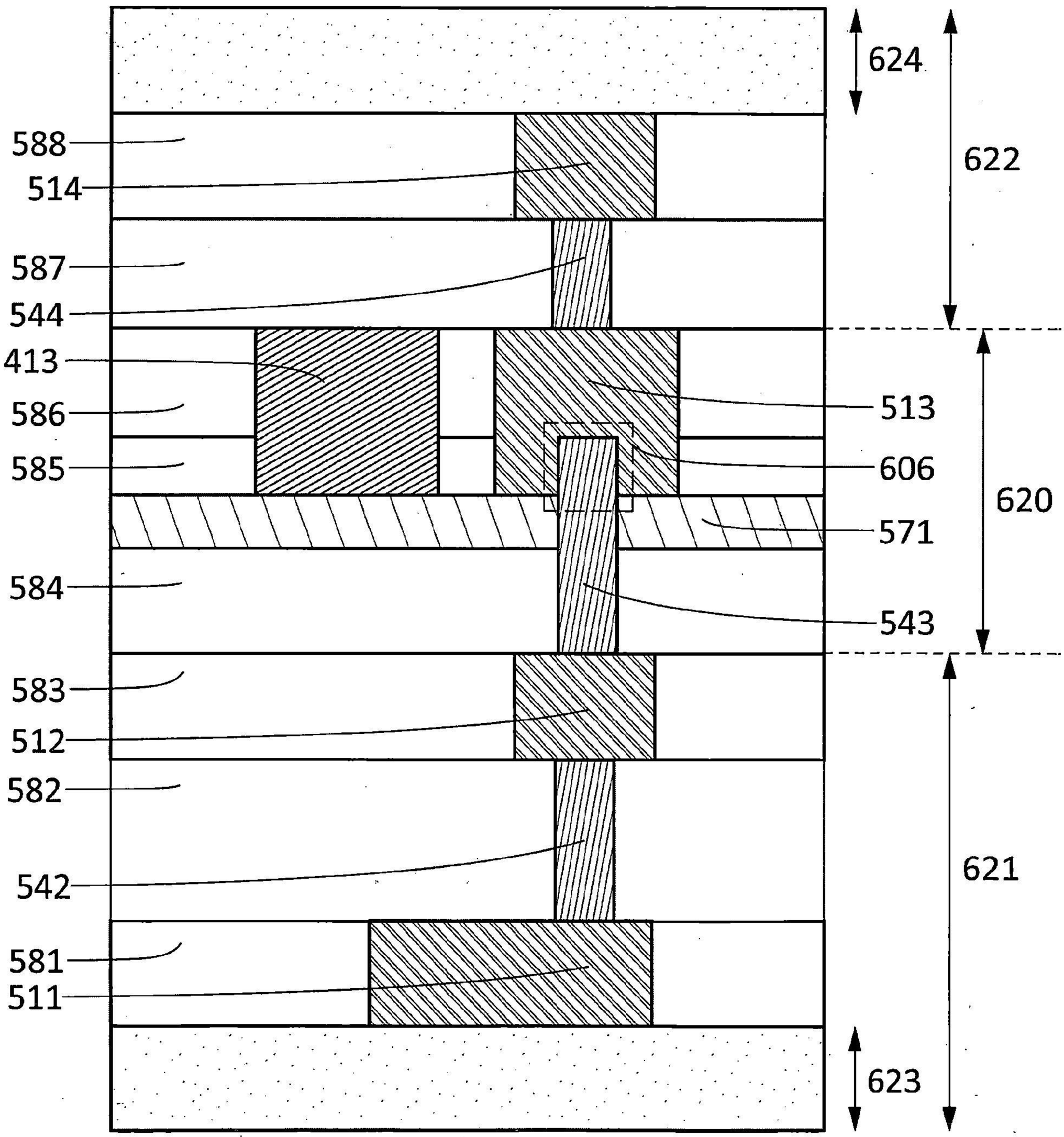

500
624
622
620
621
623
588
514
587
544
413
586
585
584
583
512
582
542
581
511
513
606
571
543

圖 4

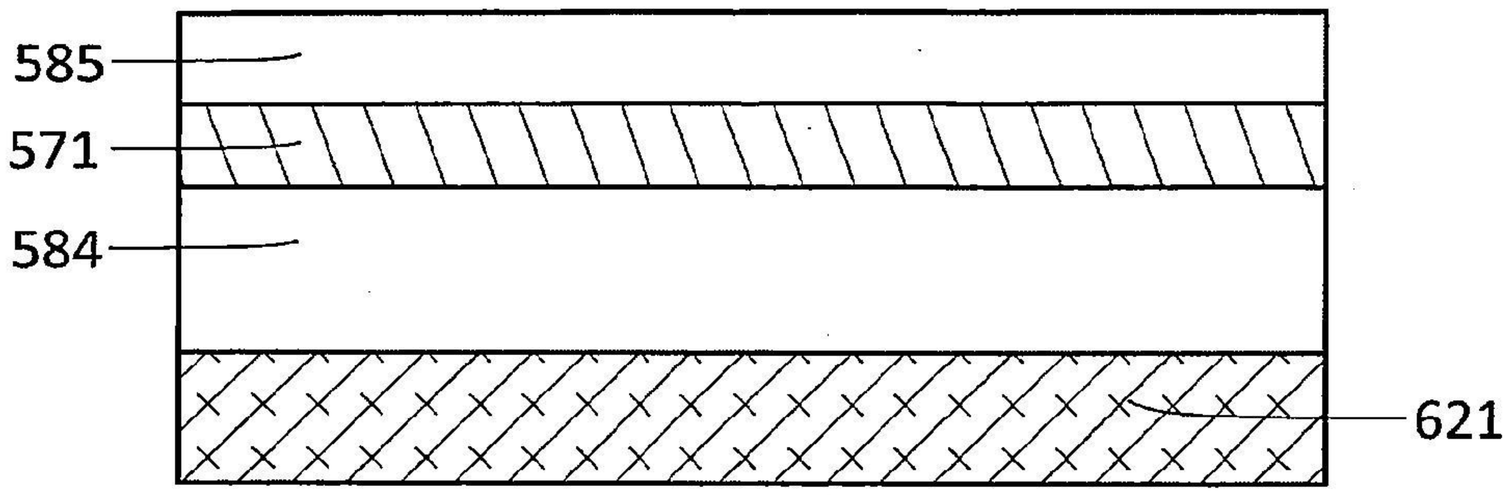


圖 5A

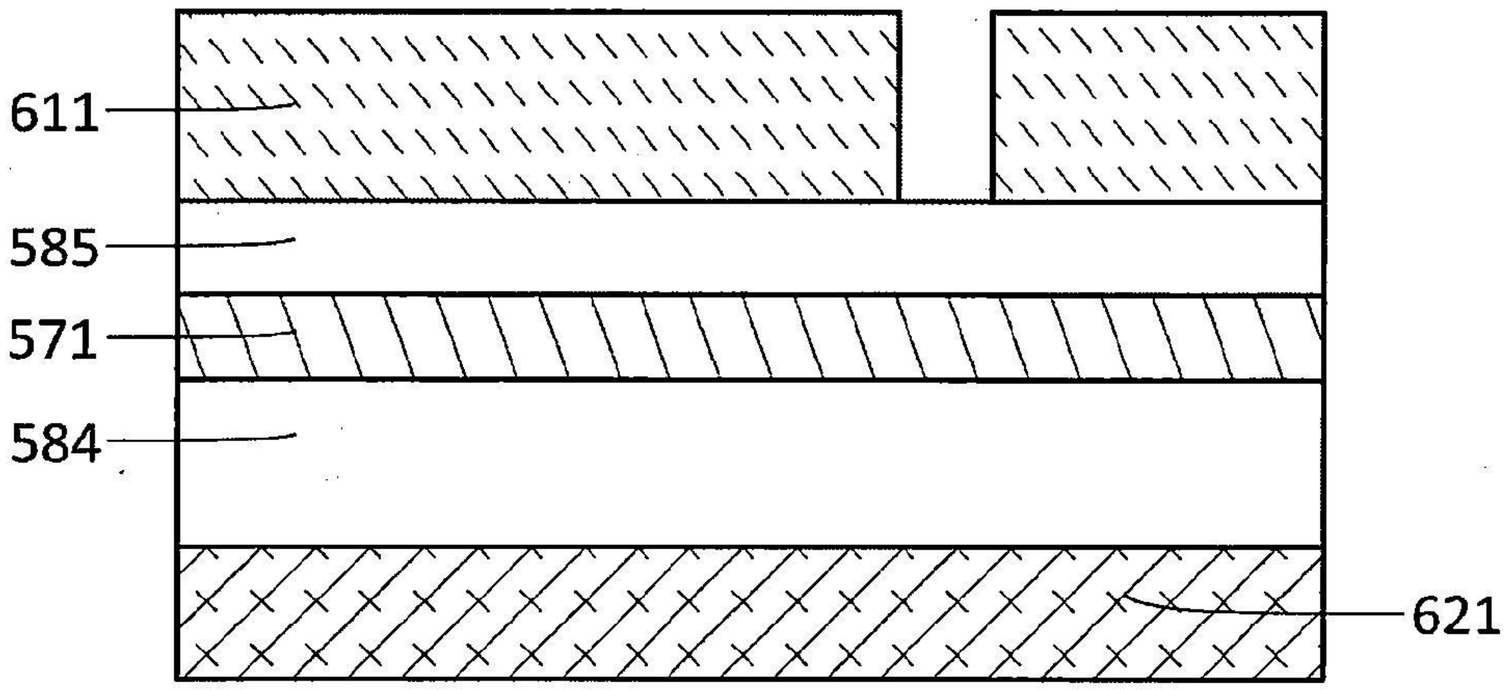


圖 5B

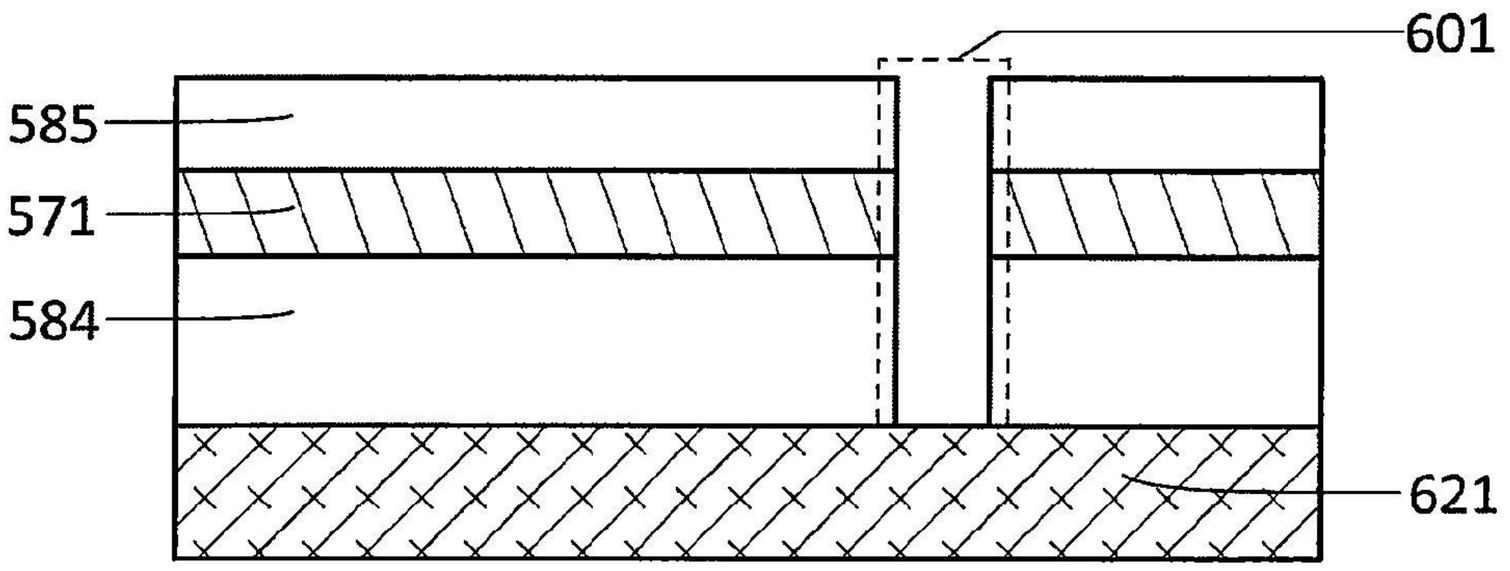


圖 5C

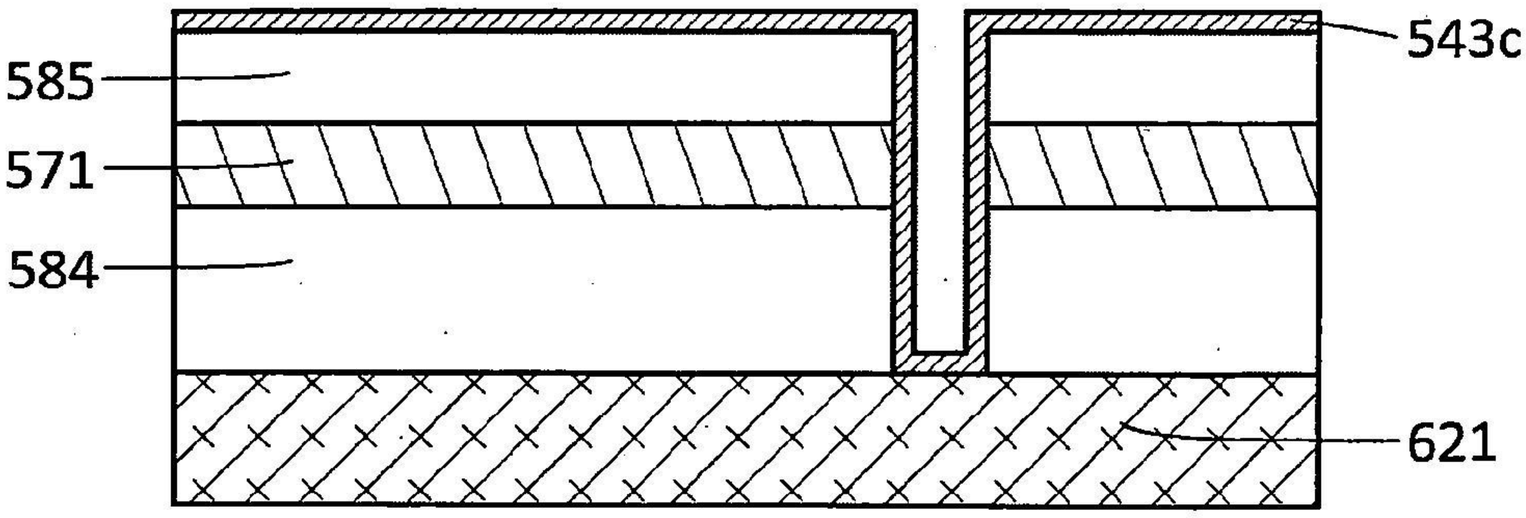


圖 5D

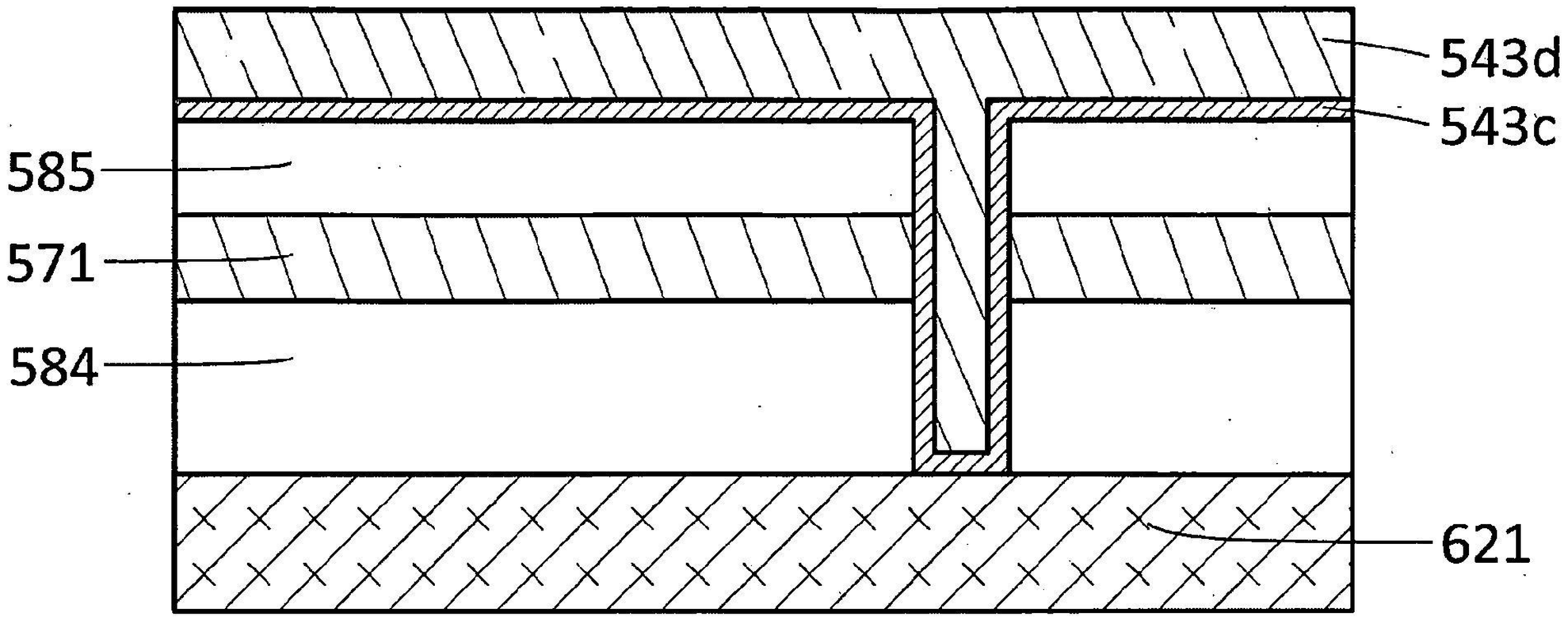

543d
543c
585
571
584
621

圖 6A

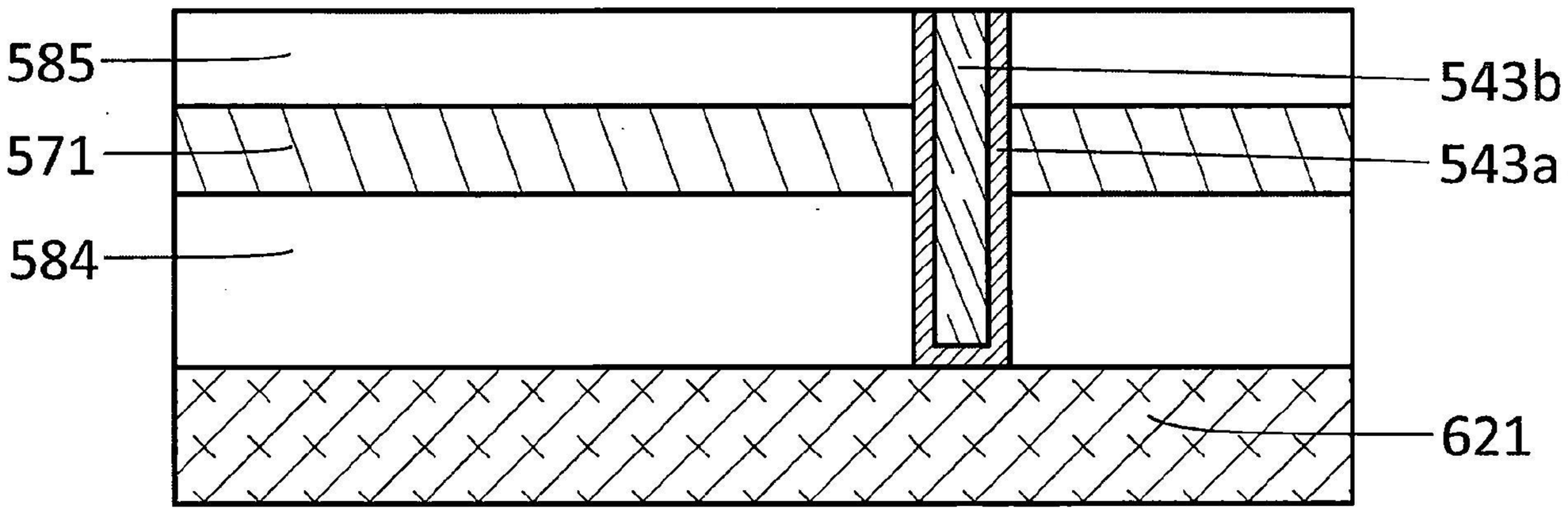

585
571
584
543b
543a
621

圖 6B

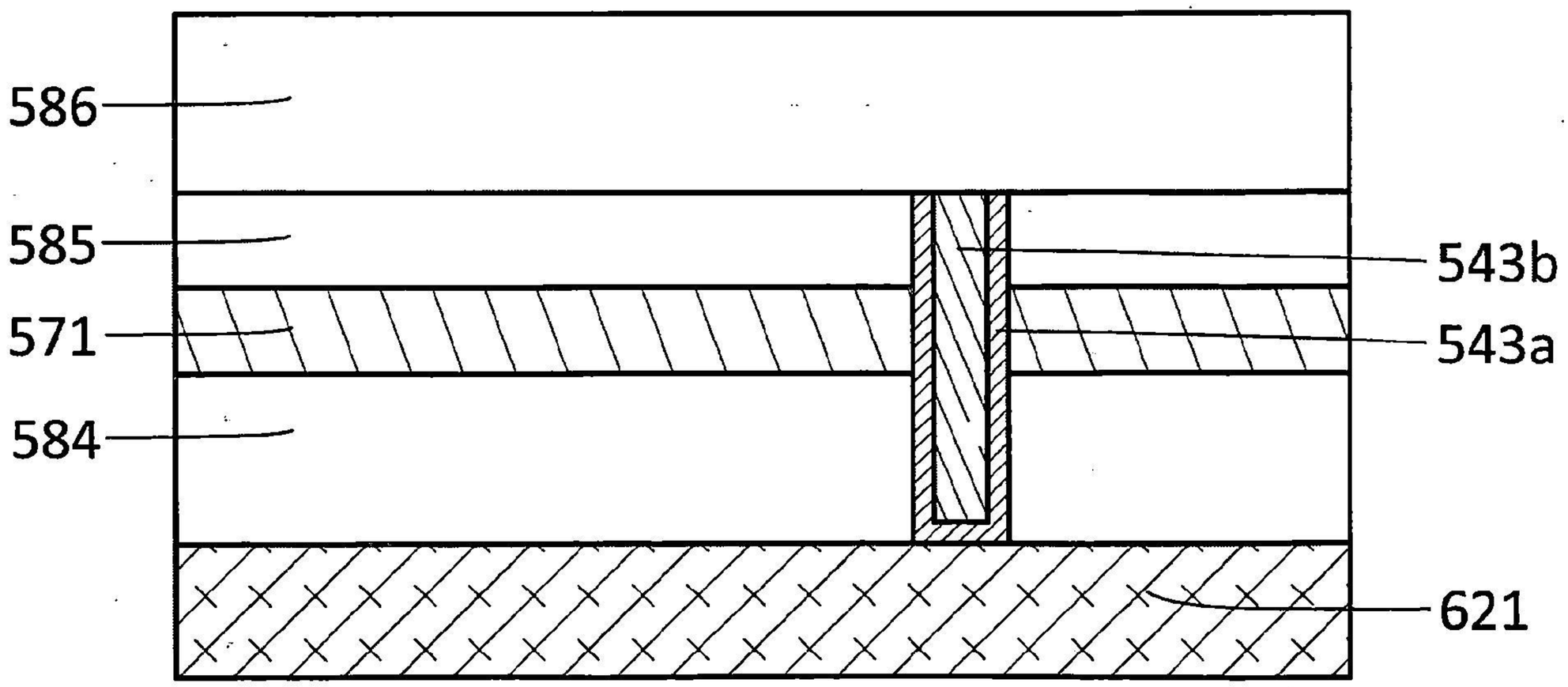

586
585
571
584
543b
543a
621

圖 6C

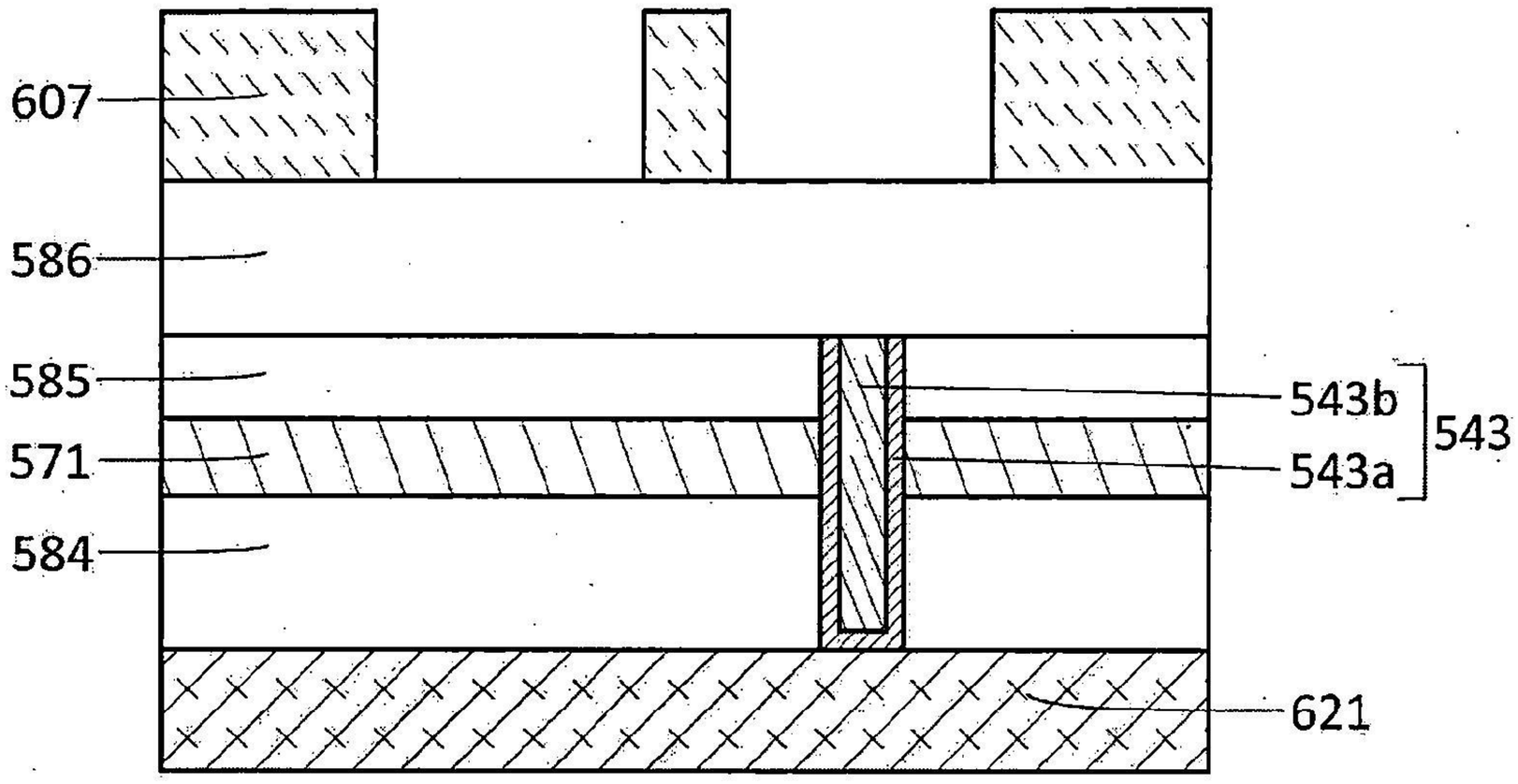

607
586
585
571
584
543b
543a
543
621

圖 7A

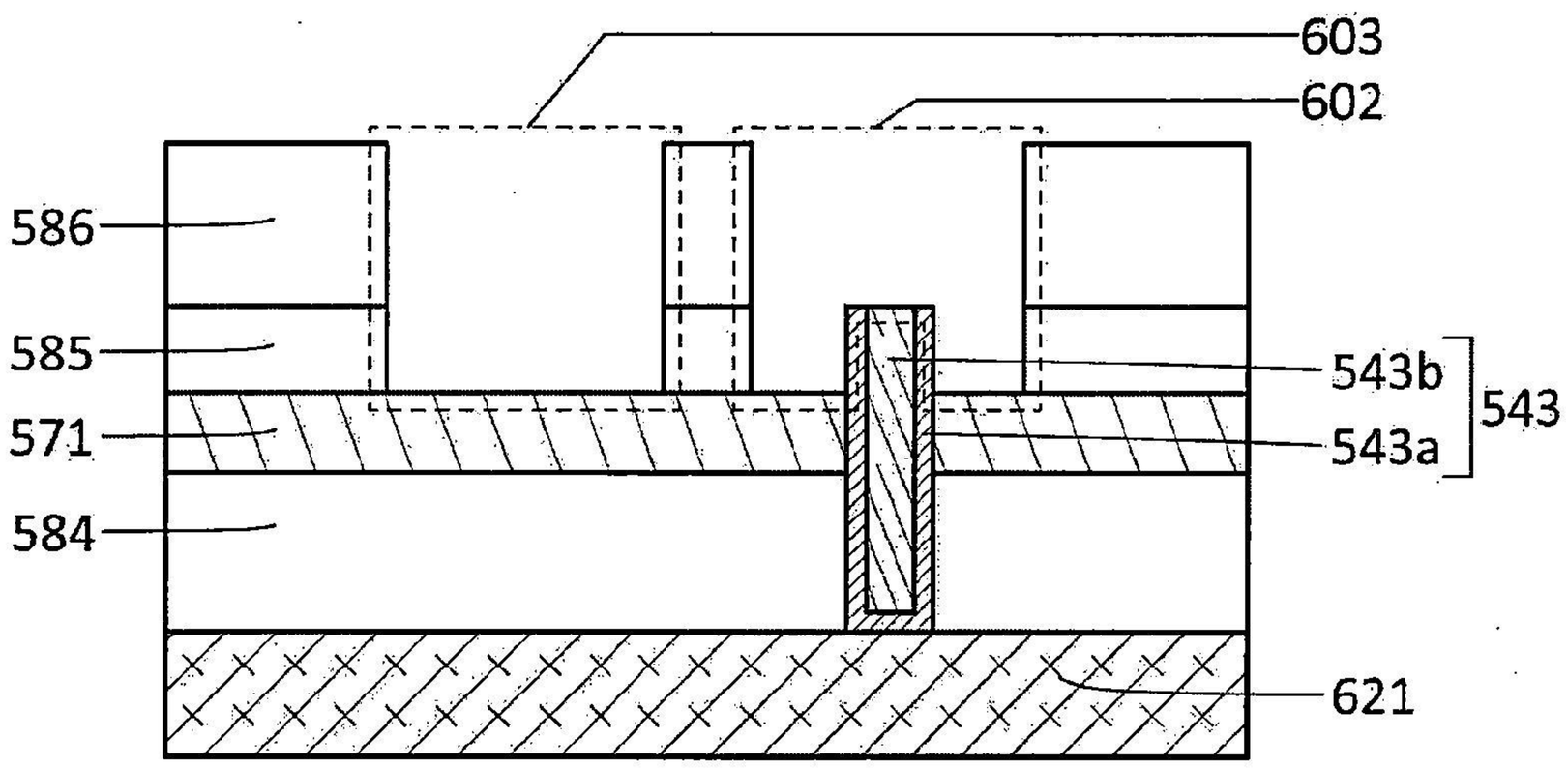

603
602
586
585
571
584
543b
543a
543
621

圖 7B

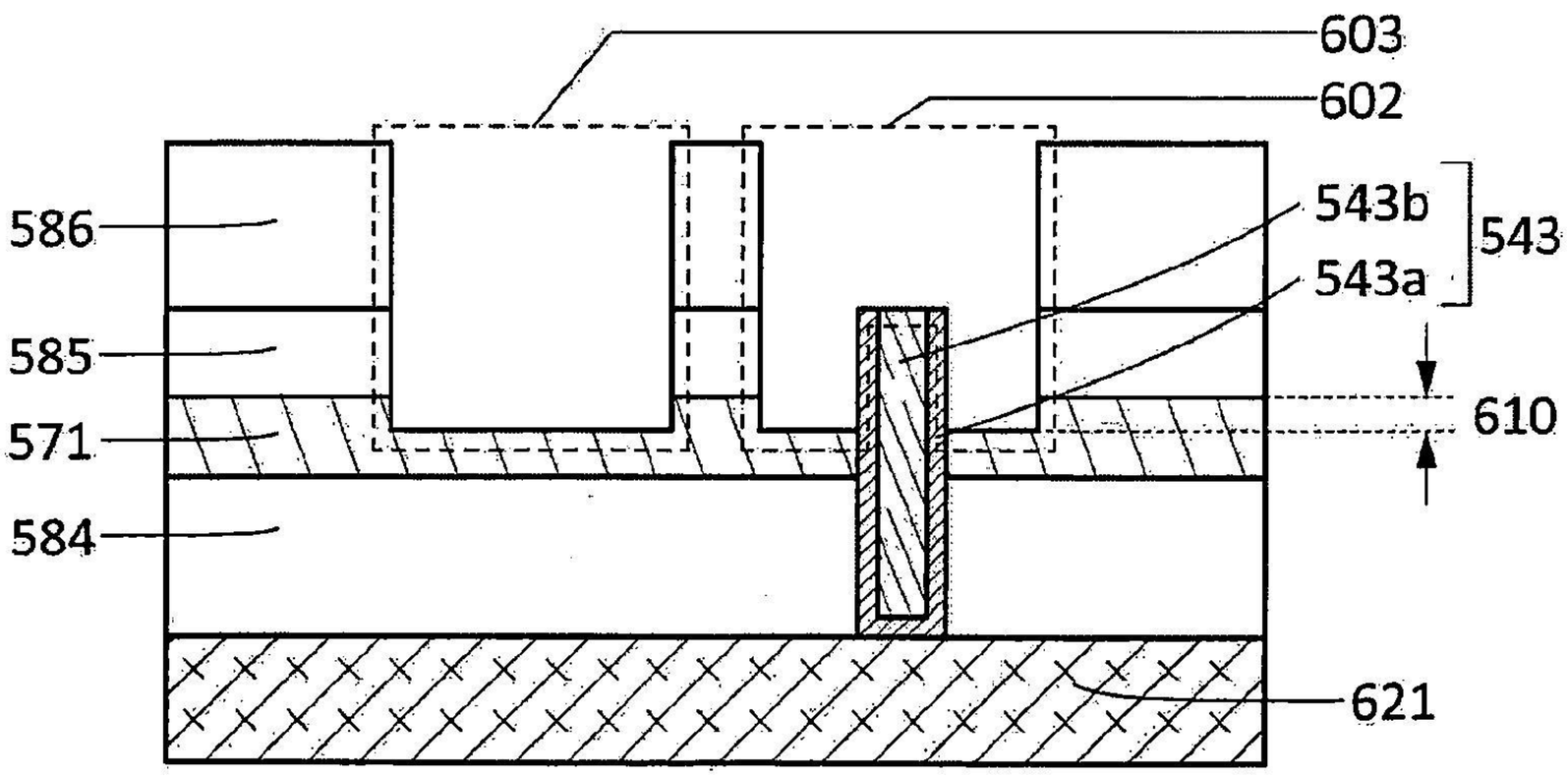

603
602
586
585
571
584
543b
543a
543
610
621

圖 7C

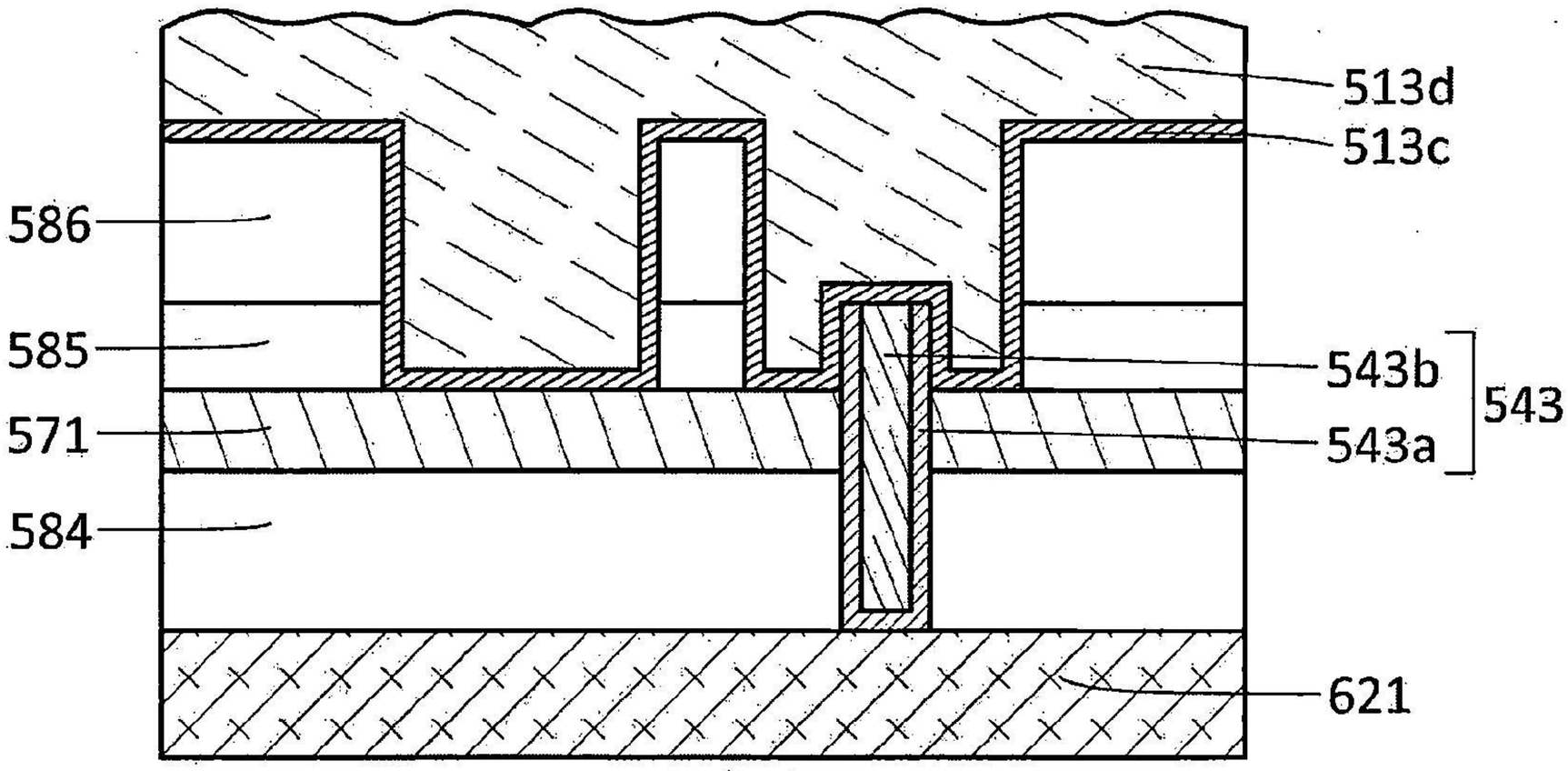

513d
513c
586
585
543b
543
571
543a
584
621

圖 8A

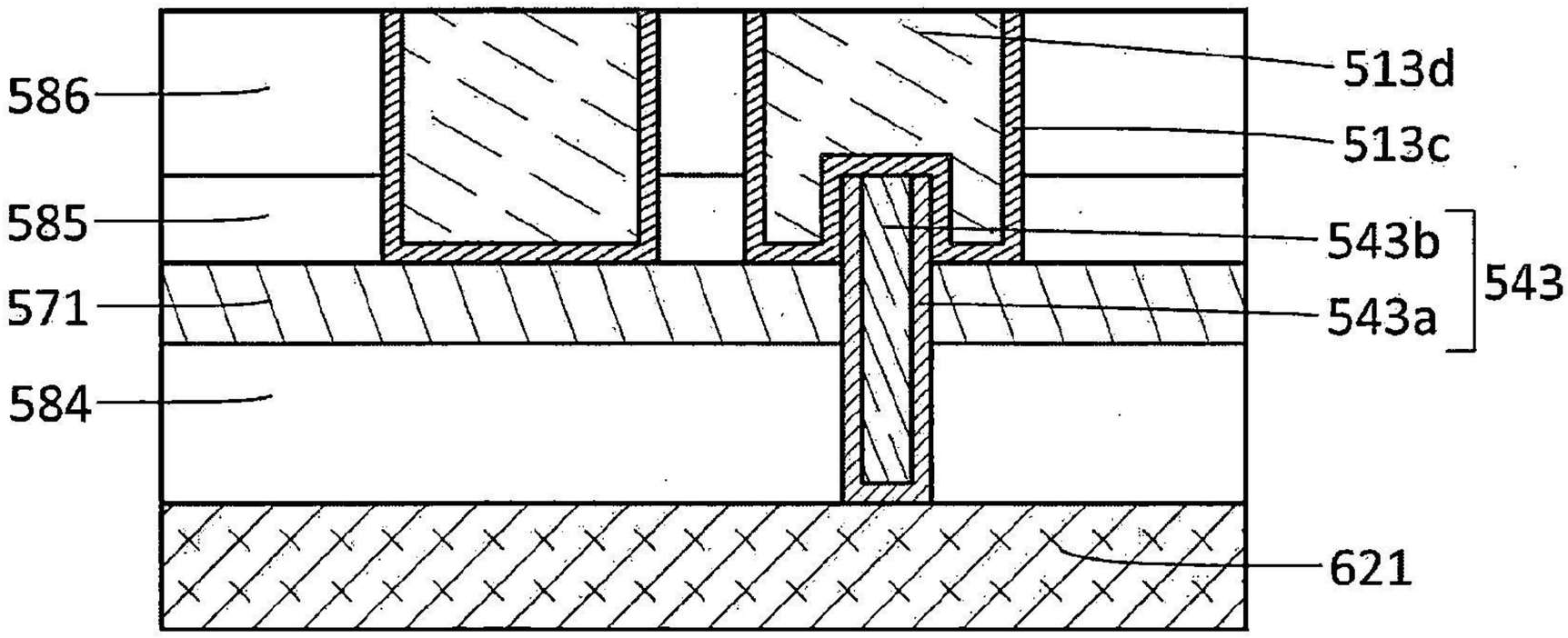

586
513d
513c
585
543b
543
571
543a
584
621

圖 8B

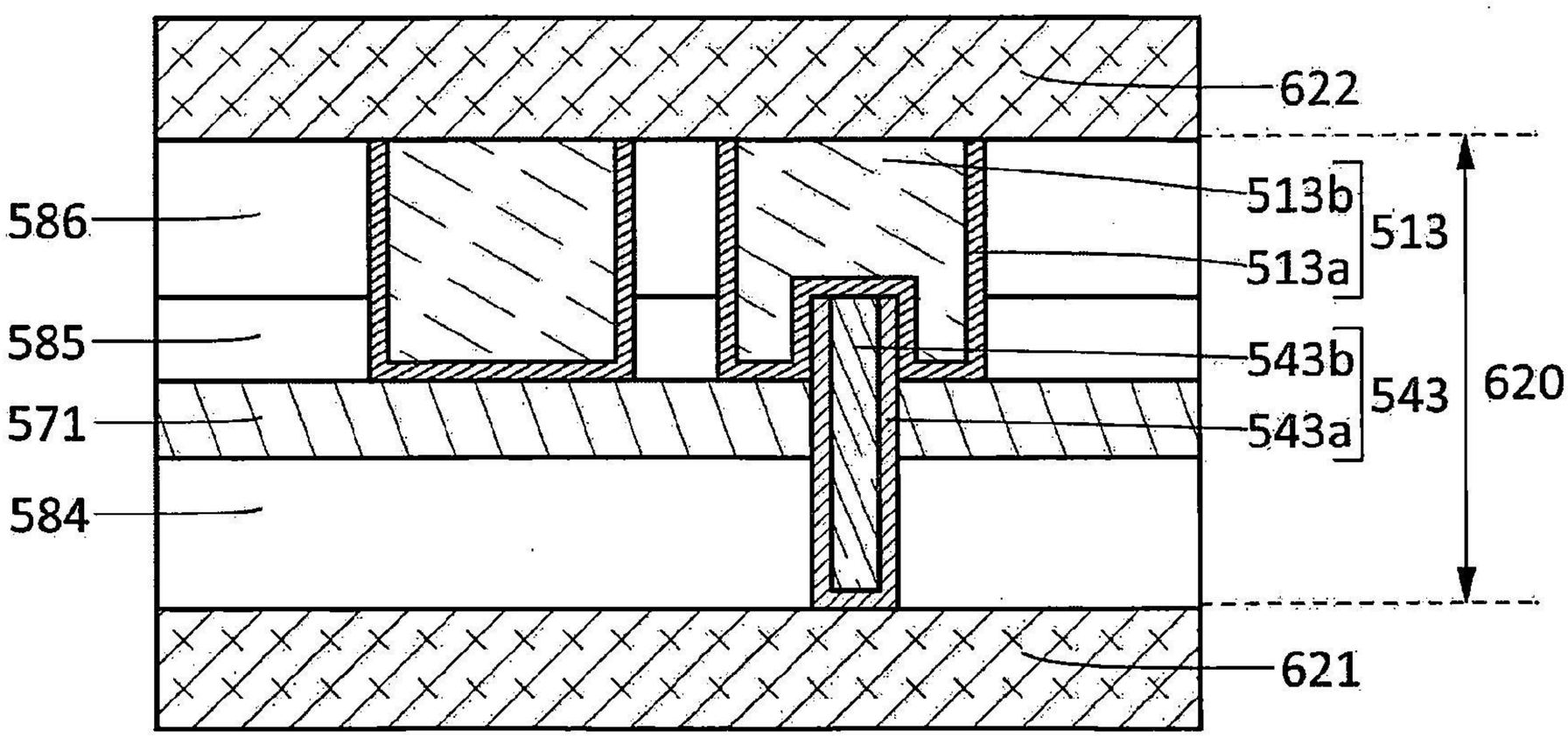

622
586
513b
513
513a
585
543b
543
620
571
543a
584
621

圖 8C

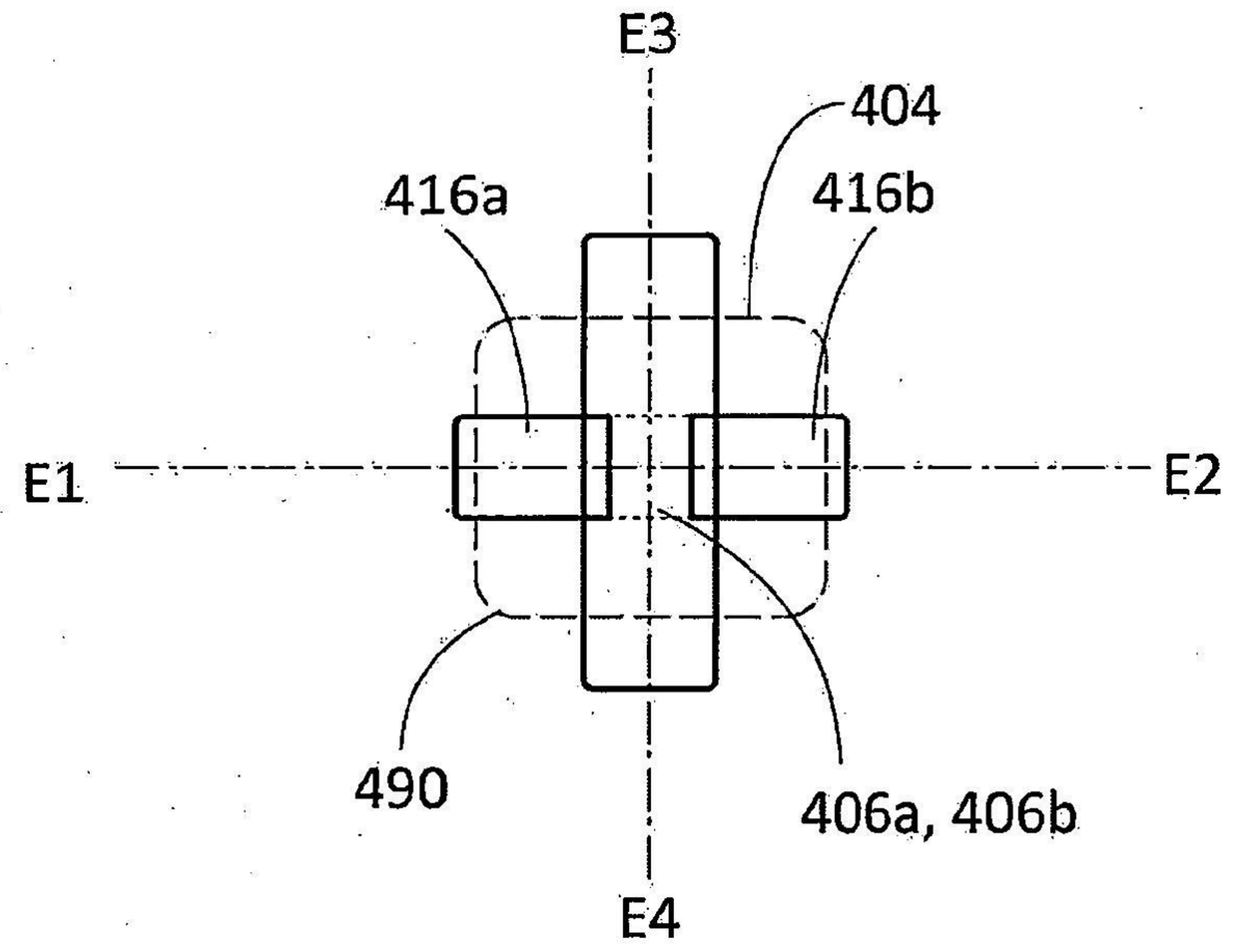

E3
404
416a
416b
E1
E2
490
406a, 406b
E4

圖 9A

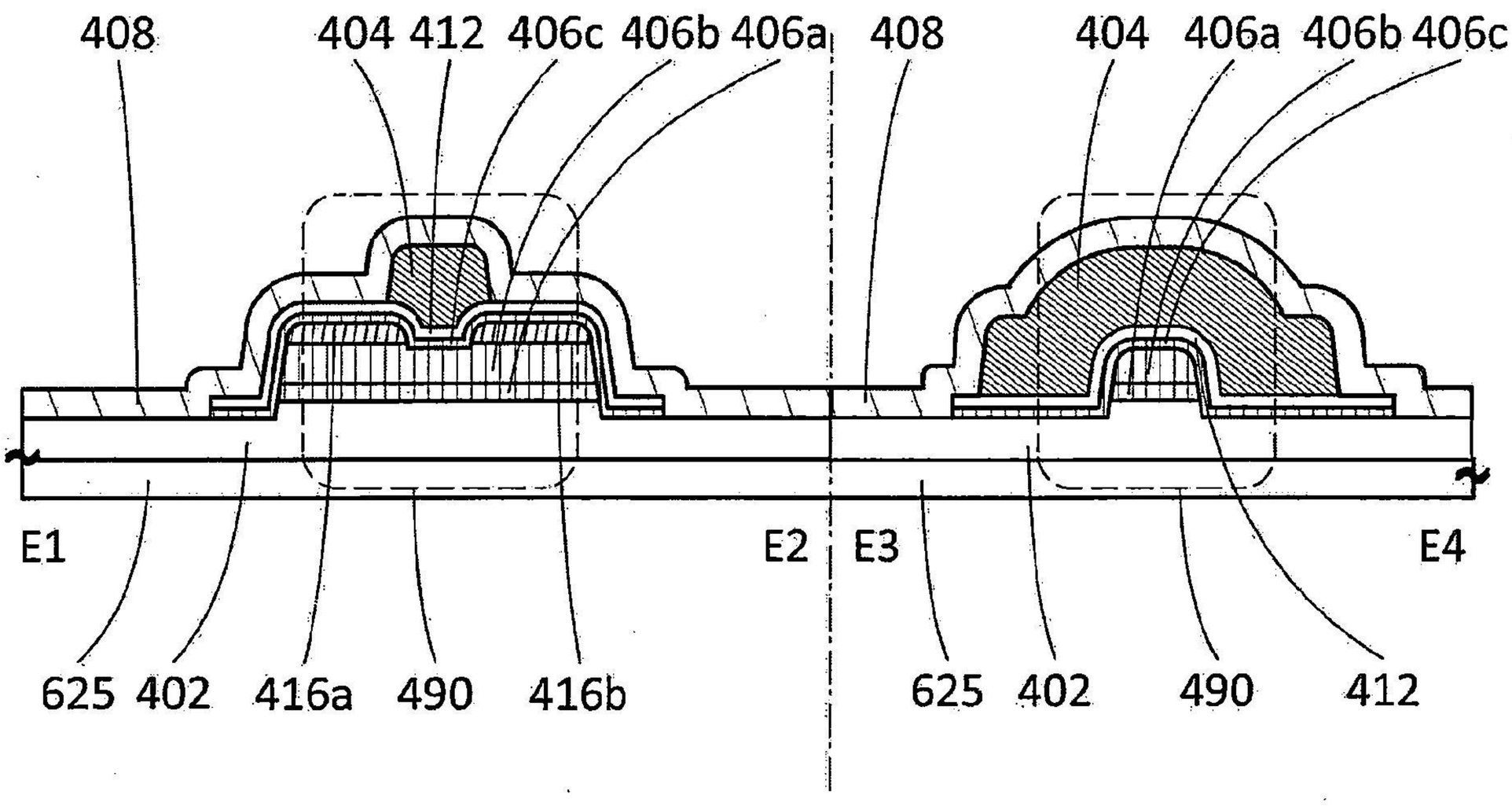

408
404 412 406c 406b 406a
408
404 406a 406b 406c
E1
E2
E3
E4
625 402 416a 490 416b
625 402 490 412

圖 9B

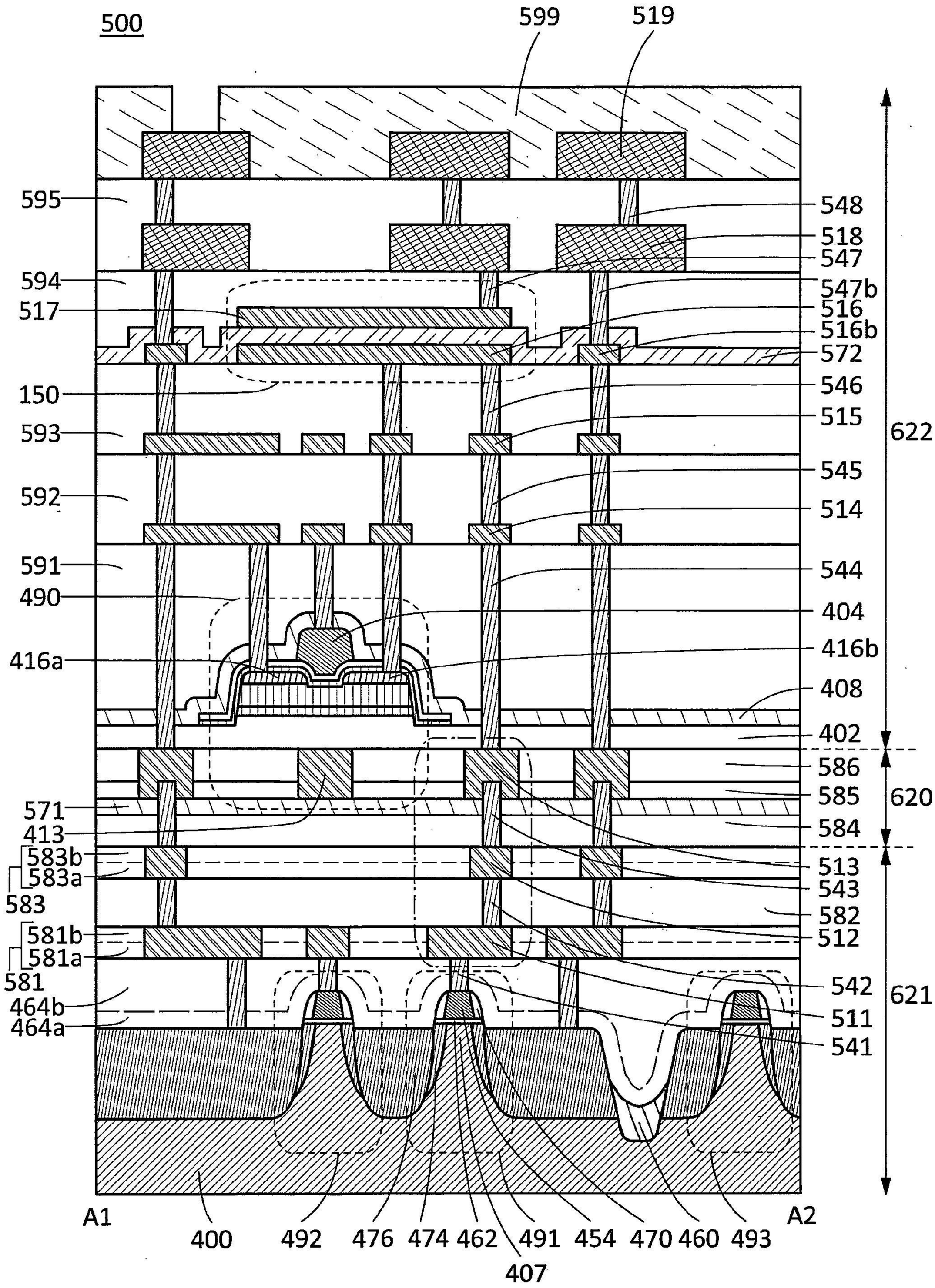

500
599
519
595
548
518
547
594
547b
517
516
516b
572
150
546
515
622
593
545
592
514
591
544
490
404
416a
416b
408
402
586
585
620
571
584
413
583b
513
583a
543
583
582
581b
512
581a
581
542
621
464b
511
464a
541
A1
A2
400
492
476
474
462
491
454
470
460
493
407

圖 10

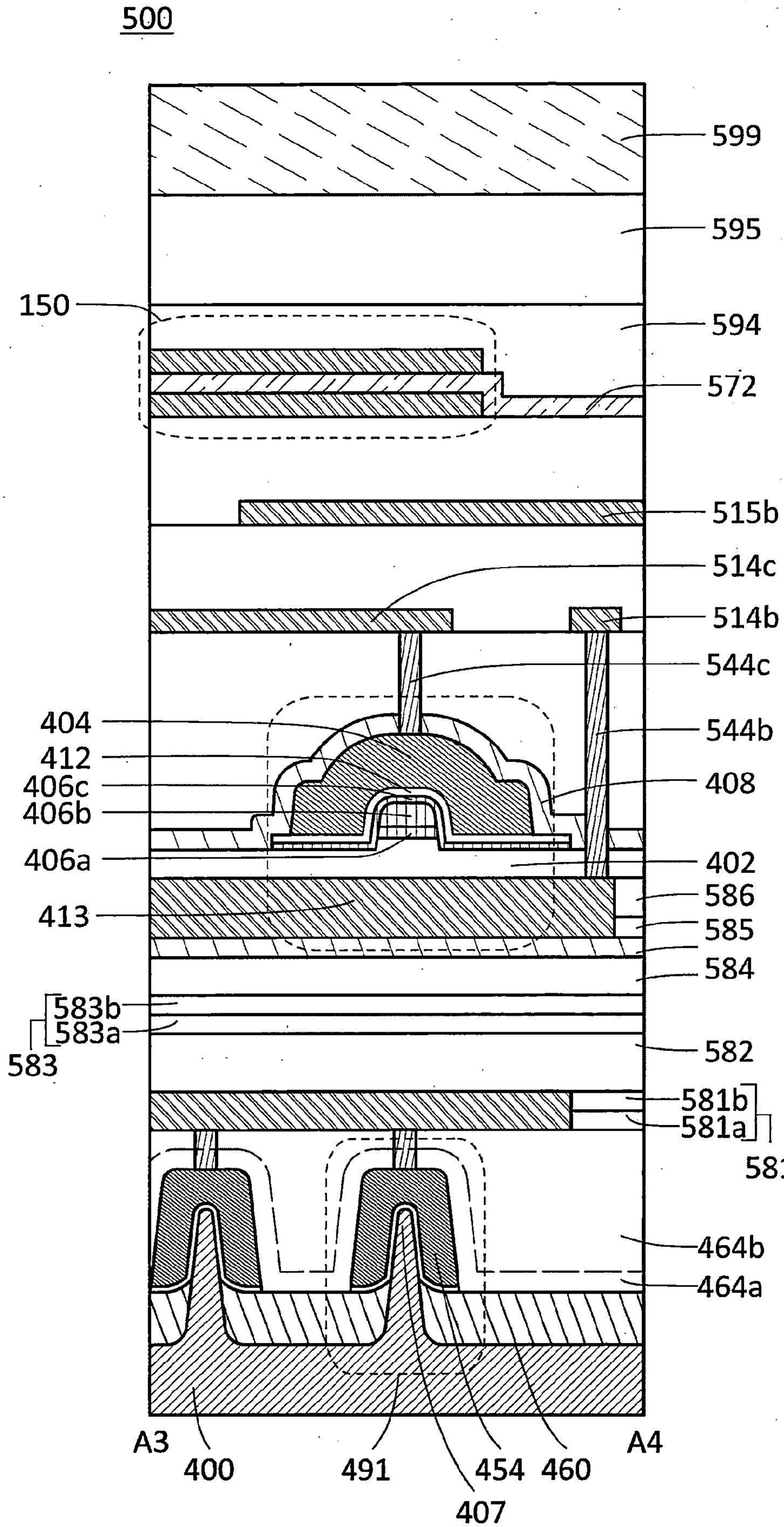

500
599
595
150
594
572
515b
514c
514b
544c
404
544b
412
406c
408
406b
406a
402
413
586
585
584
583b
583a
583
582
581b
581a
581
464b
464a
A3
A4
400
491
454
460
407

圖 11

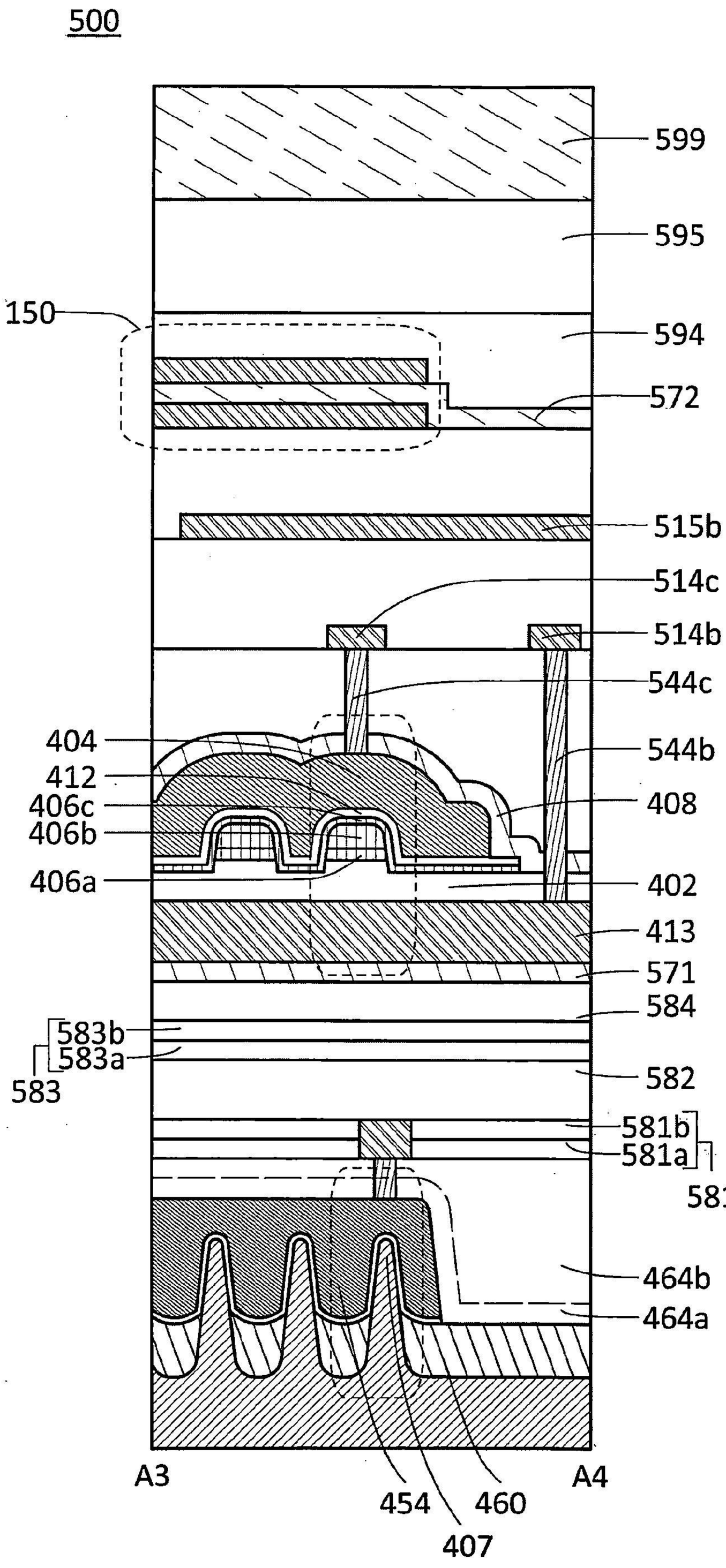

500
599
595
150
594
572
515b
514c
514b
544c
404
544b
412
408
406c
406b
406a
402
413
571
584
583b
583a
583
582
581b
581a
581
464b
464a
A3
A4
454
460
407

圖 12

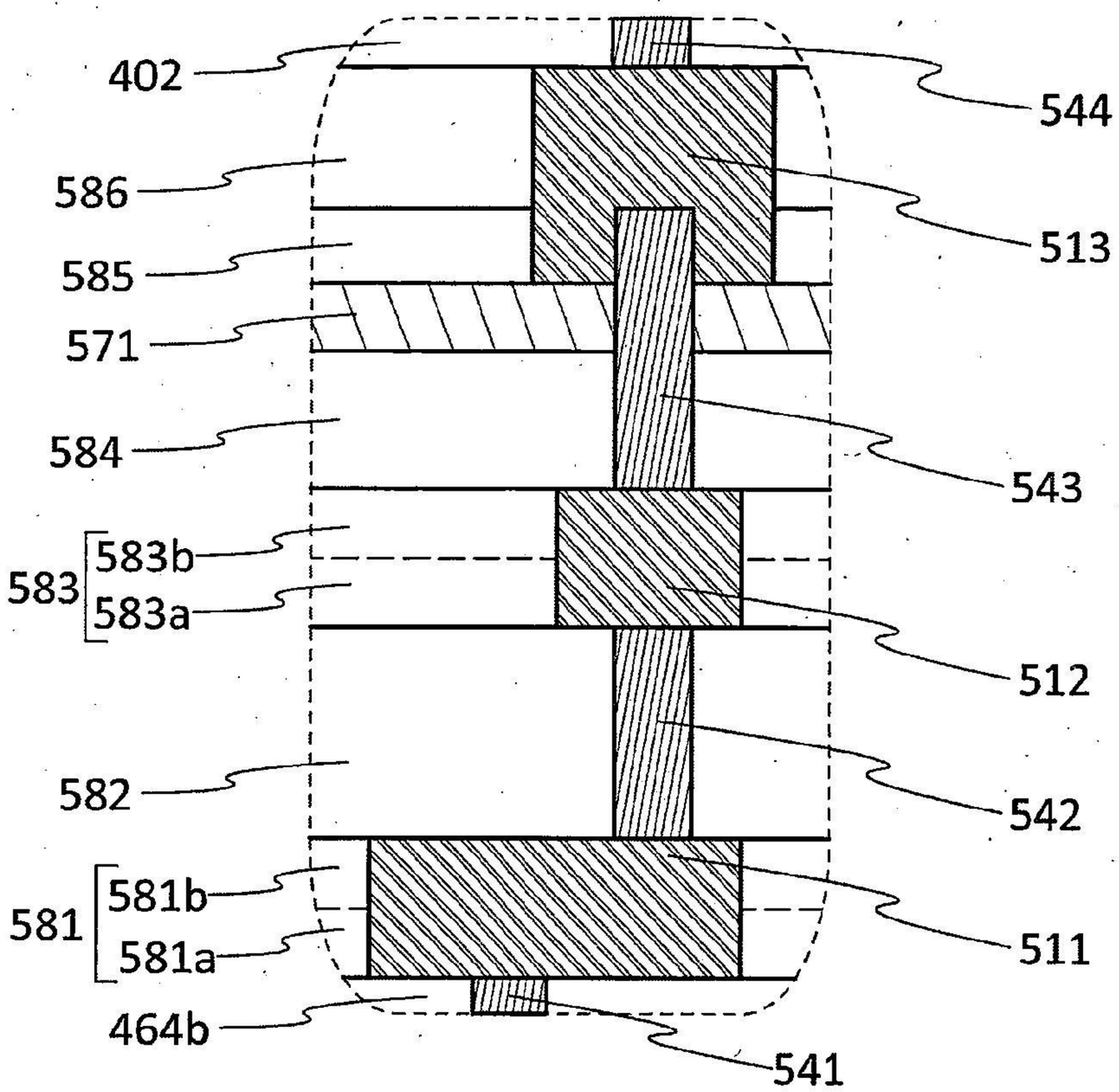

402
544
586
513
585
571
584
543
583
583b
583a
512
582
542
581
581b
581a
511
464b
541

圖 13A

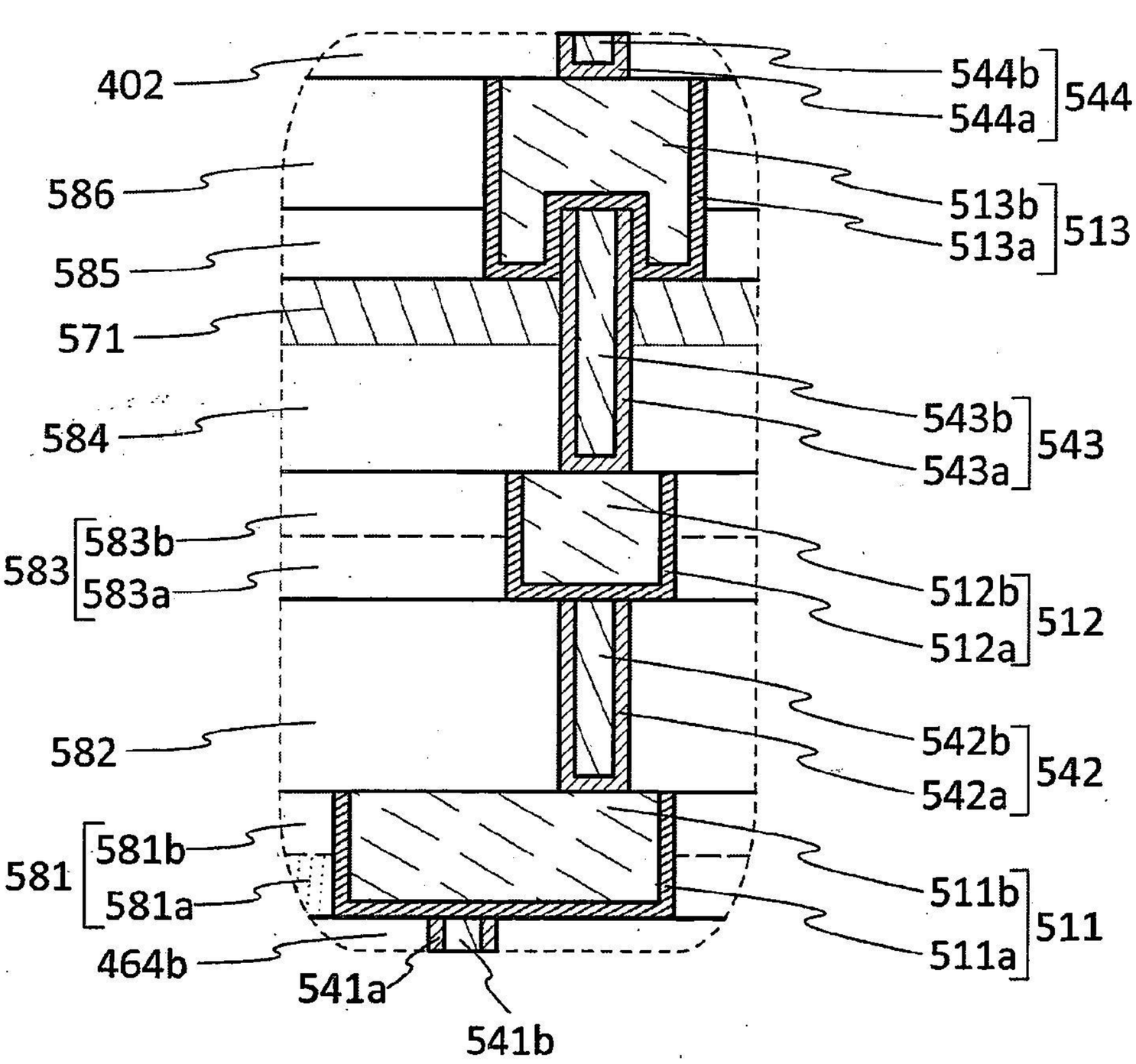

402
544b
544a
544
586
513b
513a
513
585
571
584
543b
543a
543
583
583b
583a
512b
512a
512
582
542b
542a
542
581
581b
581a
511b
511a
511
464b
541a
541b

圖 13B

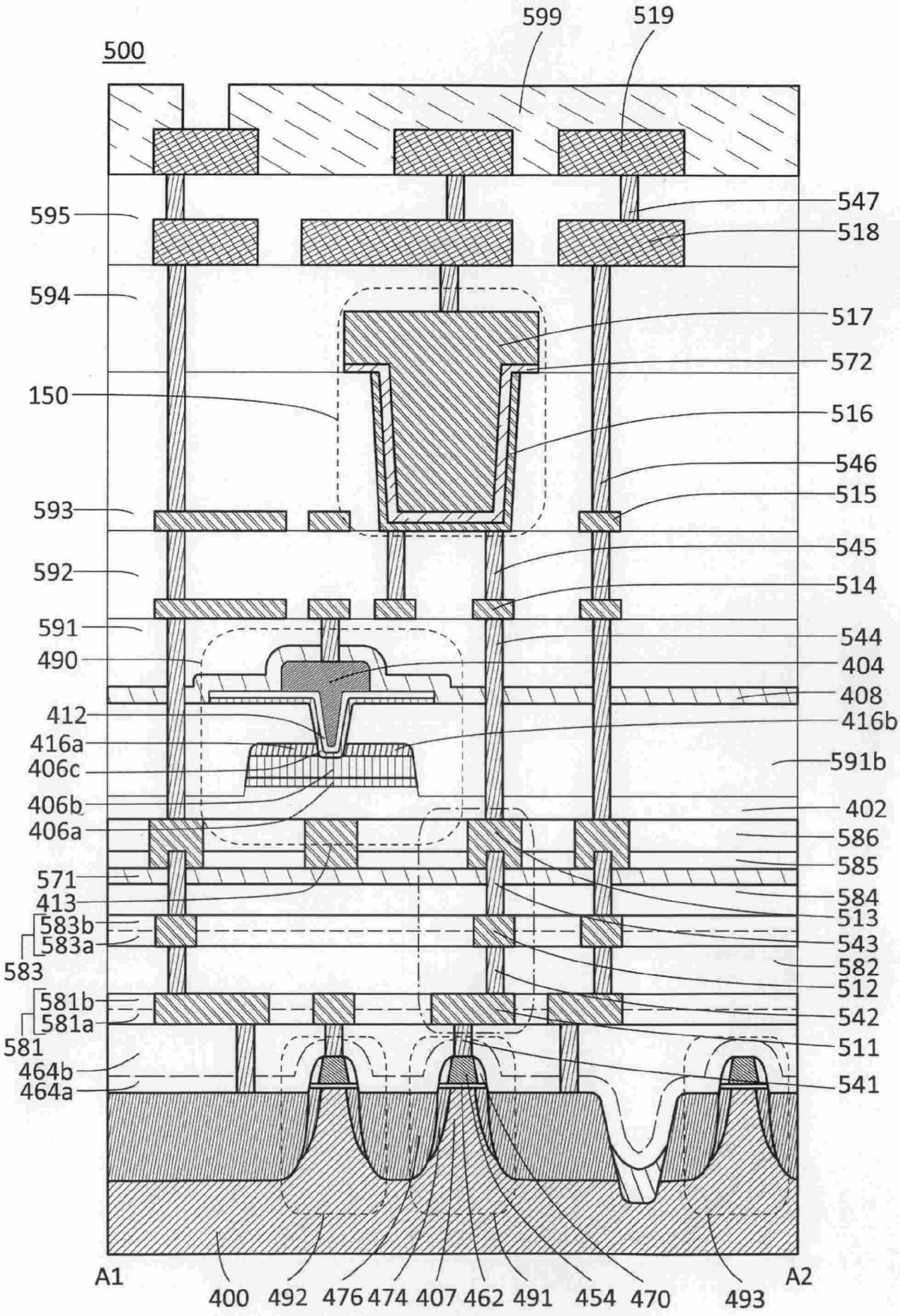

500
599
519
595
547
518
594
517
572
150
516
546
593
515
592
545
514
591
544
490
404
408
412
416b
416a
591b
406c
406b
402
406a
586
571
585
413
584
583b
513
583a
543
583
582
581b
512
581a
542
581
511
464b
541
464a
A1
A2
400
492
476
474
407
462
491
454
470
493

圖 14

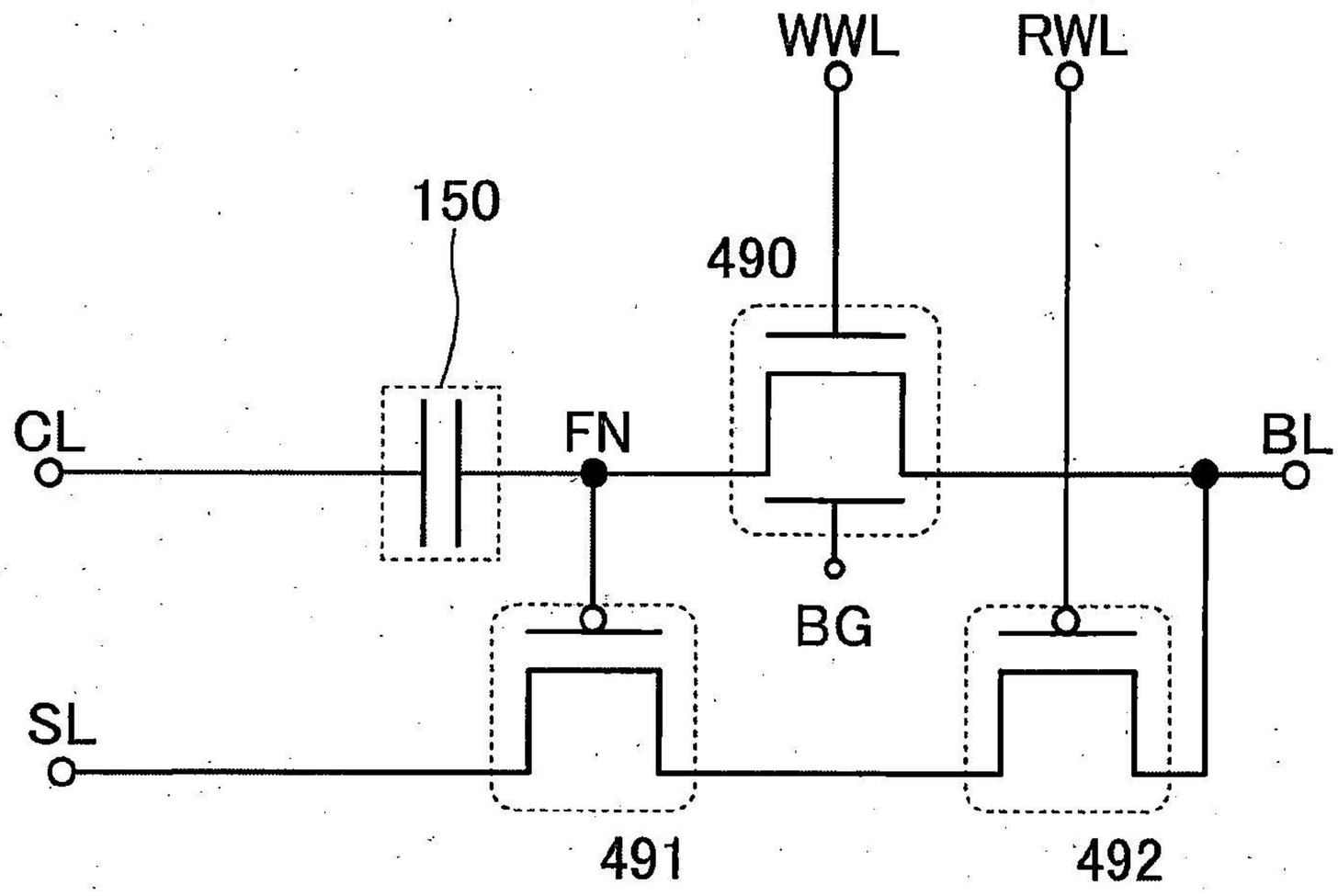


圖 15A

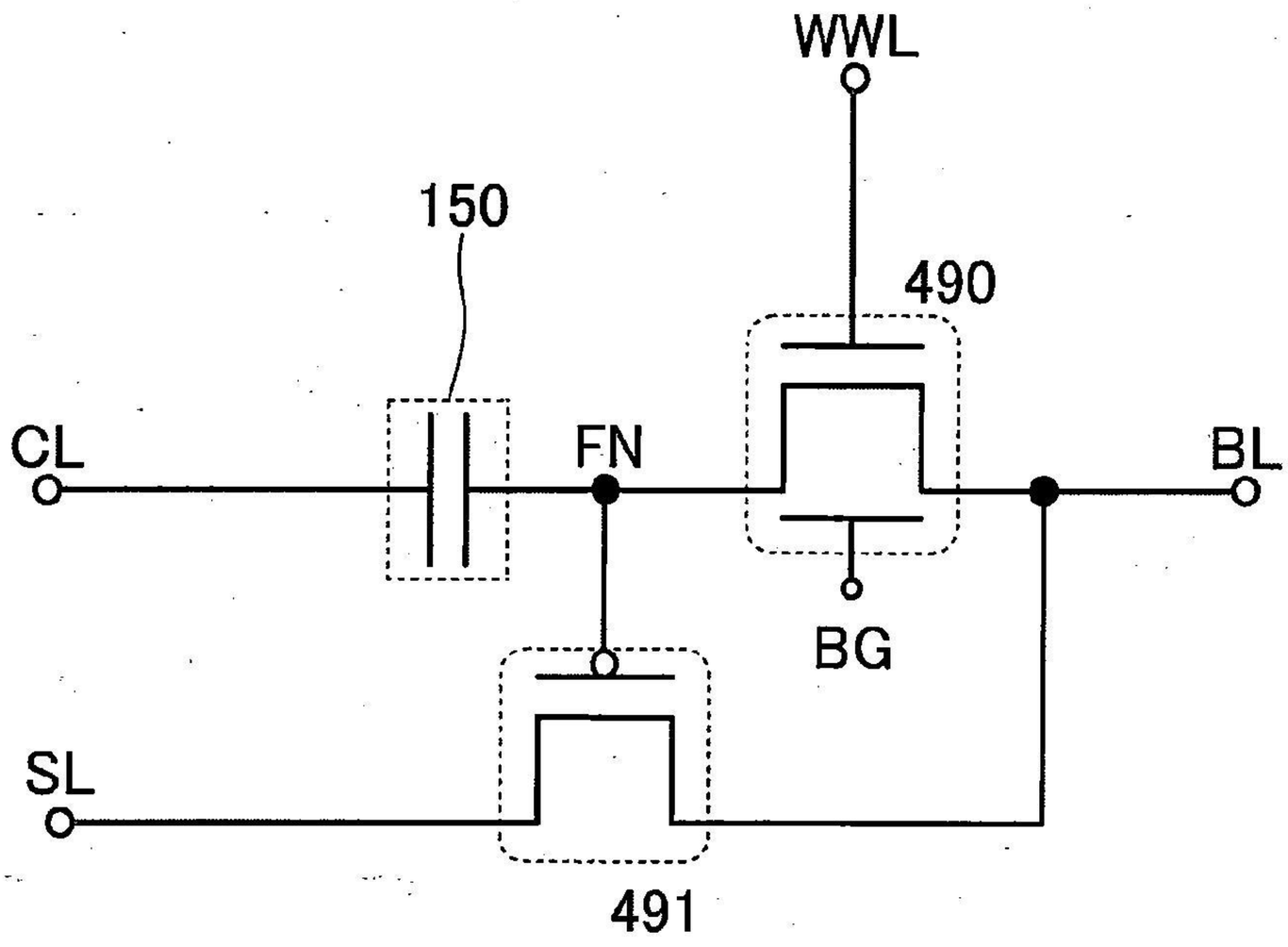


圖 15B

圖 15C

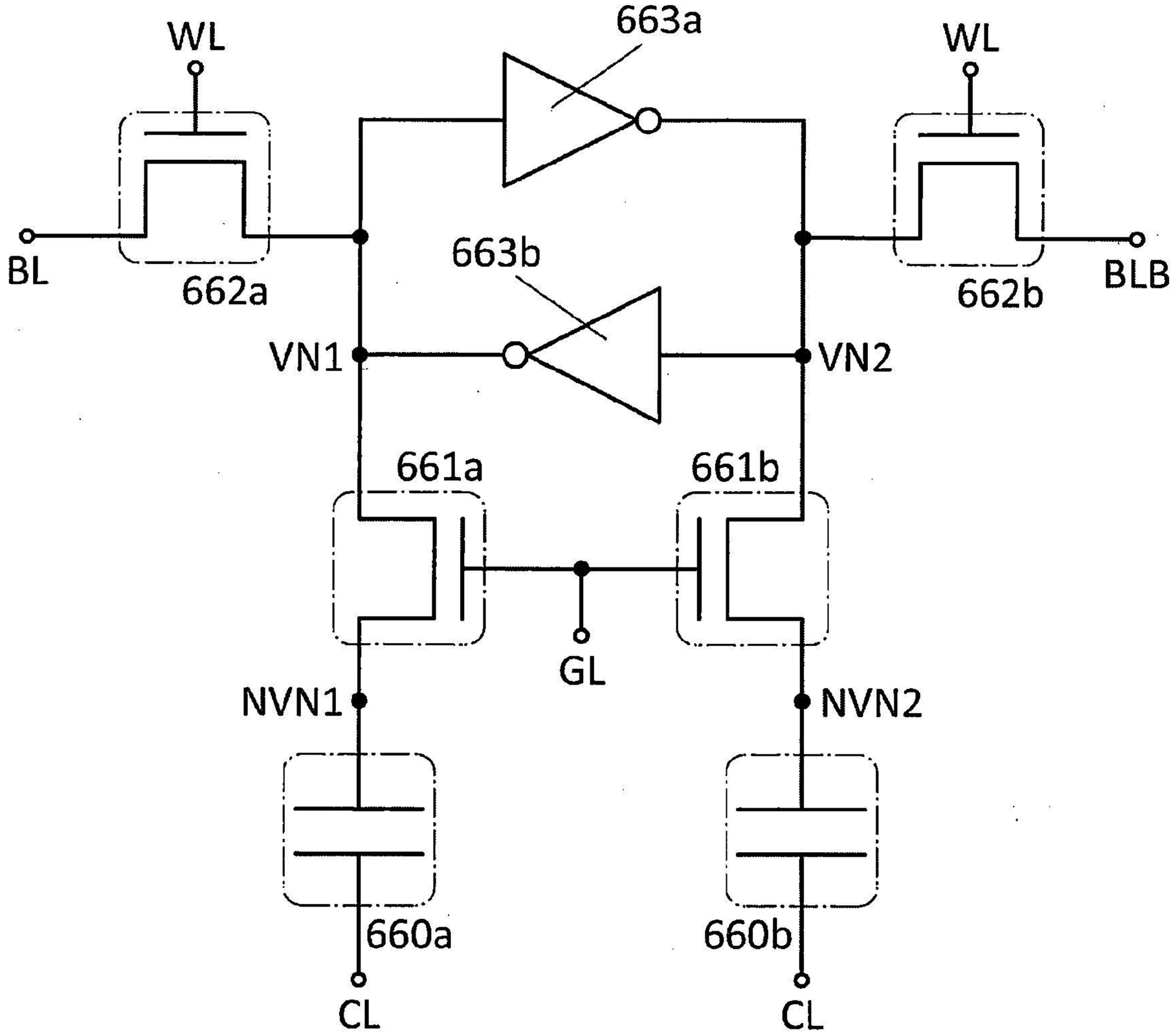


圖 16A

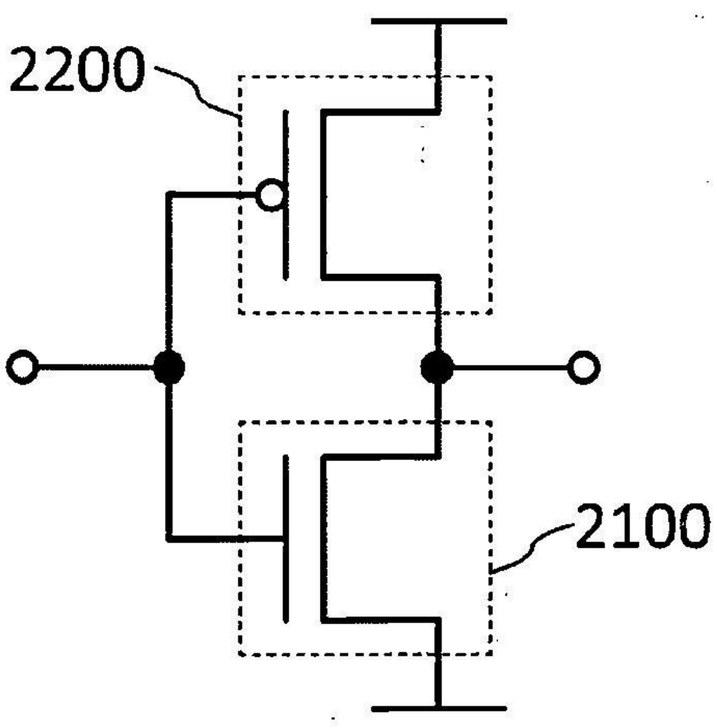


圖 16B

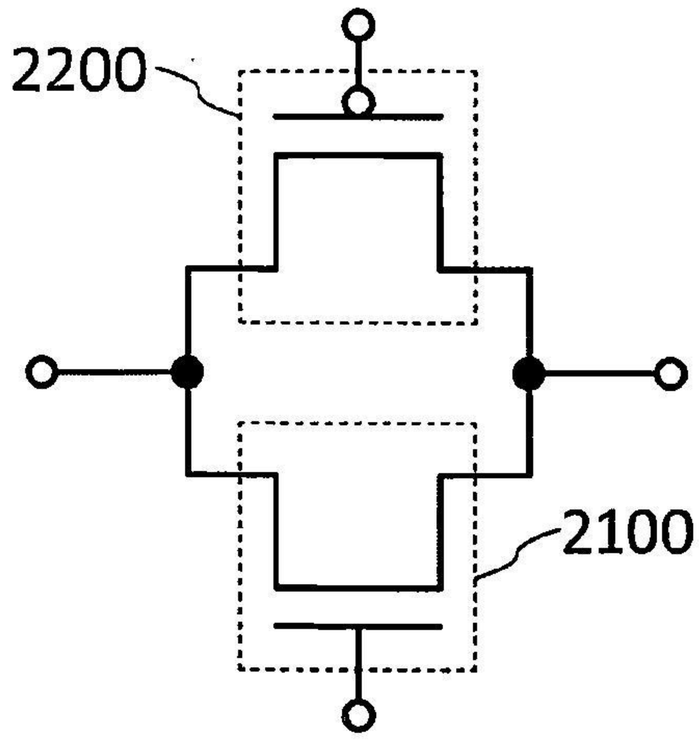


圖 16C

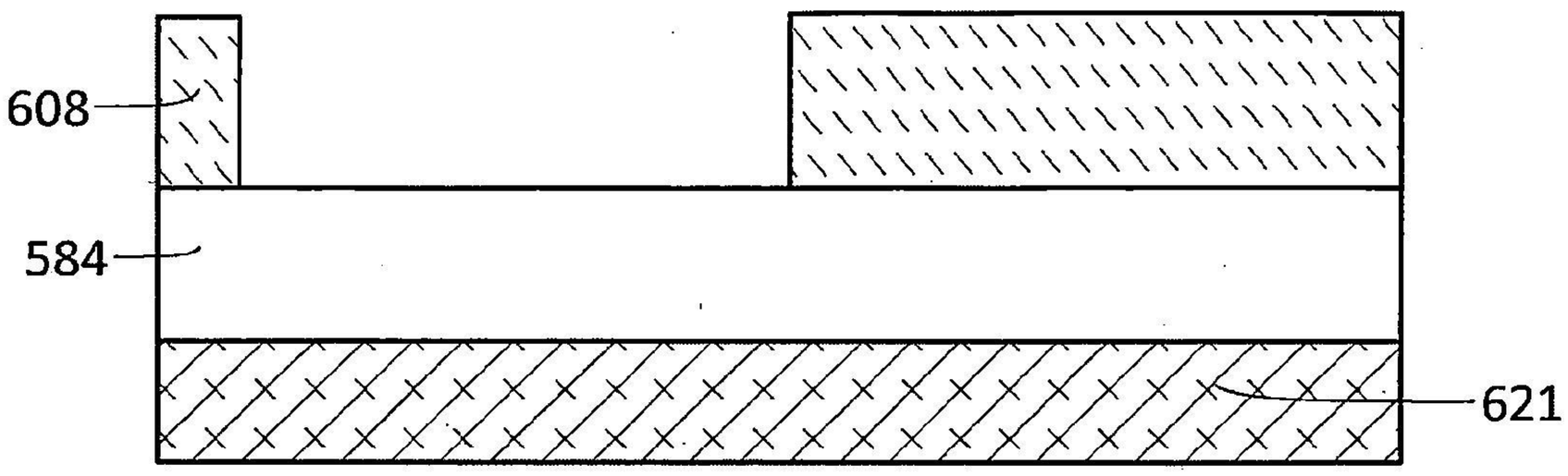


圖 17A

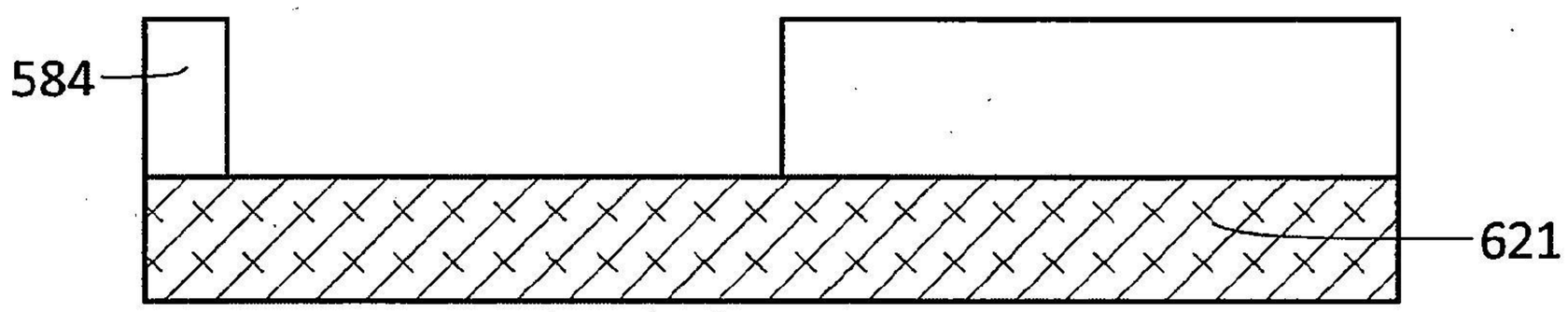


圖 17B

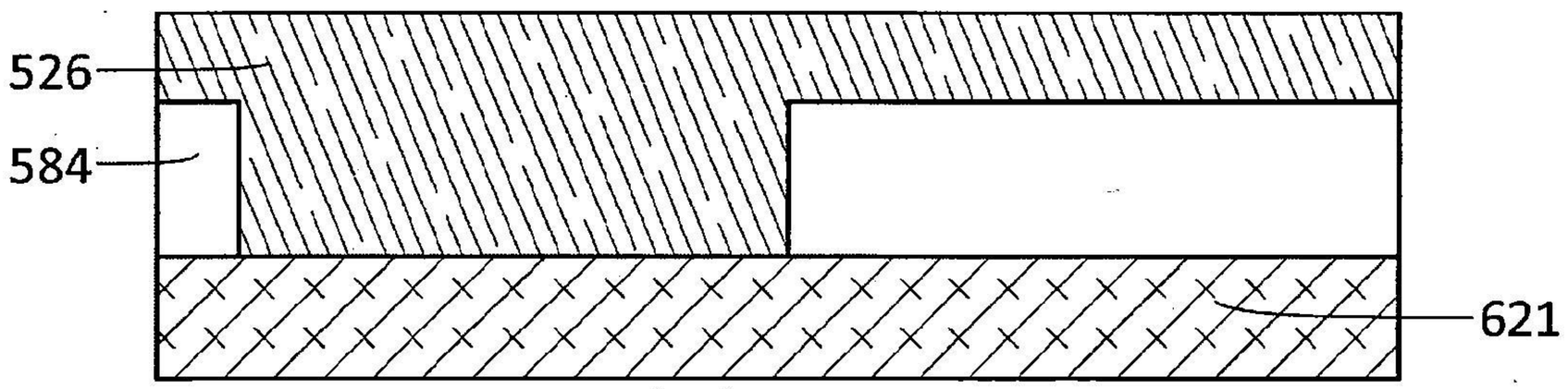


圖 17C

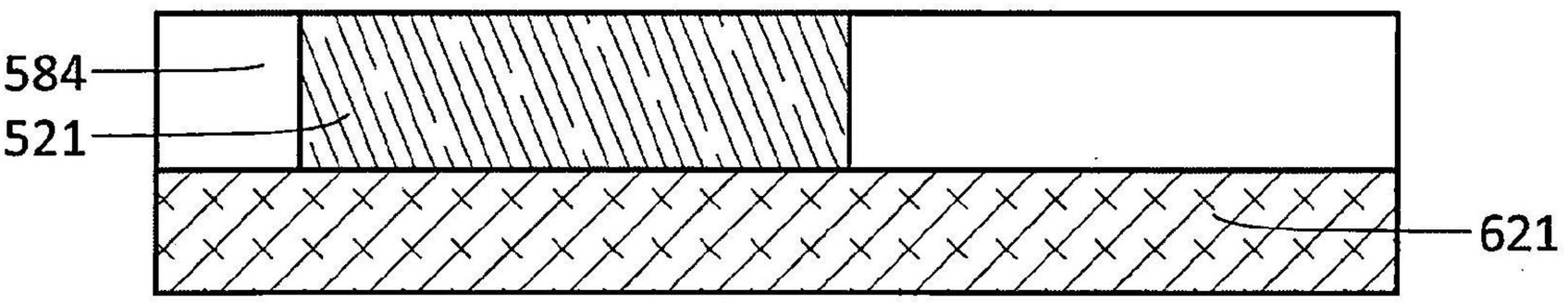


圖 17D

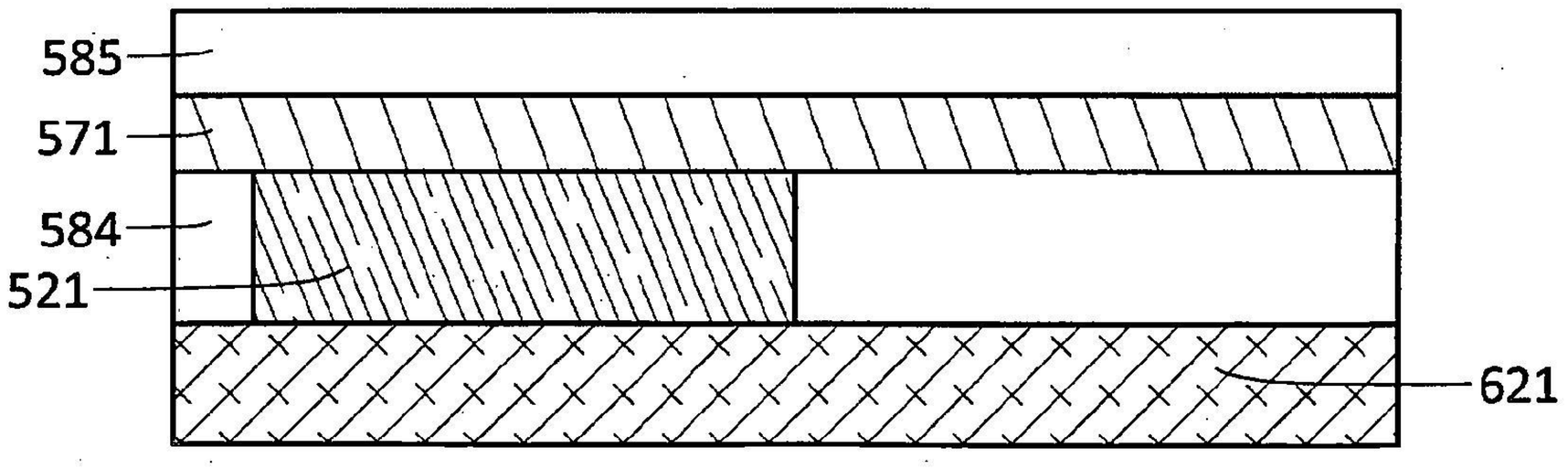


圖 17E

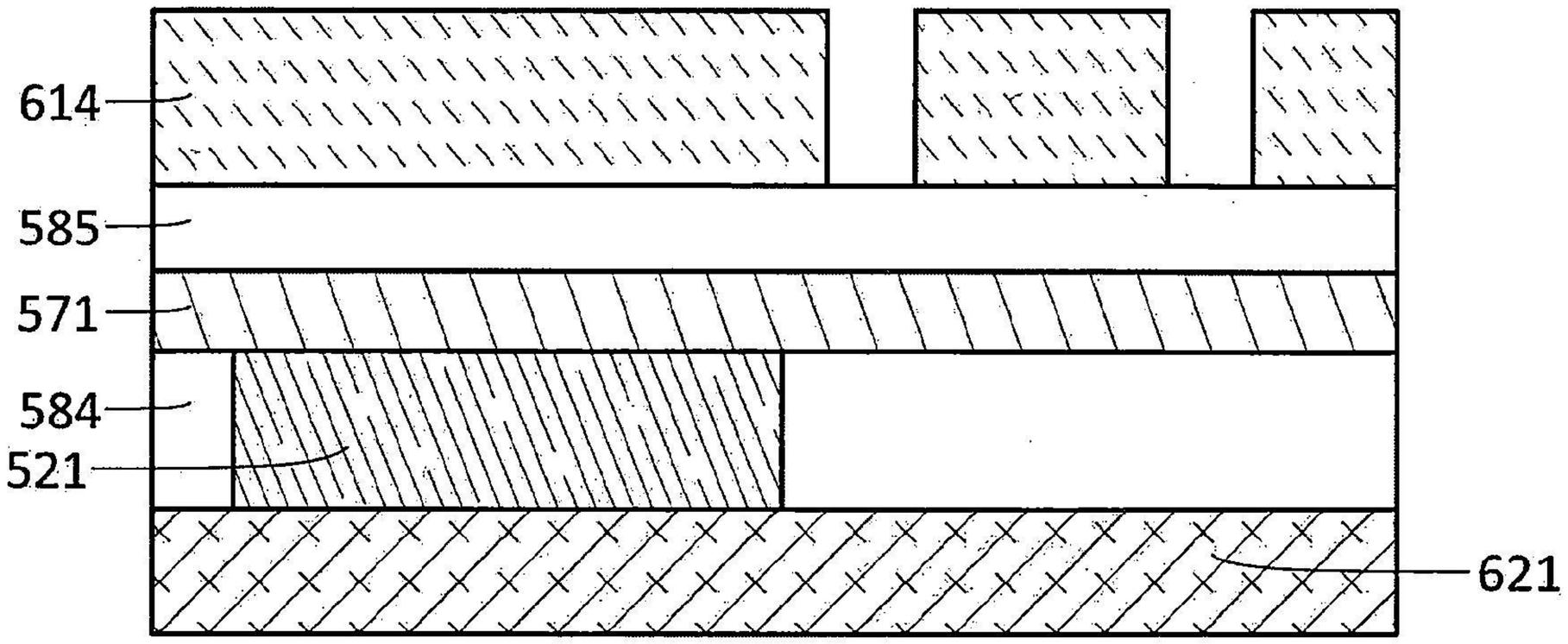


圖 18A

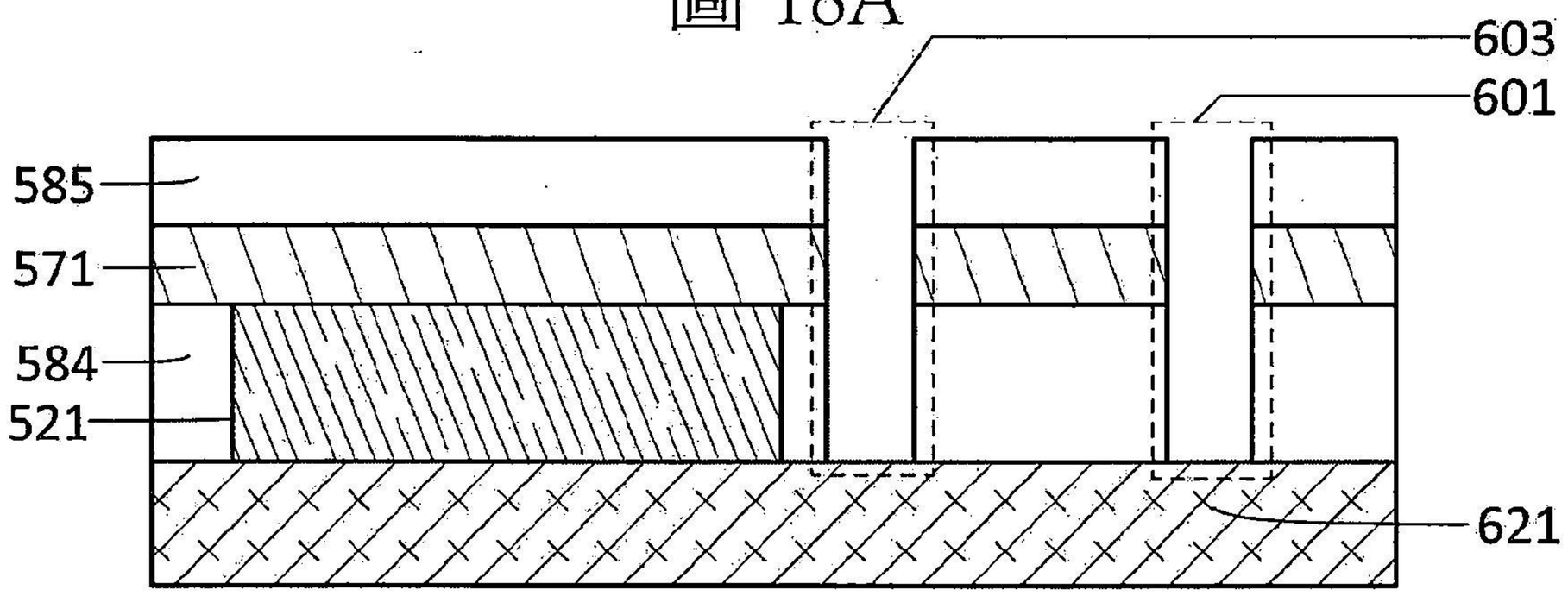


圖 18B

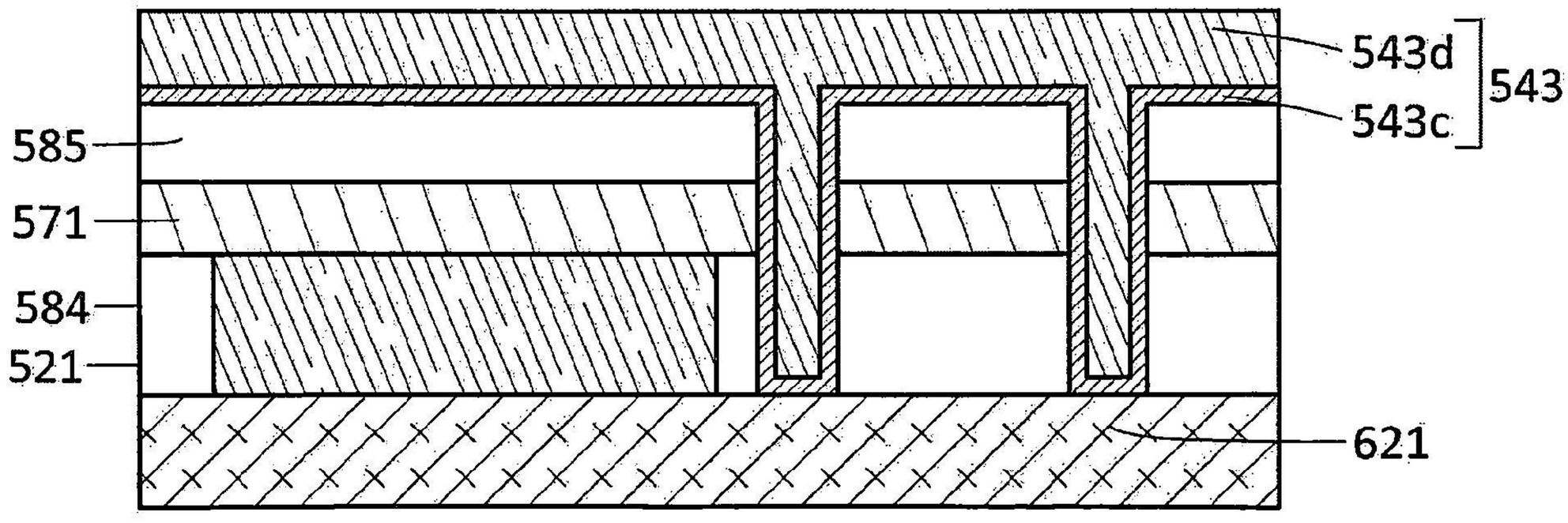


圖 18C

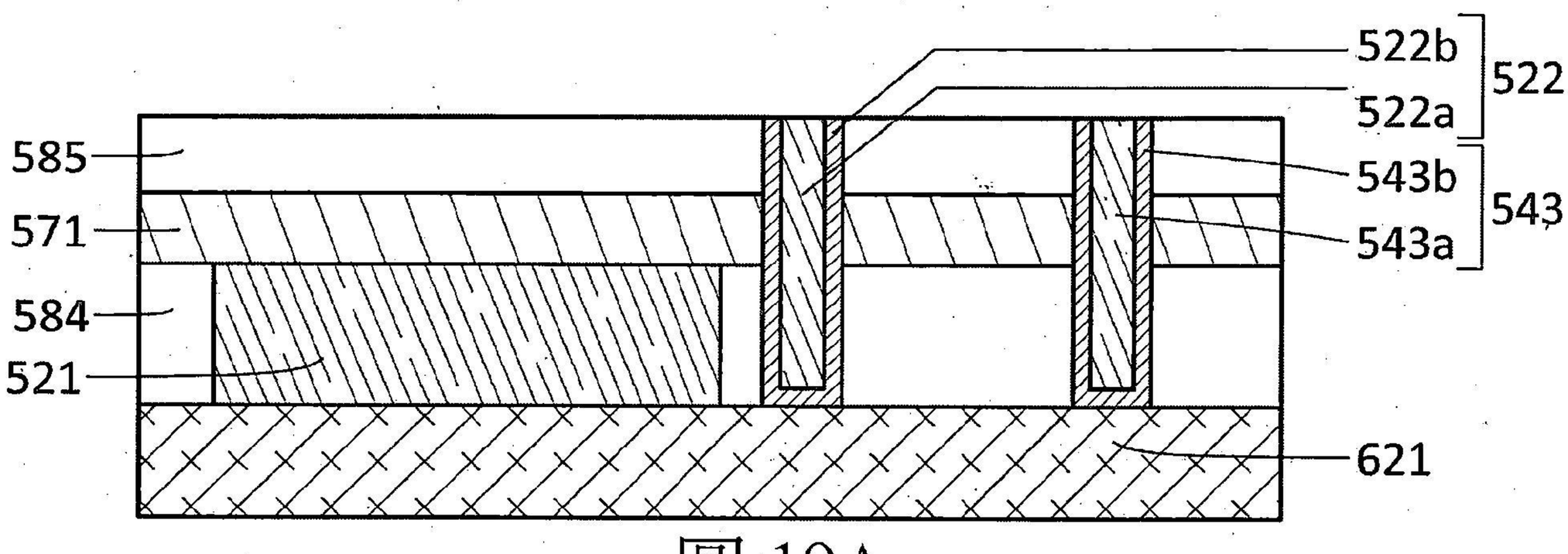


圖 19A

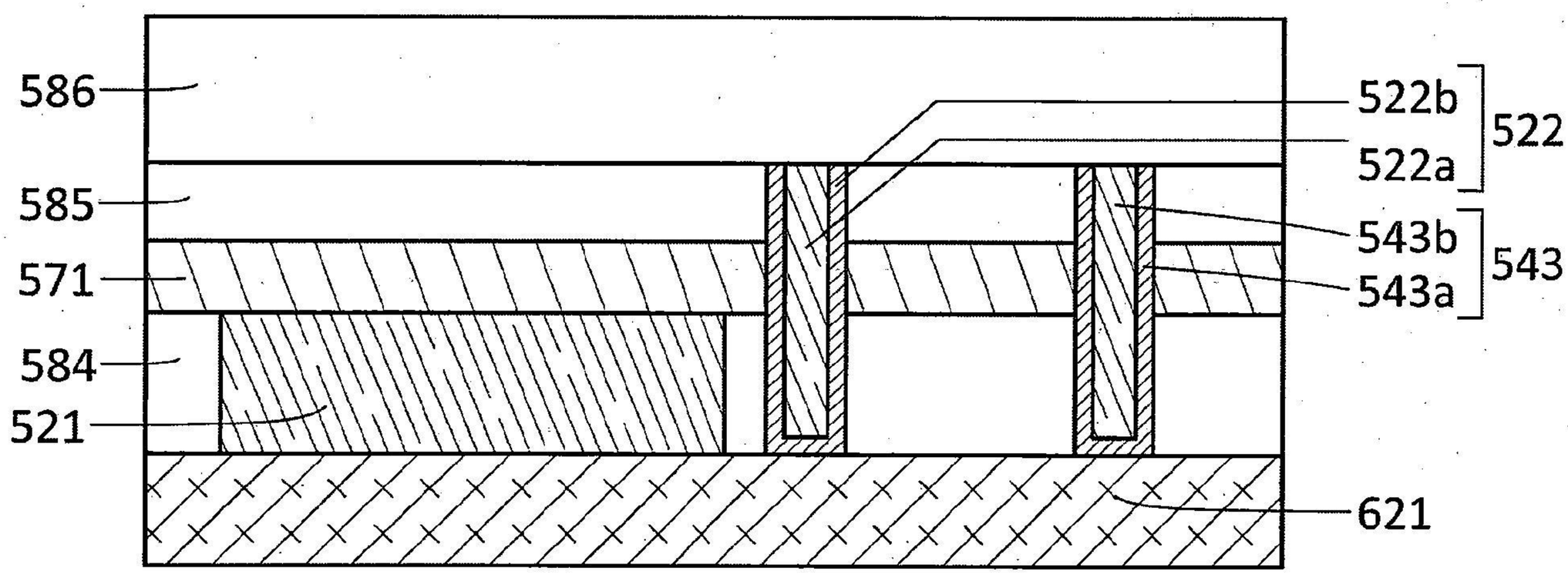


圖 19B

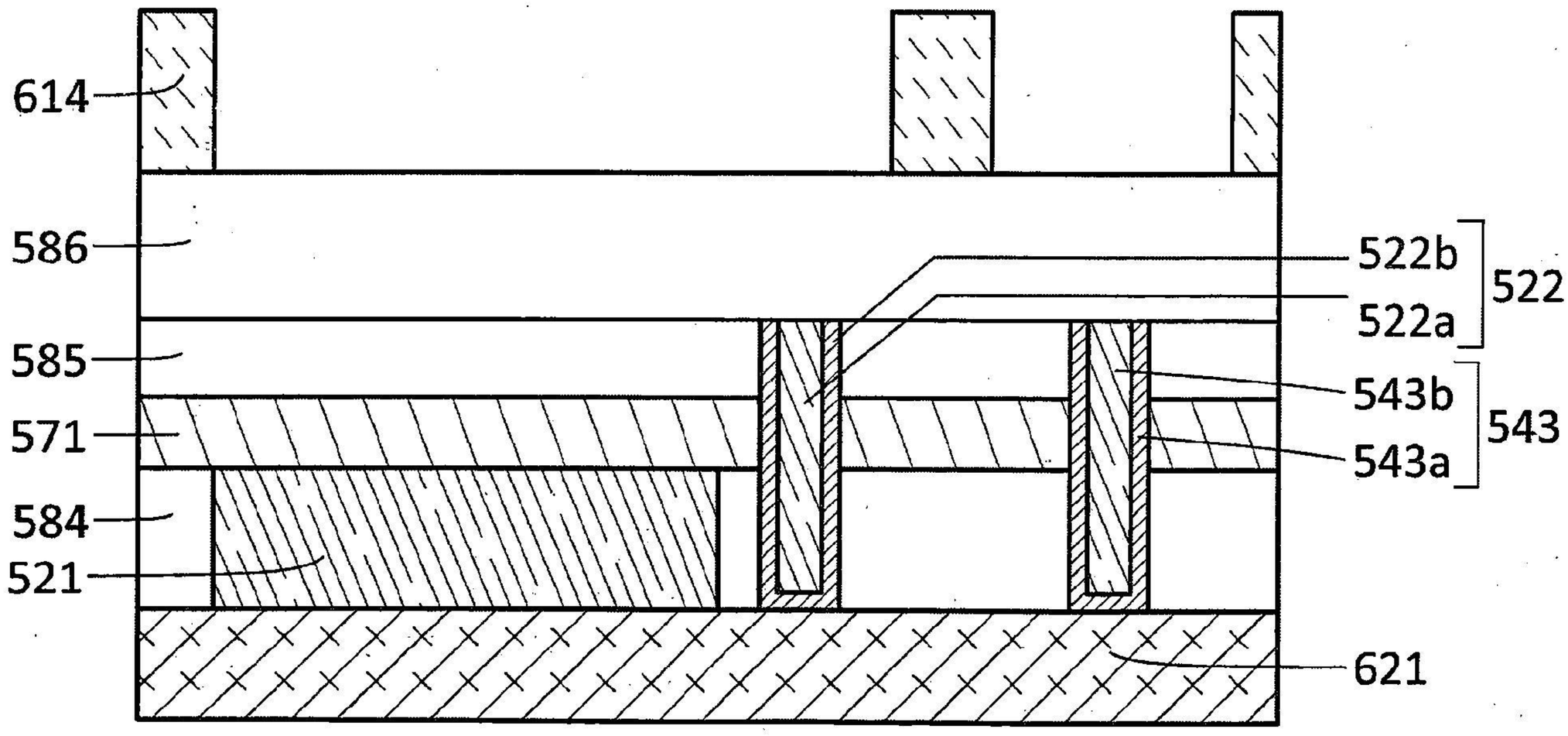


圖 19C

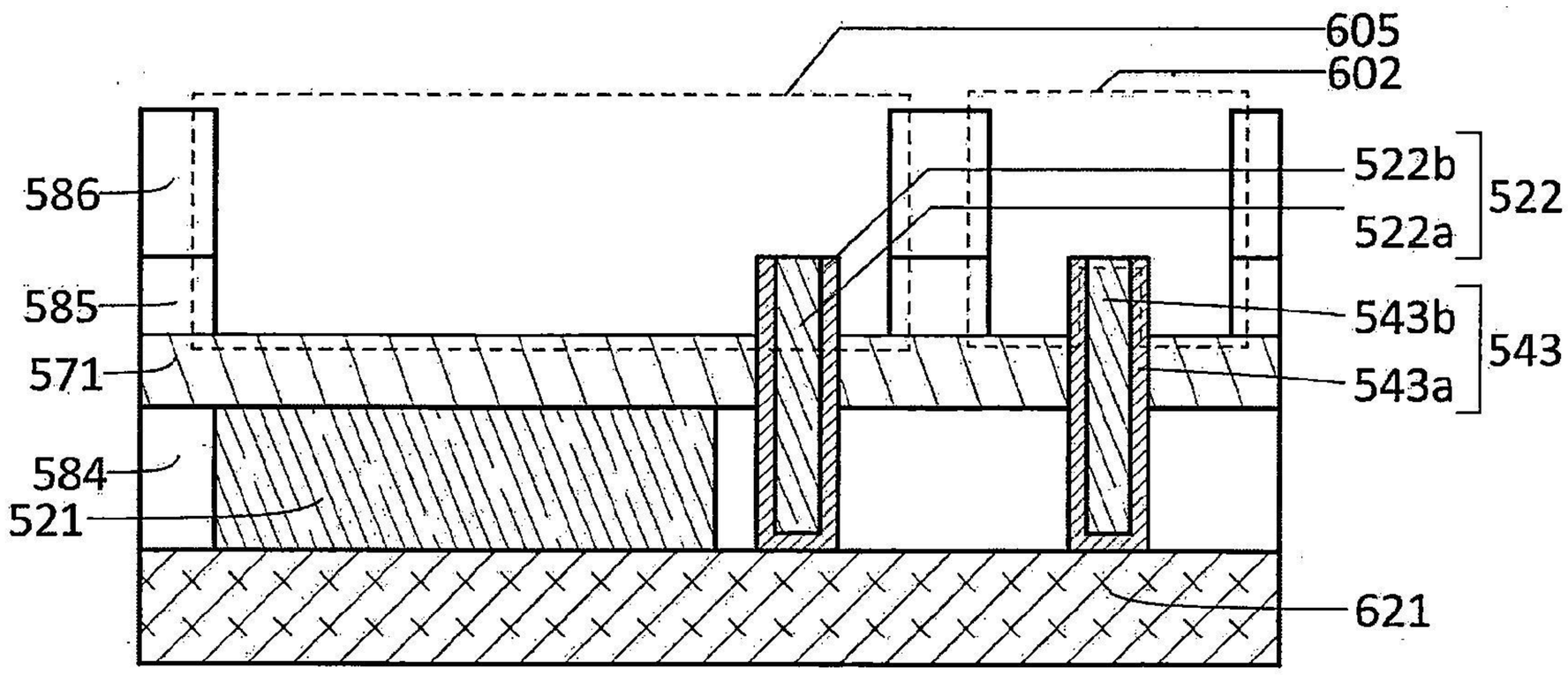


圖 20A

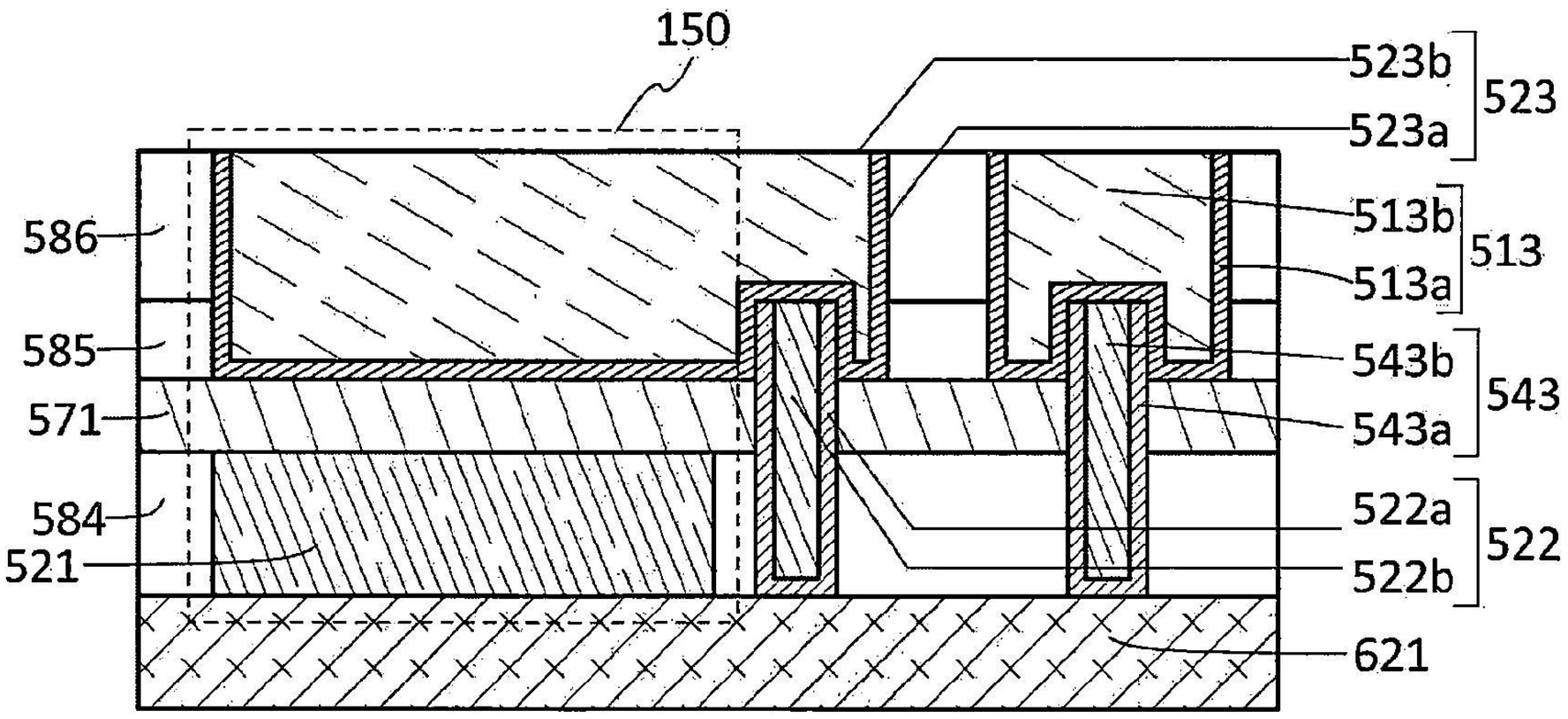


圖 20B

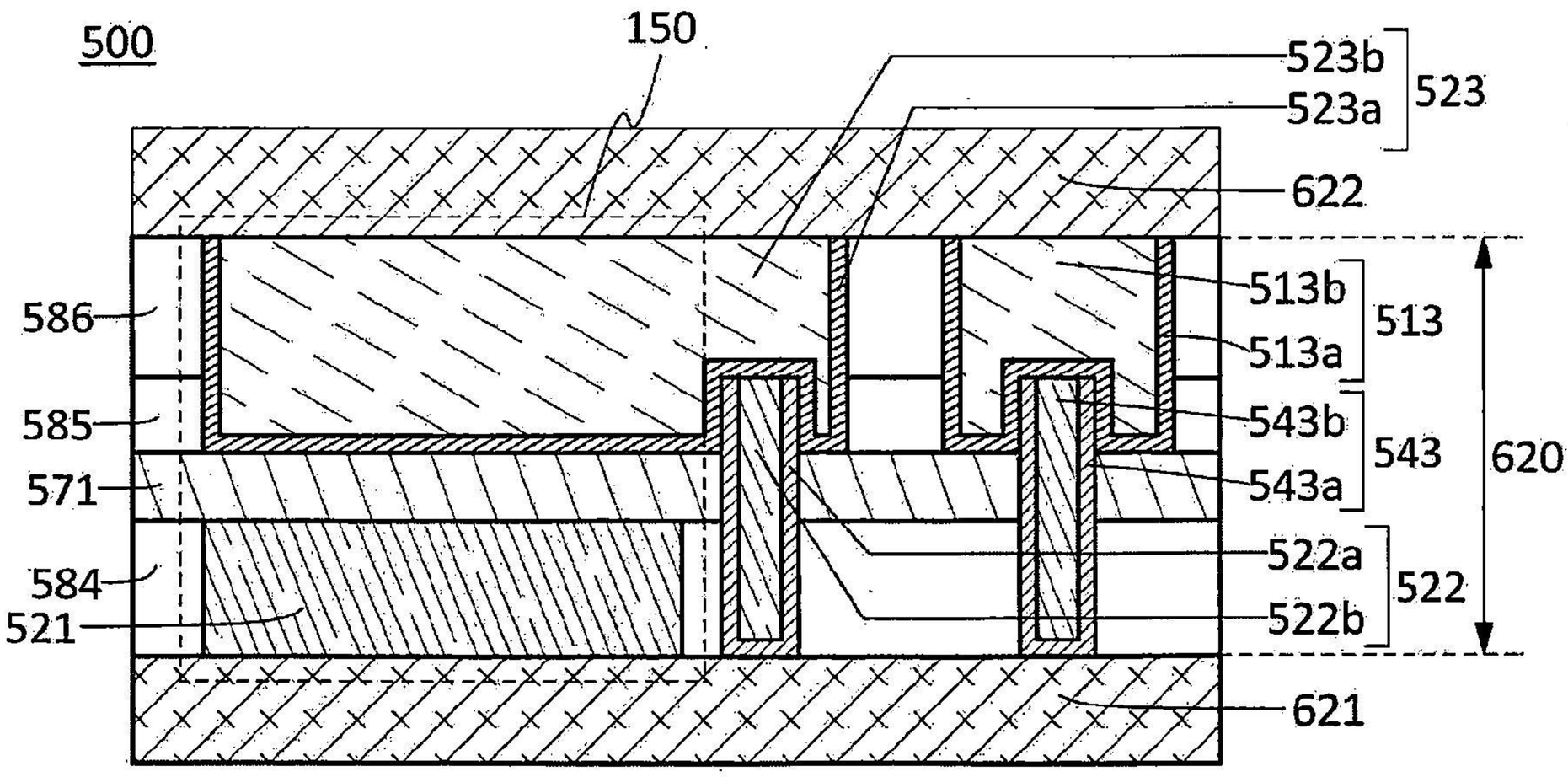


圖 20C

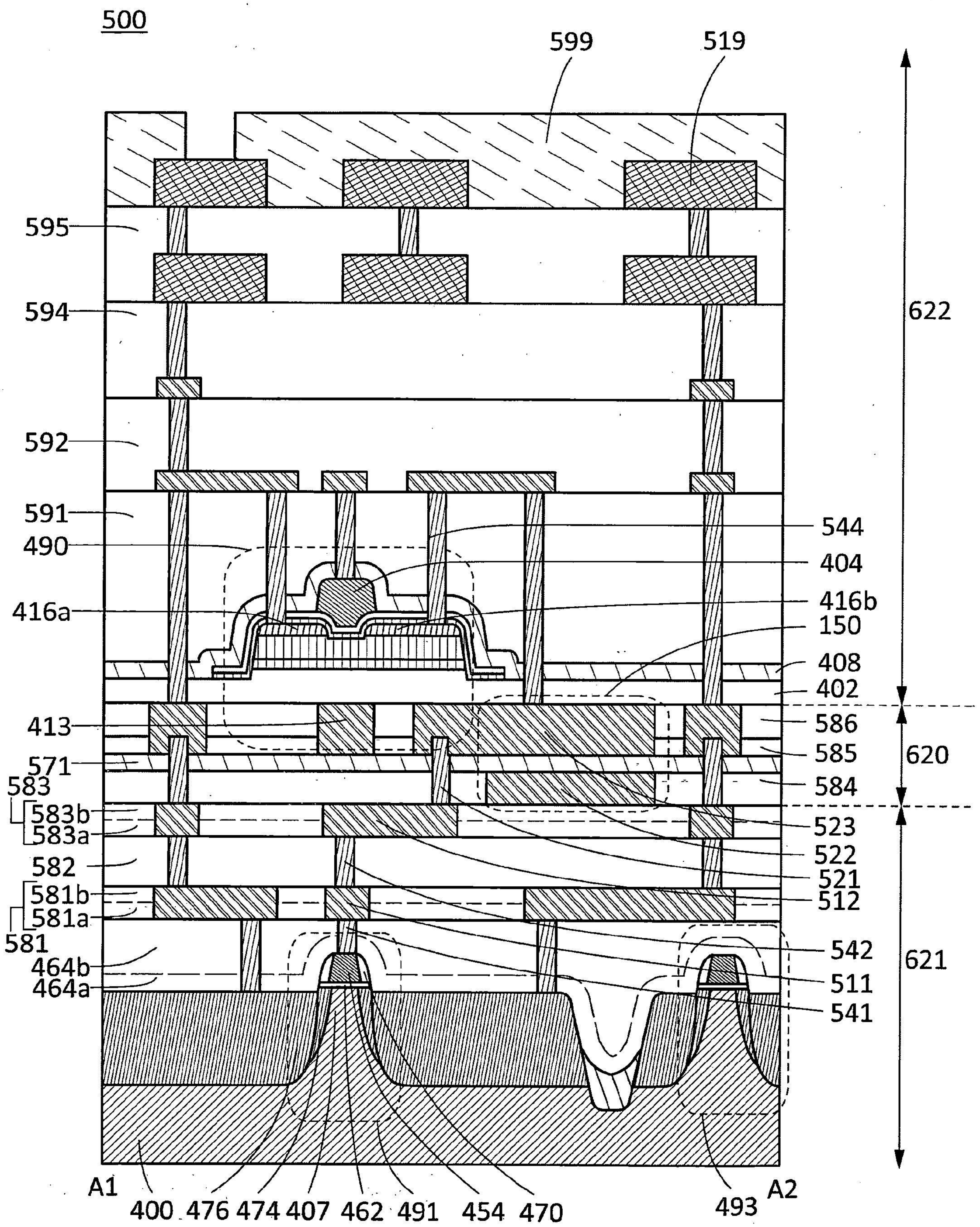

500
599
519
595
594
592
591
490
416a
544
404
416b
150
408
402
413
586
585
584
571
583
583b
583a
582
581b
581a
581
464b
464a
523
522
521
512
542
511
541
622
620
621
A1
400
476
474
407
462
491
454
470
493
A2

圖 21

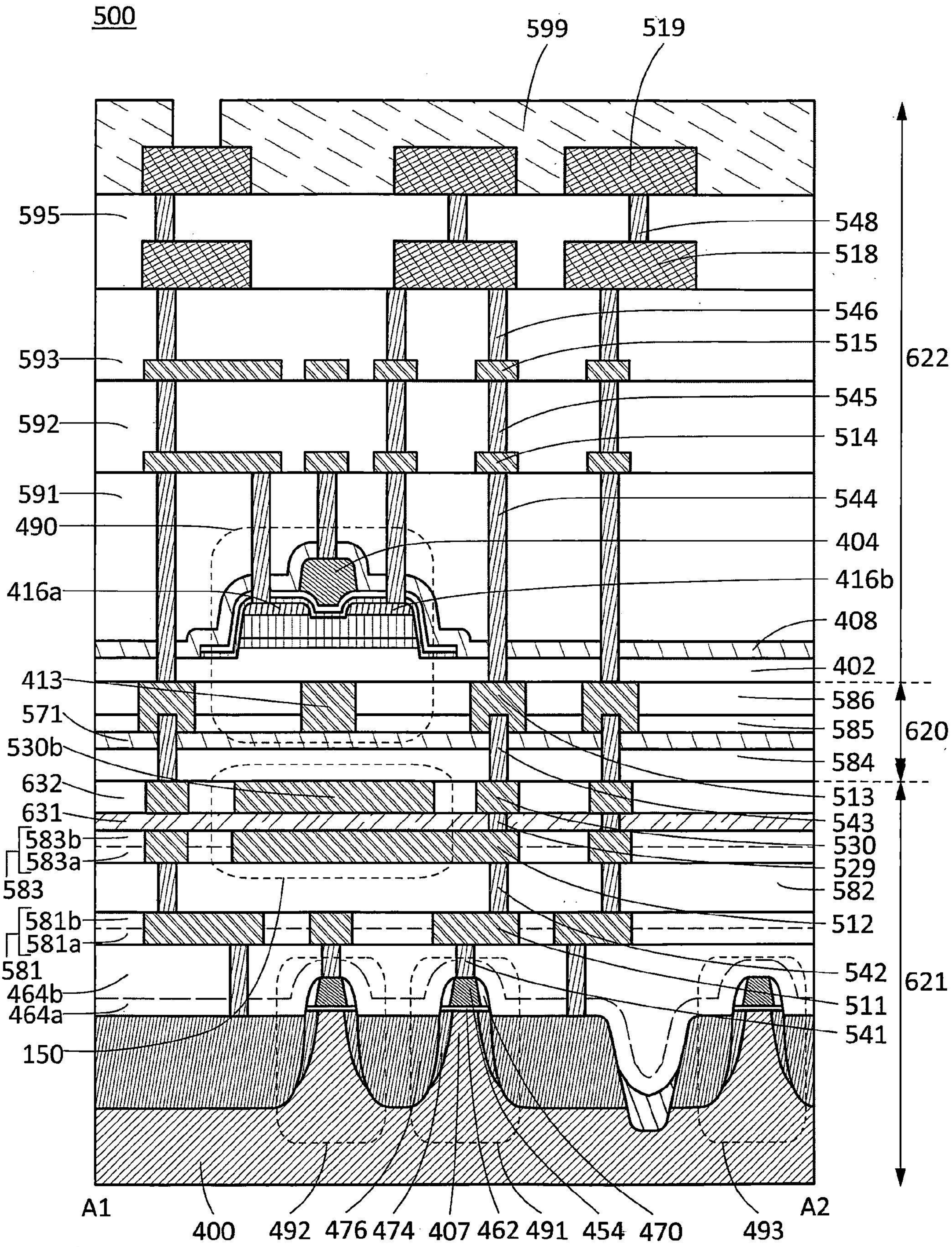

500
599
519
595
548
518
546
515
593
622
545
592
514
591
544
490
404
416a
416b
408
402
413
586
571
585
620
530b
584
632
513
631
543
583b
530
583a
529
583
582
581b
512
581a
581
542
621
464b
511
464a
541
150
A1
A2
400
492
476
474
407
462
491
454
470
493

圖 22

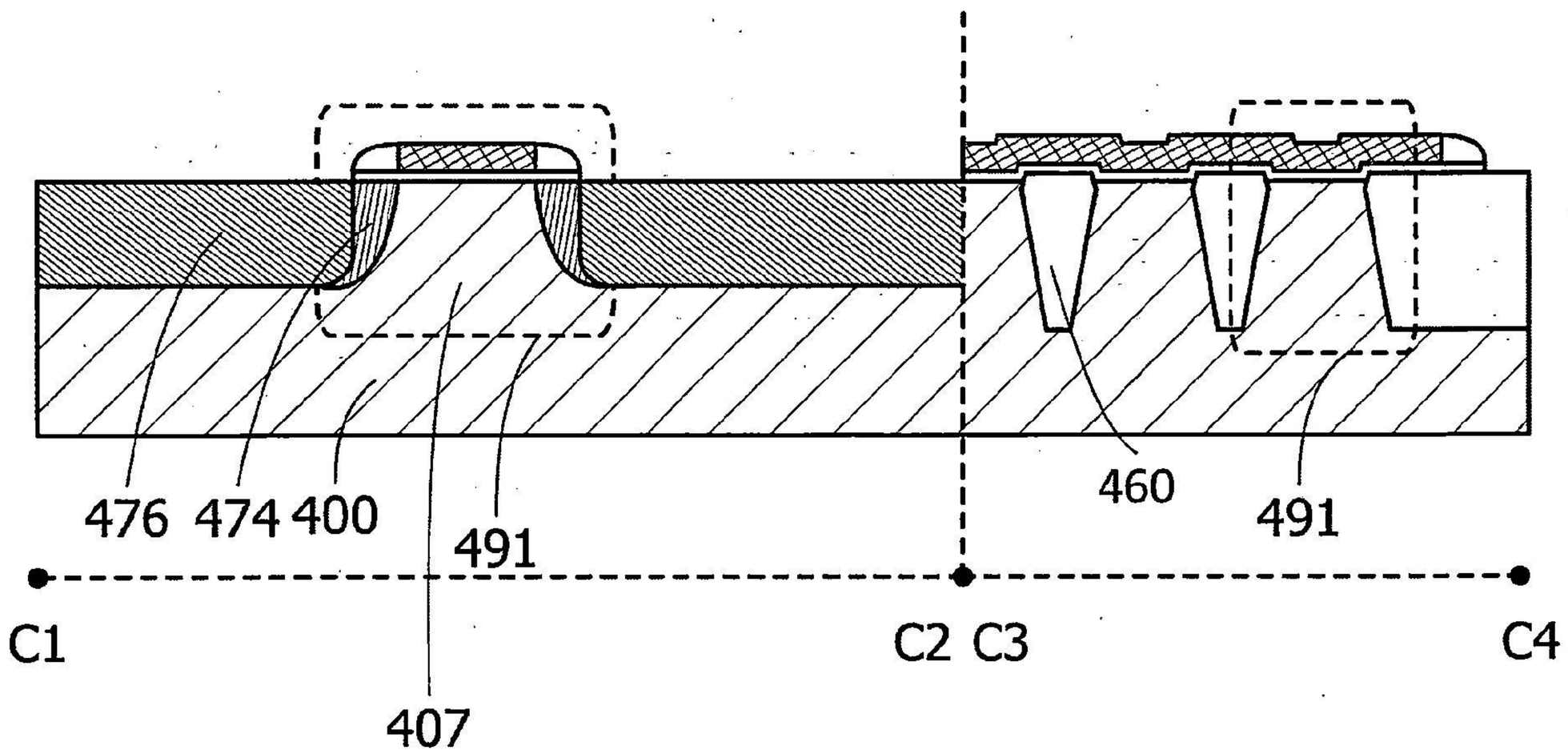

476
474
400
491
460
491
C1
C2 C3
C4
407

圖 23A

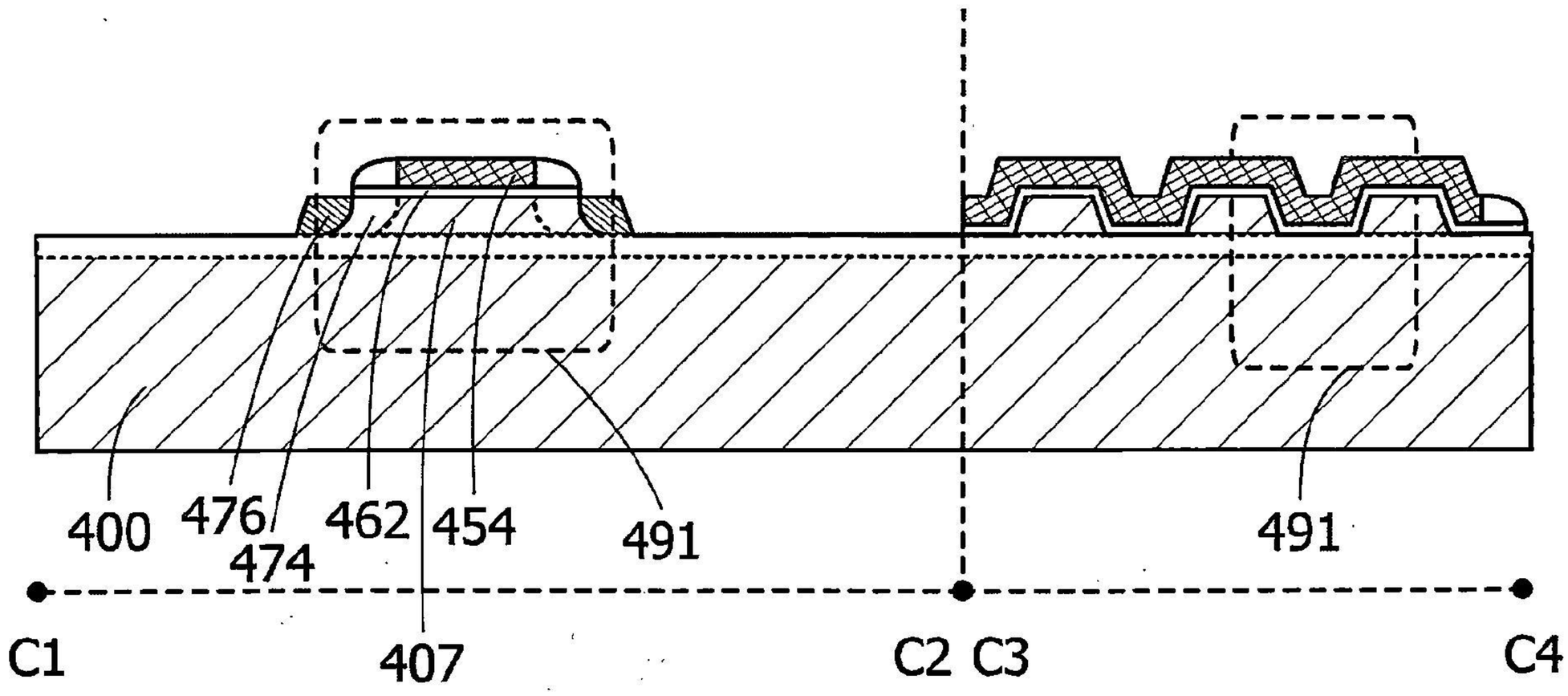

400
476
474
462
454
491
491
C1
C2 C3
C4
407

圖 23B

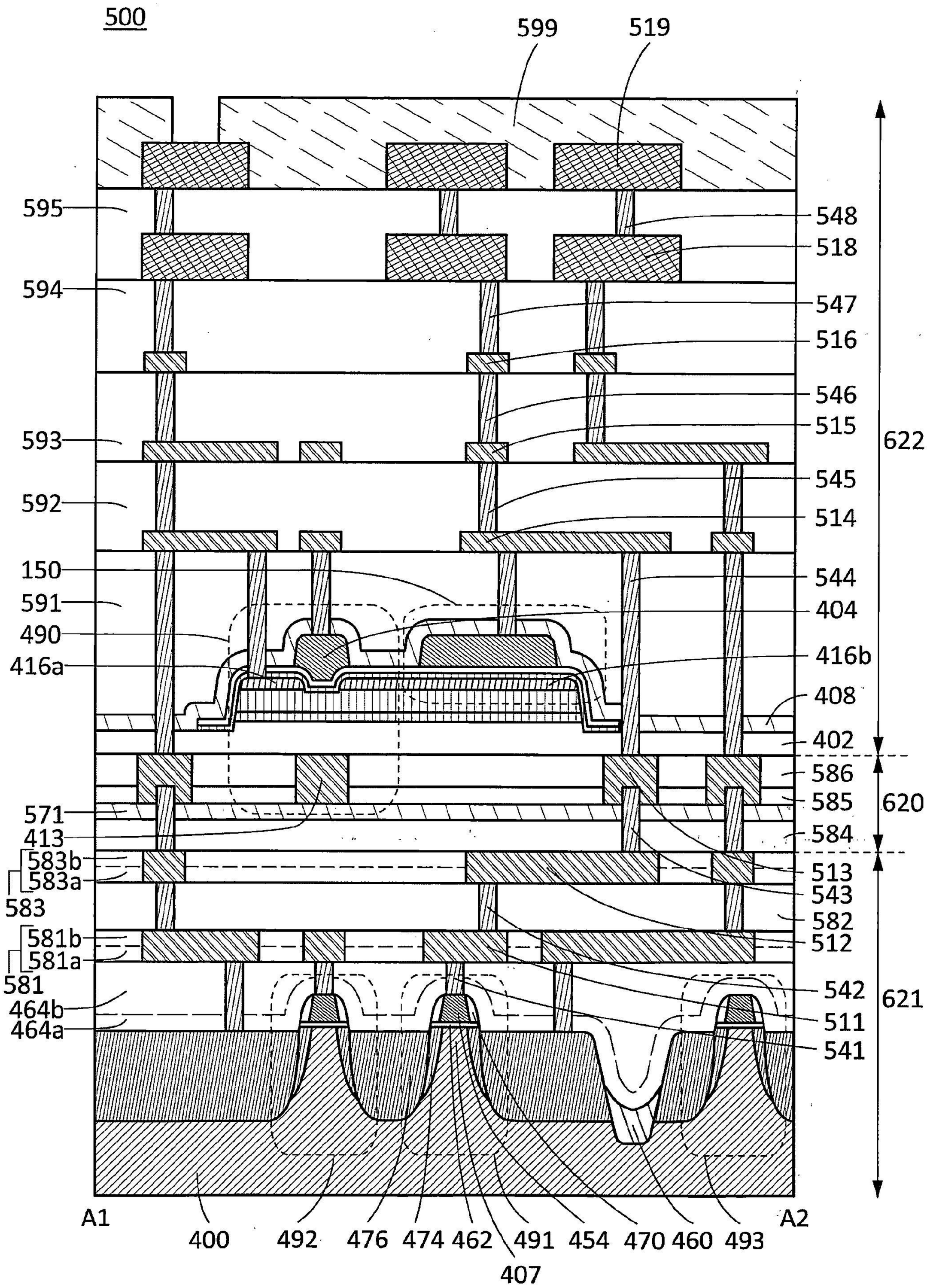

500
599
519
595
548
518
594
547
516
546
593
515
622
545
592
514
150
544
591
404
490
416b
416a
408
402
586
585
620
571
584
413
583b
513
583a
543
583
582
581b
512
581a
581
542
621
464b
511
464a
541
A1
A2
400
492
476
474
462
491
454
470
460
493
407

圖 24

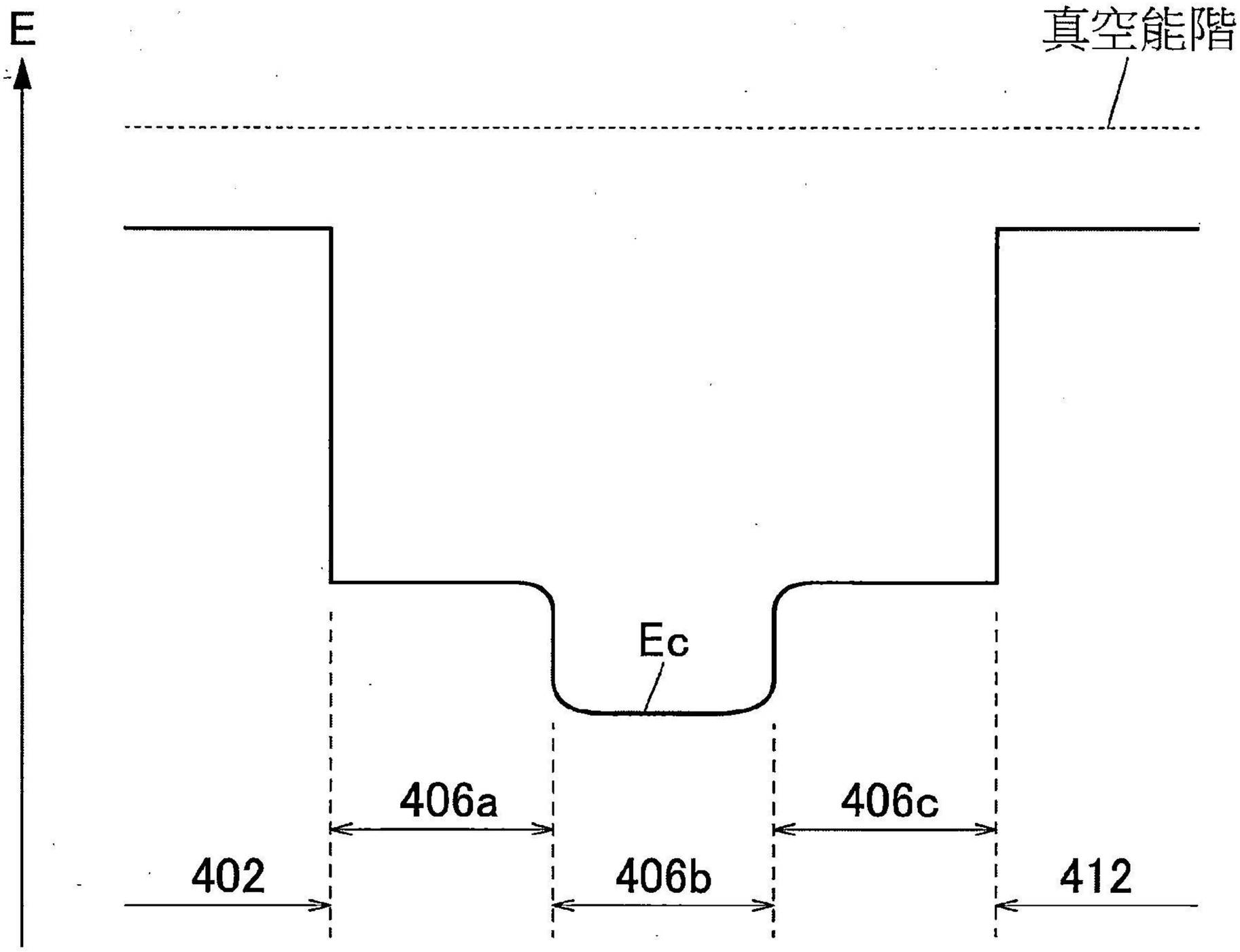


圖 25

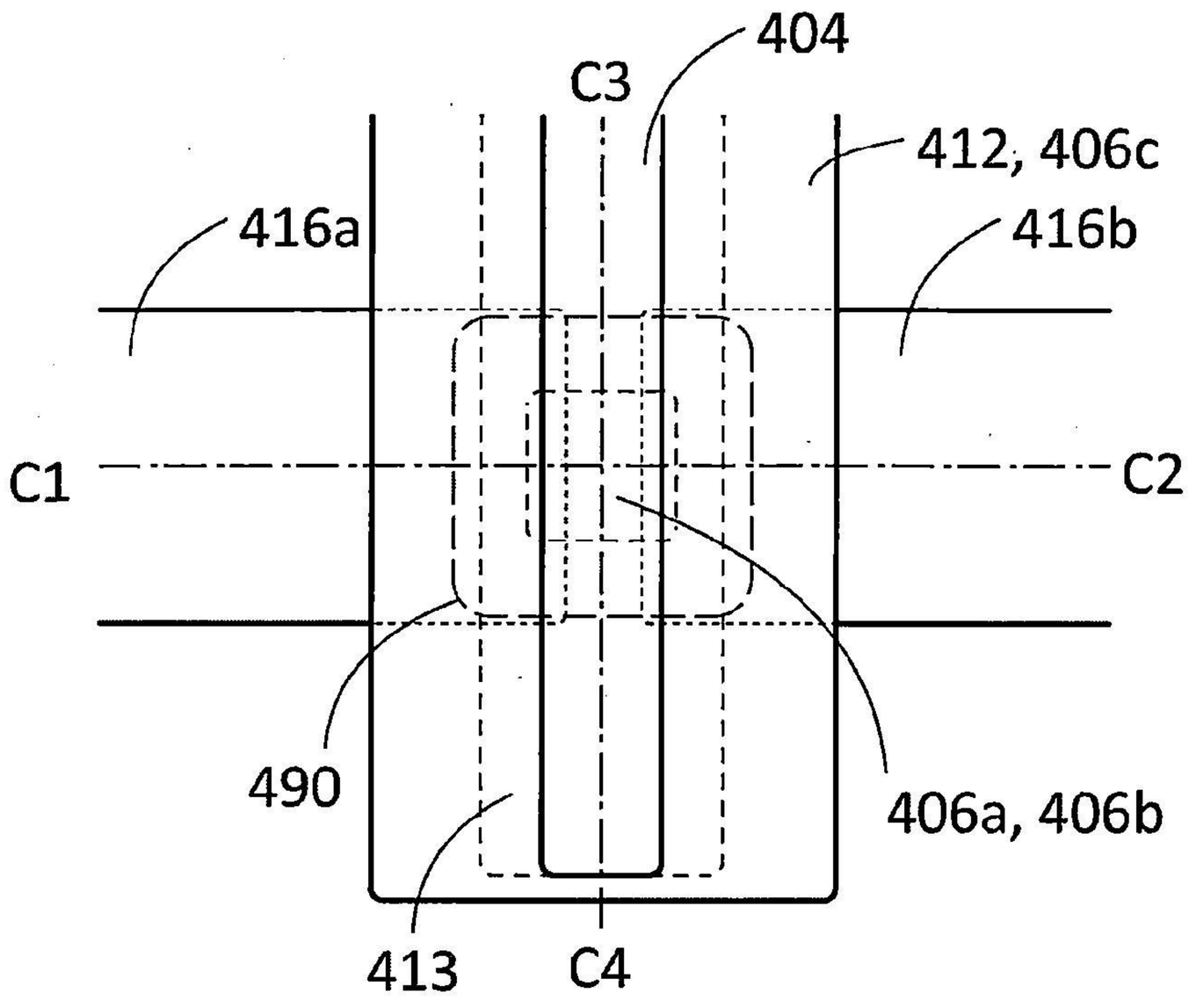

404
C3
412, 406c
416a
416b
C1
C2
490
406a, 406b
413
C4

圖 26A

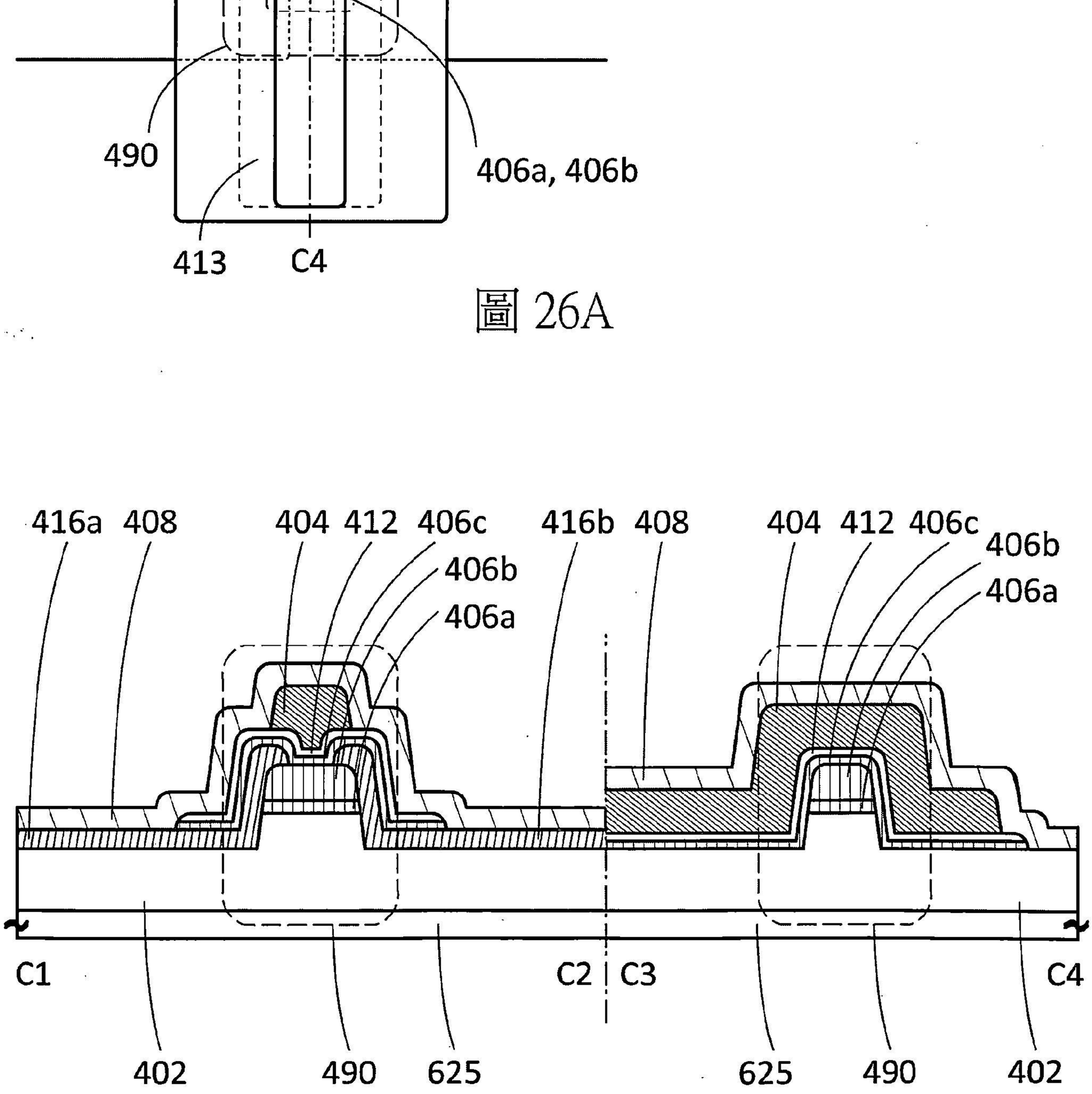

416a
408
404
412
406c
406b
406a
416b
408
404
412
406c
406b
406a
C1
C2
C3
C4
402
490
625
625
490
402

圖 26B

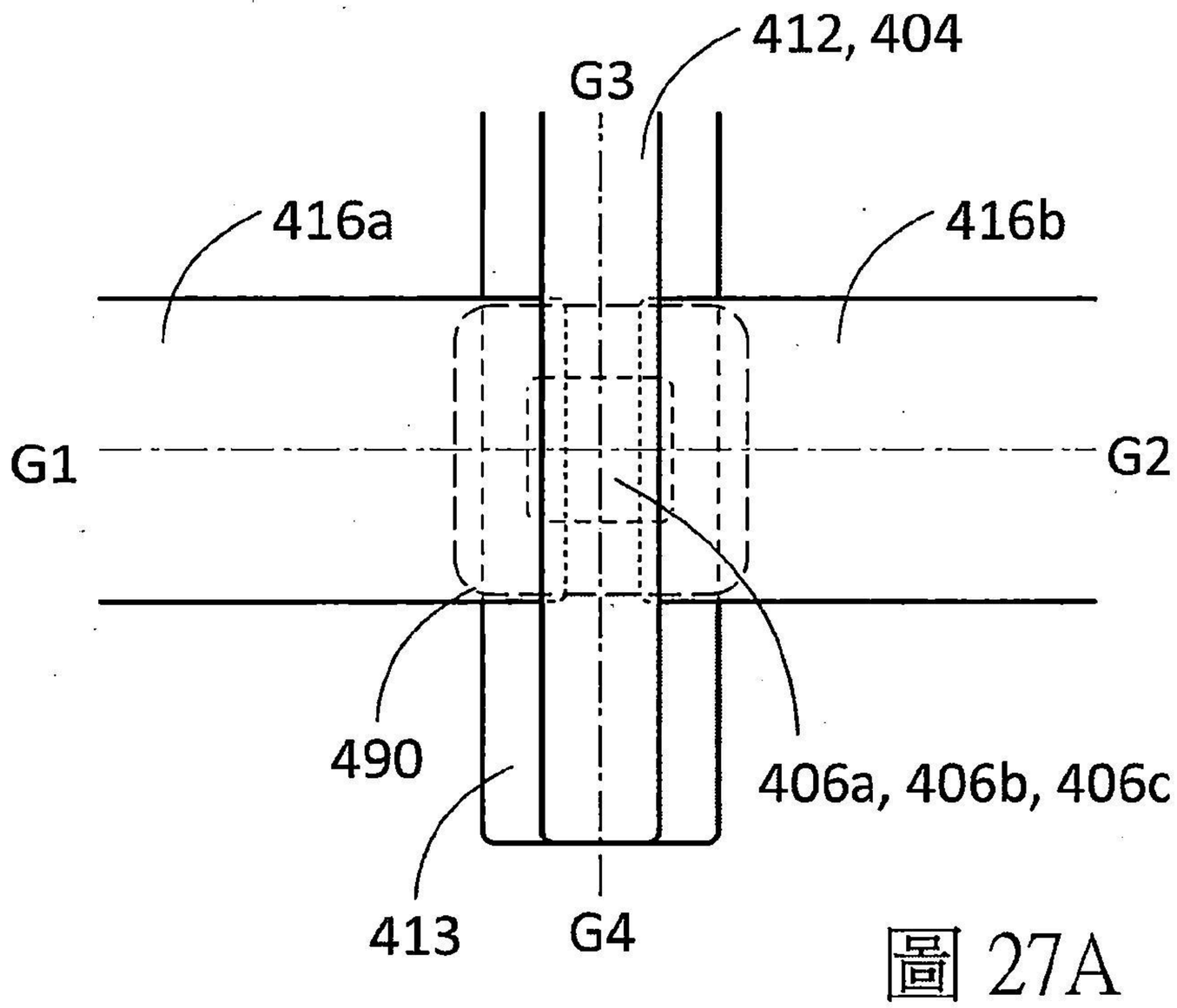

412, 404
G3
416a
416b
G1
G2
490
406a, 406b, 406c
413
G4

圖 27A

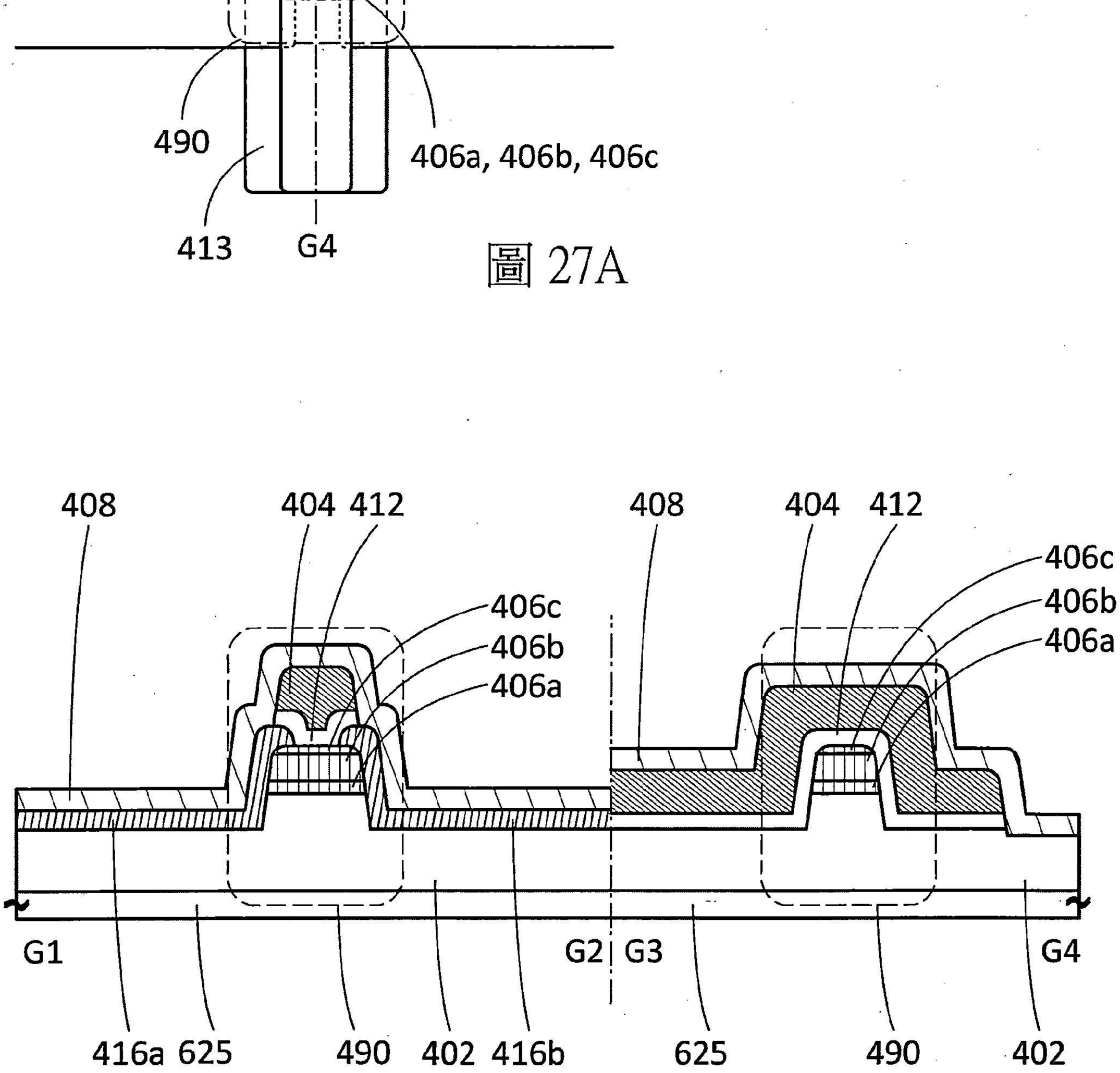

408
404 412
406c
406b
406a
408
404 412
406c
406b
406a
G1
G2
G3
G4
416a
625
490
402
416b
625
490
402

圖 27B

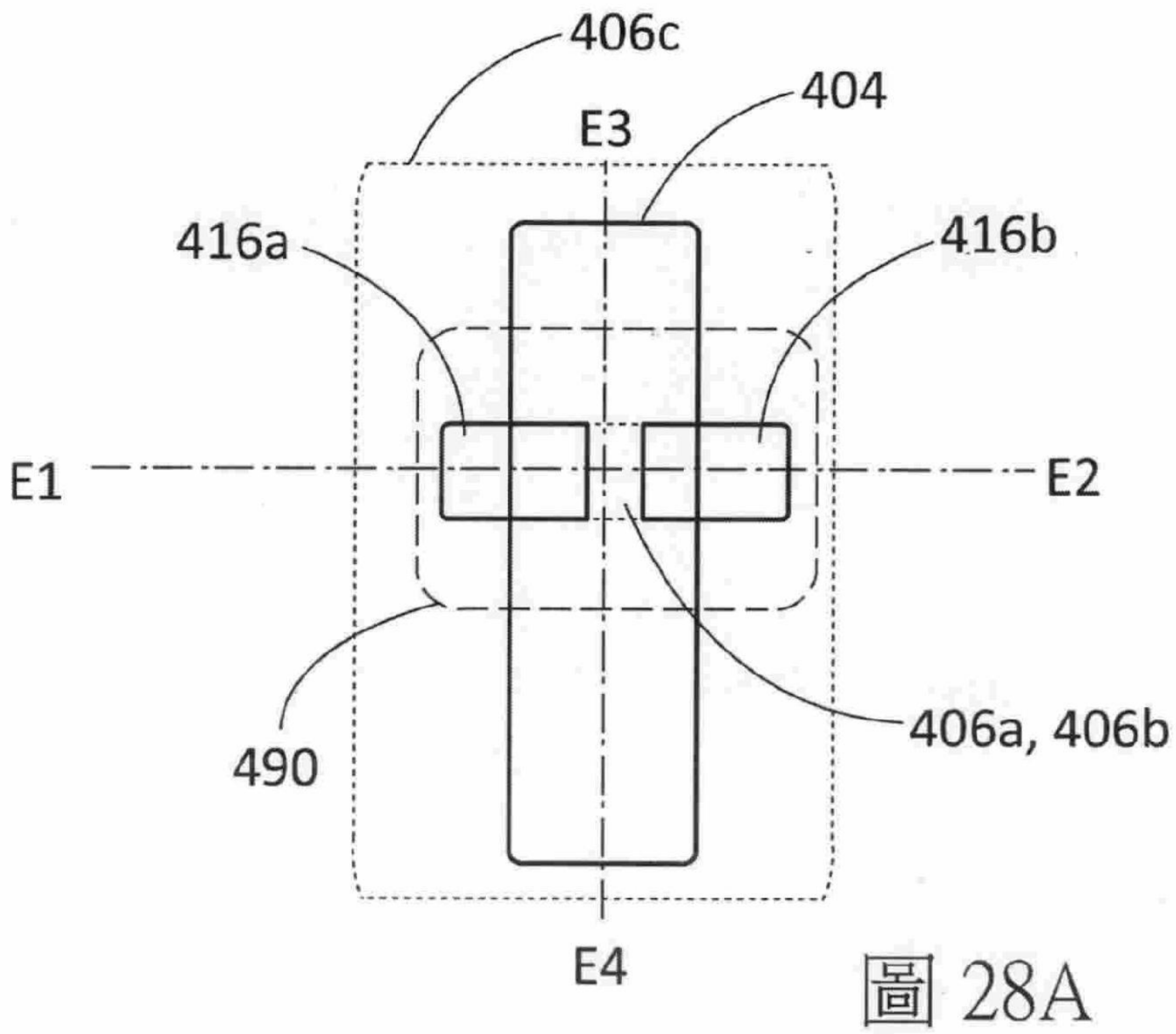

406c
404
E3
416a
416b
E1
E2
490
406a, 406b
E4

圖 28A

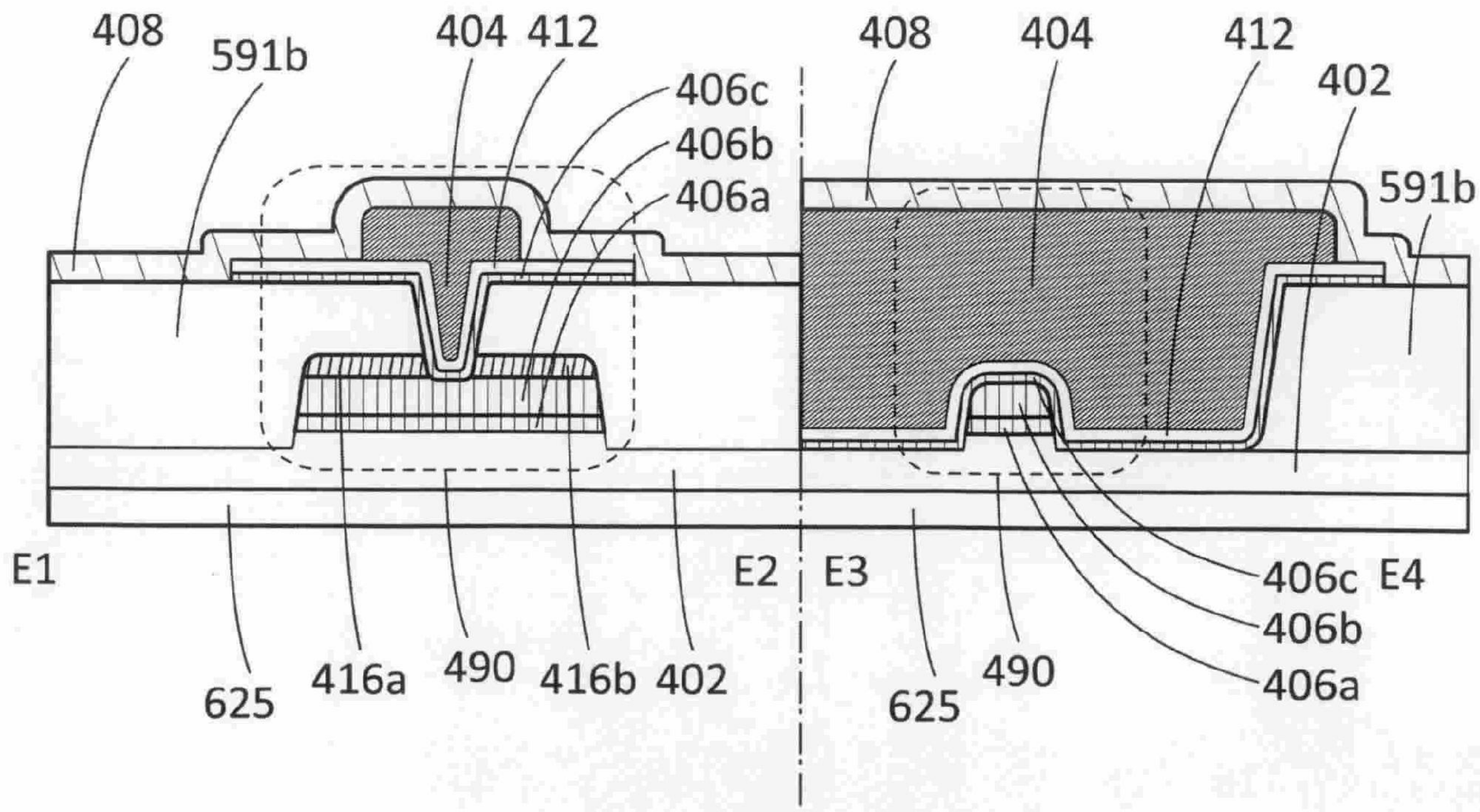

408
591b
404
412
406c
406b
406a
408
404
412
402
591b
E1
E2
E3
406c
E4
406b
406a
625
416a
490
416b
402
625
490

圖 28B

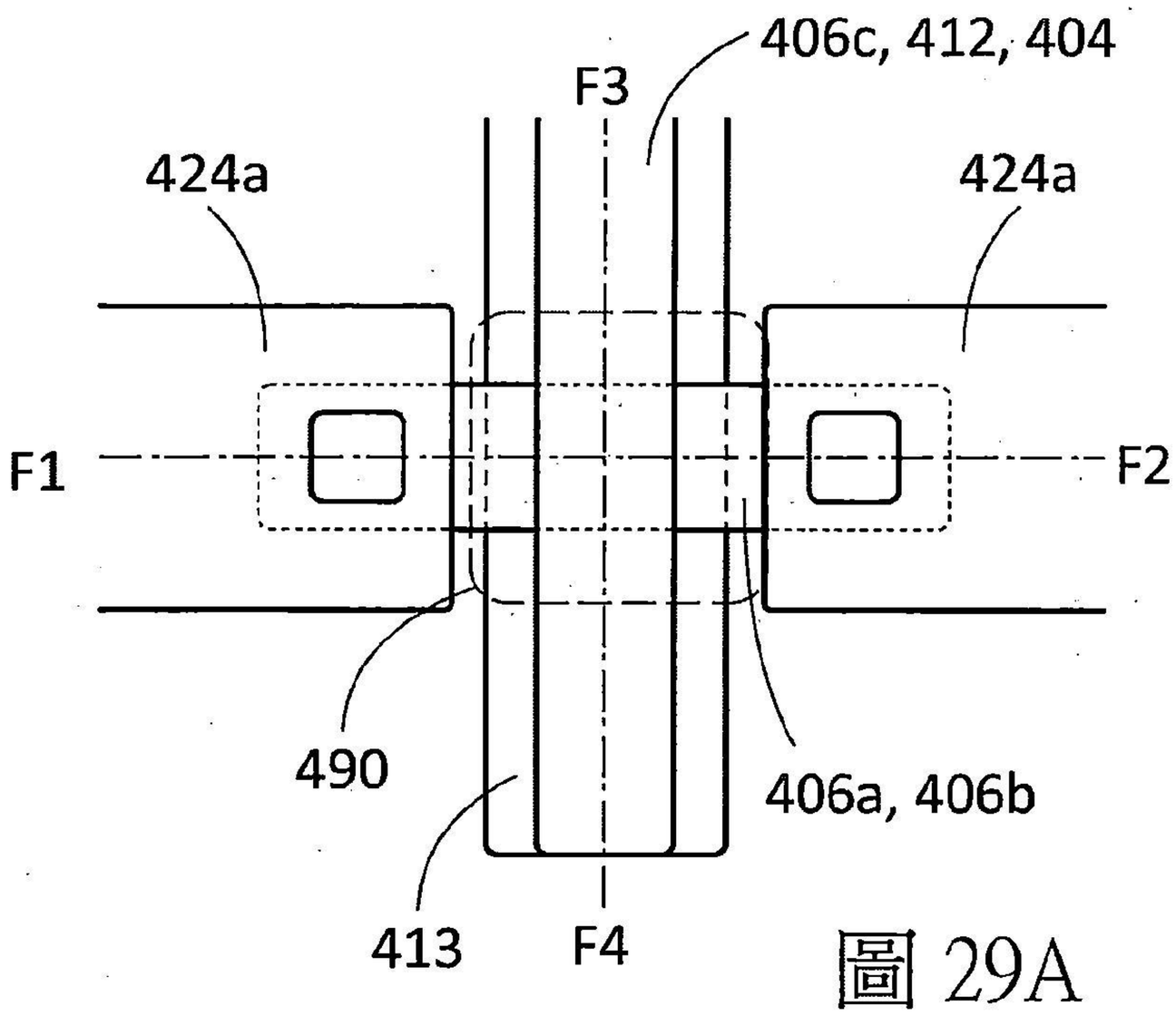

406c, 412, 404
F3
424a
424a
F1
F2
490
406a, 406b
413
F4

圖 29A

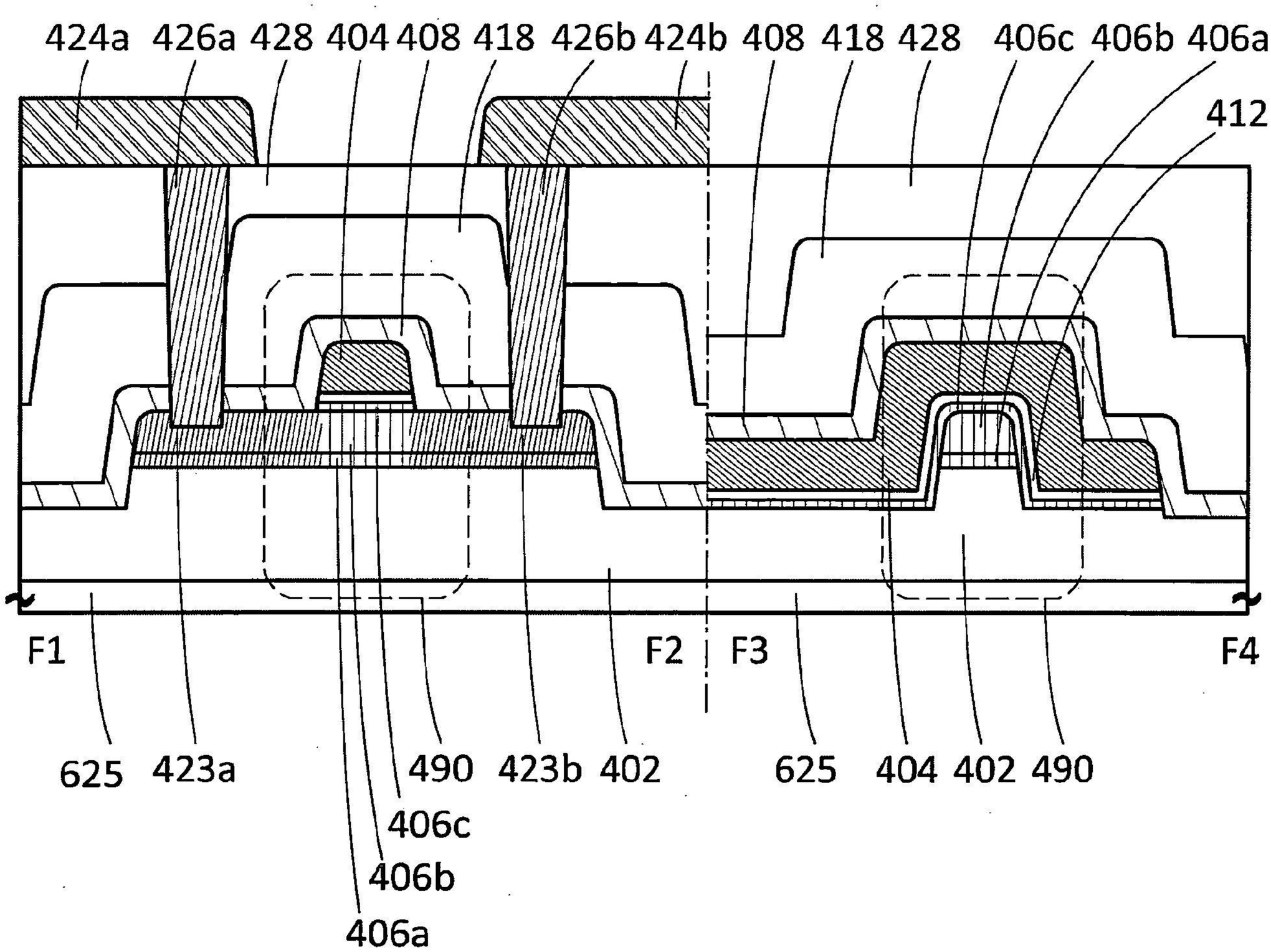

424a 426a 428 404 408 418 426b 424b 408 418 428 406c 406b 406a
412
F1
F2
F3
F4
625 423a 490 423b 402 625 404 402 490
406c
406b
406a

圖 29B

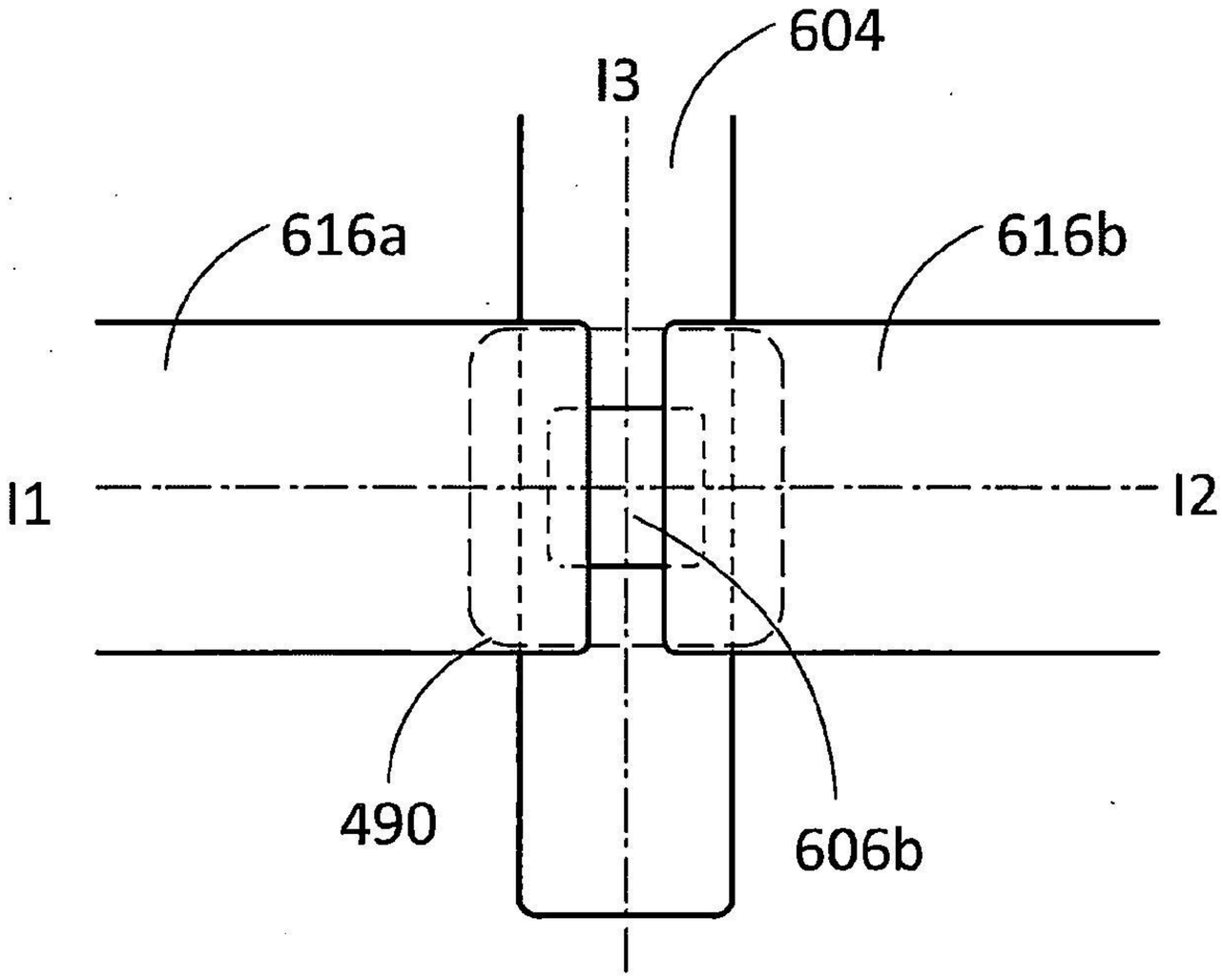

604
I3
616a
616b
I1
I2
490
606b
I4

圖 30A

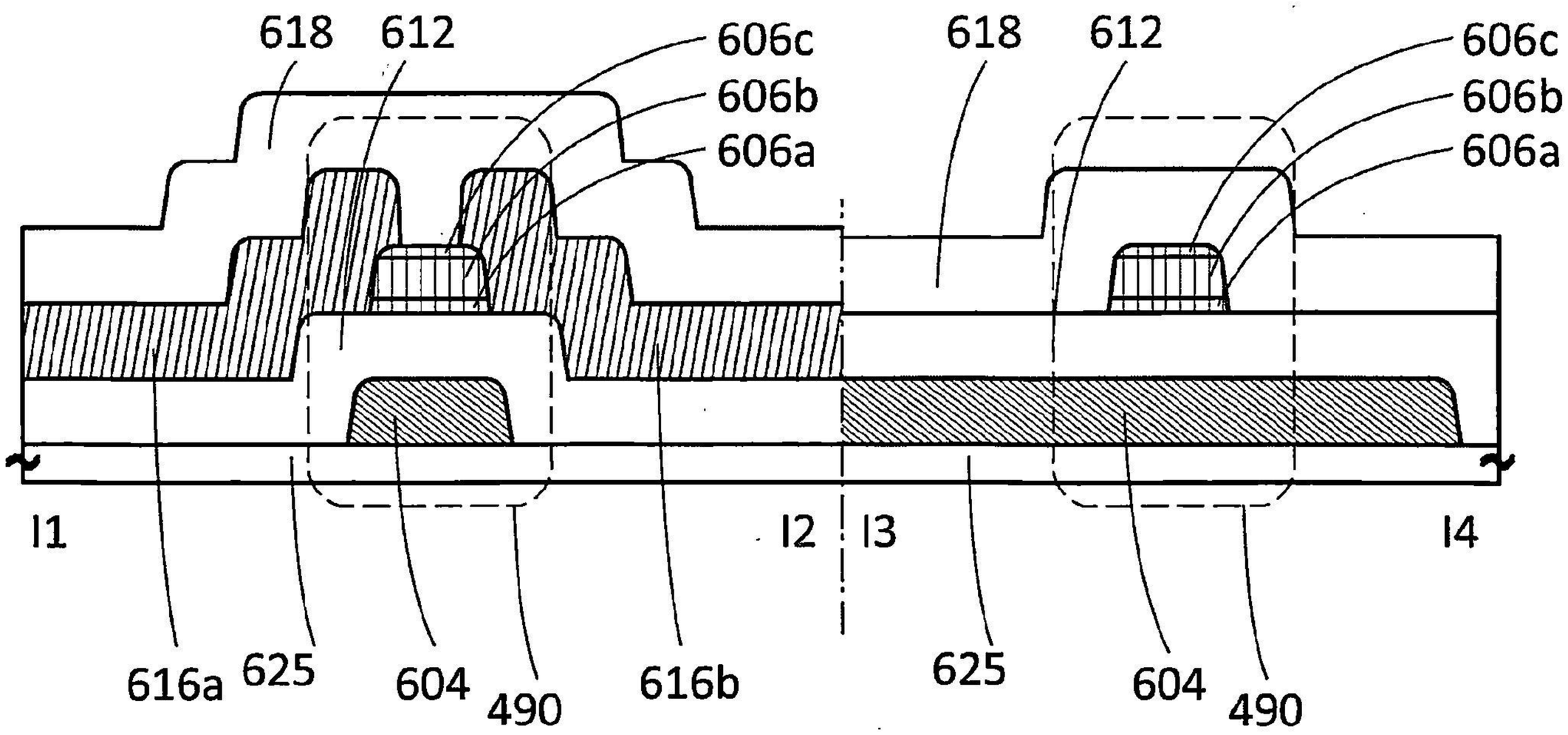

618
612
606c
606b
606a
618
612
606c
606b
606a
I1
I2
I3
I4
616a
625
604
490
616b
625
604
490

圖 30B

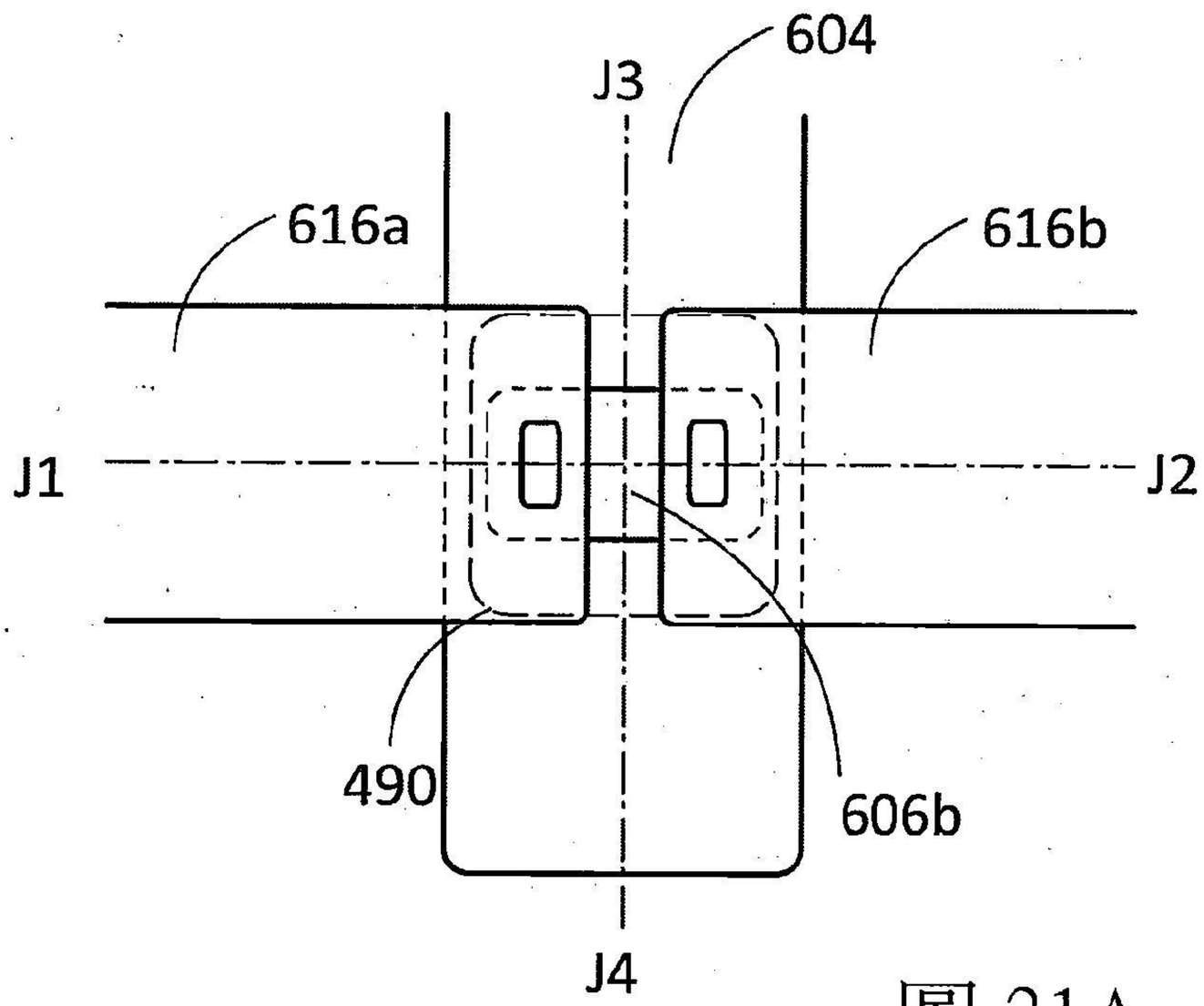

604
J3
616a
616b
J1
J2
490
606b
J4

圖 31A

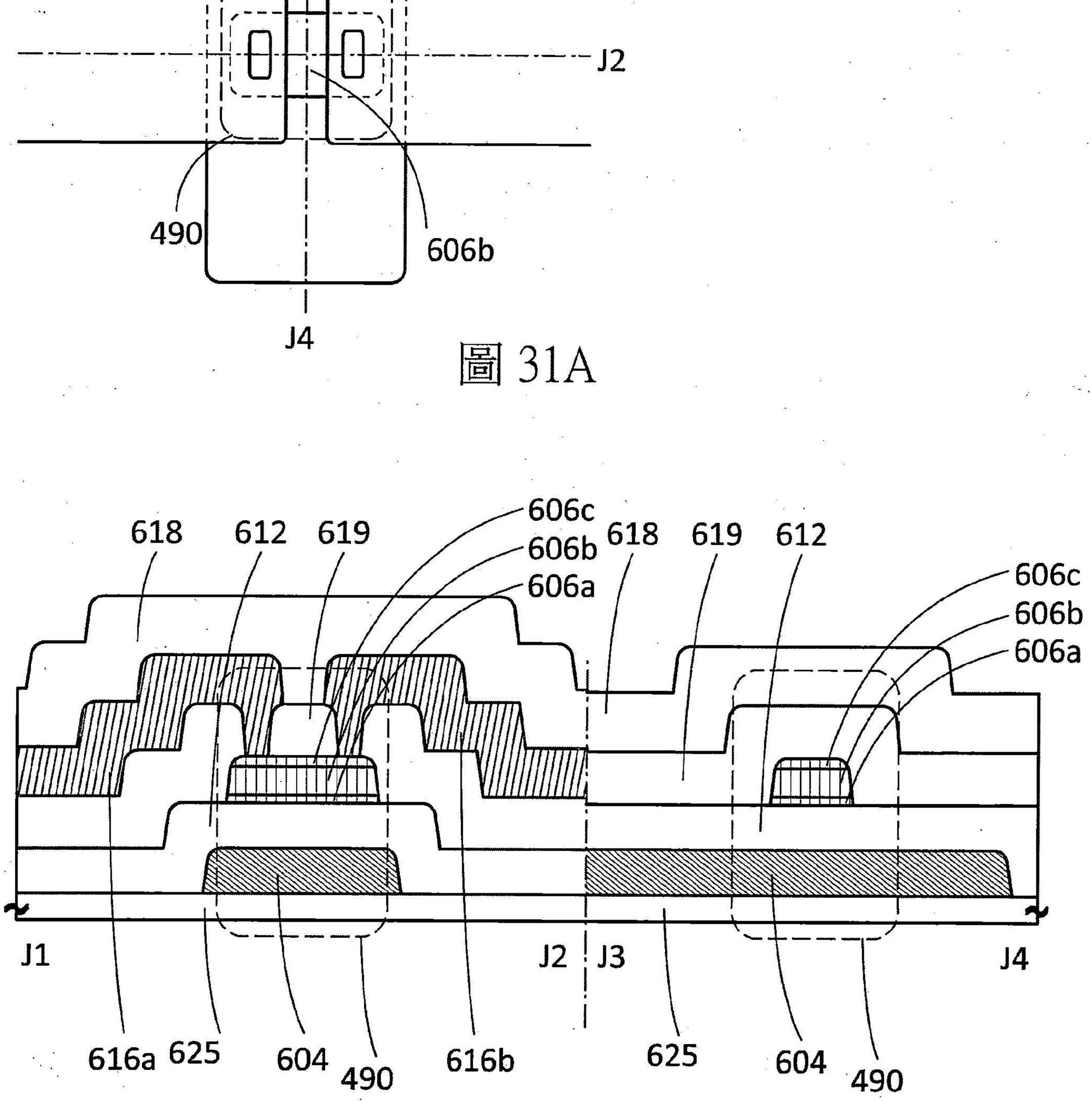

618
612
619
606c
606b
606a
618
619
612
606c
606b
606a
J1
J2
J3
J4
616a
625
604
490
616b
625
604
490

圖 31B

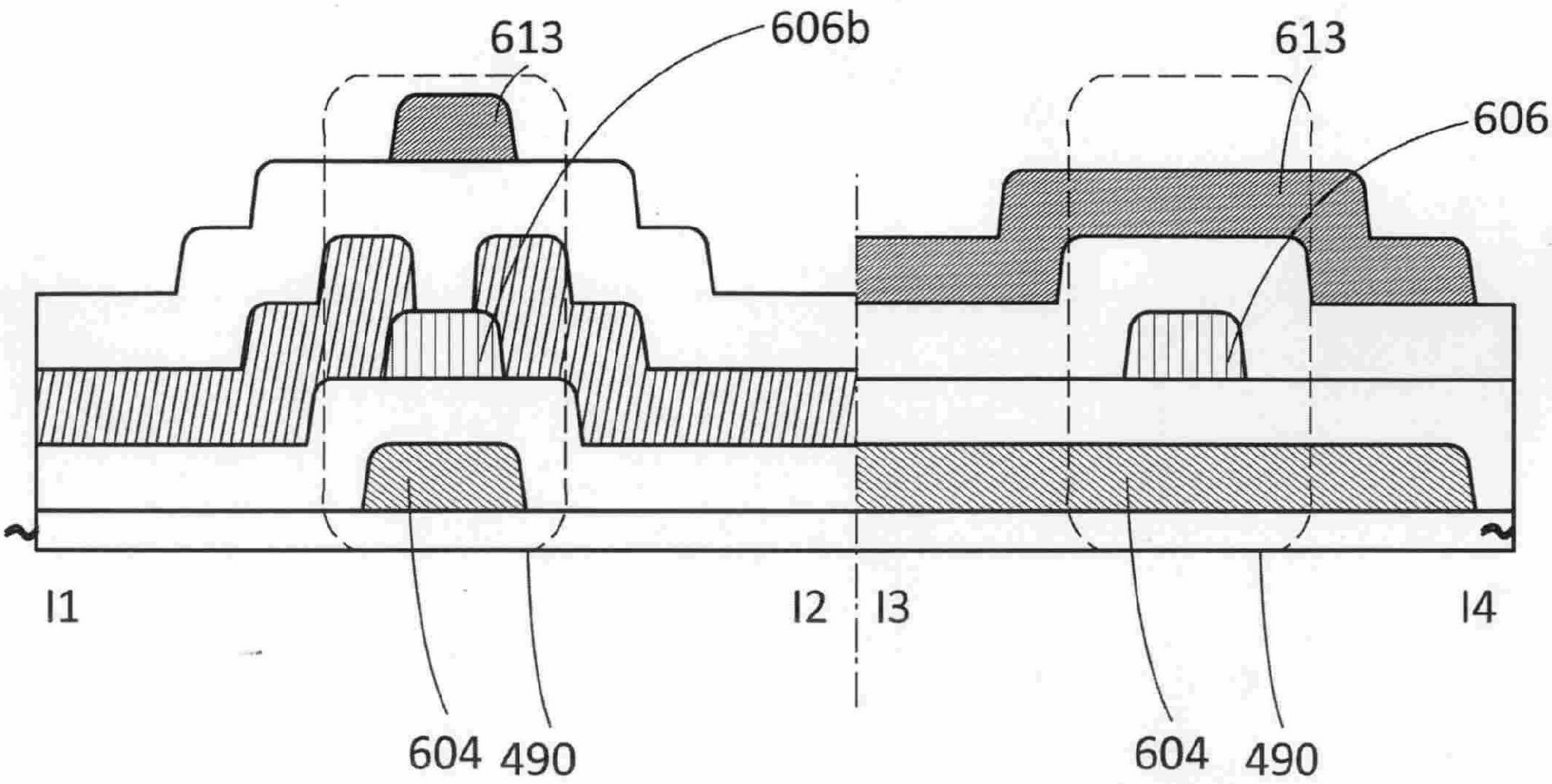

613
606b
613
606b
I1
I2
I3
I4
604
490
604
490

圖 32A

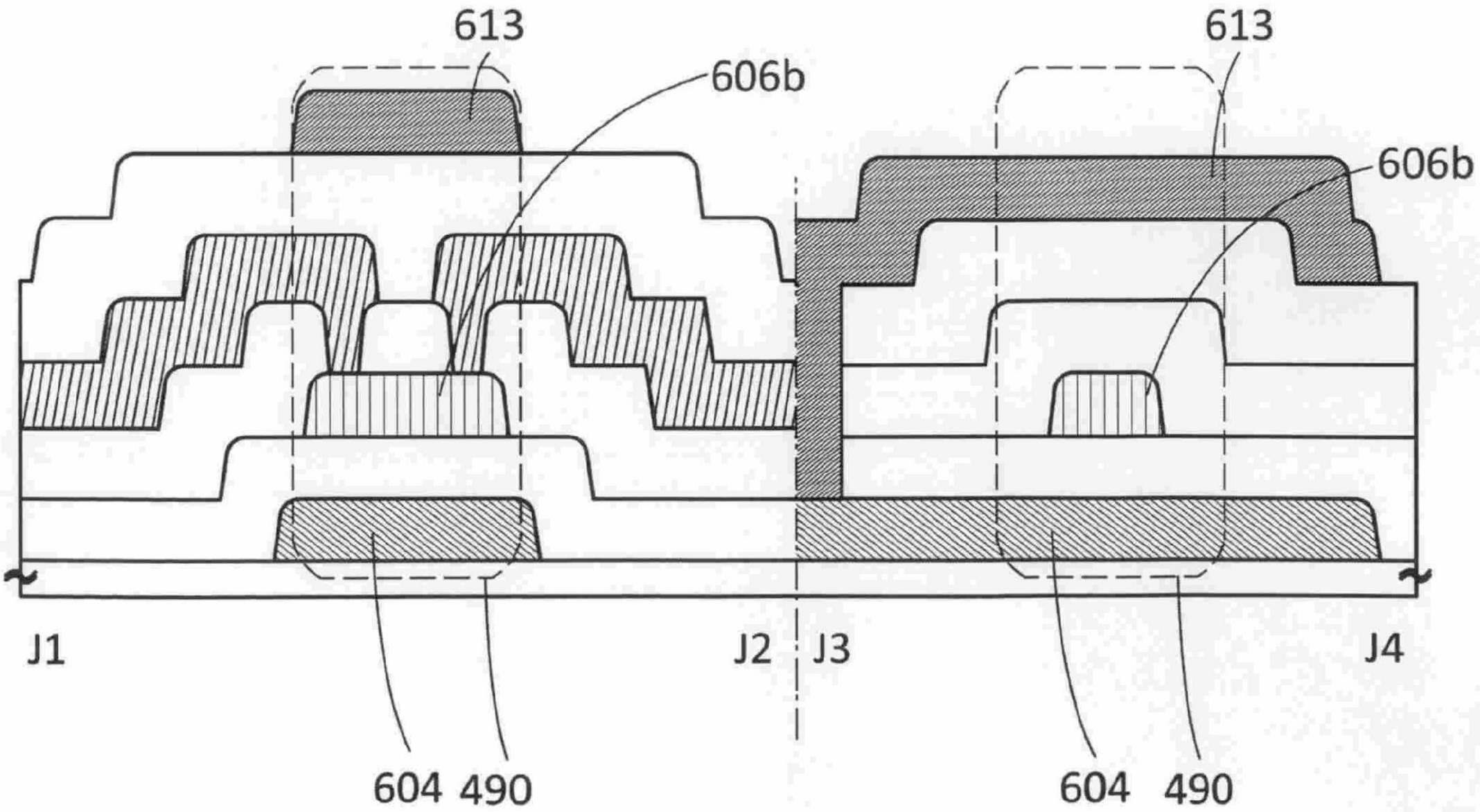

613
606b
613
606b
J1
J2
J3
J4
604
490
604
490

圖 32B

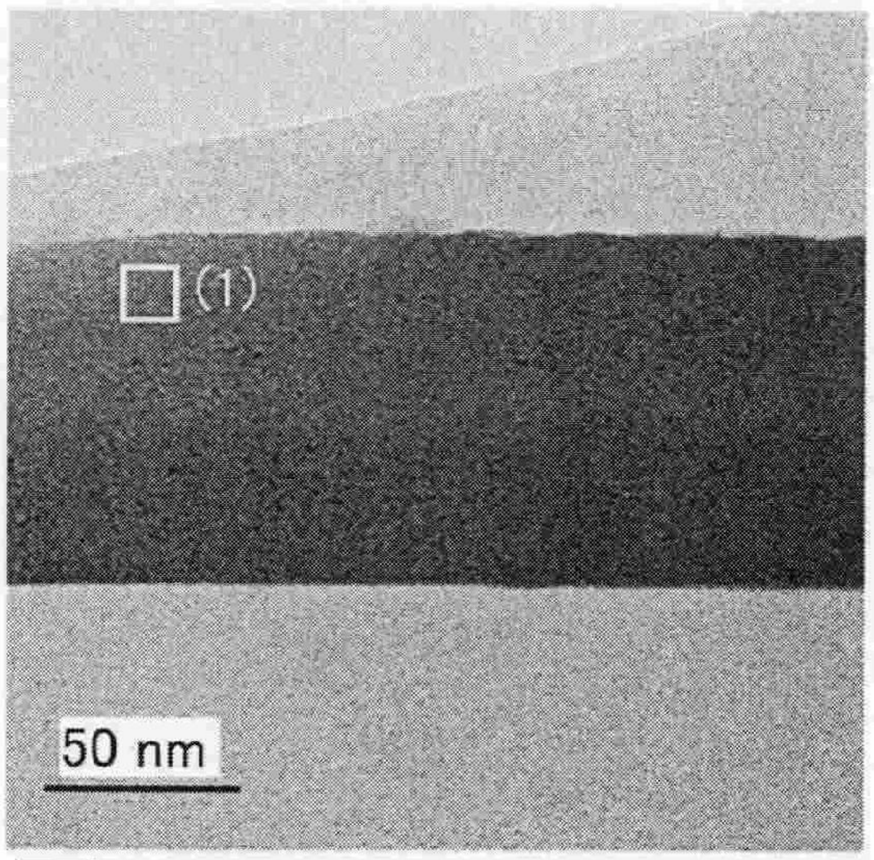


圖 33A

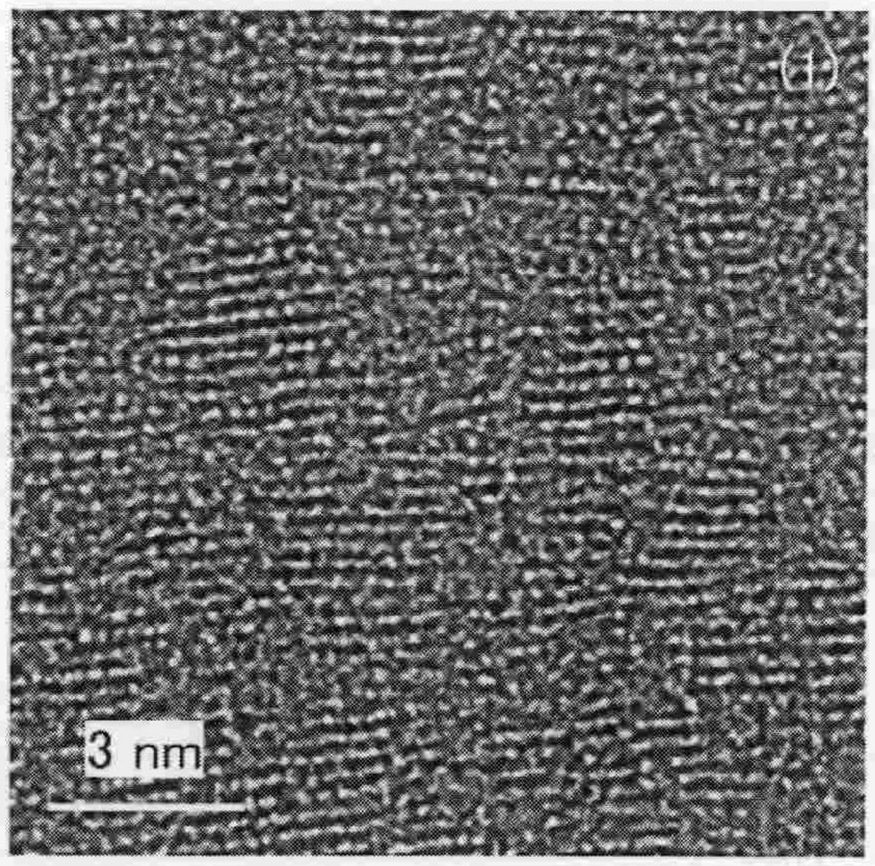


圖 33B

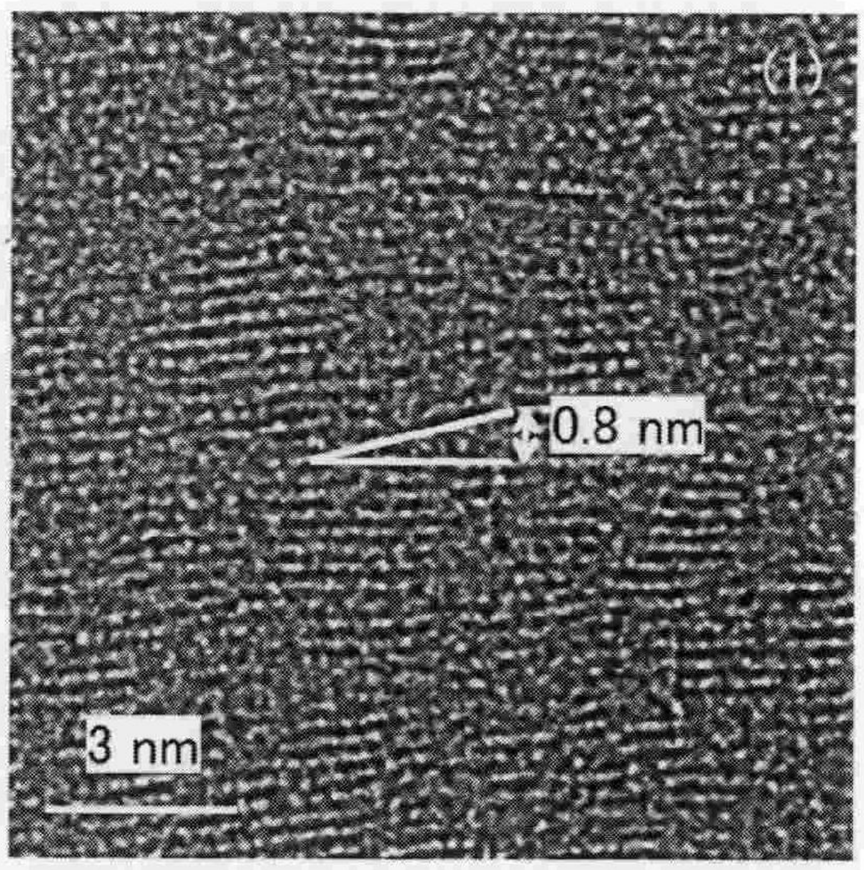


圖 33C

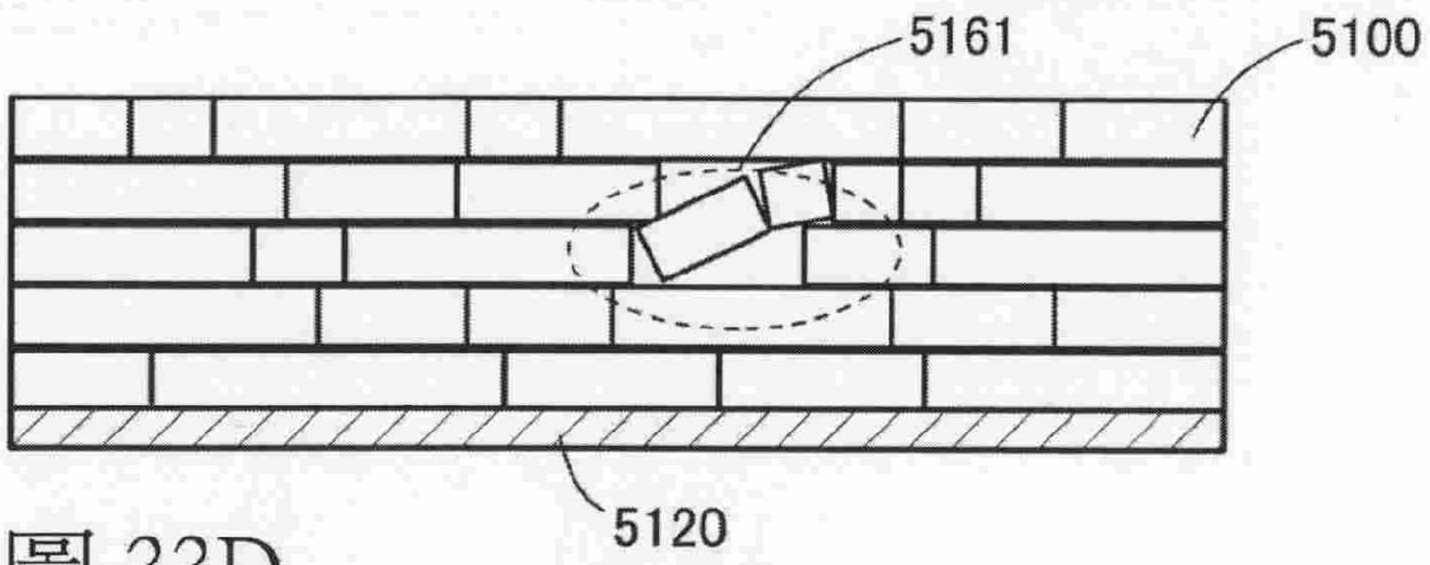


圖 33D

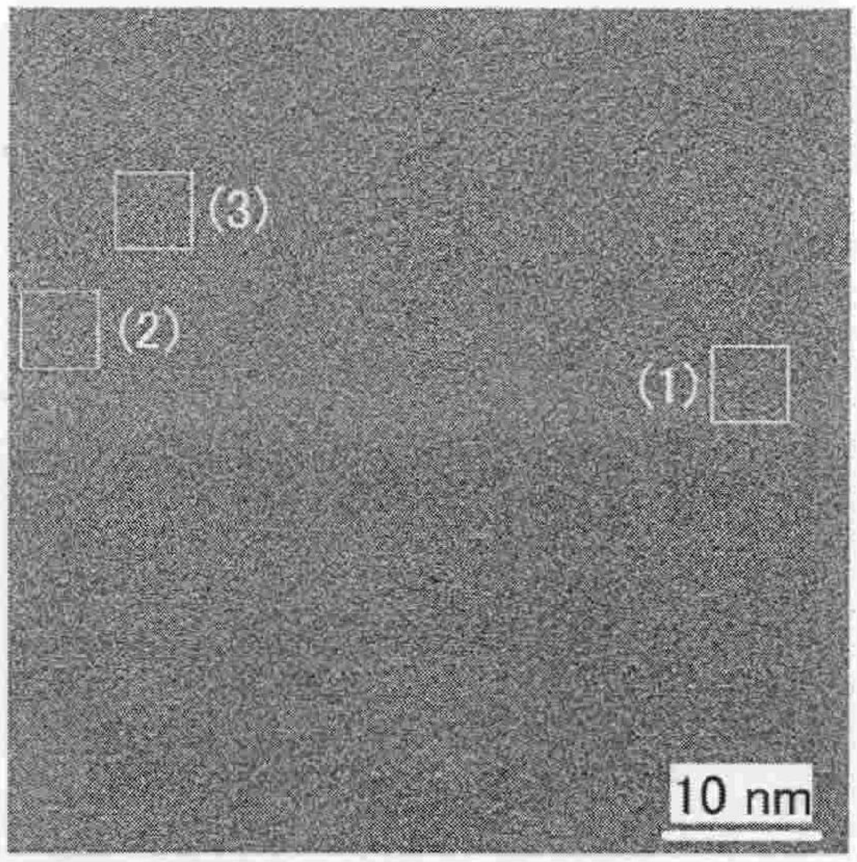


圖 34A

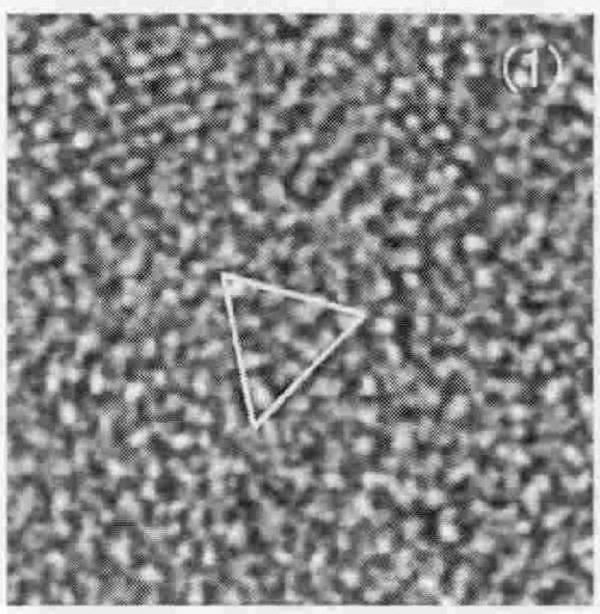


圖 34B

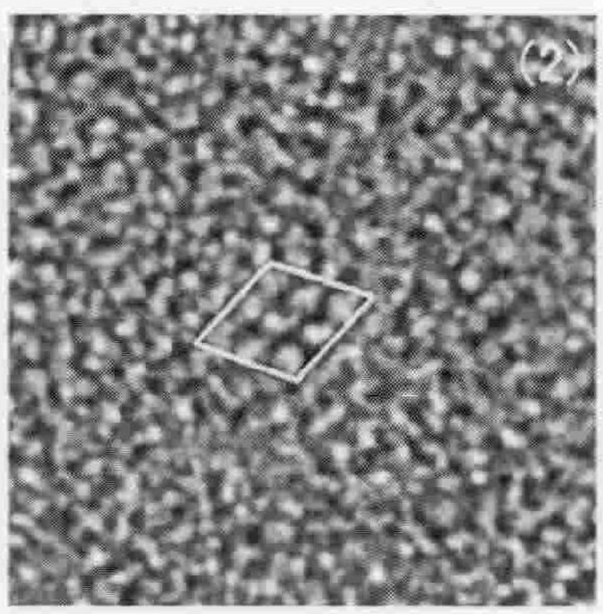


圖 34C

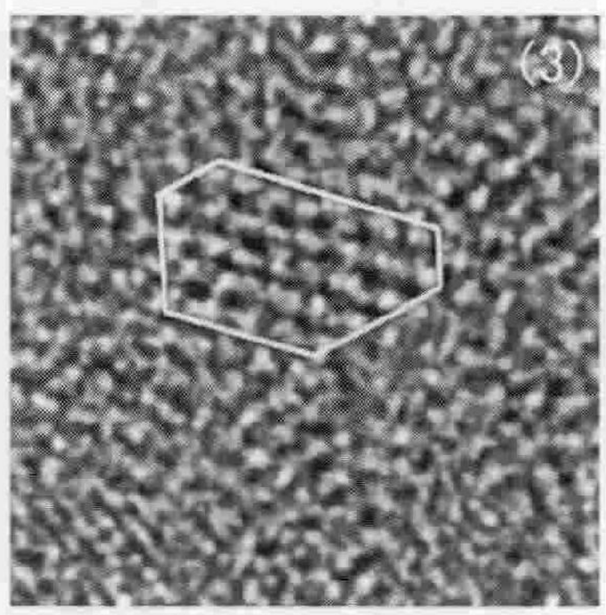


圖 34D

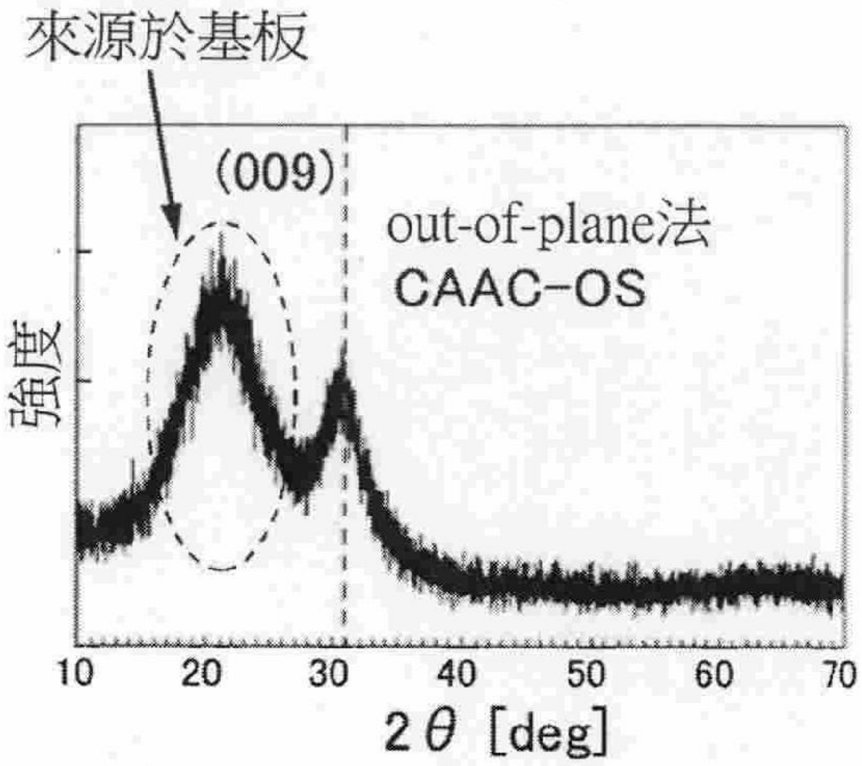


圖 35A

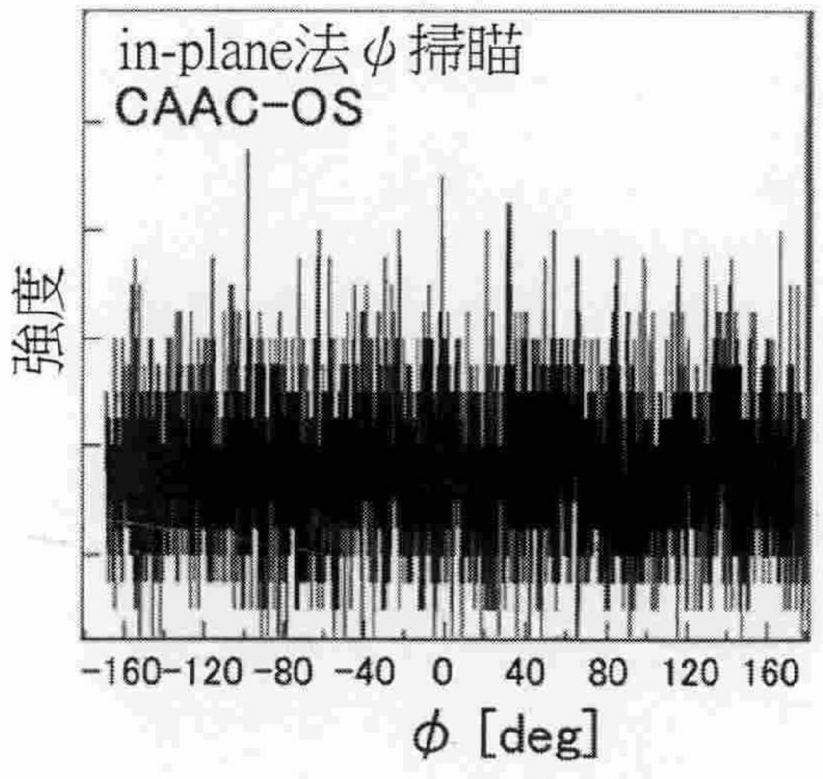


圖 35B

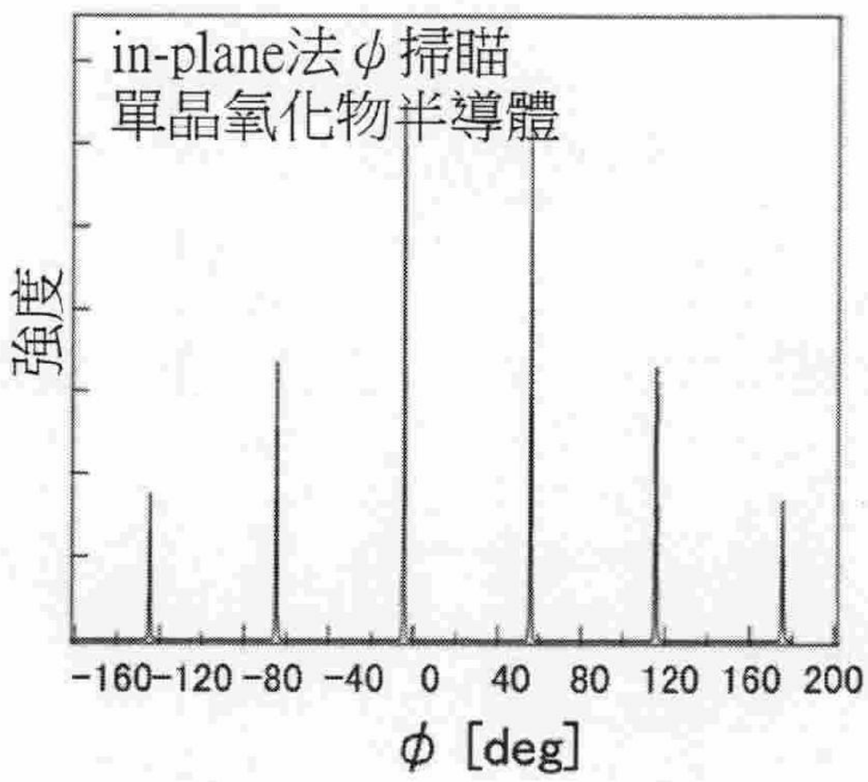


圖 35C

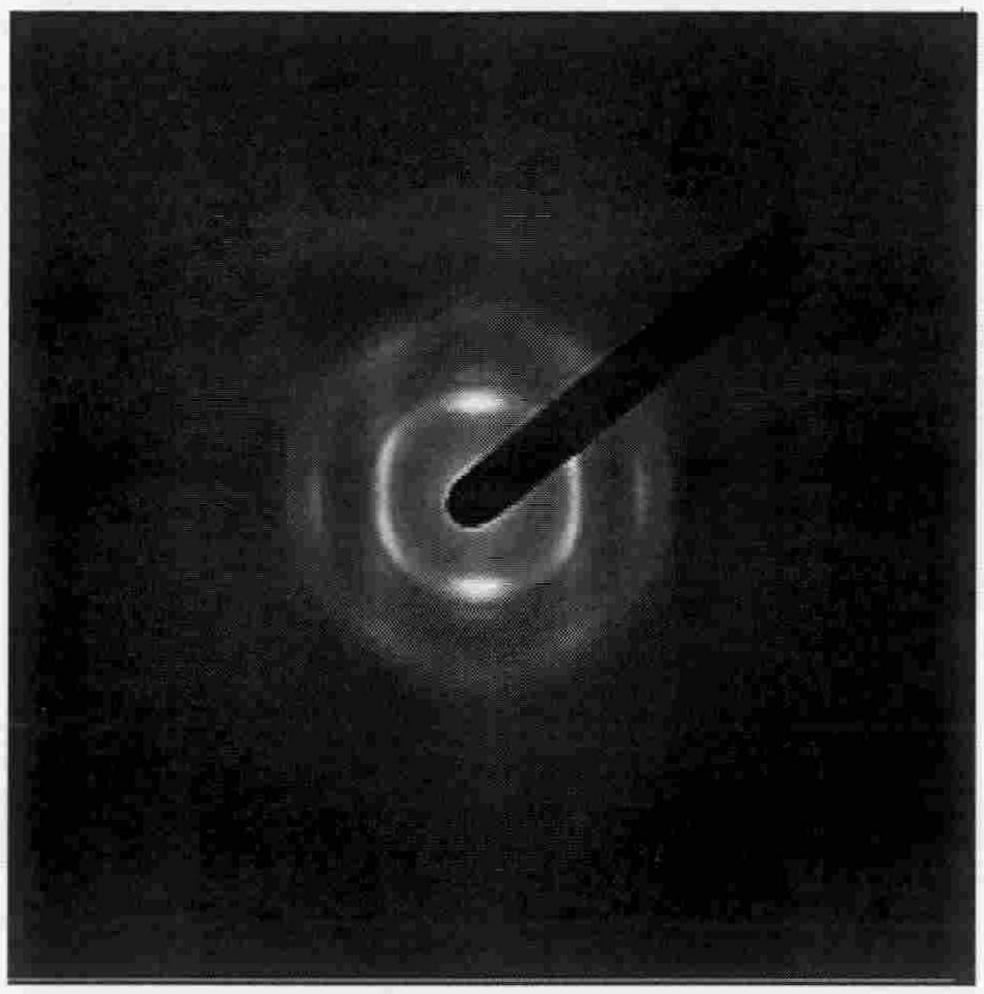


圖 36A

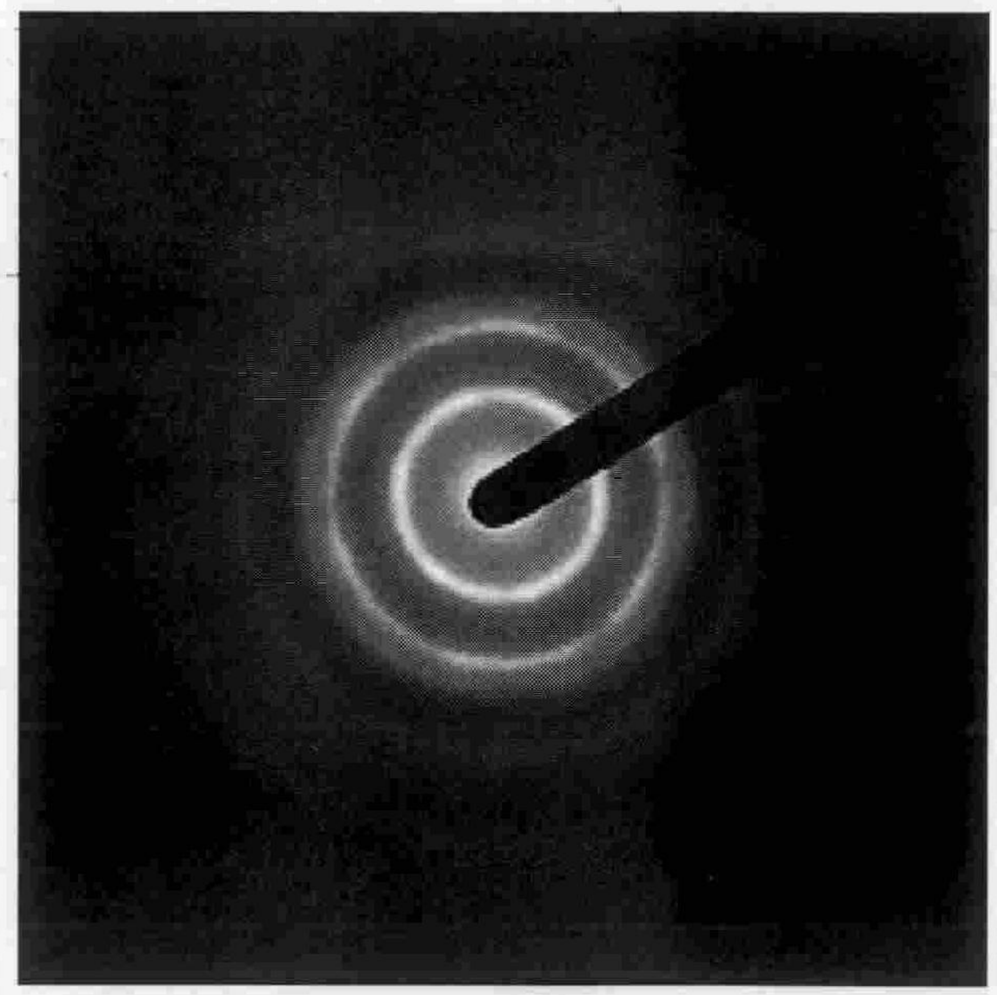


圖 36B

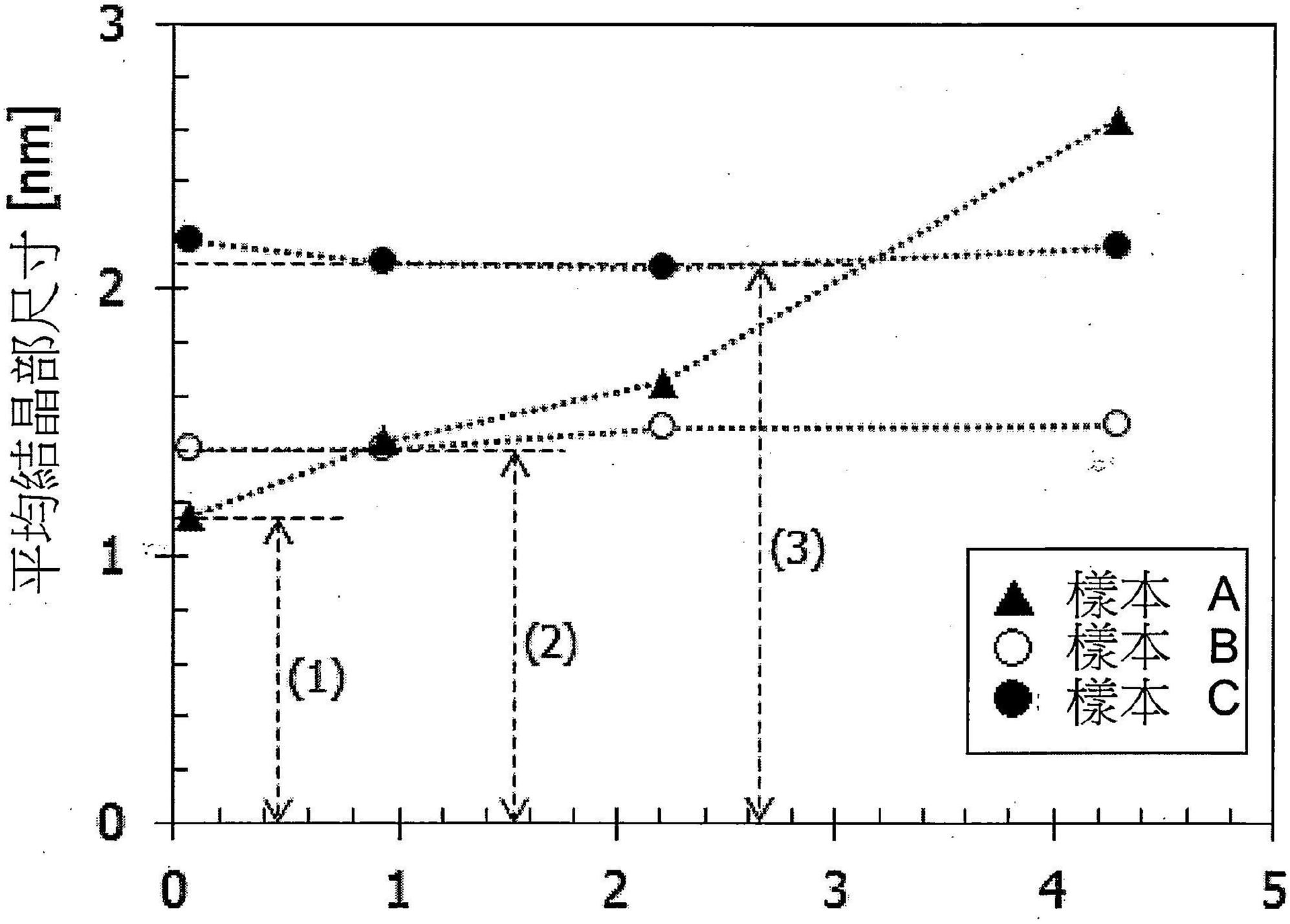


圖 37

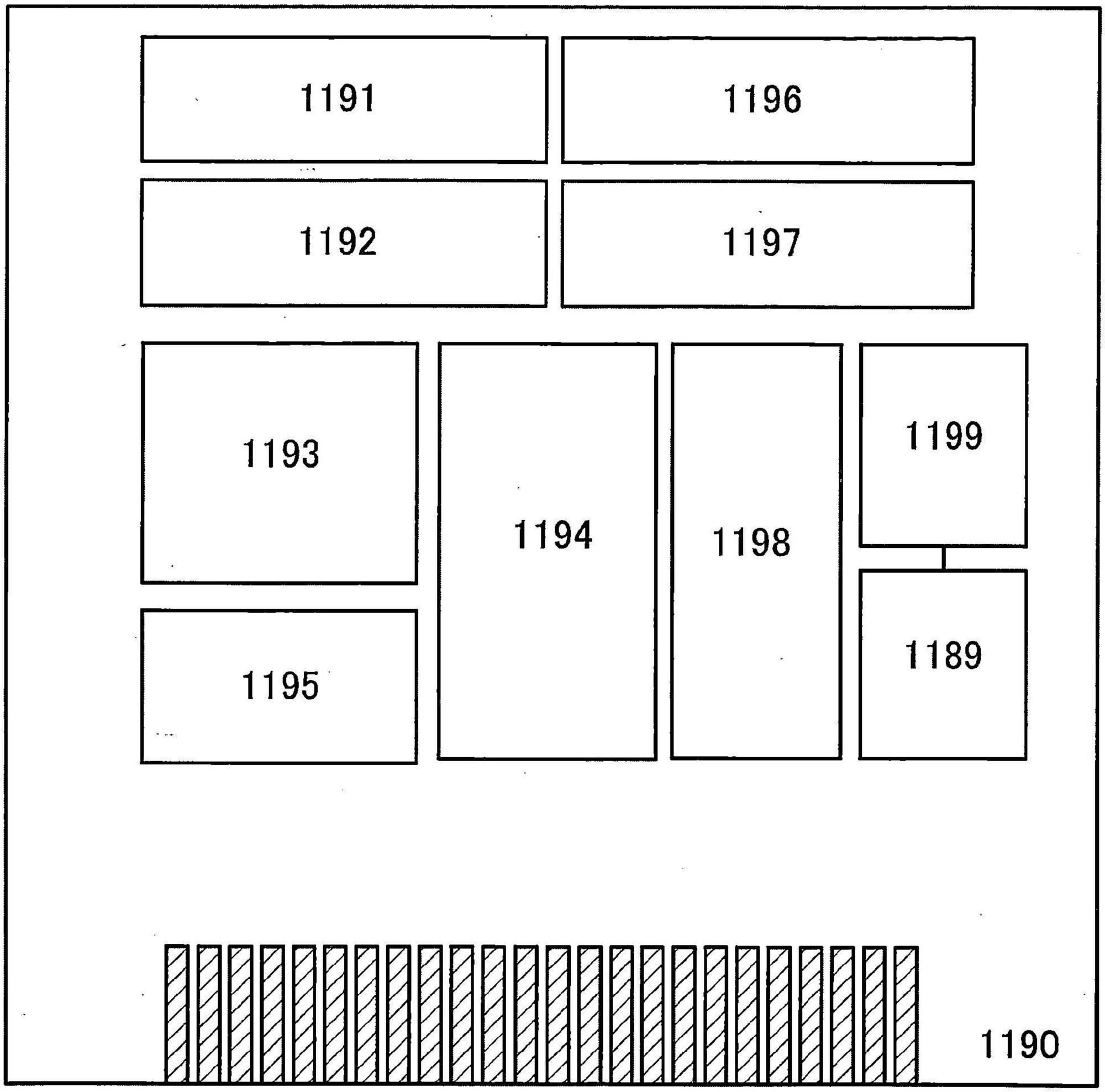


圖 38

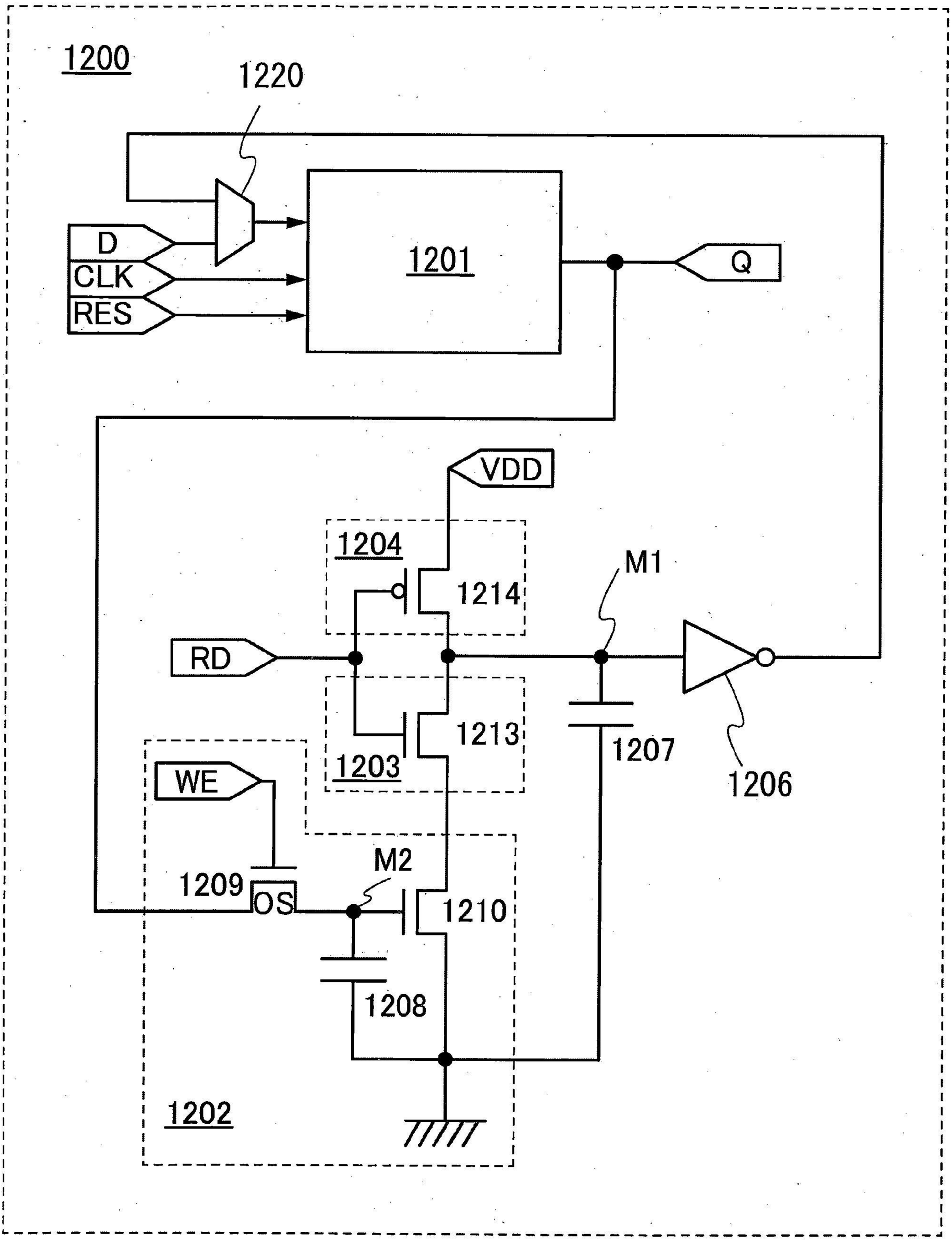

1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
RD
1213
1207
1203
WE
1206
M2
1209
OS
1210
1208
1202

圖 39

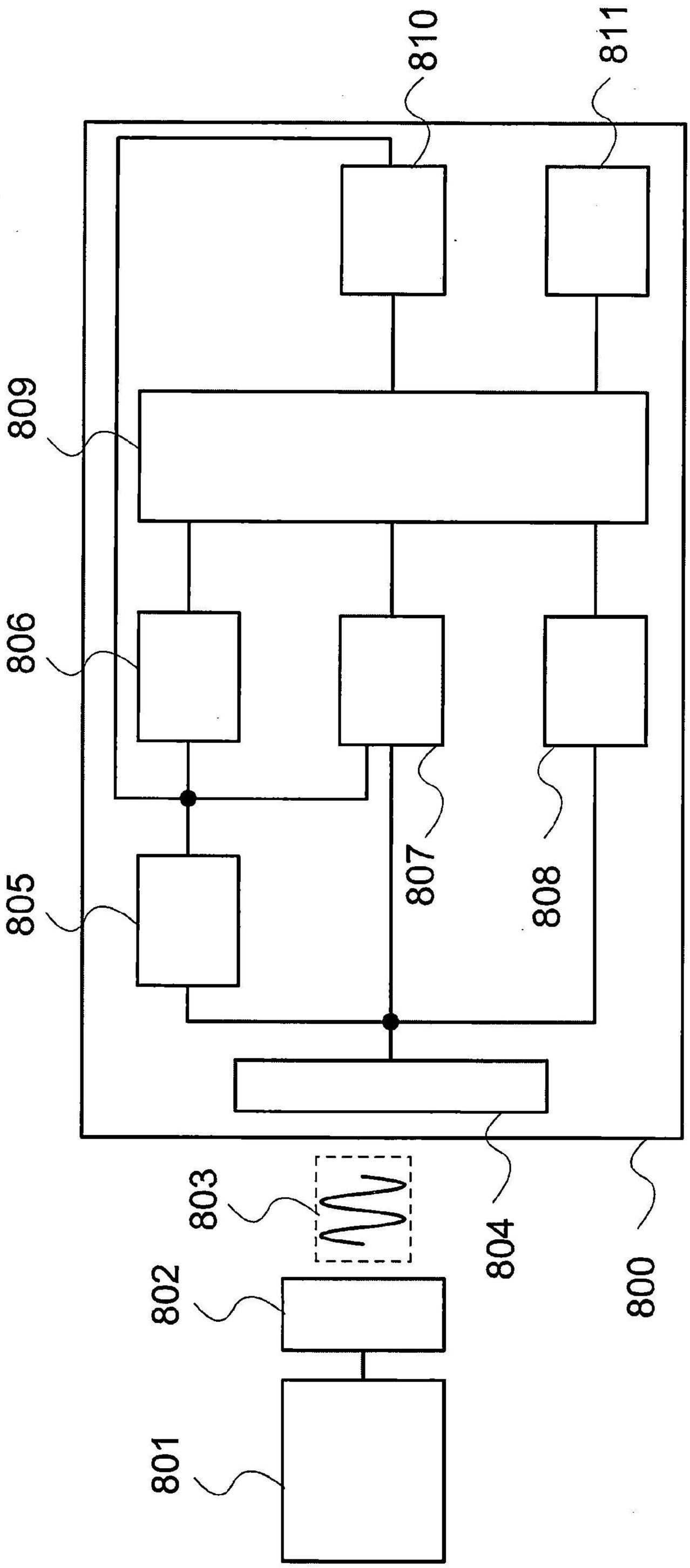


圖 40

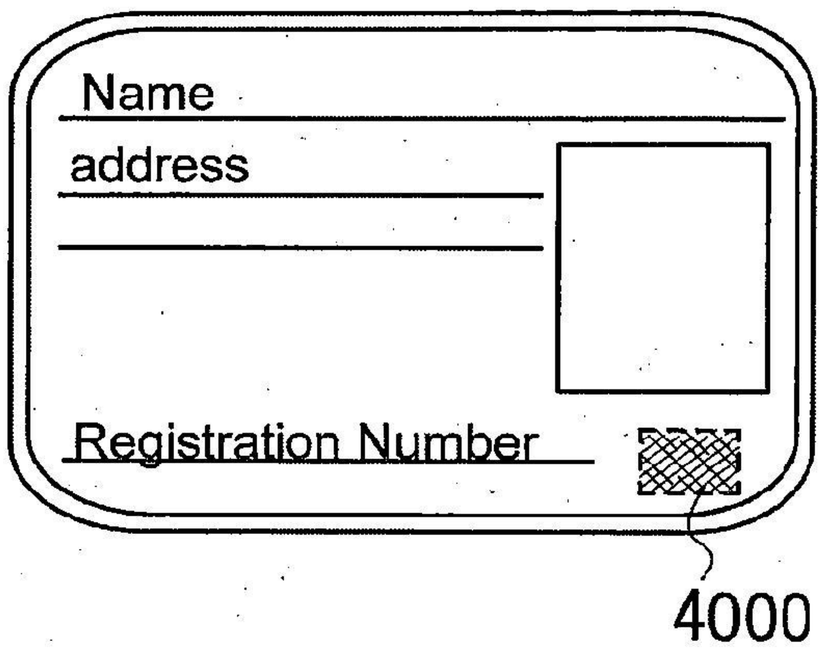


圖 41A

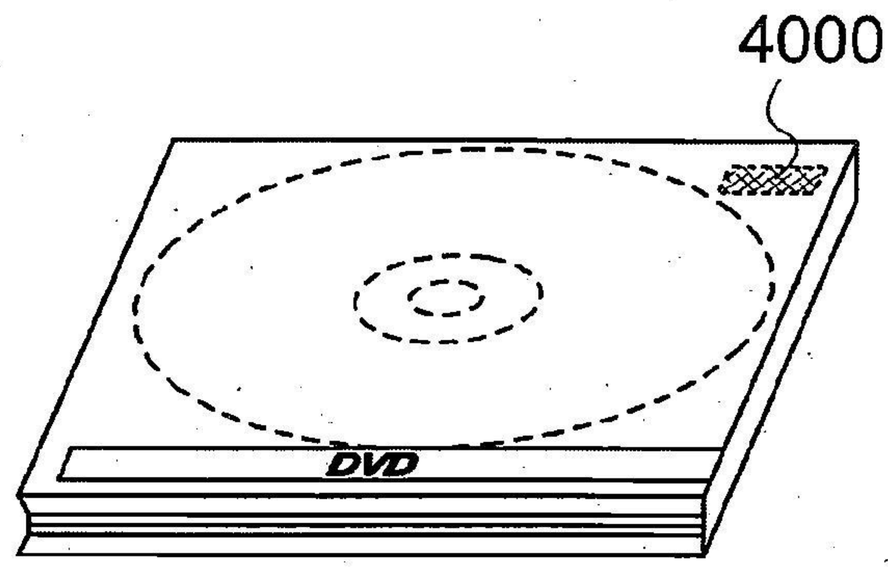


圖 41B

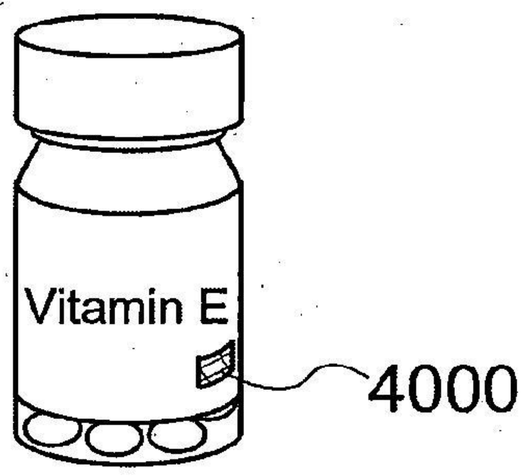


圖 41C

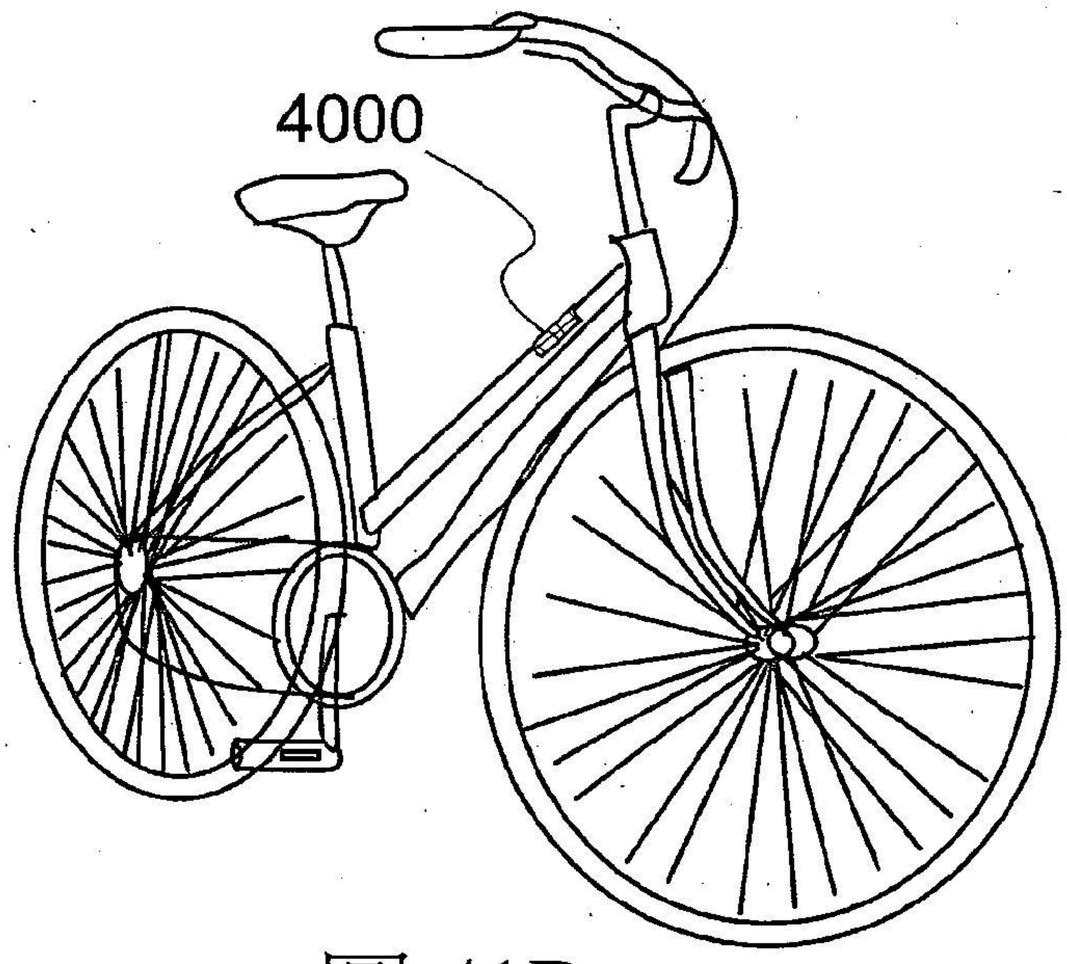


圖 41D

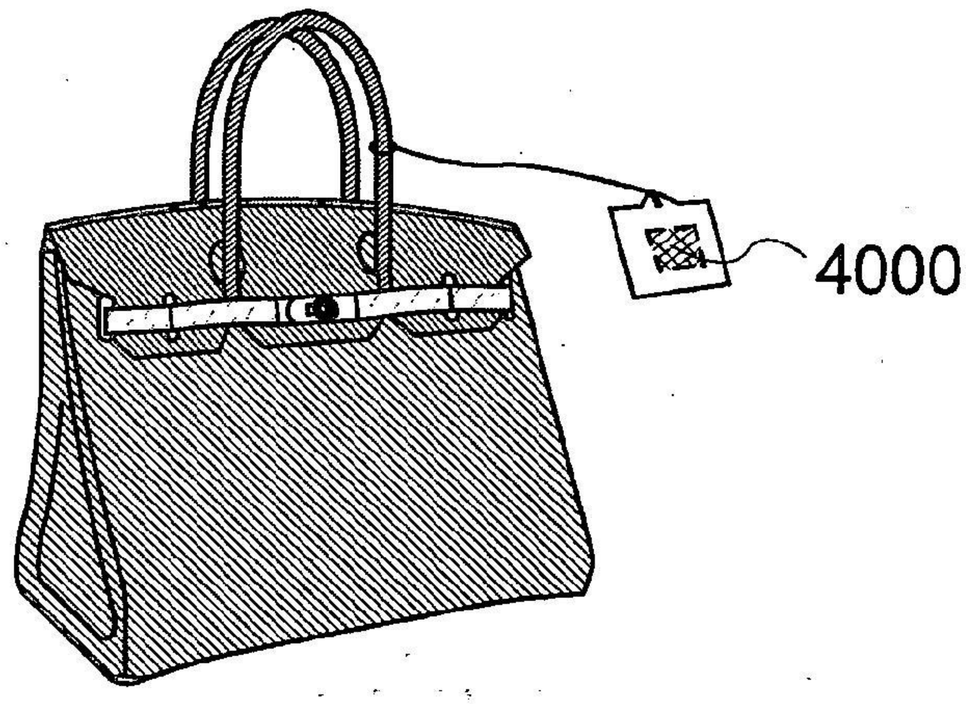


圖 41E

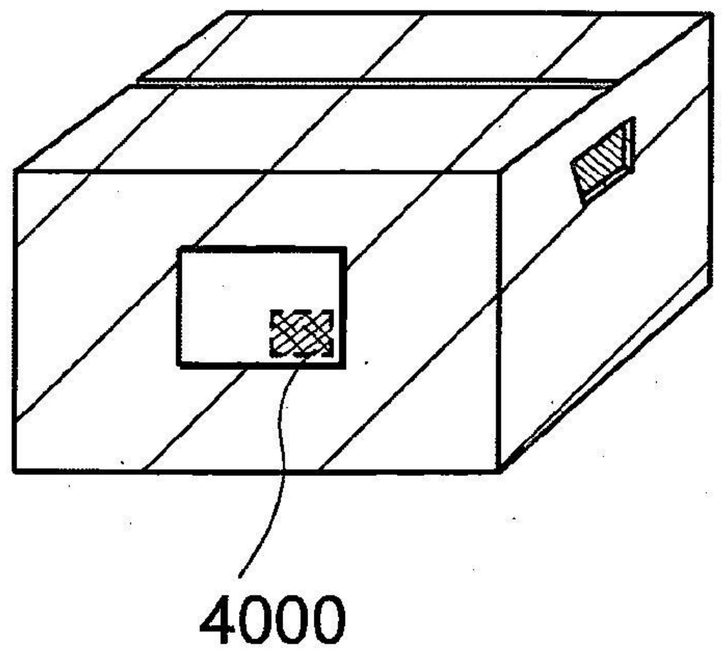


圖 41F

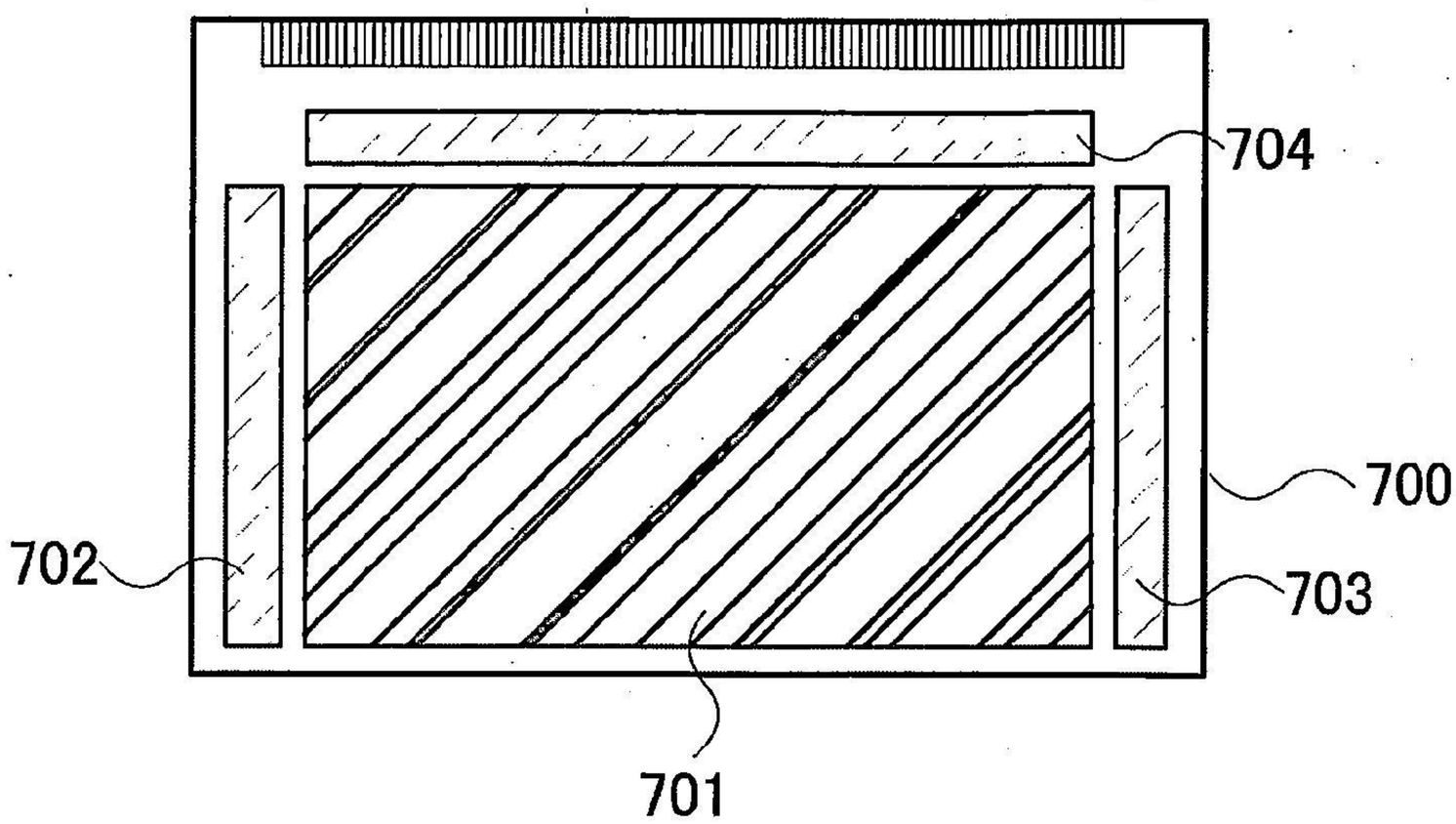


圖 42A

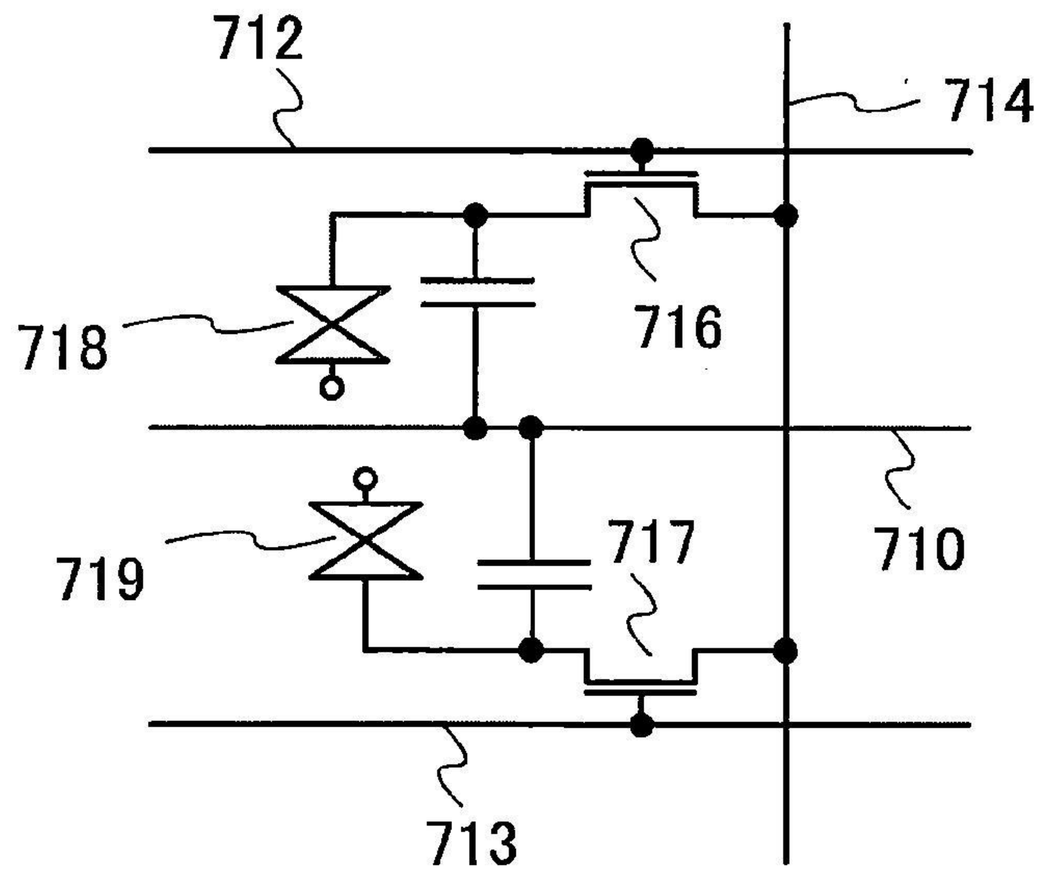


圖 42B

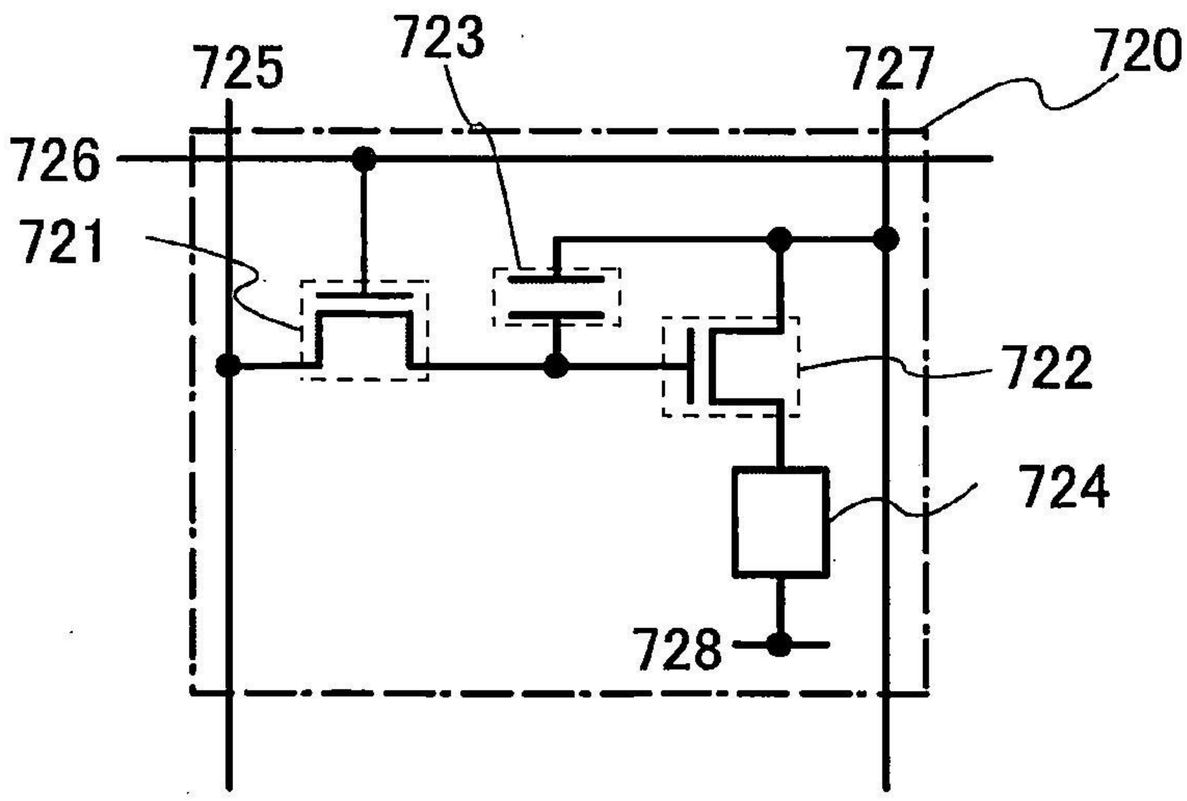


圖 42C

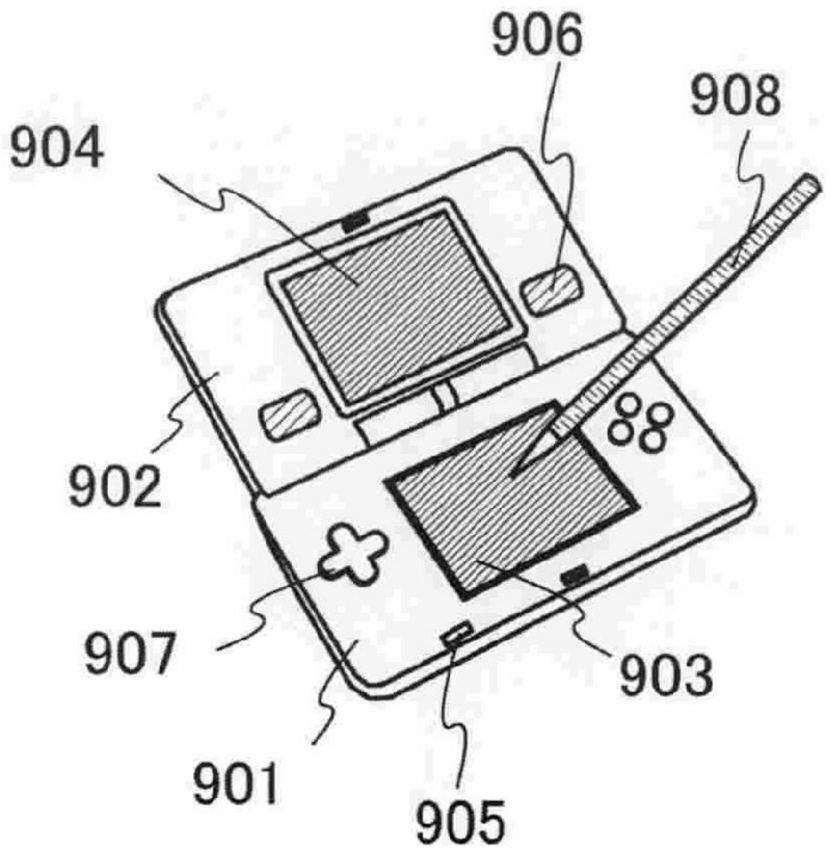


圖 43A

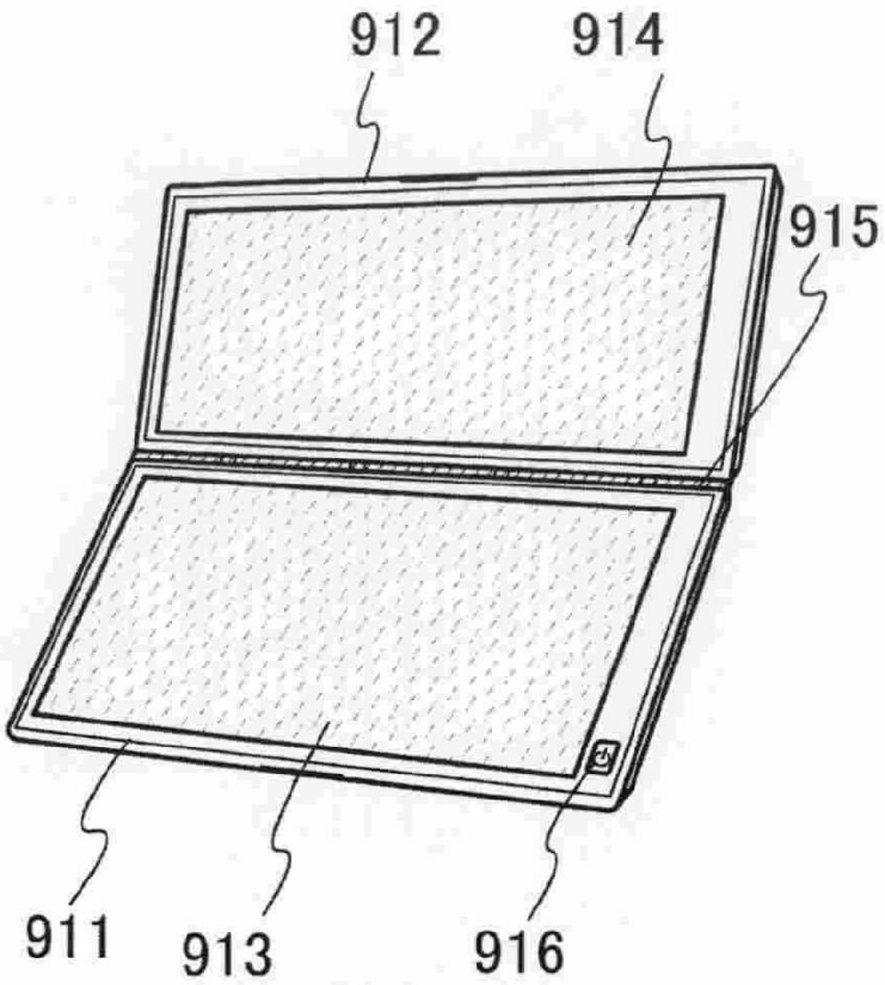


圖 43B

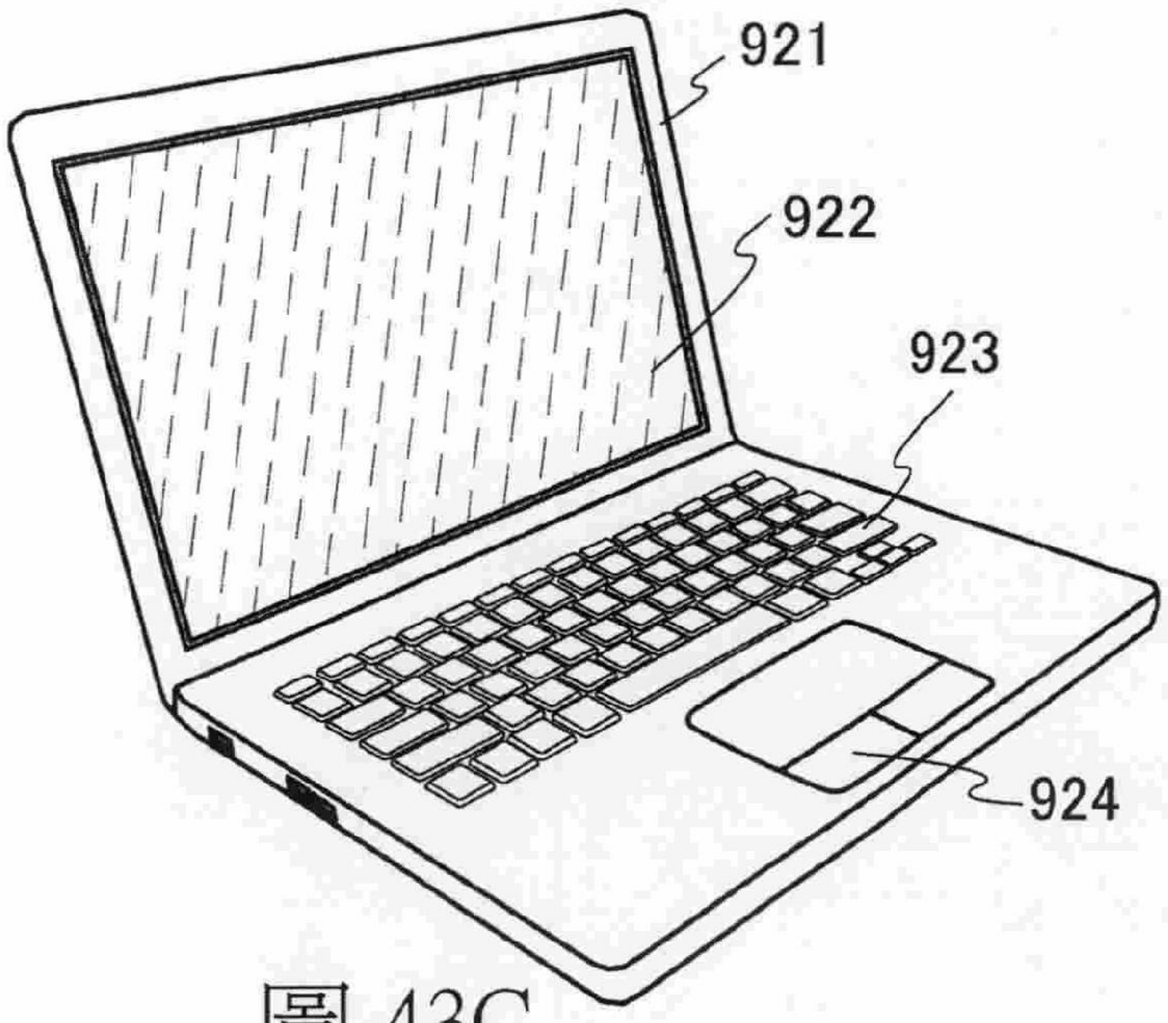


圖 43C

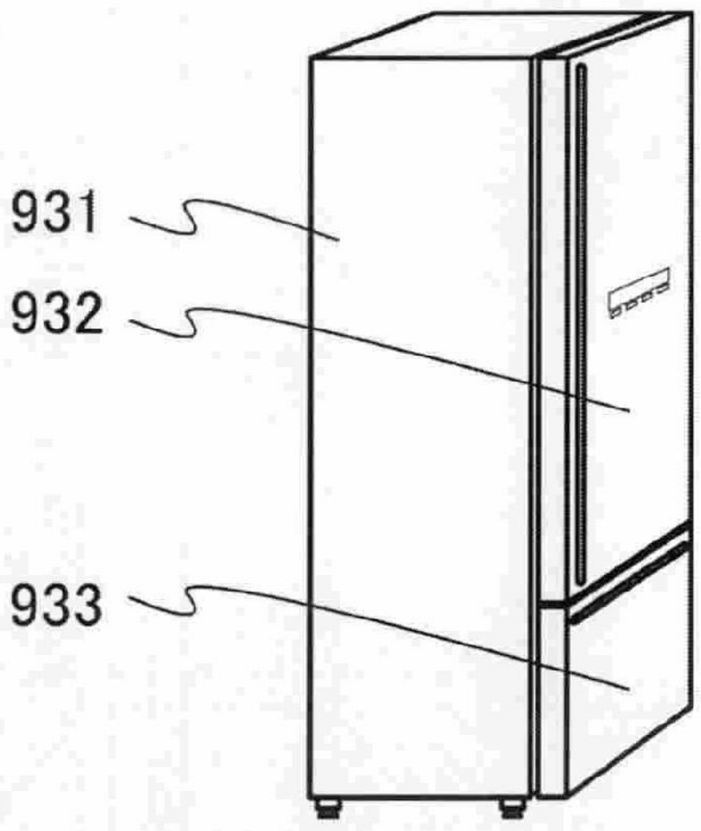


圖 43D

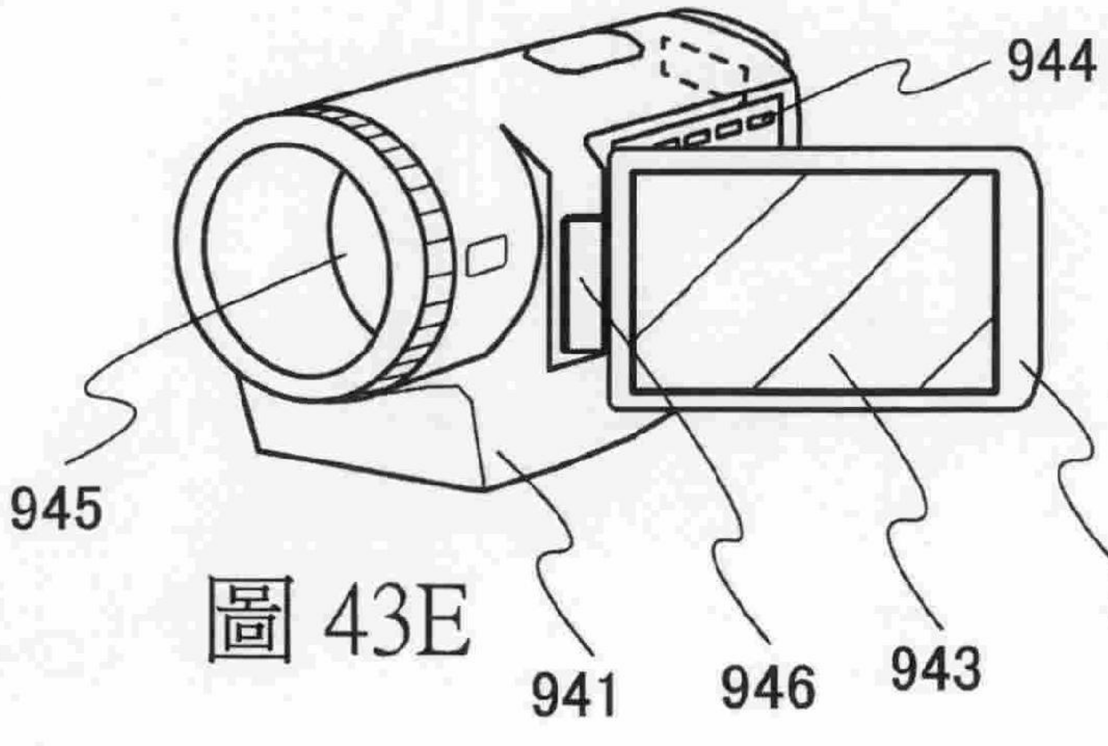


圖 43E

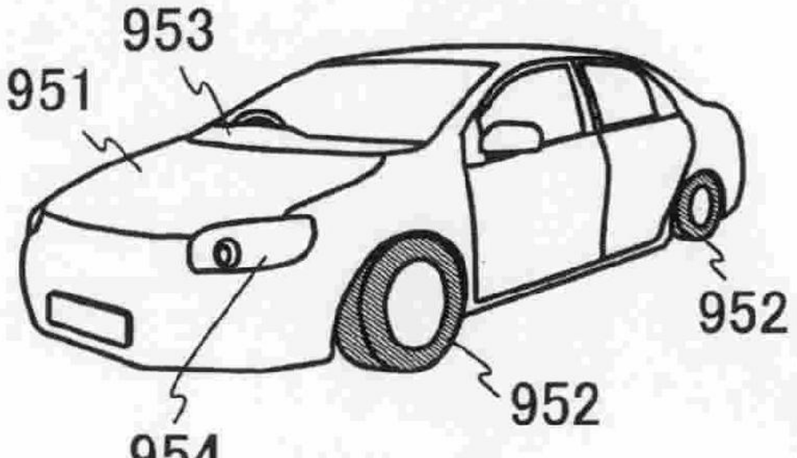


圖 43F

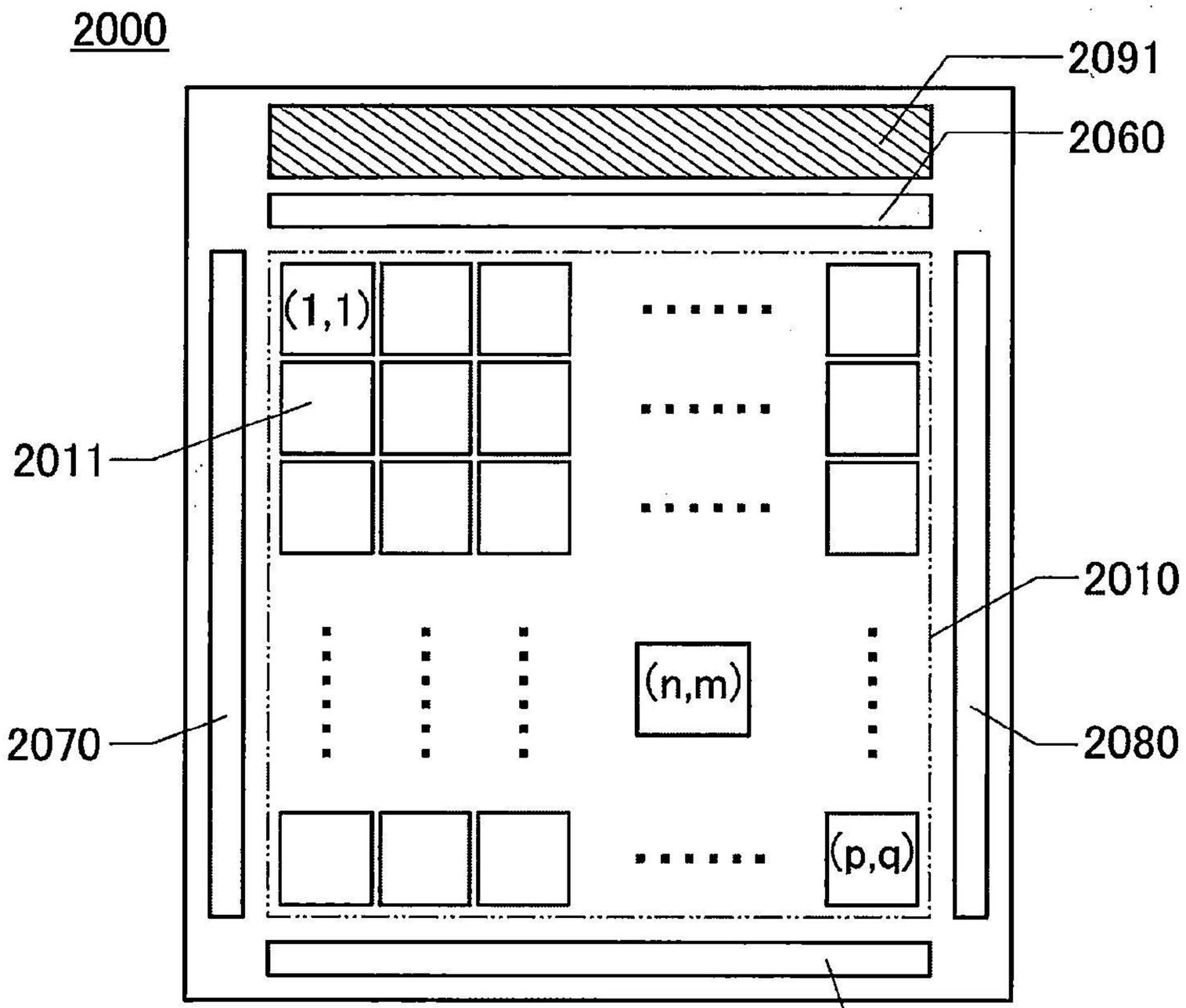

2000
2091
2060
(1,1)
2011
2010
(n,m)
2070
2080
(p,q)
2090

圖 44A

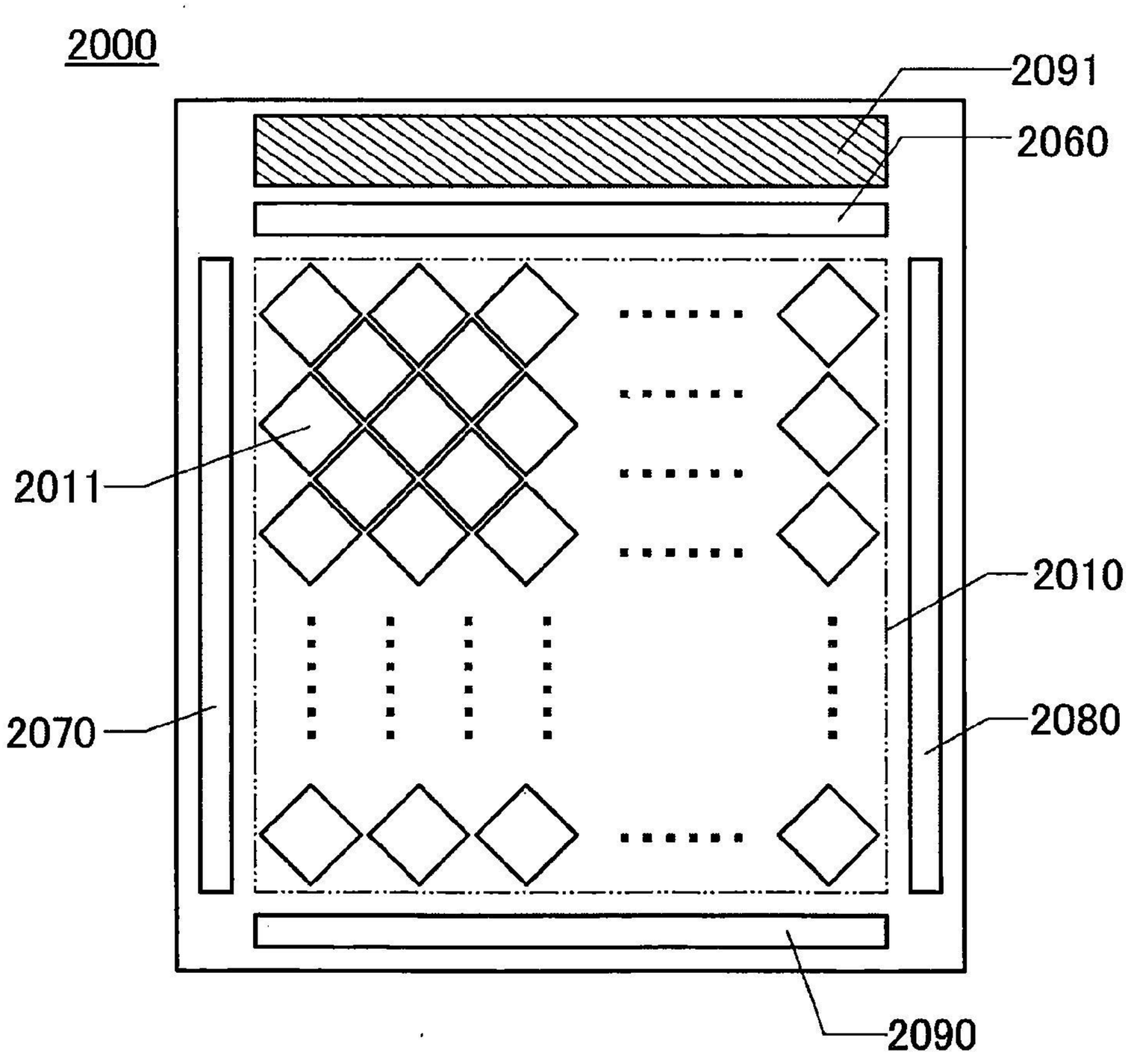

2000
2091
2060
2011
2010
2070
2080
2090

圖 44B

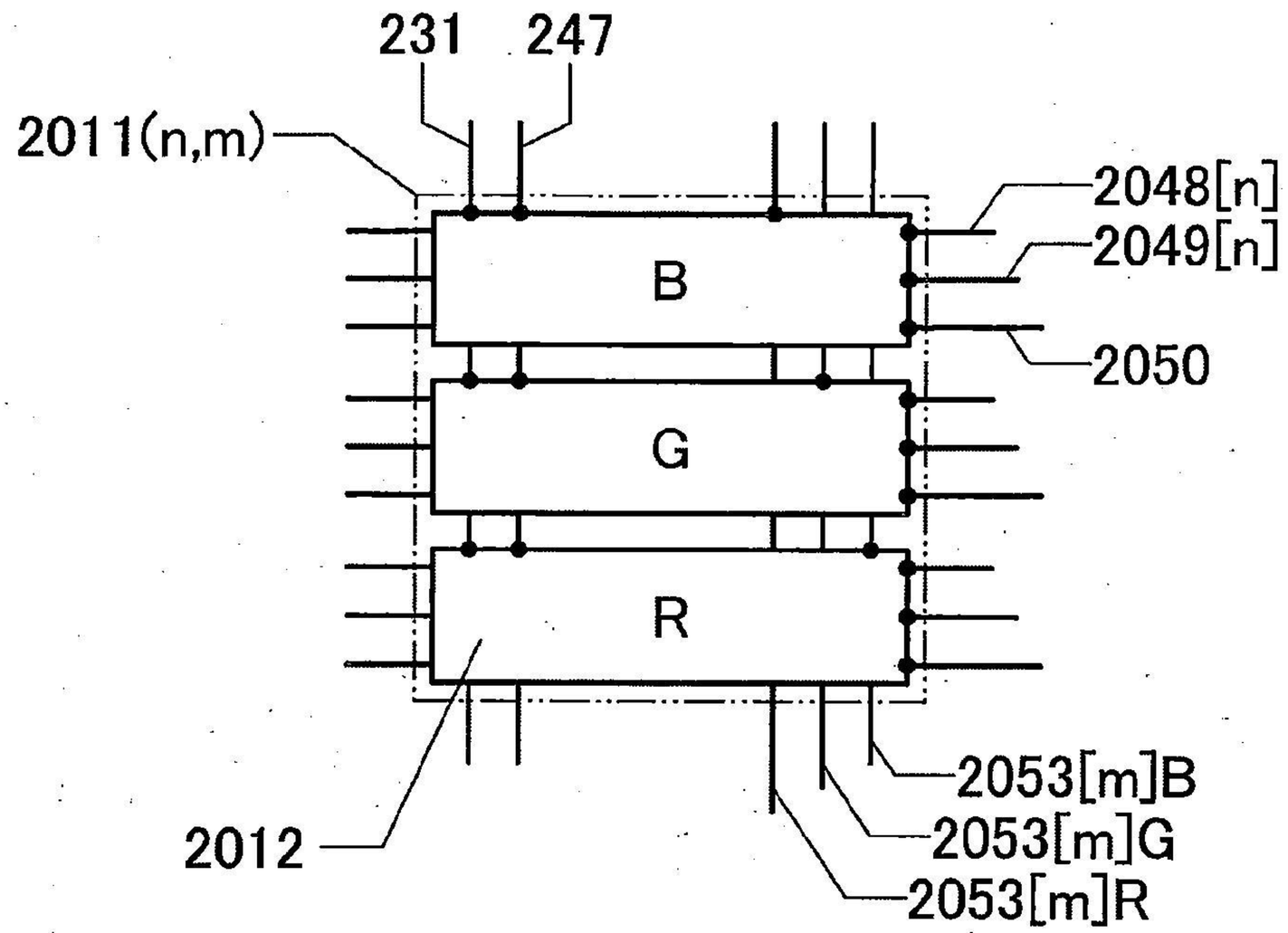

231
247
2011(n,m)
2048[n]
2049[n]
2050
B
G
R
2012
2053[m]B
2053[m]G
2053[m]R

圖 45A

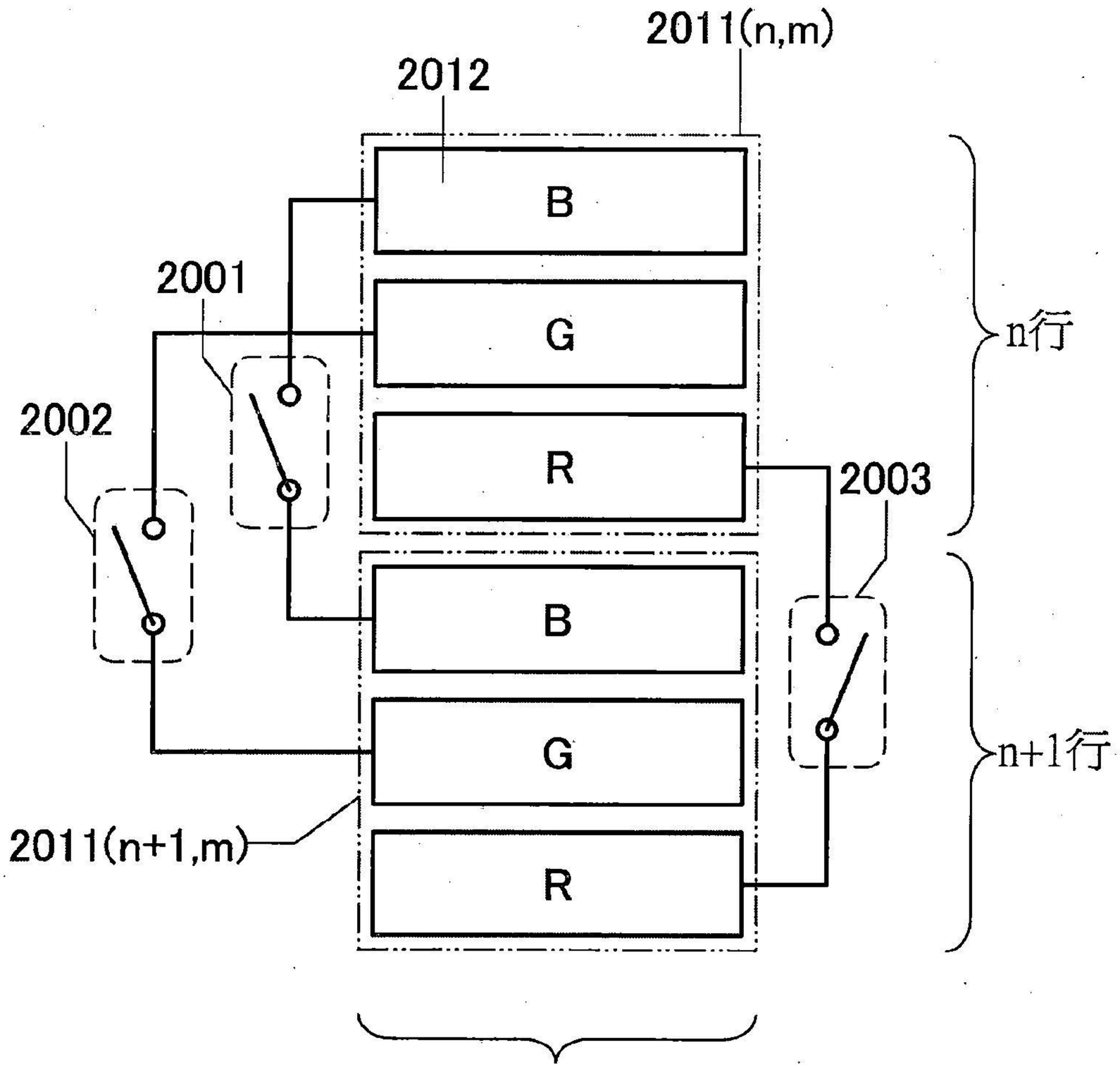

2011(n,m)
2012
B
G
R
2001
2002
2003
n行
B
G
R
2011(n+1,m)
n+1行
m列

圖 45B

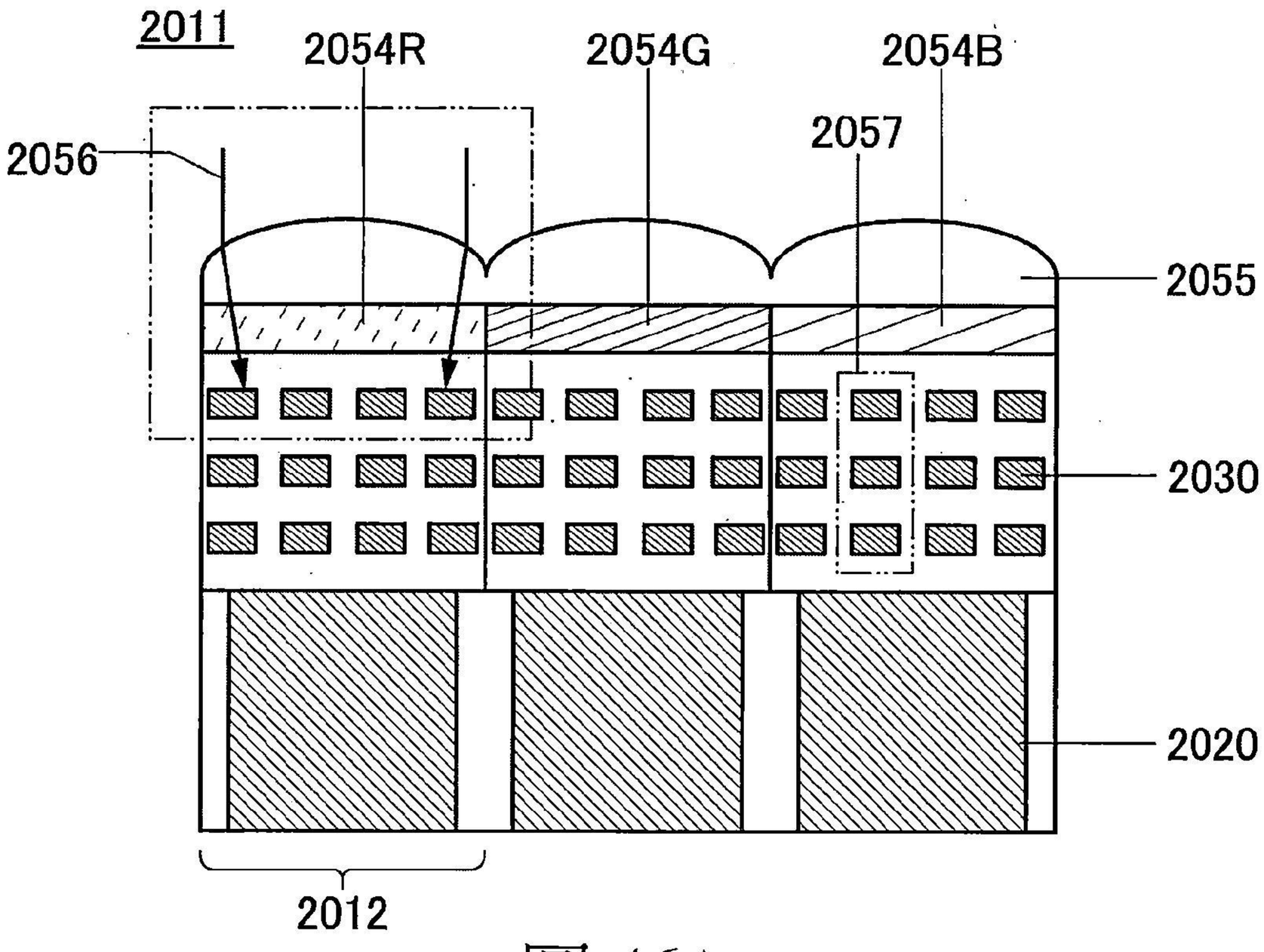

2011
2054R
2054G
2054B
2056
2057
2055
2030
2020
2012

圖 46A

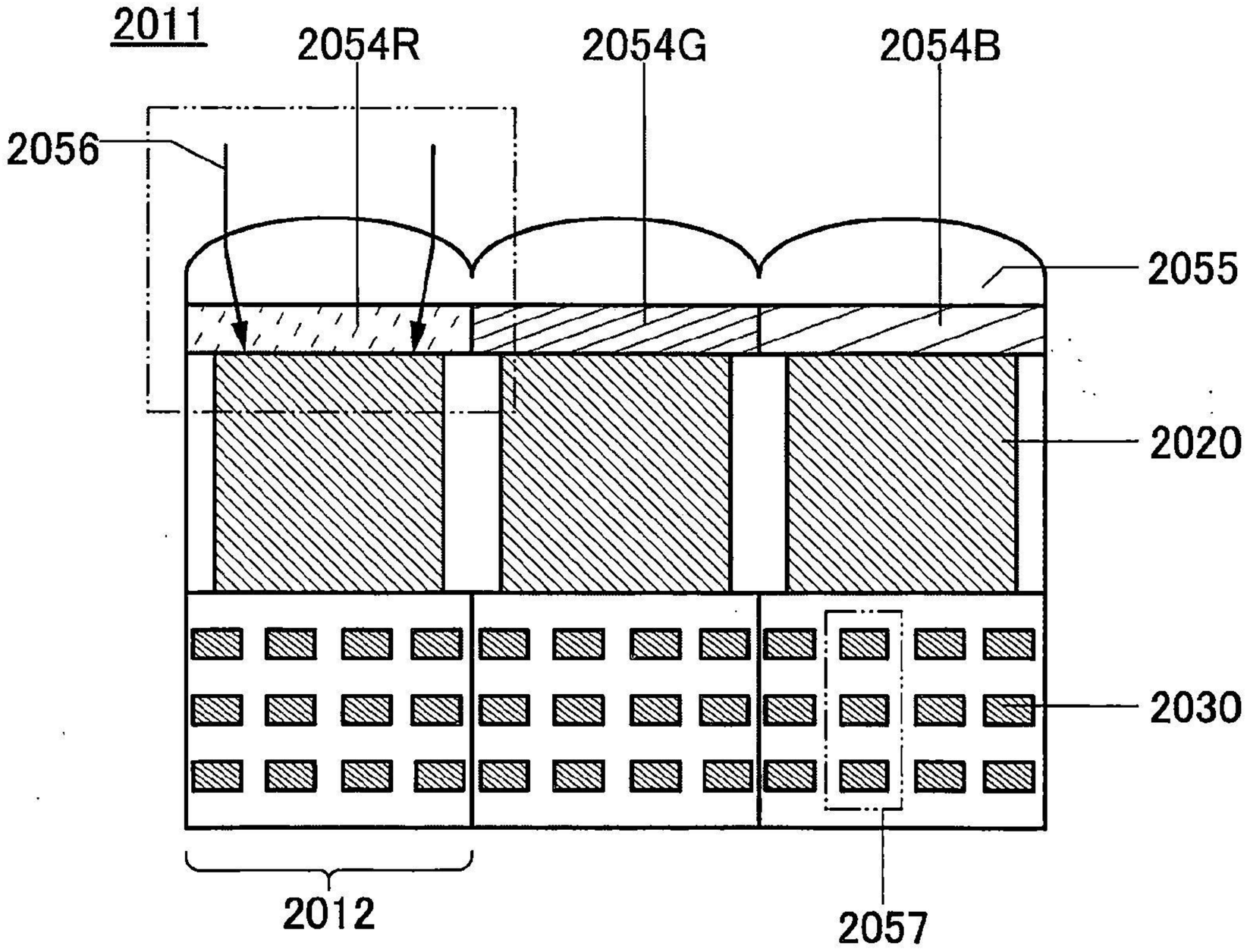

2011
2054R
2054G
2054B
2056
2055
2020
2030
2012
2057

圖 46B

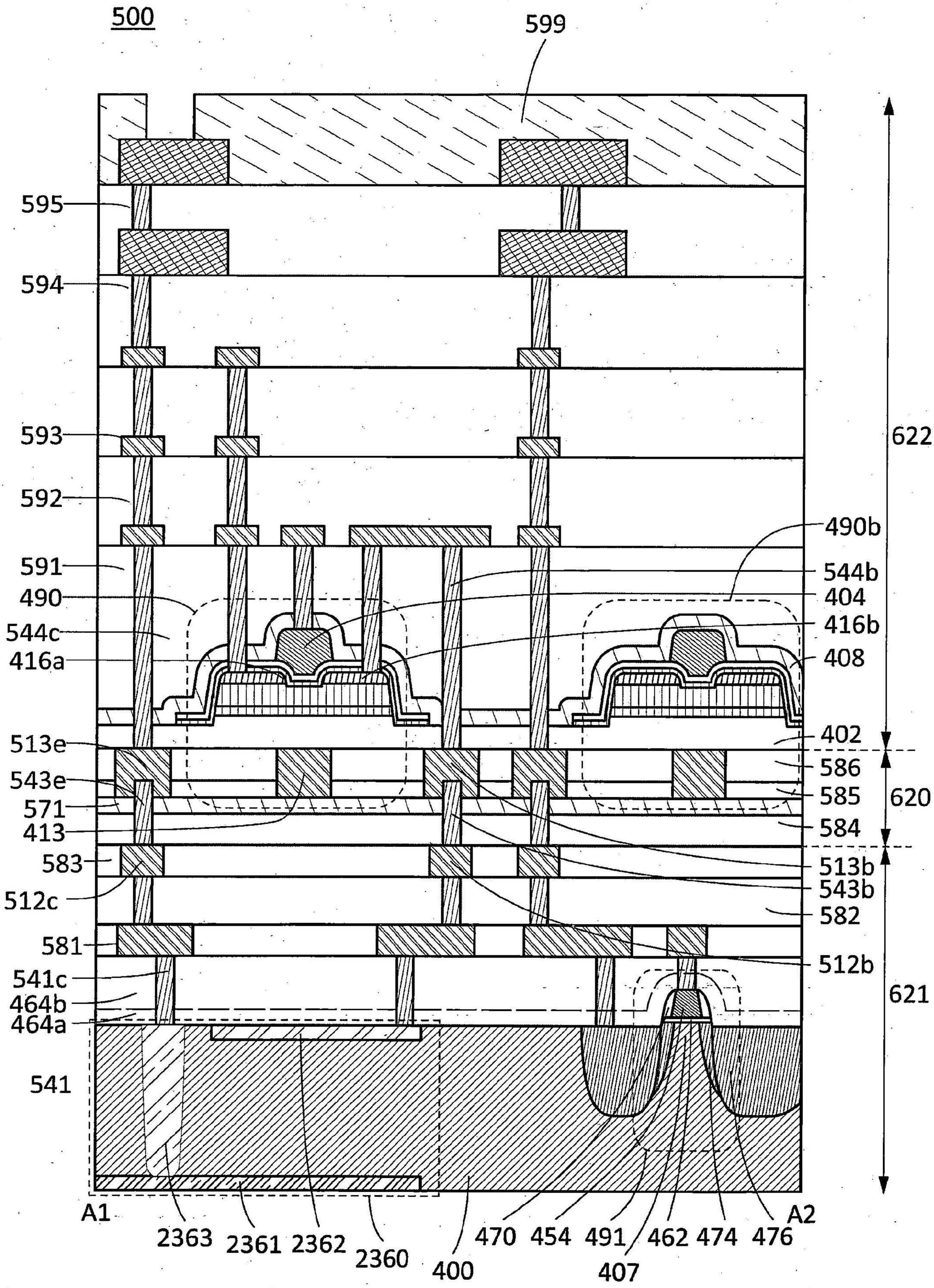

500
599
595
594
593
592
591
490
544c
416a
513e
543e
571
413
583
512c
581
541c
464b
464a
541
490b
544b
404
416b
408
402
586
585
584
513b
543b
582
512b
622
620
621
A1
A2
2363
2361
2362
2360
400
470
454
491
407
462
474
476

圖 47

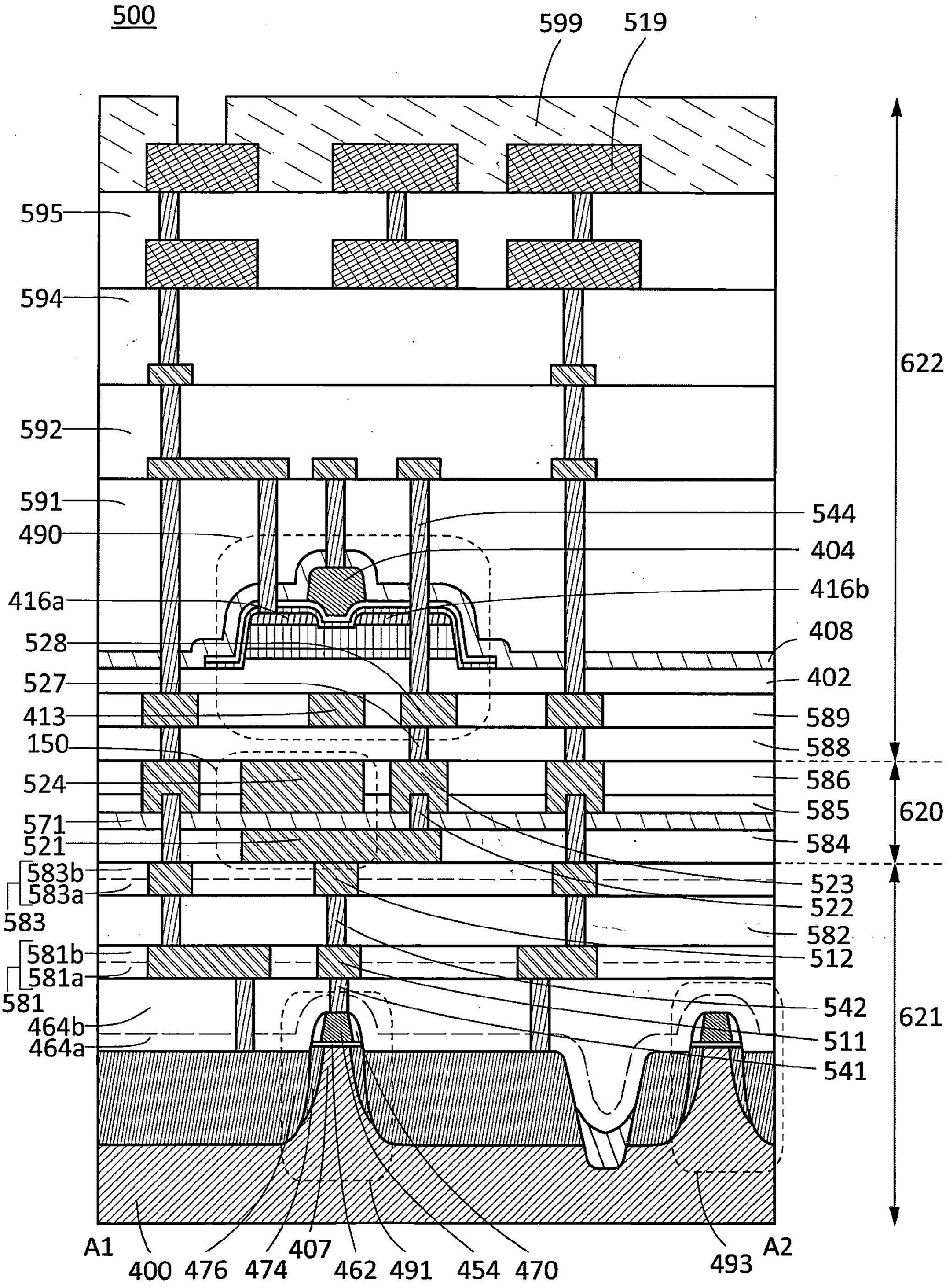

500
599
519
595
594
592
591
490
416a
528
527
413
150
524
571
521
583b
583a
583
581b
581a
581
464b
464a
544
404
416b
408
402
589
588
586
585
584
523
522
582
512
542
511
541
622
620
621
A1
400
476
474
407
462
491
454
470
493
A2

圖 48

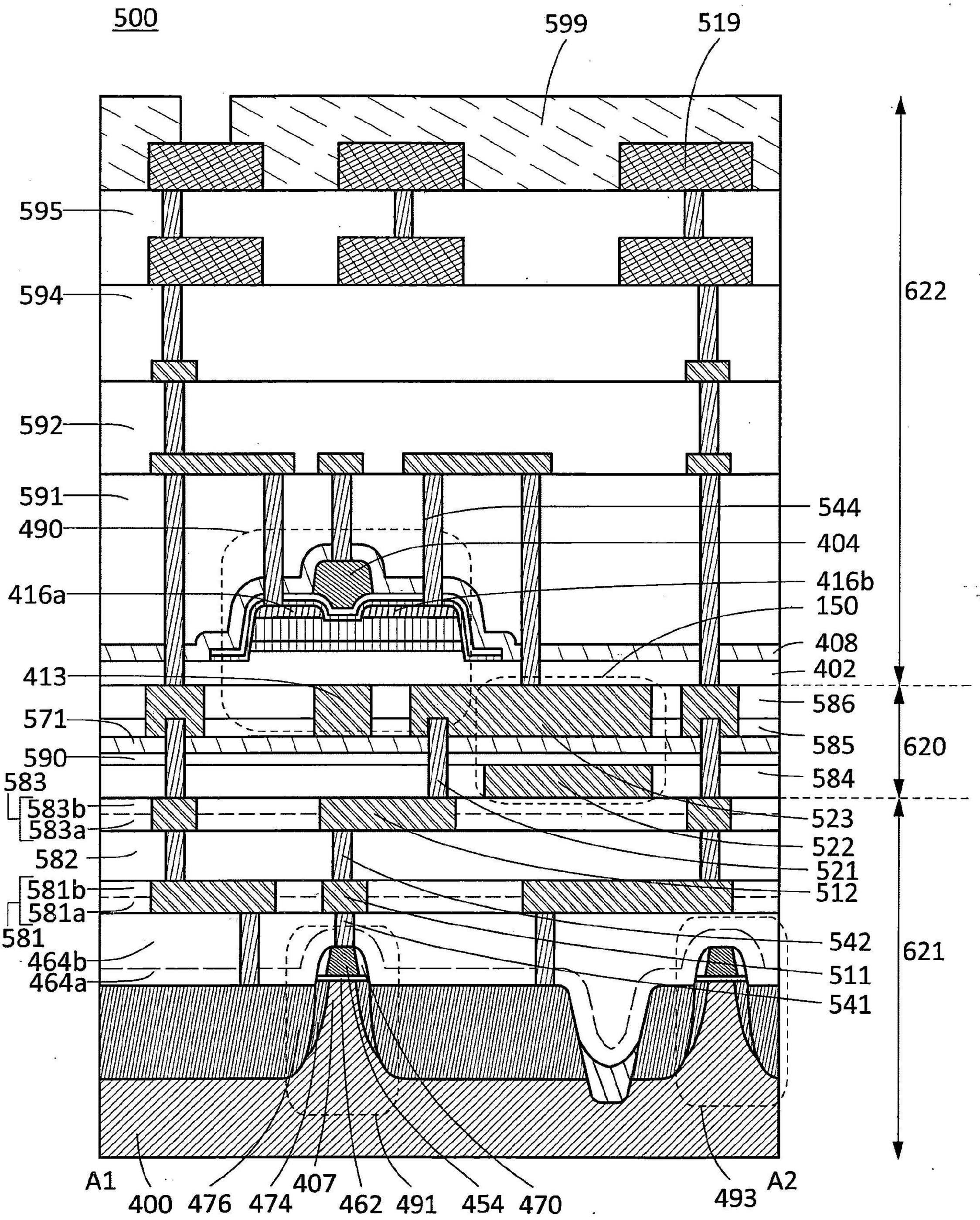

500
599
519
595
594
592
591
490
416a
413
571
590
583
583b
583a
582
581b
581a
581
464b
464a
544
404
416b
150
408
402
586
585
584
523
522
521
512
542
511
541
622
620
621
A1
400
476
474
407
462
491
454
470
493
A2

圖 49

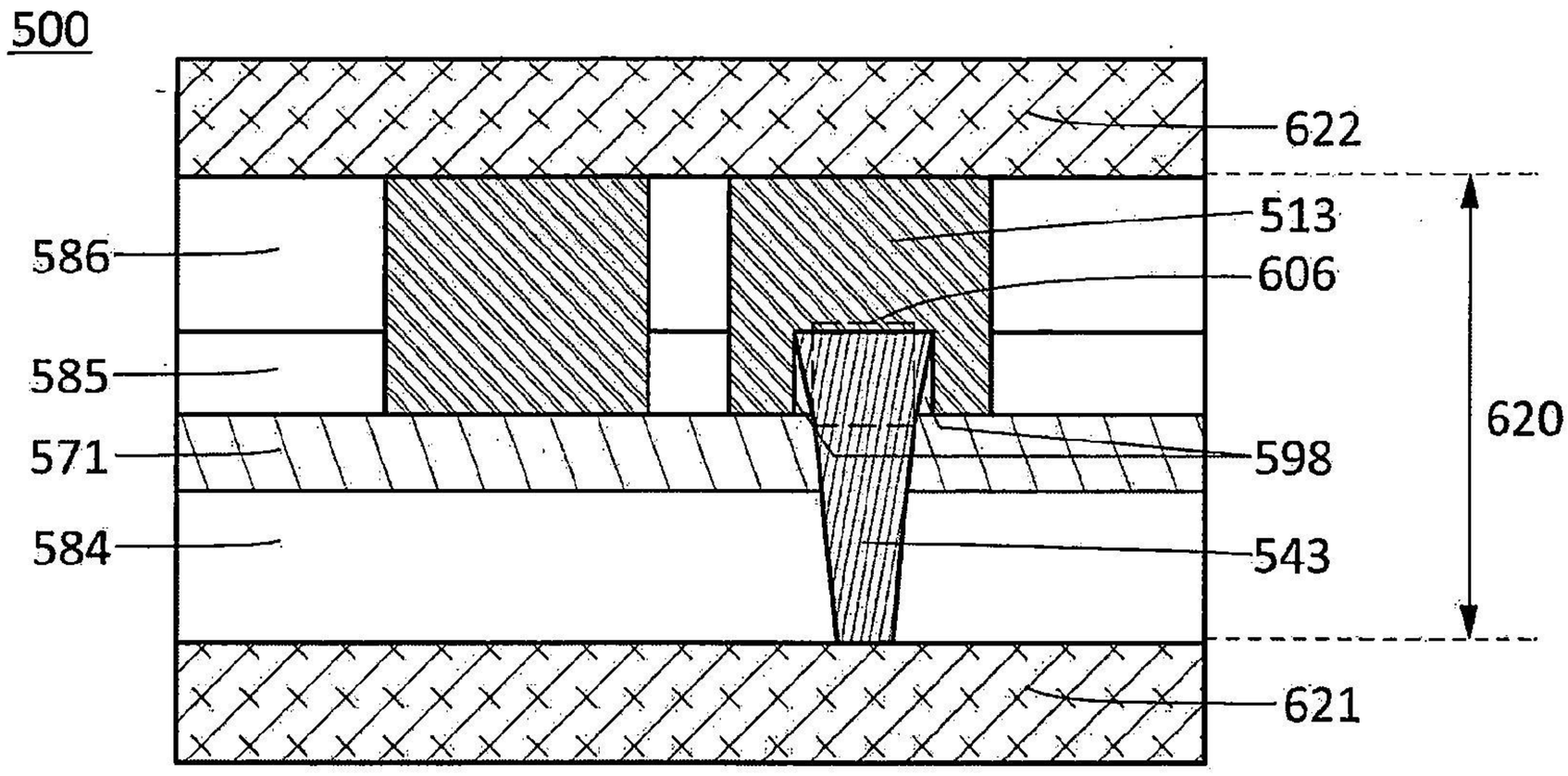


圖 50A

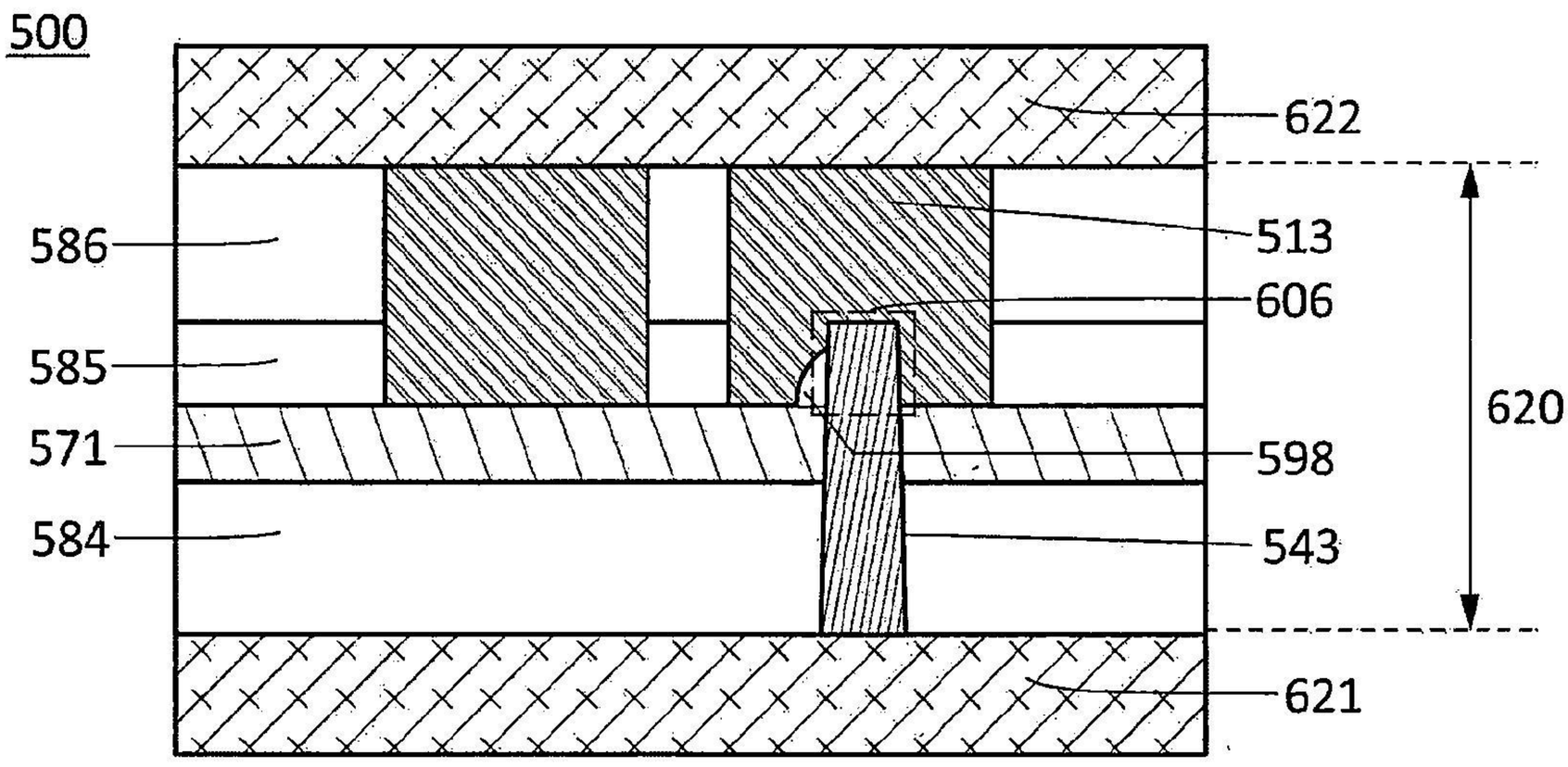


圖 50B

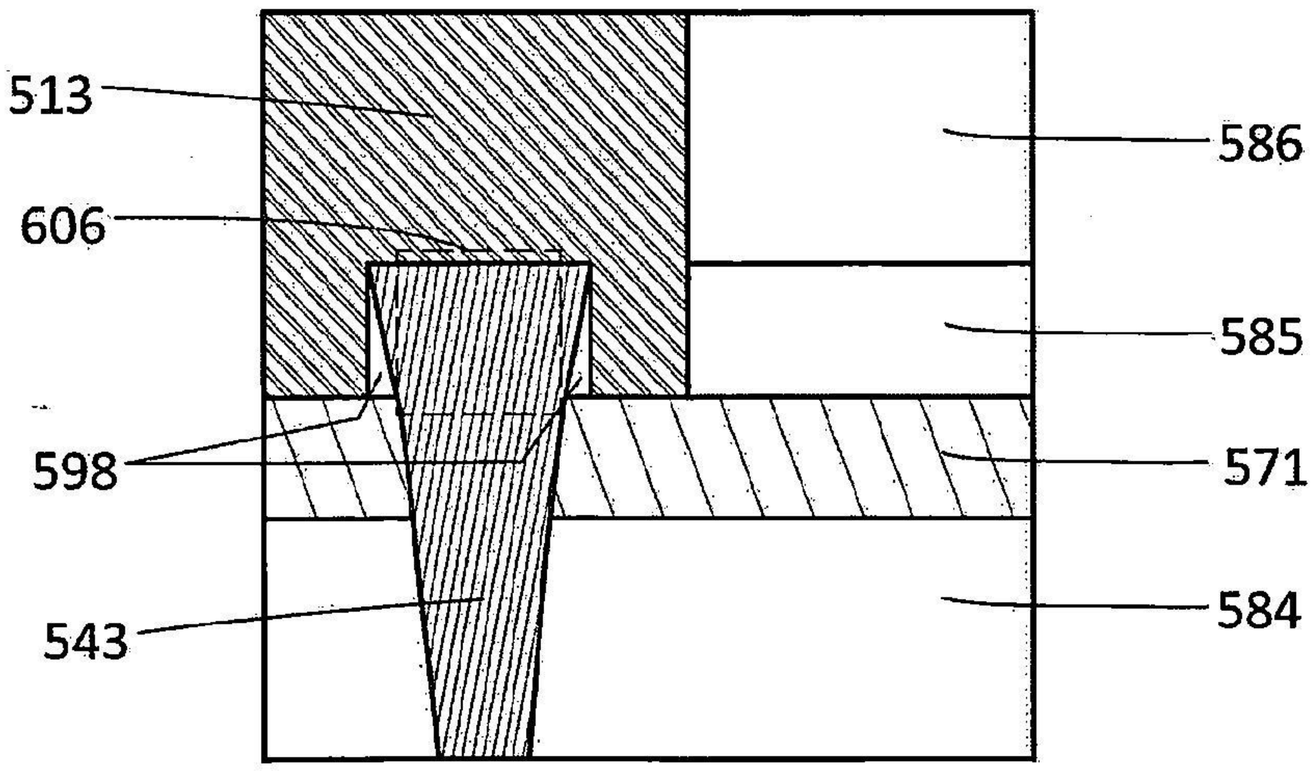


圖 50C

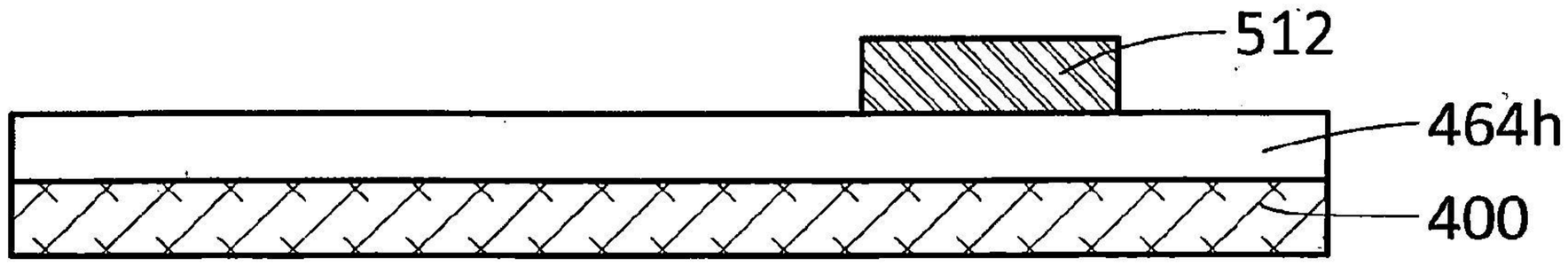


圖 51A

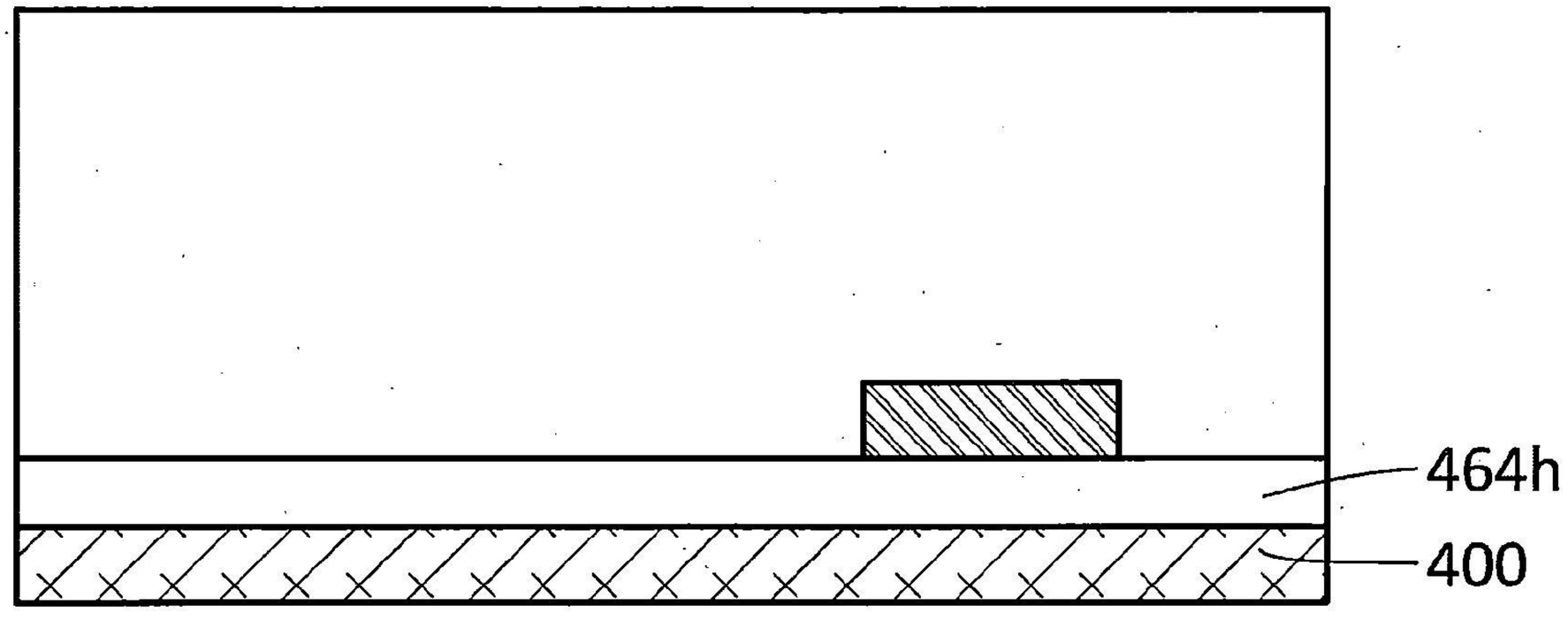


圖 51B

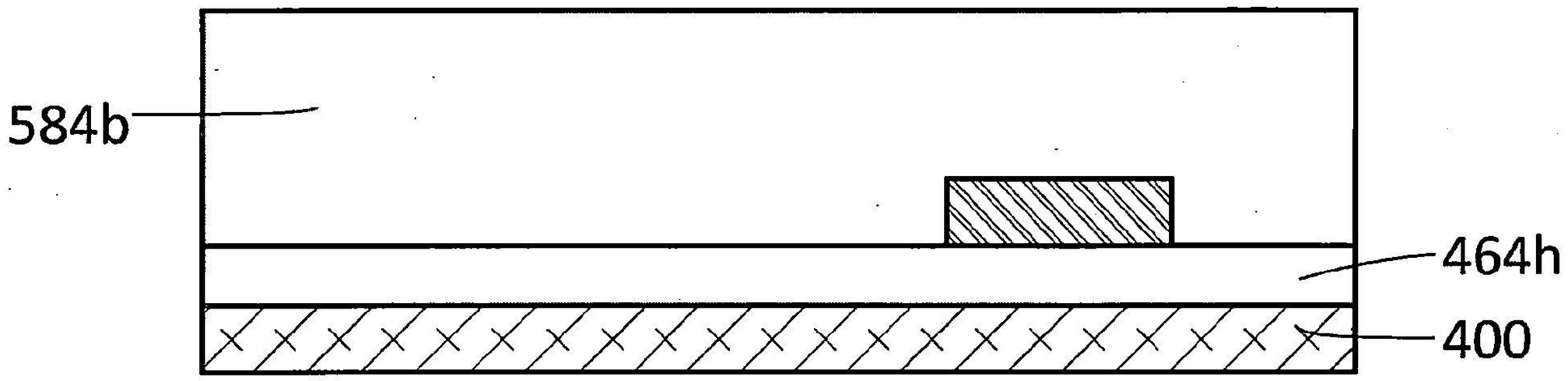


圖 51C

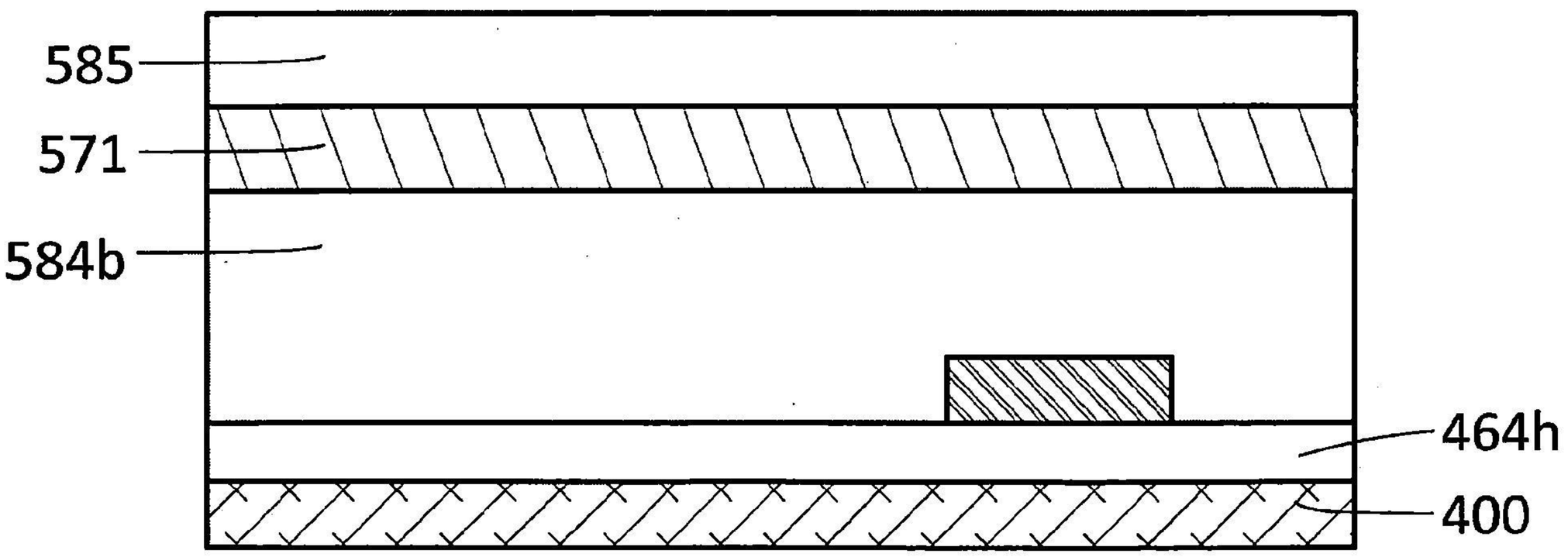


圖 51D

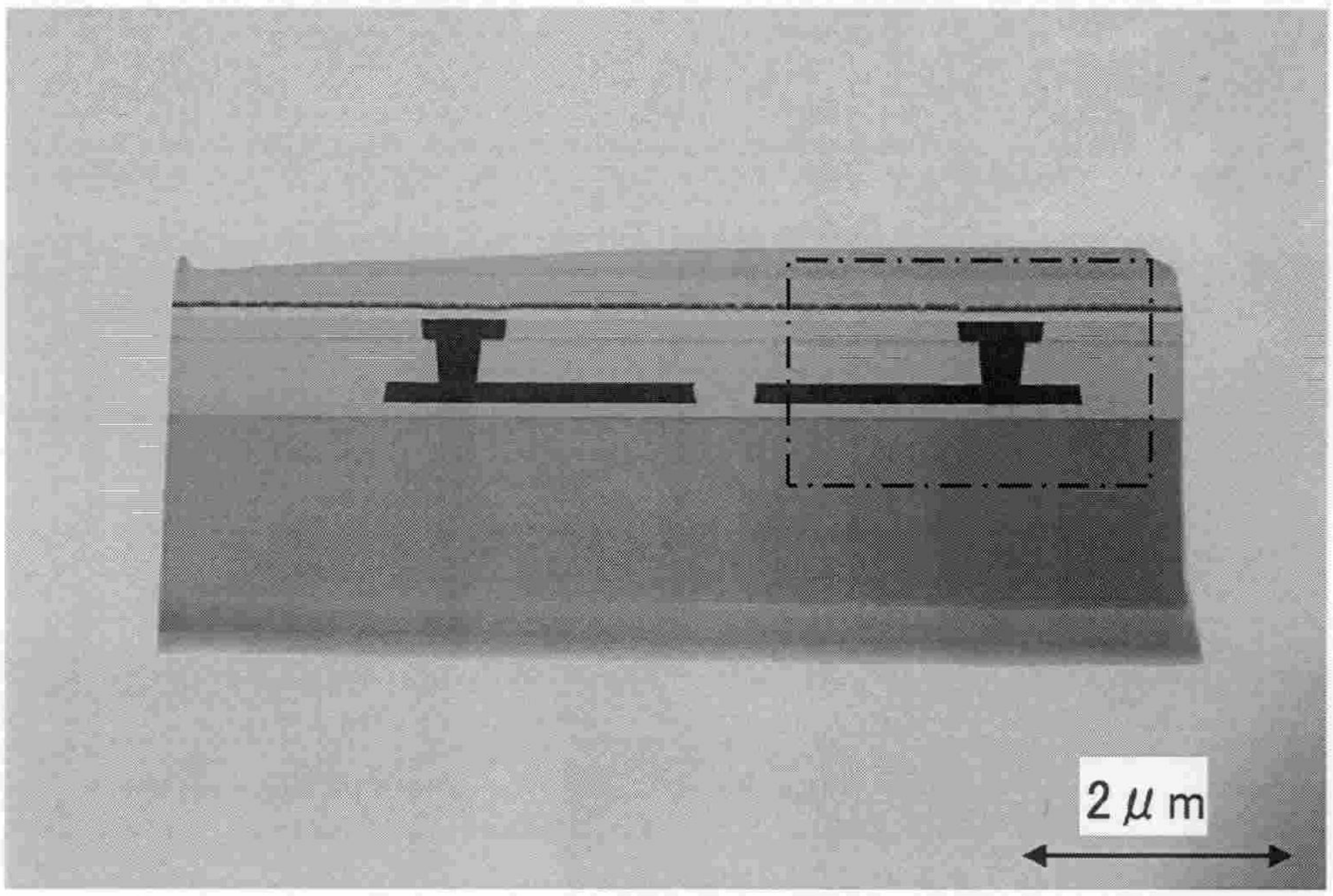


圖 52A

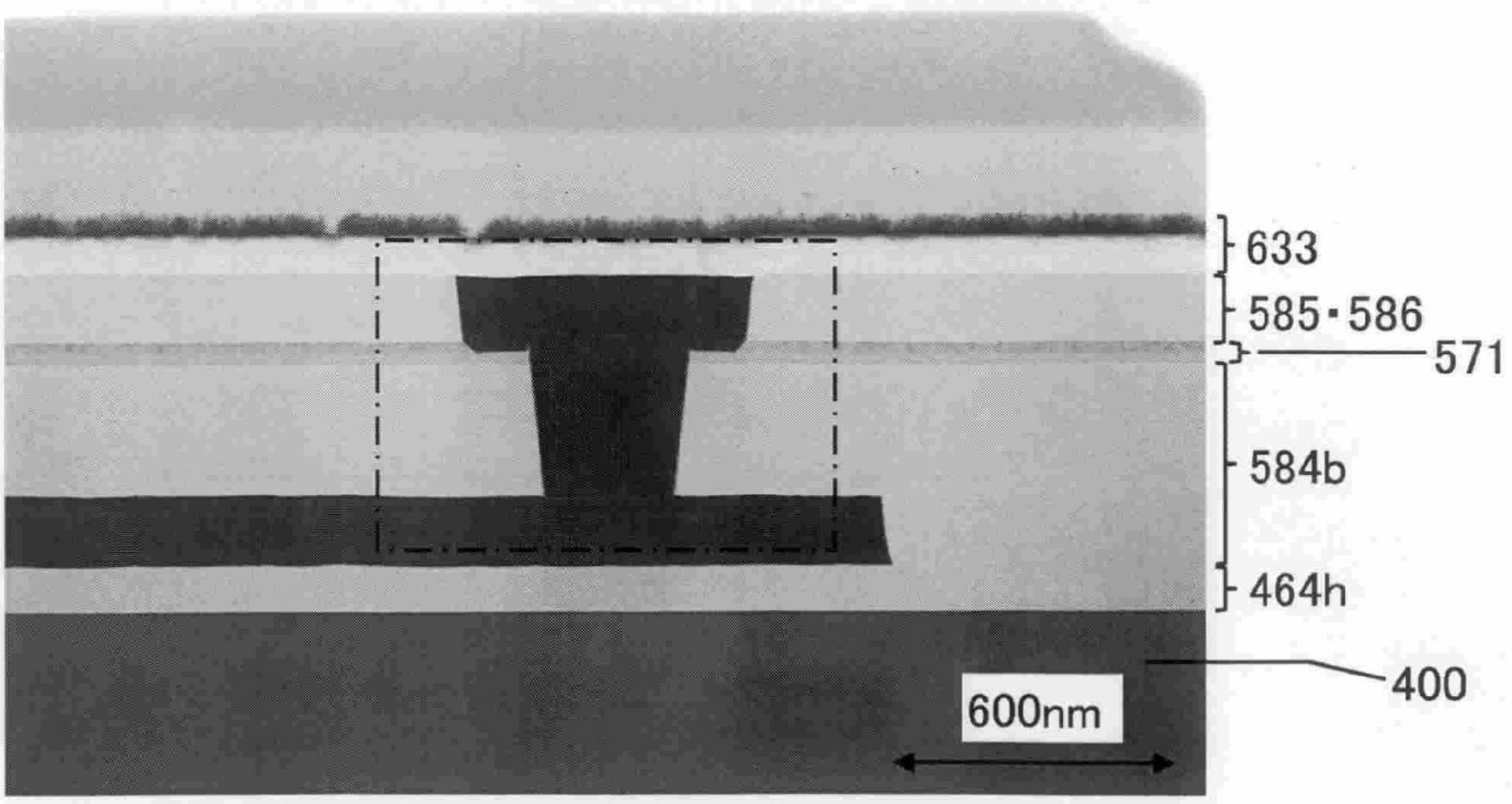


圖 52B

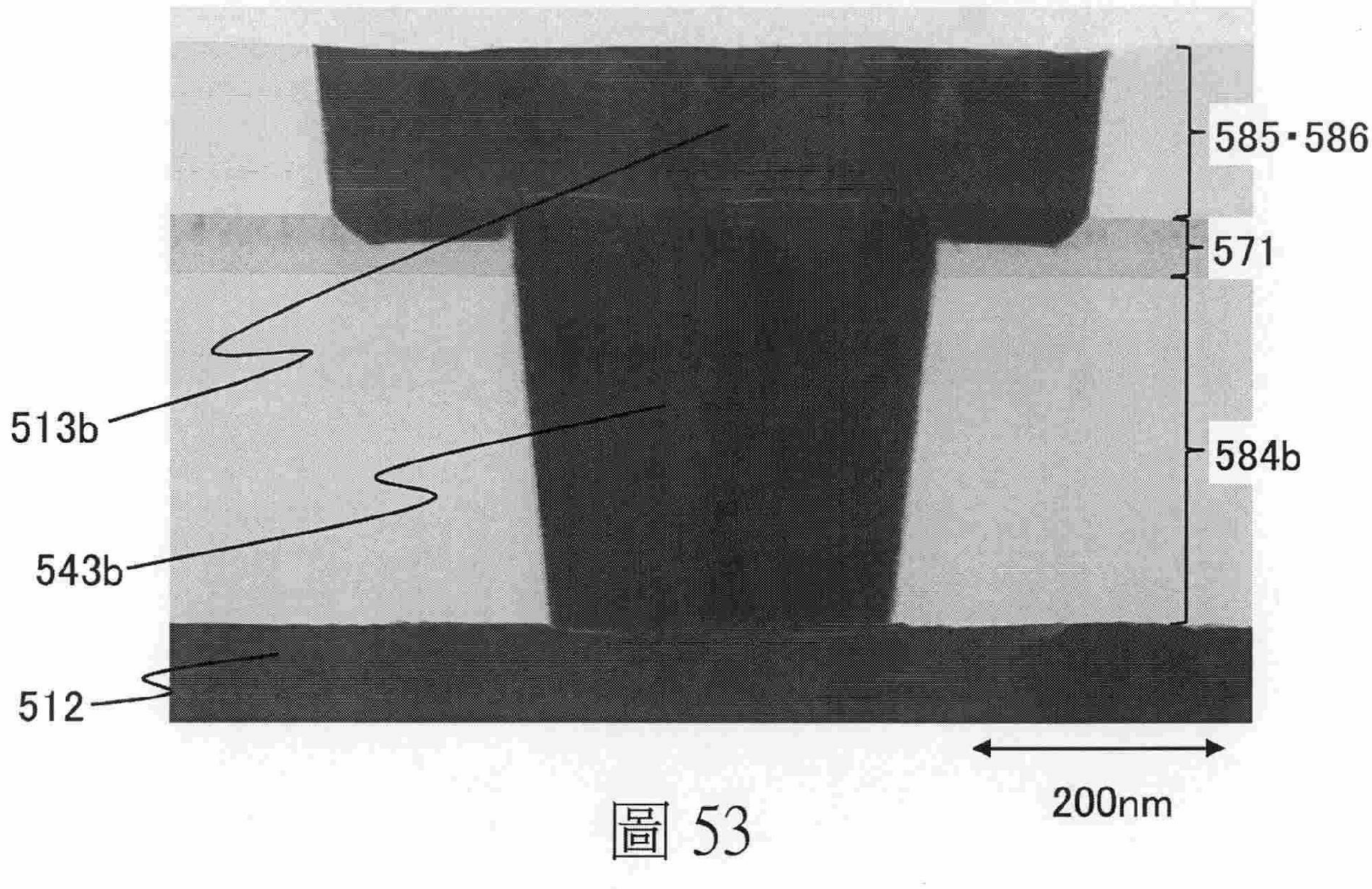


圖 53

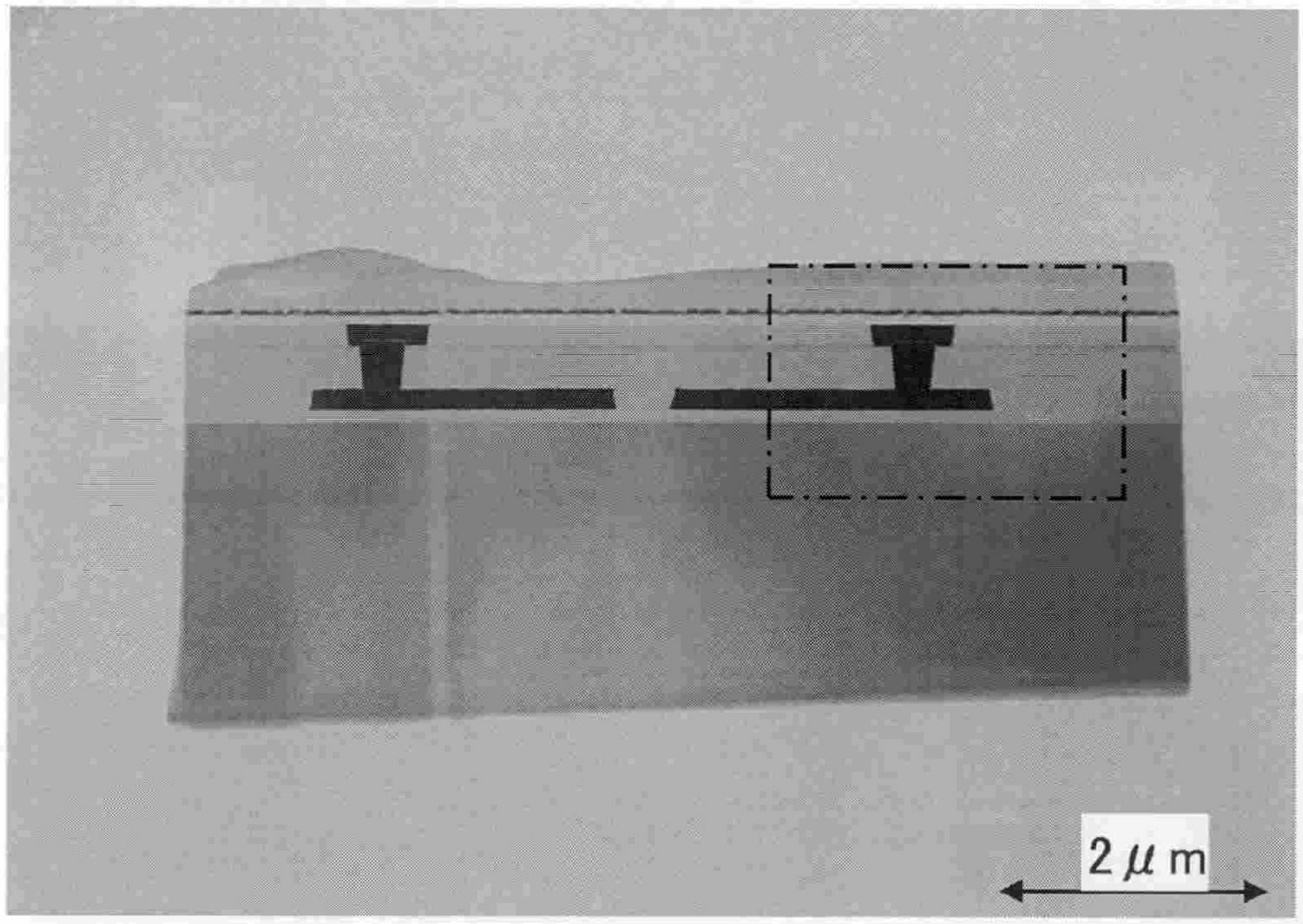


圖 54A

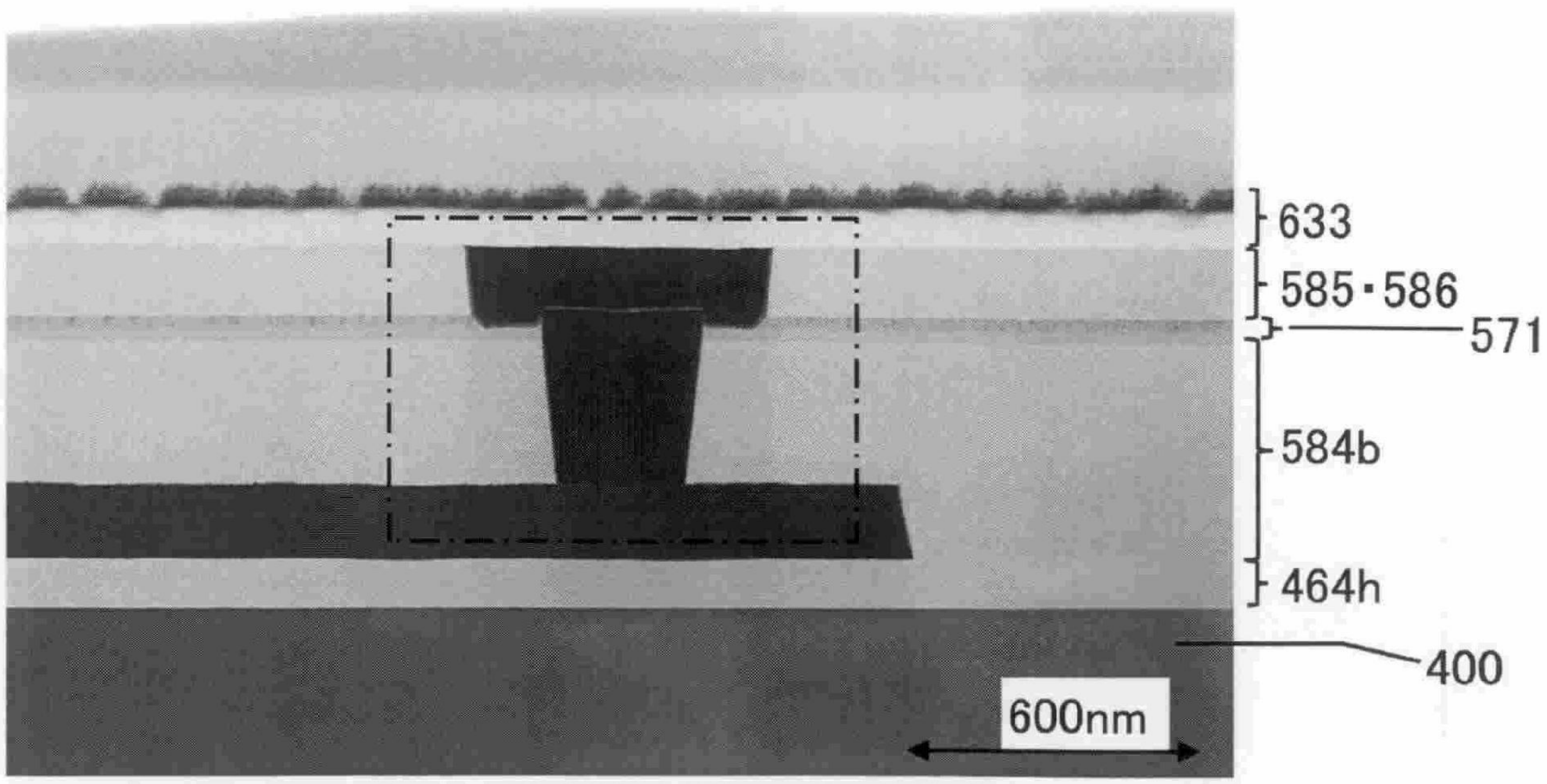


圖 54B

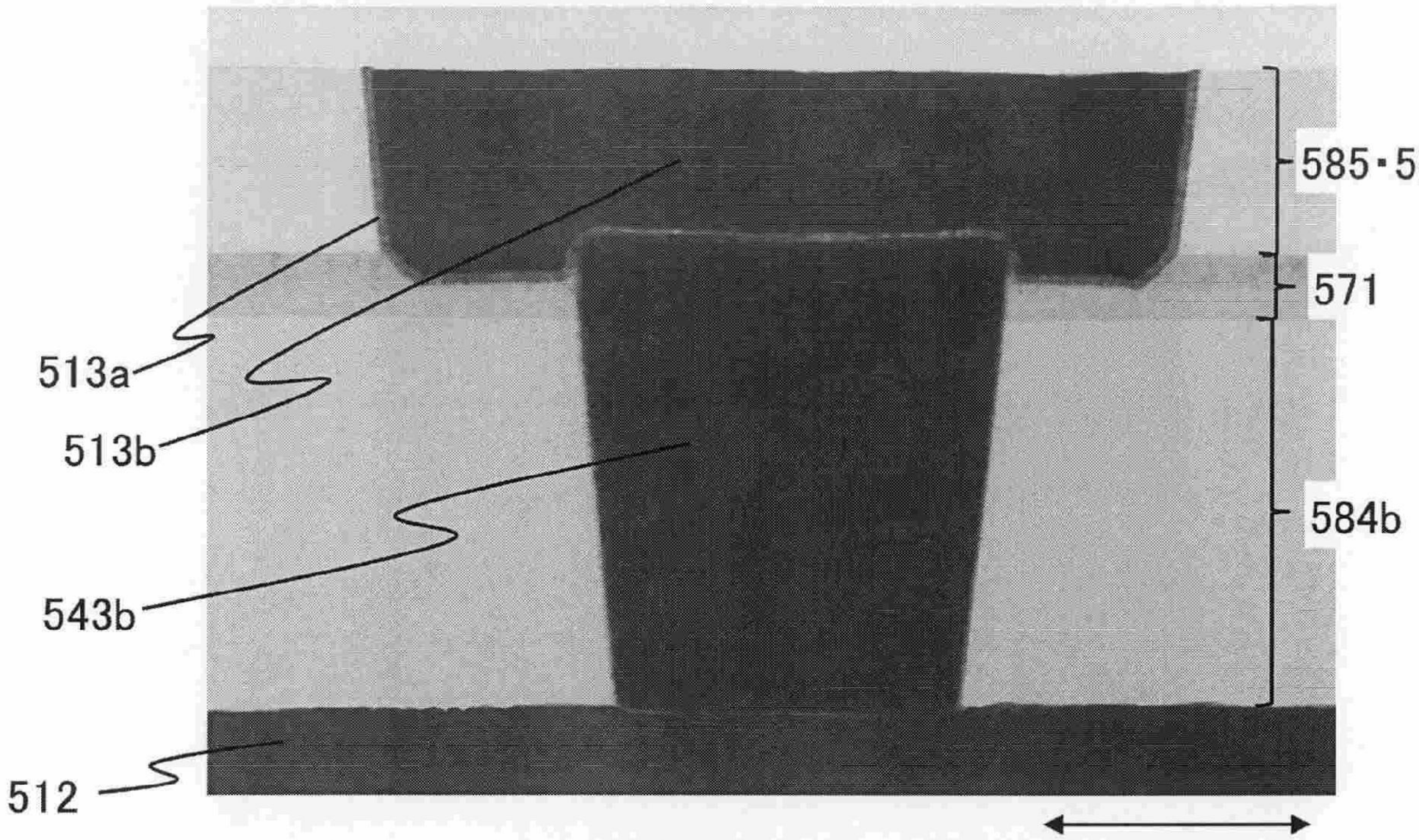


圖 55

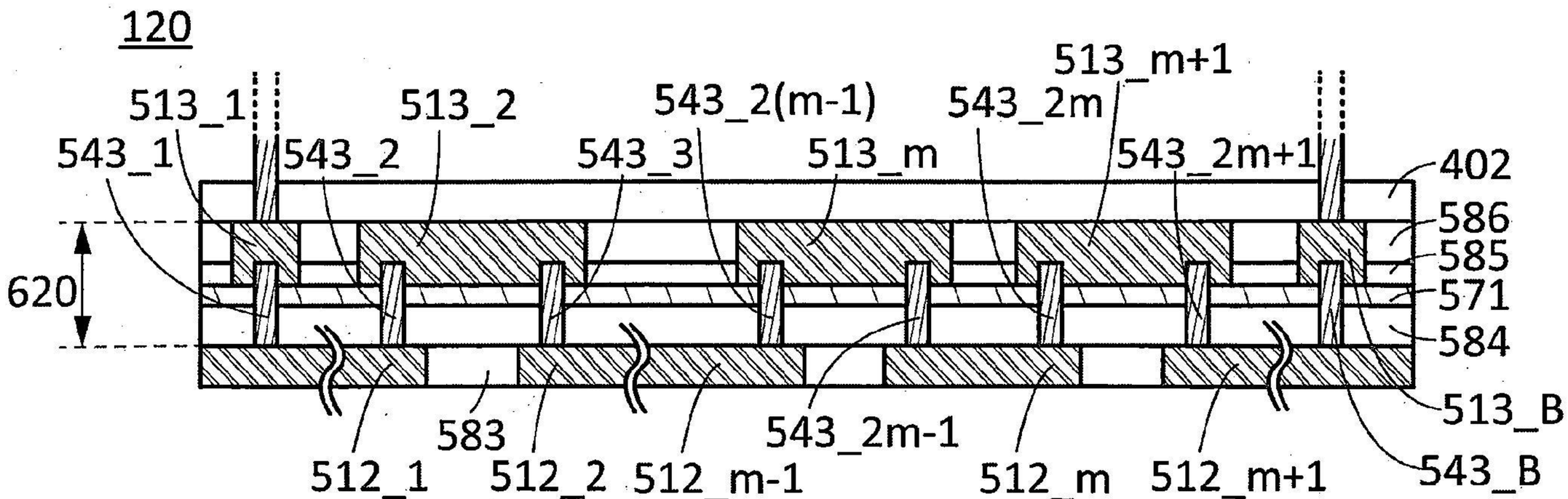

120
513_1
513_2
543_2(m-1)
513_m+1
543_2m
543_1
543_2
543_3
513_m
543_2m+1
402
586
585
571
584
620
513_B
543_B
583
543_2m-1
512_1
512_2
512_m-1
512_m
512_m+1

圖 56A

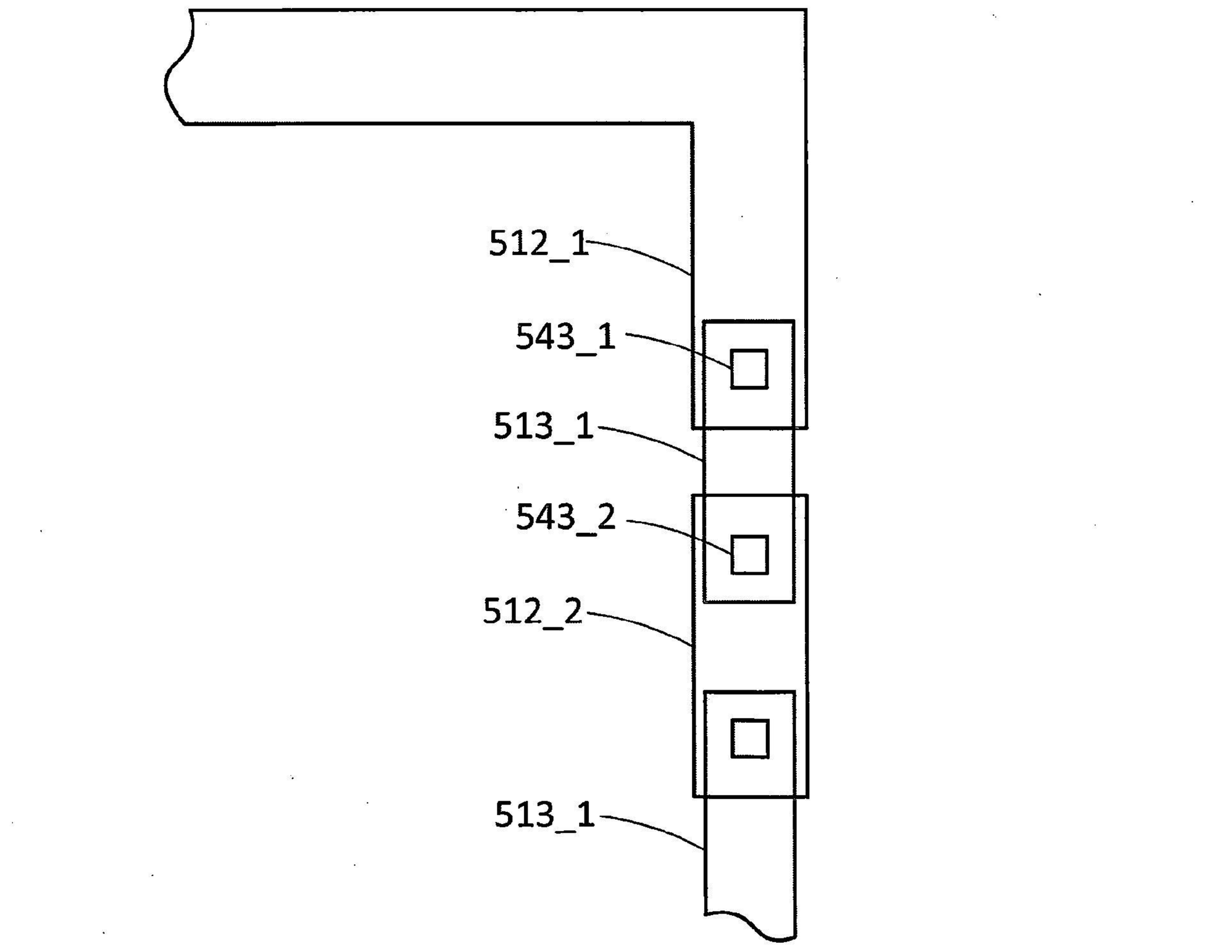

120
512_1
543_1
513_1
543_2
512_2
513_1

圖 56B

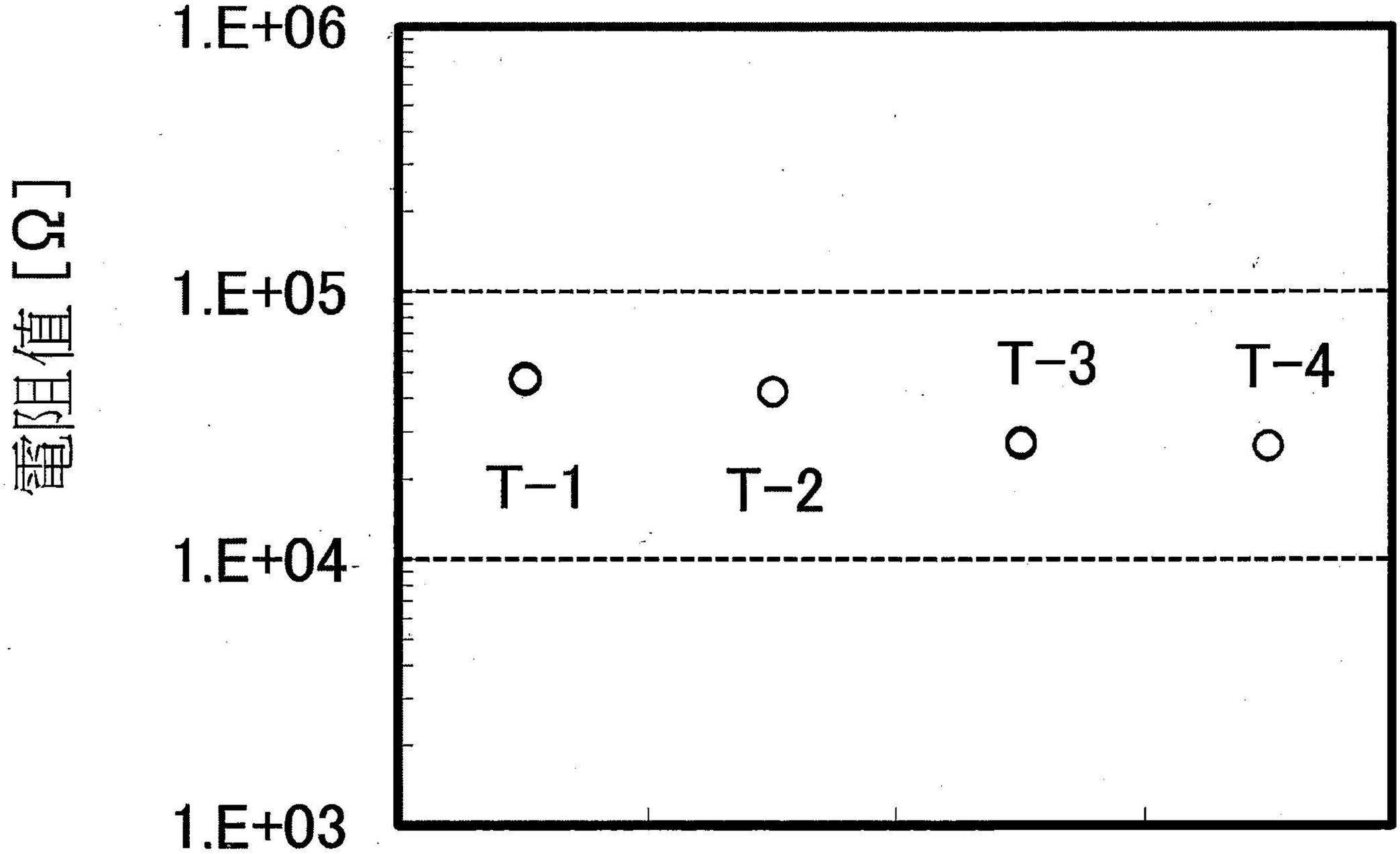


圖 57