



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월13일
(11) 등록번호 10-1212042
(24) 등록일자 2012년12월07일

(51) 국제특허분류(Int. Cl.)
G01R 31/315 (2006.01)
(21) 출원번호 10-2007-7009061
(22) 출원일자(국제) 2005년09월21일
심사청구일자 2010년07월20일
(85) 번역문제출일자 2007년04월20일
(65) 공개번호 10-2007-0067160
(43) 공개일자 2007년06월27일
(86) 국제출원번호 PCT/JP2005/017364
(87) 국제공개번호 WO 2006/035644
국제공개일자 2006년04월06일
(30) 우선권주장
JP-P-2004-00289268 2004년09월30일 일본(JP)
(56) 선행기술조사문헌
US05990697 A
US06693426 B1
US20050253614 A1
JP2004037213 A

(73) 특허권자
각고호우정 게이오기주크
일본국 도쿄토 미나토쿠 미타 2쵸메 15-45
(72) 발명자
구로다 다다히로
일본 223-8522 가나가와켄 요코하마시 고호쿠쿠
히요시 3쵸메14-1 게이오 기슈쿠 다이가쿠 리코가
쿠부 내
미조구치 다이ске
일본 223-8522 가나가와켄 요코하마시 고호쿠쿠
히요시 3쵸메14-1 게이오 기슈쿠 다이가쿠 리코가
쿠부 내
미우라 노리유키
일본 223-8522 가나가와켄 요코하마시 고호쿠쿠
히요시 3쵸메14-1 게이오 기슈쿠 다이가쿠 리코가
쿠부 내
(74) 대리인
송봉식, 정삼영

전체 청구항 수 : 총 6 항

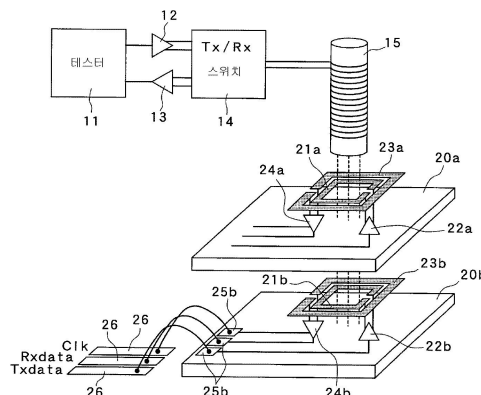
심사관 : 오응기

(54) 발명의 명칭 전자 회로 시험 장치

(57) 요약

유도성 결합에 의해 기관간 통신을 행하는 전자 회로를 시험하기에 적합하고, 테스트용 패드를 사용하지 않고도 전자 회로를 시험할 수 있는 전자 회로 시험 장치를 제공하는 것을 과제로 하며, 제1 및 제2 송신 코일(21a, 21b) 및 제1 및 제2 수신 코일(23a, 23b)에 의한 유도성 결합으로 구성되는 통신 채널에 프로브(15)를 개입시켜 테스터(11), 버퍼(12, 13) 및 Tx/Rx 스위치(14)에 의해 LSI를 시험한다. 이에 따라, 전자 회로 시험 장치에 전자 회로의 패드나 리드와 접촉하는 바늘을 설치할 필요가 없어져 수명을 길게 할 수 있다.

대표도



특허청구의 범위

청구항 1

LSI 칩에 대하여 유도적으로 시험 신호를 송신하고, 상기 LSI 칩으로부터 유도적으로 검출 신호를 수신하는 코일을 갖는 프로브를 구비하고, 상기 검출 신호에 의해 상기 LSI 칩의 전자 회로의 합격 여부를 판단하고 결정함으로써 상기 LSI 칩을 시험하는 것을 특징으로 하는 LSI 칩 시험 장치.

청구항 2

제 1 항에 있어서, 상기 프로브는 2차원 상에서 이동 가능한 것을 특징으로 하는 LSI 칩 시험 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 프로브를 복수 개 구비하는 것을 특징으로 하는 LSI 칩 시험 장치.

청구항 4

LSI 칩에 대하여 유도적으로 시험 신호를 송신하는 송신 코일과,

상기 LSI 칩으로부터 유도적으로 검출 신호를 수신하는 수신 코일을 갖는 프로브를 구비하고, 상기 검출 신호에 의해 상기 LSI 칩의 전자 회로의 합격 여부를 판단하고 결정함으로써 상기 LSI 칩을 시험하는 것을 특징으로 하는 LSI 칩 시험 장치.

청구항 5

제 4 항에 있어서, 상기 송신 코일 및 수신 코일은 동일한 하나의 기판 상에서 배선에 의해 형성되어 있는 것을 특징으로 하는 LSI 칩 시험 장치.

청구항 6

제 5 항에 있어서, 상기 송신 코일 및 대응하는 수신 코일은 상기 송신 코일의 중심축과 상기 수신 코일의 중심축이 일치하도록 배치되어 있는 것을 특징으로 하는 LSI 칩 시험 장치.

명세서

기술분야

[0001] 본 발명은 IC(Integrated Circuit) 베어 칩이나 PCB(회로 기판) 등의 기판간의 통신을 유도성 결합에 의해 행하는 전자 회로의 시험에 적합한 전자 회로 시험 장치에 관한 것이다.

배경기술

[0002] 본 발명자들은 칩을 3차원 실장하고, 칩간을 유도성 결합에 의해 전기적으로 접속하는 방법에 의해 LSI(Large Scale Integration)의 하나의 패키지에 복수의 베어 칩을 봉입하는 시스템 인 패키지(SiP)를 실현하는 것을 제안한 바 있다(특허 문헌 1 참조).

[0003] 도 3은 선원 발명의 전자 회로의 구성을 도시한 도면이다. 이 전자 회로는, 제1~제3 LSI 칩(31a~31c)으로 이루어진다. LSI 칩이 3층으로 스택되고, 세 칩에 걸치는 버스를 형성하는 예이다. 즉, 3자간(3개의 LSI 칩사이)에서 서로 통신 가능한 하나의 통신 채널을 구성하고 있다. 제1~제3 LSI 칩(31a~31c)이 세로로 쌓이고, 각 칩은 접촉체로 서로 고정되어 있다. 제1~제3 LSI 칩(31a~31c) 상에는 각각 송신에 사용하는 제1~제3 송신 코일(33a~33c)이 배선에 의해 형성되고, 각각 수신에 사용하는 제1~제3 수신 코일(35a~35c)이 배선에 의해 형성된다. 이들 3쌍의 송수신 코일(33, 35)은 개구의 중심이 일치하도록 제1~제3 LSI 칩(31a~31c) 상에 배치되어 있다. 이에 따라, 3쌍의 송수신 코일(33, 35)은 유도성 결합을 형성하여 통신이 가능해진다. 제1~제3 송신 코일(33a~33c)에는 각각 제1~제3 송신 회로(32a~32c)가 접속되고, 제1~제3 수신 코일(35a~35c)에는 각각 제1~제3 수신 회로(34a~34c)가 접속된다. 송수신 코일(33, 35)은 프로세스 기술의 다층 배선을 이용하여, 통신에 허용되는 면적 내에서 3차원적으로 1회 감김 이상의 코일로서 실장된다. 송수신 코일(33, 35)에

는 통신에 가장 적합한 형상이 존재하며, 최적의 감김 수, 개구, 선풍을 취할 필요가 있다. 일반적으로 송신 코일(33)이 수신 코일(35)보다 작다.

[0004] [특허 문헌 1] 일본 특허 출원 2004-037242호

발명의 상세한 설명

[0005] (발명이 해결하고자 하는 과제)

[0006] 종래에는 IC 등의 전자 회로의 제조 과정에서 시험하는 경우에 칩의 패드(입력 패드 및/또는 테스트용 패드)에 시험 신호를 공급하여 칩의 패드(출력 패드 및/또는 테스트용 패드)의 신호(전압값 및/또는 전류값)를 검출하고 있다. 따라서, 전자 회로를 시험하려면 작은 패드에 접촉하는 바늘이 아무래도 필요해지며, 많은 전자 회로를 시험하면 그 바늘의 선단이 마모되어 버리기 때문에 통상의 전자 회로 시험 장치는 수명이 짧은 것이다.

[0007] 또한, 시험되는 전자 회로로서도 입력 패드 및 출력 패드 이외에 테스트용 패드를 설치하여야 하며, 다기능의 IC 등에서 많은 종류의 입력으로부터 많은 종류의 출력을 얻고자 하여도 그 이외에 테스트용 패드까지도 설치하여야 하므로 전자 회로의 설계에 제약이 있다.

[0008] 본 발명은 상기 문제점을 감안하여, 특히 유도성 결합에 의해 기관간 통신을 행하는 전자 회로를 시험하기에 적합하고, 테스트용 패드를 사용하지 않고도 전자 회로를 시험할 수 있는 전자 회로 시험 장치를 제공하는 것을 목적으로 한다.

[0009] (과제를 해결하기 위한 수단)

[0010] 본 발명의 전자 회로 시험 장치는 신호를 송신 및 수신하는 코일을 갖는 프로브를 구비한다.

[0011] 또한, 상기 프로브는 2차원 상에서 이동 가능함으로써 적은 프로브로 시험할 수 있다.

[0012] 또한, 상기 프로브를 복수 개 구비함으로써 단시간에 복잡한 시험을 할 수 있다.

[0013] 또한, 본 발명의 전자 회로 시험 장치는 신호를 송신하는 송신 코일과 신호를 수신하는 수신 코일을 갖는 프로브를 구비한다.

[0014] 또한, 상기 송신 코일 및 수신 코일은 하나의 기관 상의 배선에 의해 형성되어 있음으로써 작은 전자 회로를 용이하게 시험할 수 있다.

[0015] 또한, 상기 송신 코일 및 대응하는 수신 코일은 동축으로 배치되어 있음으로써 소정의 통신 채널에 시험 신호를 송출하여 이 통신 채널로부터 검출 신호를 수신할 수 있다.

[0016] (발명의 효과)

[0017] 본 발명에 따르면, 무접촉으로 전자 회로를 시험할 수 있다. 따라서, 전자 회로 시험 장치에 전자 회로의 패드와 접촉하는 바늘을 설치할 필요가 없어져 수명을 길게 할 수 있다. 또한, 전자 회로를 설계하는 데 테스트용 패드를 설치할 필요가 없어져 회로 설계의 자유도가 높아진다. 더욱이, 종래의 접촉하는 타입의 프로브로 시험하는 경우에 전자 회로의 프로브 접촉 부분인 입출력 회로에 필요한 정전 방전(ESD: Electrostatic Discharge) 보호 회로는 그 회로에 사용되는 커다란 트랜지스터에 기인하는 커다란 정전 용량이 존재하기 때문에 입출력 회로를 고속화하는 데 방해가 되던 것에 반해, 본 발명은 무접촉으로 시험하므로 ESD 보호 회로를 필요로 하지 않기 때문에 프로브와의 사이의 입출력 동작을 고속화하는 것이 가능해져, 온 타임으로 테스트할(시험을 위한 느린 동작이 아니라 통상 가동 시의 빠른 동작으로 테스트할) 수 있다. 또한 나아가, 유도성 결합(즉, L 커플링) 자체가 하이 패스 필터의 특성을 갖기 때문에 고속 동작에 유리하다.

[0018] 본 명세서에서는 본원의 우선권의 기초인 특허 출원 2004-289268의 명세서 및/또는 도면에 기재되는 내용을 포함한다.

실시예

[0032] 이하, 첨부 도면을 참조하면서 본 발명을 실시하기 위한 최선의 형태에 대하여 상세하게 설명한다.

[0033] <실시예 1>

[0034] 도 1은 본 발명의 실시예 1에 따른 전자 회로 시험 장치의 구성 및 시험할 LSI의 구성을 도시한 도면이다. 본 실시예 1의 전자 회로 시험 장치는 완성된 LSI를 시험하는 것이다. 이 전자 회로 시험 장치는, 테스터(11), 버

퍼(12, 13), Tx/Rx 스위치(14) 및 프로브(15)로 이루어진다. 테스터(11)는 테스트 신호를 만들어 버퍼(12)를 통하여 프로브(15)에 공급하고, 프로브(15)에서 검출한 신호를 버퍼(13)를 통하여 수신하여 전자 회로의 합격 여부를 결정한다. 버퍼(12, 13)는 신호를 증폭하는 증폭기이다. Tx/Rx 스위치(14)는 신호의 흐름을 송신 시와 수신 시에서 전환하는 스위치이다. 송신 시, 프로브(15)를 버퍼(12)에 접속시키고 버퍼(13)와 분리시켜 버퍼(13)의 입력을 단락시킨다. 수신 시, 프로브(15)를 버퍼(13)에 접속시키고 버퍼(12)와 분리시켜 버퍼(12)의 출력을 개방한다. 프로브(15)는 코일로 이루어지며, 송신 시 상하 방향의 자력선을 방사하고 LSI 내의 코일과 유도 결합하여 시험 신호를 LSI에 공급하고, 수신 시 LSI 내의 코일로부터의 상하 방향의 자력선의 변화에 따른 기전력을 발생하여 LSI로부터의 신호를 검출한다.

[0035] 시험 대상인 LSI는 본 실시예에서는 LSI 칩(20a, 20b)이 2층으로 스택되어 있다. LSI 칩(20a)은 제1 송신 회로(22a)에 접속되는 제1 송신 코일(21a) 및 제1 수신 회로(24a)에 접속되는 제1 수신 코일(23a)을 구비한다. 마찬가지로, LSI 칩(20b)은 제2 송신 회로(22b)에 접속되는 제2 송신 코일(21b) 및 제2 수신 회로(24b)에 접속되는 제2 수신 코일(23b)을 구비한다. 이들 제1, 제2 송신 코일(21a, 21b) 및 제1, 제2 수신 코일(23a, 23b)은 하나의 통신 채널을 구성하고 있다. 제2 송신 회로(22b) 및 제2 수신 회로(24b)는 패드(25b)를 통하여 송신 데이터(Txdata) 및 클럭(Clk)을 받아 수신 데이터(Rxdata)를 송출하는 리드(26)에 접속되어 있다. 도시하지는 않았지만, LSI 칩(20a, 20b) 내에는 송신 데이터(Txdata) 및 클럭(Clk)을 받아 수신 데이터(Rxdata)를 송출하는 각 용도의 전자 회로가 설치되어 있다. 또한, 이와 같은 송수신 코일의 세트를 복수 개 설치하여 복수의 통신 채널을 구성할 수도 있고, 스택할 칩의 수도 3층 이상으로 할 수 있다. LSI가 유도성 결합에 의한 복수의 통신 채널을 갖는 경우에는 프로브(15)를 복수 개 설치하여 대응하는 위치에 배치할 수도 있고, 하나의 프로브(15)를 수평면 상에서 2차원적으로 이동시켜 각각의 위치에서 시험할 수도 있다. 이 경우, 프로브(15)를 이동시키는 대신 LSI를 이동시킬 수도 있다. 시험을 할 때의 LSI에의 전원의 공급과 클럭의 공급도 유도성 결합에 의해 행할 수 있는데, 일부의 직접 접속을 허용한다면 리드(26)를 통하여 전원(전원을 위한 리드는 도시하지 않았음) 및 클럭을 공급하도록 할 수도 있다.

[0036] 실제로 시험을 할 때에는 스택 간의 유도성 결합에 의한 통신 채널에 프로브(15)를 개입시켜 프로브(15)로부터 시험 신호를 송출하고, 프로브(15)에서 신호를 검출하여 LSI의 합격 여부를 판단하고 결정한다. 프로브(15)를 복수 개 설치한 경우에는 하나의 프로브(15)가 시험 신호를 송출하였을 때의 신호를 다른 프로브(15)에서 검출하도록 할 수도 있다.

[0037] 이와 같이 본 실시예 1에서는 시험 대상인 LSI에 거의 직접 접촉을 하지 않거나 완전히 하지 않고 LSI를 시험할 수 있다.

[0038] <실시예 2>

[0039] 도 2는 본 발명의 실시예 2에 따른 전자 회로 시험 장치의 구성 및 시험할 LSI 칩의 구성을 도시한 도면이다. 본 실시예 2의 전자 회로 시험 장치는 LSI 칩을 시험하는 것으로서, 아직 웨이퍼 상에 있어 각 LSI 칩이 커팅되기 전의 것일 수도 있고, 커팅된 후의 것일 수도 있다. 이 전자 회로 시험 장치는 테스터(11), 버퍼(12, 13), Tx/Rx 스위치(14), 리드(27) 및 LSI 칩(20a)으로 이루어진다. 이와 같이 본 실시예 2의 전자 회로 시험 장치는 시험 대상인 LSI 칩(20b)의 통신 채널의 위치와 대응하는 위치에 제1 송수신 코일(21a, 23a)을 배치시킨 LSI 칩(20a)을 프로브로서 사용하는 것이다. 따라서, 테스터(11), 버퍼(12, 13), Tx/Rx 스위치(14), 송수신 코일(21a, 21b, 23a, 23b) 및 송수신 회로(22a, 22b, 24a, 24b)의 구성은 실시예 1의 것과 동일하다. 본 실시예 2에서는 패드(25a)에 리드(27)를 접속하여 프로브로서의 LSI 칩(20a)에 시험 신호를 공급하고, 검출 신호를 받도록 되어 있다. 시험을 할 때의 LSI 칩(20b)에의 전원의 공급과 클럭의 공급을 유도성 결합에 의해 행할 수도 있는데, 일부의 직접 접속을 허용한다면 패드(25b)를 통하여 전원(전원을 위한 패드는 도시하지 않았음) 및 클럭을 공급하도록 할 수도 있다.

[0040] 이와 같이 본 실시예 2에서는 시험 대상인 LSI 칩에 거의 직접 접촉을 하지 않거나 완전히 하지 않고 LSI 칩을 시험할 수 있다.

[0041] 한편, 본 발명은 상기 실시예에 한정되지 않는다.

[0042] 상기 실시예의 구성을 PCB에 적용할 수 있음은 물론이다.

[0043] 본 명세서에서 인용한 모든 간행물, 특허 및 특허 출원을 그대로 참고로서 본 명세서에 도입하기로 한다.

산업상 이용 가능성

[0044] 본 발명에 따르면, 무접촉으로 전자 회로를 시험할 수 있다. 따라서, 전자 회로 시험 장치에 전자 회로의 패드와 접촉하는 바늘을 설치할 필요가 없어서 수명을 길게 할 수 있다. 또한, 전자 회로를 설계하는 데 테스트용 패드를 설치할 필요가 없어서 회로 설계의 자유도가 높아진다. 더욱이, 종래의 접촉하는 타입의 프로브로 시험하는 경우에 전자 회로의 프로브 접촉 부분인 입출력 회로에 필요한 정전 방전 보호 회로는 그 회로에 사용되는 커다란 트랜지스터에 기인하는 커다란 정전 용량이 존재하기 때문에 입출력 회로를 고속화하는 데 방해가 되던 것에 반해, 본 발명은 무접촉으로 시험하므로 ESD 보호 회로를 필요로 하지 않기 때문에 프로브와의 사이의 입출력 동작을 고속화하는 것이 가능해져, 온 타임으로 테스트할(시험을 위한 느린 동작이 아니라 통상 가동 시의 빠른 동작으로 테스트할) 수 있다. 또한 나아가, 유도성 결합(즉, L 커플링) 자체가 하이 패스 필터의 특성을 갖기 때문에 고속 동작에 유리하다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시예 1에 따른 전자 회로 시험 장치의 구성 및 시험할 LSI의 구성을 도시한 도면이다.

[0020] 도 2는 본 발명의 실시예 2에 따른 전자 회로 시험 장치의 구성 및 시험할 LSI 칩의 구성을 도시한 도면이다.

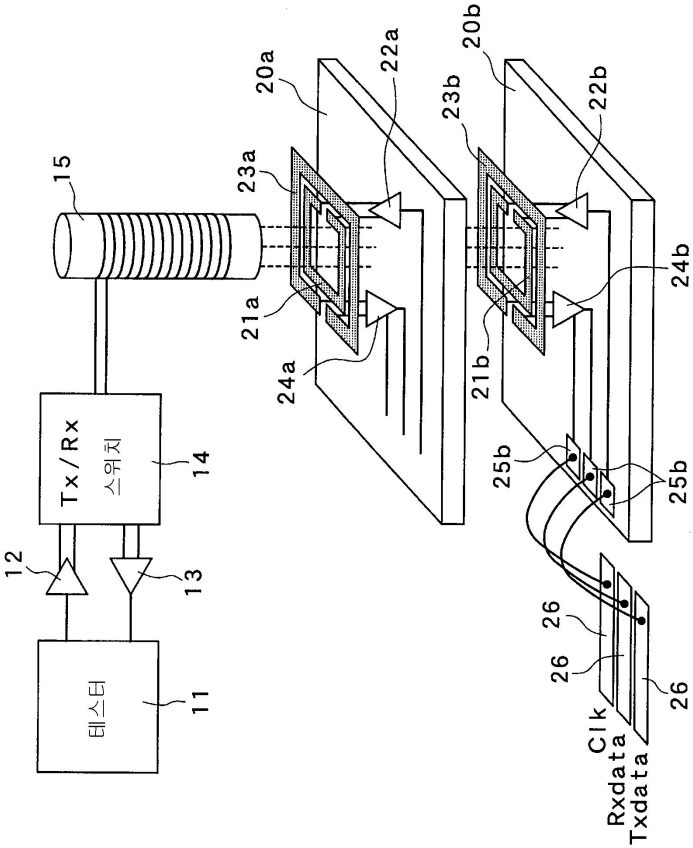
[0021] 도 3은 선원 발명의 전자 회로의 구성을 도시한 도면이다.

[0022] <부호의 설명>

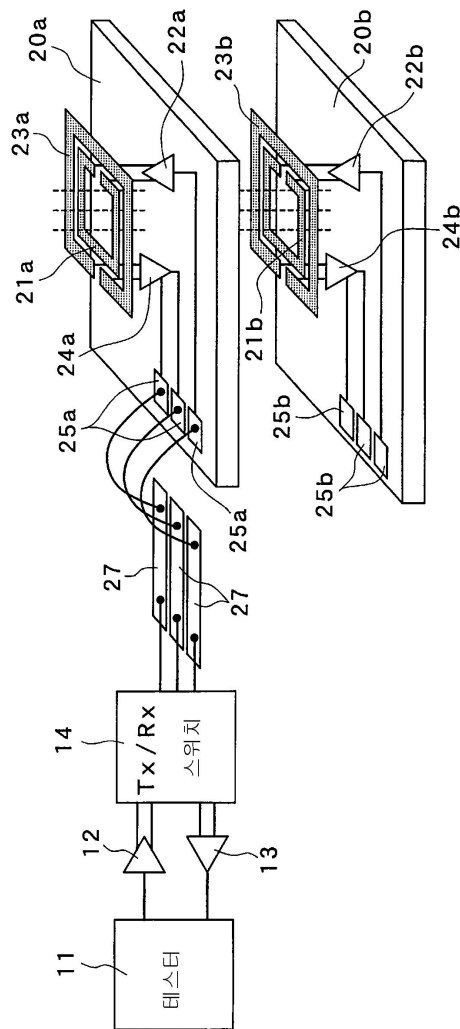
[0023]	11 : 테스트	12, 13 : 버퍼
[0024]	14 : Tx/Rx 스위치	20 : LSI 칩
[0025]	21 : 송신 코일	22 : 송신 회로
[0026]	23 : 수신 코일	24 : 수신 회로
[0027]	25 : 패드	26, 27 : 리드
[0028]	31 : LSI 칩	32 : 송신 회로
[0029]	33 : 송신 코일	34 : 수신 회로
[0030]	35 : 수신 코일	Txdata : 송신 데이터
[0031]	Rxdata : 수신 데이터	Clk : 클록

도면

도면1



도면2



도면3

