

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6416143号
(P6416143)

(45) 発行日 平成30年10月31日(2018.10.31)

(24) 登録日 平成30年10月12日(2018.10.12)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 E
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 A
	HO 1 L 29/78 6 5 2 D
	HO 1 L 29/78 6 5 3 A
	請求項の数 6 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2016-53104 (P2016-53104)
 (22) 出願日 平成28年3月16日 (2016. 3. 16)
 (65) 公開番号 特開2017-168665 (P2017-168665A)
 (43) 公開日 平成29年9月21日 (2017. 9. 21)
 審査請求日 平成29年8月31日 (2017. 8. 31)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 河野 洋志
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電極と、
 第2の電極と、
 少なくとも一部が前記第1の電極と前記第2の電極との間に設けられた炭化珪素層と、
 前記炭化珪素層内に設けられた第1導電型の第1の炭化珪素領域と、
 前記炭化珪素層内の前記第1の炭化珪素領域と前記第1の電極との間に設けられ、前記
 第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型の不純物濃度が高い第
 1導電型の第2の炭化珪素領域と、
 前記炭化珪素層内の前記第1の炭化珪素領域と前記第1の電極との間に設けられ、前記
 第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型の不純物濃度が高い第
 1導電型の第3の炭化珪素領域と、
 前記第1の電極と前記第2の電極との間に設けられた第1のゲート電極と、
 前記第1の電極と前記第2の電極との間に設けられた第2のゲート電極と、
 前記第1の炭化珪素領域及び前記第2の炭化珪素領域と前記第1のゲート電極との間に
 少なくとも一部が設けられた第1のゲート絶縁膜と、
 前記第1の炭化珪素領域及び前記第3の炭化珪素領域と前記第2のゲート電極との間に
 少なくとも一部が設けられた第2のゲート絶縁膜と、
 前記炭化珪素層内の前記第1の炭化珪素領域と前記第2の炭化珪素領域の間、前記第1
 のゲート絶縁膜と前記第2のゲート絶縁膜との間に設けられた第2導電型の第4の炭化珪

10

20

素領域と、

前記炭化珪素層内の前記第1の炭化珪素領域と前記第3の炭化珪素領域の間、前記第4の炭化珪素領域と前記第2のゲート絶縁膜との間に設けられた第2導電型の第5の炭化珪素領域と、

前記炭化珪素層内の前記第1の炭化珪素領域と前記第2の炭化珪素領域の間、前記第4の炭化珪素領域と前記第5の炭化珪素領域との間に設けられ、前記第1の炭化珪素領域及び前記第2の炭化珪素領域に接し、前記第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第6の炭化珪素領域と、

前記炭化珪素層内の前記第1の炭化珪素領域と前記第3の炭化珪素領域の間、前記第5の炭化珪素領域と前記第6の炭化珪素領域との間に設けられ、前記第1の炭化珪素領域及び前記第3の炭化珪素領域に接し、前記第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第7の炭化珪素領域と、

前記炭化珪素層内の前記第6の炭化珪素領域と前記第7の炭化珪素領域との間に設けられ、前記第6の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低く、前記第7の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第8の炭化珪素領域と、

前記炭化珪素層内の前記第1の炭化珪素領域と前記第4の炭化珪素領域との間に設けられ、前記第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第9の炭化珪素領域と、

前記炭化珪素層内の前記第1の炭化珪素領域と前記第5の炭化珪素領域との間に設けられ、前記第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第10の炭化珪素領域と、

を備え、

前記第9の炭化珪素領域と前記第10の炭化珪素領域との間に、前記第1の炭化珪素領域が挟まれる半導体装置。

【請求項2】

前記第6の炭化珪素領域と前記第2の電極との距離が、前記第1のゲート絶縁膜と前記第2の電極との距離よりも長く、

前記第7の炭化珪素領域と前記第2の電極との距離が、前記第2のゲート絶縁膜と前記第2の電極との距離よりも長い請求項1記載の半導体装置。

【請求項3】

前記炭化珪素層内の前記第1の炭化珪素領域及び前記第8の炭化珪素領域内に設けられ、前記第2の電極との距離が、前記第1のゲート絶縁膜と前記第2の電極との距離及び前記第2のゲート絶縁膜と前記第2の電極との距離よりも短く、前記第8の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第11の炭化珪素領域を、更に備える請求項1又は請求項2記載の半導体装置。

【請求項4】

前記第1のゲート絶縁膜と前記第6の炭化珪素領域との距離が10nm以上100nm以下であり、

前記第2のゲート絶縁膜と前記第7の炭化珪素領域との距離が10nm以上100nm以下である請求項1乃至請求項3いずれか一項記載の半導体装置。

【請求項5】

前記第6の炭化珪素領域の第2導電型の不純物濃度が前記第4の炭化珪素領域の第2導電型の不純物濃度の2倍以上100倍以下であり、前記第7の炭化珪素領域の第2導電型の不純物濃度が前記第5の炭化珪素領域の第2導電型の不純物濃度の2倍以上100倍以下である請求項1乃至請求項4いずれか一項記載の半導体装置。

【請求項6】

前記第1の炭化珪素領域と前記第2の炭化珪素領域の間の距離が0.1μm以上0.3μm以下であり、

前記第1の炭化珪素領域と前記第3の炭化珪素領域の間の距離が0.1μm以上0.3

10

20

30

40

50

μm 以下である請求項1乃至請求項5いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料として炭化珪素が期待されている。炭化珪素はシリコンと比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能な半導体デバイスを実現することができる。

10

【0003】

炭化珪素を用いたMOSFET(Metal Oxide Semiconductor Field Effect Transistor)のオン抵抗を低減する構造として、トレンチ内にゲート電極を設けるトレンチゲート型のMOSFETがある。トレンチゲート型のMOSFETにおいて更にオン抵抗を低減するために、チャネル長を短くすることが望まれる。しかし、チャネル長を短くすると、MOSFETのオフ時にドレインソース間を流れるチャネルリーク電流が増加することが問題となる。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2011-109021号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、チャネルリーク電流の低減を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

30

実施形態の半導体装置は、第1の電極と、第2の電極と、少なくとも一部が前記第1の電極と前記第2の電極との間に設けられた炭化珪素層と、前記炭化珪素層内に設けられた第1導電型の第1の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第1の電極との間に設けられ、前記第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型の不純物濃度が高い第1導電型の第2の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第1の電極との間に設けられ、前記第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型の不純物濃度が高い第1導電型の第3の炭化珪素領域と、前記第1の電極と前記第2の電極との間に設けられた第1のゲート電極と、前記第1の電極と前記第2の電極との間に設けられた第2のゲート電極と、前記第1の炭化珪素領域及び前記第2の炭化珪素領域と前記第1のゲート電極との間に少なくとも一部が設けられた前記第1のゲート絶縁膜と、前記第1の炭化珪素領域及び前記第3の炭化珪素領域と前記第2のゲート電極との間に少なくとも一部が設けられた前記第2のゲート絶縁膜と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第2の炭化珪素領域の間、前記第1のゲート絶縁膜と前記第2のゲート絶縁膜との間に設けられた第2導電型の第4の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第3の炭化珪素領域の間、前記第4の炭化珪素領域と前記第2のゲート絶縁膜との間に設けられた第2導電型の第5の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第2の炭化珪素領域の間、前記第4の炭化珪素領域と前記第5の炭化珪素領域との間に設けられ、前記第1の炭化珪素領域及び前記第2の炭化珪素領域に接し、前記第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第6の炭化珪

40

50

素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第3の炭化珪素領域の間、前記第5の炭化珪素領域と前記第6の炭化珪素領域との間に設けられ、前記第1の炭化珪素領域及び前記第3の炭化珪素領域に接し、前記第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第7の炭化珪素領域と、前記炭化珪素層内の前記第6の炭化珪素領域と前記第7の炭化珪素領域との間に設けられ、前記第6の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低く、前記第7の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第8の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第4の炭化珪素領域との間に設けられ、前記第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第9の炭化珪素領域と、前記炭化珪素層内の前記第1の炭化珪素領域と前記第5の炭化珪素領域との間に設けられ、前記第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第10の炭化珪素領域と、を備え、前記第9の炭化珪素領域と前記第10の炭化珪素領域との間に、前記第1の炭化珪素領域が挟まれる。

10

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】比較形態の半導体装置の模式断面図。

【図3】第2の実施形態の半導体装置の模式断面図。

【図4】第3の実施形態の半導体装置の模式断面図。

【図5】第4の実施形態の半導体装置の模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

20

30

【0010】

不純物濃度は、例えば、SIMS (Secondary Ion Mass Spectrometry) により測定することが可能である。また、不純物濃度の相対的な高低は、例えば、SCM (Scanning Capacitance Microscopy) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の深さ等の距離は、例えば、SIMSで求めることが可能である。また、不純物領域の深さ等の距離は、例えば、SCM像とAFM (Atomic Force Microscope) 像との合成画像から求めることが可能である。

40

【0011】

(第1の実施形態)

本実施形態の半導体装置は、第1の電極と、第2の電極と、少なくとも一部が第1の電極と第2の電極との間に設けられた炭化珪素層と、炭化珪素層内に設けられた第1導電型の第1の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第1の電極との間に設けられ、第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型の不純物濃度が高い第1導電型の第2の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第1の電極との間に設けられ、第1の炭化珪素領域の第1の導電型の不純物濃度よりも第1導電型

50

の不純物濃度が高い第1導電型の第3の炭化珪素領域と、第1の電極と第2の電極との間に設けられた第1のゲート電極と、第1の電極と第2の電極との間に設けられた第2のゲート電極と、第1の炭化珪素領域及び第2の炭化珪素領域と第1のゲート電極との間に少なくとも一部が設けられた第1のゲート絶縁膜と、第1の炭化珪素領域及び第3の炭化珪素領域と第2のゲート電極との間に少なくとも一部が設けられた第2のゲート絶縁膜と、炭化珪素層内の第1の炭化珪素領域と第2の炭化珪素領域の間、第1のゲート絶縁膜と第2のゲート絶縁膜との間に設けられた第2導電型の第4の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第3の炭化珪素領域の間、第4の炭化珪素領域と第2のゲート絶縁膜との間に設けられた第2導電型の第5の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第2の炭化珪素領域の間、第4の炭化珪素領域と第5の炭化珪素領域との間に設けられ、第1の炭化珪素領域及び第2の炭化珪素領域に接し、第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第6の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第3の炭化珪素領域の間、第5の炭化珪素領域と第6の炭化珪素領域との間に設けられ、第1の炭化珪素領域及び第3の炭化珪素領域に接し、第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第7の炭化珪素領域と、炭化珪素層内の第6の炭化珪素領域と第7の炭化珪素領域との間に設けられ、第6の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低く、第7の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第8の炭化珪素領域と、を備える。

10

【0012】

20

図1は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、炭化珪素を用いたトレンチゲート型の縦型MOSFET100である。以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。

【0013】

MOSFET100は、炭化珪素層10、ソース電極12、ドレイン電極14、第1のゲート絶縁膜16a、第2のゲート絶縁膜16b、第1のゲート電極18a、第2のゲート電極18b、第1の層間絶縁膜20a、第2の層間絶縁膜20b、第1のトレンチ22a、及び、第2のトレンチ22bを備える。

【0014】

炭化珪素層10内には、 n^+ 型のドレイン領域24、 n^- 型のドリフト領域(第1の炭化珪素領域)26、p型のボディ領域28、 n^+ 型の第1のソース領域(第2の炭化珪素領域)30a、 n^+ 型の第2のソース領域(第3の炭化珪素領域)30b、 p^+ 型のコンタクト領域32、 p^+ 型の第1のストッパー領域(第6の炭化珪素領域)34a、及び、 p^+ 型の第2のストッパー領域(第7の炭化珪素領域)34bを備える。

30

【0015】

p型のボディ領域28は、p型の第1のチャネル領域(第4の炭化珪素領域)28a、p型の第2のチャネル領域(第5の炭化珪素領域)28b、及び、中間領域(第8の炭化珪素領域)28cを備える。

【0016】

炭化珪素層10は、単結晶のSiCである。炭化珪素層10は、例えば、4H-SiC

40

【0017】

炭化珪素層10は、第1の面(図1中“P1”)と第2の面(図1中“P2”)とを備える。以下、第1の面を表面、第2の面を裏面とも称する。なお、以下、「深さ」とは、第1の面を基準とする深さを意味する。

【0018】

第1の面は、例えば、(0001)面に対し0度以上8度以下傾斜した面である。また、第2の面は、例えば、(000-1)面に対し0度以上8度以下傾斜した面である。(0001)面はシリコン面と称される。(000-1)面はカーボン面と称される。

【0019】

50

n^+ 型のドレイン領域24は、炭化珪素層10の裏面側に設けられる。ドレイン領域24は、例えば、窒素(N)を n 型不純物として含む。ドレイン領域24の n 型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0020】

n^- 型のドリフト領域26は、ドレイン領域24上に設けられる。ドリフト領域26は、例えば、窒素(N)を n 型不純物として含む。ドリフト領域26の n 型不純物の不純物濃度は、ドレイン領域24の n 型不純物の不純物濃度よりも低い。ドリフト領域26の n 型不純物の不純物濃度は、例えば、 $4 \times 10^{14} \text{ cm}^{-3}$ 以上 $6 \times 10^{16} \text{ cm}^{-3}$ 以下である。ドリフト領域26の厚さは、例えば、 $5 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下である。

【0021】

p 型のボディ領域28は、ドリフト領域26と炭化珪素層10の表面との間に設けられる。 p 型のボディ領域28は、 p 型の第1のチャンネル領域28a、 p 型の第2のチャンネル領域28b、及び、 p 型の間領域28cを備える。

【0022】

第1のチャンネル領域28a及び第2のチャンネル領域28bは、MOSFET100のチャンネル領域として機能する。

【0023】

第1のチャンネル領域28aは、ドリフト領域26と第1のソース領域30aとの間に設けられる。第1のチャンネル領域28aは、第1のゲート絶縁膜16aと第2のゲート絶縁膜16bとの間に設けられる。

【0024】

第2のチャンネル領域28bは、ドリフト領域26と第2のソース領域30bとの間に設けられる。第2のチャンネル領域28bは、第1のチャンネル領域28aと第2のゲート絶縁膜16bとの間に設けられる。

【0025】

中間領域28cは、ドリフト領域26とソース電極12との間に設けられる。中間領域28cは、第1のチャンネル領域28aと第2のチャンネル領域28bとの間に設けられる。中間領域28cは、第1のストッパー領域34aと第2のストッパー領域34bとの間に設けられる。

【0026】

ボディ領域28は、例えば、アルミニウム(Al)を p 型不純物として含む。ボディ領域28の p 型不純物の不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0027】

第1のチャンネル領域28a、第2のチャンネル領域28b、及び、中間領域28cの p 型不純物の不純物濃度は、略同一である。第1のチャンネル領域28a、及び、第2のチャンネル領域28bは、製造ばらつきの範囲内で同一の不純物濃度を備える。

【0028】

ボディ領域28の深さは、例えば、 $0.2 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。ボディ領域28の深さ方向の幅は、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。第1のチャンネル領域28a、第2のチャンネル領域28b、及び、中間領域28cの深さ及び深さ方向の幅は、略同一である。第1のチャンネル領域28a、第2のチャンネル領域28b、及び、中間領域28cは、製造ばらつきの範囲内で同一の深さ及び深さ方向の幅を備える。

【0029】

n^+ 型の第1のソース領域30aは、ドリフト領域26とソース電極12との間に設けられる。第1のソース領域30aは、第1のチャンネル領域28aとソース電極12との間に設けられる。

【0030】

第1のソース領域30aは、例えば、リン(P)を n 型不純物として含む。第1のソース領域30aの n 型不純物の不純物濃度は、ドリフト領域26の n 型不純物の不純物濃度

10

20

30

40

50

よりも高い。

【0031】

第1のソース領域30aのn型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。第1のソース領域30aの深さはボディ領域28の深さよりも浅く、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。ドリフト領域26と第1のソース領域30aとの距離は、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。

【0032】

n⁺型の第2のソース領域30bは、ドリフト領域26とソース電極12との間に設けられる。第2のソース領域30bは、第2のチャンネル領域28bとソース電極12との間に設けられる。

10

【0033】

第2のソース領域30bは、例えば、リン(P)をn型不純物として含む。第2のソース領域30bのn型不純物の不純物濃度は、ドリフト領域26のn型不純物の不純物濃度よりも高い。

【0034】

第2のソース領域30bのn型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。第2のソース領域30bの深さはボディ領域28の深さよりも浅く、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。ドリフト領域26と第2のソース領域30bとの距離は、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。

【0035】

第1のソース領域30aと第2のソース領域30bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。

20

【0036】

p⁺型のコンタクト領域32は、中間領域28cとソース電極12との間に設けられる。p⁺型のコンタクト領域32は、第1のソース領域30aと第2のソース領域30bとの間に設けられる。コンタクト領域32のp型不純物の不純物濃度は、ボディ領域28のp型不純物の不純物濃度よりも高い。

【0037】

コンタクト領域32は、ソース電極12のコンタクト抵抗を低減する機能を備える。

【0038】

コンタクト領域32は、例えば、アルミニウム(Al)をp型不純物として含む。

30

【0039】

第1のゲート電極18aは、ソース電極12とドレイン電極14との間に設けられる。第1のゲート電極18aは、炭化珪素層10に形成された第1のトレンチ22a内に設けられる。第1のゲート電極18aは、第1のゲート絶縁膜16a上に設けられる。

【0040】

第1のゲート電極18aは、導電層である。第1のゲート電極18aは、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

【0041】

第2のゲート電極18bは、ソース電極12とドレイン電極14との間に設けられる。第2のゲート電極18bは、炭化珪素層10に形成された第2のトレンチ22b内に設けられる。第2のゲート電極18bは、第2のゲート絶縁膜16b上に設けられる。

40

【0042】

第2のゲート電極18bは、導電層である。第2のゲート電極18bは、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

【0043】

第1のゲート絶縁膜16aは、ドリフト領域26、第1のチャンネル領域28a、及び、第1のソース領域30aと、第1のゲート電極18aとの間に設けられる。第1のゲート絶縁膜16aは、第1のトレンチ22a内に設けられる。

【0044】

50

第1のゲート絶縁膜16aの炭化珪素層10の裏面側の端部の深さは、ボディ領域28の深さよりも深い。言い換えれば、第1のゲート絶縁膜16aとドレイン電極14との距離は、ボディ領域28とドレイン電極14との距離よりも短い。

【0045】

第1のゲート絶縁膜16aは、例えば、シリコン酸化膜である。第1のゲート絶縁膜16aには、例えば、High-k絶縁膜(高誘電率絶縁膜)が適用可能である。

【0046】

第2のゲート絶縁膜16bは、ドリフト領域26、第2のチャネル領域28b、及び、第2のソース領域30bと、第2のゲート電極18bとの間に設けられる。第2のゲート絶縁膜16bは、第2のトレンチ22b内に設けられる。

10

【0047】

第2のゲート絶縁膜16bの炭化珪素層10の裏面側の端部の深さは、ボディ領域28の深さよりも深い。言い換えれば、第2のゲート絶縁膜16bとドレイン電極14との距離は、ボディ領域28とドレイン電極14との距離よりも短い。

【0048】

第2のゲート絶縁膜16bは、例えば、シリコン酸化膜である。第2のゲート絶縁膜16bには、例えば、High-k絶縁膜(高誘電率絶縁膜)が適用可能である。

【0049】

p⁺型の第1のストッパー領域34aは、ドリフト領域26と第1のソース領域30aとの間に設けられる。第1のストッパー領域34aは、第1のチャネル領域28aと第2のチャネル領域28bとの間に設けられる。第1のストッパー領域34aは、第1のチャネル領域28aと中間領域28cとの間に設けられる。

20

【0050】

第1のストッパー領域34aは、ドリフト領域26及び第1のソース領域30aに接する。第1のストッパー領域34aのp型不純物の不純物濃度は、第1のチャネル領域28aのp型不純物の不純物濃度より高い。

【0051】

第1のストッパー領域34aは、MOSFET100のオフ時のチャネルリーク電流を低減する機能を備える。

【0052】

第1のゲート絶縁膜16aと第1のストッパー領域34aとの距離は、例えば、10nm以上100nm以下である。なお、第1のゲート絶縁膜16aと第1のストッパー領域34aとの距離とは、第1のゲート絶縁膜16aと第1のチャネル領域28aとの界面から、第1のストッパー領域34aのp型不純物分布のピーク位置までの距離を意味する。

30

【0053】

第1のストッパー領域34aとドレイン電極14との距離は、第1のゲート絶縁膜16aとドレイン電極14との距離よりも短い。言い換えれば、第1のストッパー領域34aの深さは、第1のトレンチ22aの深さよりも浅い。

【0054】

第1のストッパー領域34aは、例えば、アルミニウム(Al)をp型不純物として含む。第1のストッパー領域34aのp型不純物の不純物濃度は、例えば、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

40

【0055】

第1のストッパー領域34aのp型不純物の不純物濃度は、例えば、第1のチャネル領域28aのp型不純物の不純物濃度の2倍以上100倍以下である。

【0056】

第1のストッパー領域34aは、例えば、第1のトレンチ22aの形成後に、斜めイオン注入によりp型不純物を第1のトレンチ22aの側面から炭化珪素層10に導入することで形成が可能である。また、例えば、第1のトレンチ22aのエッチングを第1のステップと第2のステップに分割する。例えば、第1のステップ後にp型不純物を炭化珪素層

50

10内に導入した後、第2のステップを行うことで、第1のトレンチ22aの深さよりも浅い第1のストッパー領域34aを形成することが可能である。

【0057】

p⁺型の第2のストッパー領域34bは、ドリフト領域26と第2のソース領域30bとの間に設けられる。第2のストッパー領域34bは、第1のチャンネル領域28aと第2のチャンネル領域28bとの間に設けられる。第2のストッパー領域34bは、第2のチャンネル領域28bと中間領域28cとの間に設けられる。

【0058】

第2のストッパー領域34bは、ドリフト領域26及び第2のソース領域30bに接する。第2のストッパー領域34bのp型不純物の不純物濃度は、第2のチャンネル領域28bのp型不純物の不純物濃度より高い。

10

【0059】

第2のストッパー領域34bは、MOSFET100のオフ時のチャンネルリーク電流を低減する機能を備える。

【0060】

第2のゲート絶縁膜16bと第2のストッパー領域34bとの距離は、例えば、10nm以上100nm以下である。なお、第2のゲート絶縁膜16bと第2のストッパー領域34bとの距離とは、第2のゲート絶縁膜16bと第2のチャンネル領域28bとの界面から、第2のストッパー領域34bのp型不純物分布のピーク位置までの距離を意味する。

【0061】

20

第2のストッパー領域34bとドレイン電極14との距離は、第2のゲート絶縁膜16bとドレイン電極14との距離よりも短い。言い換えれば、第2のストッパー領域34bの深さは、第2のトレンチ22bの深さよりも浅い。

【0062】

第2のストッパー領域34bは、例えば、アルミニウム(Al)をp型不純物として含む。第2のストッパー領域34bのp型不純物の不純物濃度は、例えば、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0063】

第2のストッパー領域34bのp型不純物の不純物濃度は、例えば、第2のチャンネル領域28bのp型不純物の不純物濃度の2倍以上100倍以下である。

30

【0064】

第2のストッパー領域34bは、例えば、第2のトレンチ22bの形成後に、斜めイオン注入によりp型不純物を第2のトレンチ22bの側面から炭化珪素層10に導入することで形成が可能である。また、例えば、第2のトレンチ22bのエッチングを第1のステップと第2のステップに分割する。例えば、第1のステップ後にp型不純物を炭化珪素層10内に導入した後、第2のステップを行うことで、第2のトレンチ22bの深さよりも浅い第2のストッパー領域34bを形成することが可能である。

【0065】

第1の層間絶縁膜20aは、第1のゲート電極18a上に設けられる。第1の層間絶縁膜20aは、例えば、シリコン酸化膜である。

40

【0066】

第2の層間絶縁膜20bは、第2のゲート電極18b上に設けられる。第2の層間絶縁膜20bは、例えば、シリコン酸化膜である。

【0067】

ソース電極12は、炭化珪素層10の表面上に設けられる。ソース電極12は、第1のソース領域30a、第2のソース領域30b、及び、コンタクト領域32に接する。

【0068】

ソース電極12は、金属を含む。ソース電極12を形成する金属は、例えば、チタン(Ti)とアルミニウム(Al)の積層構造である。ソース電極12は、炭化珪素層10に接する金属シリサイドや金属カーバイドを含んでも構わない。

50

【0069】

ドレイン電極14は、炭化珪素層10の裏面上に設けられる。ドレイン電極14は、ドレイン領域24に接する。

【0070】

ドレイン電極14は、例えば、金属又は金属半導体化合物である。ドレイン電極14は、例えば、ニッケルシリサイド(NiSi)、チタン(Ti)、ニッケル(Ni)、銀(Ag)、及び、金(Au)から成る群から選ばれる材料を含む。

【0071】

以下、実施形態の半導体装置の作用及び効果について説明する。

【0072】

本実施形態のようなトレンチゲート型のMOSFET100では、プレーナ構造のMOSFETに比べ微細化が可能である。したがって、チャンネル密度が向上できる。したがって、MOSFETのオン抵抗が低減される。

【0073】

オン抵抗を更に低減するために、チャンネル長を短くしてチャンネル抵抗を低減することが考えられる。チャンネル長はドレイン-ソース間の距離である。

【0074】

しかし、チャンネル長を短くするとMOSFET100のオフ時にドレイン-ソース間を流れるチャンネルリーク電流が増加することが問題となる。チャンネルリーク電流はサブスレシールド電流とも称される。

【0075】

図2は、比較形態の半導体装置の模式断面図である。比較形態のMOSFET900は、第1のストッパー領域34a及び第2のストッパー領域34bを備えない点で本実施形態のMOSFET100と異なっている。

【0076】

チャンネル長を短くすると、ドレイン領域又はソース領域からチャンネル領域に伸びる空乏層により、チャンネル領域の表面ポテンシャルが下がりやすくなる。したがって、チャンネル長を短くすると、チャンネルリーク電流が増加する。

【0077】

MOSFET900において、チャンネル領域はボディ領域28が第1のゲート絶縁膜16aと接する領域近傍、及び、ボディ領域28が第2のゲート絶縁膜16bと接する領域近傍である。MOSFET900のオフ時に、ドリフト領域26からボディ領域28に伸びる空乏層、及び、第1のソース領域30a及び第2のソース領域30bからボディ領域28に伸びる空乏層によってチャンネル領域の表面ポテンシャルが低下することが問題となる。

【0078】

本実施形態のMOSFET100では、第1のチャンネル領域28aに隣接する位置に、第1のストッパー領域34aを設ける。第1のストッパー領域34aのp型不純物の不純物濃度は、第1のチャンネル領域28aのp型不純物の不純物濃度より高い。

【0079】

したがって、ドリフト領域26から第1のチャンネル領域28aへの空乏層の伸び、及び、第1のソース領域30aから第1のチャンネル領域28aへの空乏層の伸びを抑制することで表面ポテンシャルの低下を抑制することが可能である。よって、MOSFET100のチャンネルリーク電流が低減される。

【0080】

特に、第1のチャンネル領域28aが、ドリフト領域26から第1のソース領域30aまで連続して存在するため、第1のチャンネル領域28aの表面ポテンシャルの低下が効果的に抑制される。

【0081】

第1のゲート絶縁膜16aと第1のストッパー領域34aとの距離は、10nm以上1

10

20

30

40

50

00nm以下であることが望ましい。上記範囲を下回ると、MOSFET100の閾値電圧が上昇する恐れがある。上記範囲を上回ると、第1のチャネル領域28aの表面ポテンシャルの低下の抑制が不十分となる恐れがある。

【0082】

また、第1のストッパー領域34aのp型不純物の不純物濃度は、第1のチャネル領域28aのp型不純物の不純物濃度の2倍以上100倍以下であることが望ましい。上記範囲を下回ると、第1のチャネル領域28aへの表面ポテンシャルの低下の抑制が不十分となる恐れがある。上記範囲を上回ると、結晶欠陥の発生によるリーク電流の増加が懸念される。

【0083】

また、第1のストッパー領域34aの深さは、第1のトレンチ22aの深さよりも浅いことが望ましい。第1のストッパー領域34aの深さが、第1のトレンチ22aの深さよりも深くなると、第1のストッパー領域34aと第1のトレンチ22aとの間の幅の狭いドリフト領域26の抵抗により、MOSFET100のオン抵抗が増加する恐れがある。

【0084】

第2のストッパー領域34bを設けることにより、第1のチャネル領域28aと同様の効果が生じる。したがって、MOSFET100のチャネルリーク電流が低減される。

【0085】

第1のストッパー領域34aの場合と同様の理由により、第2のゲート絶縁膜16bと第2のストッパー領域34bとの距離は、10nm以上100nm以下であることが望ましい。

【0086】

第1のストッパー領域34aの場合と同様の理由により、第2のストッパー領域34bのp型不純物の不純物濃度は、第2のチャネル領域28bのp型不純物の不純物濃度の2倍以上100倍以下であることが望ましい。

【0087】

第1のストッパー領域34aの場合と同様の理由により、第2のストッパー領域34bの深さは、第2のトレンチ22bの深さよりも浅いことが望ましい。

【0088】

また、本実施形態では、MOSFET100のオフ時に、第1のストッパー領域34a底部の中間領域28c側の角部に電界集中を生じさせることが出来る。同様に、第2のストッパー領域34bの中間領域28c側の角部に電界集中を生じさせることが出来る。したがって、MOSFET100の耐圧を向上させることが可能となる。よって、MOSFET100のアバランシェ耐量を向上させることが可能となる。

【0089】

以上、本実施形態によれば、チャネルリーク電流の低減を可能とするMOSFET100が実現される。

【0090】

(第2の実施形態)

本実施形態の半導体装置は、炭化珪素層内の第1の炭化珪素領域と第4の炭化珪素領域との間に設けられ、第4の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第9の炭化珪素領域と、炭化珪素層内の第1の炭化珪素領域と第5の炭化珪素領域との間に設けられ、第5の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が低い第2導電型の第10の炭化珪素領域と、を更に備える点で、第1の実施形態と異なっている。

以下、第1の実施形態と重複する内容については記述を省略する。

【0091】

図3は、本実施形態の半導体装置の模式断面図である。

【0092】

MOSFET200は、p⁻型の第1の低濃度領域(第9の炭化珪素領域)36aとp

10

20

30

40

50

n 型の第 2 の低濃度領域 (第 10 の炭化珪素領域) 36 b を、備える。

【0093】

第 1 の低濃度領域 36 a は、ドリフト領域 26 と第 1 のチャンネル領域 28 a との間に設けられる。第 1 の低濃度領域 36 a は、第 1 のゲート絶縁膜 16 a に接している。

【0094】

第 1 の低濃度領域 36 a とドレイン電極 14 との距離は、第 1 のゲート電極 18 a とドレイン電極との距離よりも短い。言い換えれば、第 1 の低濃度領域 36 a の深さは、第 1 のゲート電極 18 a の深さよりも浅い。

【0095】

第 1 の低濃度領域 36 a の p 型不純物の不純物濃度は、第 1 のチャンネル領域 28 a の p 型不純物の不純物濃度よりも低い。 10

【0096】

第 1 の低濃度領域 36 a は、例えば、アルミニウム (Al) を p 型不純物として含む。第 1 の低濃度領域 36 a の p 型不純物の不純物濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。

【0097】

p 型の第 2 の低濃度領域 36 b は、ドリフト領域 26 と第 2 のチャンネル領域 28 b との間に設けられる。第 2 の低濃度領域 36 b は、第 2 のゲート絶縁膜 16 b に接している。

【0098】

第 2 の低濃度領域 36 b とドレイン電極 14 との距離は、第 2 のゲート電極 18 b とドレイン電極との距離よりも短い。言い換えれば、第 2 の低濃度領域 36 b の深さは、第 2 のゲート電極 18 b の深さよりも浅い。 20

【0099】

第 2 の低濃度領域 36 b の p 型不純物の不純物濃度は、第 2 のチャンネル領域 28 b の p 型不純物の不純物濃度よりも低い。

【0100】

第 2 の低濃度領域 36 b は、例えば、アルミニウム (Al) を p 型不純物として含む。第 2 の低濃度領域 36 b の p 型不純物の不純物濃度は、例えば、 $5 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。 30

【0101】

第 1 の低濃度領域 36 a を備えることにより、第 1 の実施形態の MOSFET 100 と比較して、第 1 のチャンネル領域 28 a への空乏層の伸びが更に抑制される。したがって、MOSFET 200 のチャンネルリーク電流が低減される。

【0102】

また、第 1 の低濃度領域 36 a を備えることにより、第 1 のトレンチ 22 a 底部での電界集中が緩和される。したがって、第 1 のトレンチ 22 a 底部での電界集中による第 1 のゲート絶縁膜 16 a の破壊が抑制される。よって、MOSFET 200 の信頼性が向上する。

【0103】

なお、MOSFET 200 のオン動作時には、 p 型の第 1 の低濃度領域 36 a は、第 1 のゲート電極 18 a に印加されるゲート電圧に強く反転する。したがって、 p 型の第 1 の低濃度領域 36 a を設けることによるオン抵抗の増加は小さい。 40

【0104】

第 2 の低濃度領域 36 b を設けることにより、第 1 の低濃度領域 36 a と同様の効果が生じる。したがって、MOSFET 200 のチャンネルリーク電流が低減される。また、MOSFET 200 の信頼性が向上する。

【0105】

以上、本実施形態によれば、チャンネルリーク電流の低減を可能とする MOSFET 200 が実現される。更に、信頼性の向上を可能とする MOSFET 200 が実現される。 50

【 0 1 0 6 】

(第3の実施形態)

本実施形態の半導体装置は、第6の炭化珪素領域と第2の電極との距離が、第1のゲート絶縁膜と第2の電極との距離よりも短く、第7の炭化珪素領域と第2の電極との距離が、第2のゲート絶縁膜と前記第2の電極との距離よりも短い点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

【 0 1 0 7 】

図4は、本実施形態の半導体装置の模式断面図である。

【 0 1 0 8 】

MOSFET300は、第1のストッパー領域34aとドレイン電極14との距離が、第1のゲート絶縁膜16aとドレイン電極14との距離よりも短い。言い換えれば、第1のストッパー領域34aの深さは、第1のトレンチ22aの深さよりも深い。

10

【 0 1 0 9 】

また、MOSFET300は、第2のストッパー領域34bとドレイン電極14との距離が、第2のゲート絶縁膜16bとドレイン電極14との距離よりも短い。言い換えれば、第2のストッパー領域34bの深さは、第2のトレンチ22bの深さよりも深い。

【 0 1 1 0 】

第1のストッパー領域34aの深さを、第1のトレンチ22aの深さよりも深くすることにより、第1のトレンチ22a底部での電界集中が緩和される。したがって、第1のトレンチ22a底部での電界集中による第1のゲート絶縁膜16aの破壊が抑制される。

20

【 0 1 1 1 】

また、第2のストッパー領域34bの深さは、第2のトレンチ22bの深さよりも深くすることにより、第2のトレンチ22b底部での電界集中が緩和される。したがって、第2のトレンチ22b底部での電界集中による第2のゲート絶縁膜16bの破壊が抑制される。

【 0 1 1 2 】

以上、本実施形態によれば、チャネルリーク電流の低減を可能とするMOSFET300が実現される。更に、信頼性の向上を可能とするMOSFET300が実現される。

【 0 1 1 3 】

(第4の実施形態)

本実施形態の半導体装置は、炭化珪素層内の第8の炭化珪素領域内に設けられ、第2の電極との距離が、第1のゲート絶縁膜と第2の電極との距離及び第2のゲート絶縁膜と第2の電極との距離よりも短く、第8の炭化珪素領域の第2導電型の不純物濃度よりも第2導電型の不純物濃度が高い第2導電型の第11の炭化珪素領域を、更に備える点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

30

【 0 1 1 4 】

図5は、本実施形態の半導体装置の模式断面図である。

【 0 1 1 5 】

MOSFET400は、 p^+ 型の電界緩和領域(第11の炭化珪素領域)38を、備える。

40

【 0 1 1 6 】

p^+ 型の電界緩和領域38は、ドリフト領域26(第1の炭化珪素領域)26及び中間領域(第8の炭化珪素領域)28c内に設けられる。

【 0 1 1 7 】

電界緩和領域38とドレイン電極14までの距離は、第1のゲート絶縁膜16aとドレイン電極14との距離及び第2のゲート絶縁膜16bとドレイン電極14との距離よりも短い。言い換えれば、電界緩和領域38の深さは、第1のトレンチ22a及び第2のトレンチ22bの深さよりも深い。

【 0 1 1 8 】

50

電界緩和領域 3 8 の p 型不純物の不純物濃度は、中間領域 2 8 c の p 型不純物の不純物濃度よりも高い。

【 0 1 1 9 】

電界緩和領域 3 8 は、例えば、アルミニウム (A l) を p 型不純物として含む。電界緩和領域 3 8 の p 型不純物の不純物濃度は、例えば、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【 0 1 2 0 】

電界緩和領域 3 8 を備えることにより、第 1 の実施形態の M O S F E T 1 0 0 と比較して、第 1 のトレンチ 2 2 a 底部での電界集中が緩和される。また、第 2 のトレンチ 2 2 b 底部での電界集中が緩和される。

10

【 0 1 2 1 】

したがって、第 1 のトレンチ 2 2 a 底部での電界集中による第 1 のゲート絶縁膜 1 6 a の破壊が抑制される。また、第 2 のトレンチ 2 2 b 底部での電界集中による第 2 のゲート絶縁膜 1 6 b の破壊が抑制される。

【 0 1 2 2 】

以上、本実施形態によれば、チャネルリーク電流の低減を可能とする M O S F E T 4 0 0 が実現される。更に、信頼性の向上を可能とする M O S F E T 4 0 0 が実現される。

【 0 1 2 3 】

第 1 乃至第 4 の実施形態では、M O S F E T を例に説明したが、I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r) にも、本発明の適用が可能である。I G B T の場合は、 n^+ 型のドレイン領域 2 4 にかえて、 p^+ 型のコレクタ領域が設けられる。また、第 1 のソース領域 3 0 a 及び第 2 のソース領域 3 0 b は、それぞれ、第 1 のエミッタ領域及び第 2 のエミッタ領域と称される。更に、第 1 の電極がエミッタ電極、第 2 の電極がコレクタ電極となる。

20

【 0 1 2 4 】

第 1 乃至第 4 の実施形態では、S i C の結晶構造として 4 H - S i C の場合を例に説明したが、本発明は 6 H - S i C 、 3 C - S i C 等、その他の結晶構造の S i C を用いたデバイスに適用することも可能である。また、炭化珪素層 1 0 の表面に (0 0 0 1) 面以外の面を適用することも可能である。

【 0 1 2 5 】

第 1 乃至第 4 の実施形態では、第 1 導電型が n 型、第 2 導電型が p 型の場合を例に説明したが、第 1 導電型を p 型、第 2 導電型を n 型とすることも可能である。

30

【 0 1 2 6 】

第 1 乃至第 4 の実施形態では、p 型不純物としてアルミニウム (A l) を例示したが、ボロン (B) を用いることも可能である。また、n 型不純物として窒素 (N) 及びリン (P) を例示したが、砒素 (A s) 、アンチモン (S b) 等を適用することも可能である。

【 0 1 2 7 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

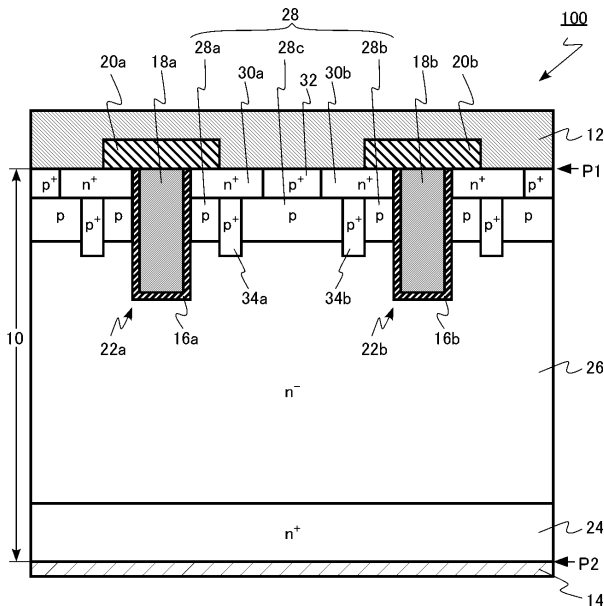
【 0 1 2 8 】

- 1 0 炭化珪素層
- 1 2 ソース電極 (第 1 の電極)
- 1 4 ドレイン電極 (第 2 の電極)
- 1 6 a 第 1 のゲート絶縁膜

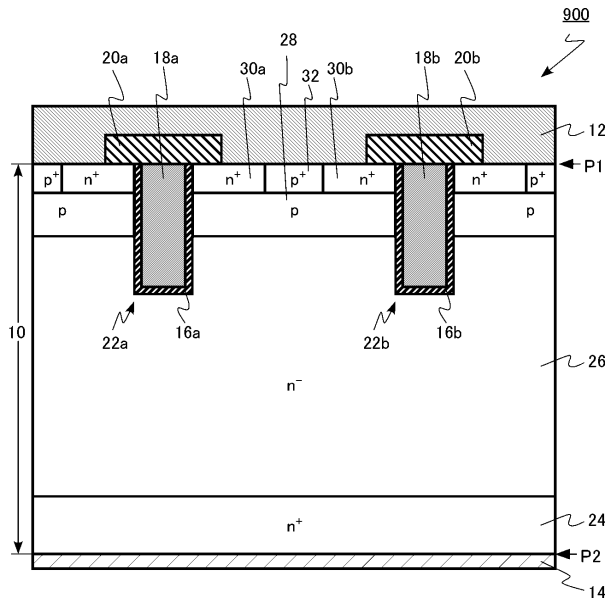
50

- 1 6 b 第 2 のゲート絶縁膜
- 1 8 a 第 1 のゲート電極
- 1 8 b 第 2 のゲート電極
- 2 6 n⁻型のドリフト領域(第 1 の炭化珪素領域)
- 2 8 a p型の第 1 のチャネル領域(第 4 の炭化珪素領域)
- 2 8 b p型の第 2 のチャネル領域(第 5 の炭化珪素領域)
- 2 8 c p型の間中領域(第 8 の炭化珪素領域)
- 3 0 a n⁺型の第 1 のソース領域(第 2 の炭化珪素領域)
- 3 0 b n⁺型の第 2 のソース領域(第 3 の炭化珪素領域)
- 3 4 a p⁺型の第 1 のストップ領域(第 6 の炭化珪素領域)
- 3 4 b p⁺型の第 2 のストップ領域(第 7 の炭化珪素領域)
- 3 6 a p⁻型の第 1 の低濃度領域(第 9 の炭化珪素領域)
- 3 6 b p⁻型の第 2 の低濃度領域(第 1 0 の炭化珪素領域)
- 3 8 p⁺型の電界緩和領域(第 1 1 の炭化珪素領域)
- 1 0 0 MOSFET(半導体装置)
- 2 0 0 MOSFET(半導体装置)
- 3 0 0 MOSFET(半導体装置)
- 4 0 0 MOSFET(半導体装置)

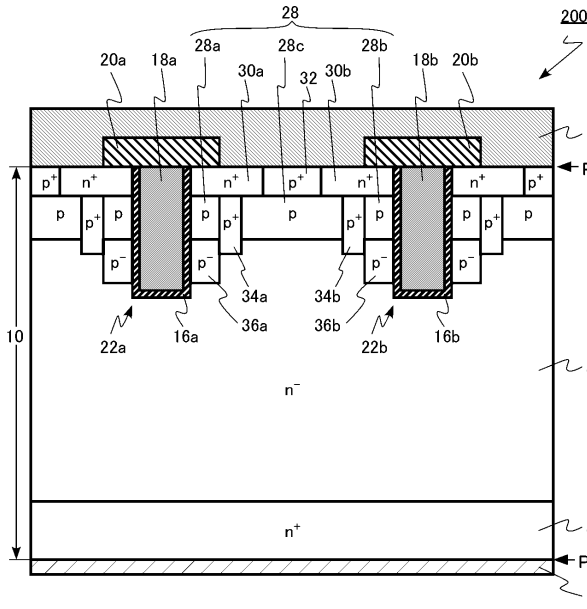
【図 1】



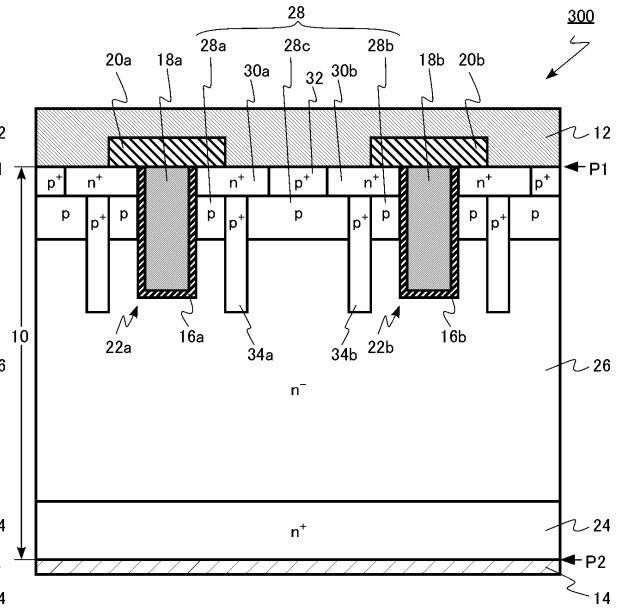
【図 2】



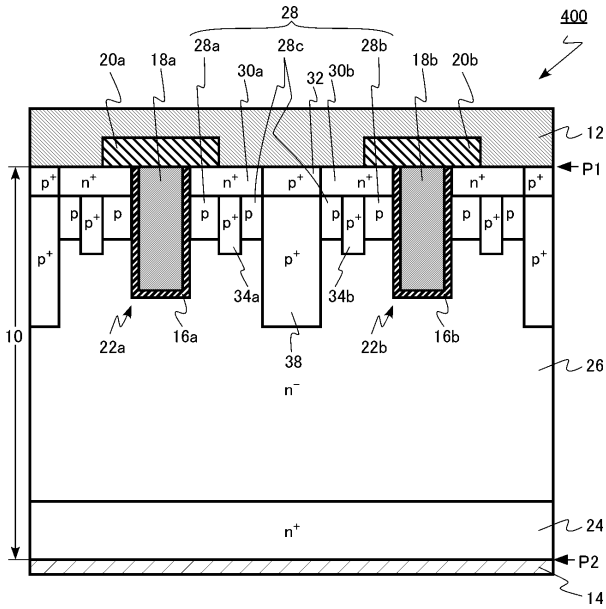
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 C

(72)発明者 鈴木 拓馬
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 杉山 芳弘

(56)参考文献 特開2009-283540(JP,A)
特開2015-153893(JP,A)
特開平08-167711(JP,A)
特開2009-117593(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6