

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5541507号
(P5541507)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl.		F I		
HO4L 7/00	(2006.01)	HO4L 7/00	Z	
HO4L 25/02	(2006.01)	HO4L 25/02	J	
HO4L 29/00	(2006.01)	HO4L 13/00	S	

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2010-131880 (P2010-131880)	(73) 特許権者	000004237
(22) 出願日	平成22年6月9日(2010.6.9)		日本電気株式会社
(65) 公開番号	特開2011-259201 (P2011-259201A)		東京都港区芝五丁目7番1号
(43) 公開日	平成23年12月22日(2011.12.22)	(73) 特許権者	000232254
審査請求日	平成25年5月14日(2013.5.14)		日本電気通信システム株式会社
			東京都港区三田1丁目4番28号
		(74) 代理人	100106909
			弁理士 棚井 澄雄
		(74) 代理人	100134544
			弁理士 森 隆一郎
		(74) 代理人	100150197
			弁理士 松尾 直樹
		(72) 発明者	川原 信広
			東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 アライメントマーカ重複判定回路、アライメントマーカ重複判定方法およびプログラム

(57) 【特許請求の範囲】

【請求項1】

複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前記アライメントマーカを検出するアライメントマーカ検出回路と、

前記アライメントマーカ検出回路が検出した前記アライメントマーカによって示される前記並び順が、前記系列のいずれか複数で同一であると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定回路と、

を具備することを特徴とするアライメントマーカ重複判定回路。

【請求項2】

前記アライメントマーカ検出回路は、前記系列のいずれかにて前記アライメントマーカを検出すると、当該系列にてアライメントマーカを検出したことを示す信号と、検出したアライメントマーカの示す前記系列の並び順と、を前記並び順重複判定回路に出力し、前記並び順重複判定回路は、前記アライメントマーカ検出回路から、全ての前記系列にて前記アライメントマーカを検出したことを示す信号が出力され、かつ、前記系列の並び順が、前記系列のいずれか複数で同一であると判定した場合に、前記アライメントマーカの重複を示す信号を出力する

ことを特徴とする請求項1に記載のアライメントマーカ重複判定回路。

【請求項3】

前記並び順重複判定回路は、前記アライメントマーカの重複を示す信号として、前記複

数の系列に同じ並び順を示す番号を出力することを特徴とする請求項 1 または請求項 2 に記載のアライメントマーカ重複判定回路。

【請求項 4】

前記並び順重複判定回路が前記アライメントマーカの重複エラー有りとは判定すると、予め定められた並び順のうち、前記アライメントマーカで示されていない並び順を検出する欠落並び順検出回路をさらに具備することを特徴とする請求項 1 または請求項 2 に記載のアライメントマーカ重複判定回路。

【請求項 5】

アライメントマーカ重複判定回路のアライメントマーカ重複判定方法であって、アライメントマーカ検出回路が、複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前記アライメントマーカを検出するアライメントマーカ検出ステップと、

並び順重複判定回路が、前記アライメントマーカ検出ステップにて検出した前記アライメントマーカによって、前記系列のいずれかが複数と同じ並び順であることが示されていると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定ステップと、

を具備することを特徴とするアライメントマーカ重複判定方法。

【請求項 6】

アライメントマーカ重複判定回路としてのコンピュータに、複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前記アライメントマーカを検出するアライメントマーカ検出ステップと、

前記アライメントマーカ検出ステップにて検出した前記アライメントマーカによって、前記系列のいずれかが複数と同じ並び順であることが示されていると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定ステップと、

を実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データを複数のレーンに振り分け、レーン毎にアライメントマーカを挿入して行われるデータ通信における、アライメントマーカ重複判定回路、アライメントマーカ重複判定方法およびプログラムに関する。

【背景技術】

【0002】

IEEE (The Institute of Electrical and Electronic Engineers) 802.3ba タスクフォース (Task Force; TF) では、40 ギガビット (Gigabit; Gb) 毎秒以上の通信方式の標準仕様決定作業が進められている。この IEEE 802.3ba の通信方式では、通信データを 64 B / 66 B 符号化方式 (データを、64 ビット (bit) 毎に 2 ビットの同期ヘッダを付加して符号化し、66 ビットのブロック (Block) にする方式) にてブロック化し、ブロック化された通信データを複数の仮想レーン (Virtual Lane; VL) に振り分ける。そして、仮想レーンを物理的な通信路に対応付け、この物理的な通信路を用いて通信を行う。その際、物理的な通信路のレーン数 (チャンネル数) は、仮想レーン数の約数であればよく、物理的な通信路の自由度が高い。例えば、100 ギガイーサネット (「イーサネット」は登録商標) では、ブロック化された通信データを 20 本の仮想レーンに振り分ける。この仮想レーンを 2 本ずつ一纏めにして 10 チャンネルの通信路に対応付けて送信するようにしてもよいし、5 本ずつ一纏めにして 4 チャンネルの通信路に対応付けて送信するようにしてもよい。

【0003】

また、IEEE 802.3ba の通信方式では、通信データのブロックと同じく 66 ビ

10

20

30

40

50

ットで構成され、仮想レーン間の同期タイミングおよび仮想レーン番号を示すブロックであるアライメントマーカ (Alignment Marker) を、送信装置が各仮想レーンに同じタイミングで挿入して送信する。このアライメントマーカにより、受信装置は、送信装置が通信データを仮想レーンに振り分けたと同じ並び順、かつ、同じ同期タイミングで通信データを取得できる (例えば、非特許文献 1 参照)。

【 0 0 0 4 】

図 7 は、IEEE 802.3ba の通信方式で送信されたデータブロックを整列し同期をとる整列同期回路の例を示す図である。同図の整列同期回路 1023 は、IEEE 802.3ba の通信方式による受信装置に含まれる。この整列同期回路 1023 は、受信データが、64B/66B 符号化によるブロック単位でライン 0 ~ ライン (n - 1) (n 引く 1。n は仮想レーン数を示す正整数) に振り分けられた、n 本のデータブロック列の並列入力を受け付ける。

10

ここで、ライン 0 ~ ライン (n - 1) は、送信装置における仮想レーン 0 ~ 仮想レーン (n - 1) と 1 対 1 に対応する。すなわち、ライン 0 ~ ライン (n - 1) の各々には、送信装置における仮想レーン 0 ~ 仮想レーン (n - 1) のうち当該ラインに対応する仮想レーンに送出されるデータブロックが、この当該ラインに対応する仮想レーンに送出される時刻順と同じ時刻順で送出される。ただし、あるラインのライン番号と、当該ラインに対応する仮想レーンの仮想レーン番号とは一致しているとは限らない。すなわち、ラインの並び順と仮想レーンの並び順とは同一とは限らない。

データブロック列の入力を受けた整列同期回路 1023 は、ライン 0 ~ ライン (n - 1) の各々から送出されるデータブロック列 (時間方向に並ぶ一連のデータブロック) を、送信装置における並び順、すなわち、送信装置においてデータブロック列を送出する仮想レーンの仮想レーン番号順に並べ替える。そして、整列同期回路 1023 は、データブロック列間の同期をとる。

20

【 0 0 0 5 】

具体的には、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) が、ラインに振り分けられた受信データの入力を受け、入力を受けた受信データをディスキュー同期回路 1120 に出力する。

また、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) は、仮想レーン毎に定められたアライメントマーカを仮想レーン番号と対応付けて予め記憶している。そして、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) は、入力を受けた受信データに含まれる各ブロックの中から、予め記憶しているアライメントマーカと同一のブロックを検出することにより、受信データ中のアライメントマーカを検出する。

30

受信データ中のアライメントマーカを検出したアライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) は、アライメントマーカを検出したことを示す同期確立信号を、ディスキュー (Deskew) 同期回路 1120 に出力する。併せて、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) は、検出したアライメントマーカに対応付けて記憶している仮想レーン番号を読み出して、ディスキュー同期回路 1120 に出力する。

【 0 0 0 6 】

次に、ディスキュー同期回路 1120 は、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) から出力される受信データを、仮想レーン番号順に並べ替える。すなわち、ディスキュー同期回路 1120 は、アライメントマーカ検出回路 1110 - i (i は 0 ~ n - 1 の整数) から、ライン i のデータブロック列と、仮想レーン番号 j とが入力されると、入力されたデータブロック列を、仮想レーン j に割り当てる。

40

【 0 0 0 7 】

さらに、ディスキュー同期回路 1120 は、アライメントマーカ検出回路 1110 - 0 ~ 1110 - (n - 1) から出力される同期確立信号に基づいて、仮想レーン間のデータ位相差 (データがディスキュー同期回路 1120 に入力される時間差) を検出する。そして、ディスキュー同期回路 1120 は、検出したデータ位相差に基づいて、先に入力され

50

るデータをバッファ (Buffer) に蓄えて遅延させる位相吸収を行い、各仮想レーンのデータ位相を整列させる。これにより、ディスクュー同期回路 1 1 2 0 は、送信装置における仮想レーンを復元する、すなわち、送信装置が通信データを仮想レーンに振り分けたときと同じ順番、かつ、同じ同期タイミングで受信データを出力する。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献 1】 "100GE and 40GE PCS and MLD Proposal"、[online]、2008年1月、IEEE802.3ba Task Force、[2010年5月25日検索]、インターネット<URL : http://www.ieee802.org/3/ba/public/jan08/gustlin_01_0108.pdf>

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、少なくとも非特許文献 1 に示される IEEE 802 . 3 b a の通信方式では、送信装置におけるアライメントマーカの誤設定を検出する方法は開示されておらず、受信装置において当該誤設定を適切に検出できないおそれがある。

例えば、図 7 において、ライン 0 から仮想レーン 1 のデータが入力され、ライン 1 から仮想レーン 2 のデータが入力されているとする。ここで、送信装置にてアライメントマーカが誤設定され、仮想レーン 2 に対して仮想レーン 1 を示すアライメントマーカが挿入されている場合、ディスクュー同期回路 1 1 2 0 は、仮想レーン 2 のデータの検出できない。このため、ディスクュー同期回路 1 1 2 0 は、仮想レーン 2 のデータを待ち受け、所定の時間経過後にデータを廃棄 (タイムアウト) することが考えられる。これにより、受信装置は、受信したデータを正しく復号することができない。

20

【0010】

ここで、整列同期回路 1 0 2 3 は、アライメントマーカの誤設定を検出する手段を備えておらず、タイムアウトの原因を特定できない。すなわち、当該タイムアウトが、アライメントマーカの誤設定によるものか、あるいは、通信時におけるノイズの混入など他の原因によるものかを特定できない。このため、受信装置のユーザが、当該タイムアウトを解消するための対策を講じることが困難となってしまう、あるいは、原因を特定して対策を講じるまでに時間がかかってしまう。

30

【0011】

本発明は、このような事情を考慮してなされたものであり、その目的は、データを複数のレーンに振り分け、レーン毎にアライメントマーカを挿入して行われるデータ通信における、アライメントマーカの誤設定を検出できる整列同期回路、データ整列方法およびプログラムを提供することにある。

【課題を解決するための手段】

【0012】

この発明は上述した課題を解決するためになされたもので、本発明の一態様によるアライメントマーカ重複判定回路は、複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前記アライメントマーカを検出するアライメントマーカ検出回路と、前記アライメントマーカ検出回路が検出した前記アライメントマーカによって示される前記並び順が、前記系列のいずれか複数で同一であると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定回路と、を具備することを特徴とする。

40

【0013】

また、本発明の一態様によるアライメントマーカ重複判定方法は、アライメントマーカ重複判定回路のアライメントマーカ重複判定方法であって、アライメントマーカ検出回路が、複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前

50

記アライメントマーカを検出するアライメントマーカ検出ステップと、並び順重複判定回路が、前記アライメントマーカ検出ステップにて検出した前記アライメントマーカによって、前記系列のいずれか複数が同じ並び順であることが示されていると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定ステップと、を具備することを特徴とする。

【 0 0 1 4 】

また、本発明の一態様によるプログラムは、アライメントマーカ重複判定回路としてのコンピュータに、複数の系列に振り分けられて並列に入力されるデータであって、前記系列間の同期タイミングおよび前記系列の各々の並び順を示すアライメントマーカを含むデータから、前記アライメントマーカを検出するアライメントマーカ検出ステップと、前記アライメントマーカ検出ステップにて検出した前記アライメントマーカによって、前記系列のいずれか複数が同じ並び順であることが示されていると判定した場合に、前記アライメントマーカの重複を示す信号を出力する並び順重複判定ステップと、を実行させるためのプログラムである。

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、データを複数のレーンに振り分け、レーン毎にアライメントマーカを挿入して行われるデータ通信における、アライメントマーカの誤設定を検出できる。

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】本発明の一実施形態における整列同期回路を含む、通信システムの概略構成を示す構成図である。

【 図 2 】同実施形態における整列同期回路 2 3 の概略構成を示す構成図である。

【 図 3 】同実施形態におけるレーン番号重複判定回路 1 3 0 の概略構成を示す構成図である。

【 図 4 】同実施形態において、アライメントマーカが正しく設定されたデータブロック列が入力された場合の整列同期回路 2 3 の動作を示すタイミングチャートである。

【 図 5 】同実施形態において、誤設定されたアライメントマーカを含むデータブロックが入力された場合の整列同期回路 2 3 の動作を示すタイミングチャートである。

【 図 6 】同実施形態において、検出されていない仮想レーン番号を出力する整列同期回路の概略構成を示す構成図である。

【 図 7 】 I E E E 8 0 2 . 3 b a の通信方式で送信されたデータブロックを整列し同期をとる整列同期回路の例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

以下、図面を参照して、本発明の実施の形態について説明する。

図 1 は、本発明の一実施形態における整列同期回路を含む、通信システムの概略構成を示す構成図である。

同図において、通信システム 1 は、送信装置 1 0 と、受信装置 2 0 とを具備する。送信装置 1 0 は、6 4 B / 6 6 B 符号化回路 1 1 と、仮想レーン振分回路 1 2 と、アライメントマーカ挿入回路 1 3 と、物理レーン振分回路 1 4 と、送信回路 1 5 とを具備する。受信装置 2 0 は、受信回路 2 1 と、ライン振分回路 2 2 と、整列同期回路（アライメントマーカ重複判定回路）2 3 と、仮想レーン結合回路 2 4 と、6 4 B / 6 6 B 復号回路 2 5 と、警報表示回路 2 6 とを具備する。

【 0 0 1 8 】

通信システム 1 は、通信対象データを複数のレーンに分散し、レーン毎にアライメントマーカを挿入して通信する通信システムである。このような通信を行う通信システムとしては、例えば I E E E 8 0 2 . 3 b a の通信方式に基づく通信システムが挙げられる。ただし、本発明は、I E E E 8 0 2 . 3 b a の通信方式に基づく通信システムに限らず、通信対象データをブロック化して複数のレーンに分散し、レーン毎にアライメントマーカを

挿入して通信する様々な通信システムに適用できる。特に、本発明は、仮想レーン毎にアライメントマーカを挿入する通信システムに限らず、物理レーン毎にアライメントマーカを挿入する通信システムにも適用できる。

【0019】

送信装置10は、入力される通信対象データを、 n チャンネルの通信路（以下では、通信路の各チャンネルを、「物理レーン」と称する）を介して受信装置20に送信する。64B/66B符号化回路11は、入力される通信対象データに対して64B/66B符号化を行ってブロック化し、仮想レーン振分回路12に出力する。

仮想レーン振分回路12は、64B/66B符号化回路11がブロック化した通信対象データを、仮想レーン0～仮想レーン($n-1$)の、 n 本の仮想レーン（系列）に振り分け、アライメントマーカ挿入回路13に出力する。

10

【0020】

アライメントマーカ挿入回路13は、各仮想レーンにアライメントマーカを挿入する。すなわち、アライメントマーカ挿入回路13は、仮想レーン毎に入力されるデータブロックの並びに対して、所定のブロック数の間隔で、データブロック間にアライメントマーカを挿入する。ここで、アライメントマーカは、仮想レーン間の同期タイミングを示すために挿入されるデータブロックである。また、アライメントマーカの内容（各ビットの値）は、仮想レーン毎に予め定められており、アライメントマーカは仮想レーンを識別する（仮想レーン番号を示す）。アライメントマーカ挿入回路13は、アライメントマーカを含むデータブロックの並びを、仮想レーン毎に物理レーン振分回路14に出力する。

20

【0021】

物理レーン振分回路14は、 n 本（ n は正整数）の仮想レーンにてアライメントマーカ挿入回路13から出力されるデータブロックを、 m 本（ m は正整数、かつ、 n の約数）の物理レーンに振り分け直す。具体的には、物理レーン振分回路14は、 n/m （ m 分の n ）本の仮想レーン毎に、例えば時分割多重によりデータを一纏めにすることにより、 n 並列のデータを m 並列に振り分け直す。

送信回路15は、物理レーン振分回路14の振分に基づいて、 m 本の物理レーンを介して受信装置20にデータブロックを送信する。

【0022】

受信装置20は、送信装置10から送信されるデータブロックに基づいて、通信対象データを復元する。受信回路21は、 m 本の物理レーンを介して送信装置10から送信されるデータブロックを受信する。

30

ライン振分回路22は、受信回路21が受信したデータブロックを、物理レーン振分回路14と逆の手順でライン0～ライン($n-1$)の n 本のラインに振り分ける。すなわち、ライン振分回路22は、1本の物理レーン上で一纏めにされている n/m （ m 分の n ）本の仮想レーン分のデータを分離する処理を各物理レーンに対して行うことにより、物理レーン振分回路14に入力される仮想レーン毎のデータブロックの並びを復元する。

ただし、ライン振分回路22におけるラインは、物理レーン振分回路14に入力される仮想レーンと異なる並び順であってもよい。すなわち、ライン0～ライン($n-1$)は、各々が送信装置10における1つの仮想レーンに対応する。そして、各ラインは、対応する仮想レーンに送出されるデータブロックを、対応する仮想レーンに送出される時刻順で出力する。しかし、あるラインのライン番号と、当該ラインに対応する仮想レーンの仮想レーン番号とは一致しているとは限らない。

40

【0023】

たとえば、送信装置10と受信装置20とで物理レーン0と物理レーン1とが逆になっている場合、すなわち、送信装置10の物理レーン0が受信装置20に物理レーン1として接続され、送信装置の物理レーン2が受信装置20に物理レーン0として接続されている場合を考える。この場合、送信装置10で物理レーン0に対応付けられた仮想レーンと、受信装置20では物理レーン1に対応付けられるラインとが対応する。すなわち、送信装置10で物理レーン0に対応付けられた仮想レーンに送出されるデータは、受信装置2

50

0では物理レーン1に対応付けられるラインに送出される。また、送信装置10で物理レーン1に対応付けられた仮想レーンと、受信装置20では物理レーン0に対応付けられるラインとが対応する。このため、送信装置10において、物理レーン番号の小さい物理レーンに対応する仮想レーンほど小さい仮想レーン番号が付され、受信装置20において、物理レーン番号の小さい物理レーンに対応するラインほど小さいライン番号が付されていれば、送信装置10における仮想レーンの並び順と受信装置20におけるラインの並び順とが逆になる。

ライン振分回路22は、復元したデータブロックの並びをライン毎に整列同期回路23に出力する。

【0024】

整列同期回路23は、ライン振分回路22から出力されるライン毎のデータブロックの並びからアライメントマーカを検出する。そして、整列同期回路23は、検出したアライメントマーカが仮想レーン間で重複する場合は、アライメントマーカ重複を示す信号を警報表示回路26に出力する。一方、検出したアライメントマーカが重複していない場合は、整列同期回路23は、ライン毎に出力されるデータブロックの並びを、検出したアライメントマーカに基づいて、各ラインの対応する仮想レーンの並び順に並べ替えることにより、送信装置10の物理レーン振分回路14に入力される仮想レーンと同じ並び順の仮想レーンを復元する。

もっとも、復元された仮想レーンは、通信路における通信速度の違いや、送信回路15および受信回路21における処理速度の違いにより、仮想レーン間でデータ位相差が生じている可能性がある。そこで、整列同期回路は、検出したアライメントマーカに基づいて、復元した仮想レーン間でデータブロックの同期をとる。整列同期回路23は、同期をとったデータブロックを仮想レーン毎に仮想レーン結合回路24に出力する。

【0025】

仮想レーン結合回路24は、通信装置10の仮想レーン振分回路12がブロック化された通信対象データを仮想レーンに振り分けるのと逆の手順で、整列同期回路23から仮想レーン毎に出力されるデータブロックを結合する。これにより、仮想レーン結合回路24は、送信装置10の64B/66B符号化回路から出力され、仮想レーン振分回路12が仮想レーンに振り分ける前の、66Bブロック化された通信対象データを復元する。

64B/66B復号回路25は、仮想レーン結合回路24から出力される66Bブロック化された通信対象データに対して64B/66B復号を行う。これにより、64B/66B復号回路25は、送信装置10に入力される、64B/66B符号化前の通信対象データを復元する。

警報表示回路26は、液晶ディスプレイ等の表示手段を備え、整列同期回路23からアライメントマーカ重複を示す信号が入力されると、アライメントマーカ重複警報を表示する。

【0026】

図2は、整列同期回路23の概略構成を示す構成図である。同図において、整列同期回路23は、アライメントマーカ検出回路110-0~110-(n-1)(nは仮想レーン数を示す正整数)と、ディスキュー同期回路120と、レーン番号重複判定回路(並び順重複判定回路)130とを具備する。

整列同期回路23は、64B/66B符号化によるブロック単位でライン(系列)に振り分けられた受信データを取得すると、取得した受信データを送信装置10における仮想レーン番号順に並べることにより、送信装置10と同じ並び順の仮想レーンを復元し、復元した仮想レーン間の同期をとる。

【0027】

アライメントマーカ検出回路110-0~110-(n-1)は、ラインに振り分けられた受信データの入力を受け、入力を受けた受信データをディスキュー同期回路120に出力する。

ここで、アライメントマーカ検出回路110-0~110-(n-1)は、仮想レーン

10

20

30

40

50

毎に定められたアライメントマーカを仮想レーン番号と対応付けて予め記憶している。そして、アライメントマーカ検出回路110-0~110-(n-1)は、入力を受けた受信データに含まれる各ブロックの中から、予め記憶しているアライメントマーカと同一のブロックを検出することにより、受信データ中のアライメントマーカを検出する。そして、アライメントマーカ検出回路110-0~110-(n-1)は、入力を受けた受信データからアライメントマーカを除き、残りのデータブロックを、ライン毎のデータブロック列の形式でディスクユー同期回路120に出力する。

【0028】

また、受信データ中のアライメントマーカを検出したアライメントマーカ検出回路110-0~110-(n-1)は、アライメントマーカを検出したことを示す同期確立信号を、ディスクユー同期回路120に出力する。併せて、アライメントマーカ検出回路110-0~110-(n-1)は、検出したアライメントマーカに対応付けて記憶している仮想レーン番号を読み出して、ディスクユー同期回路120に出力する。

10

【0029】

ディスクユー同期回路120は、アライメントマーカ検出回路110-0~110-(n-1)から出力される受信データを、仮想レーン番号順に並べ替える。すなわち、ディスクユー同期回路120は、アライメントマーカ検出回路110-i(iは0~n-1の整数)から、ラインiのデータブロック列と、仮想レーン番号jとが入力されると、入力されたデータブロック列を、仮想レーンjに割り当てる。

【0030】

20

さらに、ディスクユー同期回路120は、アライメントマーカ検出回路110-0~110-(n-1)から出力される同期確立信号に基づいて、仮想レーン間のデータ位相差を検出する。ここで、送信装置10のアライメントマーカ挿入回路13は、仮想レーンの各々に同じタイミングで同期確立信号を挿入している。したがって、アライメントマーカ検出回路110-0~110-(n-1)から同期確立信号が出力されるタイミングの、ライン間におけるずれは、ライン間のデータ位相差を示している。また、ラインと仮想レーンとの対応関係は、アライメントマーカ検出回路110-0~110-(n-1)から出力される仮想レーン番号により示されている。そこで、ディスクユー同期回路120は、アライメントマーカ検出回路110-0~110-(n-1)から同期確立信号が出力されるタイミングの、ライン間におけるずれを検出することにより、ライン間のデータ位相差を検出する。そして、ディスクユー同期回路120は、検出したライン間のデータ位相差を、アライメントマーカ検出回路110-0~110-(n-1)から出力される仮想レーン番号に基づいて、仮想レーン間のデータ位相差に置き換えることにより、仮想レーン間のデータ位相差を検出する。

30

【0031】

そして、ディスクユー同期回路120は、検出した仮想レーン間のデータ位相差に基づいて、先に入力されるデータをバッファ(Buffer)に蓄えて遅延させる位相吸収を行い、各仮想レーンのデータ位相を整列させる。これにより、ディスクユー同期回路120は、送信装置10の仮想レーン振分回路12が出力する仮想レーンを復元する。すなわち、ディスクユー同期回路120は、仮想レーン振分回路12が通信データを仮想レーンに振り分けたときと同じ順番かつ同じ同期タイミングで、受信データを出力する。

40

レーン番号重複判定回路130は、アライメントマーカ検出回路110-0~110-(n-1)から出力される仮想レーン番号が、仮想レーンのいずれか複数で同一であると判定した場合に、アライメントマーカの重複エラー有りと判定し、アライメントマーカ重複を示す信号を警報表示回路26に出力する。

【0032】

図3は、レーン番号重複判定回路130の概略構成を示す構成図である。

同図において、レーン番号重複判定回路130は、AND回路131と、レーン番号比較回路132とを具備する。

レーン番号重複判定回路130は、アライメントマーカ検出回路110-0~110-

50

($n - 1$) から出力される仮想レーン番号に基づいて、仮想レーン番号の重複の有無を判定する。

AND回路131は、アライメントマーカ検出回路110-0~110-($n - 1$)から出力される同期確立信号のAND(論理積)をとり、演算結果をレーン番号比較回路132に出力する。

レーン番号比較回路132は、AND回路131から出力される演算結果が「1」である場合、すなわち、アライメントマーカ検出回路110-0~110-($n - 1$)の全てがアライメントマーカを検出している場合に、アライメントマーカ検出回路110-0~110-($n - 1$)から出力される仮想レーン番号が、ライン0~($n - 1$)のいずれか複数で同一か否かを判定する。仮想レーン番号が、ライン0~($n - 1$)のいずれか複数で同一であると判定した場合、レーン番号比較回路132は、アライメントマーカ重複を示す信号を出力する。

10

【0033】

次に、図4および図5を参照して、整列同期回路23の動作について説明する。

図4は、アライメントマーカが正しく設定されたデータブロック列が入力された場合の整列同期回路23の動作を示すタイミングチャートである。

同図は、 $n = 4$ の場合の例を示しており、ライン0が仮想レーン1に対応し、ライン1が仮想レーン2に対応し、ライン2が仮想レーン3に対応し、ライン3が仮想レーン0に対応している。また、同図の横軸は、時刻を示す。

【0034】

20

アライメントマーカ検出回路110-0は、同じ仮想レーン番号「1」を示し連続する(すなわち、当該2つのアライメントマーカの間、他の仮想レーン番号を示すアライメントマーカが存在しない)2つのアライメントマーカa03およびa04を読み出した時刻t4以後は、アライメントマーカを検出したことを示す同期確立信号と、検出した仮想レーン番号「1」とを、レーン番号重複判定回路130に出力する。

そして、アライメントマーカ検出回路110-0は、同じ仮想レーン番号「1」を示し連続する2つのアライメントマーカを読み出した後は、同じ間隔毎にアライメントマーカの検出を試み、アライメントマーカa05およびa06を検出する。

【0035】

このように、アライメントマーカ検出回路は、同じ仮想レーン番号を示し連続する2つのアライメントマーカをラインから読み出すことによってアライメントマーカを検出し、アライメントマーカを検出した時刻以後は、アライメントマーカを検出したことを示す同期確立信号と、検出した仮想レーン番号とを、レーン番号重複判定回路130に出力する。

30

そして、アライメントマーカ検出回路は、アライメントマーカ検出した後は、この2つのアライメントマーカと同じ間隔毎にアライメントマーカの検出を試みる。検出したアライメントマーカと同じ仮想レーン番号を示すアライメントマーカを読み出した場合は、アライメントマーカ検出回路は、レーン番号重複判定回路130への同期確立信号と、検出した仮想レーン番号との出力を継続する。一方、検出したアライメントマーカと同じ仮想レーン番号を示すアライメントマーカを読み出せなかった場合は、アライメントマーカ検出回路は、レーン番号重複判定回路130への同期確立信号と、検出した仮想レーン番号との出力を終了する。

40

【0036】

ここで、アライメントマーカ検出回路110-0は、符号a02で示される位置からはアライメントマーカを読み出さない。このように、アライメントマーカを読み出さない場合としては、通信休止中のためにアライメントマーカが送信されない場合や、ノイズ混入等により受信信号からのアライメントマーカの読み出しに失敗する場合などが考えられる。符号a26の位置、符号a31の位置でも同様に、それぞれアライメントマーカ110-2、110-3はアライメントマーカを読み出さない。

また、アライメントマーカ検出回路110-0は、アライメントマーカa01からは、

50

仮想レーン番号「3」を示すアライメントマーカを読み出す。すなわち、アライメントマーカ検出回路110-0は、符号a01の位置と符号a03～a06の位置とで、互いに異なる仮想レーン番号を取得する。このように、アライメントマーカ検出回路が、同一ライン上で異なる仮想レーン番号を取得する場合としては、送信装置10が、セッション毎あるいは一定時間毎に仮想レーンと物理レーンとの対応関係を変える場合が考えられる。

【0037】

また、アライメントマーカ検出回路110-1は、同じ仮想レーン番号「2」を示し連続する2つのアライメントマーカa11およびa12を読み出した時刻t1以後は、同期確立信号と、検出した仮想レーン番号「2」とを、レーン番号重複判定回路130に出力する。

10

また、アライメントマーカ検出回路110-2は、同じ仮想レーン番号「3」を示し連続する2つのアライメントマーカa21およびa22を読み出した時刻t2から、当該仮想レーン番号を示すアライメントマーカを読み出せない時刻t5までは、同期確立信号と、検出した仮想レーン番号「3」とを、レーン番号重複判定回路130に出力する。

【0038】

そして、レーン番号重複判定回路130は、アライメントマーカ検出回路110-0～110-3の全てから同期確立信号が出力され（すなわち、全ての仮想レーンにてアライメントマーカを検出したことを示す信号が出力され）、かつ、いずれか複数のラインで仮想レーン番号が同一であると判定した場合に、アライメントマーカの重複エラー有りと判定してアライメントマーカ重複を示す信号を警報表示回路26に出力する。

20

図4の例では、アライメントマーカ検出回路110-0～110-3の全てから同期確立信号が出力されている時刻t4～t5において、仮想レーン番号はアライメントマーカ毎に異なっているので、レーン番号重複判定回路130は、アライメントマーカ重複を示す信号を出力しない。

【0039】

図5は、誤設定されたアライメントマーカを含むデータブロックが入力された場合の整列同期回路23の動作を示すタイミングチャートである。

図4の場合と同様、同図は、n=4の場合の例を示しており、ライン0が仮想レーン1に対応し、ライン1が仮想レーン2に対応し、ライン2が仮想レーン3に対応し、ライン3が仮想レーン0に対応している。また、同図の横軸は、時刻を示す。

30

【0040】

また、図5において、ライン0、ライン2、ライン3のそれぞれに含まれるアライメントマーカは、図4の場合と同様である。

一方、図5では、ライン1に含まれるアライメントマーカa111～a116が、仮想レーン番号「1」を示しており、この点で図5は図4と異なる。図5では、ライン0とライン1とに、同じ仮想レーン番号「1」を示すアライメントマーカが挿入されている。このように、仮想レーン番号が重複する場合としては、送信装置10のアライメントマーカ挿入回路が仮想レーンに挿入するアライメントマーカが誤設定され、これにより、複数の仮想レーンに同一のアライメントマーカが挿入される場合が考えられる。図5の例では、アライメントマーカ挿入回路が仮想レーン2に挿入するアライメントマーカが誤設定され、これにより、仮想レーン1に挿入されるアライメントマーカと、仮想レーン2に挿入されるアライメントマーカとに、同一のアライメントマーカ（仮想レーン番号「1」を示すアライメントマーカ）が設定されていることが考えられる。

40

【0041】

ライン1に含まれるアライメントマーカa111～a116が仮想レーン番号「1」を示しているため、図4の場合と異なり、アライメントマーカ検出回路110-1は、仮想レーン番号「1」をレーン番号比較回路132に出力する。一方、アライメントマーカ検出回路110-0、110-2、110-3がレーン番号比較回路132に出力する信号は、図4の場合と同様である。

【0042】

50

このように、図5の例では、アライメントマーカ検出回路110-0~110-3の全てから同期確立信号が出力されている時刻 $t_4 \sim t_5$ において、アライメントマーカ検出回路110-0から出力される仮想レーン番号と、アライメントマーカ110-1から出力される仮想レーン番号とは、共に「1」で同一である。そこで、レーン番号重複判定回路130は、アライメントマーカの重複エラー有りとは判定してアライメントマーカ重複を示す信号を警報表示回路26に出力する。

【0043】

ここで、アライメントマーカ検出回路110-0~110-3の全てから同期確立信号が出力されている場合以外はアライメントマーカ重複を示す信号を出力しないようにするのは、送信装置10が、セッション毎あるいは一定時間毎に仮想レーンと物理レーンとの対応関係を変える場合に、誤ってアライメントマーカの重複エラー有りとは判定してしまうことを可及的に防止するためである。

例えば、図4において、アライメントマーカa01の示す仮想レーン番号「3」は、前のセッションの番号であり、アライメントマーカ検出回路110-0は、符号a02の時刻まで仮想レーン番号「3」をレーン番号重複判定回路130に出力していたとする。また、アライメントマーカa21の直前にも仮想レーン番号「3」を示すアライメントマーカが存在し、アライメントマーカ検出回路3は、アライメントマーカa21の時刻から仮想レーン番号「3」をレーン番号重複判定回路130に出力しているとする。ここで、レーン番号重複判定回路130が、同期確立信号に関係なく、複数のラインで仮想レーン番号が同一である場合にアライメントマーカ重複信号を出力するようにすると、ライン0とライン2とで仮想レーン番号が共に「3」であることから、レーン番号重複判定回路130はアライメントマーカ重複信号を出力することになる。したがって、単にセッションの境目に過ぎず、アライメントマーカの誤設定がなされていない場合にもアライメントマーカの重複エラー有りとは判定してしまうことになる。

【0044】

これに対して、図4の符号a31の位置ではアライメントマーカ検出回路110-3はアライメントマーカを検出しないので、符号a31の時刻から符号a33の時刻までは、同期確立信号を出力しない。そこで、レーン番号重複判定回路130が、アライメントマーカ検出回路110-0~110-3の全てから同期確立信号が出力されている場合以外はアライメントマーカ重複を示す信号を出力しないようにすることにより、アライメントマーカの重複エラー有りとは判定してしまうことを回避できる。

【0045】

なお、送信装置10が、仮想レーンと物理レーンとの対応関係を変える場合に、誤ってアライメントマーカの重複エラー有りとは判定してしまうことを防止する方法は、上述した同期確立信号による方法に限らない。例えば、レーン番号比較回路132(図3)が、所定の時間以上、複数のラインで仮想レーン番号が同一であると判定し続けた場合のみ、アライメントマーカの重複エラー有りとは判定してアライメントマーカ重複を示す信号を出力するようにしてもよい。この場合、レーン番号重複判定回路130はAND回路131を具備する必要が無く、回路構成を簡略化できる。

【0046】

以上のように、アライメントマーカ検出回路110-0~110-(n-1)が、ラインに含まれるアライメントマーカを検出する。そして、検出されたアライメントマーカの示す仮想レーン番号が、複数のラインで同一であると判定すると、レーン番号重複判定回路130が、アライメントマーカの重複エラーありとは判定して、アライメントマーカ重複信号を警報表示回路26に出力する。

このように、整列同期回路23が、ラインのいずれか複数で仮想レーン番号が同一か否かを判定することにより、アライメントマーカの誤設定を検出できる。

【0047】

また、アライメントマーカ検出回路110-1~110-(n-1)は、アライメントマーカを検出すると、同期確立信号と、仮想レーン番号とをレーン番号重複判定回路13

10

20

30

40

50

0 に出力する。そして、レーン番号重複判定回路 130 は、アライメントマーカ検出回路 110 - 1 ~ 110 - (n - 1) の全てから同期確立信号が出力され、かつ、仮想レーン番号が複数のラインで同一であると判定すると、アライメントマーカの重複エラーありと判定して、アライメントマーカ重複信号を警報表示回路 26 に出力する。

このように、アライメントマーカ検出回路 110 - 0 ~ 110 - (n - 1) の全てから同期確立信号が出力されている場合以外はアライメントマーカ重複を示す信号を出力しないようにすることにより、送信装置 10 が、セッション毎あるいは一定時間毎に仮想レーンと物理レーンとの対応関係を変える場合に、誤ってアライメントマーカの重複エラーありと判定してしまうおそれを軽減できる。

【0048】

なお、整列同期回路 23 の出力するアライメントマーカ重複信号は、アライメントマーカの重複があることのみを示す信号に限らない。例えば、レーン番号重複判定回路 130 (図 2) が、同一と判定した仮想レーン番号を出力するようにしてもよい。これにより、受信装置 20 のユーザは、重複設定されているアライメントマーカを特定することができ、送信装置 10 の誤設定を修正する際に、誤設定箇所を速やかに特定し得ることが期待できる。

【0049】

あるいは、整列同期回路が、検出されていない仮想レーン番号を出力するようにしてもよい。

図 6 は、検出されていない仮想レーン番号を出力する整列同期回路の概略構成を示す構成図である。同図において、整列同期回路(アライメントマーカ重複判定回路) 523 は、アライメントマーカ検出回路 110 - 0 ~ 110 - (n - 1) と、ディスク同期回路 120 と、レーン番号重複判定回路 130 と、欠落レーン番号検出回路(欠落並び順検出回路) 640 とを具備する。同図において、図 2 の各部に対応し、同様の機能を有する部分には同一の符号(110 - 0 ~ 110 - (n - 1)、120、130)を付し、説明を省略する。

【0050】

欠落レーン番号検出回路 640 は、予め定められた仮想レーン番号を記憶しており、レーン番号重複判定回路 130 からアライメントマーカ重複信号が入力されると、アライメントマーカ検出回路 110 - 0 ~ 110 - (n - 1) の出力する仮想レーン番号に基づいて、欠落している仮想レーン番号(アライメントマーカで示されていない仮想レーン番号)を検出して警報表示回路 26 に出力する。

例えば、アライメントマーカ検出回路から、図 5 で説明した仮想レーン番号「1」、「1」、「3」、「0」が出力される場合、欠落レーン番号検出回路 640 は、予め記憶している仮想レーン番号「0」、「1」、「2」、「3」のうち、仮想レーン番号「2」が入力されていないことを検出して、この仮想レーン番号「2」を警報表示回路 26 に出力する。

【0051】

このように、欠落レーン番号検出回路 640 は、欠落している仮想レーン番号を検出するので、受信装置 20 のユーザは、欠落している仮想レーンを特定することができ、送信装置 10 の誤設定を修正する際に、誤設定箇所を速やかに特定し得ることが期待できる。

また、欠落レーン番号検出回路 640 は、レーン番号重複判定回路 130 からアライメントマーカ重複信号が入力されると、アライメントマーカで示されていない仮想レーン番号を検出するので、特定の仮想レーン番号が一定時間以上入力されずにタイムアウトすることを待たずに欠落している仮想レーン番号を検出できる。従って、受信装置 20 のユーザは、アライメントマーカが誤設定されていること、および、欠落している仮想レーン番号を速やかに認識し得る。

【0052】

なお、整列同期回路 23 や、整列同期回路 523 の全部または一部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録

10

20

30

40

50

されたプログラムをコンピュータシステムに読み込ませ、実行することにより各部の処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。

また、「コンピュータシステム」は、WWWシステムを利用している場合であれば、ホームページ提供環境（あるいは表示環境）も含むものとする。

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含むものとする。また上記プログラムは、前述した機能の一部を実現するためのものであっても良く、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであってもよい。

10

【0053】

以上、本発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【産業上の利用可能性】

20

【0054】

本発明は、データを複数のレーンに振り分け、レーン毎にアライメントマーカを挿入して行われるデータ通信における、アライメントマーカ重複判定回路、アライメントマーカ重複判定方法およびプログラムに用いて好適である。

【符号の説明】

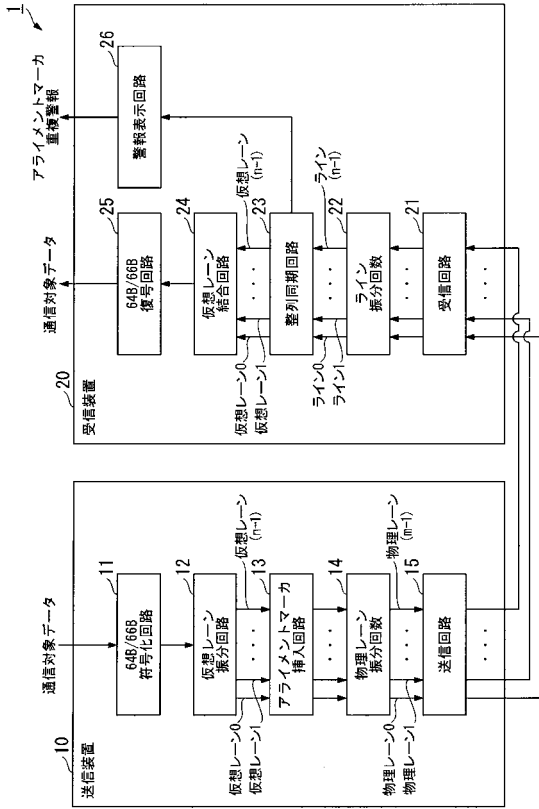
【0055】

- 1 通信システム
- 10 送信装置
- 11 64B / 66B符号化回路
- 12 仮想レーン振分回路
- 13 アライメントマーカ挿入回路
- 14 物理レーン振分回路
- 15 送信回路
- 20 受信装置
- 21 受信回路
- 22 ライン振分回路
- 23、523 整列同期回路
- 24 仮想レーン結合回路
- 25 64B / 66B復号回路
- 26 警報表示回路
- 110 - 0 ~ 110 - (n - 1) アライメントマーカ検出回路
- 120 ディスキュー同期回路
- 130 レーン番号重複判定回路
- 131 AND回路
- 132 レーン番号比較回路
- 640 欠落レーン番号検出回路

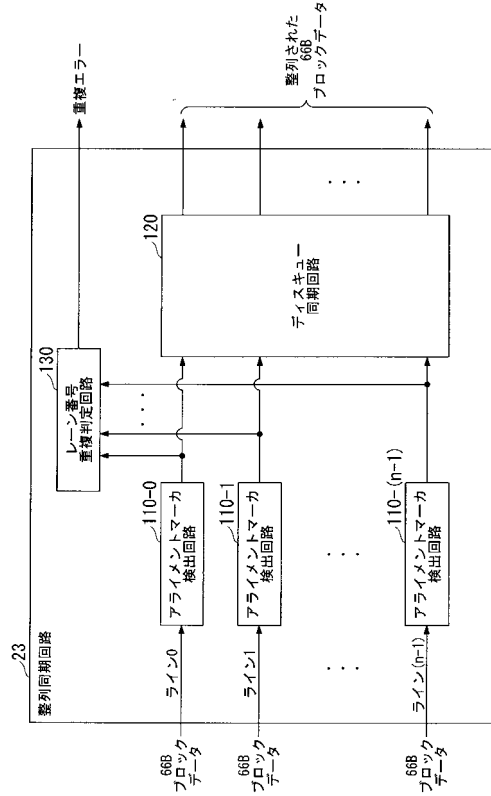
30

40

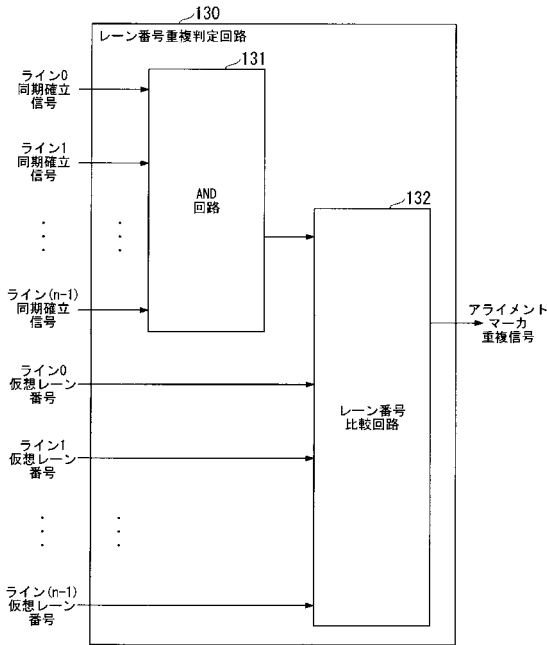
【図1】



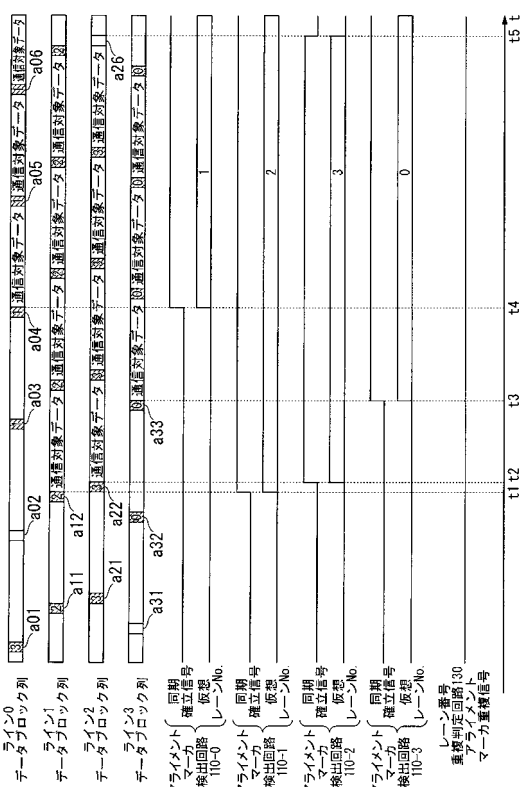
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 黒澤 孝広

東京都港区三田一丁目4番28号 日本電気通信システム株式会社内

審査官 阿部 弘

(56)参考文献 特開平06-029966(JP,A)

特開2007-150950(JP,A)

特開2003-179586(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7

H04L 25

H04L 29