



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0067474  
(43) 공개일자 2023년05월16일

(51) 국제특허분류(Int. Cl.)  
H01S 5/042 (2006.01) G01S 17/10 (2020.01)  
G01S 7/484 (2006.01) G01S 7/497 (2006.01)  
H01S 5/183 (2021.01) H03L 7/081 (2006.01)  
(52) CPC특허분류  
H01S 5/0428 (2013.01)  
G01S 17/10 (2021.01)  
(21) 출원번호 10-2022-0066918  
(22) 출원일자 2022년05월31일  
심사청구일자 없음  
(30) 우선권주장  
1020210153379 2021년11월09일 대한민국(KR)

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)  
(72) 발명자  
김용진  
서울특별시 동작구 상도로 346-2, 201동 703호(상도동, 힐스테이트 상도 프레스티지)  
김민성  
경기도 용인시 기흥구 서천로201번길 11, 기흥테라타워 426호(농서동)  
(74) 대리인  
리엔목특허법인

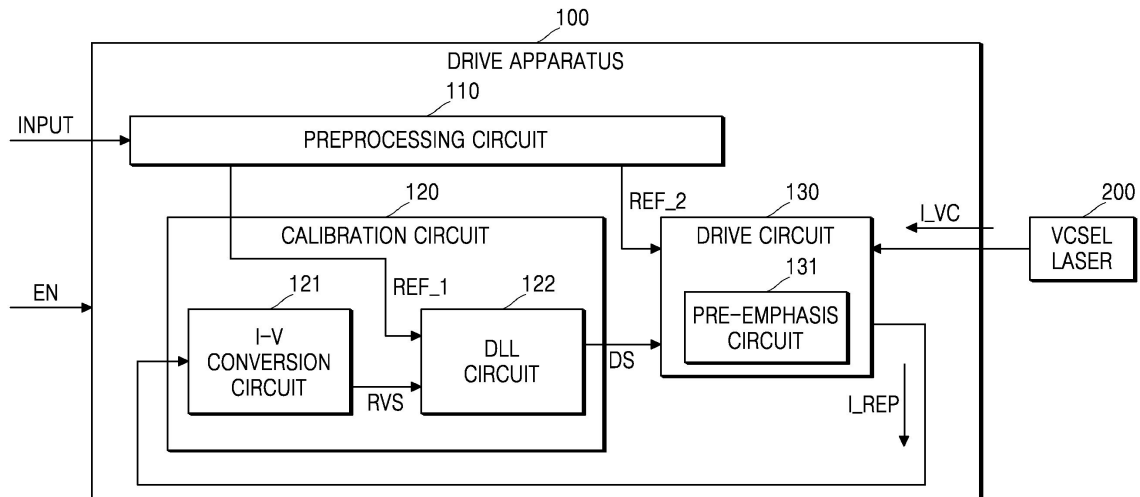
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 구동 장치 및 이를 포함하는 거리 측정 센서

(57) 요약

본 개시의 기술적 사상의 일 측면에 따라 광소자를 구동하도록 구성된 구동 장치는 입력 신호에 대한 전처리를 수행하여, 제1 참조 신호를 생성하는 전처리 회로; 광소자를 구동하는 구동 전류에 기초하여 복제 전류를 생성하는 구동 회로; 및 복제 전류에 기초하여 복제 전압 신호를 생성하는 교정 회로를 포함할 수 있고, 교정 회로는 상기 제1 참조 신호의 위상을 변경하여 구동 신호를 생성하고, 구동 신호를 구동 회로로 제공할 수 있다.

대표도



(52) CPC특허분류

*G01S 7/484* (2013.01)

*G01S 7/497* (2013.01)

*H01S 5/183* (2021.01)

*H03L 7/0814* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

광소자를 구동하도록 구성된 구동 장치에 있어서,

입력 신호에 대한 전처리를 수행하여, 제1 참조 신호를 생성하는 전처리 회로;

상기 광소자를 구동하는 구동 전류를 생성하고, 상기 구동 전류에 기초하여 복제 전류를 생성하는 구동 회로; 및

상기 복제 전류에 기초하여 복제 전압 신호를 생성하는 교정 회로를 포함하고,

상기 교정 회로는 상기 제1 참조 신호의 위상을 변경하여 구동 신호를 생성하고, 상기 구동 신호를 상기 구동 회로로 제공하는 것을 특징으로 하는 구동 장치.

#### 청구항 2

청구항 1에 있어서,

상기 구동 회로는,

상기 구동 신호의 상승 또는 하강시 엠퍼시스 신호를 생성하는 적어도 하나의 프리 엠퍼시스 회로; 및

상기 엠퍼시스 신호 및 구동 전류에 기초하여 복제 전류를 생성하는 적어도 하나의 유닛 구동 회로를 포함하는 것을 특징으로 하는 구동 장치.

#### 청구항 3

청구항 1에 있어서,

상기 입력 신호는, 제1 입력 신호, 및 상기 제1 입력 신호와 위상이 반대인 제2 입력 신호를 포함하고,

상기 전처리 회로는,

상기 제1 입력 신호 및 상기 제2 입력 신호에 기초하여 제2 참조 신호를 생성하고,

상기 구동 회로는 상기 제2 참조 신호 및 상기 구동 신호에 기초하여 상기 구동 전류를 조절하는 것을 특징으로 하는 구동 장치.

#### 청구항 4

청구항 1에 있어서,

상기 구동 회로는,

바이어스 전류를 생성하고, 상기 바이어스 전류를 상기 광소자로 제공하는 바이어스 회로를 더 포함하는 것을 특징으로 하는 구동 장치.

#### 청구항 5

청구항 1에 있어서,

상기 교정 회로는,

상기 복제 전류를 변환하여 상기 복제 전압 신호를 생성하는 전류-전압 변환 회로; 및

상기 제1 참조 신호 및 상기 복제 전압 신호에 기초하여 상기 구동 신호를 생성하는 DLL(Delayed Locked Loop) 회로를 포함하는 것을 특징으로 하는 구동 장치.

#### 청구항 6

청구항 5에 있어서,

상기 DLL 회로는,

상기 구동 신호와 상기 복제 전압 신호의 위상 차에 관한 정보를 갖는 위상차 신호를 생성하는 위상 검출기; 및  
상기 위상차 신호에 기초하여, 상기 제1 참조 신호의 위상을 상기 위상 차만큼 시프트하여 상기 구동 신호를 생성하는 딜레이 유닛을 포함하는 것을 특징으로 하는 구동 장치.

#### 청구항 7

청구항 1에 있어서,

상기 광소자는,

VCSEL(Vertical Cavity Surface Emitting Laser) 인 것을 특징으로 하는 구동 장치.

#### 청구항 8

광소자;

적어도 하나의 구동 장치 제어 신호를 생성하는 컨트롤러; 및

상기 적어도 하나의 구동 장치 제어 신호에 기초하여 제1 구동 전류를 생성하고, 상기 제1 구동 전류를 상기 광소자로 제공하는 구동 장치를 포함하고,

상기 구동 장치는,

상기 제1 구동 전류에 기초하여 복제 전류를 생성하는 구동 회로; 및

상기 복제 전류에 기초하여 복제 전압 신호를 생성하고, 상기 복제 전압 신호에 기초하여 상기 적어도 하나의 구동 장치 제어 신호의 위상을 변경하여 구동 신호를 생성하고, 상기 구동 신호를 상기 구동 회로로 제공하는 교정 회로를 포함하고,

상기 구동 회로는,

상기 구동 신호에 기초하여 제2 구동 전류를 생성하고, 상기 제2 구동 전류를 상기 광소자로 제공하고,

상기 제2 구동 전류의 슬루 레이트(slew rate)는 상기 제1 구동 전류의 슬루 레이트 보다 큰 것을 특징으로 하는 거리 측정 센서.

#### 청구항 9

청구항 8에 있어서,

상기 적어도 하나의 구동 장치 제어 신호는,

인에이블 신호를 포함하고,

상기 컨트롤러는,

상기 인에이블 신호를 조절하여 상기 제2 구동 전류의 레벨을 제어하는 것을 특징으로 하는 거리 측정 센서.

#### 청구항 10

광소자를 구동하도록 구성된 구동 장치의 동작 방법에 있어서,

입력 신호에 대한 전처리를 수행하여 제1 참조 신호를 생성하는 단계;

상기 광소자를 구동하는 구동 전류에 기초하여 복제 전류를 생성하는 단계;

상기 복제 전류에 기초하여 복제 전압 신호를 생성하는 단계;

상기 복제 전압 신호와 구동 신호의 위상차를 검출하여 위상차 신호를 생성하는 단계;

상기 위상차 신호에 기초하여 상기 제1 참조 신호의 위상을 시프트해 위상차가 교정된 구동 신호를 생성하는 단계; 및

상기 위상차가 교정된 구동 신호에 기초하여 상기 구동 전류를 생성하는 단계를 포함하는 방법.

## 발명의 설명

### 기술 분야

[0001] 본 개시의 기술적 사상은 구동 장치 및 이를 포함하는 거리 측정 센서에 관한 것으로, 더욱 상세하게는, 광소자를 구동하는 고휘력 구동 장치 및 이를 포함하는 거리 측정 센서에 관한 것이다.

### 배경 기술

[0002] 거리 측정 센서는 빛, 소리, 전파 등의 신호를 보내고 돌아오는 시간을 측정하여 측정 대상과의 거리를 측정한다. 거리 측정 센서 중 빛을 이용한 거리 측정 센서는 광소자와 이를 구동하는 구동 장치를 필요로 한다. 거리 측정 센서의 성능을 평가하는 지표 중 하나로, 최대 측정 가능 거리가 있다. ToF(Time of Flight) 센서, LiDAR(Light Detection And Ranging) 센서 등 빛을 이용한 거리 측정 센서는 최대 측정 가능 거리를 늘리기 위해, 100MHz의 속도로 동작하며 안정적으로 높은 전력을 구동하는 구동 장치가 필요하다. 다만, 높은 전력을 구동하는 구동 장치를 이용할 경우, 광소자를 구동하는 구동 전류의 상승/하강 시간이 늘어지는 현상이 발생하였다. 이는 거리 측정 센서의 거리 측정 정확도를 떨어뜨리는 문제를 야기하였다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하려는 과제는, 구동 전류의 상승/하강 시간을 줄이고, 구동 전류의 상승/하강 시간 감소로 인해 발생하는 구동 전류와 구동 신호의 타이밍 미스매치를 줄여, 안정적으로 높은 전력을 구동하는 구동 장치를 제공함에 있다.

#### 과제의 해결 수단

[0004] 상기과 같은 목적을 달성하기 위하여, 본 개시의 기술적 사상의 일측면에 따라 광소자를 구동하도록 구성된 구동 장치는 입력 신호에 대한 전처리를 수행하여, 제1 참조 신호를 생성하는 전처리 회로; 광소자를 구동하는 구동 전류에 기초하여 복제 전류를 생성하는 구동 회로; 및 복제 전류에 기초하여 복제 전압 신호를 생성하는 교정 회로를 포함할 수 있고, 교정 회로는 상기 제1 참조 신호의 위상을 변경하여 구동 신호를 생성하고, 구동 신호를 구동 회로로 제공할 수 있다.

[0005] 본 개시의 기술적 사상의 일측면에 따른 거리 측정 센서는 광소자; 적어도 하나의 구동 장치 제어 신호를 생성하는 컨트롤러; 및 적어도 하나의 구동 장치 제어 신호에 기초하여 제1 구동 전류를 생성하고, 제1 구동 전류를 광소자로 제공하는 구동 장치를 포함하고, 구동 장치는, 제1 구동 전류에 기초하여 복제 전류를 생성하는 구동 회로; 및 복제 전류에 기초하여 복제 전압 신호를 생성하고, 복제 전압 신호에 기초하여 적어도 하나의 구동 장치 제어 신호의 위상을 변경하여 구동 신호를 생성하고, 구동 신호를 구동 회로로 제공하는 교정 회로를 포함할 수 있고, 구동 회로는, 구동 신호에 기초하여 제2 구동 전류를 생성하고, 제2 구동 전류를 상기 광소자로 제공할 수 있고, 제2 구동 전류의 슬루 레이트(slew rate)는 제1 구동 전류의 슬루 레이트 보다 클 수 있다.

[0006] 본 개시의 기술적 사상의 일측면에 따라 광소자를 구동하도록 구성된 구동 장치의 동작 방법은, 입력 신호에 대한 전처리를 수행하여 제1 참조 신호를 생성하는 단계; 광소자를 구동하는 구동 전류에 기초하여 복제 전류를 생성하는 단계;

[0007] 복제 전류에 기초하여 복제 전압 신호를 생성하는 단계; 복제 전압 신호와 구동 신호의 위상차를 검출하여 위상차 신호를 생성하는 단계; 위상차 신호에 기초하여 제1 참조 신호의 위상을 시프트해 위상차가 교정된 구동 신호를 생성하는 단계; 및 위상차가 교정된 구동 신호에 기초하여 구동 전류를 생성하는 단계를 포함할 수 있다.

### 발명의 효과

[0008] 본 개시의 예시적 실시예에 따른 구동 장치 및 이를 포함하는 거리 측정 센서는 높은 전력을 구동하며, 안정적으로 구동 전류의 상승/하강 시간을 줄이고 구동 전류의 상승/하강 시간 감소로 인해 발생하는 구동 전류와 구

동 신호의 타이밍 미스매치를 감소시킬 수 있다.

### 도면의 간단한 설명

- [0009] 도 1은 본 개시의 예시적 실시예에 따른 구동 장치 및 광소자를 나타내는 블록도이다.
- 도 2는 본 개시의 예시적 실시예에 따른 구동 회로를 나타내는 블록도이다.
- 도 3은 본 개시의 예시적 실시예에 따른 제1 프리 앰퍼시스 회로와 제1 메인 드라이버 회로를 나타내는 회로도이다.
- 도 4는 본 개시의 예시적 실시예에 따른 전류-전압 변환 회로를 나타내는 회로도이다.
- 도 5는 본 개시의 예시적 실시예에 따른 DLL 회로를 나타내는 블록도이다.
- 도 6은 본 개시의 예시적 실시예에 따른 캘리브레이션 타이밍도이다.
- 도 7a 내지 도 7b는 본 개시의 예시적 실시예에 따라 캘리브레이션 결과를 나타내기 위한 도면이다.
- 도 8a 내지 도 8b는 본 개시의 예시적 실시예에 따라 캘리브레이션 결과를 나타내기 위한 도면이다.
- 도 9는 본 개시의 예시적 실시예에 따른 구동 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 10은 본 개시의 예시적 실시예에 따른 거리 측정 센서를 나타내는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0010] 도 1은 본 개시의 예시적 실시예에 따른 구동 장치 및 광소자를 나타내는 블록도이다. 예시적인 실시 예에 따라, 광소자(200)는 VCSEL(Vertical Cavity Surface Emitting Laser)일 수 있으나, 다른 발광 소자일 수 있다.
- [0011] 구동 장치(100)는 외부(예를 들어, 도 10의 컨트롤러(400))로부터 입력 신호(INPUT)를 수신할 수 있다. 입력 신호(INPUT)는 전처리 회로(110)를 통해 구동 회로(130)에서 구동 전류(I<sub>VC</sub>)를 생성하거나, 교정 회로(120)에서 구동 전류(I<sub>VC</sub>)와 구동 신호(DS)의 타이밍 미스매치를 감소시키기 위해 사용되는 신호일 수 있다. 예시적인 실시 예에서, 구동 장치(100)는 외부로부터 인에이블 신호(EN)를 더 수신할 수 있다. 도 2 내지 도 3을 참조하는 바와 같이, 인에이블 신호(EN)는 구동 회로(130)에 흐르는 전류 레벨을 조절하기 위해 사용되는 신호일 수 있다.
- [0012] 도 1에서 구동 장치(100)는 도 3을 참조하여 후술하는 바와 같이 NMOS 구동 장치일 수 있다. 여기서 NMOS 구동 장치는 구동 전류(I<sub>VC</sub>)를 제어하는 트랜지스터(예를 들어, 도 3의 N6)가 NMOS 트랜지스터인 것을 의미할 수 있다. 다만, 이는 예시적인 것일 뿐 광소자(200)에 따라 구동 장치(100)는 구동 전류(I<sub>VC</sub>)를 제어하는 트랜지스터가 PMOS 트랜지스터인 PMOS 구동 장치로 구현될 수도 있다. 구동 장치(100)가 PMOS 구동 장치일 경우, 도 1에 도시된 구동 전류(I<sub>VC</sub>)는 구동 장치(100)에서 광소자(200) 방향으로 흐를 수 있다. 구동 장치(100)는 전처리 회로(110), 교정 회로(120), 구동 회로(130)를 포함할 수 있다.
- [0013] 전처리 회로(110)는 입력 신호(INPUT)에 대한 전처리를 수행하여 제1 참조 신호(REF1) 및 제2 참조 신호(REF2)를 생성할 수 있다. 전처리 회로(110)는 입력 신호(INPUT)에 대한 전처리를 수행함으로써 입력 신호(INPUT)를 증폭시킬 수 있다. 또한 전처리 회로(110)는 전처리 회로(110)와 연결된 회로로 인해 발생한 잡음들이 입력 신호(INPUT)에 미치는 영향을 줄일 수 있다.
- [0014] 예시적인 실시 예에서, 입력 신호(INPUT)는 도 6을 참조하는 바와 같이, 양의 입력 신호(P\_INPUT) 및 양의 입력 신호(P\_INPUT)와 위상이 반대인 음의 입력 신호(N\_INPUT)를 포함하는 LVDS(Low Voltage Differential Signal)일 수 있다.
- [0015] 제1 참조 신호(REF1)는 전처리 회로(110)가 아날로그 신호인 입력 신호(INPUT)를 디지털 신호로 변환하여 교정 회로(120)로 제공하는 신호일 수 있다. 제2 참조 신호(REF2)는 전처리 회로(110)가 구동 회로(130)로 아날로그 신호인 입력 신호(INPUT)를 제공하기 위해 일시적으로 입력 신호(INPUT)를 저장하였다가 출력하는 즉, 입력 신호(INPUT)를 버퍼링(buffering)한 신호일 수 있다.
- [0016] 양의 입력 신호(P\_INPUT) 및 음의 입력 신호(N\_INPUT)에 대응하여, 제1 참조 신호(REF1)는 양의 제1 참조 신호(P\_REF1) 및 양의 제1 참조 신호(P\_REF1)와 위상이 반대인 음의 제1 참조 신호(N\_REF1)를 포함할 수 있다. 마찬가지로

가지로 제2 참조 신호(REF2)는 양의 제2 참조 신호(P\_REF2) 및 양의 제2 참조 신호(P\_REF2)와 위상이 반대인 음의 제2 참조 신호(N\_REF2)를 포함할 수 있다.

- [0017] 구동 회로(130)는 도 2 내지 도 3을 참조하는 바와 같이, 제2 참조 신호(REF2) 및 구동 신호(DS)에 기초하여 광소자(200)를 구동하기 위한 구동 전류(I<sub>VC</sub>)를 생성할 수 있다.
- [0018] 구동 회로(130)는 광소자(200)의 전력을 증가시키기 위해, 광소자(200)에 흐르는 구동 전류(I<sub>VC</sub>)를 증가시킬 수 있다. 광소자(200)에 흐르는 구동 전류(I<sub>VC</sub>)가 증가할 경우, 구동 전류(I<sub>VC</sub>)의 상승/하강 시간이 늘어날 수 있다.
- [0019] 구동 회로(130)는 구동 전류(I<sub>VC</sub>)의 상승/하강 시간을 감소시키기 위해 프리 앰퍼시스 회로(131)를 포함할 수 있다. 구동 신호(DS)는 도 2 내지 도 3을 참조하는 바와 같이, 프리 앰퍼시스 회로(131)를 동작시키는 신호일 수 있다. 프리 앰퍼시스 회로(131)는 구동 신호(DS)에 기초하여 광소자(200)에 흐르는 구동 전류(I<sub>VC</sub>)의 양을 순간적으로 증가/감소시켜 구동 전류(I<sub>VC</sub>)의 상승/하강 시간을 줄일 수 있다. 구동 장치(100)가 프리 앰퍼시스 회로(131)를 포함함으로써 인해 구동 장치(100) 내에서 전파 지연(propagation delay)이 발생할 수 있다. 전파 지연이 발생할 경우, 구동 전류(I<sub>VC</sub>)의 상승/하강 타이밍과 프리 앰퍼시스 회로(131)가 구동 전류(I<sub>VC</sub>)의 양을 순간적으로 증가/감소시키는 타이밍간에 타이밍 미스매치가 발생할 수 있다. 타이밍 미스매치가 발생할 경우 구동 전류(I<sub>VC</sub>)의 상승/하강 시간을 충분히 감소시키지 못할 수 있다.
- [0020] 구동 회로(130)는 광소자(200)를 구동하는 구동 전류(I<sub>VC</sub>)에 기초하여 복제 전류(I<sub>REP</sub>)를 생성할 수 있다. 복제 전류(I<sub>REP</sub>)는 구동 전류(I<sub>VC</sub>)와 파형은 같고 크기만 다른 신호일 수 있다. 예를 들어, 구동 전류(I<sub>VC</sub>)의 크기가 1A일 경우 복제 전류(I<sub>REP</sub>)는 구동 전류(I<sub>VC</sub>)와 파형은 같으나 크기가 0.5A인 신호일 수 있다. 구동 회로(130)는 생성된 복제 전류(I<sub>REP</sub>)를 교정 회로(120)로 제공할 수 있다.
- [0021] 교정 회로(120)는 전류-전압 변환 회로(121) 및 DLL(delay-locked loop) 회로(122)를 포함할 수 있다.
- [0022] 교정 회로(120)는 구동 전류(I<sub>VC</sub>)와 프리 앰퍼시스 회로(131)를 동작시키는 구동 신호(DS)와 간 타이밍 미스매치 줄일 수 있다. 다시 말해, 교정 회로(120)에서 구동 신호(DS)는 구동 전류(I<sub>VC</sub>)의 상승/하강 타이밍에 맞춰 순간적으로 구동 전류(I<sub>VC</sub>)를 증가/감소시키도록 교정될 수 있다.
- [0023] 전류-전압 변환 회로(121)는 구동 회로(130)로부터 수신한 복제 전류(I<sub>REP</sub>)를 복제 전압 신호(RVS)로 변환할 수 있다. 아날로그 신호인 구동 전류(I<sub>VC</sub>)는 디지털 회로인 DLL 회로(122)에서 사용되기 어려우므로, 전류-전압 변환 회로(121)에 의해 복제 전압 신호(RVS)로 변환될 수 있다.
- [0024] DLL 회로(122)는 제1 참조 신호(REF1) 및 복제 전압 신호(RVS)를 수신할 수 있다. DLL 회로(122)는 도 5를 참조하는 바와 같이, 구동 신호(DS)와 복제 전압 신호(RVS)의 위상 차를 검출하여 위상차 신호(P\_DIFF)를 생성할 수 있다. DLL 회로(122)는 위상차 신호(P\_DIFF) 및 제1 참조 신호(REF1)에 기초하여 타이밍이 교정된 구동 신호(DS)를 생성할 수 있다. DLL 회로(122)는 타이밍이 교정된 구동 신호(DS)를 구동 회로(130)로 제공할 수 있다.
- [0025] 도면들을 참조하여 후술되는 바와 같이, 구동 장치(100)는 높은 전력을 구동하며, 안정적으로 구동 전류(I<sub>VC</sub>)의 상승/하강 시간을 줄일 수 있다. 또한 구동 장치(100)는 구동 전류(I<sub>VC</sub>)의 상승/하강 시간 감소로 인해 발생하는 구동 전류(I<sub>VC</sub>)와 구동 신호(DS)의 타이밍 미스매치를 감소시킬 수 있고, 구동 장치(100)를 포함하는 거리 측정 센서의 최대 측정 가능 거리가 늘어날 수 있다.
- [0026] 도 2는 본 개시의 예시적 실시예에 따른 구동 회로를 나타내는 블록도이다.
- [0027] 도 2를 참조하면, 구동 회로(330A)는 복수의 프리 앰퍼시스 회로들(331A\_1 내지 331A\_P), 복수의 메인 드라이버 회로들(332A\_1 내지 332A\_Q), 복수의 바이어스 드라이버 회로들(333A\_1 내지 333A\_R) 및 전류 미러 회로(334A\_1)를 포함할 수 있다. 도 2에서는 프리 앰퍼시스 회로들(331A\_1 내지 331A\_P) 중 제1 프리 앰퍼시스 회로(331A\_1), 메인 드라이버 회로들(332A\_1 내지 332A\_Q) 중 제1 메인 드라이버 회로(332A\_1), 및 바이어스 드라이버 회로들(333A\_1 내지 333A\_R) 중 제1 바이어스 드라이버 회로(333A\_1)의 동작을 예시적으로 나타내었다. 도면에 도시되지 않은 제2 내지 제P 프리 앰퍼시스 회로(331A\_2 내지 331A\_P), 제2 내지 제Q 메인 드라이버 회로(332A\_2 내지 332A\_Q), 제 2 내지 제R 바이어스 드라이버 회로(333A\_2 내지 333A\_R)의 동작은 각각 제1 프리 앰퍼시스 회로(331A\_1), 제1 메인 드라이버 회로(332A\_1), 제1 바이어스 드라이버 회로(333A\_1)의 동작을 참조하여 설명될 수 있다.
- [0028] 구동 회로(330A)는 외부로부터 인에이블 신호(EN)를 수신할 수 있다. 일실시예에서, 인에이블 신호(EN)는 도 1의 구동 장치(100)가 거리 측정 센서(예를 들어, 도 10의 1000)의 컨트롤러(예를 들어, 도 10의 400)로부터 수

신한 신호일 수 있다. 인에이블 신호(EN)는 프리 앰퍼시스 인에이블 신호(PE\_EN), 메인 드라이버 인에이블 신호(MD\_EN), 바이어스 드라이버 인에이블 신호(BIAS\_EN)를 포함할 수 있다. 프리 앰퍼시스 인에이블 신호(PE\_EN), 메인 드라이버 인에이블 신호(MD\_EN), 바이어스 드라이버 인에이블 신호(BIAS\_EN)는 각각 프리 앰퍼시스 회로들(331A\_1 내지 331A\_P), 메인 드라이버 회로들(332A\_1 내지 332A\_Q), 바이어스 드라이버 회로들(333A\_1 내지 333A\_R)이 인에이블 되는 수에 해당하는 데이터를 가질 수 있다.

[0029] 예를 들어, 프리 앰퍼시스 인에이블 신호(PE\_EN)가 3개에 대응하는 데이터, 메인 드라이버 인에이블 신호(MD\_EN)가 3개에 대응하는 데이터, 바이어스 드라이버 인에이블 신호(BIAS\_EN)가 2개에 대응하는 데이터를 갖는 경우, 제1 내지 3 프리 앰퍼시스 회로(331A\_1 내지 331A\_3), 제1 내지 3 메인 드라이버 회로(332A\_1 내지 332A\_3), 제1 및 2 바이어스 드라이버 회로(333A\_1 및 333A\_2)가 인에이블 될 수 있다. 그리고 제4 내지 제P 프리 앰퍼시스 회로(331A\_4 내지 331A\_P), 제4 내지 제Q 메인 드라이버 회로(332A\_4 내지 332A\_Q), 제3 내지 제R 바이어스 드라이버 회로(333A\_3 내지 333A\_R)는 디스에이블될 수 있다. 거리 측정 센서(1000)의 컨트롤러(400)는 인에이블 신호(EN)를 통해 인에이블 되는 회로의 수를 조절하여, 구동 전류(I\_VC)의 레벨을 제어할 수 있다.

[0030] 제1 프리 앰퍼시스 회로(331A\_1)는 구동 신호(DS)에 기초하여 제1 앰퍼시스 신호(ES\_1) 및 제2 앰퍼시스 신호(ES\_2)를 생성하고, 제1 메인 드라이버 회로(332A\_1)로 제1 앰퍼시스 신호(ES\_1) 및 제2 앰퍼시스 신호(ES\_2)를 제공할 수 있다.

[0031] 제1 메인 드라이버 회로(332A\_1)는 제1 앰퍼시스 신호(ES\_1), 제2 앰퍼시스 신호(ES\_2) 및 도 1의 전처리 회로(110)로부터 수신한 제2 참조 신호(REF2)에 기초하여 메인 드라이버 전류(I\_MD)를 생성할 수 있다.

[0032] 제1 바이어스 드라이버 회로(333A\_1)는 바이어스 전류(I\_BIAS)를 생성할 수 있다. 바이어스 전류(I\_BIAS)는 DC 전류로서, 일정한 전류 레벨을 가질 수 있다.

[0033] 전류 미러 회로(334A\_1)는 전원 전압(VDD)을 인가 받고 제1 내지 제Q 메인 드라이버 회로(332A\_1 내지 332A\_Q)와 연결되도록 구성될 수 있다. 전류 미러 회로(334A\_1)는 메인 드라이버 전류(I\_MD)에 대응하는 복제 전류(I\_REP)를 생성할 수 있다. 전류 미러 회로(334A\_1)는 전류-전압 변환 회로(121)와 연결될 수 있고, 전류 미러 회로(334A\_1)의 출력 단으로 복제 전압 신호(RCS)가 출력될 수 있다.

[0034] 구동 전류(I\_VC)는 메인 드라이버 전류(I\_MD)와 바이어스 전류(I\_BIAS)의 합으로 나타낼 수 있다. 바이어스 전류(I\_BIAS)는 DC 전류일 수 있으므로, 메인 드라이버 전류(I\_MD)와 구동 전류(I\_VC)의 파형은 같을 수 있다. 따라서 복제 전류(I\_REP)의 파형은 구동 전류(I\_VC)의 파형과 동일할 수 있다.

[0035] 도 3은 본 개시의 예시적 실시예에 따른 제1 프리 앰퍼시스 회로(331B\_1)와 제1 메인 드라이버 회로(332B\_1)를 나타내는 회로도이다. 도 3에서는 예시적으로 제1 프리 앰퍼시스 회로(331B\_1)와 제1 메인 드라이버 회로(332B\_1)를 나타내었다. 도면에 도시되지 않은 제2 내지 제P 프리 앰퍼시스 회로(331B\_2 내지 331B\_P) 및 제2 내지 제Q 메인 드라이버 회로(332B\_2 내지 332B\_Q)의 동작은 각각 제1 프리 앰퍼시스 회로(331B\_1) 및 제1 메인 드라이버 회로(332B\_1)의 동작을 참조하여 설명될 수 있다.

[0036] 도 1 및 도 3을 참조하면, 제1 프리 앰퍼시스 회로(331B\_1)는 제1 낸드 회로(NAND1), 레벨 시프터, 제1 캐패시터(C1), 제2 캐패시터(C2) 및 제1 인버터(INV1)를 포함할 수 있다.

[0037] 제1 프리 앰퍼시스 회로(331B\_1)는 교정 회로(120)로부터 구동 신호(DS)를, 거리 측정 센서(예를 들어, 도 10의 1000)의 컨트롤러(예를 들어, 도 10의 400)로부터 프리 앰퍼시스 인에이블 신호(PE\_EN)를 수신할 수 있다.

[0038] 프리 앰퍼시스 인에이블 신호(PE\_EN)가 하이 논리 레벨을 가질 경우, 제1 낸드 회로(NAND1)는 구동 신호(DS)와 프리 앰퍼시스 인에이블 신호(PE\_EN)의 낸드 연산을 수행한 신호를 레벨 시프터로 전달할 수 있다. 레벨 시프터는 제1 낸드 회로(NAND1)로부터 수신한 신호의 전압 레벨을 시프트하여 생성된 프리 앰퍼시스 신호(VPRE)를 제1 캐패시터(C1) 및 제1 인버터(INV1)를 통해 제2 캐패시터(C2)로 전달할 수 있다. 제1 캐패시터(C1) 및 제2 캐패시터(C2)는 수신한 신호의 AC 성분을 추출하여 각각 제1 앰퍼시스 신호(ES\_1) 및 제2 앰퍼시스 신호(ES\_2)를 생성할 수 있고, 생성된 제1 앰퍼시스 신호(ES\_1) 및 제2 앰퍼시스 신호(ES\_2)를 제1 메인 드라이버 회로(332B\_1)로 제공할 수 있다.

[0039] 프리 앰퍼시스 인에이블 신호(PE\_EN)가 로우 논리 레벨을 가질 경우, 구동 신호(DS)의 논리 레벨과 상관 없이 제1 낸드 회로(NAND1)는 일정한 하이 논리 레벨의 신호를 출력할 수 있다. 또한 레벨 시프터가 제1 낸드 회로(NAND1)로부터 수신한 신호의 전압 레벨을 시프트한 프리 앰퍼시스 신호(VPRE)도 일정한 하이 논리 레벨을 가질 수 있다. 프리 앰퍼시스 신호(VPRE)가 일정한 전압 레벨을 가질 경우, 프리 앰퍼시스 신호(VPRE)는 AC 성분을

가지 않을 수 있다. 이 경우, 제1 캐패시터(C1) 및 제2 캐패시터(C2)는 프리 앰퍼시스 신호(VPRE)의 AC 성분을 추출하여 각각 제1 앰퍼시스 신호(ES\_1) 및 제2 앰퍼시스 신호(ES\_2)를 생성할 수 없으므로, 제1 프리 앰퍼시스 회로(331B\_1)는 디스에이블 될 수 있다.

[0040] 제1 메인 드라이버 회로(332B\_1)는 제1 내지 제6 NMOS 트랜지스터(N1 내지 N6), 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2) 및 제2 인버터(INV2)를 포함할 수 있다. 제1 메인 드라이버 회로(332B\_1)는 메인 드라이버 전류(I\_MD)를 제어하는 트랜지스터가 제6 NMOS 트랜지스터(N6)일 수 있으므로, 제1 메인 드라이버 회로(332B\_1)를 포함하는 구동 장치(100)는 NMOS 구동 장치일 수 있다.

[0041] 제1 메인 드라이버 회로(332B\_1)는 컨트롤러(400)로부터 메인 드라이버 인에이블 신호(MD\_EN)를, 전처리 회로(110)로부터 제2 참조 신호(REF2)를, 제1 프리 앰퍼시스 회로(331B\_1)로부터 제1 내지 2 앰퍼시스 신호(ES\_1 내지 ES\_2)를 수신할 수 있다.

[0042] 제3 NMOS 트랜지스터(N3)의 드레인에 제1 전원 전압(VDD)이, 제3 NMOS 트랜지스터(N3)의 게이트에 음의 제2 참조 신호(N\_REF2)가 인가될 수 있다. 또한, 제4 NMOS 트랜지스터(N4)의 드레인은 제1 노드(ND1)와 연결될 수 있고, 제4 NMOS 트랜지스터(N4)의 게이트에 양의 제2 참조 신호(P\_REF2)가 인가될 수 있다.

[0043] 제3 NMOS 트랜지스터(N3) 및 제4 NMOS 트랜지스터(N4)의 소스는 공통적으로 제2 NMOS 트랜지스터(N2)의 드레인과 연결될 수 있으므로, 제2 NMOS 트랜지스터(N2)에 일정한 조정(modulation) 전류(I\_M)가 흐른다고 가정하면, 제3 NMOS 트랜지스터(N3) 및 제4 NMOS 트랜지스터(N4)는 차동 증폭기(differential amplifier)로 동작할 수 있다. 차동 증폭기란 두 입력 신호의 전압차를 증폭하는 회로를 의미할 수 있다. 즉, 제1 메인 드라이버 회로(332A\_1)는 제4 NMOS 트랜지스터(N4)의 게이트에 인가되는 양의 제2 참조 전압(P\_REF2)에서 제3 NMOS 트랜지스터의 게이트에 인가되는 음의 제2 참조 전압(N\_REF2)을 뺀 전압에 차동 증폭기의 이득을 곱한 전압을 제1 노드(ND1)에 인가할 수 있다. 제3 NMOS 트랜지스터(N3)의 게이트에 인가되는 전압이 N\_PRE2, 제4 NMOS 트랜지스터(N4)의 게이트에 인가되는 전압이 P\_PRE2, 두 전압의 차이인 제2 참조 전압이 VREF2, 차동 증폭기의 이득이 A인 경우, 제1 노드(ND1)에 인가되는 전압은  $V_{NODE1} = A \cdot (P\_PRE2 - N\_PRE2) = A \cdot VREF2$ 로 나타낼 수 있다.

[0044] 메인 드라이버 인에이블 신호(MD\_EN)가 하이 논리 레벨을 가질 경우, 제2 인버터(INV2)를 통해 제1 NMOS 트랜지스터(N1)의 게이트에 로우 논리 레벨의 전압이 인가될 수 있고, 제1 NMOS 트랜지스터(N1)는 턴오프 될 수 있다. 제2 NMOS 트랜지스터(N2)의 게이트에는 일정한 바이어스 전압(VBIAS)이 인가되어 제2 NMOS 트랜지스터(N2)는 턴온 될 수 있고, 제3 트랜지스터(N3) 및 제4 NMOS 트랜지스터(N4)의 소스 전극에는 접지 전압이 인가될 수 있다.

[0045] 반면, 메인 드라이버 인에이블 신호(MD\_EN)가 로우 논리 레벨을 가질 경우, 제2 인버터(INV2)를 통해 제1 NMOS 트랜지스터(N1)의 게이트에 하이 논리 레벨의 전압이 인가될 수 있고, 제1 NMOS 트랜지스터(N1)는 턴온 될 수 있다. 이 경우, 제2 NMOS 트랜지스터(N2)의 게이트에는 접지 전압이 인가되어, 제2 NMOS 트랜지스터(N2)는 턴오프 될 수 있다. 제2 NMOS 트랜지스터(N2)가 턴오프되면 제2 NMOS 트랜지스터(N2)에는 일정한 조정 전류(I\_M)가 흐를 수 없으므로, 제3 NMOS 트랜지스터(N3) 및 제4 NMOS 트랜지스터(N4)가 차동 증폭기로 동작하지 못할 수 있다.

[0046] 제1 PMOS 트랜지스터(P1)의 게이트가 제1 PMOS 트랜지스터(P1)의 소스 및 제2 PMOS 트랜지스터(P2)의 게이트와 연결될 수 있으므로, 제1 PMOS 트랜지스터(P1) 및 제2 PMOS 트랜지스터(P2)는 제1 전류 미러를 형성할 수 있다. 즉, 제1 PMOS 트랜지스터(P1)에 흐르는 제1 전류(I\_1)의 N배인 제2 전류(I\_2)가 제2 PMOS 트랜지스터(P2)에 흐를 수 있다. 여기서 N은 제1 PMOS 트랜지스터(P1)와 제2 PMOS 트랜지스터(P2)의 공정, 구조 등에 따라 달라질 수 있다.

[0047] 제5 NMOS 트랜지스터(N5)의 게이트가 제5 NMOS 트랜지스터(N5)의 드레인 및 제6 PMOS 트랜지스터(N6)의 게이트와 연결될 수 있으므로, 제5 NMOS 트랜지스터(N5) 및 제6 NMOS 트랜지스터(N6)는 제2 전류 미러를 형성할 수 있다. 즉, 제5 NMOS 트랜지스터(N5)에 흐르는 제2 전류(I\_2)의 M배인 메인 드라이버 전류(I\_MD)가 제6 NMOS 트랜지스터(N6)에 흐를 수 있다. 여기서 M은 제5 NMOS 트랜지스터(N5)와 제6 NMOS 트랜지스터(N6)의 공정, 구조 등에 따라 달라질 수 있다.

[0048] 따라서 제1 전류 미러, 제2 전류 미러를 통해 제1 메인 드라이버 회로(332B\_1)는 제1 PMOS 트랜지스터(P1)에 흐르는 제1 전류(I\_1)의 N\*M배인 메인 드라이버 전류(I\_MD)가 제6 NMOS 트랜지스터(N6)로 흐르도록 할 수 있다.

[0049] 제1 프리 앰퍼시스 회로(331B\_1)의 제1 캐패시터(C1)는 제1 PMOS 트랜지스터(P1)의 게이트, 소스 및 제2 PMOS 트랜지스터(P2)의 게이트와 연결될 수 있고, 제2 캐패시터(C2)는 제5 NMOS 트랜지스터(N5)의 게이트, 드레인 및

제6 NMOS 트랜지스터(N6)의 게이트와 연결될 수 있다.

- [0050] 제1 프리 앰퍼시스 회로(331B\_1)는 제1 캐패시터(C1)를 통해 제1 앰퍼시스 신호(ES\_1)를 제1 노드(ND1)로 전달할 수 있다. 또한 제1 프리 앰퍼시스 회로(331B\_1)는 제2 캐패시터(C2)를 통해 제2 앰퍼시스 신호(ES\_2)를 제2 노드(ND2)로 전달할 수 있다. 제1 앰퍼시스 신호(ES\_1)는 프리 앰퍼시스 신호(VPRE)가 제1 캐패시터(C1)를 통과하여 생성될 수 있고, 제2 앰퍼시스 신호(ES\_2)는 프리 앰퍼시스 신호(VPRE)가 제1 인버터(INV1) 및 제2 캐패시터(C2)를 통과하여 생성될 수 있다. 따라서 제1 앰퍼시스 신호(ES\_1)와 제2 앰퍼시스 신호(ES\_2)는 위상이 반대일 수 있다.
- [0051] 제1 앰퍼시스 신호(ES\_1)가 제1 노드(ND1)를 풀업하는 경우, 제2 앰퍼시스 신호(ES\_2)는 제2 노드(ND2)를 풀다운할 수 있다. 마찬가지로 제1 앰퍼시스 신호(ES\_1)가 제1 노드(ND1)를 풀다운하는 경우, 제2 앰퍼시스 신호(ES\_2)는 제2 노드(ND2)를 풀업할 수 있다.
- [0052] 예를 들어, 제1 앰퍼시스 신호(ES\_1)가 제1 노드(ND1)를 풀다운 하는 경우, 제1 노드(ND1)의 전압 레벨이 낮아질 수 있고, 제1 노드(ND1)와 연결된 제1 PMOS 트랜지스터(P1)의 게이트 및 제2 PMOS 트랜지스터(P2)의 게이트 전압 레벨이 낮아질 수 있다. 따라서 제1 PMOS 트랜지스터(P1) 및 제2 PMOS 트랜지스터(P2)의 채널이 더 넓어질 수 있다. 이로 인해 제1 전류(I\_1)의 양이 증가할 수 있으므로, 제1 전류(I\_1)의 N 배인 제2 전류(I\_2)가 증가할 수 있다. 또한, 제 2 앰퍼시스 신호(ES\_2)는 제2 노드(ND2)를 풀업할 수 있으므로, 제2 노드(ND2)의 전압 레벨이 높아질 수 있고, 제2 노드(ND2)와 연결된 제5 NMOS 트랜지스터(N5)의 게이트 및 제6 NMOS 트랜지스터(N6)의 게이트 전압 레벨이 높아질 수 있다. 따라서 제5 NMOS 트랜지스터(N5) 및 제6 NMOS 트랜지스터(N6)의 채널이 더 넓어질 수 있다. 이로 인해 제2 전류(I\_2)의 양이 증가할 수 있으므로, 제2 전류(I\_2)의 M 배인 메인 드라이버 전류(I\_MD)가 증가할 수 있다.
- [0053] 반면, 제1 앰퍼시스 신호(ES\_1)가 제1 노드(ND1)를 풀업하는 경우, 제1 노드(ND1)의 전압 레벨이 높아질 수 있고, 제1 노드(ND1)와 연결된 제1 PMOS 트랜지스터(P1)의 게이트 및 제2 PMOS 트랜지스터(P2)의 게이트 전압 레벨이 높아질 수 있다. 따라서 제1 PMOS 트랜지스터(P1) 및 제2 PMOS 트랜지스터(P2)의 채널이 더 줄어들 수 있다. 이로 인해 제1 전류(I\_1)의 양이 감소할 수 있으므로, 제1 전류(I\_1)의 N 배인 제2 전류(I\_2)가 감소할 수 있다. 또한, 제 2 앰퍼시스 신호(ES\_2)는 제2 노드(ND\_2)를 풀다운할 수 있으므로, 제2 노드(ND\_2)와 연결된 제5 NMOS 트랜지스터(N5)의 게이트 및 제6 NMOS 트랜지스터(N6)의 게이트 전압 레벨이 낮아질 수 있다. 따라서 제5 NMOS 트랜지스터(N5) 및 제6 NMOS 트랜지스터(N6)의 채널이 더 줄어들 수 있다. 이로 인해 제2 전류(I\_2)의 양이 감소할 수 있으므로, 제2 전류(I\_2)의 M 배인 메인 드라이버 전류(I\_MD)가 감소할 수 있다.
- [0054] 도 4는 본 개시의 예시적 실시예에 따른 전류-전압 변환 회로(321)를 나타내는 회로도이다. 전류-전압 변환 회로(321)는 제1 내지 제3 저항(R1 내지 R3), 제1 캐패시터(C1), 슈미트 트리거 회로(STC), 및 제1 인버터(INV1)를 포함할 수 있다.
- [0055] 도 1 및 도 4를 참조하면, 전류-전압 변환 회로(321)는 구동 회로(130)로부터 복제 전류(I\_REP) 및 복제 전류(I\_REP)에 대응하는 복제 전압 신호(RCS)를 수신할 수 있다. 복제 전류(I\_REP)의 DC 성분은 제1 노드(ND1)에서 제1 저항(R1)을 통해 접지로 흐를 수 있고, 복제 전류(I\_REP)의 AC 성분은 제1 노드(ND1)에서 제1 캐패시터(C1)를 통해 제2 노드(ND2)로 전달될 수 있다. 제2 노드(ND2)에는 전압 분배에 의해  $\frac{R2}{R2+R3} * VDD$ 의 바이어스 전압이 인가될 수 있다. 따라서, 제2 노드(ND2)에는  $\frac{R2}{R2+R3} * VDD$ 의 바이어스 전압과 복제 전류(I\_REP)의 AC성분에 대응하는 전압을 더한 전압 레벨을 갖는 신호가 인가될 수 있다. 제2 노드(ND2)에 인가되는 신호는 아날로그 신호일 수 있다. 제2 노드(ND2)에 인가되는 신호는 슈미트 트리거 회로(STC)를 통해 디지털 신호로 변환될 수 있다. 슈미트 트리거 회로(STC)는 제2 노드(ND2)에 인가되는 신호의 전압 레벨이 기준 전압 이상일 경우 하이 논리 레벨을 갖는 신호를 출력할 수 있고, 기준 전압 이하일 경우 로우 논리 레벨을 갖는 신호를 출력할 수 있다. 슈미트 트리거 회로(STC)로부터 출력된 신호는 제1 인버터(INV1)를 거쳐 복제 전압 신호(RVS)로 변환될 수 있다. 결과적으로 전류-전압 변환 회로(321)는 아날로그 신호인 복제 전류(I\_REP)를 수신하여, 디지털 신호인 복제 전압 신호(RVS)를 출력할 수 있다.
- [0056] 도 5는 본 개시의 예시적 실시예에 따른 DLL 회로를 나타내는 블록도이다.
- [0057] 도 5를 참조하면, DLL 회로(322)는 위상 검출기(322\_1) 및 딜레이 유닛(322\_2)을 포함할 수 있다.
- [0058] 위상 검출기(322\_1)는 도 1을 함께 참조하는 바와 같이, 전류-전압 변환 회로(121)로부터 복제 전압 신호(RVS)

를 수신할 수 있고, 딜레이 유닛(322\_2)으로부터 구동 신호(DS)를 수신할 수 있다. 위상 검출기(322\_1)는 복제 전압 신호(RVS)와 구동 신호(DS)의 위상을 검출하여, 두 신호의 위상 차에 관한 정보를 갖는 위상차 신호(P\_DIFF)를 생성할 수 있다. 위상 검출기(322\_1)는 위상차 신호(P\_DIFF)를 딜레이 유닛(322\_2)으로 제공할 수 있다.

- [0059] 딜레이 유닛(322\_2)은 도 1을 참조하는 바와 같이, 전처리 회로(110)로부터 제1 참조 신호(REF1)를 수신할 수 있고, 위상 검출기(322\_1)로부터 위상차 신호(P\_DIFF)를 수신할 수 있다. 딜레이 유닛(322\_2)은 제1 참조 신호(REF1)의 위상을 및 위상차 신호(P\_DIFF)에 대응하는 위상만큼 시프트하여 구동 신호(DS)를 생성할 수 있다. 제1 참조 신호(REF1)는 양의 제1 참조 신호(P\_REF1) 및 음의 제1 참조 신호(N\_REF1)를 포함할 수 있다. 딜레이 유닛(322\_2)은 양의 제1 참조 신호(P\_REF1) 또는 음의 제1 참조 신호(N\_REF1)의 위상을 시프트 하여 구동 신호(DS)를 생성할 수 있다. 예를 들어, 딜레이 유닛(322\_2)은 위상차 신호(P\_DIFF)에 기초하여 양의 제1 참조 신호(P\_REF1)의 위상을 복제 전압 신호(RVS)와 구동 신호(DS)의 위상 차만큼 위상을 시프트하여 구동 신호(DS)를 생성할 수 있다.
- [0060] 예시적인 실시 예에서, 딜레이 유닛(322\_2)이 한번에 시프트할 수 있는 위상의 크기보다 복제 전압 신호(RVS)와 구동 신호(DS)의 위상차의 크기가 더 클 경우, DLL 회로(322)는 상기 동작을 반복해서 수행할 수 있다. 즉, DLL 회로(322)는 복제 전압 신호(RVS)와 구동 신호(DS)의 위상차를 검출하고, 제1 참조 신호(REF1)의 위상을 시프트 하는 동작을 반복해서 수행할 수 있다.
- [0061] 결과적으로 DLL 회로(322)는 구동 신호(DS)와 복제 전압 신호(RVS)의 위상 차를 검출하여, 두 신호의 위상 차만큼 위상이 시프트된 구동 신호(DS)를 생성함으로써, 구동 신호(DS)와 복제 전압 신호(RVS)의 위상 차를 감소시킬 수 있다.
- [0062] 도 6은 본 개시의 예시적 실시예에 따른 캘리브레이션 타이밍도이다. 도 6은 전술한 도 1 내지 도 5를 함께 참조하여 설명될 수 있다.
- [0063] 입력 신호(INPUT)는 양의 입력 신호(P\_INPUT) 및 양의 입력 신호(P\_INPUT)와 위상이 반대인 음의 입력 신호(N\_INPUT)를 포함할 수 있다. 양의 입력 신호(P\_INPUT) 및 음의 입력 신호(N\_INPUT)는 같은 주기로 반복되는 신호일 수 있다.
- [0064] 도 5 및 도 6을 참조하면, 딜레이 유닛(322\_2)이 한번에 시프트할 수 있는 위상의 크기보다 복제 전압 신호(RVS)와 구동 신호(DS)의 위상차의 크기가 더 클 경우 DLL 회로(322)는 복제 전압 신호(RVS)와 구동 신호(DS)의 위상차를 검출하고, 제1 참조 신호(REF1)의 위상을 시프트 하는 동작을 반복해서 수행할 수 있다. 예시적으로, 도 6에서는 4번의 시구간 즉, 제1 시구간(t1 내지 t3), 제2 시구간(t3 내지 t5), 제3 시구간(t5 내지 t7), 제4 시구간(t7 내지 t9)에 걸쳐 캘리브레이션이 수행되었다. 제1 내지 4 시구간동안 캘리브레이션이 수행되어 복제 전압 신호(RVS)와 구동 신호(DS)의 타이밍 미스매치가 줄어들 수 있다. 즉, 제1 시구간에서의 제1 타이밍 미스매치(t1 내지 t2)에서 제2 시구간에서의 제2 타이밍 미스매치(t3 내지 t4), 제3 시구간에서의 제3 타이밍 미스매치(t5 내지 t6), 제4 시구간에서의 제4 타이밍 미스매치(t7 내지 t8)로 갈수록 타이밍 미스매치가 점차 줄어들 수 있다.
- [0065] 도 2 및 도 6을 참조하면, 구동 전류(I\_VC)는 바이어스 전류(I\_BIAS)와 메인 드라이버 전류(I\_MD)의 합으로 나타낼 수 있다.
- [0066] 바이어스 전류(I\_BIAS)는 제1 내지 4 시구간 동안 일정한 전류 레벨을 가질 수 있으므로, 메인 드라이버 전류(I\_MD)의 파형과 구동 전류(I\_VC)의 파형은 동일할 수 있다.
- [0067] 캘리브레이션이 진행되는 동안 구동 전류(I\_VC)의 상승 시간이 줄어들 수 있다. 즉, 캘리브레이션이 진행되는 동안, 구동 전류(I\_VC)의 슬루율(slew rate)이 증가할 수 있다. 여기서 슬루율은 출력 신호의 최대 변화율을 의미할 수 있다.
- [0068] 캘리브레이션 동작을 통해 구동 신호(DS)는 구동 전류(I\_VC) 상승/하강 타이밍에 맞춰 순간적으로 구동 전류(I\_VC)를 증가/감소시키도록 교정될 수 있다.
- [0069] 도 7a 내지 도 7b는 본 개시의 예시적 실시예에 따라 캘리브레이션 결과를 나타내기 위한 도면이다. 도 7a는 캘리브레이션 되기 전 복제 전압 신호(RVS), 구동 신호(DS) 및 구동 전류(I\_VC) 그래프를 시간에 따라 나타내었고, 도 7b는 캘리브레이션 된 후의 그래프를 시간에 따라 나타내었다.
- [0070] 도 7a에서 복제 전압 신호(RVS)와 구동 신호(DS)의 타이밍 미스매치는 t1' 내지 t2' 시구간일 수 있고, 구동 전

류(I<sub>VC</sub>)가 I2에서 I3로 상승하는 시간은 t3' 내지 t4' 시구간일 수 있다. 구동 전류(I<sub>VC</sub>)가 I3에서 I2로 하강하는 시간은 t5' 내지 t6' 시구간일 수 있다.

[0071] 도 7b에서 복제 전압 신호(RVS)와 구동 신호(DS)의 타이밍 미스매치는 t7' 내지 t8' 시구간일 수 있고, 구동 전류(I<sub>VC</sub>)가 I6에서 I7로 상승하는 시간은 t9' 내지 t10' 시구간일 수 있다. 구동 전류(I<sub>VC</sub>)가 I7에서 I6으로 하강하는 시간은 t11' 내지 t12' 시구간일 수 있다.

[0072] 복제 전압 신호(RVS)는 전류 신호인 구동 전류(I<sub>VC</sub>)를 전압 신호로 변환한 것일 수 있다. 구동 장치(100)는 복제 전압 신호(RVS)와 구동 신호(DS)의 상승 타이밍을 매칭시켜, 구동 전류(I<sub>VC</sub>) 상승 타이밍에 맞춰 구동 신호(DS)를 구동 회로(130)로 인가할 수 있다. 이를 통해 구동 장치(100)는 타이밍 미스매치로 인해 프리 앰퍼시스 회로(131)가 구동 전류(I<sub>VC</sub>) 상승 타이밍에 맞춰 순간적으로 구동 전류(I<sub>VC</sub>)를 증가시키도록 할 수 있다.

[0073] 도 7b에서는 구동 전류(I<sub>VC</sub>)의 상승 타이밍에 맞춰 구동 신호(DS)가 교정 되는 경우를 나타내었다. 다만, 구동 전류(I<sub>VC</sub>)의 하강 타이밍에 맞춰 구동 신호(DS)가 교정 되는 경우도 본 개시에 설명된 방법으로 교정됨은 통상의 기술자에게 자명할 것이다.

[0074] 도 8a 내지 도 8b는 본 개시의 예시적 실시예에 따라 캘리브레이션 결과를 나타내기 위한 도면이다. 도 8a 내지 도 8b는 서로 다른 온도에서 복제 전압 신호(RVS)를 시간에 따라 나타내었다. 도 8a는 캘리브레이션 되기 전의 복제 전압 신호(RVS)를 나타낸 것이고, 도 8b는 캘리브레이션 된 후의 복제 전압 신호(RVS)를 나타낸 것이다. 도 8a 내지 도 8b에 도시된 구동 장치(100)의 온도 T1, T2, T3는 T1<T2<T3의 관계를 만족할 수 있다. 도 8a 내지 도 8b는 전술한 도 1을 참조하여 설명될 수 있다.

[0075] 도 8a에서 복제 전압 신호(RVS)는 온도가 T1, T2, T3로 점차 증가함에 따라 복제 전압 신호(RVS)의 아이(eye)가 점점 작아질 수 있다. 여기서 아이는 신호의 누적된 파형을 시간축 상에 나타냈을 때, 눈과 같은 모양으로 나타나는 파형을 의미할 수 있다. 아이의 크기가 크면 신호의 왜곡(distortion)이 적음을 의미할 수 있다. 도 8a에서 복제 전압 신호(RVS)의 아이가 줄어드는 것은 복제 전압 신호(RVS)의 왜곡이 증가함을 의미할 수 있다.

[0076] 반면, 도 8b의 경우 온도가 T1, T2, T3로 점차 증가하더라도 도 8a와 비교했을 때 복제 전압 신호(RVS)의 아이가 일정할 수 있다. 이는 캘리브레이션이될 경우 온도가 T1, T2, T3로 점차 증가하더라도 복제 전압 신호(RVS)의 왜곡이 거의 생기지 않음을 의미할 수 있다.

[0077] 도 9는 본 개시의 예시적 실시예에 따른 구동 장치(100)의 동작 방법을 설명하기 위한 순서도이다. 도 9는 전술한 도 1 내지 도 5를 참조하여 설명될 수 있다.

[0078] 구동 장치(100)의 동작 방법(S10)은 단계 S100 내지 단계 S600을 포함할 수 있다.

[0079] 단계 S100에서 입력 신호(INPUT)에 대한 전처리를 수행하여 제1 참조 신호(REF1)를 생성할 수 있다. 단계 S100은 도 1의 전처리 회로(110)를 통해 수행될 수 있다. 전처리 회로(110)는 입력 신호(INPUT)에 대한 전처리를 수행함으로써 입력 신호(INPUT)를 증폭시킬 수 있다. 또한 전처리 회로(110)는 전처리 회로(110)와 연결된 회로로 인해 발생한 잡음들이 입력 신호(INPUT)에 미치는 영향을 줄일 수 있다.

[0080] 단계 S200에서, 광소자(200)를 구동하는 구동 전류(I<sub>VC</sub>)에 기초하여 복제 전류(I<sub>REP</sub>)를 생성할 수 있다. 단계 S200은 도 2의 전류 미러 회로(344A\_1)에 의해 수행될 수 있다. 바이어스 전류(I<sub>BIAS</sub>)는 DC 전류일 수 있으므로 전류 복제 전류(I<sub>REP</sub>)의 파형은 구동 전류(I<sub>VC</sub>)의 파형과 동일할 수 있다. 따라서 전류 미러 회로(344\_1)는 구동 전류(I<sub>VC</sub>)의 일부인 메인 드라이버 전류(I<sub>MD</sub>)에 기초하여 복제 전류(I<sub>REP</sub>)를 생성할 수 있다.

[0081] 단계 S300에서, 복제 전류(I<sub>REP</sub>)에 기초하여 복제 전압 신호(RVS)를 생성할 수 있다. 단계 S300은 도 4의 전류-전압 변환 회로(321)에 의해 수행될 수 있다. 전류-전압 변환 회로(321)는 아날로그 신호인 복제 전류(I<sub>REP</sub>)를 수신하여, 디지털 신호인 복제 전압 신호(RVS)를 출력할 수 있다.

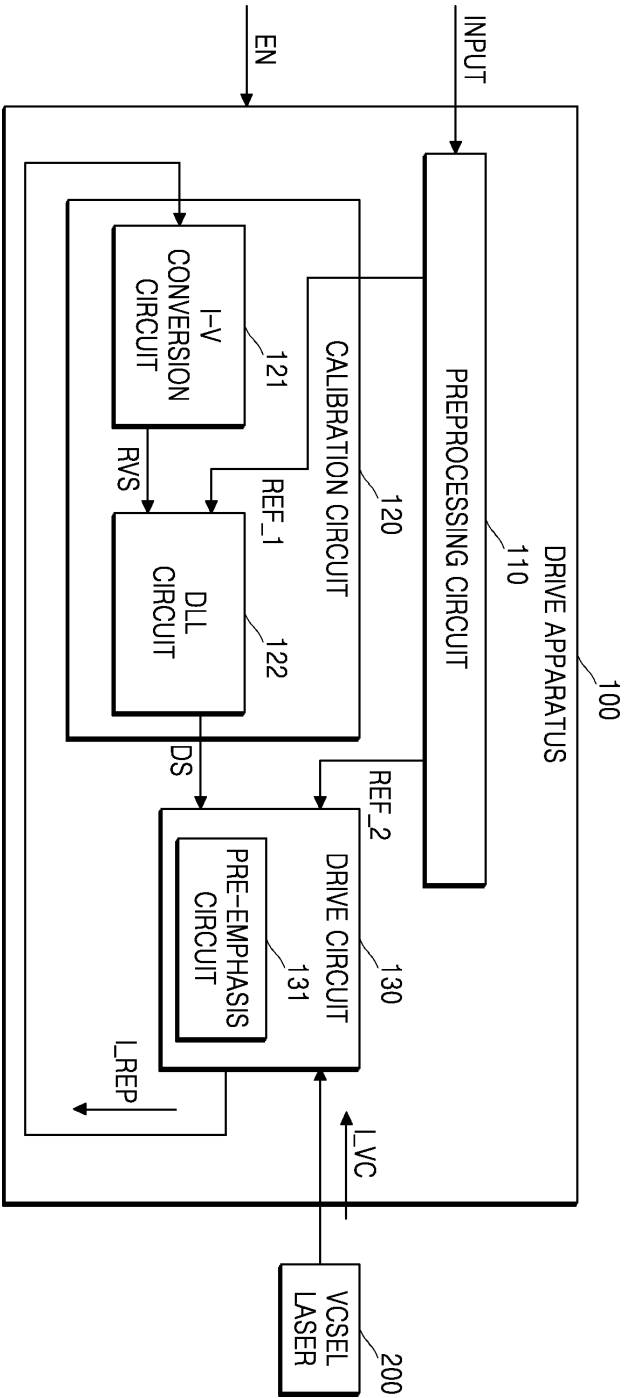
[0082] 단계 S400에서, 구동 신호(DS)의 위상이 복제 전압 신호(RVS)의 위상과 일치하도록 구동 신호(DS)의 위상이 교정될 수 있다. 단계 S400은 도5의 DLL 회로(322)에 의해 수행될 수 있다. DLL 회로(322)는 복제 전압 신호(RVS) 및 제1 참조 신호(REF1)를 수신할 수 있다. DLL 회로(322)는 DLL 회로(322)의 출력 신호인 구동 신호(DS)와 복제 전압 신호(RVS)의 위상차를 검출하고, 위상차에 대한 정보를 갖는 위상차 신호(P<sub>DIFF</sub>)를 생성할 수 있다.

[0083] 단계 S500에서, 위상차가 교정된 구동 신호(DS)가 생성될 수 있다. DLL 회로(322)는 위상차 신호(P<sub>DIFF</sub>) 및 제1 참조 신호(REF1)에 기초하여 제1 참조 신호(REF1)의 위상을 위상차만큼 시프트해 위상차가 교정된 구동 신호(DS)를 생성할 수 있다.

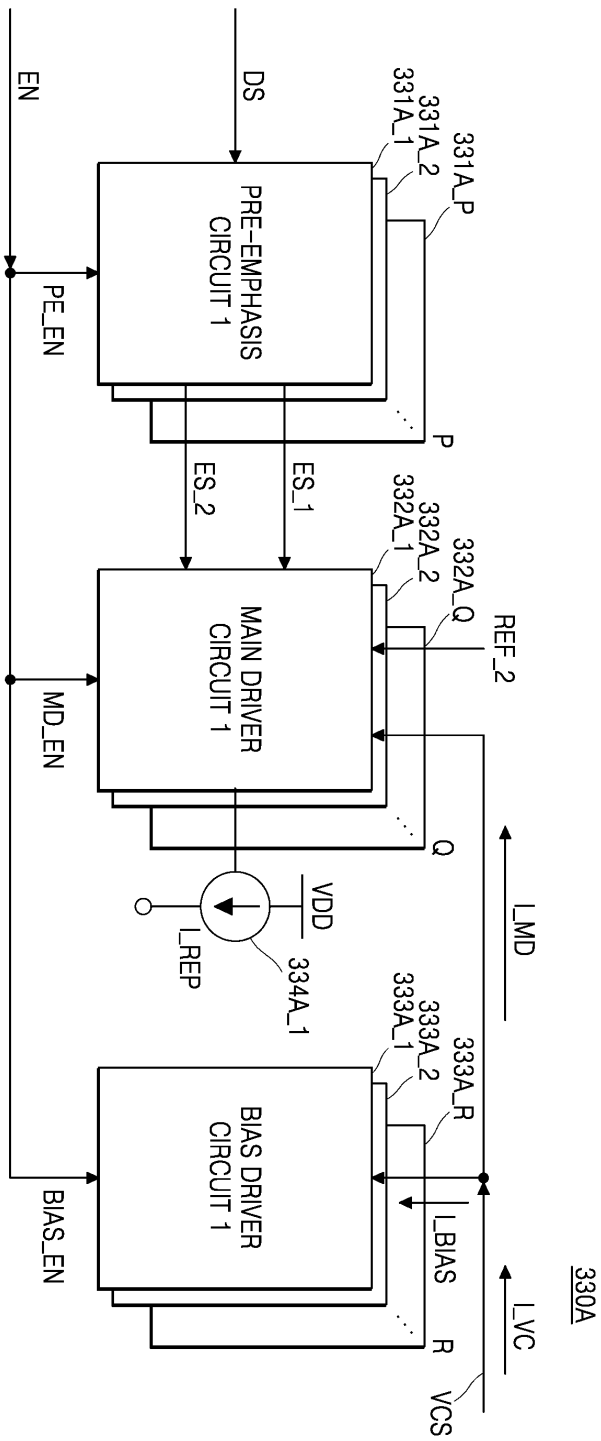
- [0084] 단계 S600에서, 구동 회로(130)는 단계 S500에서 생성된 구동 신호(DS)에 기초하여 구동 전류(I<sub>VC</sub>)를 생성할 수 있다. 일부 실시예에서, 구동 장치(100)의 동작 방법(S10)은 단계 S500에서 생성된 구동 신호(DS)에 기초하여 도 3을 참조하는 바와 같이, 구동 신호(DS)의 상승 또는 하강시 엠퍼시스 신호들(ES<sub>1</sub> 및 ES<sub>2</sub>)을 생성하는 단계를 더 포함할 수 있다. 엠퍼시스 신호들(ES<sub>1</sub> 및 ES<sub>2</sub>)은 도 3을 참조하는 바와 같이, 구동 신호(DS)의 AC 성분을 추출하여 생성될 수 있다. 구동 회로(130)는 엠퍼시스 신호들(ES<sub>1</sub> 및 ES<sub>2</sub>)을 사용함으로써 구동 전류(I<sub>VC</sub>)의 상승/하강 시간을 줄일 수 있다.
- [0085] 다른 실시예에서, 구동 장치(100)의 동작 방법(S10)은 입력 신호(INPUT)에 대한 전처리를 수행하여 제2 참조 신호(REF2)를 생성하는 단계와 제2 참조 신호(REF2) 및 구동 신호(DS)에 기초하여 구동 전류(I<sub>VC</sub>)를 조절하는 단계를 더 포함할 수 있다. 입력 신호(INPUT)에 대한 전처리를 수행하여 제2 참조 신호(REF2)를 생성하는 단계는 도 1의 전처리 회로(110)에 의해 수행될 수 있고, 구동 신호(DS)에 기초하여 구동 전류(I<sub>VC</sub>)를 조절하는 단계는 도 3의 제1 프리 엠퍼시스 회로(331B<sub>1</sub>)와 제1 메인 드라이버 회로(332B<sub>1</sub>)에 의해 수행될 수 있다.
- [0086] 도 10은 본 개시의 예시적 실시예에 따른 거리 측정 센서를 나타내는 블록도이다.
- [0087] 거리 측정 센서(1000)는 컨트롤러(400), 구동 장치(500), 광소자(600), 이미지 센서(700)를 포함할 수 있다.
- [0088] 컨트롤러(400)는 적어도 하나의 구동 장치 제어 신호(DA\_CON)를 생성하여 구동 장치(500)로 제공할 수 있다. 적어도 하나의 구동 장치 제어 신호(DA\_CON)는 도 1의 입력 신호(INPUT) 또는 도 2의 인에이블 신호(EN)를 포함할 수 있다. 컨트롤러(400)는 인에이블 신호(EN)를 조절하여 제2 구동 전류(I<sub>VC</sub>)의 레벨을 제어할 수 있다.
- [0089] 구동 장치(500)는 도 1 내지 도 5에서 전술한 구동 장치(500)일 수 있다. 구동 장치(500)는 적어도 하나의 구동 장치 제어 신호(DA\_CON)에 기초하여 제1 구동 전류(I<sub>VC1</sub>)를 생성하고, 제1 구동 전류(I<sub>VC1</sub>)를 광소자(600)로 제공할 수 있다. 또한, 구동 장치(500)는 제1 구동 전류(I<sub>VC1</sub>) 및 적어도 하나의 구동 장치 제어 신호(DA\_CON)에 기초하여 제2 구동 전류(I<sub>VC2</sub>)를 생성할 수 있다. 이 때 제2 구동 전류(I<sub>VC2</sub>)의 슬류 레이트는 제1 구동 전류(I<sub>VC1</sub>)의 슬류 레이트 보다 클 수 있다.
- [0090] 구체적으로, 구동 장치(500)는 도 1을 참조하는 바와 같이, 제1 구동 전류(I<sub>VC1</sub>)에 기초하여 복제 전류(I<sub>REP</sub>)를 생성하는 구동 회로(130) 및 복제 전류(I<sub>REP</sub>)에 기초하여 복제 전압 신호(RVS)를 생성하고, 복제 전압 신호(RVS)에 기초하여 구동 장치 제어 신호(DA\_CON)의 위상을 변경함으로써 생성된 구동 신호(DS)를 구동 회로(130)로 제공하는 교정 회로(120)를 포함할 수 있다. 구동 회로(130)는 구동 신호(DS)에 기초하여 생성한 제2 구동 전류(I<sub>VC2</sub>)를 광소자(600)로 제공할 수 있다.
- [0091] 여기서 구동 회로(130)는, 도 2를 참조하여 전술한 바와 같이, 구동 신호(DS)의 상승 또는 하강시 엠퍼시스 신호(ES<sub>1</sub>, ES<sub>2</sub>)를 생성하는 프리 엠퍼시스 회로(331A<sub>1</sub>~331A<sub>P</sub>) 및 바이어스 전류를 생성하여 광소자(600)로 제공하는 바이어스 회로(333A<sub>1</sub>~333A<sub>R</sub>)를 포함할 수 있다.
- [0092] 또한, 교정 회로(120)는, 도 1을 참조하여 전술한 바와 같이, 복제 전류(I<sub>REP</sub>)에 기초하여 복제 전압 신호(RVS)를 생성하는 전류-전압 변환 회로(121) 및 복제 전압 신호(RVS)에 기초하여, 적어도 하나의 구동 장치 제어 신호(DA\_CON)의 위상을 변경해 구동 신호(DS)를 생성하는 DLL(Delayed Locked Loop) 회로(122)를 포함할 수 있다.
- [0093] DLL 회로(122)는, 도 5를 참조하여 전술한 바와 같이, 구동 신호(DS)와 복제 전압 신호(RVS)의 위상 차를 검출하여 위상차 신호(P<sub>DIFF</sub>)를 생성하는 위상 검출기(322<sub>1</sub>) 및 위상차 신호(P<sub>DIFF</sub>)에 기초하여 적어도 하나의 구동 장치 제어 신호(DA\_CON)의 위상을 변경해 구동 신호(DS)를 생성하는 딜레이 유닛(322<sub>2</sub>)을 포함할 수 있다.
- [0094] 거리 측정 센서(1000)는 광소자(600)로부터 출력된 광 출력 신호(OS)가 물체(2000)에 도달한 후 반사된 반사 신호(RS)를 측정하여 거리 측정 센서(1000)와 물체(2000)의 거리를 측정할 수 있다. 구체적으로, 광소자(600)는, 제2 구동 전류(I<sub>VC2</sub>)에 기초하여 생성된 광 출력 신호(OS)를 물체(2000)로 출력할 수 있다. 이미지 센서(700)는, 광 출력 신호(OS)가 물체(2000)에 도달한 후 반사됨으로써 생성된 반사 신호(RS)를 수신할 수 있다. 거리 측정 센서(1000)는, 광 출력 신호(OS)가 출력된 시간부터 반사 신호(RS)를 수신한 시간까지 걸린 시간을 측정하여 물체(2000)와의 거리를 측정할 수 있다.

도면

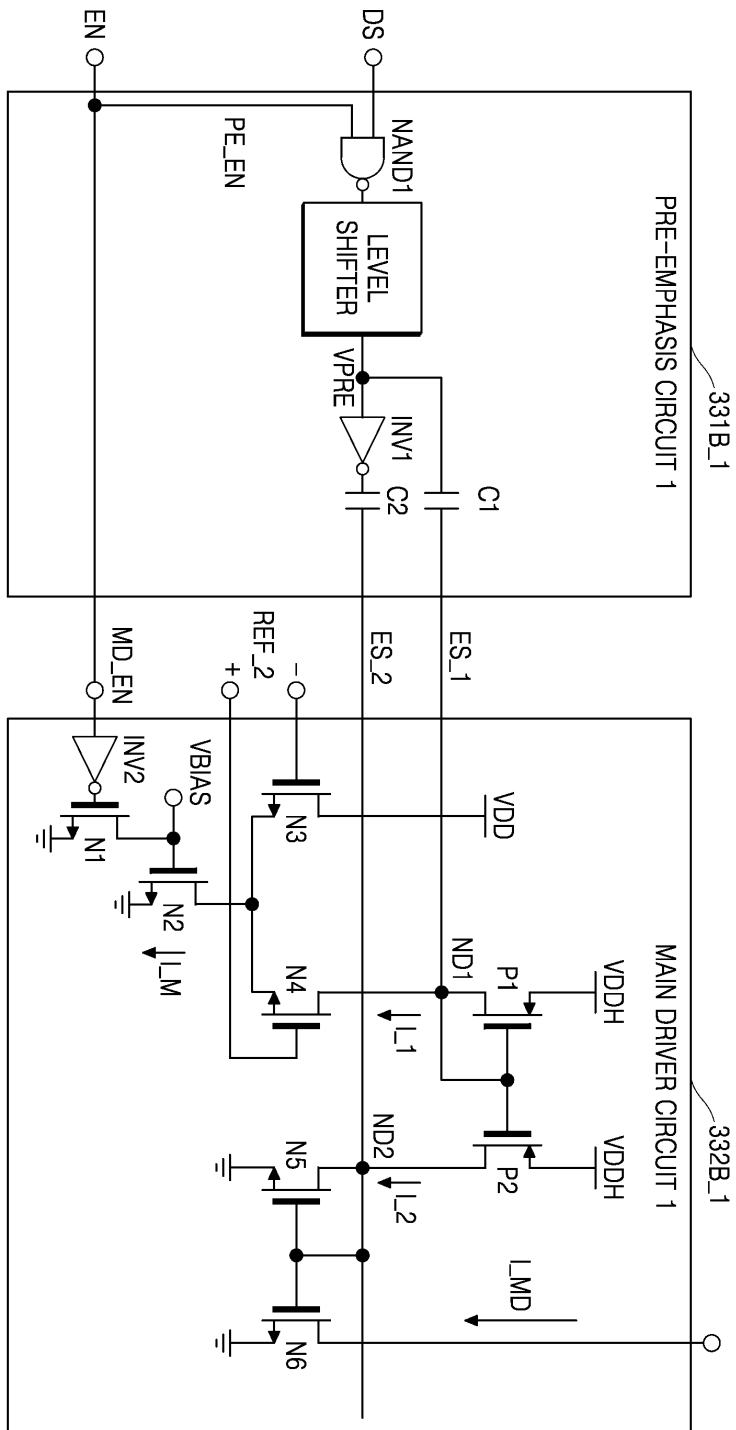
도면1



도면2

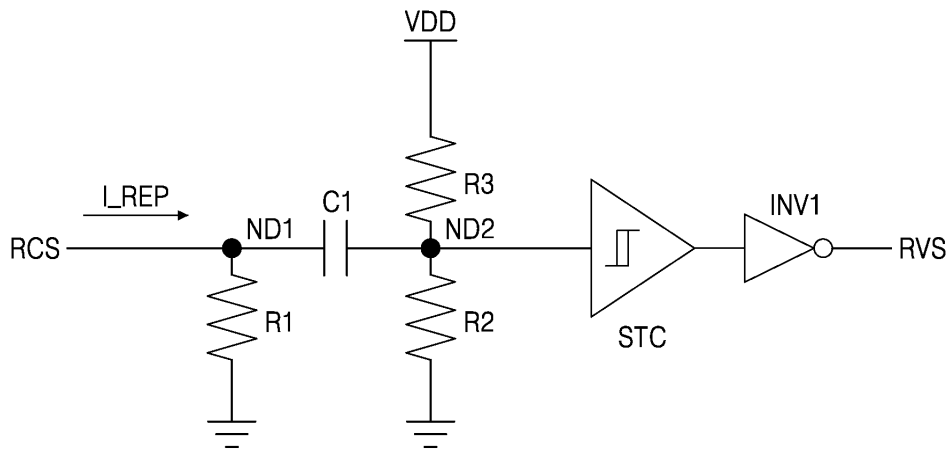


도면3



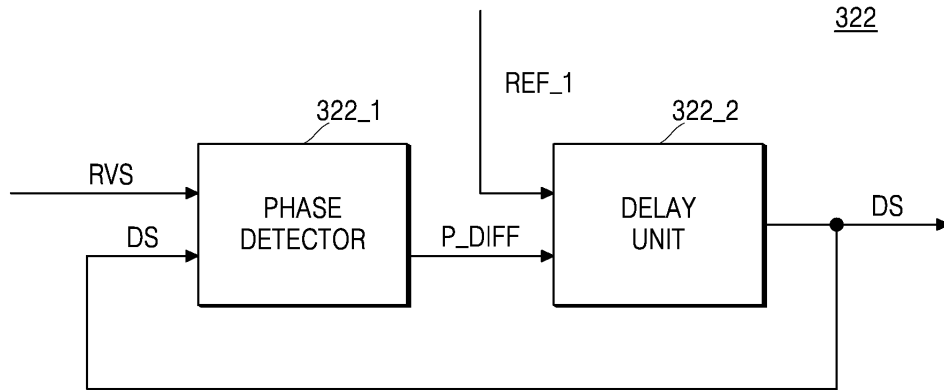
도면4

321

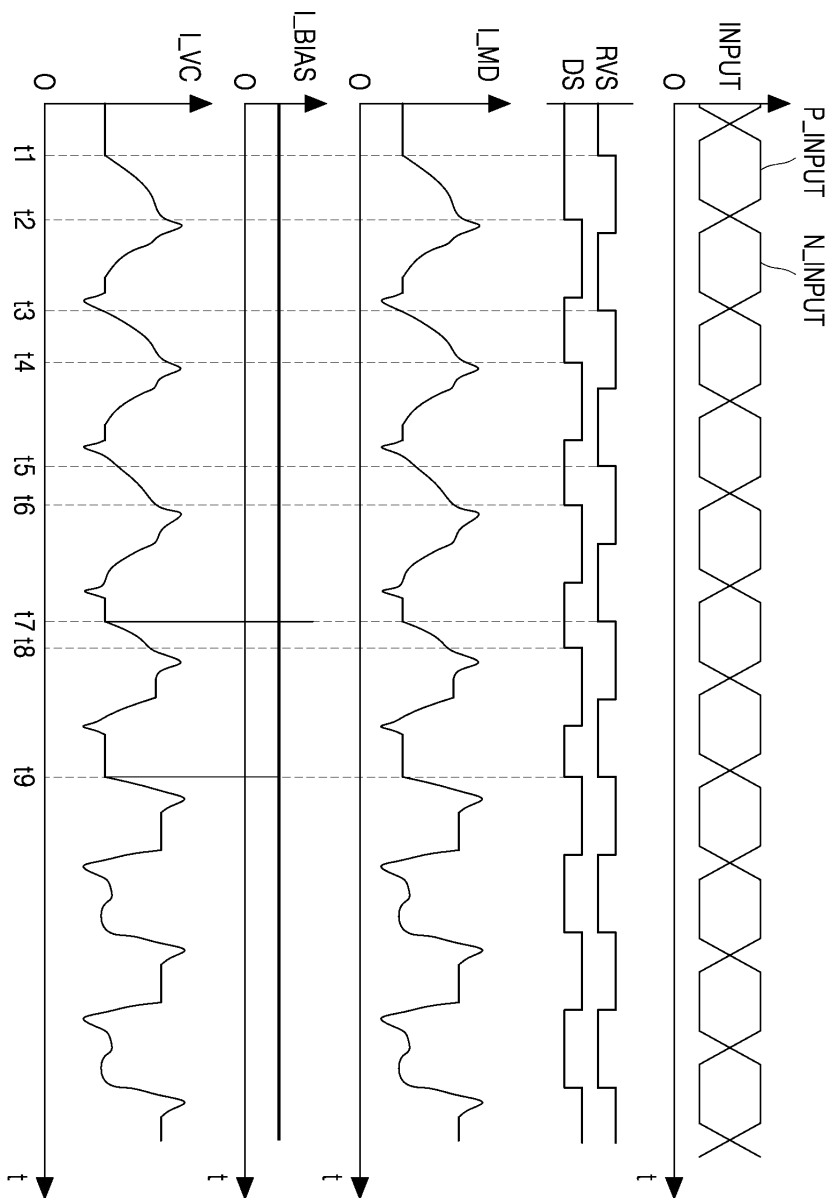


도면5

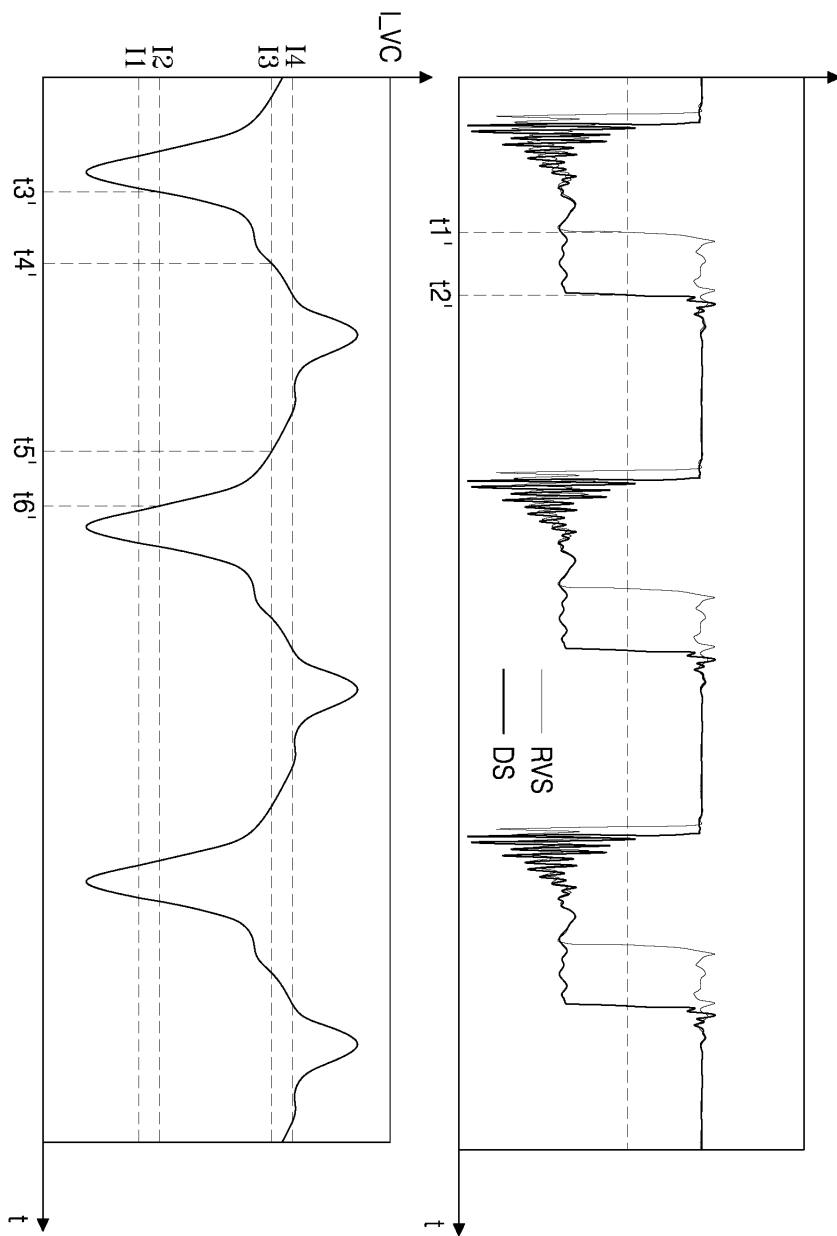
322



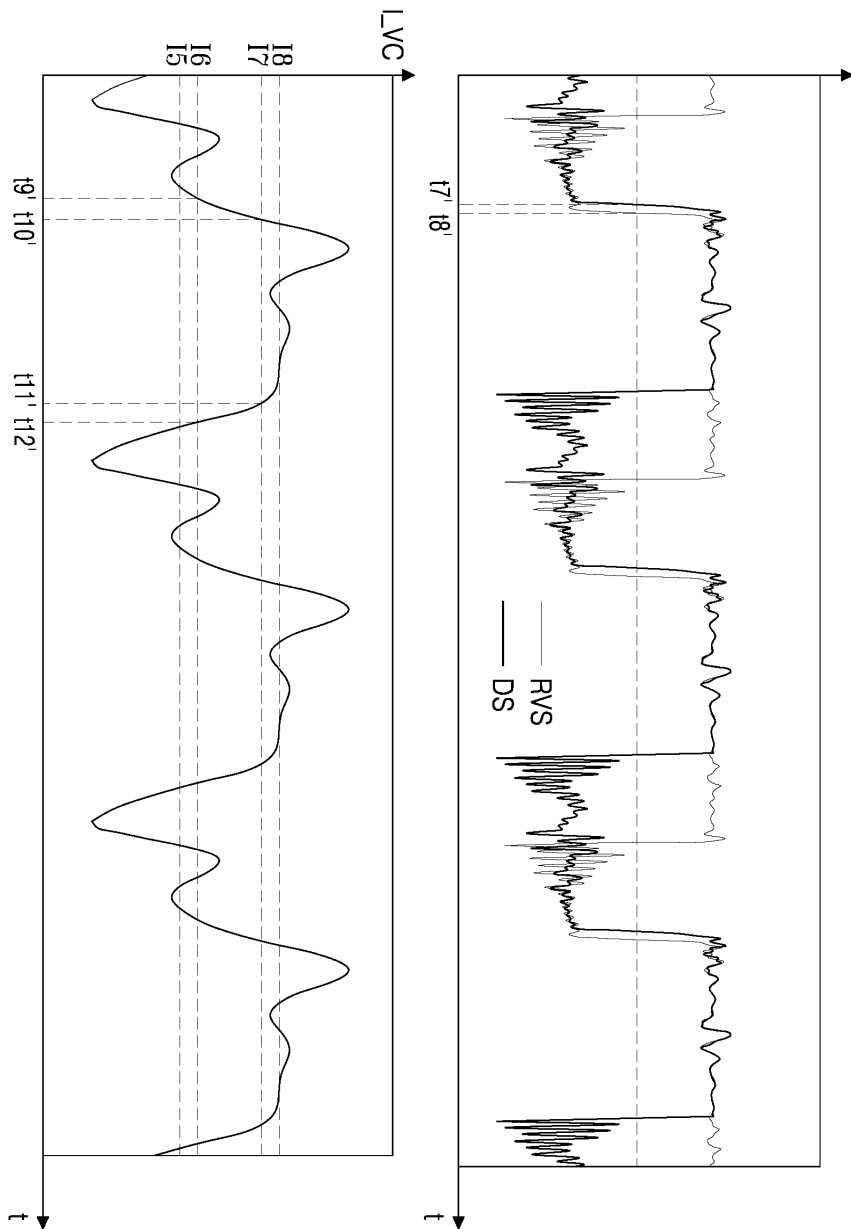
도면6



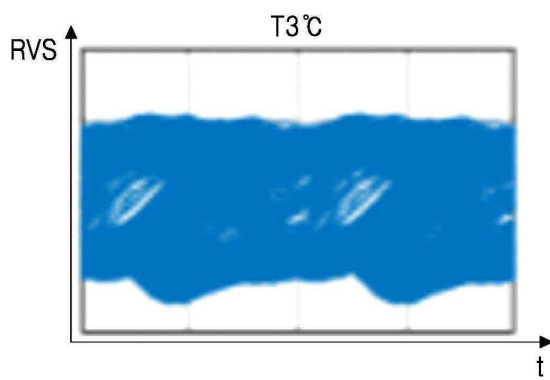
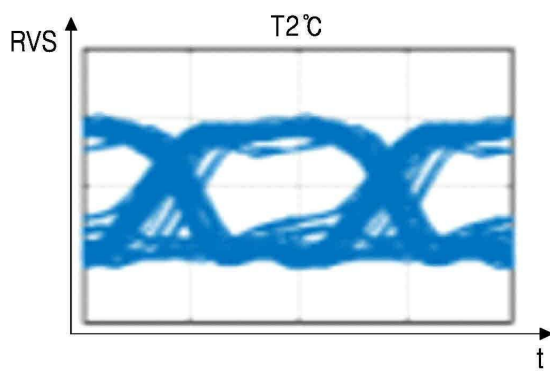
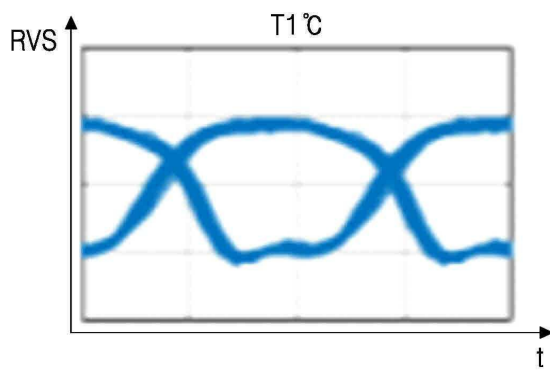
도면7a



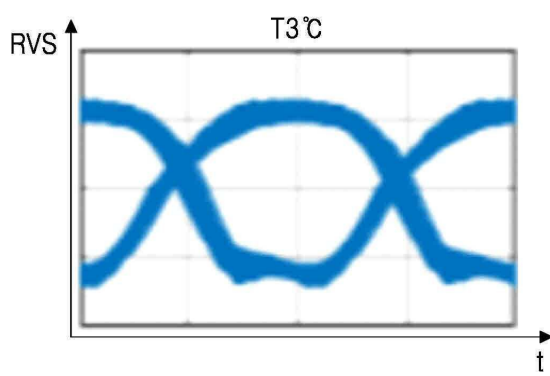
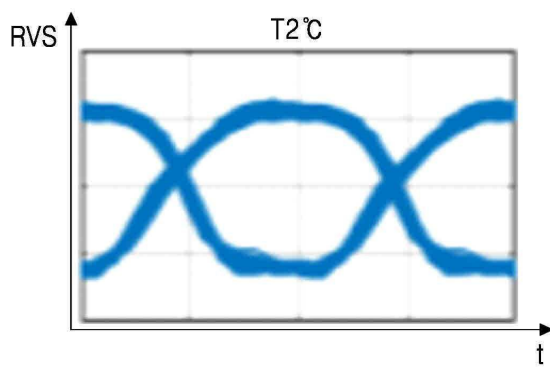
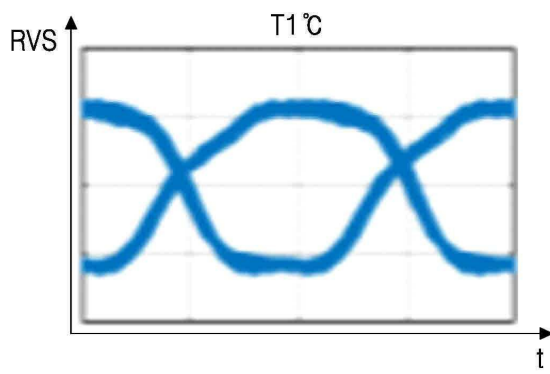
도면7b



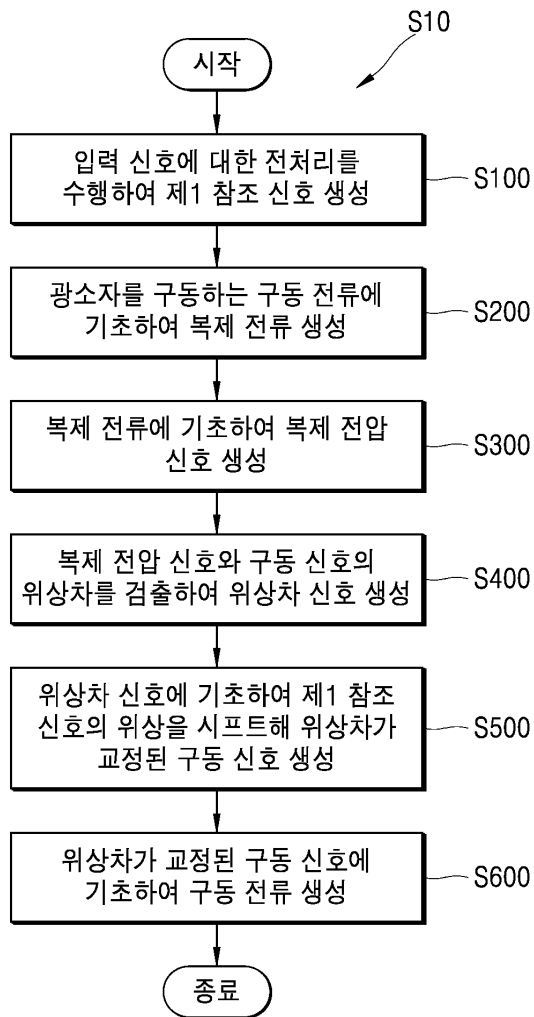
도면 8a



도면 8b



도면9



도면10

