(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H04N 7/04

(45) 공고일자 2004년09월13일
(11) 등록번호 10-0420236
(24) 등록일자 2004년02월13일

(21) 출원번호 10-1995-0040397
(22) 출원일자 1995년11월06일

(65) 공개번호 10-1996-0020473
(43) 공개일자 1996년06월17일

(30) 우선권주장
94-295579 1994년11월05일 일본(JP)
94-336504 1994년12월22일 일본(JP)
95-158522 1995년06월01일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
가노따게이지
일본국도쿄도시나가와쿠기다시나가와6-7-35소니(주)내

에자끼다다시
일본국도쿄도시나가와쿠기다시나가와6-7-35소니(주)내

오꾸로마사끼
일본국도쿄도시나가와쿠기다시나가와6-7-35소니(주)내

야나기하라나오후미
일본국도쿄도시나가와쿠기다시나가와6-7-35소니(주)내

후꾸다히로시
일본국도쿄도시나가와쿠기다시나가와6-7-35소니(주)내

(74) 대리인
이병호
최달용

심사관 : 최훈

(54) 텔레비전신호기록 및 재생장치 및 방법

요약

텔레비전 신호 기록/재생 시스템은 휘도 신호, 크로미넌스 신호, 및 미리 결정된 텔레비전 주사 라인에 포함된 해상도 보상 신호로 이루어진 텔레비전 신호를 디지털 방식으로 기록 및 재생한다.
이 시스템은 상기 크로미넌스 신호(C)로부터 휘도 신호(Y)를 분리하는 Y/C 분리 회로를 구비한다. 휘도 신호(Y) 및 해상도 보상 신호는 제 1 신호 라인 상에서 결합된다. 복조 회로는 상기 크로미넌스 신호를 색차 신호로 복조하여, 이 복조된 신호를 제 2 신호 라인으로 출력한다. 디지털 비디오 신호 레코더는 제 2 신호 라인 상의 신호로부터 제 1 신호 라인 상의 신호를 디지털 방식으로 처리하여, 디지털 방식으로 처리된 신호를 기록한다. 이 방법으로 해상도 보상 신호는 휘도 신호로 처리되고, 그 해상도 보상 신호는 정확히 기록될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 레터 박스 비디오 스크린도.
제2도는 PAL 플러스 시스템에 적용된 레터 박스 비디오 스크린도.
제3도는 제2도의 레터 박스 비디오 스크린에서 라인(23)의 타이밍도.
제4도는 제2도의 모든 라인에 대한 타이밍도.
제5도는 EDTV-2 시스템에 적용된 레터 박스 비디오 스크린도.
제6도는 제5도의 라인들(22 및 285)에 대한 타이밍도.
제7도는 제5도의 모든 라인에 대한 타이밍도.
제8A도 및 8B도는 PAL 플러스 및 EDTV-2 시스템의 비디오 성분에 대한 주파수 영역도.
제9도는 PAL 플러스 기록 시스템의 블록도.
제10도는 제 1 실시예에 따른 PAL 플러스 기록 처리기의 블록도.
제11A도, 11B도, 11C도는 PAL 플러스 신호의 WSS 신호에 대한 타이밍도.
제12A, 12B도는 제 1 실시예에 따른 디지털 비디오 기록 처리기의 블록도.
제13도는 제2 실시예에 따른 PAL 플러스 기록 처리기의 블록도.
제14도는 제3 실시예에 따른 PAL 플러스 기록 처리기의 블록도.
제15도는 제4 실시예에 따른 PAL 플러스 기록 처리기의 블록도.
제16도는 제4 실시예에 따른 비디오 성분의 정규화도.
제17도는 제4 실시예에 따른 PAL 플러스 기록측 처리 회로의 블록도.
제18도는 제4 실시예에 따른 라인(23)의 신호도.
제19도는 제4 실시예에 따른 라인들(23 및 623)의 타이밍도.
제20도는 제4 실시예에 따른 라인(23)의 상세한 신호도.
제21도는 제4 실시예에 따른 블랙 레벨 기준 및 화이트 100% 레벨 기준을 도시하는 타이밍도.
제22도는 제4 실시예에 따른 디지털 비디오 기록 처리기의 블록도
제23도는 기록 매체 상에 기록된 신호의 디지털 레벨도.
제24A도 내지 24E도는 기록 매체 상에 기록된 신호의 디지털 레벨도.
제25A도 내지 25E도는 기록 매체 상에 기록된 신호의 디지털 레벨도.
제26A도 내지 26E는 기록 매체 상에 기억된 신호의 디지털 레벨도.
제27도는 제5도 실시예에 따른 EDTV-2 기록 처리 시스템을 도시하는 블록도.
제28도는 제5도 실시예에 따른 EDTV-2 기록 처리기의 블록도.
제29도는 제5도 실시예에 따른 디지털 비디오 기록 처리기의 블록도.
제30A, 30B도는 기록 매체 상에 기억된 트랙도.
제31도는 ITI 타이밍 블록도.
제32도는 ITI 영역 및 데이터 영역으로 분할된 트랙을 도시하는 도시도.
제33도는 테이프 메모리 및 카세트 메모리(MIC)에 기억된 계층 적용 ID 구조도.
제34A도, 34B도는 다른 영역 구조로 배열된 트랙도.
제35도는 각 트랙 영역에 기억된 데이터 팩을 도시하는 도시도.
제36도는 상기 팩의 헤더에 대한 계층 구조도.
제37A도, 37B도는 상기 팩에 기억된 다른 형태의 데이터도.
제38도는 동기 블록도.
제39A도, 39B도는 프리 동기(pre-sync) 블록 및 포스트 동기(post-sync) 블록도.
제40도는 데이터 팩에 기억된 동기 블록도.
제41도는 트랙 방향으로 배열된 팩 개수를 도시하는 개략도.
제42도는 비디오 데이터의 동기 블록도.
제43도는 VAUX 또는 비디오 데이터의 동기 블록도.
제44도는 149 동기 블록의 비디오 섹터를 도시하는 개략도.
제45도는 서브 코드 섹터의 구조를 도시하는 개략도.
제46도는 서브 코드 동기 블록의 개략도.
제47도는 오디오, 비디오 및 서브 코드 영역을 갖는 기록 매체 상에 형성된 비디오 트랙도.
제48도는 오디오 영역의 구조를 도시하는 개략도.
제49도는 팩에 기억된 몇몇의 오디오 영역도.
제50도는 비디오 영역의 구조를 도시하는 개략도.
제51도는 비디오 섹터의 149동기 블록을 도시하는 개략도.

제52A도 내지 52D도는 서브 코드 영역의 구조를 도시하는 개략도.
제53도는 구성되지 않은 데이터 팩도.
제54도는 TR 팩으로서 구성된 데이터 팩도.
제55도는 컬러 위상 정보를 기억하는 VAUX 데이터의 소스 팩의 구조를 도시하는 개략도.
제56도는 종횡비 정보를 기억하는 VAUX 데이터의 소스 팩의 구조를 도시하는 개략도.
제57A, B도 및 58도는 PAL 플러스 시스템용 디지털 비디오 재생 처리기의 블록도.
제59도는 EDTV-2 시스템용 디지털 비디오 재생 처리기의 블록도.
제60도는 PAL 플러스 재생 시스템에 대한 블록도.
제61도는 제1 실시예에 따른 PAL 플러스 재생 처리기의 블록도.
제62도는 제2 실시예에 따른 PAL 플러스 재생 처리기의 블록도.
제63도는 제3 실시예에 따른 PAL 플러스 재생 처리기의 블록도.
제64도는 제4 실시예에 따른 PAL 플러스 재생 처리기의 블록도.
제65도는 제4 실시예에 따른 PAL 플러스 재생측 처리 회로도.
제66도는 EDTV-2 시스템용의 디지털 비디오 재생 시스템의 블록도.
제67도는 EDTV-2 시스템에 대한 디지털 신호 재생 VCR도.
제68도는 EDTV-2 재생 처리기의 블록도.
* 도면의 주요부분에 대한 부호의 설명 *
112 : 보조 복조기 116 : WSS 재기록 회로
118 : 라인 카운터 124 : 오프셋 가산 회로
126 : 보조 킬러 128 : 보조 킬러 모드 회로
130 : 칼라 복조기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 텔레비전 신호를 기록/재생하는 장치 및 디지털 방식으로 기록 재생하는 방법에 관한 것이다.

종래 기술

PAL 플러스 및 EDTV-2

텔레비전 신호는 채택된 인코딩 표준을 이용하여 인코딩된다. 미국은 텔레비전 신호를 인코딩하는 NTSC(국제 텔레비전 시스템 위원회) 표준을 채택한 반면, 유럽은 PAL(위상 교번 라인)을 채택했다. 상기 NTSC 및 PAL 표준은 4 : 3(폭 : 높이)의 종횡비를 갖는 텔레비전 화상을 제공하는데, 사람들이 보통 보다 넓은 종횡비를 갖는 화면을 보기 때문에 질이 나쁘다고 생각된다.

최근에, 상기 PAL 플러스 표준 및 EDTV-2(고선명 텔레비전) 표준이 제안되었는데, 이들은 고화질, 와이드 스크린 특징, 및 PAL과 NTSC 표준과의 양립성(compatibility)을 각각 구비한다. 상기 와이드 스크린 규격의 종횡비는 16 : 9 및 14 : 9인데, 4 : 3(12 : 9) 규격보다 훨씬 낫다. 따라서, PAL 플러스 및 EDTV-2 표준은 시청자에게 탁월한 화질 및 보다 현실적인 종횡비를 제공한다.

EDTV-2 및 PAL 플러스 표준에서 4 대 3 라인 데시미터(line decimator)를 통하여 각 스크린을 처리함으로써 보다 높은 종횡비가 얻어진다. 결과적으로 각 스크린은 제1도에 도시된 바와 같이 무효 스크린부에 의해 넓혀진 레터 박스의 모양으로 될 수 있다. 예컨대, 비디오 신호는 디스플레이의 메인 스크린부의 360 라인 상에 위치되지만, 상하 60 라인 상에는 위치되지 않는다. 이러한 방법으로, 16 : 9의 종횡비를 갖는 평면 스크린이 얻어진다.

PAL 플러스 규격의 경우에, 화질은 보조 신호로서 공지된 수직 해상도 성분을 발생함으로써 유지된다. 제2도에 도시된 바와 같이, 이 수직 해상도 보상용 보조 신호는 레터 박스형 스크린의 상하 및 무효 부분에서 멀티플렉스된다. 또한, 상기 보조 신호의 존재를 알리고 종횡비 정보를 포함하는 WSS 신호는 무효 라인(23)에 기억된다. 이 보조 신호를 복원하는데 이용되는 기준 신호는 무효부에 기억된다. 서브 캐리어 주파수(4.43 MHz)를 갖는 기준 버스트 신호는 라인(23)의 후반에 배치된다. 또한, 100% 화이트 레벨을 나타내는 기준 신호는 라인(623) 상에 배치된다.

상기 1/10로 된 스크린이 레터 박스로 생각되지만, 각 라인은 실제로 아날로그 신호를 포함한다. 제3도에 도시된 바와 같이, 라인(23)은 블랭킹 신호, 컬러 버스트, WSS 신호, 기존 버스트 및 다른 블랭킹 신호로서 도시된다. 제4도는 모든 라인을 아날로그 신호로서 도시하고 스크린의 무효 간격과 수직 블랭킹 간격 사이 를 구별한다. 상부 무효부에 위치되는 라인(23)은 이 라인이 상기 수직 블랭킹 간격에 없다는 의미에서 제4도에 따라 무효로 고려된다. 라인(623)이 100% 화이트 레벨을 운반하기 때문에 라인(623)은 수직 블랭킹 간격 안에 있으며, 디스플레이 되어서는 안 된다.

상기 EDTV-2 표준의 경우에, 제5도에 도시된 바와 같이, VT 및 VH 신호는 레터 박스 스크린의 상부 및 하부에서 멀티플렉스되고, HH 신호는 메인 스크린부에서 멀티플렉스된다. 이 VT 신호는 2배속 비 비월주사 모드(non-interlace mode)로 촬영된 비디오 신호가 비월주사 모드에 의해 전송될 때 비월주사 프로세스로 손실되는 수직 시간 고밴드 성분이다. 이 VH 신호는 16:9의 종횡비를 갖는 비디오 신호가 레터 박스 형태로 10진화(decimation)에 의해 형성될

때 손실되는 수직 휘도 고 밴드 성분이다. 상기 HH 신호는 4.2 MHz에서 6 MHz까지의 범위인 밴드를 가진 수평 휘도 고 밴드 성분이며, 메인 스크린부의 후키누키 구멍(Fukinuki hole; 컬러 신호가 위치되지 않는 수직/순간 주파수 영역)으로 시프트되고 멀티플렉스된 주파수이다.
제6도에 도시된 바와 같이, 종횡비를 나타내는 NRZ 신호들(B1 내지 B4)은 라인들(22 및 285) 상에 배치된다. 다음에, 식별(ID) 신호는 VT, VH 및 HH의 신호 성분이 존재하는지 여부를 나타내도록 배치된다(ID 신호는 컬러 서브 캐리어로 변조되고 변조된 신호의 위상이 위상 0 또는 컬러 서브 캐리어가 갖는 위상인지 여부에 따라 신호 성분(VT, VH 및 HH)이 나타나는지 여부를 식별한다). 마지막으로, 비디오 신호가 EDTV-2 규격에 해당하는 신호임을 식별하는 2.04 MHz 확인 신호가 배치된다.
제7도는 상기 스크린의 모든 라인을 도시한다. 토론된 바와 같이, 상기 무효 스크린만이(상하 무효부를 포함) 추출되고, 압축되고, 인코딩된다.
따라서, 수직 블랭킹 간격 및 수평 블랭킹 간격에서의 데이터는 생략된다. 즉, 필드(1)의 라인(23 내지 232) 및 라인(285 내지 524)은 인코딩된다.

디지털 기록/재생

PAL 플러스 시스템의 보조 신호 및 EDTV-2 시스템의 VT, VH 신호는 유효 스크린의 부분으로서 디지털화된다. 디지털 기록 시스템은 제8A, B도에 도시된 바와 같이 상기 크로미넌스 신호 및 보조신호(VT,VH 신호)가 4.43MHz의 중심 주파수를 가지기 때문에 보조신호 및 VT, VH 신호를 크로미넌스 신호로서 처리한다. 그러나, 이 보조신호는 크로미넌스 신호(약 1MHz)보다 훨씬 큰 밴드폭(4.5MHz)을 갖는다. 이것은 보조신호 및 VT,VH 신호의 몇 개 정보가 디지털 압축동안 손실되고 이 프레임의 고화질이 유지될 수 없는 것을 의미한다.

발명의 요약

본 발명은 고화질을 유지하면서 PAL 플러스 및 EDTV-2 규격에 해당하는 신호의 디지털 기록/재생을 제공한다. 본 발명은 해상도 신호를 레터 박스의 무효부에서 추출하여, 이것을 디지털 기록/재생 장치의 휘도 신호(Y) 입력에 제공한다. 제8A도에 도시된 바와 같이, 이 휘도 신호(Y)는 수직 해상도 신호를 수용할 수 있는 큰 대역폭을 갖는다. 이러한 방법으로, 수직 해상도 신호, 즉, 보조신호 및 VT,VH 신호는 정보 손실 없이 디지털 방식으로 기억된다.
본 발명은 합성 신호를 디지털 방식으로 기록하는 텔레비전 신호 기록 장치로서 구현된다. 이 합성 신호는 휘도 신호, 크로미넌스 신호 및 미리 결정된 텔레비전 주사 라인에 위치되는 해상도 보상 신호로 구성된다. Y/C 분리기는 휘도 신호 및 크로미넌스 신호를 상기 합성 신호로부터 분리한다. 결합기는 제1 신호 라인 상에 Y/C 분리기에 의하여 분리된 휘도 신호와 해상도 보상 신호를 결합한다. 복조기는 이 크로미넌스 신호를 복조하고 제2 신호 라인 상에 색차 신호를 출력한다. 디지털 비디오 신호 레코더는 상기 제2 신호 라인 상의 신호와 제 1 신호 라인 상의 신호를 개별적으로 디지털 방식으로 처리하여 이 처리된 신호들을 기록 매체 상에 디지털 방식으로 기록한다.
또한, 본 발명은 합성 신호를 디지털 방식으로 재생하는 텔레비전 신호 재생 장치로서 구현된다. 디지털 재생기는 해상도 보상 신호와 결합된 휘도 신호를 포함하는 성분 신호를 기록 매체로부터 재생한다. 분리기는 이 휘도 신호를 해상도 성분 신호로부터 분리하고, 결합기는 해상도 성분 신호와 색차 신호를 결합한다.
또한 본 발명은 합성 신호 기록 및 재생 방법으로 구현된다. 이 기록 방법에 있어서, 상기 휘도 신호 및 크로미넌스 신호는 분리되고, 상기 해상도 보상 신호는 상기 휘도 신호와 결합된다. 상기 크로미넌스 신호는 색차 신호로 복조되고, 상기 성분 신호는 기록 매체 상에 기록된다. 이 재생 방법에 있어서, 상기 성분 신호는 기록 매체로부터 재생되고, 해상도 보상 신호는 상기 휘도 신호에서 분리된다. 그 다음 상기 색차 신호는 상기 해상도 성분 신호와 결합된다.

양호한 실시예의 상세한 설명

현재 도면을 참조할 때, 동일한 참조 번호는 몇몇 관점에서 동일하거나 대응하는 부분을 나타냄으로써, 본 발명은 설명될 것이다.

A. 기록

1. PAL 플러스 실시예

제9도는 PAL 플러스 시스템에 제공된 본 발명의 블록도를 도시한다. PAL 플러스 텔레비전 신호는 튜너(102)에 의해 수신되어 입력 단자(108)로 보내진다. PAL 플러스 기록 처리기(104)는 레터 박스(제2도)의 상하 무효부로부터 보조 신호(helper signal)를 추출함으로써 PAL 플러스 신호를 처리하여, 이것을 디지털 VCR(106)의 휘도 입력(Y)에 보낸다.
또한, 종횡비 정보를 포함하고, 보조 신호의 존재를 지시하는 WSS 신호는 추출되어 TR 팩에 기억된다(기록매체의 보존 영역(reserved area)에 기록된 데이터 팩, 기록 포맷의 상세한 토론은 디지털 VCR 포맷 절에서 아래에 토론된다).

a. 제1 실시예

ⅰ. PAL 플러스 기록 처리기

제10도는 본 발명의 PAL 플러스 기록 처리기의 블록도를 도시한다. 입력 단자(108)에서 수신된 신호는 3차원 Y/C 분리 회로(110)에 제공되는데, 이것은 휘도 신호(Y) 및 색 신호(C)를 분리한다(PAL 플러스 규격에 따라 주파수 멀티플렉스됨). 상기 분리된 휘도 신호(Y)는 스위치 회로(122)의 입력 단자(122b)에 제공된다. 상기 스위치(122)의 출력 신호는 디지털 VCR(106)의 Y 신호 입력 단자에 제공된다.
상기 분리된 색 신호(C)는 스위치 회로(120)에 제공된다. 상기 스위치 회로(120)의 출력 신호는 상기 분리된 색 신호(C)를 색차 신호(CR 및 CB)로 복조하는 색 복조 회로(130)에 제공된다. 이 CR 및 CB 신호들은 디지털 VCR(106)의 색차 신호 입력 단자(CR 및 CB)에 제공된다.
상기 PAL 플러스 신호 라인(23) 상의 WSS 신호는 WSS 검출 회로(114)에 의해 검출되어 WSS 재기록 회로(116)에 제공된다. 이 WSS 재기록 회로(116)는 디지털 VCR(106)의 포맷으로 일정하게 되는 WSS 신호의 내용을 재기록한다

. 이 WSS 재기록 회로(116)의 출력 신호는 디지털 VCR(106)에 제공되고, WSS 신호는 TR 팩에 기록된다.
상기 WSS 검출 회로(114)는 WSS 신호가 삽입되는 라인 번호를 검출한다(즉, 라인 23). 그 결과 신호(즉 ID 신호)는 라인 카운터(118)에 사전설정 입력 신호를 제공한다. 또한, 상기 WSS 검출 회로(114)는 수평 동기 신호 분리 회로를 구비한다(도시 안됨). 상기 분리 수평 동기 신호는 입력 PAL 플러스 신호로서 동기화의 라인 번호를 나타내는 라인 카운터(118)에 카운터 입력 신호로서 제공된다. 이러한 방법으로, WSS 신호가 디지털 VCR(106)로 보내지는 것을 방지하기 위해서 라인(23) 상에 WSS 신호가 존재할 때 상기 라인 카운터(118)는 스위치(120)를 턴오프할수 있다.
보조 신호 복조 회로(112)에 제공된 상기 PAL 플러스 신호는 복조되어 오프셋 가산 회로(124)에 제공된다. 레터 박스의 무효 스크린부에 삽입된 보조 신호는 크로미넌스 서브 캐리어 신호를 복조함으로써 추출된다. 상기 보조 신호의 DC 레벨은 저, 즉, O IRE이고, 무효 스크린부의 왜란은 거의 없다. 그러나, 디지털 VCR(106)에 의해 기록된 신호 레벨이 O IRE 또는 보다 크기 때문에, 상기 오프셋 가산 회로(124)는 DC 레벨을 가산함으로써, 신호는 기록될 수 있다. 예컨대, 제11C도에 도시된 바와 같이, 가산된 오프셋의 레벨(La)은 51 IRE가 된다.
이 결과 보조 신호는 보조 킬러(killer) 회로(126)에 제공되는데, 보조 킬러 모드 선택 회로(128)로부터 제공된 보조 킬러 신호(제어신호에 해당)에 의하여 인에이블(enable)되거나 디세이블(disable)된다. 보조 신호가 존재하고 보조 킬러 회로(126)가 턴오프될 때, 이 보조 신호는 스위치 회로(122)의 입력 단자(122a)에 제공된다. 다른 한편, 상기 보조 킬러 회로(126)가 턴온될 때, 신호 성분은 스위치 회로(122)의 입력 단자(122a)에 제공되지 않는다.
이 보조 킬러 회로(126)는 PAL 플러스 신호를 기록하는 디지털 VCR(106)의 성능에 따라 턴온되거나 턴오프된다. 예컨대, 디지털 VCR(106)의 상기 기록 주파수 밴드는 협소할 때, 보조 킬러 회로(126)는 턴온된다.
상기 스위치 회로(120 및 122)는 라인 카운터(118)에 의해 제어되는데, 이것은 수신된 라인 번호에 따라 메인 스크린부와 무효 스크린부를 구별하는 제어 신호를 발생한다. 상부 및 하부 무효 스크린부의 간격에 있어서, 스위치 회로(120)는 턴오프된다. 메인 스크린부의 간격에 있어서, 스위치 회로(120)는 턴온되어 스위치 회로(122)의 입력 단자(122b)가 선택된다.
따라서, 스크린의 상하 무효 스크린부의 간격에 있어서, 상기 보조 신호만은 휘도 신호(Y)를 디지털 VCR(106)의 휘도 신호 입력 단자에 제공된다. 이 점에서, 색 신호(C)는 스위치(120)가 라인 카운터에 의해 턴오프되지 않기 때문에 색 복조 회로(130)에 제공되지 않는다. 따라서, 색차 신호(CR 및 CB)는 디지털 VCR(106)에 제공되지 않는다. 결과적으로, 휘도 신호(Y)같은 보조 신호만은 적절한 시간에 디지털 VCR(106)의 카세트 테이프 상에 기록되지 않는다.
제11B도 및 11C도는 보조 신호가 나타날 때, 디지털 VCR(106)의 휘도 단자(Y)에 신호 입력을 도시한다. 제11B도는 라인(23) 상의 WSS 신호를 포함한 신호들을 도시하고, 제11C도는 오프셋이 가산되는 보조 신호를 도시한다.
스크린의 메인 스크린부의 간격에 있어서, 상기 휘도 신호(Y)(제11A도, 포인트 P)는 디지털 VCR(106)의 휘도 신호 입력 단자에 입력되고, 색 신호(C)는 색 복조 회로(130)에 제공된다. 색 복조 회로(130)의 출력 신호는 색차 신호 입력 단자(CR 및 CB)에 입력된다. 이 처리된 신호는 디지털 VCR(106)에 보내진다.

ⅱ. 디지털 VCR 기록

상기 PAL 플러스 신호가 PAL 플러스 기록 처리기(104)에 의해 처리된 후(제10도), 디지털 VCR(106)은 입력 휘도 신호 및 2개의 색차 신호를 디지털 신호로 변환한다. 그후, 디지털 신호는 (4:2:0) 성분 신호로 변환된다. 이 결과 신호는 기록 신호로서 처리되어 카세트 테이프 상에 기록된다. 이 휘도 및 색 신호가 디지털 VCR(106)로 변환되는 동안, 신호 변환은 휘도 및 색신호가 디지털 VCR(106)에 입력되기 전에 실행될 수 있다.
제 12A도 및 12B도는 제1 실시예에 따른 디지털 VCR의 블록도를 도시한다. 이 휘도 신호(Y) 및 색차신호(CR 및 CB)는 단자(132a,132b, 및 132c)에 제공된다. 이 수신 신호는 저역 필터(134a,134b, 및 134c)를 통하여 A/D 변환기(136a,136b 및 136c)에 제공된다. 이 저역 필터(134a,134b 및 134c)는 루프 백(loop-back) 왜곡을 제거하기 위하여 입력 신호의 주파수 밴드를 억제한다.
이 디지털 성분 비디오 신호(Y, CR 및 CB)는 실제 스크린의 데이터를 (8 샘플 X 8 라인) 블록으로 세그먼트하는 블록킹 회로(138)에 제공된다. 이 블록킹 회로(138)의 출력 신호는 블록킹 회로(138)의 출력 신호를 셔플하는(shuffle) 셔플링 회로(140)에 제공된다. 이 셔플링 프로세스는 테이프 상에 기록된 데이터가 헤드 막힘(clogging), 수평 테이프 긁힘 등에 기인하여 연속적으로 손상되는 것을 방지하기 위하여 실행된다. 또한, 셔플링 회로(140)는 휘도 신호 및 색차 신호의 순서를 바꿈으로써, 나중 단계에서 쉽게 처리될 수 있다.
셔플링 회로(140)의 출력 신호는 데이터 압축 인코딩부(142)에 제공된다. 이 데이터 압축 인코딩부(142)는 압축 회로(DCT 방법에 해당), 발생된 데이터 량을 평가하는 평가기 및 압축된 데이터를 양자화하는 양자화기(양자화단계에 해당)를 구비한다. 이 압축된 비디오 데이터는 프레밍 회로(framing circuit; 144)에 의해 미리 결정된 동기 블록에 위치된다(아래에 토론된 팩의 비디오 테이프 상에 디지털 비디오 데이터를 기억하는 데이터 블록). 상기 프레밍 회로(115)의 출력 신호는 동기블록과 비디오 보조 데이터(VAUX)를 결합하는 결합 회로(146)에 제공된다.
단자(164)에서 수신되는 아날로그 오디오 신호는 아날로그 오디오 신호를 디지털화하여 디지털 오디오 신호를 셔플링 회로(158)에 출력하는 A/D 변환기(156)에 제공된다. 이 셔플링 회로(158)는 디지털 오디오 데이터를 셔플하여 이 셔플된 데이터를 프레밍 회로(160)로 출력한다. 이 프레밍 회로(180)는 오디오 동기 블록에 오디오 데이터를 위치하고, 오디오 동기 블록은 결합 회로(162)에 보내진다.
모드 처리 마이크로컴퓨터(175)(제12B도)는 텔레비전 이미지의 60Hz 또는 50Hz의 필드 주파수로 동기화하여 동작하는 디스플레이 오퍼레이터와 인터페이스한다. 이 디스플레이는 디지털 VCR(106) 메인 몸체 바깥쪽에 배치되고, 기록 모드(SP/LP 기록 모드), 재생 모드 등을 지정하는 스위치(179)를 포함한다. 스위치(179)의 출력 신호는 오퍼레이터의 선택을 처리하는 모드 처리 마이크로 컴퓨터(175)에 제공된다.
이 모드 처리 마이크로컴퓨터(175)는 오퍼레이터로부터 명령을 받아 비디오 보조 데이터(VAUX), 오디오 보조 데이터(AAUX) 및 서브 코드 데이터를 포함하는 팩 데이터를 발생한다. 이 팩 데이터는 기계적 제어 마이크로컴퓨터(169)

를 경유하여 '타이틀 단(title end)' 팩에 포함된 절대 트랙 번호를 발생하는 9000rpm 및 150Hz의 드럼 회전으로 동기된 신호 처리 마이크로컴퓨터(154)로 전송된다. 또한, 신호 처리 마이크로컴퓨터(154)는 비디오 테이프 상의 서브 코드 동기 블록(검색 모드에서 사용됨)에 기억되게 TTC(타이틀 타임 부호)를 발생한다.
신호처리 마이크로 컴퓨터(154)에 의해 발생된 이 비디오 보조 데이터(VAUX)는 VAUX 회로(148)에 제공되고, 오디오 보조 데이터(AAUX)는 AAUX 회로(152)에 제공된다. 상기 결합 회로(146,162)는 각각의 비디오 및 오디오 정보를 갖는 VAUX 및 AUX 신호를 결합한다.
서브 코드 회로(150)는 SID 데이터, 뿐만 아니라 ID부의 AP3 및 신호처리 마이크로 컴퓨터(154)의 출력신호에 해당하는 서브 코드 팩 데이터(SDATA)를 발생한 다.
동기 발생 회로(166)는 AV 데이터(오디오/비디오 데이터), 프리동기, 및 포스트 동기의 ID부를 발생한다. 상기 동기 발생 회로(166)는 어플리케이션 ID, 예컨대, AP1 및 AP2를 발생하여, 이것을 미리 결정된 ID부에 위치한다.
동기 발생 회로(166) AAUX(ADATA), VAUX(VDATA), SID 및 SDATA의 출력 신호는 스위치(167)로 출력되고, 미리 결정된 시간에 선택된다. 에러 정정 부호 발생 회로(168)는 미리 결정된 패리티(parity)를 스위치 회로(167)로부터 수신된 신호에 가산한다. 상기 에러 정정 부호 발생 회로(168)의 출력신호는 기록 데이터가 벗어나지 않는 방법으로 신호를 랜덤화하는 랜덤화 회로(170)에 제공된다. 랜덤화 회로(170)의 출력 신호는 자기 기록/재생 동작에 악영향을 끼치는 DC 성분을 제거하기 위하여 24비트 데이터를 25비트 데이터로 변환하는 '24 대 25' 변환 회로(171)에 제공된다. 이 점에서, 디지털 기록 동작에 적합한 PR IV(부분 응답 클래스 4)의 인코딩 처리(1/1-D2)(도시 안됨)는 수행된다.
결합 회로(172)는 오디오데이터, 비디오데이터, 및 서브 코드 데이터의 동기 패턴을 '24 대 25' 변환 회로(171)의 출력 신호와 결합한다.
이 모드 처리 마이크로컴퓨터(175)는 전체 VCR의 모드를 관리하여 APT, SP/SP 및 PF 신호를 ITI 회로(174)로 출력한다. 이 ITI 회로(174)는 ITI 섹터의 데이터를 발생하여 결합 회로(172) 출력, ITI 섹터 데이터 또는 앰블 패턴(amble pattern) 중 어느 하나를 선택하기 위하여 시간 제어되는 스위치(173)로 ITI 섹터 데이터를 출력한다.
상기 스위치(173)의 출력 신호는 헤드(178a 및 178b)의 주사에 따라 스위치되는 스위치(176)에 제공된다. 이 스위치(176)의 출력 신호는 헤드 증폭기(177a 및 177b)에 의해 증폭되어 헤드(178a 및 178b)에 각각 제공된다.
따라서, 본 발명에 따른 디지털 VCR(106)은 디지털 휘도 신호(Y) 및 색차 신호(CR 및 CB)를 비디오 섹터로 압축하여 기록한다. 이 디지털 오디오 신호는 오디오 섹터에 기록된다. 또한, VAUX 데이터 및 AAUX 데이터는 팩 구조로 기록된다. 디지털 VCR 기록 포맷의 상세한 토론은 디지털 VCR 포맷 절에서 설명된다.

b. 제2실시예

ⅰ. PAL 플러스 기록 처리기

제13도에 도시된 제2실시예의 상기 PAL 플러스 기록 처리기(104)는 제1 실시예와 비슷하고, 제2실시예의 상세한 설명은 생략될 것이다. 상기 실시예 사이의 차이점은 제2 실시예가 보조 복조 회로(112)를 가지지 않는다는 것이다. 결과적으로, 재생 처리기(재생 절에서 토론)는 보조 변조 회로를 제공하지 않는다.
보조 신호가 제2 실시예에서 복조되지 않기 때문에, 보조 신호 및 변조 서브 캐리어 신호는 디지털 VCR(106)에 의해 디지털 방식으로 기억된다. 토론된 바와 같이 보조 신호는 무효 스크린부의 간격에서만 멀티플렉스되고, 따라서, 메인 스크린부의 간격에서 비디오 신호의 간격과 다르다. 따라서, 보조 신호는 PAL 신호가 디지털 VCR(106)에 의해 기록될 때 복조되지 않을지라도, 실제적으로 발생할 문제점이 없다.

ⅱ. 디지털 VCR 기록

이 디지털 VCR 레코더(106)는 제1 및 2실시예의 PAL 플러스 기록 처리기에 제공되고, 디지털 VCR 레코더(106)의 설명은 제12A, 12B도에 관한 절로 미룬다.

c. 제3실시예

ⅰ. PAL 플러스 기록 처리기

제3실시예의 이 PAL플러스 기록 처리기(104)는 제1 및 제2실시예와 비슷하고, 제14도를 참조하여 기술될 것이다.
제1 및 제2 실시예에서와 같이, 상기 PAL 플러스 기록처리기(104)는 휘도 신호(Y)를 색 신호(C)에서 분리하는 Y/C 분리 회로를 구비한다. 이전처럼, 색 신호는 색 신호를 색차 신호(CR 및 CB)로 분리하는 색 복조 회로(130)에 제공된다. 또한, 보조 복조 회로(112) 및 오프셋 가산 회로(124)는 보조 신호를 처리한다. 상기 WSS 신호는 WSS 디코딩 회로(180)에 의하여 TR 팩에 기억되고, 라인 제어 회로(182, 184 및 186)는 스위치(122 및 120)를 제어한다.
제3실시예와 제1 실시예의 차이점은 다음에 기술될 것이다. 제3실시예의 상기 PAL 플러스 기록 처리기(104)는 보조 킬러 회로(126)를 포함하지 않는다. 또한, WSS 신호는 WSS 검출 회로(144) 및 WSS 재기록 회로(16) 대신에 WSS 디코딩 회로(180)에 의하여 처리된다. 더욱이, 라인 제어 회로는 동기 신호 분리 회로(182), 라인 디코딩 회로(184) 및 스위치 제어 회로(186)로 이루어진다.
제3실시예의 상기 PAL 플러스 기록 처리기는 스크린의 무효부 동안 휘도 신호(Y)같은 보조 신호를 기억함으로써 제1의 2개 실시예와 동일한 결과를 얻는다. 휘도 신호(Y) 및 색 신호(CR,CB)는 스크린의 메인부 동안 기억되고, 라인(23) 상의 WSS 신호는 TR 팩에 기억된다.

ⅱ. 디지털 VCR 기록

제3실시예의 디지털 VCR 기록(106)은 제5 실시예의 디지털 레코더와 비슷하고(제29도), 상기 절에서 상세히 토론될 것이다. 그러나, PAL 플러스 비디오 신호가 기록될 때, 제29도에 도시된 A/D 변환기(450)는 4:2:0의 비율로 성분 색 비디오 신호를 디지털화한다. 이 마스킹 신호 발생 회로(456)는 라인(23)에 대하여 마스킹 신호를 발생한다. 라인(23) 상의 WSS 신호는 활성 비디오를 블랭킹 레벨에서 분리하는데 이용된 블랙 레벨보다 높게 오프셋되는 페디스털(pedestal) 레벨에 위치된다. 한 개의 비디오 프레임은 12개 트랙에 기록된다. 또한, WSS 신호의 데이터는 VAUX 데이

터의 TR 팩에 기록되고, 종횡비 정보는 VAUX 데이터의 소스 제어 팩에 기록된다.

d. 제4실시예

ⅰ. PAL 플러스 기록 처리기

제5도는 제4실시예의 PAL 플러스 기록 처리기를 도시한다. 이전 실시예에서와 같이, 보조 신호는 스크린의 무효 부분 동안 휘도 신호(Y)같이 추출되고 기억된다. 그러나, 이 실시예에서 휘도 신호(Y), 색차 신호(CB,CR) 및 보조 신호는 디지털 VCR(106)에 입력되기 전에 디지털화되고, PAL 플러스 기록측 처리 회로(208)에 의해 처리된다.

A. 제15도의 간단한 개요

상기 WSS 신호는 이전 실시예와 비슷한 방법으로 제4 실시예에서 처리된다. 상기 PAL 플러스 신호는 WSS 검출 회로(202)로 단자(108)를 통하여 입력된다. 상기 WSS 검출 회로(202)는 라인(23) 상에 WSS 신호를 검출하고, WSS 신호를 WSS 재기록 회로(116)와 비슷한 방법으로 WSS 신호를 재기록하는 WSS 기준/인코딩 회로(204)로 출력한다. 상기 WSS 기준/인코딩 회로(204)는 VAUX 데이터와 함께 TR 팩의 WSS 신호를 디지털 VCR9106)의 입력 단자(240)에 보낸다.

보조 킬러 모드 제어기(206)는 WSS 기준/인코더 회로(204)와 PAL 플러스 기록측 처리 회로(208)의 입력 단자(223)에 접속된다. 이전과 같이, 보조 신호는 이 보조 킬러 모드가 인에이블될 때 제거(kill)된다.

상기 PAL 플러스 신호는 PAL 플러스 신호를 휘도 신호(Y) 및 색/보조 신호(C/HELPER)로 분리하는 Y/C 분리 회로(200)에 입력된다. Y/C 분리 회로(200)의 Y 신호 출력 단자는 저역 필터(210a)에 접속되는 반면, C 신호/보조 신호 출력 단자는 PAL 디코더(212)에 접속된다. 상기 PAL 디코더(212)는 C/보조 신호를 색차 신호(B-Y/HELPER)(CB,U) 및 R-Y(CR,V)로 분리한다. 상기 색차 신호는 저역 필터(210b,210c)에 보내지고, 모든 3개의 저역 필터(210a, 210b, 및 210c)의 출력은 A/D변환기(214a, 214b, 및 214c)에 접속된다.

상기 A/D 변환기(214a, 214b, 및 214c)는 휘도 신호(Y) 및 색차 신호(보조 신호를 포함)를 디지털화하고, 디지털 신호는 PAL 플러스 기록측 처리 회로(208)의 단자(218,220 및 222)에 출력된다.

PAL 플러스 기록측 처리 회로(208)의 출력 단자(230)는 디지털 VCR(106)의 입력 단자(232)에 접속된다. PAL 플러스 기록측 처리 회로(208)의 데이터 출력 단 자(224)는 디지털 VCR(106)의 데이터 입력 단자(236)에 접속된다. PAL 플러스 기록측 처리 회로(208)의 출력 단자(228)는 라인 순차 회로(216)의 CB 신호 입력 단자에 접속된다. PAL 플러스 기록측 처리 회로(208)의 출력 단자(226)는 라인 순차 회로(216)의 CR 신호 입력 단자에 접속된다. 라인 순차 회로(216)의 출력 신호(CB/CR)는 디지털 VCR(106)의 입력 단자(234)에 접속된다.

B. 제15도의 상세한 토론

제5실시예의 PAL 플러스 기록 처리의 상세한 토론은 지급 착수될 것이다. 안테나로부터 수신되는 PAL 플러스 시스템에 해당하는 PAL 플러스 신호는 튜너(102)를 통하여 입력 단자(108)에 제공된다(제9도). 상기 PAL 플러스 신호는 Y/C 분리 회로(200)와 WSS 검출 회로(202)에 제공된다. Y/C 분리 회로 내에 상기 PAL 플러스 신호는 동기 신호 분리 회로에 제공된다(도시 안됨). 따라서, 수직 수평 신호 및 수평 동기 신호는 PAL 플러스 신호에서 각각 추출된다. 상기 각각 추출된 동기 신호는 전체 장치를 제어하는 라인 카운터(264)(제17도)에 제공된다.

상기 Y/C 분리 회로(200)는 수신 PAL 플러스 신호로부터 멀티플렉스된 주파수가 있는 휘도 신호(Y)와 크로미넌스 신호(C)를 분리한다. 상기 크로미넌스 신호(C)만이 색차 신호(B-Y 및 R-Y)를 출력하는 PAL 신호 디코더(212)에 제공된다. 수직 해상도 보상 신호인 보조 신호는 스크린의 라인(24 내지 59), 라인(275 내지 310), 라인(336 내지 371), 및 라인(578 내지 622) 상에 있는 무효 스크린부의 색차 신호로 삽입된다.

Y/C 분리 회로(200)로부터 출력되는 휘도 신호(Y)는 저역 필터(210a)에 제공 된다. PAL 디코더(212)로부터 출력되는 색차 신호(B-Y 및 R-Y)는 저역 필터(210b, 및 210c)에 제공된다. 지나친 고 대역 성분이 저역 필터(210a, 210b, 및 210c)에 의하여 제거되는 합성 휘도 신호(Y) 및 색차 신호(B-Y 및 R-Y)는 A/D 변환기(214a, 214b, 및 214c)에 각각 제공된다.

라인 카운터의 카운터 값이 무효 스크린부에 해당하는 값이 될 때, 상기 Y/C 분리 회로(200)는 빗살형(comb-shaped) 필터의 동작으로부터 통상 대역 필터의 동작으로 변화됨으로써, 변조 보조 신호가 악영향을 끼치는 것을 방지한다. 상기 보조 신호가 삽입되는 색차 신호(B-Y)를 수신하는 저역 필터(210b)는 상기 기술된 라인 카운터의 카운트 값에 따라 제어된다. 바꾸어 말하면, 상기 카운트 값이 무효 스크린부에 해당하는 값과 일치할 때, 저역 필터(210b)의 기능은 턴오프된다. 상기 보조 신호가 보조 기능에 대한 많은 고역 성분을 포함하기 때문에, 상기 고역 성분은 저역 필터에 의하여 제거되지 않는다.

A/D 변환기(214a, 214b, 및 214c)에 제공되고 휘도 신호(Y) 및 색차 신호(B-Y 및 R-Y)는 정규화되고 디지털화되어, 그 레벨이 CCIR REC 601에 정의된 레벨과 일치한다. CCIR REC(601)의 정의에 있어서, 화이트 레벨의 최대값은 디지털값 '235'인 반면 블랙 레벨(페디스털 레벨)의 최대값은 디지털값 '16'이다. A/D 변환기(214a, 214b, 및 214c)에 있어서, 휘도 신호 및 색차 신호(B-Y 및 R-Y)는 디지털 값에 따라 정규화된다.

C. 디지털 정규화, 제16도

제16도는 휘도 신호(Y) 및 색차 신호((B-Y 및 R-Y)의 디지털 정규화를 도시 하는 개략도이다. 상기 Y/C 분리 회로 및 신호 경로의 저역 필터(210a, 210b, 및 210c)는 생략된다.(다음 설명에서, 인용 마크의 값은 디지털 값을 나타낸다.)

상기 Y/C 분리 회로는 PAL 플러스 신호로부터 휘도 신호(Y) 및 크로미넌스 신호(C)를 분리한다. 이 분리된 크로미넌스 신호(C)는 PAL 디코더(212)에 제공된다. PAL 디코더(212)에 제공되는 크로미넌스 신호(C)는 색차 신호(B-Y 및 R-Y)로 복조된다. 색차 신호(B-Y)의 진폭은 색차 신호를 정규화하기 위하여 2의 인자를 곱한다.

상기 기술된 바와 같이, 보조 신호는 무효 스크린부의 색차 신호(B-Y)에 삽입된다. 물론, 무효 스크린부에 삽입된 보조 신호는 복조된다.

색 막대 신호의 경우에, 합성 색차 신호(B-y 및 R-Y) 및 휘도 신호(Y)의 레벨에 대한 최대값은 다음과 같다.
휘도 신호 Y=0.7V
색차 신호 R-Y=0.9814Vp-p
색차 신호 B-Y=1.2404Vp-p
색차 신호(B-Y)에 삽입된 보조 신호 레벨의 최대값은 다음과 같다.
보조 신호=0.6Vp-p
보조 신호의 기준 버스트 신호=0.3Vp-p
이 신호가 A/D 변환기(214a, 214b, 및 214c)에 의해 디지털화될 때(제16도에서, A/D 변환기는 구별되지 않는다), 색차 신호(R-Y)는 계수(KR)에 의해 곱해진다. 또한, 보조신호의 색차 신호(B-Y), 보조신호 및 기준 버스트 신호는 계수(KB)에 의 해 곱해진다. 따라서, 이 신호 레벨은 다음과 같다.
휘도 신호 Y=0.7V
색차 신호 R-Y=0.716Vp-p
색차 신호 B-Y=0.716Vp-p
보조 신호=0.346Vp-p
보조 신호의 기준 버스트 신호=0.173Vp-p
디지털화된 신호의 레벨은 다음과 같다.
(이 신호들은 CCIR REC 601에 따라 정규화된다.)
휘도 신호 Y='219'
색차 신호 CR(R-Y)='224'
색차 신호 CB(B-Y)='224'
보조신호='108'
보조신호의 기준 버스트 신호='54'
다음 설명된 바와 같이, 보조 신호의 진폭 및 보조 신호의 기준 버스트 신호는 2배가 되거나 절반이 된다. 상기 기술된 바와 같이, 정규화된 색차 신호(R-Y 및 B-Y)는 색차 신호(CR 및 CB)로 언급된다. 다음 신호 프로세스에 있어서, 상기 정규화된 색차 신호는 휘도 신호(Y)에 따라 디지털화된다.
A/D 변환기(214a, 214b, 및 214c)에 의하여 정규화된 신호는 입력 단자(218)에서 PAL 플러스 기록측 처리 회로(208)의 해당 입력 단자에 제공된다.

D. 라인 카운터 및 보조 킬러 기능

상기 라인 카운터에서 출력되는 카운터 값은 WSS 검출 회로(202)에 제공된다. WSS 검출 회로(202)에 제공된 PAL 플러스 신호의 라인(23) 상에 WSS 신호가 카운트에 따라 검출될 때, 검출된 WSS 신호는 디코딩된다. 이 결과 신호는 WSS 기준/인코더 회로(204)에 제공된다.
상기 기술된 바와 같이, 상기 검출된 WSS 신호는 보조 신호가 존재하는지 여부에 대한 식별 및 종횡비같이 PAL 플러스 시스템의 각 모드를 식별하고 제어하는 정보를 포함한다. WSS 신호를 수신하는 WSS 기준/인코더 회로(204)는 그 내용을 재기록하고, 상기 합성 WSS 신호를 디지털 VCR(106)의 데이터 입력 단자(240)에 제공한다. 상기 디지털 VCR(106)은 상기 WSS 신호를 상기 기술된 TR 팩에 기록한다.
보조 킬러 모드 회로(206)에서 수신된 보조 킬러 신호는 WSS 기준/인코더 회로(204) 및 PAL 플러스 기록측 처리 회로(208)의 보조 킬러 입력 단자(223)에 제공된다. 상기 보조 킬러 모드 회로(206)는 외부 입력 신호에 따른 보조 기능(즉, PAL 플러스 시스템에 대한 수직 해상도 보상의 기능)을 턴오프한다.
보조 킬러 기능은 PAL 플러스 시스템 또는 협기록 대역을 갖는 디지털 VCR에 해당하지 않는 비디오 레코더가 이용될 때 턴온된다. WSS 신호가 많은 고역 성분을 포함하기 때문에, 통상의 비디오 신호와 같은 방법으로 기록되는 경우, 기록 신호는 왜곡된다. 상기 왜곡이 있는 기록 신호가 PAL 플러스 시스템에 해당하는 텔레비전 수상기에 의해 재생되고, WSS 신호가 복조될 때, 상기 PAL 플러스 시스템에 해당하는 식별 및 제어 신호는 정확하게 회복되지 않는다. 따라서, 수상기는 보조 신호가 제거되지 않으면 오작동할 것이다.
보조 기능이 보조 킬러 모드 제어 회로(206)에 의하여 제거될 때, WSS 신호 기준/인코더 회로(204)는 라인(23) 상의 WSS 신호의 데이터를 재기록함으로써, PAL 플러스 시스템에 해당하지 않는다. PAL 플러스 기록측 처리 회로(208)에 있어서, 보조 신호의 간격에서(즉, 무효부에서), 휘도 신호(Y)는 디지털 값 '16'을 갖는 신호로 변화된다. 또한, 색차 신호(CB 및 CR)는 디지털 값 '128'을 갖는 신호로 변화된다. 더욱이, 라인(23) 상에 기록된 WSS 신호는 디지털 값 '64'를 갖는 신호로 변화된다. 따라서, 적합한 신호는 보조 신호가 제거될 때 '뮤트되고(muted)', WSS 신호 및 보조 신호의 불완전한 기록에 기인하는 나쁜 영향이 방지될 수 있다.

d. PAL 플러스 기록측 처리 회로, 제17도

제17도는 상기 기술된 PAL 기록측 처리 회로(208)의 구조를 도시하는 블록도이다. 이 회로에서, 상기 기술된 보조 킬러 기능은 수행된다. 또한, 라인(23)(WSS 신호가 기록된)은 뮤트된다. 또한, 보조 신호의 DC 레벨의 시프팅, DC 설정값의 가산, 및 라인(23 및 623)의 래칭이 수행된다.
입력 단자(223)는 스위치 회로(224,244 및 246)를 구비하는 보조 킬러 회로(242)에 접속된다. 입력 단자(218)는 레벨 래치 회로(252) 및 스위치 회로(254)의 입력 단자(254a)에 접속되는 지연 회로(250)에 접속된다. 상기 레벨 래치 회로(252)는 데이터 출력 단자(224)에 접속된다. 상기 스위치 회로(254)의 공통 출력 단자는 뮤트 회로(257)를 구성하는 스위치 회로(256)의 출력 단자(256a)에 접속된다. 입력 단자(256b)는 예컨대, '64'인 고정된 디지털 레벨 소스에 접속된다. 이 값은 DC 레벨 시프트 회로(262)의 시프트 양에 따라 '32' 또는 '128'로 변화될 수 있다(이후에 설명). 스위치 회로(256)의 공통 출력 단자는 보조 킬러 회로(242)에 포함된 스위치 회로(244)의 입력 단자(224a)에 접속된

다.
입력 단자(220)는 보조 킬러 회로(242)의 스위치 회로(246) 입력 단자(246a) 및 스위치 회로(258)의 공통 입력 단자에 접속된다. 상기 스위치 회로(258)의 출력 단자(258a)는 DC 레벨 시프트 회로(262)에 접속되고, 출력 단자(258b)는 증폭 회로(260)에 접속된다. 상기 DC 레벨 시프트 회로(262)는 스위치 회로(254)의 출력 단자(254b)에 접속된다.
입력 단자(222)는 보조 킬러 회로(242)의 스위치 회로(248) 입력 단자(248a)에 접속된다.
보조 킬러 회로(242)의 스위치 회로(244,246 및 248) 입력 단자(224b, 246b, 및 248b)는 각각 고정된 디지털 레벨 소스에 접속된다. 이 입력 단자(244b)는 디지털 레벨 소스 '16'에 접속되고, 입력 단자(246b 및 248b)는 디지털 레벨 소스 '128'에 접속된다. 상기 스위치 회로(244)의 출력 단자는 출력 단자(230)에 접속되고, 스위치 회로(246 및 248)의 출력 단자는 출력 단자(228 및 226)에 접속된다.
상기 PAL 플러스 기록측 처리 회로(208)는 상기 기술된 동기 신호 분리 회로(도시 안됨)로부터 제공된 수직 동기 신호 및 수평 동기 신호에 해당하는 비디오 신호의 복수 라인을 카운트하는 라인 카운트(264) 및 상기 전체 장치를 제어하는 시스템 클럭을 구비한다. 상기 라인 카운터(264)는 레벨 래치 회로(252), 스위치 회로(254), 뮤트 회로(257)의 스위치 회로(256), 및 보조 킬러 회로(242)의 스위치 회로(244,246 및 248)를 제어한다.
휘도 신호(Y)는 입력 단자(218)를 통하여 지연 회로(250)에 제공된다. 상기 지연 회로(250)는 1/2 클럭 정확도를 갖는다(즉, 시스템 클럭의 1/2 타이밍에 대한 정확도). 상기 지연 회로(250)는 휘도 신호(Y)의 타이밍 및 PAL 플러스 기록측 처리 회로(208)에서 발생된 색차 신호(CB 및 CR) 및 휘도 신호(Y)의 타이밍 편차를 정정한다. 그 결과 휘도 신호(Y)는 스위치 회로(254) 및 래벨 래치 회로(252)의 입력 단자(254a)에 제공된다.
기준 신호를 갖는 보조 신호를 복조하기 위해서, 라인(623) 상에 화이트 100% 기준 신호에 기억된 증폭 및 위상 정보는 중요하다. PAL 플러스 비디오 신호를 기록하는 디지털 VCR에 있어서, 유효 스크린만이 추출되고, 압축되고, 인코딩된다. 따라서, 수직 블랭킹 간격 및 수평 블랭킹 간격의 데이터는 제거된다. 결과적으로, 라인(623)에 삽입된 화이트 100% 기준 신호(수직 블랭킹 간격에 존재)는 전계 강도가 충분히 강한 영역에서 수신될 때 제거되고, 기준신호가 손실되어도 상기 화이트 100% 기준 레벨은 미리 결정된 레벨로 복원될 수 있다. 그러나, 전계 강도가 약한 경우에, 복원된 휘도 신호의 기준 신호 전압이 미리 결정된 화이트 100% 레벨이 되는 것은 기대할 수 없다.
본 발명의 이러한 문제점을 해결하기 위해서, 라인(623) 상에, 상기 PAL 플러스 비디오 신호에 포함된 화이트 100% 기준 신호는 레벨 래치 회로(252)에 의해 래치된다. 따라서, 상기 화이트 100% 레벨은 추출되고, 이 추출된 레벨을 나타내는 값은 테이프의 보조 영역에 기록된다.
상기 레벨 래치 회로(252)는 라인 카운터(264)의 카운터 값에 따라 제어된 다. 상기 기술된 바와 같이, 제19도 및 21도에 도시된 화이트 100% 레벨을 나타내는 기준신호는 스크린의 라인(623)에 보내진다. 상기 화이트 100% 레벨은 라인(623) 상의 화이트 100% 기준 신호로부터 추출되어 데이터 출력 단자(224)에 제공된다.
상기 화이트 100% 데이터가 어떤 원인(노이즈)에 의하여 라인(623) 상에 화이트 100% 기준 신호로부터 추출될 수 없는 경우, 래치 데이터 대신에 디지털 값(FFh)은 데이터 출력 단자(224)에 제공된다.
상기 색차 신호(CR)는 입력 단자(222)를 통하여 보조 킬러 회로(242)에 포함된 스위치 회로(246)의 입력 단자(246a)에 제공된다.
상기 색차 신호(CB)는 보조 킬러 회로(242)에 포함된 스위치 회로(246)의 입력 단자(246a)와 스위치 회로(258)의 공통 입력 단자에 제공된다. 상기 스위치 회로(258)는 바깥쪽에 제공된 모드 제어 신호에 따라 제어된다. 상기 색차 신호(CB)는 보조 신호를 포함한다. 상기 색차 신호(CB)는 스위치 회로(258)의 출력 단자(258a)를 통하여 DC 레벨 시프트 회로(262) 및 출력 단자(258b)를 통하여 증폭 회로(260)에 제공된다.
스위치 회로(258)의 입력 단자(258b)를 선택할 때, 상기 색차 신호(CB)는 증폭 회로(260)에 제공된다. 상기 증폭 회로(260)는 미리 결정된 증폭 인자(예, x 2 또는 x 1/2)를 갖는 색차 신호(CB)를 증폭한다. 이러한 실시예에 있어서, 상기 색차 신호(CB)는 증폭 인자의 1/2로 증폭될 것이다. 또한, 상기 기술된 바와 같이(제16도 참조), 색차 신호(CB)의 레벨은 A/D 변환기(214b)에 의해 정규화된다. 상 기 색차 신호(CB)에 포함된 보조 신호는 레벨 '108'로 정규화된다. 또한, 라인(23) 상의 보조 신호의 기준 버스트 신호는 레벨 '54'로 정규화된다. 증폭 회로(260)는 1/2의 증폭 인자를 갖는 신호를 증폭한다. 따라서, 보조 신호는 레벨 '54'로 이등분되고, 보조 신호의 기준 버스트 신호는 '27'로 2등분된다.
보조 신호 레벨을 선택하는 것에 의해, 보조 신호에 따른 수직 해상도 보상의 효과는 가변될 수 있다. 따라서, 상기 수신된 비디오 신호에 적합한 수직 해상도 보상 및 신호를 기록 및 재생하는 장치는 실행될 수 있다.
이러한 실시예에 있어서, 증폭 인자는 상기 장치에서 처리된 신호가 디지털 신호이기 때문에 2 또는 1/2로 지정된다. 따라서, 비트를 시프트하는 것에 의해, 디지털 신호는 2의 인자만큼 쉽게 증폭될 수 있다. 결과적으로, 상기 증폭 인자는 2 및 1/2로 제한될 수 없는 것을 주목해야 한다.
1/2의 증폭 인자로 증폭되는 신호는 DC 레벨 시프트 회로(262)에 제공된다. 스위치 회로(258)의 출력 단자(258a)를 선택할 때, 보조 신호를 갖는 색차 신호(CB)는 DC 레벨 시프트 회로(262)에 직접 제공된다. 상기 DC 레벨 시프트 회로(262)는 상기 제공된 신호의 증폭 레벨에 해당하는 미리 결정된 DC 설정값을 색차 신호(CB)에 가산한다. 상기 제공된 색차 신호(CB)의 진폭 레벨이 '108'일 때, DC설정값 '64'가 가산된다. 제공된 색차 신호(CB)의 진폭 레벨이 '54'일 때 DC 셋업 값 '32'은 가산된다. 상기 제공된 색차 신호(CB)의 증폭 레벨이 '216'일 때, DC 설정값 '126'이 가산된다.
DC 설정값이 가산된 색차 신호(CB)는 스위치 회로(254)의 입력 단자(254b)에 제공된다. 상기 기술된 바와 같이 휘도 신호(Y)는 지연회로(250)로부터 스위치 회로(254)의 입력 단자(254a)로 제공된다. 상기 스위치 회로(254)는 라인 카운터(264)의 카운트 값에 따라 제어된다. 메인 스크린부의 간격에 있어서, 입력 단자(254a)는 선택된다. 무효 스크린부의 간격에 있어서, 입력 단자(254b)는 선택된다.

바꾸어 말하면, 제2도를 참조하여, 라인(24 내지 59) 상에 상부 무효 스크린부의 간격에 있어서, 출력 단자(254b)는 선택된다. 라인(336 내지 371) 상의 상부 무효 스크린부의 간격에 있어서, 출력 단자(254b)는 선택되고, 라인(372 내지 586) 상의 메인 스크린부의 간격에 있어서, 출력 단자(254a)는 선택되고, 라인(587 내지 622) 상의 낮은 무효 스크린부의 경우에 있어서, 출력 단자(254b)는 선택된다.

스위치 회로(254)의 입력 단자(254b)에 제공된 색차 신호(CB)는 무효 스크린부의 간격에 보조 신호를 포함한다. 따라서, 상기 신호 경로가 무효 스크린부 및 메인 스크린부의 간격에 따라 선택된다. 상기 보조 신호는 무효 스크린부의 간격으로 휘도 신호(Y)에 삽입된다. 상기 보조 신호가 삽입되는 휘도 신호(Y)는 뮤트 회로(257)에 포함된 스위치 회로(256)의 입력 단자(256a)에 제공된다.

상기 뮤트 회로(257)는 라인(23) 상의 WSS 신호 레벨을 변화시킨다. 2진(계단형) 신호(제20도)인 WSS신호는 DCT 압축 프로세스의 압축 효율을 감소시킨다.

기록 장치 또는 재생 장치 중 한 개가 PAL 플러스 시스템에 해당하지 않는 경우에, 상기 합성 신호가 PAL 플러스 시스템에 해당하는 텔레비전 수상기상에 재생될 때, 이미지는 정확하게 디스플레이될 수 없다. 바꾸어 말하면, 이러한 장치 가 WSS 신호를 기록하거나 재생할지라도, 보조 신호를 기록할 수 없다. 따라서, 상기 신호가 PAL 플러스 시스템에 해당하는 텔레비전 수상기상에 디스플레이되는 경우, 상기 기록 신호는 WSS 신호와 일치하지 않는다. 따라서, 이미지는 정확하게 디스플레이될 수 없다. 이러한 문제점을 해결하기 위해서, WSS 신호의 각 레벨은 변화된다.

따라서, 라인 카운터(264)의 카운터 값이 라인(23)을 나타내는 값이 될 때, 스위치 회로(256)의 입력 단자(256b)는 선택된다. 따라서, 라인(23) 상의 신호 레벨은 레벨 '64'로 변경된다. 제2도에 도시된 바와 같이, 보조 신호의 기준 신호는 라인(23)의 끝에 배치된다. 따라서, 뮤트 회로(257)는 수평 동기 타이밍에 따라 카운트하는 라인 카운트(264)의 카운트 값에 따라 라인(23)의 전반을 뮤트한다.

각각의 상부 무효 스크린부와 메인 스크린부 사이의 경계 근처에서, 레벨 차 영역같이 무효 스크린부에 보조 신호의 레벨과 메인 스크린부에 비디오 신호의 레벨 사이의 차가 존재한다. DCT 블록이 레벨 차 영역에 존재하는 경우, DCT 압축 왜곡은 이미지 불량같이 메인 스크린부의 중심 근처에 위치한다. 이러한 문제점을 방지하기 위해서, 상기 뮤트 회로(257)는 메인 스크린부의 3개 상부 라인(즉, 라인 60 내지 62 및 372 내지 374) 상의 레벨을 레벨 '64'로 뮤트한다.

라인(23), 라인(60 내지 62), 및 라인(372 내지 374)이외의 라인 상에, 휘도 신호(Y)가 지연회로(250)에서 제공되는 입력 단자(256a)는 선택된다. 스위치 회로(256)의 출력 신호는 뮤트 회로(257)의 출력 신호이다. 따라서, 상기 뮤트 회로의 출력 신호는 보조 킬러 회로(242)에 포함된 스위치 회로(244)의 입력 단자(244a)에 제공된다.

상기 스위치 회로(256)의 입력 단자(256b)에 제공된 디지털 값은 DC 레벨 시프트 회로(262)의 DC 설정값에 해당한다. 바꾸어 말하면, DC 설정값이 '64'일 때, 디지털 값 '64'은 입력 단자(256b)에 제공된다. DC 설정값이 '32'일 때, 디지털값'32'은 입력 단자(256b)에 제공된다. DC 설정값이 '128'일 때, 디지털 값'128'은 입력 단자(256b)에 제공된다.

상기 방법으로, 라인(23) 상에 WSS 신호가 변화되는 휘도 신호(Y)는 보조 킬러 회로(242)에 포함된 스위치 회로(244)의 입력 단자(244a)에 제공된다.

상기 보조 신호가 삽입되는 휘도 신호(Y) 및 색차 신호(CB 및 CR)는 스위치 회로(244,246 및 248)(보조 킬러 회로(242)에 포함)의 입력 단자(244a, 246a 및 248a)에 제공된다.

디지털 값 '16'은 스위치 회로(244)의 입력 단자에 제공되고, 디지털 값('128'은 스위치 회로(246 및 248)의 각 입력 단자(246b 및 248b)에 제공된다.

상기 기술된 바와 같이, 보조 킬러 회로(242)의 보조 킬러 기능은 보조 킬러 입력 단자(223)를 통하여 보조 킬러 제어 회로(206)에서 제공된 보조 킬러 신호에 따라 턴온/오프된다. 또한, 상기 스위치 회로(244,246 및 248)는 상기 보조 킬러 신호 및 라인 카운터(264)의 카운터값에 따라 제어된다.

상기 보조 킬러 기능이 턴온될 때, 스위치 회로(244,246, 및 248)는 라인 카운터(264)의 카운터값에 따라 제어된다. 무효 스크린부의 간격에서, 입력 단자(244b, 246b, 및 248b)가 선택되고, 메인 스크린부의 간격에서, 스위치(244,246,248)의 입력 단자(244a,246a, 및 248a)가 선택된다.

바꾸어 말하면, 제2도를 참조하여, 라인(24 내지 59) 상의 상부 무효 스크린부의 간격에 있어서, 입력 단자(244b, 246b, 및 248b)가 선택된다. 라인(60 내지 274) 상의 메인 스크린부의 간격에서, 입력 단자(244a, 246a, 및 248a)는 선택된다. 라인(257 내지 310) 상의 저 무효 스크린부의 간격에서, 입력 단자(244b, 246b, 및 248b)가 선택되고, 라인(336 내지 371) 상의 상부 무효 스크린부의 간격에서, 입력 단자(244b, 246b, 및 248b)가 선택되고, 라인(372 내지 586) 상기 메인 스크린부의 간격에서, 입력 단자(244a, 246a, 및 248a)가 선택되고, 라인(587 내지 622) 상의 낮은 무효 스크린부의 간격에서, 입력 단자(244b, 246b, 및 248b)는 선택된다.

따라서, 무효 스크린부의 간격에서, 보조 신호가 삽입되는 휘도 신호(Y)의 레벨은 스위치 회로(244)의 입력 단자(244b)에 제공된 디지털값 '16'의 레벨로 변화된다. 이 결과 신호는 스위치 회로(244)의 출력 단자에 출력된다. 색차 신호(CB)의 레벨은 스위치 회로(246)의 입력 단자(246b)에 제공된 디지털값 '128'의 레벨로 변화된다. 색차 신호(CR)의 레벨은 스위치 회로(248)의 입력 단자(248b)에 제공된 디지털값 '128'의 레벨로 변화된다. 이 결과 색차 신호(CB 및 CR)는 스위치 회로(246 및 248)의 출력 단자로부터 출력된다.

메인 스크린부에 있어서, 보조 신호가 삽입되는 휘도 신호(Y) 및 색차 신호(CB 및 CR)는 스위치 회로(244,246 및 248)의 입력 단자(244a, 246a, 및 248a)에 입력된 후, 출력 단자로부터 출력된다.

보조 킬러 기능이 턴오프될 때, 스위치 회로(244, 246, 및 248)는 라인 카운터(264)의 카운트 값에 따라 제어되지 않는다. 따라서, 스위치 회로(244, 246, 및 248)의 입력 단자(244a, 246a, 및 248a)는 반드시 선택된다. 따라서, 보조 신호가 삽입되는 휘도신호(Y) 및 색차 신호(CB 및 CR)는 출력 단자에서 직접 출력된다.

색차 신호(CB 및 CR)에 대한 스위치 회로(246 및 248)는 보조 기능보다는 오히려 다른 기능에 의해 제어될 수 있다. 예컨대, 각 메인 스크린부의 3개 상부 라인이 DCT 코드에 의하여 왜곡되는 것을 막기 위해서, 이러한 간격으로, (즉, 라인(60 내지 62) 및 라인(372 내지 374), 상기 스위치 회로(246 및 248)의 입력 단자(246b 및 248b)는 각각 선택될 수 있다. 따라서, 색차 신호(CB 및 CR)의 레벨은 레벨 '128'로 뮤트된다.

상기 보조 킬러 회로(242)에 포함된 스위치 회로(244)의 출력 신호는 기록된 휘도 신호(Y)가 출력 단자(230)에 제공된다. 스위치 회로(246)의 출력 신호는 기록된 색차 신호(CB)를 출력 단자(228)에 제공된다. 스위치 회로(248)의 출력 신호는 기록된 색차신호(CR)가 출력 단자(226)에 제공된다. 상기 PAL 플러스 기록측 처리 회로(208)의 출력 단자(230)로부터 출력되는 기록된 휘도 신호(Y)는 디지털 VCR(106)의 입력 단자(232)에 제공된다. 출력 단자(228 및 226)로부터 출력되는 기록된 색차 신호(CB) 및 (CR)은 라인 순차 회로(216)에 제공된다. 상기 라인 순차 회로(216)는 색차 신호(CB/CR)를 출력한다. 상기 색차 신호(CV/CR)는 디지털 VCR(106)의 입력 단자(234)에 제공된다.

디지털 기록/재생

디지털 VCR 같은 디지털 기록/재생 장치는 합성 디지털 컬러 비디오 신호를 휘도 신호(Y) 및 색차 신호(CR 및 CB)로 변환한다. 이 변환된 신호는 DCT 방법 및 높은 유효 코드를 이용한 고 효율 압축 방법을 이용하여 압축된다. 그리고 나서, 상기 디지털 VCR은 회전 헤드를 통하여 자기 테이프 상에 압축된 데이터를 기록한다. 비디오 테이프 상에 PAL 플러스 및 EDTV-2 디지털 신호를 기록하는 2가지 방법이 간단하게 이제 설명될 것이다.

ⅱ. 디지털 VCR 기록

제22도는 제4실시예에 따른 PAL 펄스 기록 측 처리 회로(208)에서 출력된 신호를 기록하는 디지털 VCR(106)의 구조를 도시하는 블록도이다. 컬러 비디오 신호 성분인 기록된 휘도 신호(Y) 및 색차 신호(CB/CR)는 입력 단자(232 및 234)에서 제공된다. 상기 보조 신호는 무효 스크린부의 간격으로 기록된 휘도 신호(Y)에 삽입된다.

이 기록된 휘도 신호(Y) 및 색차 신호(CB/CR)는 무효 스크린부의 간격(수직 블랭킹 간격 및 수평 블랭킹 간격)으로 데이터를 제거하고, 유효 스크린의 간격으로 데이터를 추출하는 유효 정보 추출 회로(324)에 제공된다. 신호의 유효 라인은 레터 박스의 '무효'부, 즉, 필드(1)의 라인(23 내지 310) 및 필드(2)의 라인(385 내지 622 : 제2도)을 포함하여 고려된다.

상기 PAL 플러스 시스템에서, 종횡비 데이터를 나타내는 WSS 신호, 보조 신호가 존재하는지 여부를 식별하는 ID 신호는 라인(23)에 삽입된다. 또한 화이트 100% 기준 신호는 라인(623)에 삽입된다. 그러나, 라인(623)이 유효 라인이 아니 기 때문에, 상기 화이트 100% 기준신호는 제거된다. 다른 한편, 라인(23)이 유효 라인일지라도, WSS 신호의 레벨은 PAL 플러스 기록측 처리 회로(208)의 뮤트 회로(29)에 의해 디지털값 '64'의 레벨로 바뀐다.

유효 정보 추출 회로(324)의 출력 신호는 상기 추출된 것을 (8 x 8) 블록으로 세그먼트하고 동등하게 셔플하는 블록 세그먼트 및 셔플링 회로(362)에 제공됨으로써, 이 신호는 스크린 상에 동등하게 압축되고, 데이터는 헤드 막힘(head clogging) 및 테이프 손상에 의하여 결과적으로 손상되지 않는다.

상기 블록 세그먼트 및 셔플링 회로(326)의 출력 신호는 DCT 및 가변 길이 인코딩 방법에 따라 비디오 데이터를 압축하는 압축 회로(328)에 제공된다. 상기 압축 회로(328)는 DCT 회로, DCT변형 데이터를 양자화하는 양자화기, 전체 코드량을 평가하여 최적의 양자화기를 결정하는 평가기, 및 2차원 허프만(Huffman) 부호에 해당하는 데이터를 압축하는 가변길이 인코딩 회로를 구비한다. 따라서, 상기 압축 회로(328)는 시간 영역의 (8 X 8) 데이터를 주파수 영역의 (8 X 8) 계수 데이터로 변환하여, 이 변환된 데이터를 양자화한 다음, 가변길이 부호로 상기 결과 데이터를 인코드한다.

상기 압축 회로(328)의 출력 신호는 미리 결정된 규칙에 따라 미리 결정된 동기 블록의 비디오 데이터를 팩하는 프레임 세그먼팅 회로(330)에 제공된다. 이 프레임 세그먼팅 회로(330)의 출력 신호는 VAUX 데이터를 VAUX 발생 회로(310)에서 수신하는 VAUX 가상 회로(332)에 제공된다. 이 VAUX 발생 회로(310)는 제어기(322)에서 수신된 데이터에 따라 VAUX 데이터를 발생한다. 상기 VAUX 데이 터가 VAUX 데이터를 발생한다. 상기 VAUX 데이터가 VAUX 가산 회로에 의해 가산되는 비디오 데이터는 멀티플렉서(314)에 제공된다.

TR 팩에 기록될 WSS 데이터는 WSS 기준/인코더 회로(204)에서 입력 단자(240)에 제공된다(제15도에 도시). 이 TR 팩에 기록될 화이트 100% 기준 데이터는 PAL 플러스 기록측 처리 회로(208)의 출력 단자(224)로부터 입력 단자(236)로 제공되고(제15도 및 17도에 도시) VAUX 데이터를 발생하기 위하여 VAUX 발생 회로(310)에 의해 이용된다. 실제로, 상기 VAUX 데이터는 ID 신호와 함께 제37A도에 도시된 바와 같이 TR팩(헤더=66h)에 기록된다. 상기 기술된 바와 같이 WSS 데이터는 TR 팩의 PC1 내지 PC3에 기록되는 반면, 화이트 100% 기준 데이터는 TR 팩의 PC4에 기록된다. 상기 화이트 100% 기준 데이터가 어떤 이유 때문에 얻어질 수 없을 때, (FFh)는 PC4에 기록된다.

제23도는 TR 팩으로서 구성된 데이터 팩을 도시하는 개략도이다. 14비트의 WSS 데이터는 MSB의 방향으로 PC1의 제 5 비트로부터(b0, b1, b2 등) 팩된다. PC1이 비트들로 팩될 때, WSS 데이터의 나머지는 LSB에서 MSB까지 PC2(b3, b4, ..., 및 b10)에 팩된다. 그후, WSS 데이터의 나머지는 LSB에서 MSB까지(b11, b12, 및 b13) PC3에 팩된다. 이런 방법으로, TR 팩이 WSS 데이터로 채워진다. 상기 화이트 100% 기준 데이터 값이 '235'일 때, PC4의 8비트로 기록된다.

또한, 오디오 신호는 오디오 신호를 디지털화하는 A/D 변환기(302)의 입력 단자(300)에 제공된다. 이 결과 오디오 신호는 미리 결정된 동기 블록에 오디오 데이터를 팩하는 오디오 신호 처리 회로(304)에 제공된다. 이 오디오 신호 처리 회로(304)의 출력 신호는 AAUX 가산 회로(306)에 제공된다. 또한, 상기 AAUX 가산 회로(306)는 AAUX 데이터를 제어기(322)의 제어하에 AAUX 발생 회로(308)에서 수신한다. 이 AAUX 가산 회로(306)는 AAUX 데이터를 오디오 데이터에 가산하고, 이 결과 오디오 데이터는 멀티플렉서 회로(314)에 제공된다.

서브 코드 발생 회로(321)는 고속 검색 동작에 이용되는 서브 코드 데이터를 발생한다. 또한, 이 서브 코드 데이터는 멀티플렉서 회로(314)에 제공된다.

이 멀티플렉서 회로(314)는 비디오 데이터, 오디오 데이터, 및 서브 코드 데이터 중 한 개를 에러 정정 인코딩 회로(316)로 출력한다. 상기 에러 정정 인코딩 회로(316)는 에러 정정 부호를 기록 데이터에 가산하여, 정정 신호를 채널 인코딩 회로(318)에 출력한다. 상기 채널 인코딩 회로(318)는 기록 데이터에 대한 '24대25' 변환을 실행하고, 디지털 기록에 적합한 부분 응답 클래스(4)에 해당하는 기록 신호를 인코딩 한다. 상기 채널 인코더(318)의 출력 신호는 기록 증폭기를 통하여 헤드(320)에 제공된다(도시 안됨). 따라서, 기록 데이터는 상기 기술된 포맷으로 기록 테이프 상에 기록된다.

iii. 자기 테이프에 기록된 디지털 신호

제24도 내지 27도는 제4 실시예에 따른 자기 테이프 상에 기록된 신호 레벨을 도시하는 개략도이다. 제 24A도 내지 24E도는 PAL 플러스 기록 측 처리 회로(208)의 DC 레벨 변경 회로(262)의 DC 설정값이 '64'인 경우를 도시하는 개략도이다. 제24A도에 도시된 라인 상의 신호 레벨에 있어서, 상기 보조 신호가 기록 된 휘도 신호(Y)에 삽입되기 때문에 보조 신호의 기준 신호는 라인(23) 상에 배치된다. 따라서, 상기 기준 신호 값은 DC 설정값 '64' X '54'보다 작다.

제24B도는 무효 스크린부(즉, 라인(24 내지 59), 라인(275 내지 310), 라인(336 내지 371)및 라인(587 내지 622) 상에)의 간격으로 신호 레벨을 도시하는 개략도이다. 이 실시예에서, 상기 보조 킬러 기능은 턴오프되고, 무효 스크린부의 간격으로 삽입된 보조 신호값은 DC 설정값 '64'의 중심값을 갖는 기껏해야 '108'이다. 최대값의 레벨은 A/D 변환기(214a)에 의해 정규화된다.

무효 스크린부의 간격으로, 신호는 기록된 색차 신호(CR/CB)에 삽입되지 않는다.

제24C도는 메인 스크린 부(즉, 라인 60 내지 274 및 라인 372 내지 586)의 간격으로 신호를 도시하는 개략도이다. 이러한 간격으로, 결과 신호의 신호 레벨은 기존의 PAL 플러스 시스템에 대응하는 그것과 동일하다. 기록된 휘도 신호(Y)의 최대값은 화이트 100% 기준 레벨(즉, '235')이고, 그들의 최소값은 기초 레벨(즉, '16')이다. 마찬가지로, 기록된 색차 신호(CB/CR)의 레벨은 '128'의 중앙값을 갖는 '112'의 편차를 갖는다(그러므로, 그들의 최소값은 '16'인 반면, 그들의 최대값은 '240'이다).

제24D도는 각각의 메인 스크린부의 세 개의 상부 라인 상의 신호 레벨을 도시한 개략도이다(즉, 라인 60 내지 62 및 라인 372 내지 374 상). 이러한 간격으로, DCT 압축 방법의 압축 왜곡을 예방하기 위하여, 상기 기록된 휘도 신호(Y)는 DC 설정값인 레벨 '64'로 뮤트되는 반면, 기록된 색차 신호(CB/CR)는 레벨 '128'로 뮤트된다(즉, 무색 레벨).

제24E도는 라인(623) 상의 화이트 100% 레벨의 기준 신호를 도시하는 개략도이다. 이 신호는 테이프에 기록되지 않는데, 그 이유는 수직 블랭킹 간격동안인 라인(623) 상에 있기 때문이다(제4도).

제25A도는 DC 설정값이 '32'인 경우를 도시하는 개략도이다. 따라서, 보조신호의 기준 신호 레벨은 DC 설정값 '32' X '27'보다 작다.

제25B도는 무효 스크린부의 간격으로 신호 레벨을 도시하는 개략도이다. 무효 스크린부의 간격으로 삽입된 보조 신호 레벨은 A/D 변환기(214a)에 의해 정규화되는 '32'에서 DC 설정값의 중심을 갖는 기껏해야 '54'이다. 무효 스크린부의 간격에서, 신호는 기록된 색차 신호(CB/CR)에 삽입되지 않는다.

제25C도는 메인 스크린부의 간격으로 신호 레벨을 도시하는 개략도이다. 이 간격에서, 기록된 휘도 신호(Y) 및 색차 신호(CB 및 CR)의 DC 설정값은 제24C도에 도시된 '64'와 동일하다.

제25D도는 메인 스크린부의 3개 상부 라인 상에 신호 레벨을 도시하는 개략도이다. 이 간격에서, DCT 압축 방법의 압축 왜곡을 예방하기 위해서, 상기 기록된 휘도 신호(Y)는 DC 설정값인 레벨 '32'로 뮤트되는 반면, 기록된 색차 신호(CB/CR)는 레벨 '128'로 뮤트된다(즉, 무색 레벨).

제25E도는 라인(623) 상에 화이트 100% 레벨의 기준 신호를 도시하는 개략도이다. 이 신호는 제 24E도에서 토론된 바와 같이 테이프 상에 기록되지 않는다.

제26A도는 DC 설정값이 '128'인 경우를 도시하는 개략도이다. 제26A도에 도 시된 라인(23) 상의 신호 레벨 같이, 보조 신호의 기준 신호 레벨은 DC 설정값 '128' X '108' 보다 낮다.

제26B도는 무효 스크린부의 간격으로 신호 레벨을 도시하는 개략도이다. 상기 무효 스크린부의 간격으로 삽입된 보조 신호의 레벨은 A/D 변환기(214a)에 의해 정규화되는 '128'로 설정된 DC 설정값의 중심을 갖는 기껏해야 '216'이다. 무효 스크린부의 간격에서 신호는 기록된 색차 신호(B/CR)에 삽입되지 않는다.

제26C도는 메인 스크린부의 간격으로 신호 레벨을 도시하는 개략도이다. 이 간격에서 상기 기록된 휘도 신호(Y) 및 색차 신호(CB 및 CR)의 DC 설정값은 제24C도에 도시된 바와 같이 '64'와 같다.

제26D도는 각 메인 스크린부의 3개 상부 라인 상에 신호 레벨을 도시하는 개략도이다. 이 간격에서, DCT 압축 방법의 압축 왜곡을 예방하기 위해, 상기 기록된 휘도 신호(Y)는 DC 설정값인 레벨 '128'로 뮤트된다(즉, 무색 레벨).

제26E는 라인(623) 상에 화이트 100% 레벨의 기준 신호를 도시하는 개략도이다. 이 신호는 제24E도에 토론된 바와 같이 테이프 상에 기록되지 않는다.

2. EDTV-2 실시예

제27도는 EDTV-2 시스템에 제공된 본 발명의 블록도이다. EDTV-2 신호는 튜너(400)에 의해 수신되어 EDTV-2 기록 처리기(404)의 입력 단자(402)로 출력된다. EDTV-2 기록 처리기는 처리된 EDTV-2 신호를 디지털 VCR(106)로 출력한다. 이전의 실시예에서와 같이, 수직 해상도 성분은 휘도 신호(Y)로서 기억되고, 관련 신호는 TR 팩에 기억된다. 이 방법으로 수직 해상도는 디지털 기록 후에 복원되고, 고화 질이 유지된다.

특히, 상기 EDTV-2 기록 처리기(404)는 메인 스크린부에서 HH신호를 디코딩하여, 이것을 메인 스크린부에서의 휘도 신호로 멀티플렉스한다. 또한, 상기 EDTV-2 기록 처리기(404)는 오프셋을 상부 및 하부 무효 스크린부로 보내는 VT 및 VH 신호를 부가함으로써 휘도 신호(Y)로서 기록한다. 더욱이, 상기 EDTV-2 기록 처리기(404)는 EDTV-2 비디오 신호로부터 라인(22 및 285)에 보낸 ID 신호를 디코딩하고, VT,VH, 및 HH의 신호 성분이 ID 신호로부터 존

재하는지 여부를 나타내는 데이터 및 종횡비 데이터를 추출한다. 상기 디지털 VCR(106)이 13.5MHz의 샘플링 주파수에서 EDTV-2 비디오 신호를 처리하기 때문에, 6MHz의 밴드로 상기 신호를 기록할 수 있다. 상기 EDTV-2 기록 처리기(404)는 성분 색 신호(Y, CR 및 CB)를 디지털 VCR(106)로 출력한다. 종횡비 데이터, 즉 VT, VH 및 HH의 신호 성분이 존재하는지 여부를 나타내는 데이터, 및 색 위상 정보는 각각 디지털 VCR(106)에 제공된다.

a. 제5실시예

ⅰ. EDTV-2 기록 처리기

제28도는 제5실시예의 EDTV-2 기록 처리기(404)를 도시하는 블록도이다. EDTV-2 비디오 신호는 3차원 Y/C 분리 회로(404)에 접속된 입력 단자(402)에 제공된다. 이 3차원Y/C 분리 회로(404)는 크로미넌스(즉, 색, 신호(C))로부터 휘도 신호(Y)를 분리한다. 또한, 상기 3차원 Y/C 분리 회로(404)는 멀티플렉스된 HH 신호를 복조하고 4.2MHz 내지 6MHz의 주파수 밴드를 갖는 고 밴드 수평 휘도 성분을 출 력하는 HH 신호 복조 회로(406)에 제공된다. HH 신호 복조 회로(406)의 출력 신호는 가산 회로(408)에 제공된다.

상기 Y/C 분리 회로(404)는 4.2MHz까지의 휘도 신호 및 크로마 신호(C)를 출력한다. 이 휘도 신호(Y)는 고 대역 수평 휘도 성분(HH 신호 복조 회로(406)에서 제공된 4.2 MHz 내지 6MHz)을 휘도 신호(Y)(4.2 MHz까지)를 가산하는 가산 회로(408)에 제공된다. 가산 회로(408)의 출력신호는 스위치 회로(410)의 단자(410A)에 제공된다.

입력 단자(402)의 입력 신호는 오프셋 가산 회로(414), ID 신호 디코딩 회로(416), 및 동기 신호 분리 신호(420)에 제공된다. 상기 동기 신호 분리 회로(420)는 입력 단자(402)의 입력 신호로부터 동기 신호를 검출하고, 이 동기 신호를 라인 검출기(422)로 출력한다. 라인 디코더(422)의 출력신호는 ID 신호 디코딩 회로(416) 및 제어 스위치(410 및 412)에 대한 스위치 제어 회로(424)에 제공된다.

상기 오프셋 가산 회로(414)는 오프셋을 무효 스크린부에 있는 VT 및 VH 신호에 가산하여 휘도 신호로 처리한다. 오프셋 가산 회로(414)의 출력 신호는 스위치 회로(410)의 단자(410B)에 제공된다.

상기 ID 신호 검출 회로(416)는 VT,VH 및 HH의 신호 성분이 라인(22 및 285) 상에 존재하는지 여부를 나타내는 데이터 및 종횡비 데이터를 검출한다. ID 신호 검출 회로(416)의 출력 신호는 데이터 출력 단자(418)로 출력된다. 또한 상기 ID 신호 검출 회로(416)는 신호가 검출되는데 기초한 3차원 Y/C 분리 회로(404)의 상 태를 제어한다.

상기 스위치 제어 회로(424)는 메인 스크린부 및 무효 스크린부 중 하나를 선택하는 스위치 제어 신호를 발생한다. 상기 스위치 제어 신호가 스위치 회로(410 및 412)에 제공될 때, 스위치 회로는 스위치 제어 신호에 따라 메인 스크린 및 무효 스크린부 중 하나를 선택한다.

스크린의 중심에서 메인 스크린부가 선택될 때, 스위치 회로(410)는 단자(410A) 위치에 위치되고, 스위치 회로(412)는 턴온된다. 다른 한편, 상하 무효 스크린부가 선택될 때, 스위치 회로(410)는 단자(410B)에 위치되고, 스위치 회로(412)는 턴오프된다. 따라서, 스위치 회로(410)는 휘도 신호(Y)를 수평 고역 성분(HH)이 메인 스크린부에 가산되게 출력한다. 또한, 스위치 회로(410)는 수직 해상도 보상 신호(VT 및 VH)를 오프셋이 무효 스크린부에 가산되게 출력한다. 상기 스위치 회로(412)는 크로마 신호(C)를 메인 스크린부에 출력한다. 그러나, 스위치 회로(412)는 무효 스크린부 동안 크로마 신호(C)를 출력하지 않는다.

스위치 회로(410)의 출력 신호는 출력 단자(426)로 출력된다. 스위치 회로(412)의 출력 신호는 크로마 신호(C)로부터 색차 신호(CR 및 CB)를 복조하는 색 복조 회로(428)에 제공된다. 이 색차 신호(CR 및 CB)는 출력 단자(430 및 432)에서 출력된다. 따라서, 비디오 성분 신호는 디지털 VCR로 보내진다.

ⅱ. 디지털 VCR 기록

상기 디지털 VCR(106)은 성분 색신호(Y,CR 및 CB)를 디지털화하고, DCT 및 가변길이 인코딩 방법에 따라 압축하고, 회전 헤드를 통하여 자기 테이프상의 결과 신호를 기록한다. EDTV-2 비디오 신호를 기록할 때, 상기 종횡비 데이터(VT,VH, 및 HH의 신호 성분이 존재하는지 여부를 나타내는 데이터)는 EDTV-2 기록 처리기(404)로부터 디지털 VCR(106)에 제공된다. 이런 형태의 데이터는 디지털 VCR(106)에 의해 VAUX 데이터가 기록된다. 이 점에서, 상기 HH 신호는 디코딩되어 6MHz의 밴드로 복원된다. 따라서, 이런 형태의 데이터는 HH 신호가 부재인 방법으로 기록된다. 디지털 VCR(106)이 EDTV-2 비디오 신호를 기록할 때, 무효부만이 추출된다. 상기 ID 신호는 라인(22 및 285)에 보내진다. 상기 라인(22)은 무효 라인이 아니고 디스플레이되지 않는 반면, 라인(285)은 무효 라인이다. 따라서, 라인(285) 상의 신호는 라인(285) 상의 데이터가 감춰진 순서로 페디스털 레벨에 위치된다. 따라서, 이 신호들은 무효 스크린 상에 기록되지 않음으로써, 색재생력 및 화질이 떨어지는 것을 막는다.

제29도는 제5 실시예에 따른 디지털 VCR(106)의 기록 시스템 구조를 도시하는 블록도이다. 성분 신호(Y,CR 및 CB)는 입력 단자(444,446, 및 448)에 각각 제공된다. 상기 성분 컬러 비디오 신호(Y,CR 및 CB)는 13.5MHz의 주파수에서 샘플링 클럭을 갖는 성분 신호(Y,CR 및 CB)를 디지털화하는 A/D 변환기(450)에 제공된다. NTSC 시스템의 경우에, 성분신호 Y,CR 및 CB)는 디지털화됨으로써, 휘도 신호(Y) 및 색차 신호(CR 및 CB)의 정보량은 각각 4:1:1 비율이다. A/D 변환기(450)의 출력 신호는 마스킹 회로(458)에 제공된다.

입력 휘도 신호(Y)는 동기 신호를 라인 디코더(454)로 검출하여 출력하는 동기 신호 분리 회로(452)에 제공된다. 이 라인 디코더(454)의 출력 신호는 마스킹 신호 발생 회로(456)에 제공된다. 이 마스킹 신호 발생 회로(456)는 입력 비디오 신호가 EDTV-2 비디오 신호인지 여부를 식별하는 제어기로부터 제공된 신호를 수신한다. EDTV-2 비디오 신호가 입력되는 것을 상기 제어기가 결정할 때, 상기 마스킹 신호 발생 회로(456)는 마스킹 신호를 라인(258)에 대한 마스킹 회로(458)로 출력한다.

상기 EDTV-2 비디오 신호가 입력될 때, 상기 마스킹 회로(458)는 미리 결정된 값(예컨대, 기초 레벨을 나타내는 값 16)으로 라인(258) 상의 신호를 표시한다. 상기 마스킹 회로(458)의 출력 신호는 수직 블랭킹 간격 및 수평 블랭킹 간격의 데이터 같이 무효 스크린으로부터 데이터를 제거하는 유효 정보 추출 회로(460)에 제공되고, 무효 스크린의 데이터만을 추출한다(유효 라인은 필드(1)의 라인(23 내지 264) 및 필드(2)의 라인(285 내지 524)). EDTV-2 시스

템에서, 종횡비 데이터, VT,VH, 및 HH의 신호 성분이 존재하는지 여부를 나타내는 ID 신호, 및 수신된 비디오 신호가 EDTV-2 비디오 신호인지를 식별하는 2.04MHz 확인 신호는 라인(22 및 285) 상에서 멀티플렉스된다. 그러나, 라인(22)이 무효 라인이 아니기 때문에, 라인(22) 상의 멀티플렉스된 신호는 제거된다. 다른 한편 라인(285)이 무효 라인일지라도, 상기 라인(285) 상의 멀티플렉스된 신호는 마스킹 회로(458)에 의하다 기초 레벨에 위치됨으로써, 라인(258) 상의 수직 해상도 정보는 수신된 이미지 상에 나타나지 않는다.

유효 정보 추출 회로(460)의 출력 신호는 블록 세그먼트 및 셔플링 회로(462)에 제공된다. 이전의 실시예에 기술된 다른 셔플링 회로에서 같이, 블록 세그먼팅 및 셔플링 회로(462)는 유효 정보 추출 회로(460)에서 수신된 신호를(8 X 8) 블록으로 세그먼트하고, 신호가 균등하게 압축되도록 균등하게 셔플한다. 이런 방법으로 데이터는 헤드 고장 및 테이프 손상에 기인하여 순차적으로 손상되는 것을 막는다.

블록 세그먼팅 및 셔플링 회로(462)의 출력 신호는 DCT 및 가변길이 인코딩 방법에 해당하는 비디오 데이터를 압축하는 압축 회로(464)에 제공된다. 바꾸어 말하면, 상기 압축 회로(464)는 DCT 회로, DCT 변형 데이터를 양자화하는 양자화기, 전체 부호량을 평가하는 평가기를 구비하고, 최적의 양자화기, 및 2차원 허프만 부호에 해당하는 데이터를 압축하는 가변길이 인코딩 회로로 구성된다. 상기 압축 회로(464)는 시간 영역의 (8 X 8) 데이터를 주파수 영역의 (8 X 8) 계수 데이터로 변환하고, 변환된 데이터를 양자화하고, 결과 데이터를 가변길이 부호로 인코딩한다. 상기 압축 회로(464)는 시간 영역의 (8 X 8) 데이터를 주파수 영역의 (8 X 8) 유효 데이터로 변환하고, 이 변환 데이터를 양자화하고, 이 결과 데이터를 가변 길이 부호로 인코딩한다.

상기 압축 회로(464)의 출력 신호는 미리 결정된 규칙에 따라 미리 결정된 동기 블록의 비디오 데이터를 팩하는 프레임 세그먼팅 회로(466)에 제공된다. 프레임 세그먼팅 회로(466)의 출력 신호는 VAUX 가산 회로(468)에 제공된다. 상기 VAUX 가산 회로(468)는 제어기(443)에서 수신된 데이터에 해당하는 VAUX 데이터를 발생하는 VAUX 발생 회로(470)로부터 VAUX 데이터를 수신한다. 이 VAUX 데이터가 VAUX 가산 회로(468)에 의하여 가산되는 비디오 데이터는 멀티플렉 서(472)에 제공된다.

상기 EDTV-2 기록 처리기(404)(제28도)는 종횡비, ID 신호 데이터(VT,VH, 및 HH의 신호 성분이 존재하는가를 나타냄), 및 단자(474)에 색위상 정보를 제공한다.

특히, VAUX 데이터는 제54도에 도시된 TR 팩(헤더=66h)으로서 기억된다. 상기 ID 신호 데이터는 TR팩에 기록된다. 상기 종횡비 정보는 VAUX 데이터의 소스 제어 팩(헤더 PCO=60h)의 DISP(디스플레이 선택 모드)에 기록된다. 상기 색위상 정보는 VAUX 데이터의 소스 팩(헤더PCO= 60h)의 CLF(컬러 프레임 식별 부호)에 기록된다.

또한, 오디오 신호는 오디오 신호를 양자화하는 A/D 변환기(478)의 입력 단자(467)에 제공된다. 상기 결과 오디오 신호는 미리 결정된 동기 블록에 오디오 데이터를 팩하는 오디오 신호 처리 회로(480)에 제공된다. 이 오디오 신호처리 회로(480)의 출력 신호는 제어기(443)의 제어 하에 AAUX 발생 회로(484)로부터의 AAUX 데이터를 수신하는 AAUX 가산 회로(482)에 제공된다. 이 AAUX 가산 회로(482)는 이 AAUX 데이터를 오디오 데이터에 가산하고, 이 합계를 멀티플렉서 회로(472)로 출력한다.

서브 코드 발생 회로(486)는 고속 검색 동작에 이용되는 서브 코드를 발생한다. 이 서브 코드 데이터는 멀티플렉서 회로(472)에 제공된다.

이 멀티플렉서 회로(472)는 비디오 데이터, 오디오 데이터, 및 서브 코드 데이터 중 한 개를 에러 정정 인코딩 회로(488)에 출력한다. 이 에러 정정 인코딩 회로(488)는 에러 정정 부호를 기록 데이터에 가산하여, 이 정정 데이터를 채널 인 코딩 회로(490)로 출력한다. 이 채널 인코딩 회로(490)는 기록 데이터에 대하여 24/25 변환을 수행하고, 디지털 기록에 적합한 부분응답 클래스(4)에 해당하는 기록 신호를 인코딩한다. 채널 인코더(490)의 출력 신호는 기록 매체 상에 디지털 신호를 기록하기 위하여 기록 증폭기(도시 안됨)를 통하여 헤드(492)에 제공된다.

<u>디지털 VCR 포맷</u>

상기 기록 처리 및 디지털 VCR은 이전에 토론되었다. 기록 테이프 상에 디지털 신호를 기록하기 위한 디지털 VCR에 의하여 이용된 포맷은 지금 설명될 것이다. 본 발명이 특정 포맷에 한정되지 않지만, 본 발명에 적합하게 이용되는 2개 포맷을 나타낸다.

<u>디지털 VCR 포맷 Ⅰ.</u>

제1방법은 제30도 내지 46도를 참조로 기술될 것이다. 본 발명에 따른 디지털 VCR의 테이프 상에, 제30A도에 도시된 바와 같이, 기울어진 트랙들이 형성된다. 이용된 2개의 기록예는 SD시스템(525 라인/60 Hz 및 625 라인/50 Hz) 및 HD 시스템(1125 라인/60 Hz 및 1250 라인/50 Hz)이다. 이 SD 시스템에서, 프레임당 10 트랙(625 라인/0 Hz인 경우) 또는 12 트랙(525 라인/60 Hz인 경우)이 존재한다. HD 시스템에서, 프레임당 트랙의 개수는 SD 시스템의 개수의 2배, 즉, 20(1125 라인/60 Hz) 또는 24(1250 라인/50 Hz)이다.

제30B도는 디지털 VCR의 테이프 상에 형성된 트랙을 도시하는 개략도이다. 트랙 전체의 사이드 상에, 기록 동작 후에 실행하는 타이밍 블록은 배치된다. 이 타이밍 블록은 ITI(삽입 및 트랙 정보)로 언급된다. 이 ITI는 기록후의 영역을 배 열하는데 이용된다.

임의 디지털 신호 기록/재생 장치에 있어서, 특정 영역의 데이터는 재기록된다. 따라서, 트랙 전체 사이드 상의 ITI 영역은 필수적이다. 다르게 말해서, 짧은 동기 길이를 갖는 많은 동기 블록은 ITI 영역에 기록된다. 상기 동기 블록은 트랙 도입 측으로부터 순차 번호가 배열된다. 데이터가 기록된 후일 때, ITI 영역의 임의 동기 블록이 검출되는 경우, 현재 트랙의 위치는 동기 블록 번호에 따라 정교하게 검출될 수 있다. 따라서, 후에 기록 영역은 결정될 수 있다. 일반적으로, 상기 트랙 도입 측은 불완전한 기계적 정확도 때문에 헤드에 안정되게 접촉될 수 없다. 이러한 불완전한 기계적 정확도를 보상하기 위해서, 짧은 동기 길이를 갖는 많은 동기 블록은 동기 검출 확률을 개선하기 위해 기록된다.

제31도에 도시된 바와 같이 ITI 영역은 프리앰블, SSA(개시 동시 블록 영역), TIA(트랙 정보 영역), 및 포스트 앰블로 구성된다. 이 프리앰블은 1400비트로 이루어지고, 디지털 신호를 재생하는 PLL에 대한 시운전에 이용된다. 상기 SS

A는 이러한 기능에 이용된다. SSA는 각각이 30비트로 이루어진 61개 블록으로 이루어진다. SSA의 다음에 90 비트로 이루어지고 트랙 정보를 기억하는 3개 블록으로 이루어지는 TIA가 온다.
TIA 내에, APT(트랙의 적용 ID)(3 비트), SP/LP(1비트), 반전 비트(1비트), 및 PF(파일럿 프레임) 비트(1비트)가 기억된다. APT는 영역의 데이터 구조 형태를 결정하는 적용 ID이다. 이 PF는 서보 시스템의 기준 프레임을 나타낸다. TIA는 6비트로 구성된다. TIA의 다음에 280비트로 구성되고 마진을 제공하는데 이용되는 포스트앰블이 온다.
기록 매체를 포함한 카세트는 메모리 IC(MIC)를 갖는 회로판에 제공된다. 메모리 IC에 기록된 데이터는 장치의 기록/재생 동작을 안내한다. MIC에서, 테이프 길이, 테이프 두께, 및 테이프 형태 같은 정보와 함께, TOC(목차) 정보, 인덱스 정보, 문자 정보, 재생 제어 정보, 및 타이머 기록 정보 같은 다른 정보는 기억될 수 있다. MIC를 갖는 카세트 테이프가 디지털 VCR과 결합하여 작동할 때, MIC에 기억된 데이터는 미리 결정된 프로그램을 스킵하고, 프로그램의 재생 순서를 지시하고, 정지 화상(사진)을 재생하는 미리 결정된 전경을 지시하며, 타이머 기록 동작을 보존하는데 이용된다.
비슷하게, MIC는 번지 0의 높은 순서 3개 비트로 APM(MIC의 적용 ID)이라 불리는 적용 ID를 기억한다. 또한, 이 APM은 사용될 수 있는 데이터 구조를 정의한다.
ITI 다음에 있는 트랙은 제32도에 도시된 바와 같이 몇 개 영역으로 나뉜다. 이 나뉜 영역은 에러에 대하여 데이터를 보호하는 트랙위치, 동기 블록 구조 및 ECC 구조 같은 데이터 구조를 정의한다. 각 영역은 데이터 구조를 정의하는 적용 ID를 가진다. 즉, 영역(n)의 적용은 영역(n)의 데이터 구조를 정의한다.
상기 적용 ID는 제33도에 도시된 바와 같은 계층 구조를 가진다. 기본 적용 ID인 APT는 트랙상의 영역 개수를 정의한다. 각 영역 내에, AP1 내지 APn이 정의된다. 제33도는 적용 ID가 2개층 레벨로 구성되는 것을 도시하지만, 저 계층 레벨은 가산될 수 있다. MIC에 적용ID인 APM은 제1 계층 레벨만에 배치된다. 상기 APM의 값은 디지털 VCR의 APT 값과 같다.
이러한 기법으로, 상기 디지털 VCR은 데이터 스트리머(data streamer) 또는 멀티트랙 디지털 오디오 테이프 레코더 같이 완전히 다른 제품 같이 작동될 수 있다. 한 개 영역을 정의할지라도 그 목차는 그 영역 적용 ID에 의해 정의될 수 있다. 따라서, 적용 ID의 값에 따라, 데이터는 비디오 데이터로 비디오 오디오 데이터, 컴퓨터 데이터로 지시될 수 있다.
제34A도는 APT=000인 경우의 트랙 구조를 도시하는 개략도이다. 제34A도에 도시된 바와 같이, 영역(1,2, 및 3)은 트랙 상에 정의된다. 영역(1,2, 및 3)은 트랙위치, 동기 블록구조, 에러에 대하여 데이터를 보호하는 ECC 구조, 및 갭과 겹쳐쓰기를 제공하기 위한 겹쳐쓰기 마진을 정의한다. 이러한 각각의 영역은 데이터 구조를 정의하는 적용 ID를 가진다. 적용 ID는 다음과 같이 정의된다.
AP1 ... 영역1의 데이터 구조를 정의한다.
AP2 ... 영역2의 데이터 구조를 정의한다.
AP3 ... 영역3의 데이터 구조를 정의한다.
적용 ID=000인 경우 각 영역에 대한 적용ID는 다음과 같이 정의된다.
AP1=000 CVCR의 오디오 및 AAUX의 데이터 구조를 정의한다.
AP2=000 CVCR의 비디오 및 AAUX의 데이터 구조를 정의한다.
AP3=000 CVCR의 서브코드 및 ID의 데이터 구조를 정의한다.
CVCR : 가정은 디지털 비디오 및 오디오 신호 기록/ 재생장치를 이용한다.
AAUX :오디오 보조 데이터 VAUX : 비디오 보조 데이터.
바꾸어 말하면, 디지털 VCR이 정상 정격에 이용될 때, APT, AP1,AP2, 및 AP3의 값은 제34B도에 도시된 바와 같이 000으로 지시된다. 또한, APM의 값은 000으로 지시된다.
APT = 000일 때, AAUX, VAUX, 서브코드, 및 MIC의 모든 영역은 일반 '팩' 구조에 기록된다. 제35도에 도시된 바와 같이, 한 개 팩은 5개 바이트(PCO 내지 PC4)로 구성된다. 제1의 1바이트는 헤더이고, 나머지 4바이트는 데이터이다. 팩은 데이터 그룹의 최소 단위이다. 관련 데이터를 수집하는 것에 의해, 한 개 팩은 구성된다.
8비트의 헤더는 계층 구조를 형성하기 위하여 고순서 4개비트 및 저순서 4비트로 나뉘어진다. 제36도에 도시된 바와 같이, 상기 고순서 4개 비트는 상부 헤더 그리고 저순서 4비트는 하부 헤더로 언급된다. 또한, 데이터의 비트 할당에 의해서, 상기 계층 구조는 저레벨로 확장될 수 있다.
이러한 계층구조를 이용하면, 팩의 목차는 명백히 분류될 수 있고, 계층구조는 쉽게 확장될 수 있다. 또한, 상부 헤더 및 하부 헤더에 형성된 256 스페이스는 각 팩의 목차에 따라 팩 헤더 테이블로 보존된다. 팩 헤더 테이블로서, 각각의 상기 기술된 영역은 정의된다. 기본적으로, 각 팩은 일정한 길이에 5바이트로 구성된다. 그러나, 문자 데이터가 MIC에 기록될 때, 가변 길이 팩 구조는 이용된다. 이것은 MIC의 한정된 비퍼 메모리가 효율적으로 이용될 수 있기 때문이다.
제37A도는 헤더 바이트 PCO가 (66h)인 경우에 TR 팩의 데이터 구조를 도시하는 개략도이다. 헤더에 대한 데이터 구조의 많은 형태가 있을지라도 제37A도에 도 시된 팩은 본 발명과 매우 관련 있다. 도시된 바와 같이, PCI의 후반에 있는 데이터 타입의 4비트는 다음과 같이 다양한 타입의 신호를 식별한다.
0000=VBID 0001=WSS
0010=라인(22) 상의 EDTV-2
0011=라인(258) 상의 EDTV-2
0100=식별 없음
다른 것=정의 안됨.

PC2의 데이터부는 28비트로 이루어지고 데이터부의 LSB쪽(즉, 수평 동기 신호 쪽)으로부터의 데이터를 연속적으로 기억한다. 제37B도는 WSS 신호의 14비트가 데이터부에 위치되는 경우를 도시하는 개략도이다.
상기 오디오 영역 및 비디오 영역은 오디오 섹터 및 비디오 섹터로 언급된다. 제38도는 프리앰블 데이터부, 및 포스트 앰블로 구성되는 오디오 섹터의 구조를 도시하는 개략도이다. 이 프리앰블은 400비트 및 2개의 프리 동기 블록의 전단계이다. 이 전단계는 PLL 동작 전단계 패턴에 이용된다. 이 프리동기는 오디오 동기 블록을 검출하는데 이용된다. 데이터부는 10500비트로 구성된다. 포스트앰블은 50비트의 포스트 동기 블록 및 500비트의 가드 영역으로 구성된다. 이 포스트 동기 블록은 오디오 섹터 단에 ID의 동기 번호를 알리는데 이용된다. 이 가드 데이터는 후에 기록된 오디오 섹터가 다음 비디오 섹터로 들어가는 것을 막는데 이용된다.
제39A도 및 39B도에 도시된 바와 같이, 각 프리 동기 블록 및 포스트 동기 블록은 6 바이트로 구성된다. 이 프리 동기 블록의 6번째 바이트는 SP/LP ID 바이트이다. 이 바이트의 값이 (FFh)일 때, SP 모드를 나타내고, 이 바이트의 값이(00h)일 때, LP모드를 나타낸다. 포스트 동기의 6번째 바이트는 의사 데이터(dummy data)로서 (FFh)를 기록한다.
상기 기술된 TIA 영역은 SP/LP 플래그로서 SP/LP ID 바이트를 갖는다. 바꾸어 말하면, TIA 영역을 판독할 수 없을 때, TIA 영역의 SP/LP 플래그값이 이용된다. 프리 동기 블록 및 포스트 동기 블록의 6바이트는 '24대25' 변환 후 기록된다(24비트의 데이터를 25비트의 데이터로 전환). 따라서, 프리동기 블록 및 포스트 동기 블록의 전체 비트 길이는 다음과 같다.
프리 동기 블록 : 6 X 2 X 25 / 24 = 100 비트
포스트 동기 블록 :6 X 2 X 25 / 24 = 50 비트
제40도에 도시된 바와 같이 한 개 동기블록은 90바이트로 이루어진다. 상기 프리동기 블록의 첫번째 5바이트는 포스트 동기 블록의 구조와 동일하다. 이 데이터부는 77바이트로 구성되고, 수평 패리티(C1)(8바이트) 및 수직 패리티(C2)(5 동기블록)에 의하여 안내된다. 상기 오디오 동기 블록은 트랙당 14 동기 블록으로 이루어진다. 상기 오디오 동기 블록이 '24 대 25' 변환을 실행한 후 기록되기 때문에 전체 비트 길이는 다음과 같다.
90 X 14 X 8 X 25 / 24 = 10500 비트
상기 데이터부의 첫번째 5바이트는 AAUX 데이터용이고 한 개 팩으로 구성한다. 트랙당 9개 팩이 있다. 제40도의 수 0내지 8은 각 트랙의 팩 개수를 나타낸다.
제41도는 트랙 방향으로 배열되는 AAUX 데이터의 팩 개수를 도시하는 개략도이다. 525 라인/60 Hz 시스템에서, 한 개 비디오 프레임은 10 트랙으로 구성된다. 625라인/50 Hz 시스템에서, 한 개 비디오 프레임은 12개 트랙으로 구성된다. 이 오디오 데이터 및 서브 코드는 기록되고 비디오 프레임에 따라 재생된다. 제41도에서, 번호(50 내지 55)는 팩 헤더(FFh)의 값을 나타낸다.
10 트랙 상에 AAUX 데이터로서 제41도에 도시된 바와 같이 동일한 팩은 10번 기록된다. 이 부분은 샘플링 주파수 및 오디오 신호를 재생하는데 필요한 비트 양자화 개수와 같은 필수 항목을 기억하는 메인 영역으로 언급된다. 이 필수 항목은 상기 데이터를 보호하기 위하여 몇 번 기록된다. 따라서, 자기 테이프의 수평 스크래치, 단일 채널 고장 등이 발생하면, 메인 영역 데이터는 재생될 수 있다.
나머지 팩은 선택 영역으로서 연속적으로 링크된다. 제41도에서, 이러한 팩은 화살표 방향으로 a,b,c,d,e,f,g,h,...등을 갖는 메인 영역에서 스킵하여 링크된다. 한 개 비디오 프레임은 선택 영역으로서 30개 팩(525 라인/60 Hz 시스템의 경우) 또는 36개 팩(625 라인/50 Hz 시스템의 경우)을 구비한다. 이 영역이 반복적으로 선택되기 때문에, 임의 팩은 각 디지털 VCR용의 팩 헤더 테이블로부터 선택될 수 있다.
제42도는 비디오 섹터의 구조를 도시하는 개략도이다. 비디오 섹터의 프리앰블 및 포스트 앰블 구조는 제38도에 도시된 오디오 섹터의 구조와 동일하다. 제42도에 도시된 바와 같이, 한 개 동기 블록은 오디오 섹터같이 90 바이트로 이루어진다. 그러나, 비디오 섹터의 포스트 앰블의 안내 영역의 비트 개수는 오디오 섹터의 비트 개수보다 약간 크고, 이 비디오 섹터는 149 비디오 동기 블록을 포함한다.
제43도에 도시된 바와 같이, 동기블록의 5번째 5바이트의 구조는 프리동기, 포스트 동기 및 오디오 동기의 구조와 동일하다. 이 데이터부는 제44도에 도시된 바와 같이 수평 패리티(CI)(8바이트) 및 수직 패리티(C2)(11동기블록)에 의하다 안내되고, 77바이트로 이루어진다. C2 패리티 앞에 상부 2개의 동기 블록 및 한 개 동기 블록은 VAUX데이터가 공유된 동기 블록이다(데이터의 77바이트는 VAUX 데이터로 할당된다). DCT(이산 코사인 변환)방법에 의해 압축되는 비디오 신호 비디오 데이터(VAUX 데이터 및 C2동기 블록에 공유된 동기 블록이외)는 기억된다. 상기 비디오 데이터가 '24대25' 변환을 실행한 후 기록되기 때문에, 비디오 섹터의 전체 비트 길이는 다음과 같다.
90 X 149 X 8 X 25 / 24 = 111750 비트
제44도는 149동기 블록이 수직으로 배역되는 비디오 섹터를 도시한 개략도이다. 중심부에서 165동기 블록은 비디오 신호의 기억 영역에 이용된다. BUFO내지 BUF 26은 버퍼 장치를 나타낸다. 한 개의 버퍼 장치는 5개의 동기 블록으로 구성되고, 한 개 트랙은 27개의 버퍼 장치를 포함한다. 10트랙상에 형성된 한 개 비디오 프레임은 270버퍼 장치를 가진다. 바꾸어 말하면, 이미지가 한 개 프레임의 비디오 데이터에서 추출되는 무효 영역은 샘플되고 셔플됨으로써, 270 그룹(한 개 버퍼 장치)은 형성된다.
데이터 압축은 DCT, 양자화 및 각 버퍼 장치에 대한 가변 길이 인코딩 방법 에 의해 형성됨으로써, 발생된 코드량이 타겟 데이터 량을 충족하는지 적은지 여부를 결정한다. 이 발생된 데이터량이 타겟 데이터량이거나 보다 작은 양자화 단계는 결정된다. 상기 결정된 양자화 단계로서, 데이터는 인코딩되고, 그 결과의 인코딩 데이터는 한 개 버퍼 장치에 팩된다.
제 45도는 서보섹터의 구조를 도시하는 개략도이다. 오디오 섹터 및 비디오 섹터와 다르게, 서브코드 섹터의 프리앰블 및 포스트앰블은 프리동기 및 포스트 동기를 갖지 않는다. 서브 코드 섹터의 길이는 다른 섹터의 길이보다 긴데, 그 이유는 서브코드 섹터가 트랙의 마지막 부분에 배치되기 때문에, 상기 트랙 선단의 편차합계는 서브코드 섹터에 영향

을 끼친다. 제 46도에 도시된 바와 같이, 상기 서브코드 동기블록은 12바이트로 구성되는데, 상기 서브코드 동기블록의 첫번째 5바이트 구조는 프리동기블록, 오디오 동기블록, 및 비디오 동기블록의 구조와 동일하다. 상기 서브코드 동기블록의 다음에 5바이트 데이터부가 있다. 상기 서브코드 동기블록의 첫번째 10바이트는 팩을 이룬다.
상기 데이터부의 뒤에 데이터부를 방해하는 2 바이트의 수평 패리티(C1)가 있다. 오디오 데이터 및 오디오 데이터 및 비디오 데이터와 다르게, 소위 C1 및 C2를 갖는 제품 코드 구조는 서브코드에 이용되지 않는다. 이것은 상기 서브코드가 고속 검색동작에 이용되기 때문이다. 따라서, C1패리티에 따라 C2패리티를 재생하는 속도가 있다. 또한, 서브코드가 다른 코드의 속도보다 약 200배 빠른 속도에서 검색되기 때문에, 상기 동기길이는 12바이트 만큼 작다. 상기 서브코드 동기 블록이 트랙당 12동기 블록으로 구성되고, ' 24 대 25' 변환을 실행한 후 기록되기 때문에, 서브 코드섹터의 전체 비트 길이는 다음과 같다.
12 X 12 X 8 X 25 / 24 = 1200 비트
디지털 VCR 포맷 II.
제 47도에 도시된 바와 같이, 비디오 트랙은 제 1 방법과 비슷한 방법으로 자기테이프 상에 형성된다(제30도). 각 트랙의 처음에, ITI 영역이 형성된다. 이 ITI 영역의 다음에 오디오 영역, 비디오영역, 및 서브코드영역이 있다. 상기 ITI 영역은 기록후 동작이 확실하게 실행되는 타이밍 블록이다. ITI영역후의 데이터가 기록후 동작에 의해 재기록될 때, ITI영역은 데이터를 정확하게 배열하는데 이용된다. 오디오 영역에, 이 오디오 데이터가 기록된다. 비디오 영역에서, 이 압축 비디오 데이터는 기록된다. 서브 코드 영역은 고속 검색 동작에 이용된다. NTSC 시스템에 해당하는 데이터가 기록될 때, 한 개 비디오 프레임은 10 개 트랙 상에 기록된다.
제48도 및 49도는 오디오 영역의 구조를 도시하는 개략도이다. 제50도에 도시된 바와 같이, 한 개 동기 블록은 90 바이트로 구성된다. 상기 데이터부의 첫번째 5 바이트는 프리동기 및 포스트동기이다. 이 데이터부는 77 바이트로 구성된다(72 바이트의 오디오 데이터 및 5 바이트의 AAUX 데이터). 이 데이터부는 수평 패리티(C1) 및 수직 패리티(C2)(5 동기 블록)에 의해 보호된다.
제49도에 도시된 바와 같이, 한 개 트랙은 14 동기 블록을 갖는다. 상기 데이터부의 첫번째 5 바이트는 팩을 이루고, AAUX 데이터에 이용된다.
제50도 및 51도는 비디오 데이터의 데이터 구조를 도시하는 개략도이다. 비 디오 영역의 한 개 동기 블록은 90 바이트로 이루어진다. 데이터부의 첫번째 5 바이트는 프리동기 및 포스트동기이다. 이 데이터부는 77 바이트로 이루어진다. 제50도 및 51도에 도시된 바와 같이, 이 데이터부는 수평 패리티(C1)(8 바이트 1 및 수직 패리티(C2)(11 동기 블록)에 의해 보호된다.
제51도에 도시된 바와 같이, 비디오 섹터의 149 동기 블록은 수직으로 배치된다. 상부 2개 동기 블록 및 C2 패리티 앞에 있는 2개의 동기 블록은 VAUX 데이터에 이용된다. VAUX 데이터 및 C2 데이터 이외의 비디오 섹터 중 나머지는 비디오 데이터를 기억한다. 제29도에서, 비디오 섹터의 중심부에 135 동기 블록은 비디오 신호의 기억 영역에 이용된다. 제51도에서, BUF0 내지 BUF26은 버퍼 장치를 나타낸다. 한 개 버퍼링 장치는 5 개의 동기 블록으로 구성된다(한 개 트랙은 27 개 버퍼링 장치를 가지고, 10 트랙인 한 개 비디오 프레임은 270 개 버퍼링 장치를 가진다). 다르게 말해서, 이미지 부호 영역은 한 개 프레임의 이미지 데이터에서 추출되고 270 그룹을 형성하기 위해 샘플링되는데, 각 그룹은 한 개 버퍼링 장치가 된다.
데이터 압축은 DCT, 양자화, 및 각 버퍼링 장치에 대한 가변길이 인코딩 방법에 의해 실행됨으로써, 상기 발생된 부호량이 타겟 데이터 량을 충족하는지 여부를 결정한다. 이 발생된 데이터량이 타겟 데이터량이거나 적은 양자화 단계는 결정된다. 결정된 양자화 단계로서, 데이터는 인코딩된다. 이 결과로 인코딩된 데이터는 5 동기 블록인 하나의 버퍼링 장치에 팩된다.
제52A도는 12 동기 블록(제52B도)으로 이루어지는 서브 코드 영역의 구조를 도시하는 개략도이다. 한 개 동기 블록이 12 바이트로 이루어지기 때문에, 상기 서브 코드 영역의 한 개 동기 블록은 각각의 비디오 영역 및 오디오 영역의 한 개 동기 블록보다 작다. 이것은 고속 검색 동작이 빠르게 실행될 필요가 있기 때문이다. 동기 블록의 처음에서, 1 바이트의 프리 동기 및 1 바이트의 포스트 동기는 배치된다. 그후, ID0 및 ID1 용 패리티인 IDP 및 ID0 및 ID1 으로 이루어진 ID 데이터는 배치된다. 그후, 5 바이트의 주요 데이터 영역은 배치되고, 그후, 2 바이트의 패리티가 배치된다. 그 주요 데이터 영역은 시간 코드같은 고속 검색 동작에 필요한 데이터를 기억한다(기록 날짜 및 시간).
제52C도 및 52D도에 도시된 바와 같이, ID0 는 고속 동작에서 번지를 검출하는 F/R 플래그를 갖는다. 또한, 제52C도에 도시된 바와 같이, 동기 블록(SB0 및 SB6)은 서브 코드의 데이터 구조를 나타내는 적용 ID 를 갖는다. 그후, 절대 트랙 번호는 ID1 과 동일한 위치에 배치된다. 다른 동기 블록에 있어서, 제52D도에 도시된 바와 같이, F/R 플래그는 배치된다. 그후, 인덱스 ID, 스킵 ID, 및 사진 ID 가 배치된다. 그후, 절대트랙 번호는 ID1 과 동일한 위치에 배치된다. ID1 은 절대 트랙 번호 및 동기 번호를 가진다.
제53도에 도시된 바와 같이, 오디오 영역의 보조 데이터(AAUX), 비디오 영역의 보조 데이터(VAUX), 서브 코드 데이터, 및 메모리(도시 안됨)가 갖는 카세트의 데이터는 공통 팩 구조로 기록된다. 한 개 팩은 기본적으로 5 개 타입(PC0 내지 PC4)으로 구성된다. 팩의 제 1 바이트는 헤더이다. 팩의 나머지(4 바이트)는 데이터이다.
상기 헤더는 4 비트의 상부 헤더 및 4 비트의 하부 헤더의 2 계층 레벨을 가진다. 데이터의 비트 할당에 따라, 헤더는 저계층 레벨로 확장될 수 있다. 상기 계층에 따라, 상기 팩의 목차는 분명히 범위가 정해진다. 헤더의 계층 레벨은 쉽게 확장된다. 상부 헤더 및 하부 헤더로 구성된 256 스페이스는 팩의 목차에 따라 팩 헤더 테이블로서 준비된다. 팩 헤더 테이블을 이용하여 각 영역은 기록된다. 각 팩이 기본적으로 5 바이트로 구성될지라도, 문자가 메모리를 갖는 카세트에 기록될 때, 팩은 가변길이를 가진다.
제54도는 ID 신호를 기억하는 VAUX 데이터의 TR 팩 구조를 도시하는 개략도이다. TR 팩에서, 헤더 바이트(PCO)는 66h 이다. 데이터 타입은 4 바이트로 이루어지고, 데이터 타입은 각 신호를 식별하고, 다음과 같이 정의된다.

0000 = VBID
0001 = WSS
0010 = 라인(22) 상에 EDTV-2
0011 = 라인(258) 상에 EDTV-2
0100 = 정보 없음
다른 것 = 정의 안됨
EDTV-2 신호가 기록될 때, 상기 기술된 바와 같이, 라인(22 및 285) 상의 ID 신호 데이터는 TR 팩에 기억된다. 이 데이터부는 28 비트로 이루어진다. 데이터부의 15B 는 수평 주기 신호측 상에 위치된다.
제55도는 색 위상 정보를 기억하는 VAUX 데이터의 소스 팩 구조를 도시하는 개략도이다. 소스 팩에서, 헤더 바이트(PC0)는 60h이다. PC1 에서, 색 프레임 ID 코드(CLF)는 기억된다. NTSC(525/60) 시스템에서, 색 프레임 ID 코드(CLF)는 다음과 같이 정의된다.
00 = 색프레임 A 01 = 색프레임 B
다른 것 = 보존
상기 NSTC(625/50)시스템에서, 색프레임 ID 코드는 다음과 같이 정의된다.
00 = 제 1 및 제 2 필드
01 = 제 3 및 제 4 필드
10 = 제 5 및 제 6 필드
11 = 제 7 및 제 8 필드
제56도는 종횡비 정보를 기억하는 VAUX 데이터의 소스 제어 팩 구조를 도시하는 개략도이다. 소스 제어 팩에서, 헤더 바이트(PC0)는 61h 이다. PC2 는 디스플레이 선택 모드(DISP)를 정의한다. 디스플레이 선택 모드(DISP)에 따라서, 상기 종횡비는 다음과 같이 정의된다.
000 = 4:3 정상
001 = 4:3 레터박스
010 = 16:9
B. 재생
본 발명의 재생 처리는 이제 토론될 것이다. 이 토론은 디지털 VCR 의 설명으로 시작하여 각 실시예의 재생 처리에 대한 설명으로 끝낼 것이다.
1. 디지털 신호 재생 VCR
기록된 비디오 신호가 재생될 때, 디지털 신호 재생 VCR 은 우선 기록 매체로부터 디지털 신호를 판독한다. 2 개 다른 디지털 신호 재생 VCR 은 PAL 플러스 및 EDTV-2 시스템에 적용할 수 있게 토론될 것이다.
a. 제 1 디지털 재생 VCR 의 토론
다음, 제57A도, 57B도 및 58도를 참조로, 본 발명에 따른 디지털 VCR 의 제 1 재생측의 구조는 토론될 것이다. 제57A도, B도에서, 헤드(500a 및 500b)의 출력 신호는 헤드 증폭기(502a 및 502b)에 의해 증폭된다. 헤드 증폭기(502a 및 502b)의 출력 신호 중 한 개는 스위치(504)에 의해 선택되어 등화기 회로(506)로 출력된다. 상기 등화기 회로(506)는 자기 기록/재생 동작에 위치하는 다양한 손실을 보상한다.
등화기 회로(506)의 출력 신호는 A/D 변환기(510) 및 클럭 추출 회로(508)에 제공된다. 상기 클럭 추출 회로(508)는 클럭 성분을 추출하고, A/D 변환기(510)는 추출된 클럭 성분에 따라 등화기 회로(506)의 출력 신호를 디지털화한다. 상기 A/D 변환기(510)는 1 비트 데이터를 FIFO(512) 메모리로 출력한다.
FIFO 메모리(512)의 출력 신호는 동기 패턴 검출 회로(514)에 제공된다. 상기 동기 패턴 검출 회로(514)는 스위치(516)를 통하여 다양한 영역의 동기 패턴을 받는다. 이 스위치(526)는 타이밍 회로(524)의 출력 신호에 따라 제어된다. 이 동기 패턴 검출 회로(514)는 소위 플라이휠(flywheel) 구조를 가지는데, 동기 패턴을 검출할 때, 동일한 동기 패턴이 미리 결정된 동기 블록 길이의 간격 후에, 수신 되는지 여부가 결정된다. 동일 동기 패턴을, 예컨대 3 번 이상 수신할 때, 동기 블록의 집적도를 유지하기 위해서 상기 수신된 동기 패턴은 정확하도록 결정된다. 동기 패턴을 검출할 때, 각 스테이지에서 한 개 동기 블록을 추출하는데 필요한 FIFO 메모리(512)의 시프트 양은 결정된다. 동기 패턴 검출 회로(514)의 출력 신호에 따라, 필요한 비트는 스위치(518)에서 동기 블록 고정 래치(520)로 제공된다. 따라서, 이 래치된 동기 번호는 동기 개수 추출 회로(522)에 의해 추출되어 타이밍 회로(524)로 출력된다. 수신된 동기 개수에 따라, 선택된 헤드의 트랙 위치는 얻어진다. 따라서 동기 개수에 따라, 스위치(516 및 526)는 제어된다.
ITI 섹터를 검출할 때, 스위치(526)는 낮은 위치에 위치된다. 분리 회로(528)는 ITI 동기 패턴은 스위치(526)에서 수신된 신호로부터 분리한다. 이 ITI 동기 패턴은 ITI 디코더(530)에 제공된다. ITI 영역이 인코딩되기 때문에, 인코딩될 때, 각 데이터(APT, SP/LP 및 PF)는 얻어질 수 있다. 이 얻어진 데이터는 외부 동작 키 패드(534)에 접속된 모드 처리 마이크로 컴퓨터(532)에 제공된다. 상기 모드 처리 마이크로컴퓨터(532)는 동작 모드 및 전체 장치의 설치를 지시하고, 기계적인 제어 마이크로컴퓨터(548) 및 신호 처리 마이크로컴퓨터(570)와 연관된 전체 장치를 제어한다.
A/V 섹터 또는 서브 코드 섹터를 검출할 때, 스위치(526)는 상부 위치에 위치된다. 각 선택기의 동기 패턴이 각 회로(536)에 의해 추출되는 경우에, 결과 신호는 '24 대 25' 비변환 회로(538) 및 디랜덤화 회로(540)에 제공된다. 그 결과 신호 데이터는 본래의 PAL 플러스 신호의 본래 데이터 순차를 가지고 에러 정정 회 로(542)에 제공된다.
에러 정정 회로(542)는 디랜덤화 회로(540)에서 수신된 데이터의 에러를 검출하여 정정하고, 에러 프레그를 정정할 수 없는 데이터에 가산한다. 이 정정 데이터는 스위치(544)로의 출력이다.
'AV ID 프리동기/포스트동기' 회로(546)는 A/V 선택기, 프리동기, 및 포스트 동기의 ID 위치를 처리한다. 상기 회로(546)는 동기 개수, 트랙 번호, 및 프리동기와 포스트 동기에 기억된 SP/LP 신호를 추출한다. 이 신호들은 타이밍 회

로(524)에 제공된다. 회로(546)의 출력 신호에 따라, 타이밍 회로(524)는 다양한 타이밍은 발생한다.
또한, 회로(546)는 적용 ID(AP1 및 AP2)를 추출하여 모드 처리 마이크로컴퓨터(532)로 출력한다. 추출된 AP1 및 AP2 에 따라, 모드 처리 마이크로 컴퓨터(532)는 수신된 비디오 신호의 포맷을 결정한다. AP1 및 AP2 = 000 일 때, 상기 모드 처리 마이크로컴퓨터(532)는 영역(2)이 이미지 데이터 영역인 것을 결정한다. 이 경우에, 디지털 VCR(106)은 '정상' 모드로 동작된다. 다르게, 경보 처리와 같은 경보 동작은 실행된다.
모드 처리 마이크로컴퓨터(532)는 수신된 SP/LP 데이터와 ITI 섹터에서 얻어진 데이터를 비교한다. ITI 영역의 TIA 영역에서, SP/LP 정보는 매 동기의 3 번 기록되어, '다수의 룰' 기법 같은 검출 기법에 따라 정확히 검출되게 한다. 또한, SP/LP 정보는 오디오 섹터 및 비디오 섹터의 4 개 동기로 기록되고, SP/LP 정보의 결정은 다시 '다수의 룰'에 따라 이루어진다. 따라서, SP/LP 정보의 실현성은 개 선된다. 불일치 할 때, ITI 영역에 기록된 데이터는 보조 절차에 이용된다.
제58도에 도시된 스위치(550)는 비디오 섹터의 재생 데이터를 비디오 데이터 및 VAUX 데이터로 분리한다. 에러 프레그에 따른 비디오 데이터는 세그먼트된 프레임을 디프레임화 하는 디프레임화 회로(552)에 제공된다.
이미지 데이터는 데이터 압축 코드 디코딩화부에 제공된다. 다르게, 이미지 데이터는 디양자화 회로(544) 및 압축 해제 회로(556)에 의해 본래 데이터로 복원된다. 그후, 결과 데이터는 디셔플링 회로(558) 및 디블록킹 회로(560)에 의해 본래의 이미지 배치에서 복원된다.
디셔플링 회로(558) 후에, 휘도 신호(Y)및 색차 신호(CR 및 CB)는 각각 처리된다. 이 신호는 D/A 변환기(562a, 562b, 및 562c)에 의해 아날로그 신호로 복원된다. 그 결과 신호는 단자(564a, 564b, 및 564c)로부터 출력된다.
스위치(572)는 오디오 섹터의 재생 데이터를 오디오 데이터 및 AAUX 데이터로 분리한다. 이 오디오 데이터는 디프레밍 회로(574)에 의해 디프레임화되고, 디셔플링 회로(576)는 오디오 데이터를 본래의 시간축으로 복원한다. 이 점에서, 필요하다면, 오디오 데이터는 에러 플래그에 따라 보간된다. 이 결과 신호는 아날로그 오디오 신호를 복원하는 D/A 변환기(578)에 제공된다. 그 결과 신호는 이미지 데이터 및 립(lip)동기의 타이밍에 따라 출력 단자(580)로부터 출력된다.
VAUX 데이터 및 AAUX 데이터는 스위치(550 및 572)에 의해 분리된 VAUX 회로(564) 및 AAUX 회로(568)에 제공된다. VAUX 회로(564) 및 AAUX 회로(568)는 에러 플래그를 기준으로 데이터를 재생하는 '다수의 룰'방법에 따라 프로세스마다 실행한다. 서브 코드 섹터의 1D 부 및 데이터부는 서브 코드 회로(566)에 제공된다. 이와 같이, 서브 코드 회로(566)는 에러 플래그를 참조로 '다수의 룰'에 따라 사전 프로세스를 실행한다. 서브 코드 회로(566)의 출력신호는 신호 처리 마이크로 컴퓨터(570)에 제공된다. 이 신호 처리 마이크로 컴퓨터(570)는 최종 판독 동작을 실행한다.
상기 디지털 재생 VCR 로써, 비디오 성분, 즉, 휘도 신호(Y, 및 색차신호(RY 및 BY)는 PAL 플러스 신호를 복원하는 PAL 플러스 재생 프로세스에 제공된다.

b. 제 2 의 디지털 재생 VCR 의 토론

다음, 제 2 의 디지털 재생 VCR 에 따라 자기 테이프 상에 기록되는 신호에 대한 재생 동작은 토론될 것이다. 제59도는 재생 디지털 VCR(106)의 구조예를 도시하는 블록도이다. 제59도에서, 헤드(600)의 재생신호는 재생 증폭기를 통하여 채널 디코더(602)에 제공된다. 이 채널 디코더(602)는 재생신호를 복조한다. 채널 디코더(602)의 출력신호는 에러 정정 회로(604)에 제공된다. 이 에러 정정 회로(604)는 채널 디코더(602)에서 제공된 신호에 대하여 에러 정정 프로세스를 실행한다. 이 에러 정정 회로(604)의 출력신호는 디멀티플렉서(606)에 제공된다.
이 디멀티플렉서(606)는 에러 정정 회로(606)로부터 오디오 영역의 재생 데이터, 비디오 영역의 재생 데이터, 및 서브 코드 영역의 재생 데이터로 제공된 신호를 디멀티플렉스한다.
이 오디오 데이터의 재생 데이터는 오디오 처리 회로(616)에 제공된다. 상기 오디오 영역의 재생 데이터에 대한 AAUX 데이터는 AAUX 디코딩 회로(612)에 의 해 검출된다. 이 AAUX 데이터는 제어기(622)에 의해 제어된다. 상기 오디오 처리 회로(616)는 시간축 변환 프로세스, 보간 프로세스 등을 실행한다. 상기 오디오 처리 회로(656)의 출력신호는 D/A 변환기(618)에 제공된다. D/A 변환기(618)의 출력신호는 출력 단자(620)에서 출력된다.
비디오 영역의 재생 데이터는 디프레임화 회로(608)에 제공된다. 비디오 영역의 재생 데이터에 대한 VAUX 데이터는 VAUX 디코딩 회로(610)에 의해 검출되어 제어기(622)에 제공된다.
WSS 데이터는 VAUX 데이터의 TR 팩의 PC1 에서 PC3 로 얻어진다. 이와 같이, 화이트 100% 기준 데이터는 PC4 에서 얻어진다. 상기 WSS 데이터는 출력 단자(624)에서 출력되어 WSS 신호 인코더(810)에 제공된다(제64도). 상기 100% 기준 데이터는 데이터 출력 단자(625)에서 출력되어 PAL 플러스 재생측 처리 회로(702)에 제공된다(제 60 도).
서브 코드영역의 재생 데이터는 서브 코드 디코딩 회로(614)에 의해 검출된다. 이 서브 코드 데이터는 제어기(622)에 제공된다.
디프레임화 회로(608)의 출력신호는 확장 회로(628)에 제공된다. 이 확장 회로(628)는 압축된 비디오 신호를 가변길이 부호 디코딩 프로세스 및 역 DCT 프로세스에 따라 타임영역의 최초 비디오 신호로 변환한다. 이 확장 회로(628)의 출력신호는 디셔플링 및 디블록킹 회로(630)에 제공된다. 이 디셔플링 및 디블록킹 회로(630)는 재생 성분 색상 비디오 신호(Y 및 C)를 출력한다. 이 신호(C)는 색차 신호(CB 및 CR)를 라인 순차에 의해 얻어진다. 또한, 보조신호는 신호(C)로 삽입 된다.
이 재생 성분 컬러 비디오 신호(Y 및 C)는 정보 가산 회로(632)에 제공된다. 이 정보 가산 회로(632)는 수평 동기 신호, 수직 동기 신호를 재생 성분 컬러 비디오 신호(Y 및 C)에 가산한다. 이 재생 휘도 신호(Y1 및 색신호(C)는 출력 단자(634 및 636)에서 출력된다. 이 경우에, 상기 기술된 바와 같이, 비디오 신호가 기록될 때, 무효 스크린부의 간격에서, 보조신호는 재생 휘도 신호(Y)에 삽입된다. 따라서, 무효 스크린부의 간격에서, 재생 휘도 신호(Y)는 보조신호를

포함한다.

2. PAL 플러스 재생 처리기

a. 제 1 실시예

다음, 디지털 VCR(106)에 의해 기록된 기록신호(PAL 펄스 신호)의 재생 프로세스가 기술될 것이다. 제61도는 본 발명의 제 1 실시예에 따라 재생측의 구조예를 도시하는 블록도이다. 디지털 VCR(106)의 재생 휘도 신호 출력 단자에서 출력되는 휘도 신호(Y)는 라인 제어기(712)에 의해 제어되는 스위치 회로(706)에 제공된다. 스위치 회로(706)에서 수신된 재생 휘도 신호(Y)는 스위치 회로(706)의 출력 단자(706b)로부터 Y/C 믹싱 회로(710)로 제공된다. 디지털 VCR(106)의 재생 색차 신호 출력 단자에서 수신되는 색차신호(CR 및 CB)는 색 변조 회로(724)에 제공된다. 이 색변조 회로(724)는 역차신호(CR 및 CB)를 컬러신호(C)로 바꾼다. 이 컬러신호(C)는 Y/C 믹싱 회로(710)에 제공된다. Y/C 믹싱 회로(710)의 출력 신호는 가산 장치(716)의 입력 단자에 제공된다.

디지털 VCR(106)에서 출력되는 WSS 신호 및 동기 신호는 WSS 검출 회로(708)에 제공된다. 이 디지털 VCR(106)은 TR 팩으로부터 WSS 신호를 판독한다. 이 WSS 검출 회로(708)는 WSS 신호를 검출하여, 이 검출된 WSS 신호를 WSS 재기록 회로(714)에 제공한다. 상기 WSS 재기록 회로(714)의 출력신호는 가산 장치(716)의 다른 입력 단자에 제공된다.

스위치 회로(706)의 출력 단자(706a)는 오프셋 제거 회로(718)를 통하여 보조신호 변조 회로(720)에 접속된다. 이 보조 신호 변조 회로(720)는 보조 신호로서 크로미넌스 서브 캐리어 신호를 변조한다. 이 보조 신호 변조 회로(720)의 출력신호는 가산 장치(716)의 압력 단자에 제공된다.

상기 WSS 검출 회로(708)의 다른 출력신호는 라인 카운터(712)에 제공된다. 이 라인 카운터(712)는 디지털 VCR(106)의 출력신호로부터 수평 동기신호 및 수직 동기 신호를 검출하여, 입력 비디오 신호의 라인 번호를 카운트한다. 이 스위치 회로(706b)는 카운트된 라인 번호에 따라 제어된다. 휘도 신호가 무효 스크린부의 간격으로 디지털 VCR(106)에 의해 재생되고 출력될 때, 휘도 신호는 보조신호로서 출력된다. 휘도 신호가 주요 스크린부의 간격으로 디지털 VCR(106)에 의해 재생되고 출력될 때, 휘도 신호는 휘도 신호(YL)로서 출력된다.

라인 카운터(712)는 수신된 라인 번호에 대응하는 주요 스크린 부 및 무효 스크린부를 구별하는 제어신호를 발생한다. 다르게, 상하 무효 스크린부의 간격으로, 스위치 회로(703)의 출력 단자(706a)가 선택된다. 주요 스크린부의 간격으로 동일한 방법으로, 스위치 회로(706)는 제어된다.

휘도 신호 무효 스크린부의 간격으로, 디지털 VCR(106)에서 수신될 때, 휘도 신호 스위치 회로(706)에 의해 선택되고, 오프셋 제거 회로(718)에 보조 신호가 제공된다. 이 오프셋 제거 회로(718)는 상기 신호에서 오프셋 레벨을 제거함으로써, 디지털 VCR(106)은 신호를 기록한다. 상기 결과신호는 오프셋 제거 회로(718)에서 출력되는 신호를 변조하는 보조신호 변조 회로(720)에 제공된다. 이 결과신호는 가산 장치(716)의 입력 단자에 제공된다.

휘도 신호 주요스크린부의 간격으로 디지털 VCR(106)에서 제공될 때, 휘도 신호 스위치 회로(706)에 의해 휘도 신호(Y)로써 선택된다. 이 결과 신호는 컬러 신호(C)와 휘도 신호(Y)를 혼합하는 Y/C 믹싱 회로(71)에 제공된다. 이 결과 신호는 가산 장치(716)의 다른 입력 단자에 제공된다.

가산 회로(716)는 보조신호 변조 회로(720)에서 수신된 신호 WSS 재기록 회로(714)에서 수신된 신호, 및 Y/C 믹싱 회로(710)에서 수신된 신호를 가산한다. 이 결과신호는 신호가 PAL 플러스 감시 장치에 출력되도록 출력 단자(722)에서 출력된다. 따라서, 디지털 VCR 의 포맷으로 기록된 PAL 플러스 신호는 재생되어 최초의 PAL 플러스 신호로 출력될 수 있다.

b. 제 2 실시예

제 2 실시예의 PAL 플러스 재생 처리기는 제62도에 도시되고, 제 1 실시예의 처리기와 비슷하다. 제 2 실시예의 상세한 토론은 제 1 실시예에 관하여 필히 토론되고 반복되지 않을 것이다. 제 1 및 제 2 실시예의 재생 처리기사이의 차이점은 제 2 실시예가 보조 변조기(720)를 구비하지 않았다는 점이다. 보조신호가 기 록측 상에 복조되지 않았기 때문에, 보조신호는 재생 측 상에서 변조되지 않는다.

c. 제 3 실시예

제63도는 제 3 실시예에 따른 PAL 플러스 재생 처리 회로(106)의 구조를 도시하는 블록도이다. 제63도에서, 재생 회로 신호(Y)는 입력 단자(742)에 제공된다. 또한, 재생된 색차신호(CR 및 CB)는 입력 단자(744 및 746)에 제공된다. 또한, 종횡비 정보 및 보조신호가 존재하는지 여부를 나타내는 데이터는 데이터 입력 단자(748)에 제공된다.

상기 입력 단자(742)에서 수신된 재생 휘도 신호는 스위치 회로(750)에 제공된다. 또한, Y 입력신호의 동기신호는 동기 신호 분리 회로(752)에 의해 검출된다. 입력 단자(744 및 746)에서 수신되는 재생된 색차신호(CR 및 CB)는 변조 회로(760)에 제공되어, 색차신호(CR 및 CB)에서부터 크로마 신호를 발생한다. 이 변조 회로(760)의 출력신호는 스위치 회로(762)에 제공된다.

동기 신호 분리 회로(752)의 출력신호는 라인 번호를 디코딩하는 라인 디코더(754)에 제공된다. 이 라인 디코더(754)의 출력신호는 스위치 제어 회로 및 WSS 신호 발생 회로(758)에 제공된다. 이 스위치 제어 회로(756)는 주요 스크린부 및 무효 스크린부중 한 개를 선택하는 스위치 제어 신호를 발생한다. 이 스위치 제어신호는 스위치 회로(750 및 762)에 제공된다. 이 스위치 회로(750 및 762)는 스위치 제어 신호에 따라 메인 스크린부 및 무효 스크린부중 한 개를 선택한다. 상기 스크린의 중앙에서 메인 스크린부를 선택할 때, 상기 스위치 회로(750)는 단자(750A)위치에 위치되고, 스위치 회로(762)는 턴온된다. 상하 무효 스크린부가 선택될 때, 스위치 회로(750)는 단자(750B)위치에 위치되고, 스위치 회로(762)는 턴오프된다.

메인 스크린부가 선택될 때, 상기 스위치 회로(750)는 단자(750A)위치에 위치되고, 입력 단자(742)의 신호는 스위치 회로(750)를 통하여 가산 회로(764)에 제공된다. 메인 스크린부를 선택할 때, 스위치 회로(762)는 턴온된다. 따라서, 크로마 신호(C)는 변조 회로(760)에서 가산 회로(764)로 제공된다. 상기 가산 회로(764)는 휘도 신호 및 크로마 신호

를 가산한다. 가산 회로(764)의 출력신호는 가산 회로(766)에 제공된다.
무효 스크린부를 선택할 때, 보조신호는 입력 단자(742)에 제공된다. 이 보조 신호는 스위치 회로(750)를 통하여 오프셋 제거 회로(768)에 제공된다. 이 오프셋 제거 회로(768)는 오프셋을 제거한다. 상기 오프셋 제거 회로(768)의 출력신호는 변조 회로(770)에 제공된다. 이 변조 회로(770)는 보조신호를 변조하여, 이 변조된 신호를 가산 회로(766)에 출력한다.
데이터 입력 단자(748)에서 수신된 데이터는 WSS 신호 발생 회로(758)에 제공된다. 상기 신호 발생 회로(758)는 라인 디코더(754)의 출력 신호를 수신한다. 이 WSS 신호 발생 회로(758)는 라인(23)에 대하여 WSS 신호를 발생한다. 상기 WSS 신호 발생 회로(758)의 출력신호는 가산 회로(772)에 제공된다.
이 가산 회로(772)는 WSS 신호를 라인(23)에 가산한다. 상기 WSS 신호를 라인(23)에 가산할 때, 라인(23) 상에 재생 신호가 기본 레벨에 있기 때문에, 데이터가 정확히 가산될 수 있다. 가산 회로(774)의 출력신호는 출력 단자(774)에서 출 력된다. 이 출력 단자(774)의 출력신호는 PAL 플러스 비디오 신호이다. 따라서, 이 신호가 PAL 플러스 TV 수상기(704)에 제공될 때, 재생 이미지는 고화질로서 와이드 스크린에 디스플레이된다.

d. 제 4 실시예

ⅰ. PAL 플러스 재생 처리기

제64도는 상기 기술된 디지털 VCR(106)에서 출력되는 재생 PAL 플러스 신호를 처리하는 실시예의 전체 구조를 도시하는 블록도이다. 디지털 VCR(106)의 출력 단자(116)는 라인 순차 보간 회로(806)에 접속된다. 이 라인 순차 보간 회로의 CB/보조 신호 출력 단자 및 CR 출력 단자는 PAL 플러스 재생측 처리 회로(808)의 입력 단자(830 및 832)에 접속된다. 디지털 VCR(106)의 출력 단자(115)는 PAL 플러스 재생측 처리회로(808)의 입력 단자(834)에 접속된다. 디지털 VCR(106)의 데이터 출력 단자(804)는 회로(808)의 데이터 입력 단자(836)에 접속된다. 디지털 VCR(106)의 데이터 출력 단자(802)는 WSS 인코더(810)에 접속된다. 이 인코더(810)는 가산 장치(818)의 입력 단자 중 한 개에 접속된다.
보조 컬러 모드 제어 회로(812)는 회로(808)의 입력 단자(838) 및 WSS 신호 인코더(810)에 접속된다. 상기 PAL 플러스 재생측 처리 회로(808)의 출력 단자(840, 842, 및 844)는 D/A 변환기(814a, 814b, 및 814c)에 접속된다. 이 변환기(814a)는 PAL 인코더(816)의 Y 신호 입력 단자에 접속된다. 상기 D/A 변환기(814b)는 PAL 인코더(816)의 B-Y/보조 신호 입력 단자에 접속된다. 상기 D/A 변환기(814c)는 PAL 인코더(816)의 R-Y 입력 단자에 접속된다.
상기 PAL 인코더(816)의 Y 신호 출력 단자는 가산 장치(818)의 다른 입력 단자에 접속된다. PAL 인코더(816)의 C/보조 신호 출력 단자는 Y/C 믹싱 회로(820)의 C/보조 신호 입력 단자 및 Y/C 분리 출력 단자(822)의 C 출력 단자에 접속된다. 상기 가산 장치(818)는 Y/C 믹싱 회로(820)의 신호 입력 단자 및 Y/C 분리 출력 단자(822)의 출력 단자(824)에 접속된다. Y/C 믹싱 회로(820)의 합성 신호 출력 단자는 출력 단자(828)에 접속된다.
디지털 VCR(106)의 출력 단자에서 출력되는 재생 휘도 신호(Y)는 처리 회로(808)의 입력 단자(834)에 제공된다. 출력 단자(800)에서 제공된 재생 휘도 신호(Y)는 동기 신호 분리 회로(도시 안됨)에 제공된다. 이 동기 신호 분리 회로는 재생된 휘도 신호(Y)에서 수직 동기 신호 및 수평 동기 신호를 추출한다. 이 추출된 동기 신호는 전체 장치를 제어하는 라인 카운터에 제공된다. 이 라인 카운터는 라인의 개수를 카운트한다.
디지털 VCR(106)의 출력 단자(801)에서 출력되는 재생 색신호(C)는 라인 순차 보상 회로(806)에 제공된다. 이 결과 색신호(C)는 상기 라인 카운터에서 출력되는 카운트 값에 따라 상기 회로(806)에 의해 색차 신호(CB) 및 (CR)로 나누어진다. 이 색차 신호(CB)는 상기 회로(808)의 입력 단자(830)에 제공된다. 상기 색차신호(CR)는 입력 단자(832)에 제공된다.
화이트 100% 기준 데이터는 디지털 VCR(106)의 데이터 출력 단자에서 출력된다. 이 화이트 100% 기준 데이터는 TR 팩(제3도에 도시)의 PC4 에 기록되고 상기 회로(808)의 데이터 입력 단자(836)에 제공되는 8 비트 디지털 데이터이다.
이 WSS 데이터는 디지털 VCR(106)의 데이터 출력 단자(801)에서 출력된다. 이 WSS 데이터는 제23도에 도시된 TR 팩의 PC1 내지 PC3 의 60 내지 613 에 기록된 도시된 TR 팩의 PC1 내지 PC3 의 b0 내지 b13 에 기록된 14 비트 디지털 데이터이다. 상기 WSS 데이터는 추출되어, WSS 데이터를 인코딩하는 WSS 인코더(810)에 제공함으로써, PAL 시스템에 따라 텔레비전 수상기에 의해 인식될 수 있다. 상기 WSS 인코더(810)는 보조 신호의 기준 신호를 발생한다. 상기 WSS 신호 및 기준 신호는 라인(23)에 따른 위치에서 출력되고 스위치 회로(818)의 입력 단자(818a)에 제공된다.
상기 회로(812)에서 수신된 보조 컬러 신호는 상기 회로(808)의 입력 단자(838)및 WSS 인코더(810)에 제공된다. 제15도에 도시된 기록측 구조의 보조 컬러 모드 제어 회로(206)로서, 상기 보조 컬러 모드 제어 회로(812)는 외부 입력 신호에 따라 보조 기능을 턴오프한다(다수 말로, PAL 플러스 시스템에 따른 수직 해상도 보상 기능이 불가능).
이 기능은 PAL 플러스 비디오 신호가 PAL 플러스 시스템에 해당하지 않는 PAL 텔레비전 수상기에 의해 디스플레이될 때 특히 중요하다. PAL 텔레비전 수상기의 종횡비는 12:9(4:3)인 반면, PAL 플러스는 16:9 의 종횡비를 갖는다. 이 비디오 신호가 PAL 플러스 텔레비전 수상기에 의해 디스플레이될 때, 제29A도에 도시된 바와 같이, 비디오 신호는 상하 무효 스크린부가 배치되는 레터 박스형 스크린에 디스플레이된다. 상기 보조 신호는 상하부화 스크린부에 삽입된다. 이 보조신호는 무효 스크린부상의 색 깜박임 같은 이미지 불량으로써 디스플레이된다.
이 경우에, 보조 기능은 보조 컬러 모드 제어 회로(812)에 의해 턴오프된다. 따라서, PAL 플러스 재생측 처리 회로(808)는 무효 스크린부 간격으로 재생된 회로 신호(Y)의 레벨을 디지털 값 '16'(즉, 기본 레벨)으로 변경하고, 상기 보조 신호가 디지털 값 '128'로 삽입되는 재생된 색차신호(CB 및 CR)의 레벨(즉, 무색 레벨)로 바뀐다. 또한, 상기 WSS 인코더(810)는 라인(23) 상의 신호를 뮤트하는데, 상기 WSS 신호는 디지털 값 '16'의 레벨로 삽입된다. 따라서, 상기 보조 킬러기능은 상하 무효 스크린부의 스크린 고장을 예방한다.

또한, 상기 보조 킬러 기능은 PAL 플러스 TV 수상기에 의해 재생되는 기록신호의 나쁜 것 같은 특이한 경우에 상기 보조 신호에 따른 수직 해상도 보상 기능이 효과적이지 않은 경우에 이용될 수 있다.

ⅱ. PAL 플러스 재생측 처리 회로

제65도는 상기 회로(808)의 구조에 대한 일예를 도시하는 블록도이다. 이 회로는 보조 기능을 수행하고, 화이트 100 % 기준 신호를 라인(623)에 삽입하고, 휘도 신호(Y)에 삽입된 보조 신호를(비디오 신호가 기록될 때) 재생 색차 신호(CB)에 삽입한다. 또한, 이 회로는 보조 신호에 가산된 DC 설정값을 제거한다.

입력 단자(834)는 보조 컬러 회로(848) 및 DC 레벨 시프트 회로(856)에 포함된 스위치 회로(850)의 입력 단자(850a)에 접속되는 지연 회로(846)에 접속된다. 상기 DC 레벨 변경 시프트 회로(856)는 진폭 증폭 회로(858) 및 스위치 회로(860)의 입력 단자(860a)에 접속된다. 상기 진폭 증폭 회로(858)는 스위치 회로(860)의 입력 단자(860b)에 접속되고, 스위치 회로(860)의 공통 출력 단자는 스위치 회로(862)의 입력 단자에 접속된다.

입력 단자(830)는 스위치 회로(862)의 입력 단자(862a)에 접속된다. 스위치 회로(862)의 공통 출력 단자는 보조 컬러 회로(848)에 포함된 스위치 회로(852)의 입력 단자(852a)에 접속된다. 입력 단자(832)는 보조 컬러 회로(848)에 포함된 스위치 회로(854)의 입력 단자(854a)에 접속된다.

이 보조 컬러 회로(848)는 스위치 회로(850, 852, 및 854)를 구비한다. 스위치 회로(850, 852 및 854)의 입력 단자(850b, 852, 및 854b)는 각 디지털 레벨 소스에 접속된다. 입력 단자(850b)는 디지털 레벨 소스 '16'에 접속된다. 입력 단자(852b 및 854b)는 디지털 레벨 소스 '128'에 접속된다.

보조 컬러 회로(848)에 포함된 스위치 회로(850)의 공통 출력 단자는 화이트 레벨 기준 회로(864)에 포함되는 스위치 회로(868)의 입력 단자(868a)에 접속된다. 스위치 회로(868)의 입력 단자(868a)에 접속된다. 스위치 회로(868)의 공통 출력 단자는 출력 단자(840)에 접속된다. 스위치 회로(868)의 입력 단자(868b)는 레지스터(870)에 접속되고, 스위치 회로(852)의 공통 출력 단자는 출력 단자(842)에 접속되고, 스위치 회로(854)의 공통 출력 단자는 출력 단자(844)에 접속된다.

상기 PAL 플러스 재생측 처리 회로(808)는 라인 카운터(872)를 포함한다. 이 라인 카운터(872)는 수직 동기 신호, 수평 동기 신호, (상기 동기 신호 분리 회로에서 제공된) 및 시스템 클럭(전체 장치 제어)에 따라 비디오 신호의 라인 개수를 카운트하여, 상기 카운트 값에 따라 제어되는 다음 회로에 상기 카운트 값을 출력한다.

보조 컬러 회로(848)에 포함된 스위치 회로(850, 852 및 840), 스위치 회로(862), 화이트 레벨 기준 회로(864)에 포함된 스위치 회로(868), 상기 라인 카운터(872) 대신에, 전체 장치를 제어하는 라인 카운터는 이용될 수 있다.

상기 재생 휘도 신호(Y)는 입력 단자(834)를 통하여 지연 회로(846)에 제공된다. 이 지연 회로(846)는 1/2 클럭 정확도를 갖는다.(즉, 시스템 클럭의 1/2 타이밍 정확도). 상기 지연 회로(846)는 재생된 휘도 신호(Y) 및 상기 회로(808)에 의해 발생된 재생된 색차 신호(CB 및 CR)의 타이밍 편차를 정정한다.

지연 회로(846)에서 출력되는 재생 휘도 신호(Y)는 보조 컬러 회로(848)에 포함된 스위치 회로(850)의 입력 단자(850a)에 제공된다. 지연 회로(846)에서 출력 재생 휘도 신호(Y)는 DC 레벨 시프트 회로(856)에 제공된다. 상기 기록 장치는 미리 결정된 DC 설정값에 따라 보조 신호를 무화 스크린부의 간격동안 재생 휘도 신호(Y)에 삽입한다. 이 DC 레벨 시프트 회로(856)는 기록하는 동안 가산된 설정값을 제거한다. 이 경우에, DC 레벨 시프트 회로(856)의 출력측에 배치된 스위치 회로(862)(이후에 기술)는 신호를 무효 스크린부의 간격으로 마지막 단에 제공한다. 따라서, DC 레벨 시프트 회로(856)에 있어서, 재생 휘도 신호(Y)의 DC 레벨이 전체적으로 시프트 될지라도, 아무런 문제점은 발생하지 않는다.

상기 DC 설정값이 제거되는 재생 휘도 신호(Y)는 스위치 회로(860)의 입력 단자(860a) 및 증폭 회로(858)에 제공된다. 이 증폭 회로(858)는 재생 휘도 신호(Y)의 진폭을 증폭함으로써, 그 진폭은 본래의 진폭과 동일하다. 예컨대, 휘도 신호(Y)가 비디오 신호를 기록할 때 1/2 의 증폭 인자로 증폭되는 경우, 진폭 증폭 회로(858)는 2 의 증폭 인자로 재생 휘도 신호(Y)를 증폭한다. 증폭 회로(850)의 출력 신호는 스위치 회로(860)의 입력 단자(860)에 제공된다.

상기 기술된 바와 같이, 비디오 신호를 기록할 때, DC 설정값을 진폭 증폭 회로(858)의 증폭 인자에 따라 지시된다. 따라서, 라인(23)에 보낸 보조 신호의 레벨을 검출함으로써, DC 설정값 및 증폭 인자는 얻어질 수 있다.

스위치 회로(860)는 외부 소스에서 제공된 모드 제어 입력 신호에 따라 제어된다. 입력 단자(860a)를 선택할 때, 상기 재생 휘도 신호(Y)는 직접 DC 레벨 변경 회로(858)에서 스위치 회로(860)의 공통 출력 단자로 제공된다(즉, 재생 휘도 신호(Y)는 증폭되지 않는다). 다른 한편, 입력 단자(860b)를 선택할 때, 증폭되는 재생 휘도 신호(Y)는 진폭 증폭 회로(858)를 통하여 스위치 회로(860)의 공통 출력 단자에 제공된다.

DC 설정값을 제거하고 증폭하는 재생 휘도 신호(Y)는 스위치 회로(860)의 공통 출력 단자에서 스위치 회로(862)의 입력 단자(862b)로 제공된다. 이 재생된 색차 신호(CB)는 입력 단자(832)를 통하여 스위치 회로(862)의 입력 단자(862a)에 제공된다. 상기 스위치 회로(862)는 라인 카운터(872)의 카운트 값에 따라 제어된다. 무효 스크린부의 간격으로 입력 단자(862b)는 선택되고, 메인 스크린부의 간격으로, 입력 단자(862a)는 선택된다.

다르게 말해서, 제2도를 참조로 라인(24 내지 59) 상의 상부 무효 스크린부의 간격으로, 출력 단자(862b)는 선택된다. 라인(60 내지 274) 상의 메인 스크린부의 간격으로, 출력 단자(862a)는 선택된다. 라인(275 내지 310) 상의 낮은 무효 스크린부의 간격으로, 출력 단자(862b)는 선택된다. 라인(336 내지 371) 상에 상부 무효 스크린부의 간격으로 출력 단자(862b)는 선택된다. 라인(372 내지 586) 상의 메인 스크린부의 간격으로 출력 단자(862a)는 선택된다. 라인(587 내지 682) 상의 낮은 무효 스크린부의 간격에서, 출력 단자(862b)는 선택된다.

스위치 회로(862)가 메인 스크린부 및 무효 스크린부의 간격으로 제어될 때, 상기 무효 스크린부의 간격으로 재생 휘도 신호(Y)에 삽입되는 보조 신호는 상기 무효 스크린부의 간격으로 재생 색차 신호(CB)에 삽입되고, 보조 신호가 무효 스크린부의 간격으로 삽입되는 재생 색차 신호(CB)는 스위치 회로(862)의 출력 단자에서부터 보조 컬러 회로에 포함된 스위치 회로(852)의 입력 단자에 제공된다.

상기 재생 색차 신호(CR)는 입력 단자(832)를 통하여 보조 킬러 회로(848)의 스위치 회로(854) 입력 단자(854a)에 제공된다.
상기 기술된 바와 같이, 보조 신호가 무효 스크린부의 간격으로 삽입되는 재생 휘도 신호(Y) 및 색차 신호(CB 및 CR)는 보조 킬러 회로(848)에 포함된 스위치 회로(850, 852 및 854)의 입력 단자(850a, 852a 및 854a)에 제공되고, 디지털 값 '16'은 스위치 회로(850)의 입력 단자(850b)에 제공되고, 디지털 값 '128'은 스위치 회로(852 및 854)의 입력 단자(852b 및 854b)에 제공된다.
보조 컬러 신호는 보조 킬러 제어 회로(812)에서 입력 단자(838)를 통하여 보조 킬러 회로(848)에 제공된다. 이 보조 킬러 기능은 보조 킬러 신호에 따라 턴온 및 턴오프된다. 이 스위치 회로(850, 852 및 854)는 보조 킬러 신호와 라인 카운터(872)의 카운터값에 따라 제어된다.
보조 킬러 기능을 턴온할 때, 스위치 회로(850, 852 및 854)는 라인 카운터(872)의 카운터값에 따라 제어된다. 무효 스크린부의 간격으로 스위치 회로(850, 852 및 854)의 입력 단자(850b, 852b 및 854b)는 각각 선택된다. 메인 스크린부의 간격으로, 스위치 회로(850, 852 및 854)의 입력 단자(850a, 852a 및 854a)는 각각 선택된다.
바꾸어 말하면, 보조 킬러 기능이 라인(24 내지 59) 상의 상부 무효 스크린부의 간격으로 제2도를 참조할 때, 스위치 회로(850, 852 및 854)의 입력 단자(850b, 852b, 854b)는 선택된다. 라인(60 내지 274) 상의 메인 스크린부의 간격으로, 입력 단자(850a, 852a 및 854a)는 선택된다. 라인(275 내지 310) 상의 낮은 무효 스크린부의 간격으로 입력 단자(850b, 852b 및 854b)는 선택된다. 라인(336 내지 371) 상의 상부 무효 스크린부의 간격으로, 입력 단자(850b, 852b 및 854b)는 선택된다. 라인(336 내지 371) 상의 상부 무효 스크린부의 간격으로, 입력 단자(850b, 852b, 및 854b)가 선택되고, 라인(372 내지 586) 상의 메인 스크린부의 간격으로, 입력 단자(850a, 852a 및 854a)가 선택되고, 라인(587 내지 622) 상의 낮은 무효 스크린부의 간격으로 입력 단자(850b, 852b 및 854b)가 선택된다.
따라서, 무효 스크린부의 간격으로, 재생 휘도 신호(Y)의 레벨은 스위치 회로(850)의 입력 단자(850b)에 제공된 디지털 값 '16'의 레벨로 변화된다. 그 결과 신호는 스위치 회로(850)의 출력 단자에서 출력된다. 보조 신호가 삽입되는 재생 색차 신호(CB)의 레벨은 디지털 값 '128'의 레벨로 변화된다. 재생된 색차 신호(CR)의 레벨은 스위치 회로(854)의 입력 단자(854b)에 제공된 디지털 값 '128' 의 레벨로 변경된다. 그 결과 신호는 스위치 회로(852 및 854)의 출력 단자에서 출력된다.
메인 스크린부의 간격으로, 재생 휘도 신호(Y) 및 스위치 회로(850, 852 및 854)의 입력 단자(850a, 852a 및 854a)에 제공된 재생 색차 신호(CB 및 CR)는 출력 단자에서 직접 출력된다.
다른 한편, 보조 킬러 기능이 턴오프될 때, 스위치 회로(850, 852 및 854)는 라인 카운터(872)의 카운트 값에 따라 제어된다. 그 입력 단자(850a, 852a, 854a)는 반드시 선택된다. 따라서, 보조 신호가 무효 스크린부의 간격으로 삽입되는 재생 색차 신호(CB 및 CR) 및 스위치 회로에 제공된 재생 휘도 신호(Y)는 각 스위치 회로의 해당 공통 출력 단자에 직접 출력된다.
보조 킬러 회로(848)에 포함된 스위치 회로(852)의 공통 출력 단자에 출력되는 재생 색차 신호(CB)는 출력 단자(842)에 제공된다. 스위치 회로(854)의 공통 출력 단자에 출력되는 재생 색차 신호(CR)는 출력 단자(844)에 제공된다.
상기 재생 휘도 신호(Y)는 보조 킬러 회로(848)에 포함된 스위치 회로(850)의 공통 출력 단자에 출력된다. 이 결과 재생 휘도 신호(Y)는 화이트 레벨 기준 회로(864)에 포함된 스위치 회로(868)에 제공된다. 화이트 레벨 기준 회로(864)는 스위치 회로(868)(라인 카운터(872)의 카운트 값에 따라 제어된) 및 레지스터(870)를 구비한다.
화이트 100% 레벨 기준 데이터는 디지털 VCR 의 데이터 출력 단자(804)에서 데이터 입력 단자(838)를 통하여 레지스터(870)로 제공된다. 상기 기술된 바와 같 이, 상기 화이트 100% 레벨 기준 데이터는 비디오 신호를 기록할 때 제23도에 도시된 TR 팩의 PC4 에 기록된 8 비트 데이터이다. 상기 화이트 100% 레벨 기준 신호는 비디오 신호가 레지스터에 기록될 때 검출된 화이트 100% 레벨 값을 나타낸다.
화이트 레벨 기준 회로(864)에 포함된 상기 스위치 회로(868)는 라인 카운터(872)의 카운트 값에 따라 라인(623)의 간격으로 입력 단자(862b)를 선택한다. 다른 한편, 스위치 회로(868)는 다른 라인의 간격으로 입력 단자(868a)를 선택한다. 상기 방법으로 스위치 회로(868)를 제어함으로써, 재생 휘도 신호(Y)의 레벨은 라인(623) 상에 화이트 100% 레벨 기준 데이터로 변경된다.
화이트 100% 기준 데이터인 TR 팩 데이터의 PC4 값이 상기 비디오 신호가 기록될 때(FFh)(즉, PC4 의 모두 비트가 '1S'이다)인 경우에, 기준 데이터는 기록되게 않는다. 이 경우에, 화이트 100% 레벨을 나타내는 디지털 값 '213'은 레지스터(864)에 기록된다. 디지털 VCR(106)에 있어서, 재생 데이터의 신빙성이 매우 높기 때문에, 화이트 100% 레벨이 정확히 복원될지라도, 고화질로 재생될 수 있다.
외부 모드 제어 신호는 화이트 100% 레벨을 제어하기 위하여 모드 제어 입력 단자를 통하여 레지스터(870)에 제공된다. 모드 제어 신호가 레지스터(870)에 제공될 때, 디지털 값 '235'은 레지스터(870)에 기록된다.
PAL 플러스 재생측 처리 회로(808)의 출력 단자(840)에서 출력되는 재생 휘도 신호(Y), 무효 스크린부의 간격으로 보조 신호를 삽입하고 출력 단자(842)에서 출력된 재생 색차 신호(CB), 및 상기 출력 단자(844)에서 출력되는 재생 색차 신호(CR)는 D/A 변환기(814a, 814b 및 814c)에 제공된다. 이 신호들은 아날로그 신호로 변환되고, PAL 인코더(818)에 제공된다.
상기 PAL 인코더(818)는 재생 색차 신호(B-Y) 및 (R-Y)를 라인 순차하는 라인 순차 회로를 포함한다. 이 라인 순차된 신호는 변조되어 크로미네던스 신호(C)로써 출력된다. 라인(23)의 간격으로, 보조 기준 버스트 신호는 크로미네던스 신호(C)에 삽입된다. 또한, 무효 스크린부의 간격으로, 보조 신호는 크로미네던스 신호(C)에 삽입된다. 상기 크로미네던스 신호(822)의 출력 단자에 제공된다.
재생 휘도 신호(Y)는 PAL 인코더(818)에서 스위치 회로(818)의 입력 단자(818b)로 출력된다. 또한, 라인(23)과 같이 미리 결정된 위치에 배치된 WSS 인코더(810)에서 출력되는 WSS 신호 및 기준 신호는 스위치 회로(818)의 입력 단

자(818a)에 제공된다.
상기 스위치 회로(818)는 전체 장치를 제어하는 라인 카운터의 카운터값에 따라 제어된다. 라인(23)의 간격으로 입력 단자(818a)는 선택되고, 다른 라인 간격으로, 입력 단자(818b)가 선택된다. 따라서, PAL 인코더(818)에서 제공된 재생 휘도 신호(Y)는 라인(23)의 간격으로 WSS 인코더(810)에서 제공된 WSS 신호 및 기준 신호로 변경된다. 따라서, 재생 휘도 신호(Y)는 WSS 신호가 라인(23)에 삽입되는 PAL 펄스 신호로 복원된다. WSS 신호가 삽입되는 재생 휘도 신호(Y)는 스위치 회로(818)의 공통 출력 단자에서 Y/C 믹싱 회로(820)로 제공된다. 상기 재생 휘도 신호(Y)는 Y/C 분리 출력 단자(822)의 출력 단자(824)에 제공된다.
상기 재생된 휘도 신호(Y) 및 Y/C 믹싱 회로(820)에서 제공된 색차 신호(C) 는 PAL 플러스 합성 비디오 신호를 출력 단자(828)에 혼합되고 재생은 종료된다.

3. 제 5 실시예, EDTV-2 재생 처리기

제66도는 EDTV-2 시스템에 대한 재생 시스템의 구조를 도시하는 블록도이다. 디지털 VCR(106)은 비디오 성분(즉, 휘도 신호 Y, 및 색신호 CR, CB)을 EDTV-2 재생 처리기(900)로 출력한다. 상기 처리기는 비디오 성분으로부터 EDTV-2 신호를 재생하고, 상기 재생 신호를 EDTV-2 TV 스크린(902)으로 출력한다.

a. EDTV-2 디지털 재생 VCR

제67도는 디지털 VCR(106)의 재생 시스템(900)의 구조예를 도시하는 블록도이다. 헤드(904)의 재생 신호는 재생 증폭기(도시 안됨)를 통하여 채널 디코더(906)에 제공된다. EDTV-2 시스템에 대한 디지털 재생 VCR 의 구조는 제59도에 도시된 PAL 플러스 재생 디지털 VCR 과 동일하고, 디지털 VCR 의 간단한 토론은 반복될 것이다.
상기 채널 디코더(906)는 재생 신호를 복조하고, 이 복조 신호를 에러 정정 회로(908)로 출력한다. 이 에러 정정 회로(908)는 에러 정정 프로세스를 수행하고 이 정정 신호를 디멀티플렉서(910)로 출력한다.
상기 디멀티플렉스(910)는 에러 정정 회로(908)에서 제공된 신호를 오디오 영역의 재생 데이터, 비디오 영역의 재생 데이터, 및 서브 코드 영역의 재생 데이터로 디멀티플렉스한다.
상기 오디오 영역의 재생 데이터는 오디오 처리 회로(916)에 제공된다. 오디오 영역의 재생 데이터의 AAUX 데이터는 AAUX 디코딩 회로(918)에 의해 검출되 고, 제어기(903)에 제공된다. 상기 오디오 처리 회로(916)는 시간 축전환 프로세스, 보간 프로세스를 수행하고 나서, 이 처리된 오디오 신호를 D/A 변환기(922)로 출력한다. D/A 변환기(922)의 출력 신호는 출력 단자(924)에서 출력된다.
비디오 영역의 재생 데이터를 디프레임화 회로(912)에 제공된다. 비디오 영역에서 재생 데이터의 VAUX 데이터는 VAUX 디코딩 회로(914)에 의해 검출되며, 제어기(903)에 제공된다.
라인(22 및 285) 상의 ID 신호 데이터는 VAUX 데이터의 TR 팩에서 얻어진다. 상기 색위상 정보는 VAUX 데이터의 소스 팩에서 얻어진다. 상기 종횡비 정보는 AVUX 데이터의 소스 제어 팩에서 얻어진다. 이러한 형태의 정보는 데이터 출력 단자(940)에서 EDTV-2 재생 처리 회로(900)로 출력된다.
상기 서브 코드 영역의 재생 데이터는 서브 코드 디코딩 회로(920)에 의해 검출되고, 제어기(903)에 제공된다.
디프레임화 회로(912)의 출력 신호는 압축 비디오 신호를 가변 길이 부호/디코딩 프로세스 및 반전 DCT 프로세스에 의한 타임 영역의 블록 비디오 신호를 변환하는 확장 회로(926)에 제공된다. 확장 회로(926)의 출력 신호는 재생 성분 컬러 비디오 신호(Y, CR 및 CB)를 출력하는 디셔플링 및 디블록킹 회로(928)에 제공된다. 상기 재생 성분 컬러 비디오 신호(Y, CR 및 CB)는 수평 동기 신호, 수직 동기 신호를 가산하는 정보 가산 회로(930)에 제공되고, 재생 성분 컬러 비디오 신호(Y, CR 및 CB)에도 제공된다. 정보 가산 회로(930)의 출력 신호는 디지털 신호를 아날로그로 변환하고, 이 변환 신호를 출력 단자(934, 936 및 938)로 출력하는 D/A 변 환기(932)에 제공된다
EDTV-2 비디오 신호를 재생할 때, 본 실시예에 있어서, 4.2MHz 까지의 주파수에서 휘도 신호 및 4.2 MHz 에 6 MHz 까지의 주파수에서 고역 휘도 성분은 메인 스크린부에서 재생 휘도 신호에 가산된다. 무효 스크린부에서 재생 휘도 신호(Y)는 오프셋을 가산한 VT 및 VH 신호로 이루어진다. 상기 종횡비 정보, 색위상 정보, 및 데이터(VT, VH 의 신호 성분이 존재하는지 여부를 나타내는)는 데이터 출력 단자(940)로 출력된다. ID 신호가 배치되는 라인(22)이 무효 스크린 영역 바깥쪽에 있기 때문에, 라인(22) 상의 신호는 기초 레벨에 위치된다. 다른 한편, 라인(285)이 무효 스크린 영역에 있을지라도, 라인(285) 상의 신호는 VCR 의 기록 시스템의 마스킹 회로(458)에 레벨에 위치된다. 따라서, 비디오 성분은 EDTV-2 신호로 재생될 준비를 한다.

ii. EDTV-2 재생 처리기

제68도는 EDTV-2 재생 처리기(900)의 구조를 도시하는 블록도이다. 제68도에서, 재생 휘도 신호(Y)는 입력 단자(942)에 제공된다. 재생된 색차 신호(CR 및 CB)는 입력 단자(944 및 946)에 제공된다. 종횡비 정보, 컬러 위상 정보 및 VT, VH 및 HH 의 신호 성분이 존재하는 여부를 나타내는 데이터는 데이터 입력 단자(948)에 제공된다.
입력 단자(942)에서 수신된 재생 휘도 신호는 스위치 회로(950)에 제공된다. 입력 신호의 동기 신호는 동기 신호 분리 회로(952)에 의해 검출된다. 입력 단자(944 및 946)에서 수신된 재생 색차 신호(CR 및 CB)는 변조 회로(960)에 제공 된다. 상기 변조 회로(960)는 색차 신호(CR 및 CB)로부터 크로마 신호(C)를 발생하고, 이 변조 신호를 스위치 회로(962)로 출력한다.
동기 신호 분리 회로(952)의 출력 신호는 라인 디코더(954)에 제공된다. 상기 라인 디코더(954)는 라인 개수를 디코딩한다. 라인 디코더(954)의 출력 신호는 스위치 제어 회로(956) 및 ID 신호 발생 회로(958)에 제공된다. 상기 스위치 제어 회로(956)는 스위치 회로(950 및 962)를 제어함으로써 메인 스크린부 및 무효 스크린부 중 한 개를 선택하는 스위치 제어 신호를 발생한다. 스크린 중앙에 메인 스크린부가 선택될 때, 스위치 회로(950)는 단자(950A) 위치에 위치되고, 스위치 회로(962)는 턴온된다. 다른 한편, 상하 무효 스크린부를 선택할 때, 스위치 회로(950)는 단자(950B) 위치에 위치되고, 스위치 회로(962)는 턴오프된다.

메인 스크린부를 선택할 때, 스위치 회로(950)는 단자(950A) 위치에 위치된다. 입력 단자(942)의 입력 신호는 스위치 회로(950)를 통하여 가산 회로에 제공된다. 또한, 스위치 회로(962)는 턴온된다. 따라서, 변조 회로(960)에서 수신된 크로마 신호(C)는 휘도 신호(Y) 및 크로마 신호(C)를 가산하는 가산 회로(966)에 제공된다. 가산 회로(966)의 출력 신호는 부가 회로(968)에 제공된다.
무효 스크린부를 선택할 때, 스위치 회로(950)는 단자(950B) 위치에 위치된다. 입력 단자(942)의 입력 신호는 오프셋 제어 회로(964)에 제거된다. 상기 오프셋 제거 회로(964)는 오프셋을 제거하고, 이 변조 신호를 가산 회로(968)에 제공한다. 가산 회로(968)의 출력 신호는 가산 회로(970)에 제공된다.
데이터 입력 단자(948)의 입력 데이터는 라인 디코더(954)의 출력 신호를 수 신하는 ID 신호 발생 회로(958)에 제공된다. 이 ID 신호 발생 회로(958)는 라인(22 및 285)에 대한 신호를 발생한다. 다르게, 상기 ID 신호 발생 회로(958)는 종횡비를 나타내는 HRZ 신호, VT, VH 및 HH 의 신호 성분이 존재하는지 여부를 나타내는 ID 신호, 및 상기 수신 비디오 신호가 라인(22 및 285)에 대한 EDTV-2 비디오 신호인지 여부를 지시하는 2.04MHz 확인 신호를 발생한다. 상기 ID 신호 발생 회로(958)의 출력 신호는 가산 회로(970)에 제공된다.
가산 회로(970)는 종횡비를 나타내는 NRZ 신호, VT, VH 및 HH 의 신호 성분이 존재하는지 여부를 나타내는 ID 신호, 수신 비디오 신호가 라인(22 및 285)에 대한 EDTV-2 비디오 신호인지 여부를 식별하는 2.04MHz 식별 신호를 가산한다. 이점에서, 라인(22 및 285) 상의 재생 신호가 기본 레벨에 유지되기 때문에, 이러한 형태의 데이터는 정확하게 가산될 수 있다. 가산 회로(970)의 출력 신호는 출력 단자(972)로부터 얻어진다.
출력 단자(972)의 출력 신호는 EDTV-2 비디오 신호이다. 따라서, 이 신호가 EDTV-2 시스템에 따른 TV 세트에 제공될 때, 재생된 이미지는 고화질의 와이드 스크린 상에 디스플레이될 수 있다.
명백히, 본 발명의 변경 및 수정은 가능하며, 따라서, 첨부된 청구범위 내에서, 본 발명은 본원에 기술된 것과 다른 방법으로 실시될 수 있다는 것이 이해될 것이다.

(57) 청구의 범위

청구항 1.

휘도 신호(y) 및 크로미넌스(chrominance) 신호(c)를 포함하는 메인 스크린(main screen) 신호와 해상도 보상 신호(resolution compensation signal)인 보조 신호(helper signal)를 포함하는 무효(invalid) 스크린 신호를 포함하는 PAL 플러스 합성 텔레비전 신호(PAL plus composite television signal)를 기록 매체 상에 기록하는 텔레비전 신호 기록 장치(104)에 있어서,
상기 휘도 신호(y) 및 상기 크로미넌스 신호(c)를 상기 메인 스크린 신호로부터 분리하는 Y/C 분리 수단(110, 200)과,
상기 보조 신호와 상기 Y/C 분리 수단에 의해 분리된 상기 휘도 신호를 제 1 신호 라인 상에 결합하는 결합 수단(122, 254)과,
상기 Y/C 분리 수단에 의해 분리된 상기 크로미넌스 신호를 복조하여 제 2 신호 라인 상에 색차 신호를 출력하는 복조 수단(130, 212)과,
상기 제 2 신호 라인의 신호들과는 별개로 상기 제 1 신호 라인의 신호들을 디지털 방식으로 처리하여 압축하는 디지털 처리 수단(166)으로서, 상기 압축은 DCT 인코딩 방법을 이용함으로써 달성되는, 디지털 처리 수단(166)과,
상기 디지털 방식으로 처리되고 압축된 신호들을 상기 기록 매체 상에 디지털 방식으로 기록하는 디지털 기록 수단(106)과,
상기 보조 신호에 인접하게 배치된 라인들(60 내지 62 및 372 내지 374)에 대응하는 상기 합성 신호를 뮤트(mute)하고 상기 PAL 플러스 신호의 메인 스크린부 에서 DCT 압축 왜곡을 방지하는 뮤팅 수단(257)을 구비한 것을 특징으로 하는, 텔레비전 신호 기록 장치.

청구항 2.

제 1 항에 있어서,
상기 PAL 플러스 신호의 미리 결정된 수평 라인 상에 WSS 신호가 존재하는지를 검출하는 WSS 신호 검출 수단(114, 202)과 존재할 때 상기 WSS 신호를 래치(latch)하는 래칭 수단(252)을 더 구비하고, 상기 WSS 신호는 상기 보조 신호 및 종횡비 정보의 존재를 나타내는, 텔레비전 신호 기록 장치.

청구항 3.

제 2 항에 있어서,
상기 WSS 신호를 상기 기록 매체상의 디지털 팩(digital pack)에 재기록하는 재기록 수단(116, 204)을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 4.

제 3 항에 있어서,
상기 WSS 신호가 WSS 신호 검출 수단(114, 202)에 의해 검출될 때 상기 WSS 신호를 포함하는 라인을 뮤트(mute)하여, 상기 미리 결정된 수평 라인이 상기 기록 매체 상에 디지털 방식으로 기록되는 것을 방지하는 수단(257)을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 5.

제 3 항에 있어서,
상기 WSS 신호 후에 상기 PAL 플러스 신호의 상기 미리 결정된 수평 라인 상에 배치된 기준 버스트 신호(reference

burst signal)를 휘도 신호로서 처리되도록 상기 결합 수단에 출력하는 수단(254)을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 6.

제 5 항에 있어서,
상기 디지털 비디오 신호 기록 수단에 의한 기록을 위해 DC 오프셋을 상기 기준 버스트 신호에 가산하는 오프셋 가산 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 7.

제 2 항에 있어서,
상기 기록 매체상에 기억된 디지털 팩에 상기 PAL 플러스 신호의 제 2 미리 결정된 라인 상에 배치된 화이트 기준 신호(white reference signal)를 기억하는 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 8.

제 7 항에 있어서,
상기 화이트 기준 신호가 상기 디지털 팩에 기억된 때 상기 화이트 기준 신호를 포함하는 라인을 뮤트하는 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 9.

제 7 항에 있어서,
미리 결정된 조건에 응답하여 상기 보조 신호를 제거하는 보조 킬러 수단(244)을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 10.

제 9 항에 있어서,
상기 보조 신호를 상기 휘도 신호와 결합하기에 앞서 상기 보조 신호에 DC 오프셋을 가산하는 오프셋 가산 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 11.

제 10 항에 있어서,
상기 보조 신호, 상기 WSS 신호 및 메인 스크린 비디오 신호들간을 구별하기 위해 상기 PAL 플러스 신호의 라인 번호를 검출하는 라인 검출 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 12.

제 9 항에 있어서,
상기 보조 신호를 복조하고, 서브 캐리어로부터 상기 보조 신호를 분리하는 복조기 수단을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 13.

제 9 항에 있어서,
상기 휘도 신호 및 상기 색차 신호를 디지털 방식으로 변환하는 아날로그 디지털 변환기(214)와,
상기 아날로그 디지털 변환기로부터 출력된 휘도 신호 및 색차 신호를 정규화하는 수단(214)과,
상기 휘도 신호 및 상기 색차 신호가 상기 디지털 비디오 신호 기록 수단으로 출력되기 전에, 상기 정규화 수단으로부터 출력된 색차 신호를 처리하는 PAL 플러스 처리 수단(208)을 더 구비하는, 텔레비전 신호 기록 장치.

청구항 14.

제 13 항에 있어서,
상기 결합 수단(254, 258, 260)은 상기 PAL 플러스 처리 수단에 포함되고,
상기 무효 스크린부의 간격에 상기 색차 신호 및 보조 신호를 수신하는 입력 단자를 갖는 제 1 스위치(258)와,
상기 제 1 스위치의 제 1 출력(258b)을 증폭하는 증폭 수단(260)과,
상기 제 1 스위치의 제 2 출력(258a)에 접속된 입력과 상기 증폭 회로의 출력에 접속된 출력을 가지며, DC 오프셋 신호를 상기 제 1 스위치의 상기 제 2 출력에 가산하는 오프셋 가산 수단(262)과,
상기 오프셋 가산 수단의 출력(254b)과 상기 휘도 신호간을 스위칭하는 제 2 스위치(254)를 더 구비하며, 상기 보조 신호가 삽입된 휘도 신호가 상기 제 2 스위치에 의해 출력되는, 텔레비전 신호 기록 장치.

청구항 15.

제 14 항에 있어서,
상기 보조 킬러 수단은 상기 PAL 플러스 처리 수단에 포함되고,
상기 제 1 신호 라인과 고정된 디지털 레벨간을 스위칭하는 제 3 스위치와,
상기 색차 신호와 상기 고정된 디지털 레벨간을 스위칭하는 제 4 스위치를 더 구비하며,
상기 보조 킬러 수단이 인에이블될 때 상기 보조 킬러 수단은 상기 제 3 및 제 4 스위치를 상기 고정된 디지털 레벨로 설정하는, 텔레비전 신호 기록 장치.

청구항 16.

제 15 항에 있어서,
상기 PAL 플러스 처리 수단은 상기 제 1 신호 라인상의 신호들을 뮤트하는 뮤팅 회로를 포함하는, 텔레비전 신호 기록 장치.

청구항 17.

기록 매체에서 재생된 성분 신호를, 휘도 신호(y), 크로미넌스 신호(c)를 포함하는 메인 스크린(main screen) 신호와 해상도 보상 신호(resolution compensation signal)인 보조 신호(helper signal)를 포함하는 무효(invalid) 스크린 신호를 포함하는 PAL 플러스 합성 텔레비전 신호(PAL plus composite television signal)로 변환하는 텔레비전 신호 재생 장치에 있어서,
색차 신호들, 결합된 휘도 및 해상도 보상 신호를 포함하는 상기 성분 신호를, DCT 디코딩을 이용하는 데이터 복원 디코딩부를 포함하는 상기 기록 매체로부터 디지털 방식으로 재생하는 디지털 비디오 신호 재생 수단(808)과,
상기 해상도 보상 신호를 상기 휘도 신호로부터 분리하는 수단과,
상기 합성 신호를 재생하도록 상기 색차 신호들, 상기 휘도 신호 및 상기 분리된 해상도 보상 신호를 결합하는 수단(716)과,
상기 보조 신호에 인접하게 배치된 라인들(60 내지 62 및 372 내지 374)에 대응하는 상기 합성 신호를 뮤트(mute)하는 수단을 구비한 것을 특징으로 하는, 텔레비전 신호 재생 장치.

청구항 18.

제 17 항에 있어서,
상기 PAL 플러스 신호의 미리 결정된 수평 라인에 대응하는, WSS 신호를 포함하는 디지털 팩(pack)을 상기 디지털 비디오 신호 재생 수단으로부터 검색하는 WSS 신호 검출 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 19.

제 18 항에 있어서,
상기 디지털 팩 내의 WSS 신호를 상기 PAL 플러스 신호의 상기 미리 결정된 수평 라인에 재기록하는 재기록 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 20.

제 18 항에 있어서,
상기 디지털 팩으로부터 기준 버스트 신호를 추출하여, 상기 기준 버스트 신호를 상기 PAL 플러스 신호의 상기 미리 결정된 수평 라인 상에 위치시키는 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 21.

제 20 항에 있어서,
상기 추출된 기준 버스트 신호가 상기 PAL 플러스 신호 상에 위치될 수 있도록 상기 추출된 기준 버스트 신호로부터 DC 오프셋을 제거하는 오프셋 제거 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 22.

제 18 항에 있어서,
상기 디지털 팩으로부터 화이트 기준 신호를 검색하여 상기 화이트 기준 레벨을 상기 PAL 플러스 신호의 제 2 미리 결정된 수평 라인 상에 위치시키는 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 23.

제 22 항에 있어서,
미리 결정된 조건에 응답하여 상기 보조 신호를 제거하는 보조 킬러 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 24.

제 23 항에 있어서,
상기 보조 신호가 상기 재생된 PAL 플러스 신호에 삽입될 수 있도록 상기 보조 신호로부터 DC 오프셋을 제거하는 오프셋 제거 수단을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 25.

제 24 항에 있어서,
상기 보조 신호, WSS 신호 및 비디오 신호들간을 구별하기 위해 상기 PAL 플러스 신호의 라인 번호를 복호하는 라인 복호 수단(754)을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 26.

제 24 항에 있어서,
상기 보조 신호와 서브 캐리어를 변조하는 변조기 수단(770)을 더 구비하는, 텔레비전 신호 재생 장치.

청구항 27.

제 23 항에 있어서,
상기 휘도 신호 및 상기 색차 신호를 변환하는 디지털 아날로그 변환기(814)를 더 구비하는, 텔레비전 신호 재생 장치.

청구항 28.

제 27 항에 있어서,
상기 결합 수단은 상기 PAL 플러스 처리 수단(808)에 포함되고,
상기 휘도 신호(Y) 및 보조 신호를 수신하는 입력을 갖는 오프셋 제거 수단(856)과,
상기 오프셋 제거 수단의 출력을 증폭하는 증폭 수단(858)과,
상기 증폭 수단의 출력과 상기 오프셋 제거 수단의 출력간에 스위치 가능한 제 1 스위치(860)와,
상기 제 1 스위치의 입력과 색차 신호를 수신하는 입력간에 스위치 가능한 제 2 스위치(862)를 더 구비하는, 텔레비전 신호 재생 장치.

청구항 29.

제 28 항에 있어서,
상기 보조 킬러 수단(850)은 상기 PAL 플러스 처리 수단에 포함되고,
상기 결합된 휘도 및 보조 신호와 고정된 디지털 레벨간을 스위칭하는 제 3 스위치(850)와,
상기 색차 신호들과 고정된 디지털 레벨간을 스위칭하는 제 4 스위치(852, 854)를 더 구비하는, 텔레비전 신호 재생 장치.

청구항 30.

제 29 항에 있어서,
상기 PAL 플러스 처리 수단은, 상기 화이트 기준 레벨을 상기 PAL 플러스 신호의 상기 제 2 미리 결정된 수평 라인 상에 위치시키는 화이트 기준 회로를 더 구비하는, 텔레비전 신호 재생 장치.

청구항 31.

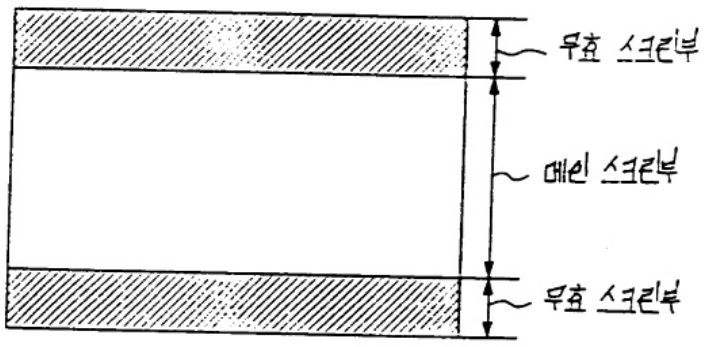
휘도 신호(Y), 크로미넌스(chrominance) 신호(c)를 포함하는 메인 스크린(main screen) 신호, 및 해상도 보상 신호(resolution compensation signal)인 보조 신호(helper signal)를 포함하는 무효(invalid) 스크린 신호를 포함하는 PAL 플러스 합성 텔레비전 신호(PAL plus composite television signal)를 기록 및 재생하는 텔레비전 신호 기록/재생 방법에 있어서,
수신된 합성 신호로부터 상기 휘도 신호와 상기 크로미넌스 신호를 분리하는 단계와,
상기 해상도 보상 신호를 상기 분리된 휘도 신호와 결합하는 단계와,
상기 크로미넌스 신호를 복조하여 색차 신호를 출력하는 단계와,
상기 해상도 보상 신호를 포함하는 휘도 신호와 2개의 색차 신호들로 이루어진 성분 신호를 입력하는 단계와,
기록 신호를 발생시키기 위해 DCT 인코딩 방법을 이용하여 상기 성분 신호를 디지털 방식으로 처리하여 압축하는 단계와,
상기 기록 신호를 기록 매체에 기록하는 단계와,
상기 보조 신호에 인접하게 배치된 라인들(60 내지 62 및 372 내지 374)에 대응하는 상기 합성 신호를 뮤트(mute)하는 단계를 구비한 것을 특징으로 하는, 텔레비전 신호 기록/재생 방법.

청구항 32.

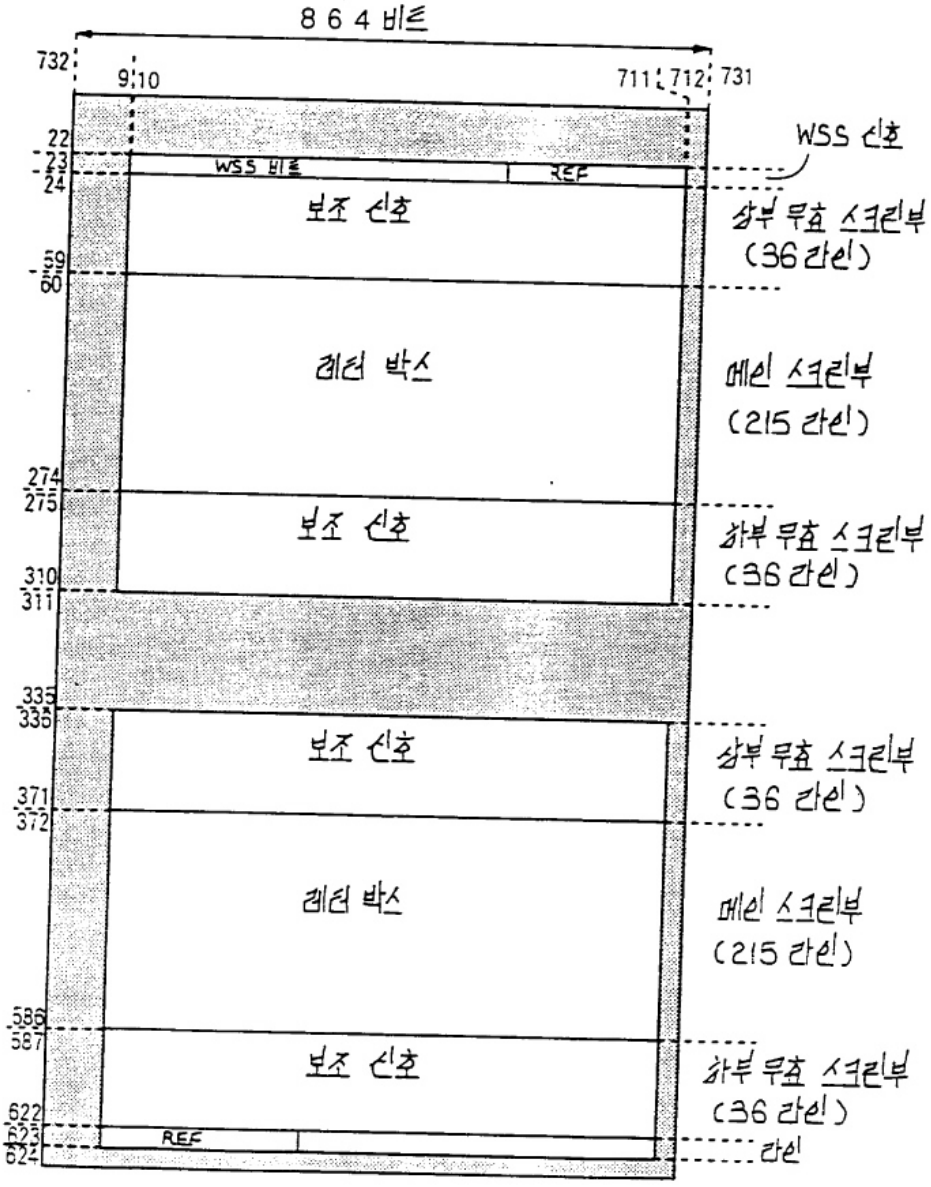
제 31 항에 있어서,
상기 기록 매체로부터 상기 성분 신호를 회복하기 위하여 상기 기록 신호를 재생하는 단계와,
상기 휘도 신호로부터 상기 회복된 해상도 보상 신호를 분리하는 단계와,
상기 회복된 색차 신호들과 상기 분리된 해상도 보상 신호를 결합하는 단계를 더 구비하는, 텔레비전 신호 기록/재생 방법.

도면

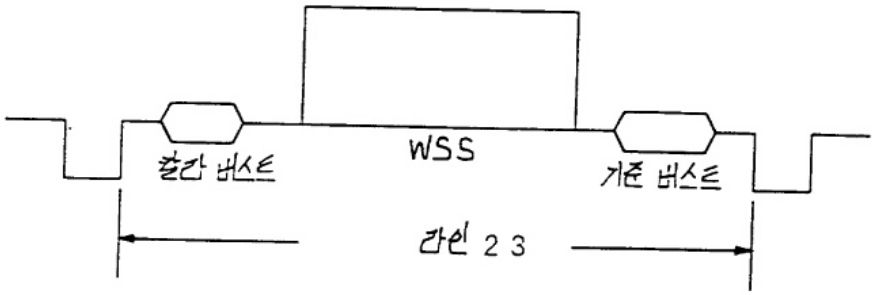
도면1



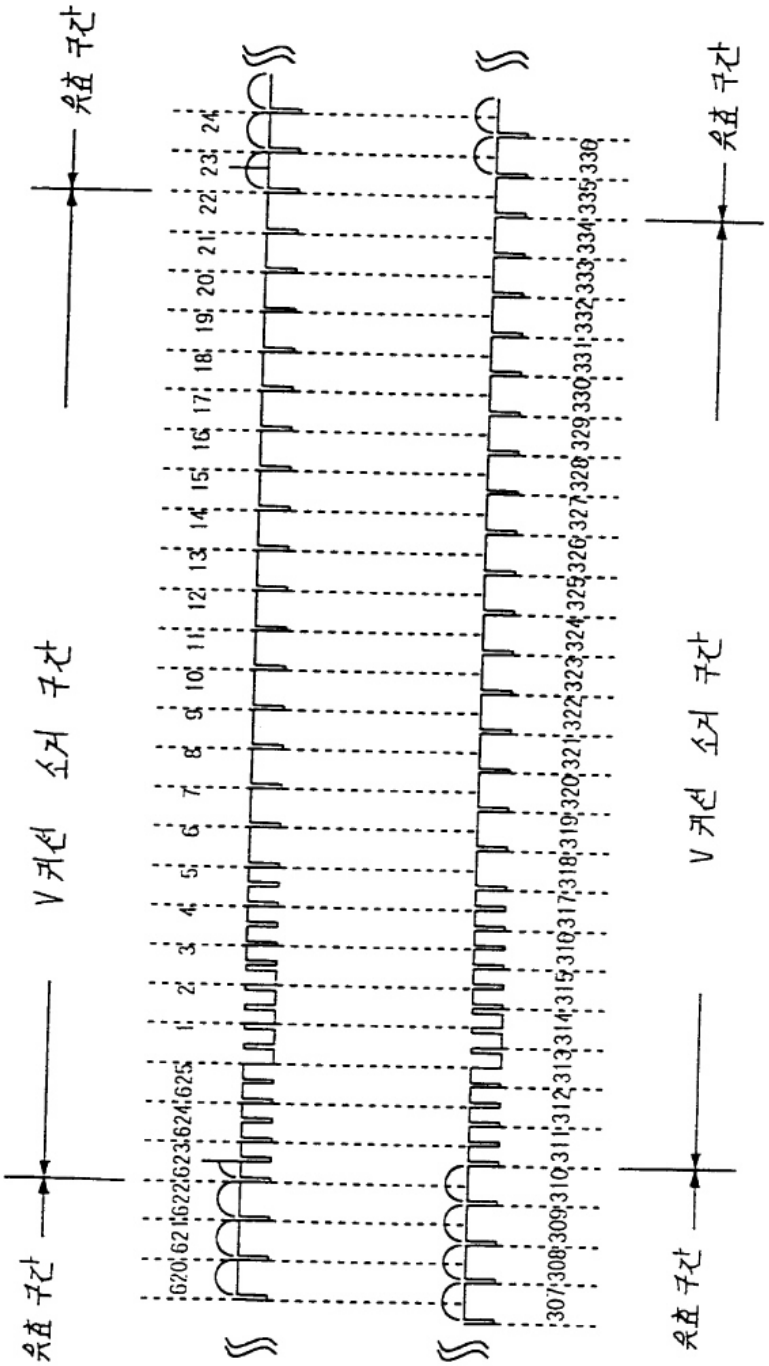
도면2


8 6 4 비트
732
9
10
711
712
731
22
23
24
59
60
274
275
310
311
335
336
371
372
586
587
622
623
624
WSS 비트
REF
보조 신호
레터 박스
보조 신호
보조 신호
레터 박스
보조 신호
REF
WSS 신호
상부 무효 스크린부
(36 라인)
메인 스크린부
(215 라인)
하부 무효 스크린부
(36 라인)
상부 무효 스크린부
(36 라인)
메인 스크린부
(215 라인)
하부 무효 스크린부
(36 라인)
라인

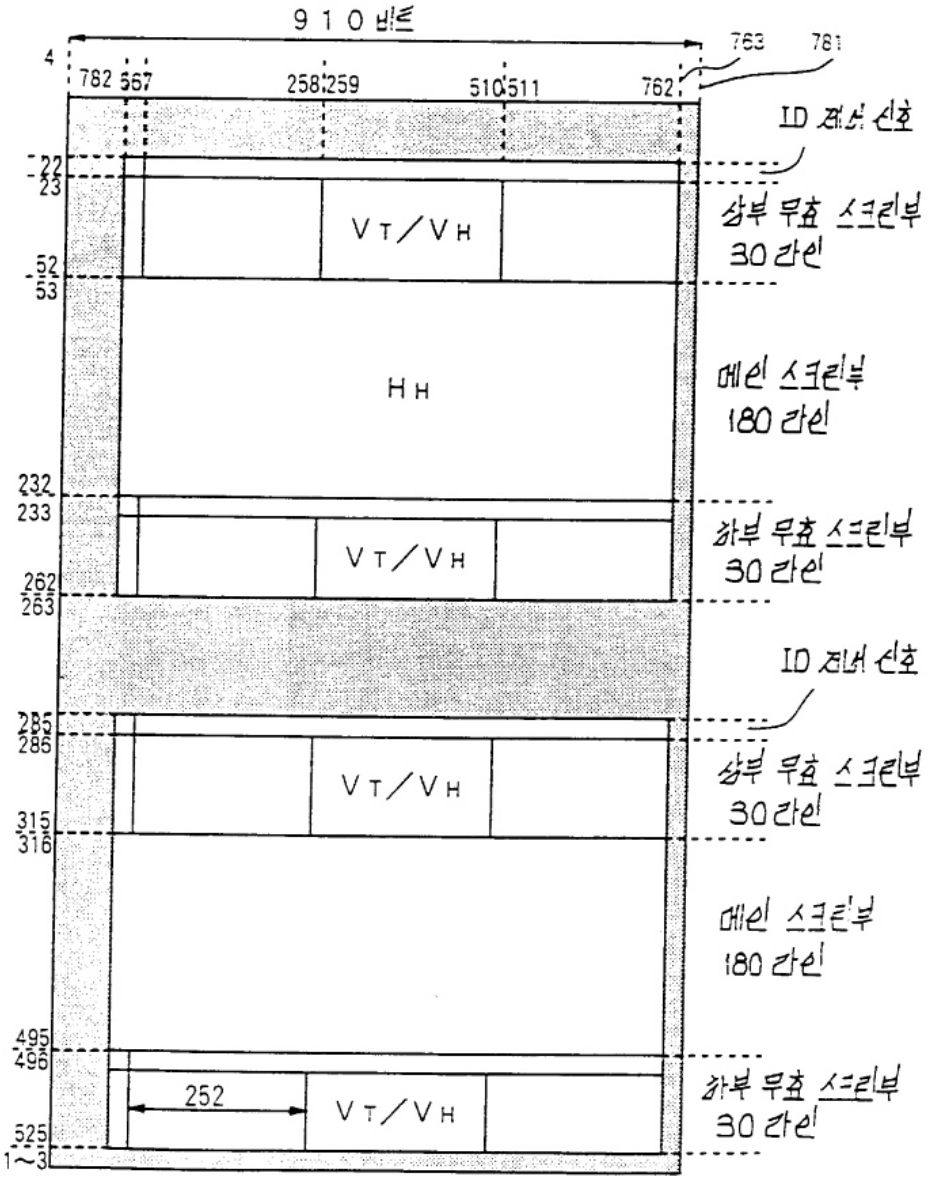
도면3


칼라 버스트
WSS
기준 버스트
라인 23

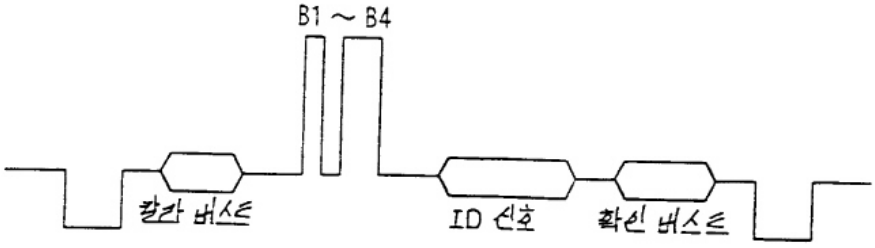
도면4



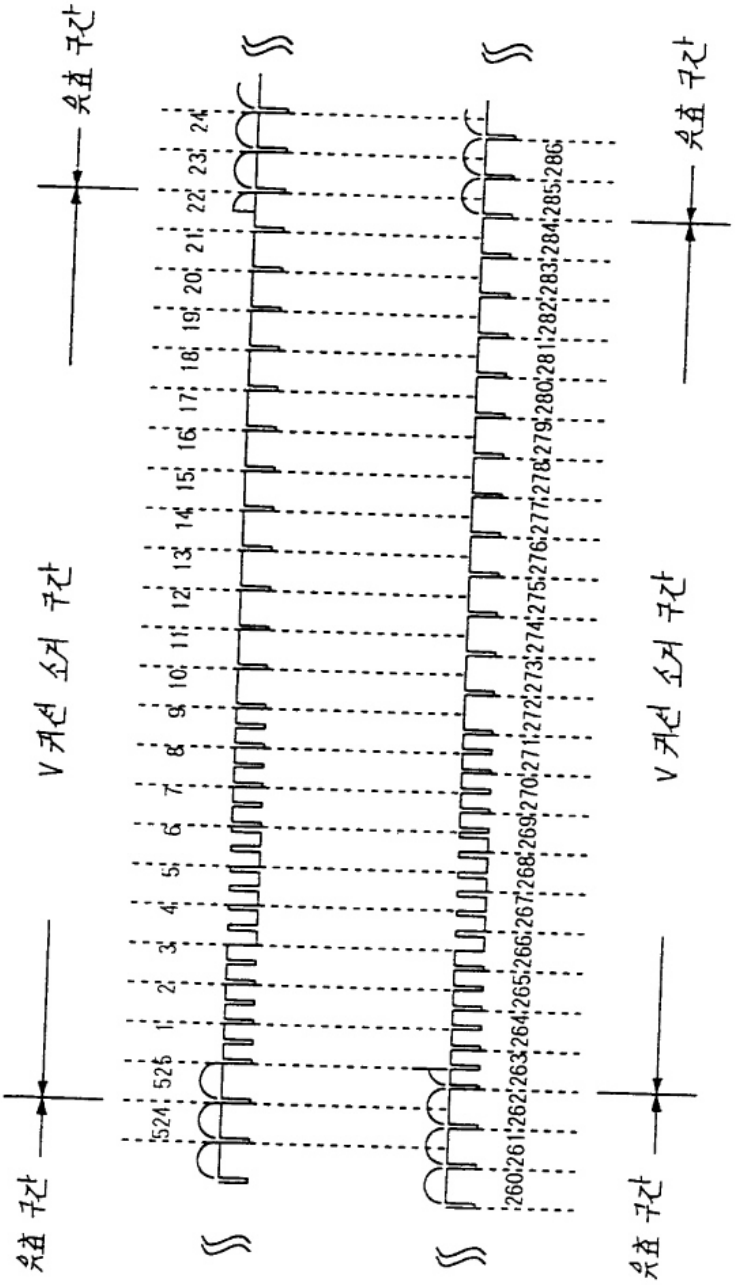
도면5


910 비트
4
782
567
258
259
510
511
762
763
781
ID 전송 신호
22
23
VT/VH
상부 무효 스크린부
30 라인
52
53
HH
메인 스크린부
180 라인
232
233
VT/VH
하부 무효 스크린부
30 라인
262
263
ID 전송 신호
285
286
VT/VH
상부 무효 스크린부
30 라인
315
316
메인 스크린부
180 라인
495
496
252
VT/VH
하부 무효 스크린부
30 라인
525
1~3

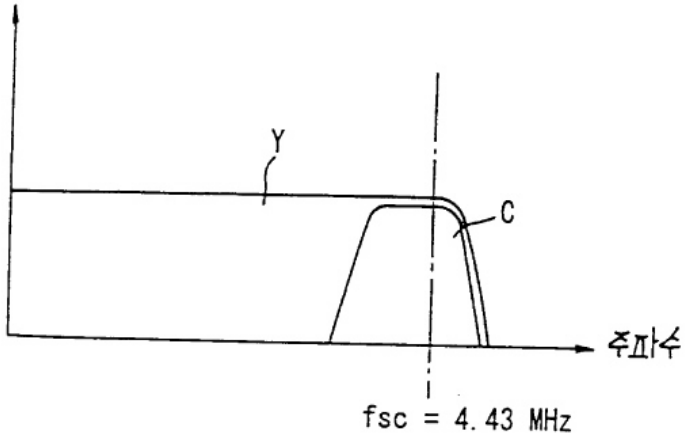
도면6


B1 ~ B4
칼라 버스트
ID 신호
확인 버스트

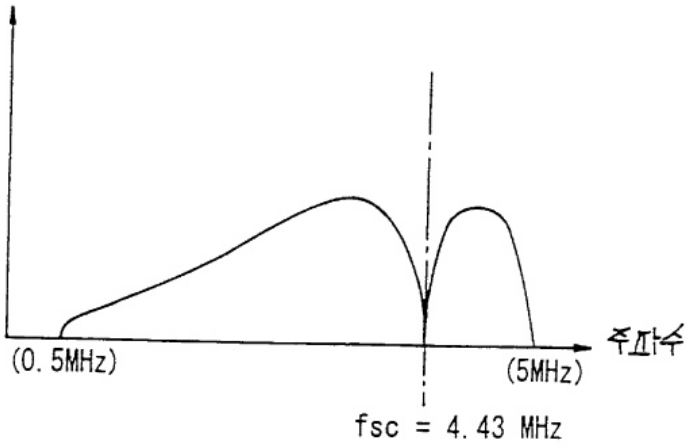
도면7



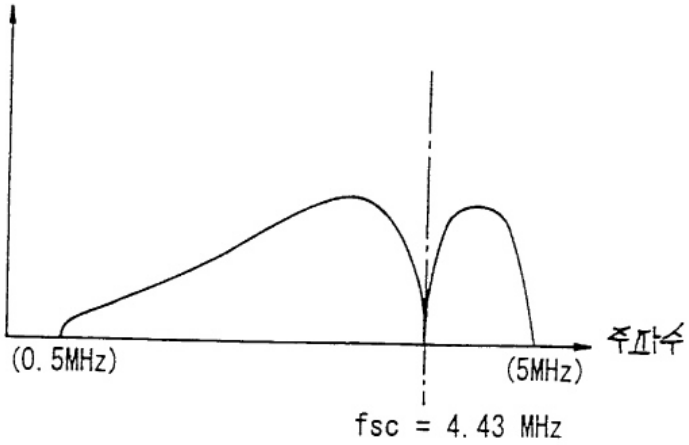
도면8a



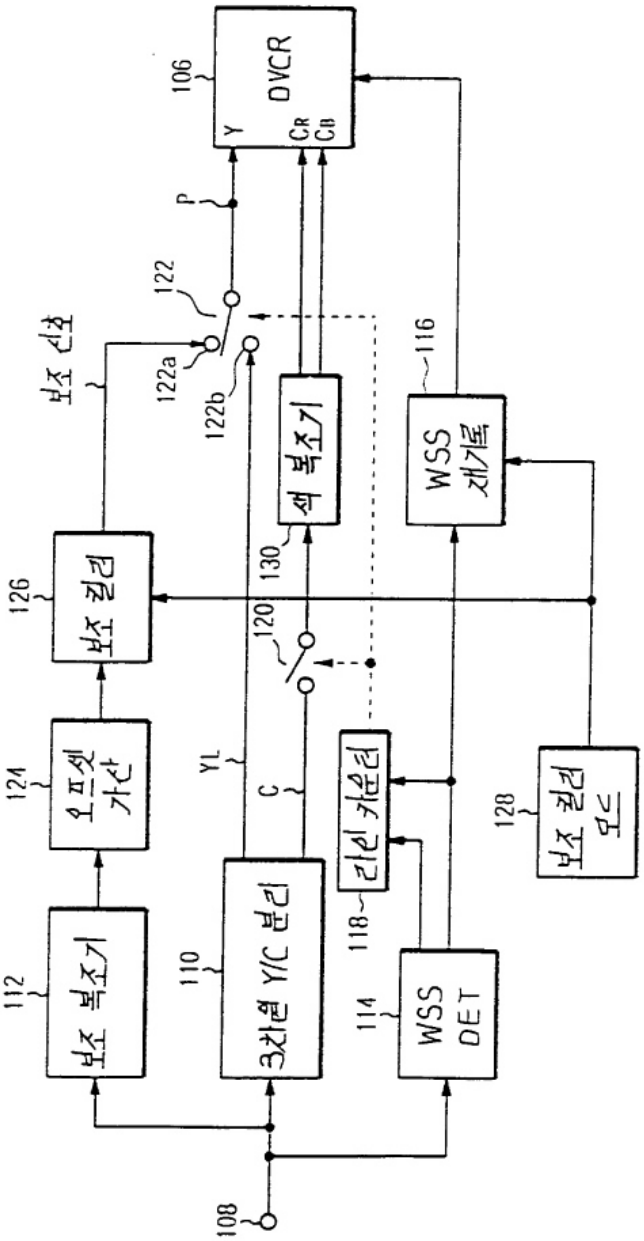
도면8b



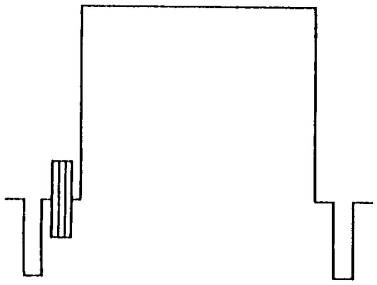
도면9



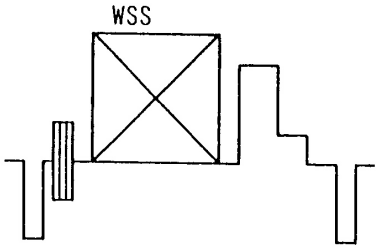
도면10


106
DVCR
Y
CR
CB
P
122
122a
122b
보조 신호
색 복조기
116
WSS 재기록
130
126
보조 컨트롤
120
124
오프셋 가산
YL
C
라인 카운터
128
보조 컨트롤 모드
112
보조 복조기
110
3차원 Y/C 분리
118
114
WSS DET
108

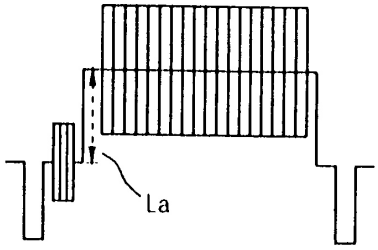
도면11a



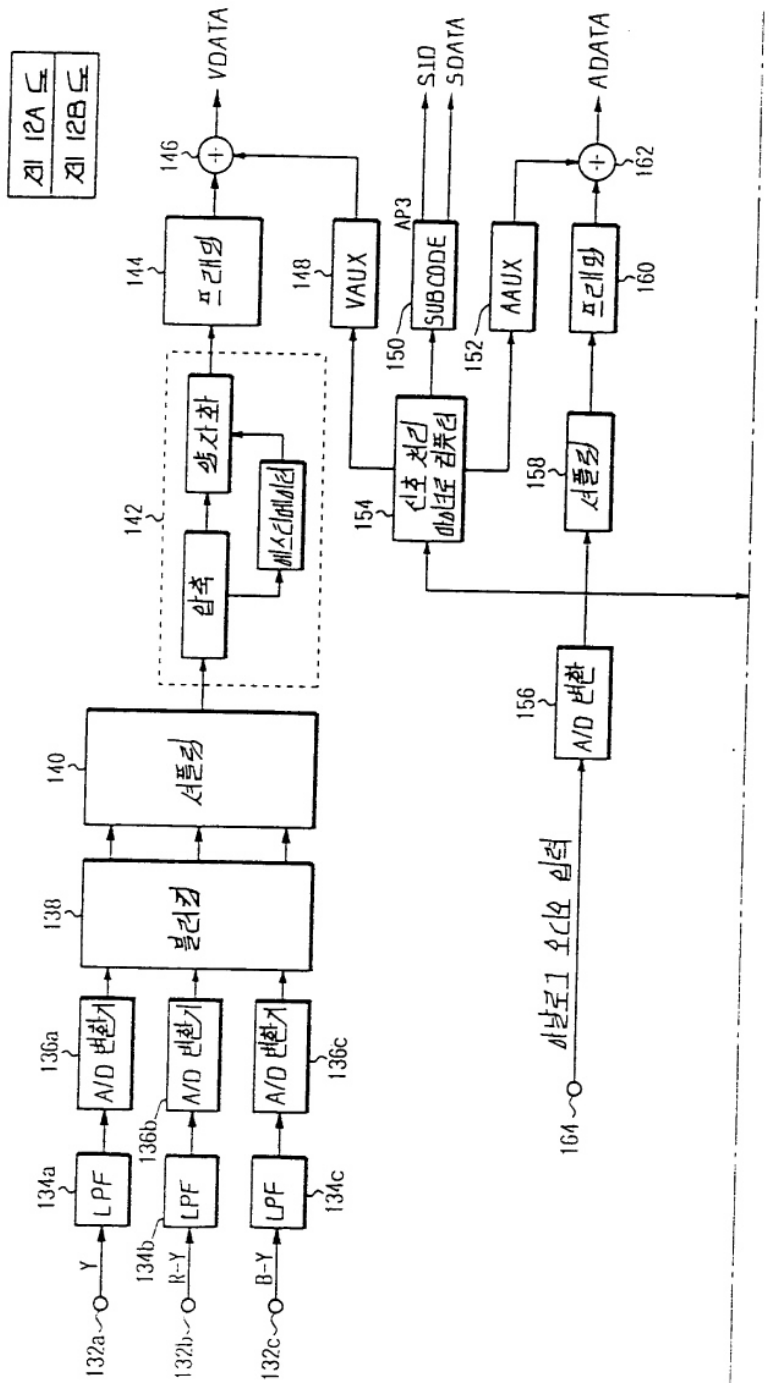
도면11b



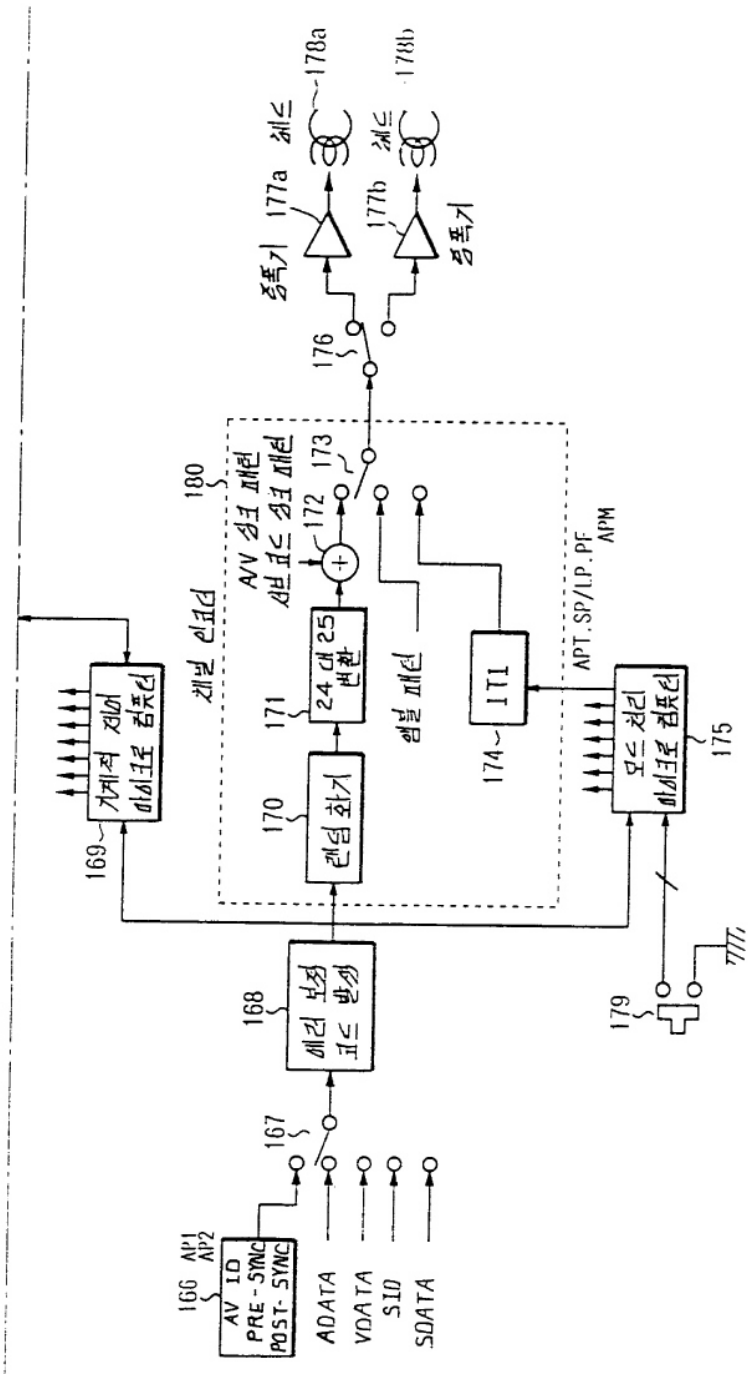
도면11c



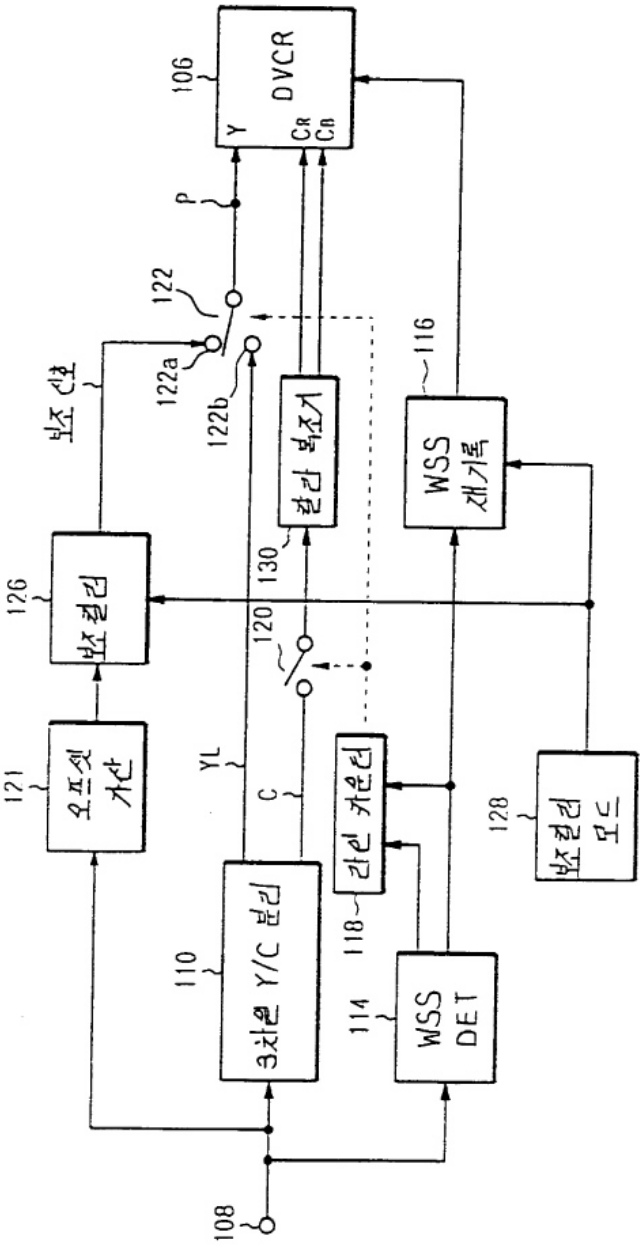
도면12a


도 12A 도
도 12B 도
VDATA
SID
SDATA
ADATA
146
144
148
AP3
150
152
154
156
158
160
162
164
142
140
138
136a
136b
136c
134a
134b
134c
132a
132b
132c
Y
R-Y
B-Y
LPF
A/D 변환기
블러링
셔플링
프레임
VAUX
SUBCODE
AAUX
신호 처리 마이크로 컴퓨터
압축
메모리
양자화
아날로그 오디오 입력

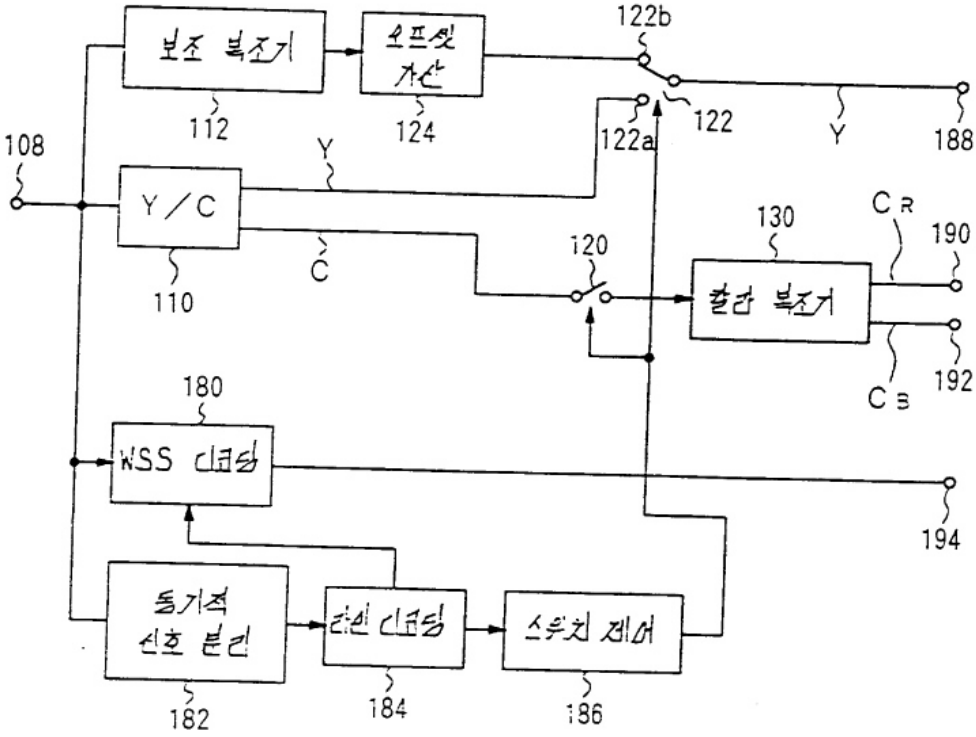
도면12b


166
AV ID
PRE-SYNC
POST-SYNC
AP1
AP2
ADATA
VDATA
SID
SDATA
167
168
에러 보정 코드 발생
169
거계적 제어 마이크로 컴퓨터
채널 인코더
180
A/V 싱크 패턴 및 코드 싱크 패턴
170
랜덤 화기
171
24 대 25 변환
172
173
채널 패턴
174
ITI
APT, SP/LP, PF
APM
175
모드 처리 마이크로 컴퓨터
176
증폭기
177a
177b
헤드
178a
178b
179

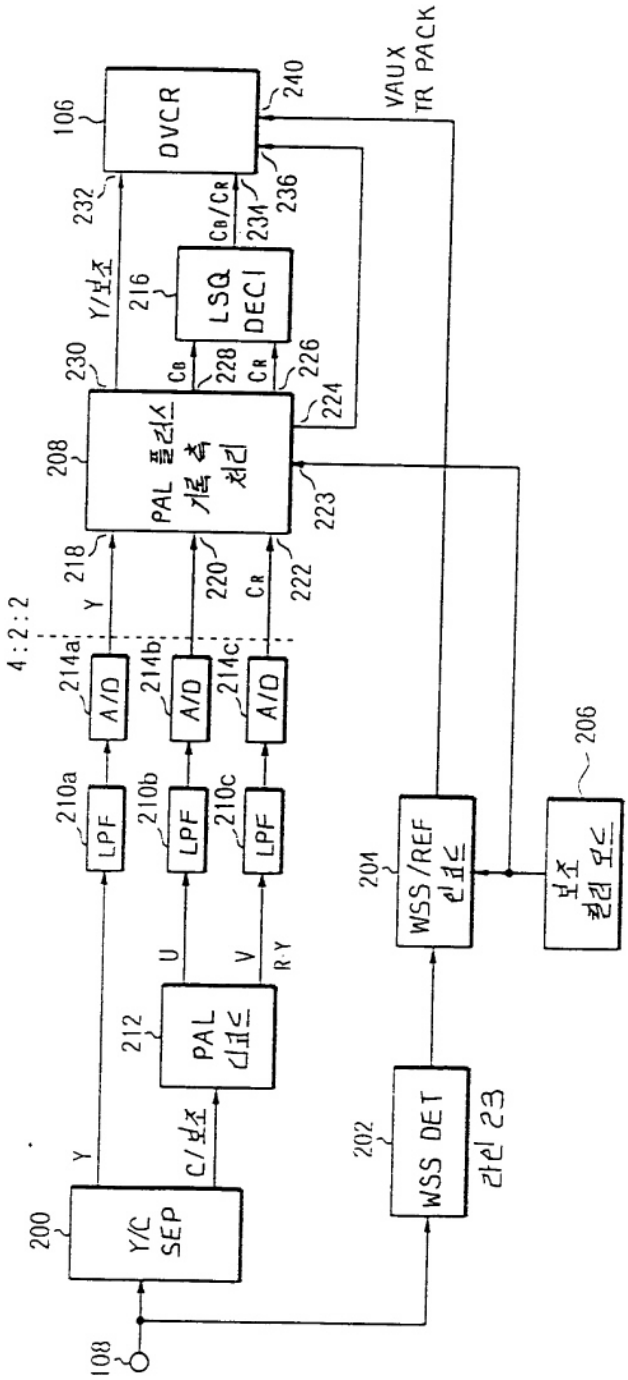
도면13


106
DVCR
Y
CR
CB
P
122
122a
122b
보조 신호
칼라 복조기
116
WSS 재기록
126
보조 컬러
130
120
121
오프셋 가산
YL
C
라인 카운터
128
보조컬러 모드
110
3차원 Y/C 분리
118
114
WSS DET
108

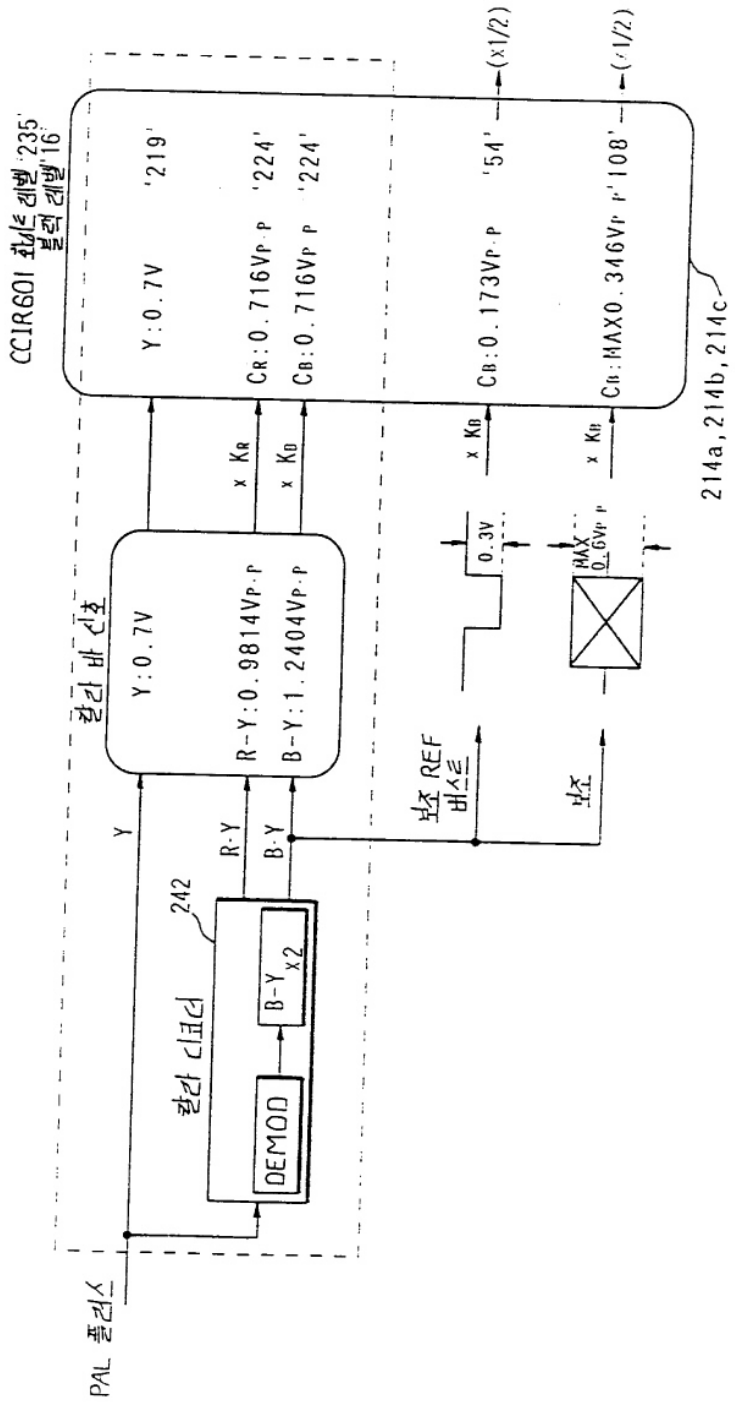
도면14


보조 복조기
112
오프셋 가산
124
122b
122
122a
Y
188
108
Y/C
110
Y
C
120
130
컬러 복조기
C R
190
C B
192
180
WSS 디코딩
194
동기적 신호 분리
182
라인 디코딩
184
스위치 제어
186

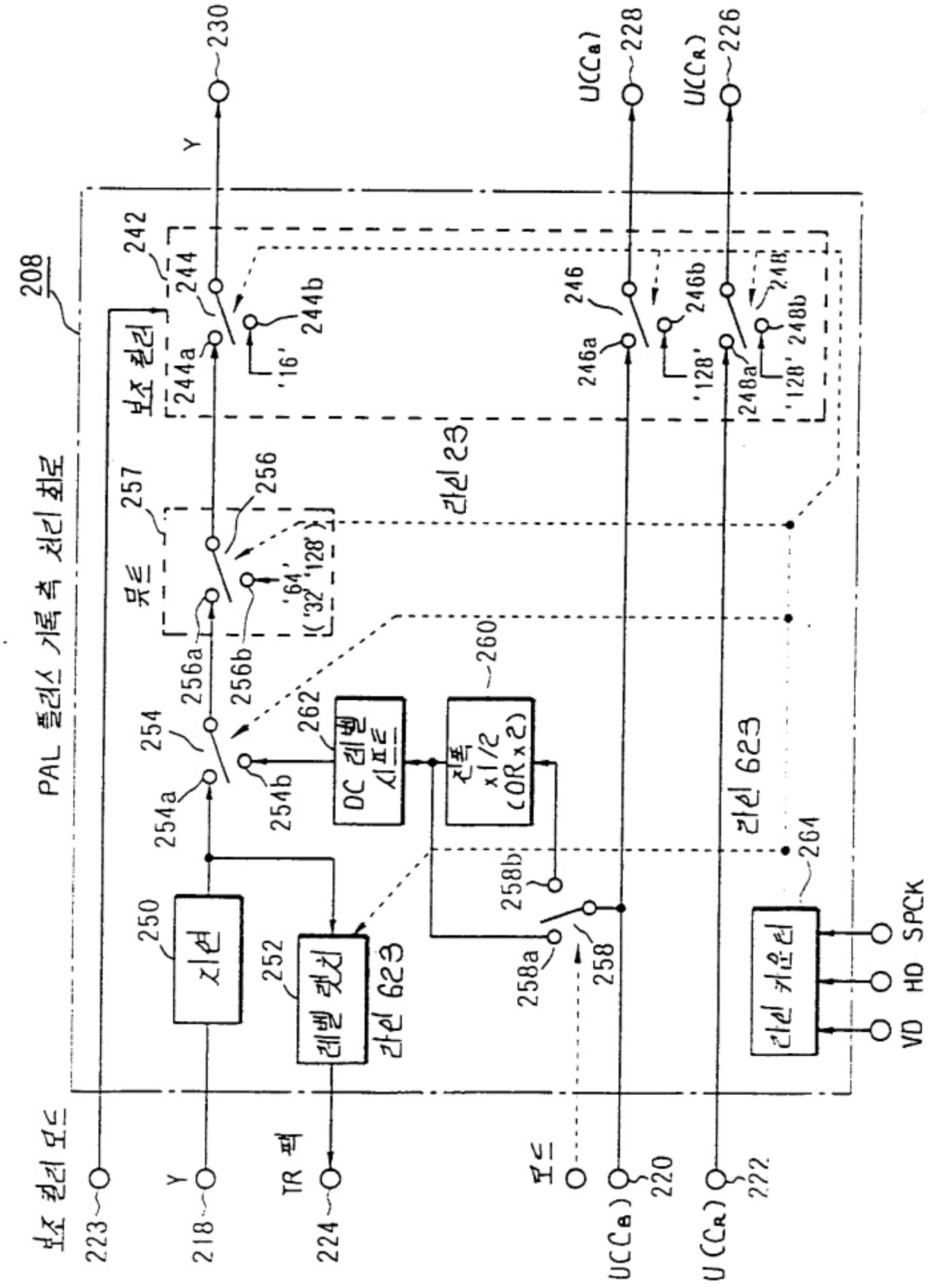
도면15


DVCR
106
240
VAUX TR PACK
232
Y/보조
216
LSQ DECI
234
CB/CR
236
230
CB
228
CR
226
224
208
PAL 플러스 처리
223
218
Y
220
CR
222
4:2:2
214a
214b
214c
A/D
210a
210b
210c
LPF
U
V
R-Y
212
PAL 디코드
C/보조
Y
200
Y/C SEP
108
202
WSS DET
라인 23
204
WSS/REF 디코드
206
보조 컨트 모드

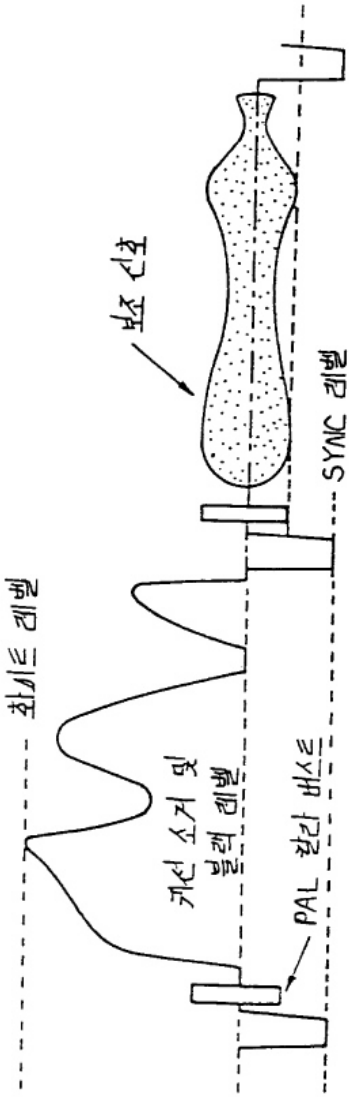
도면16


CCIR601 휘도 레벨 '235'
블랙 레벨 '16'
Y:0.7V '219'
CR:0.716Vp-p '224'
CB:0.716Vp-p '224'
CB:0.173Vp-p '54'
CR:MAX0.346Vp-p '108'
(x1/2)
(x1/2)
214a,214b,214c
칼라 바 신호
Y:0.7V
R-Y:0.9814Vp-p
B-Y:1.2404Vp-p
x KR
x KB
x KB
x KR
0.3V
MAX 0.6Vp-p
보조 REF 버스트
보조
Y
R-Y
B-Y
242
칼라 디코더
DEMOD
B-Y x2
PAL 플러스

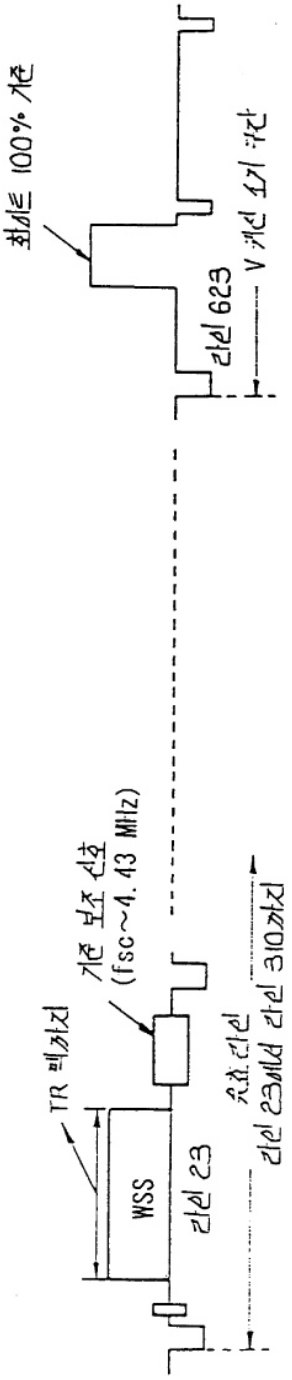
도면17


PAL 플러스 기록 측 처리 회로
208
보조 컬러 모드
Y
TR 펄
모드
U(CB)
U(CR)
지연
레벨 캐치
라인 623
DC 레벨
시프트
진폭
x1/2
(OR x2)
라인 카운터
VD
HD
SPCK
라인 23
라인 623
'16'
'128'
'64'
('32''128')
223
218
224
220
222
230
228
226
242
244
244a
244b
246
246a
246b
248
248a
248b
250
252
254
254a
254b
256
256a
256b
257
258
258a
258b
260
262
264

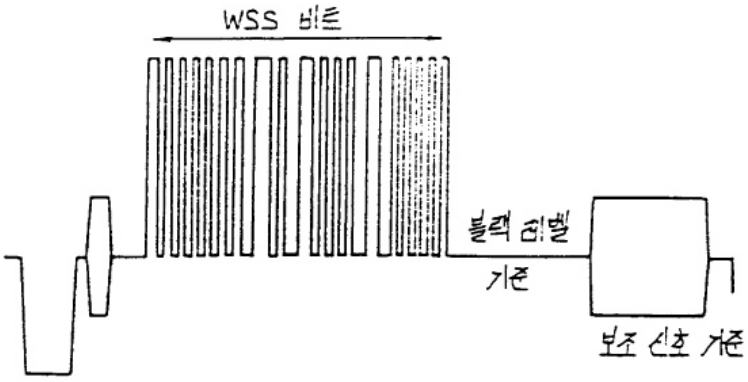
도면18



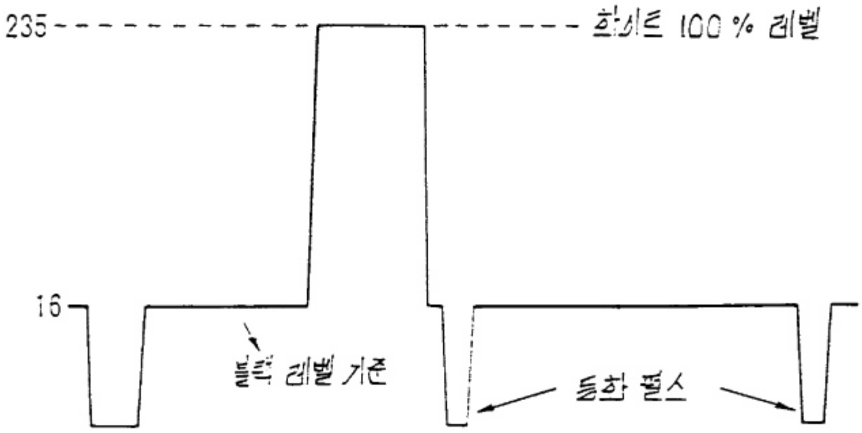
도면19


최대로 100% 기준
라인 623
V 개선 시기 구간
기준 보조 신호
(fsc~4.43 MHz)
TR 백카치
WSS
라인 23
유효 라인
라인 23에서 라인 310까지

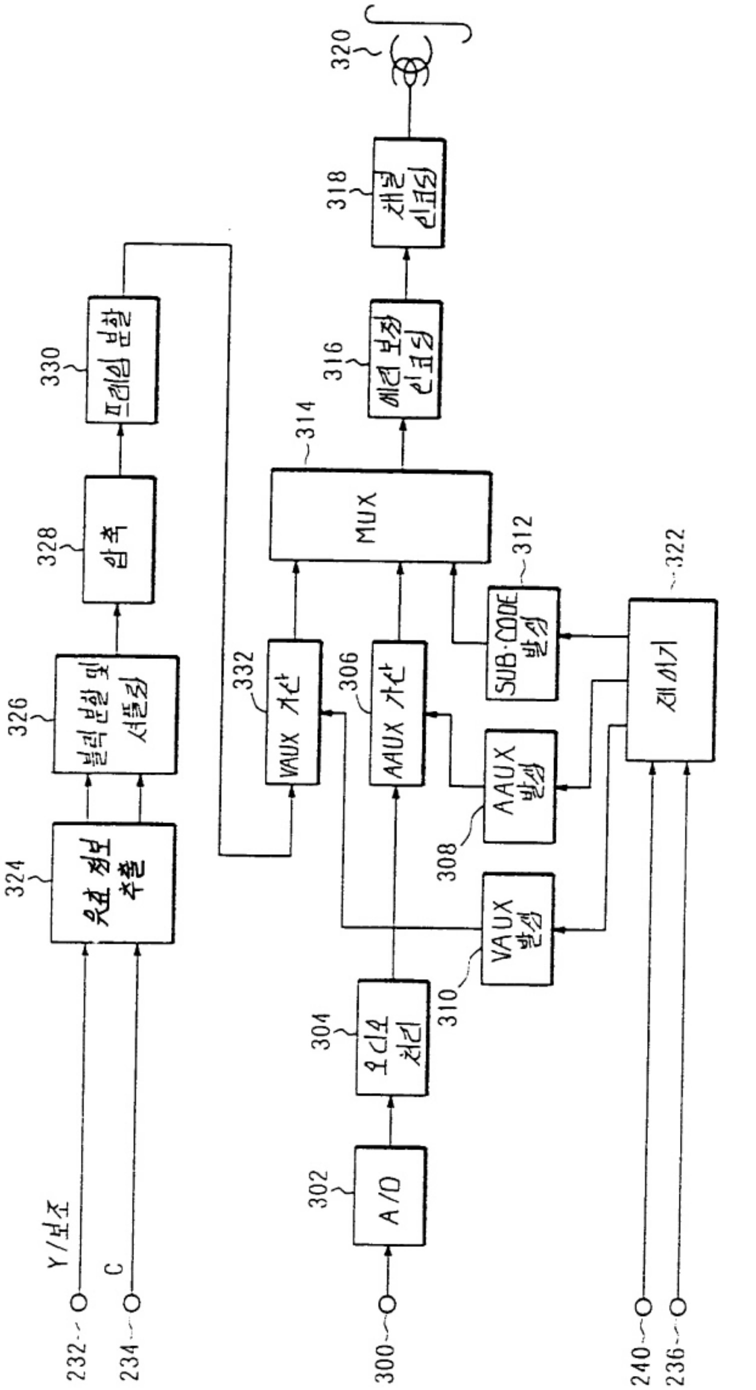
도면20


WSS 펄스
기준
보조 신호 기준

도면21


235
100 % 레벨
16

도면22

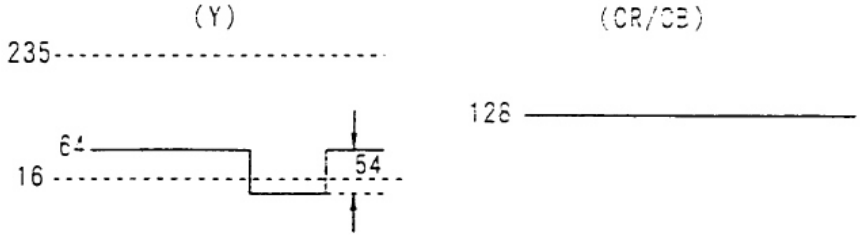

320
318
316
314
MUX
330
328
326
324
332
VAUX 가산
306
AAUX 가산
312
SUB·CODE
322
308
AAUX
310
VAUX
304
302
A/D
Y/보조
C
232
234
300
240
236

도면23

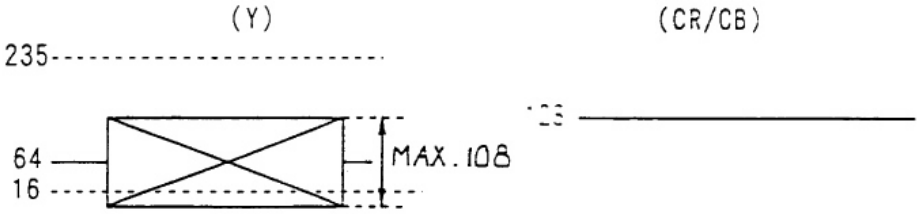
	MSB							LSB
PC0	0	1	1	0	0	1	1	0
PC1	b3	b2	b1	b0	0	0	0	1
PC2	b11	b10	b9	b8	b7	b6	b5	b4
PC3	1	1	1	1	1	1	b13	b12
PC4	화이트 레벨 기준							

VAUX TR 팩

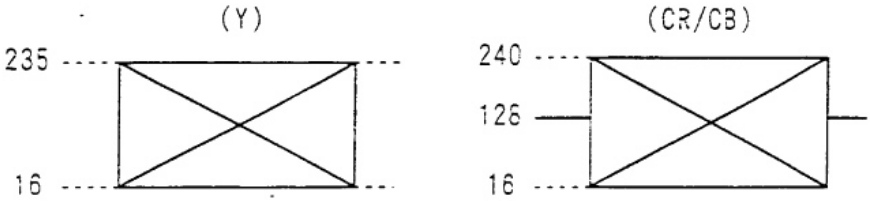
도면24a



도면24b

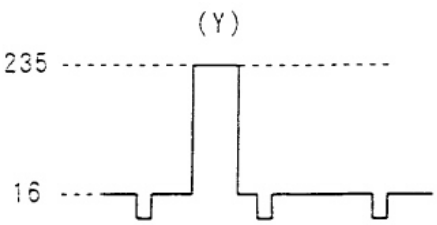


도면24c

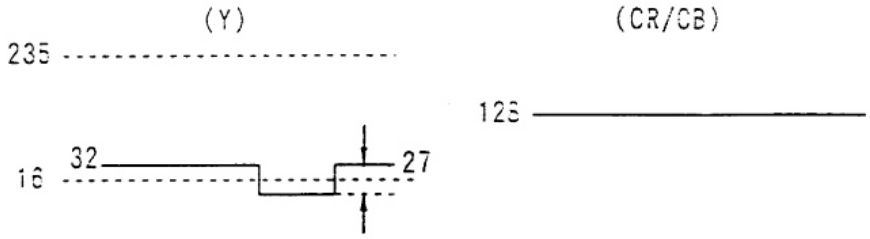


도면24d

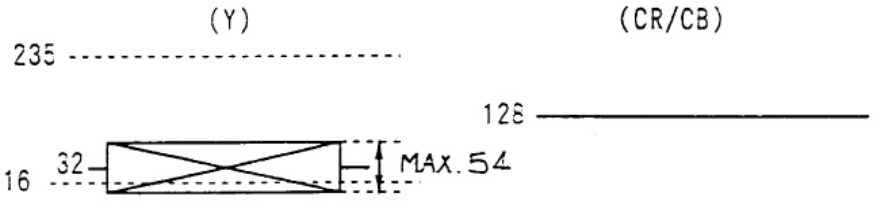
도면24e



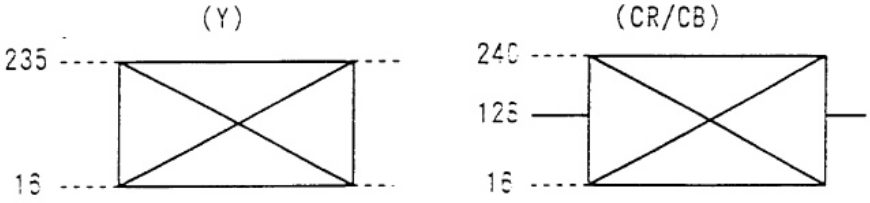
도면25a



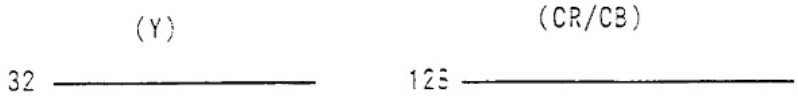
도면25b



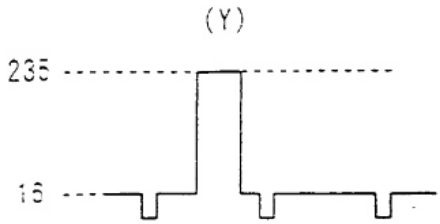
도면25c



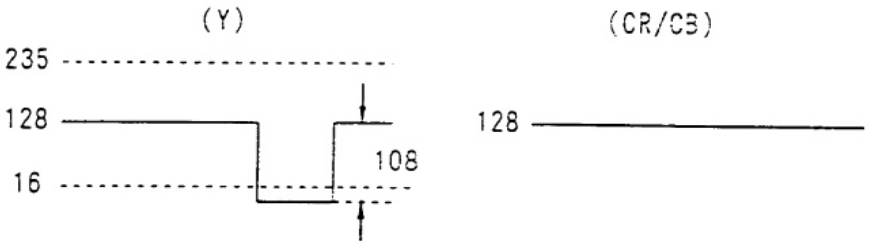
도면25d



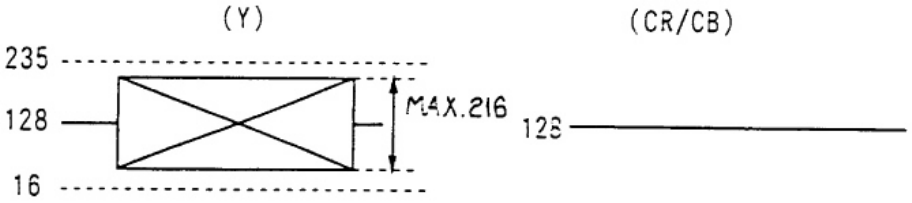
도면25e



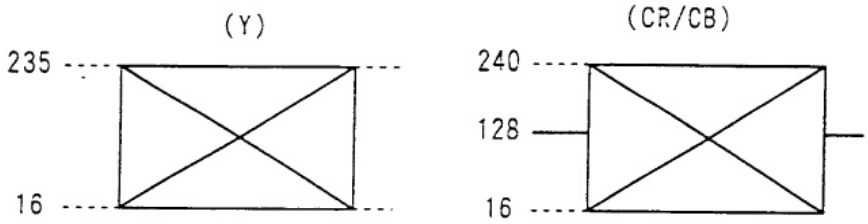
도면26a



도면26b

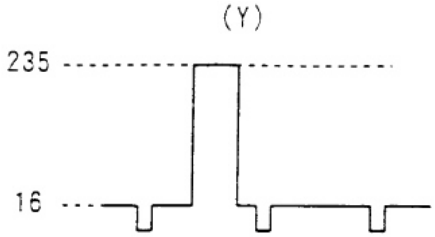


도면26c

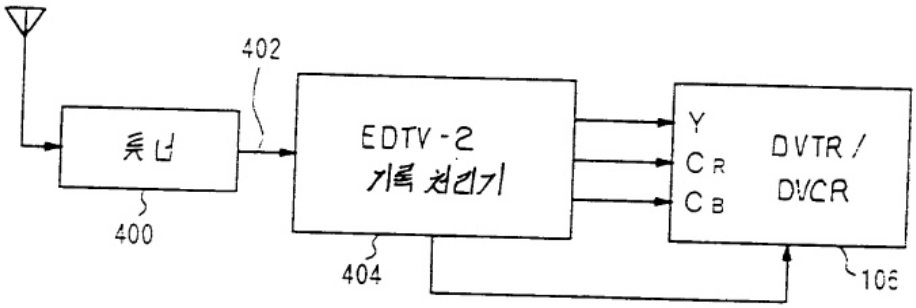


도면26d

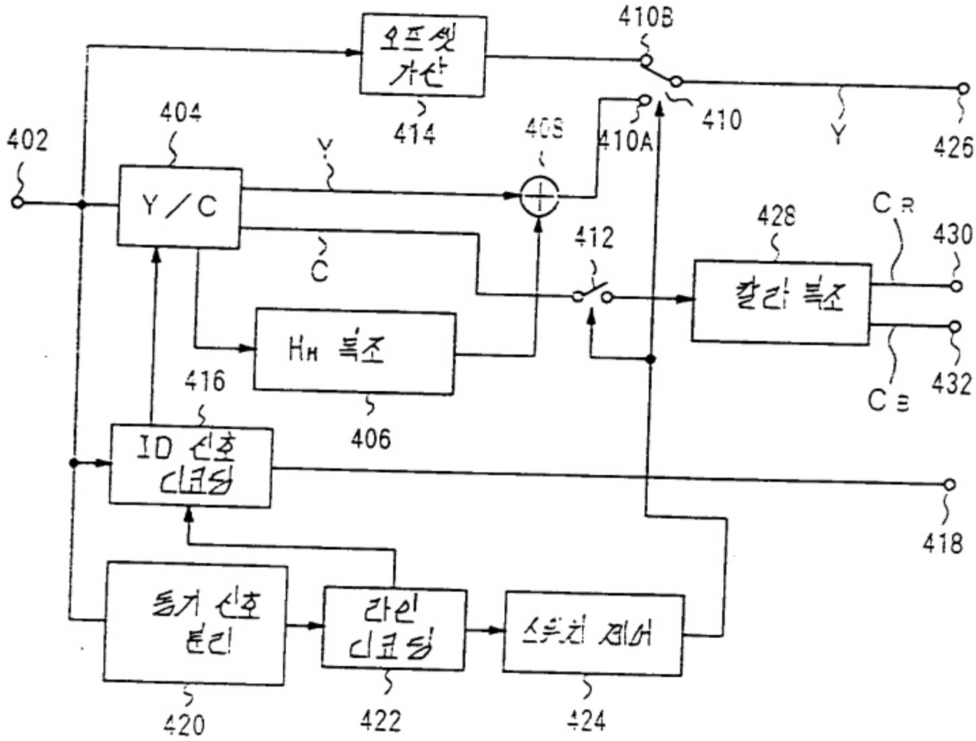
도면26e



도면27

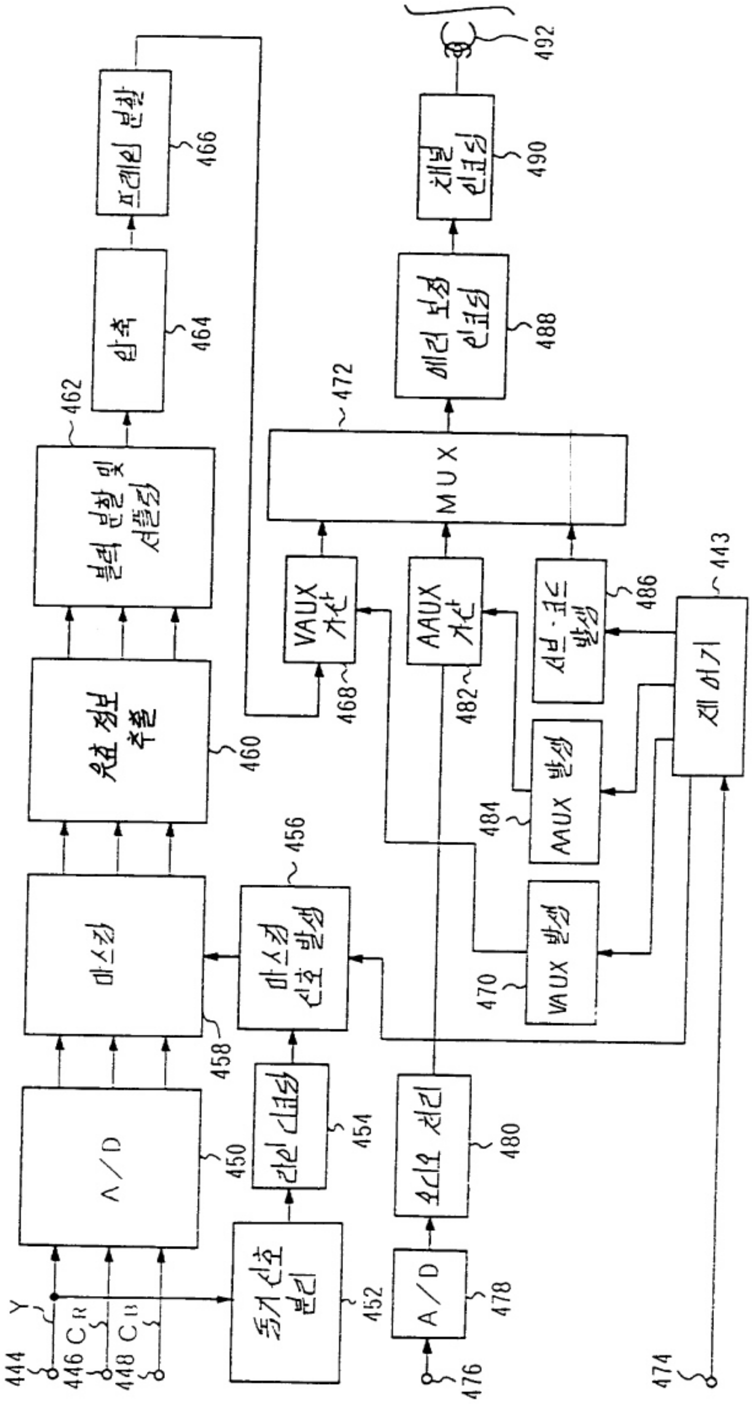


도면28

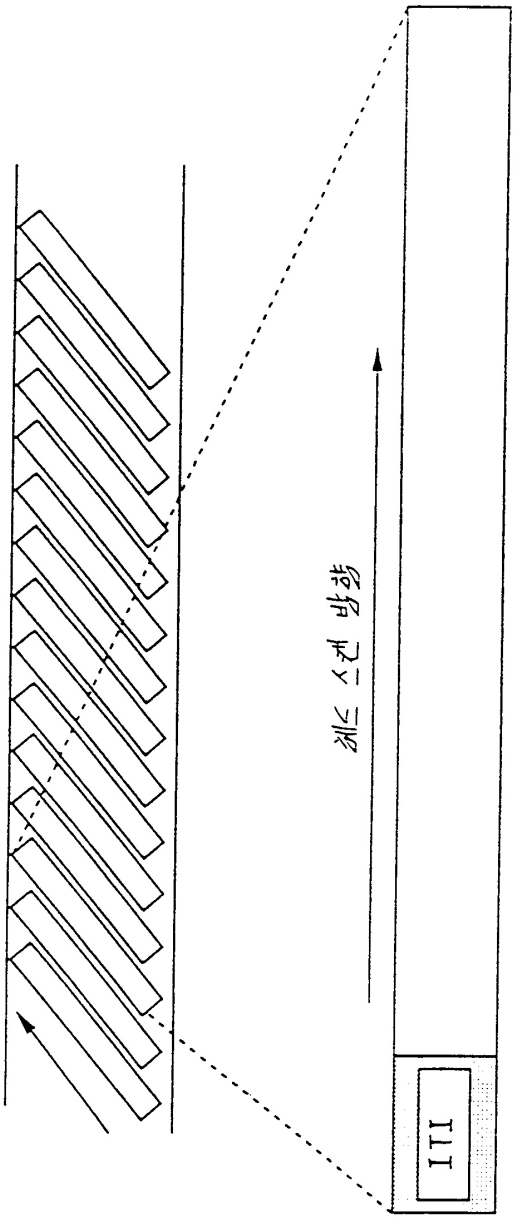


410B
오프셋 가산
414
404
402
Y
408
410A
410
Y
426
Y／C
C
412
428
CR
430
칼라 복조
HH 복조
416
406
CB
432
ID 신호 디코딩
418
동기 신호 분리
라인 디코딩
스위치 제어
420
422
424

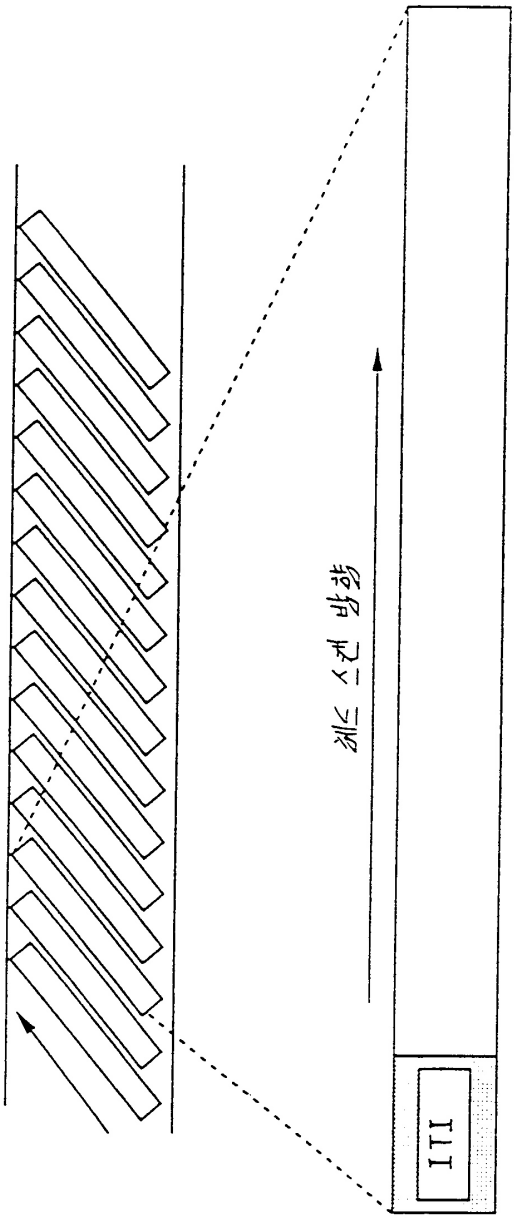
도면29


Y
CR
CB
444
446
448
A/D
450
동기 신호 분리
452
라인 디코딩
454
마스킹 신호 발생
456
마스킹
458
460
블럭 분할 및 셔플링
462
압축
464
466
VAUX 가산
468
VAUX 발생
470
MUX
472
474
476
A/D
478
오디오 처리
480
AAUX 가산
482
AAUX 발생
484
서브 코드 발생
486
에러 보정 인코딩
488
채널 인코딩
490
492
제어기
443

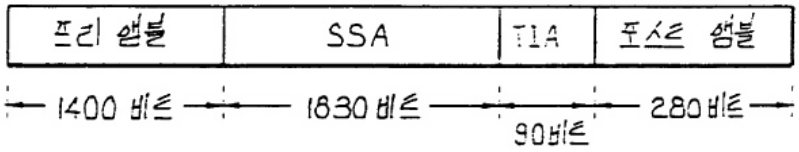
도면30a



도면30b

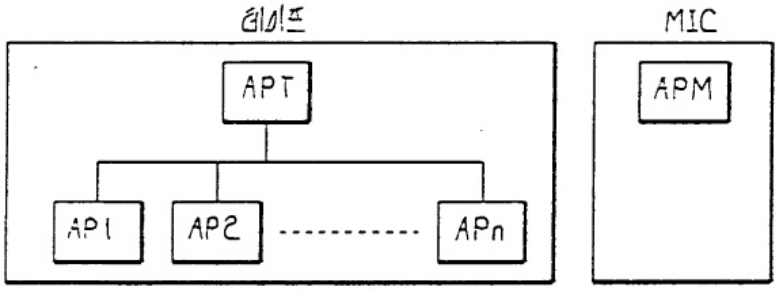


도면31

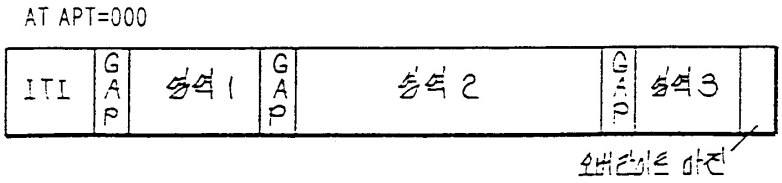


도면32

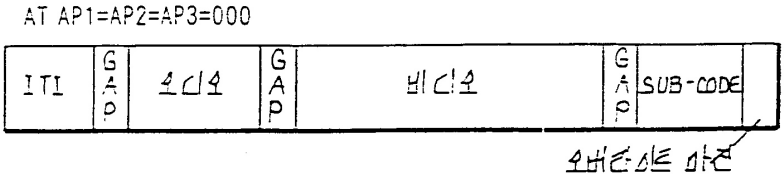
도면33



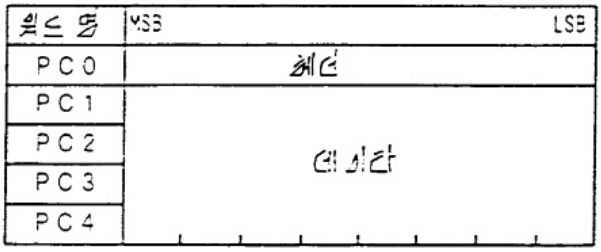
도면34a



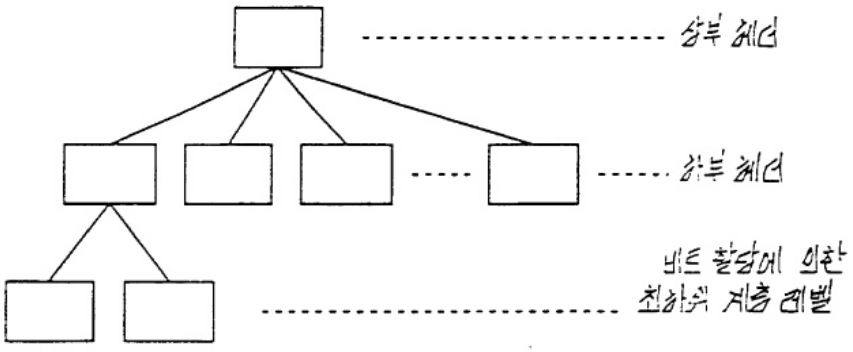
도면34b



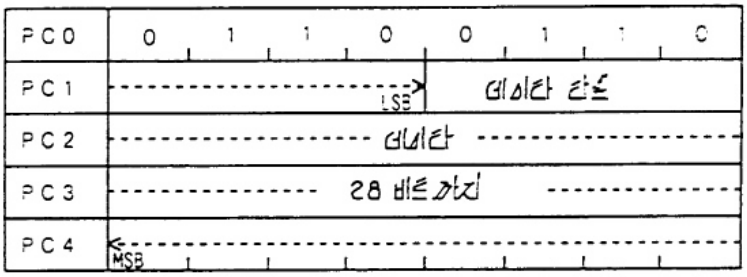
도면35



도면36



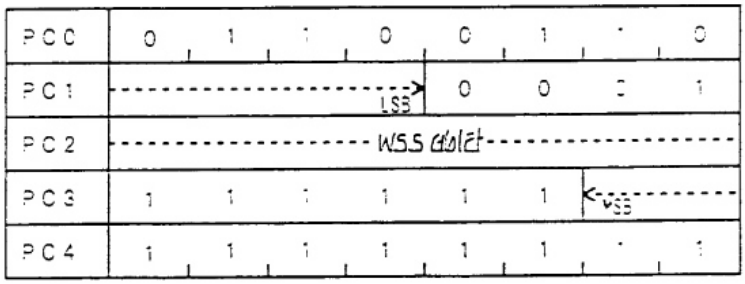
도면37a



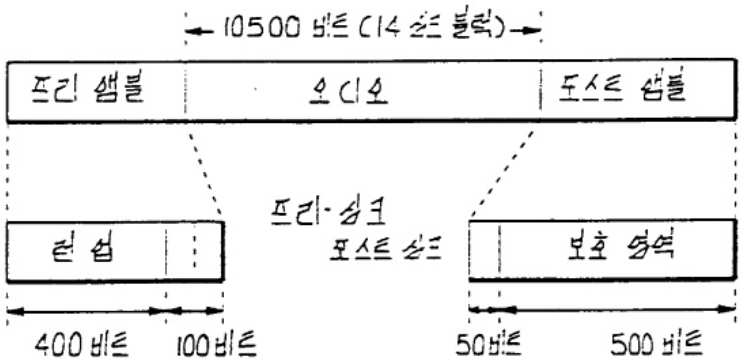
데이타 타입 :

0000 = VBID
0001 = WSS
0010 = 라인 22상의 EDTV-2 ID
0011 = 라인 285 상의 EDTV-2 ID
0100 = 정보 없음
OTHERS = 정의 안됨

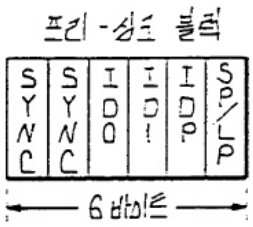
도면37b



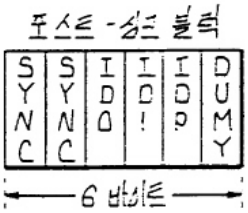
도면38



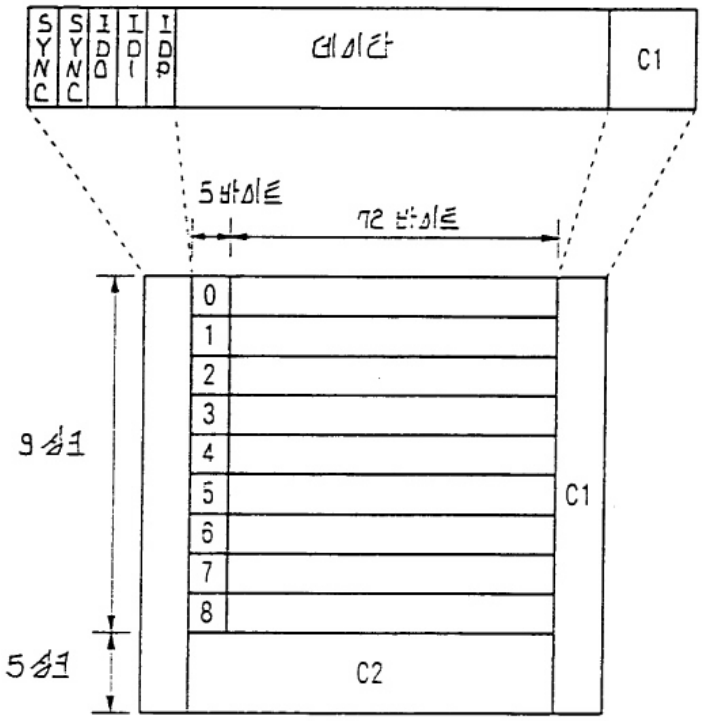
도면39a



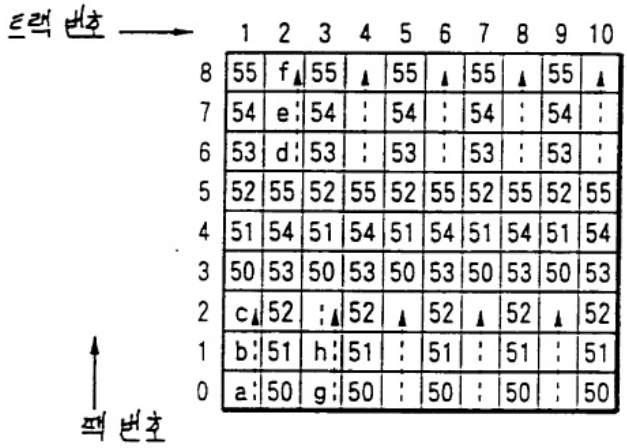
도면39b



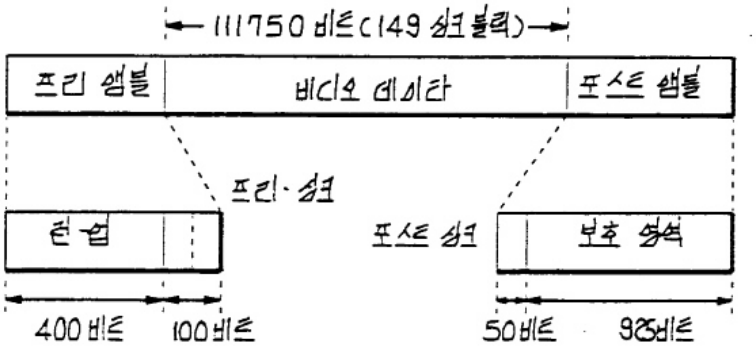
도면40



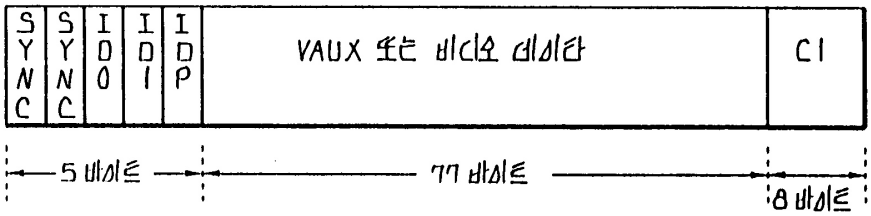
도면41



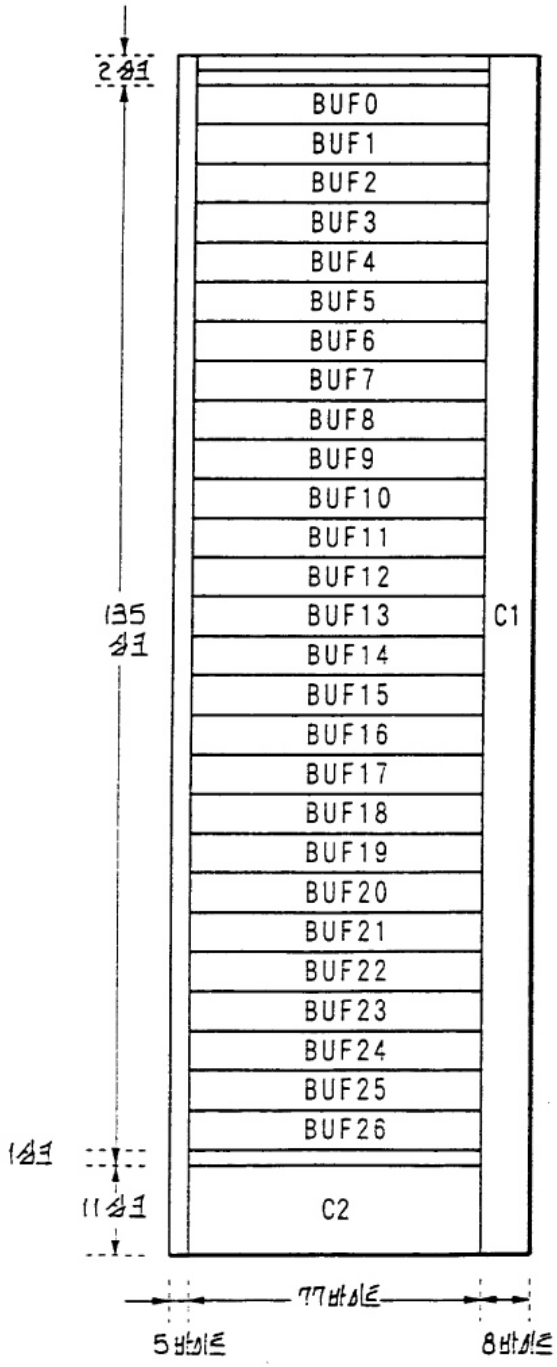
도면42



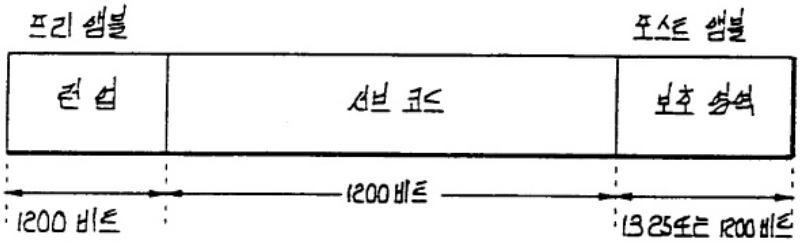
도면43


SYNC
SYNC
ID0
ID1
IDP
VAUX 또는 비디오 데이타
C1
5 바이트
77 바이트
8 바이트

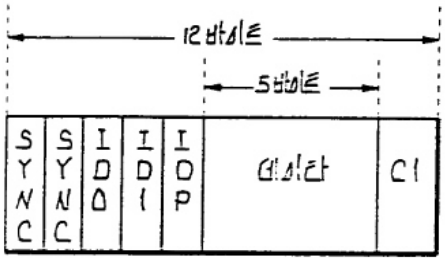
도면44


2행
BUF0
BUF1
BUF2
BUF3
BUF4
BUF5
BUF6
BUF7
BUF8
BUF9
BUF10
BUF11
BUF12
BUF13
BUF14
BUF15
BUF16
BUF17
BUF18
BUF19
BUF20
BUF21
BUF22
BUF23
BUF24
BUF25
BUF26
C1
135행
1행
11행
C2
77바이트
5바이트
8바이트

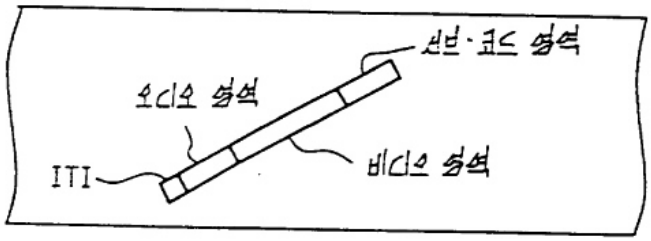
도면45



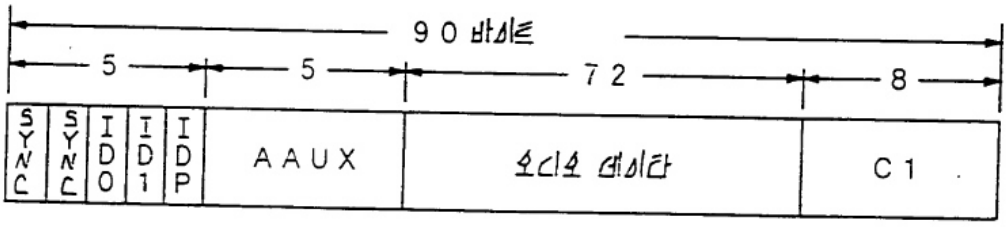
도면46



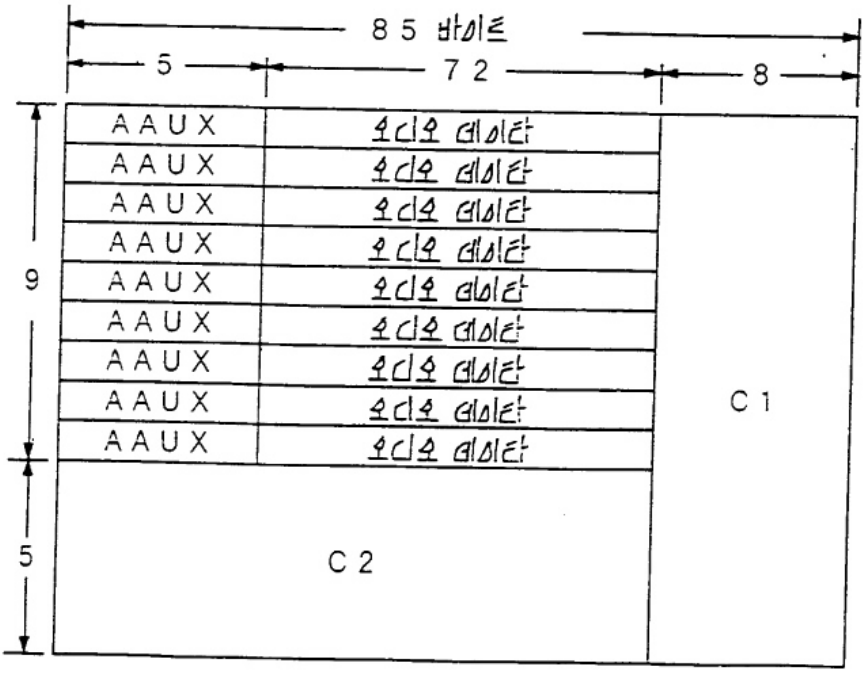
도면47



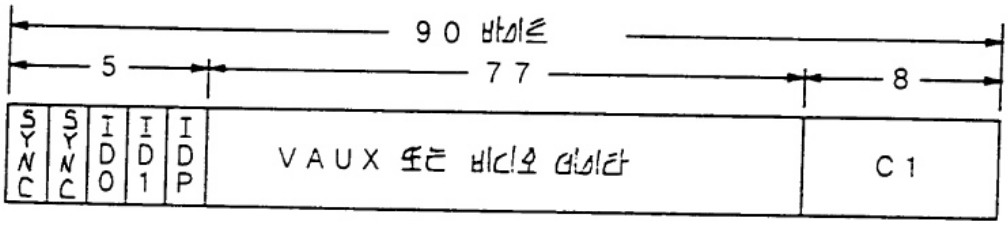
도면48



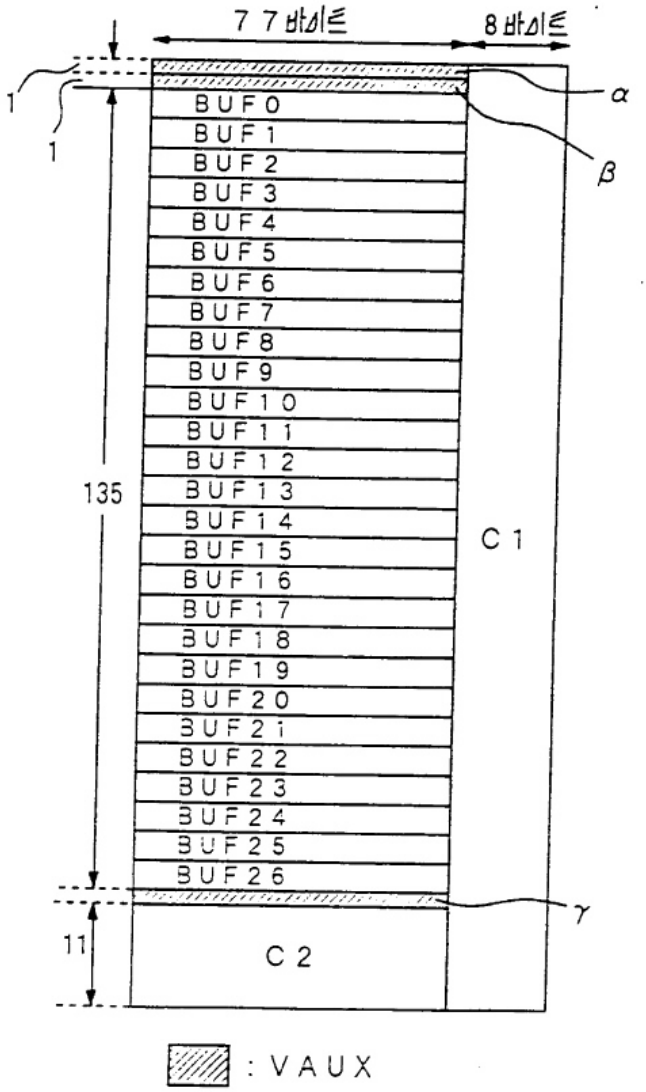
도면49


85 바이트
5
72
8
AAUX
오디오 데이타
9
5
C2
C1

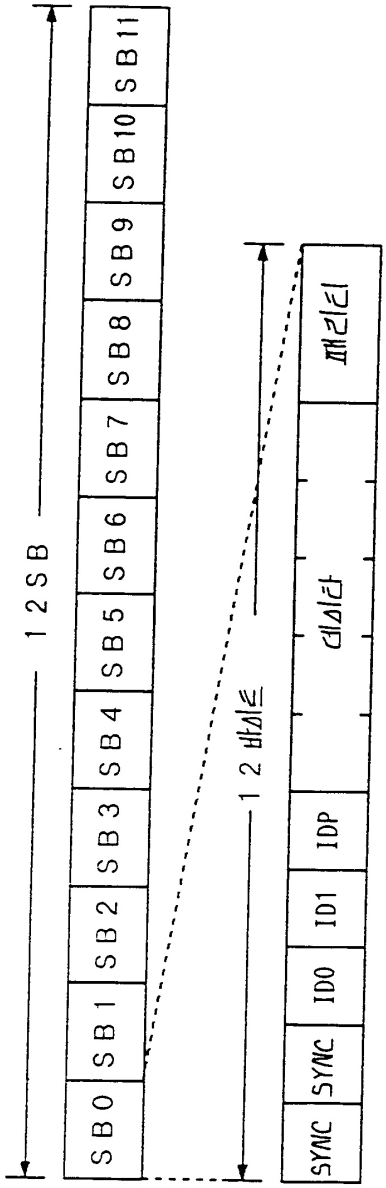
도면50


90 바이트
5
77
8
SYNC
SYNC
IDO
ID1
IDP
VAUX 또는 비디오 데이타
C1

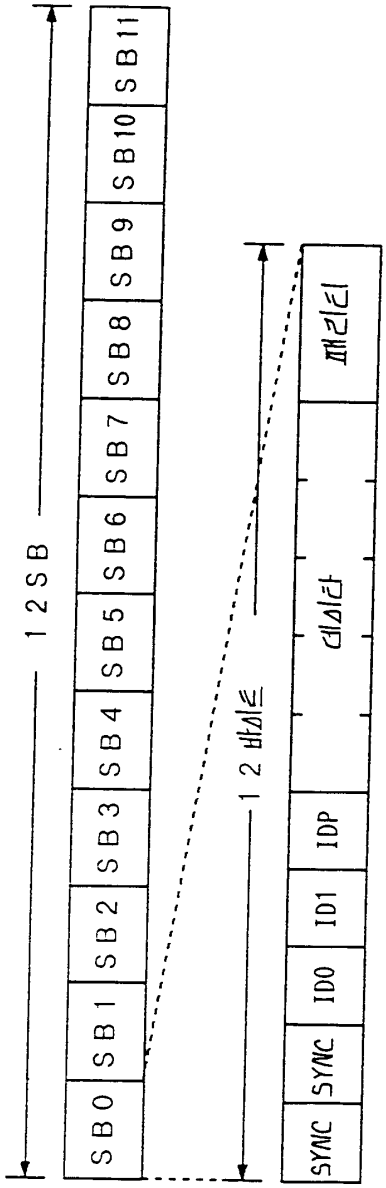
도면51


77바이트
8바이트
1
1
BUF0
BUF1
BUF2
BUF3
BUF4
BUF5
BUF6
BUF7
BUF8
BUF9
BUF10
BUF11
BUF12
BUF13
BUF14
BUF15
BUF16
BUF17
BUF18
BUF19
BUF20
BUF21
BUF22
BUF23
BUF24
BUF25
BUF26
135
C1
C2
11
α
β
γ
: VAUX

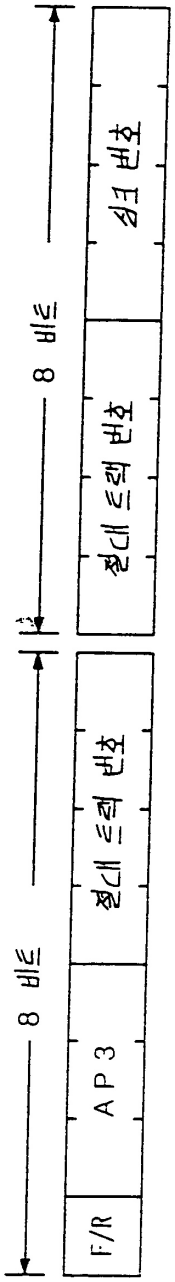
도면52a


12SB
SB0
SB1
SB2
SB3
SB4
SB5
SB6
SB7
SB8
SB9
SB10
SB11
12 바이트
SYNC
SYNC
ID0
ID1
IDP
데이타
패리티

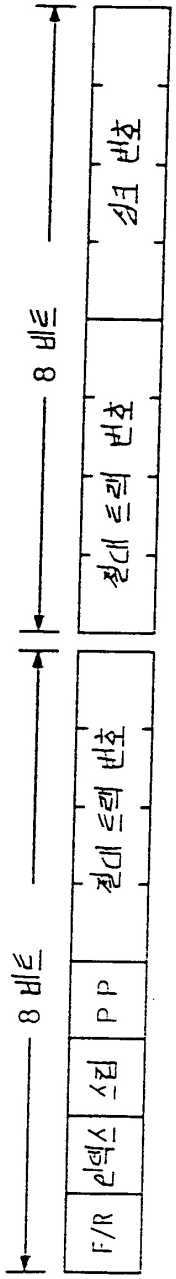
도면52b


12SB
SB0
SB1
SB2
SB3
SB4
SB5
SB6
SB7
SB8
SB9
SB10
SB11
12 바이트
SYNC
SYNC
ID0
ID1
IDP
데이타
패리티

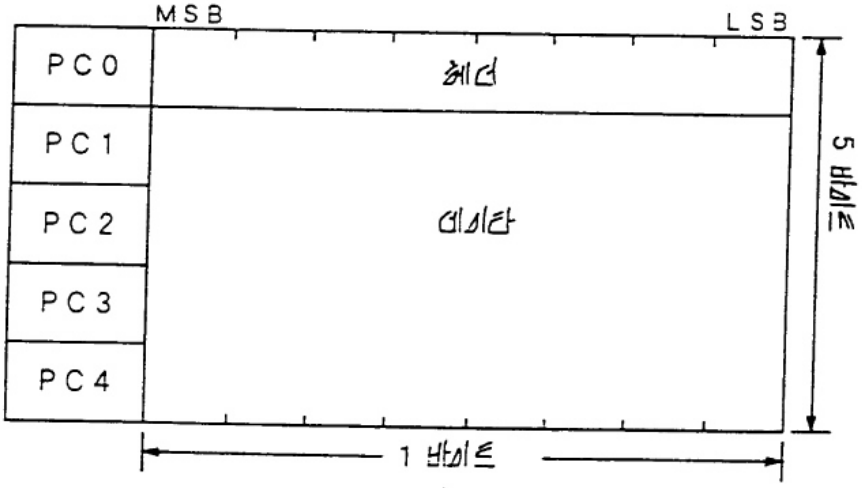
도면52c



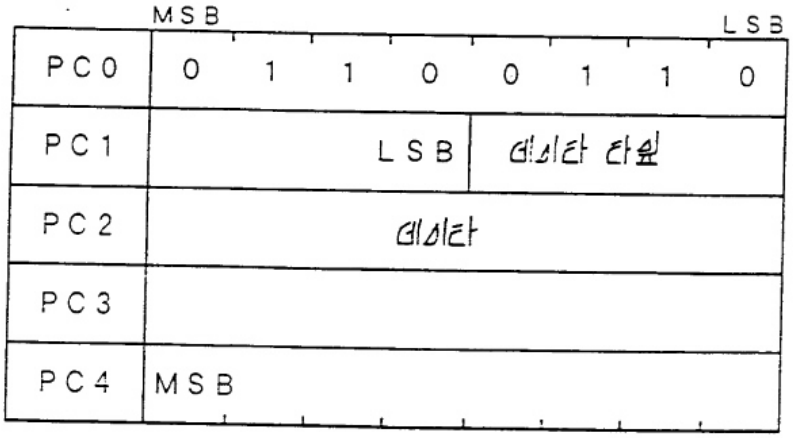
도면52d


8 비트
상대 번호
절대 브랜치 번호
8 비트
절대 브랜치 번호
PP
스택
인덱스
F/R

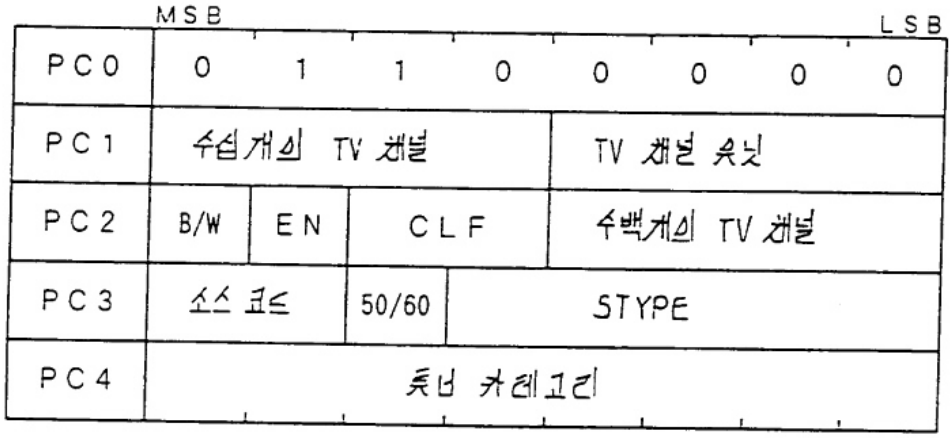
도면53


MSB
LSB
PC0
PC1
PC2
PC3
PC4
헤더
데이타
5 비트
1 바이트

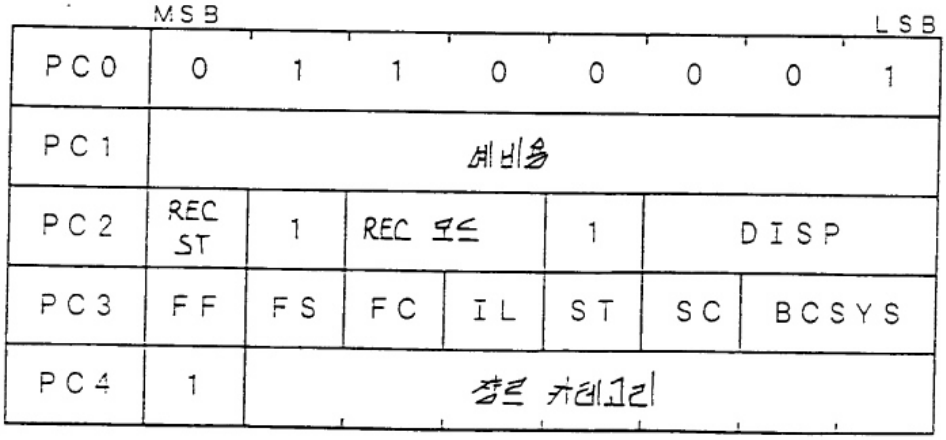
도면54



도면55

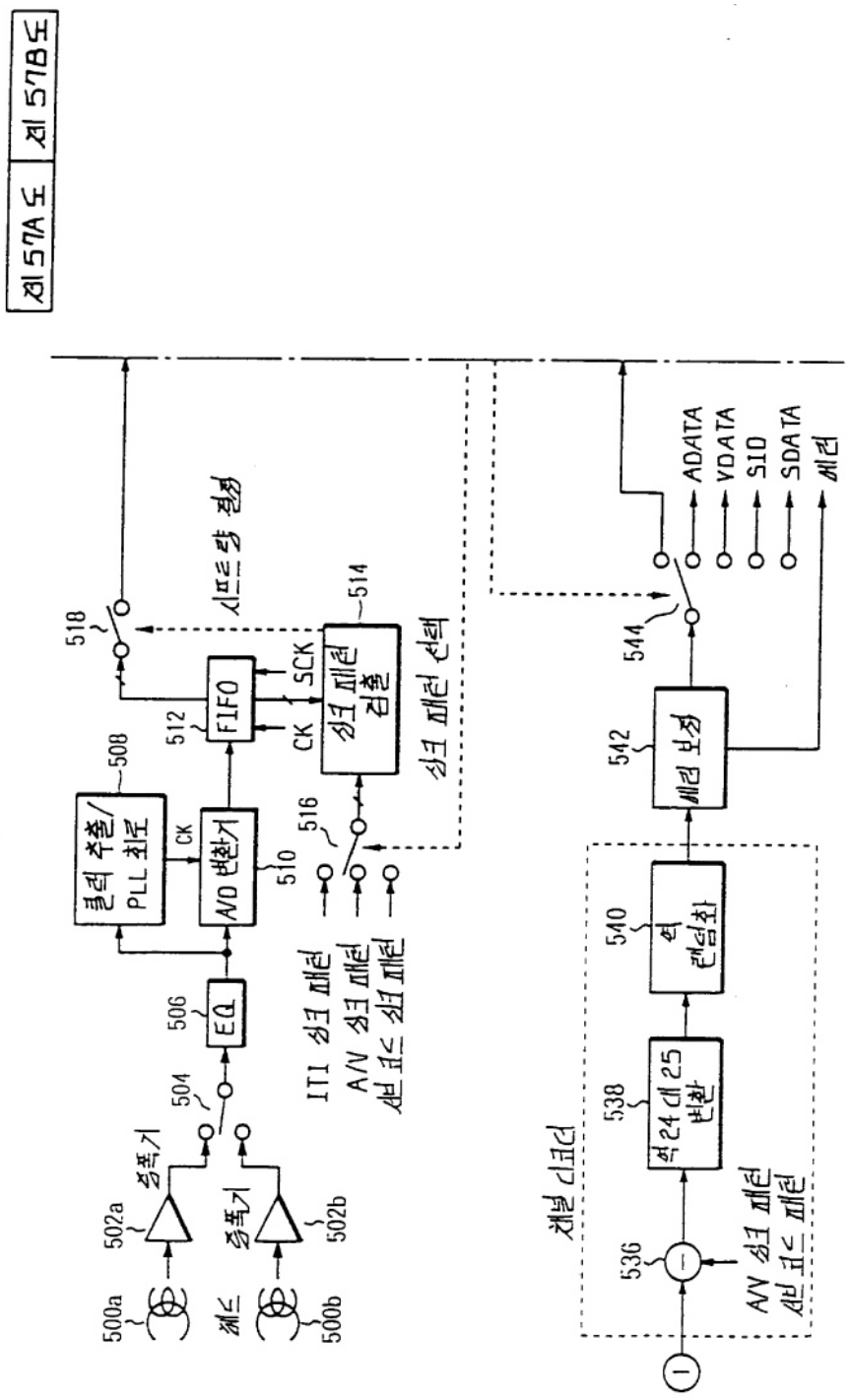


도면56

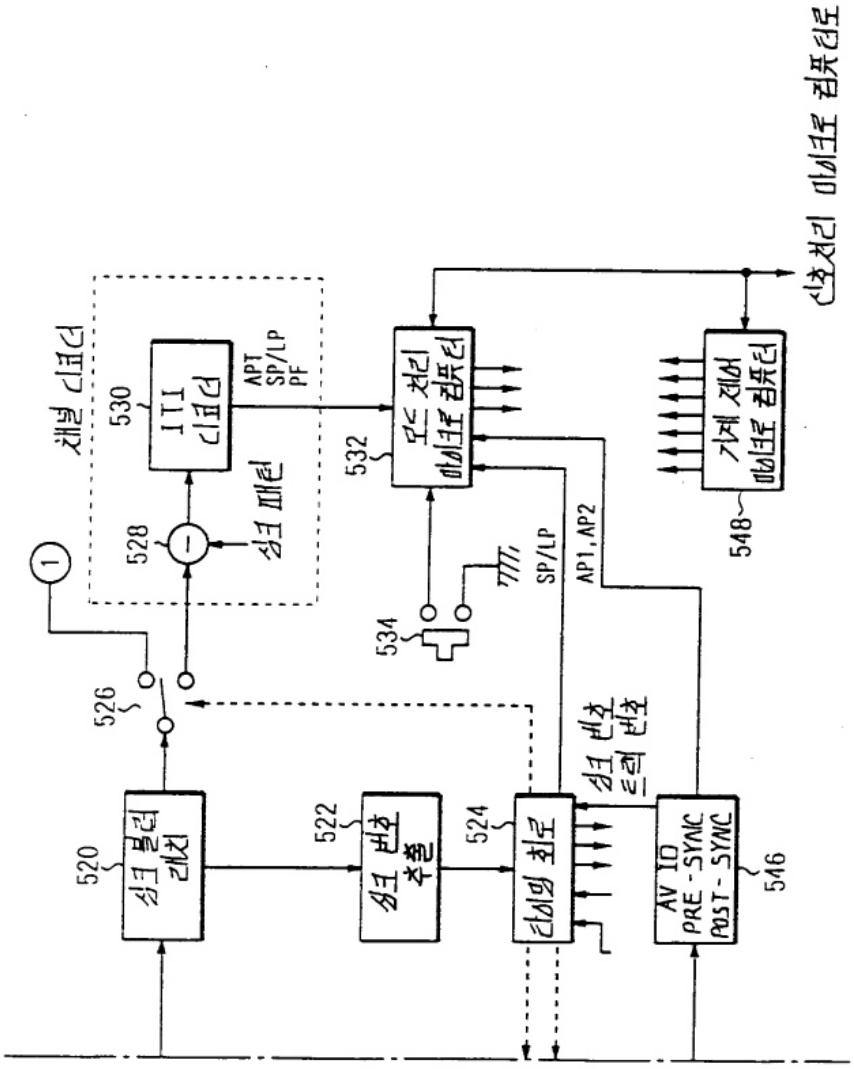


도면57a

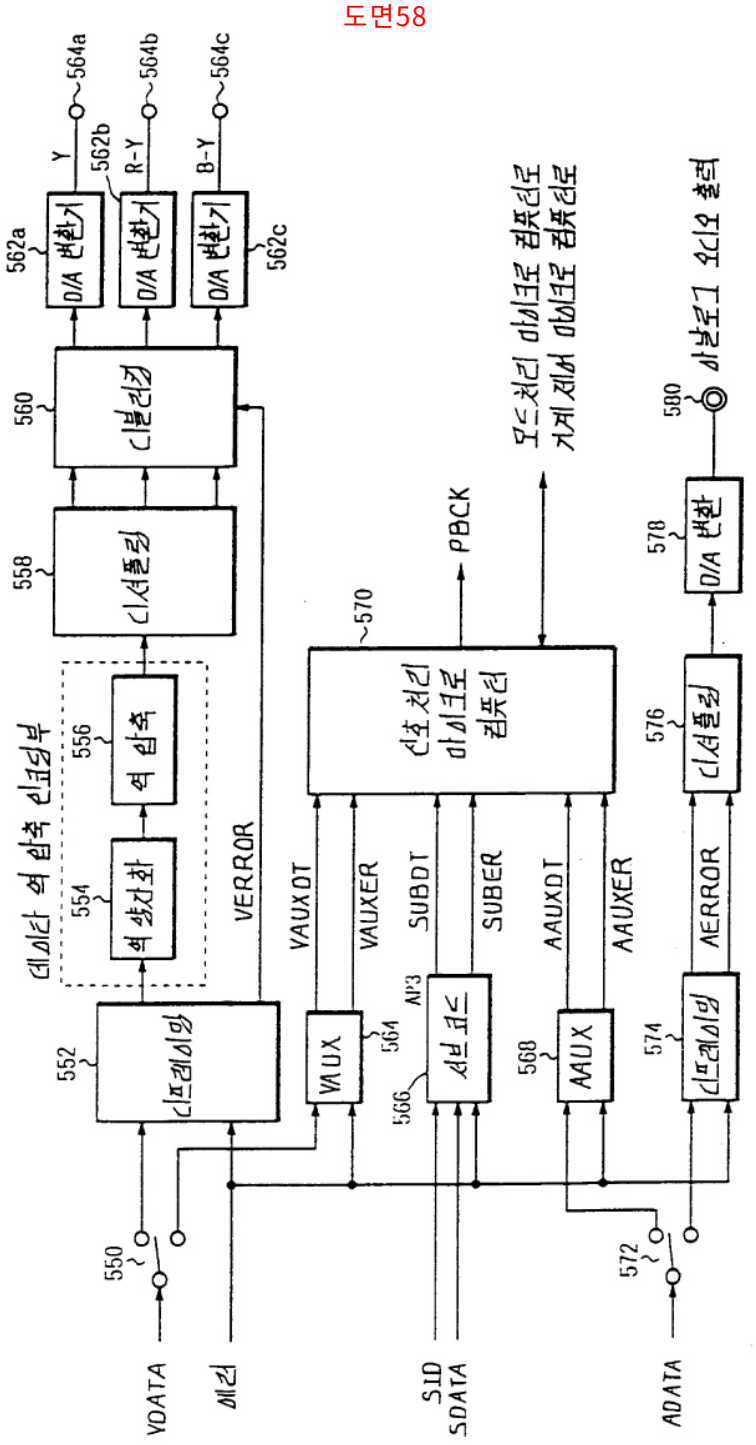
제 57A 도 | 제 57B 도



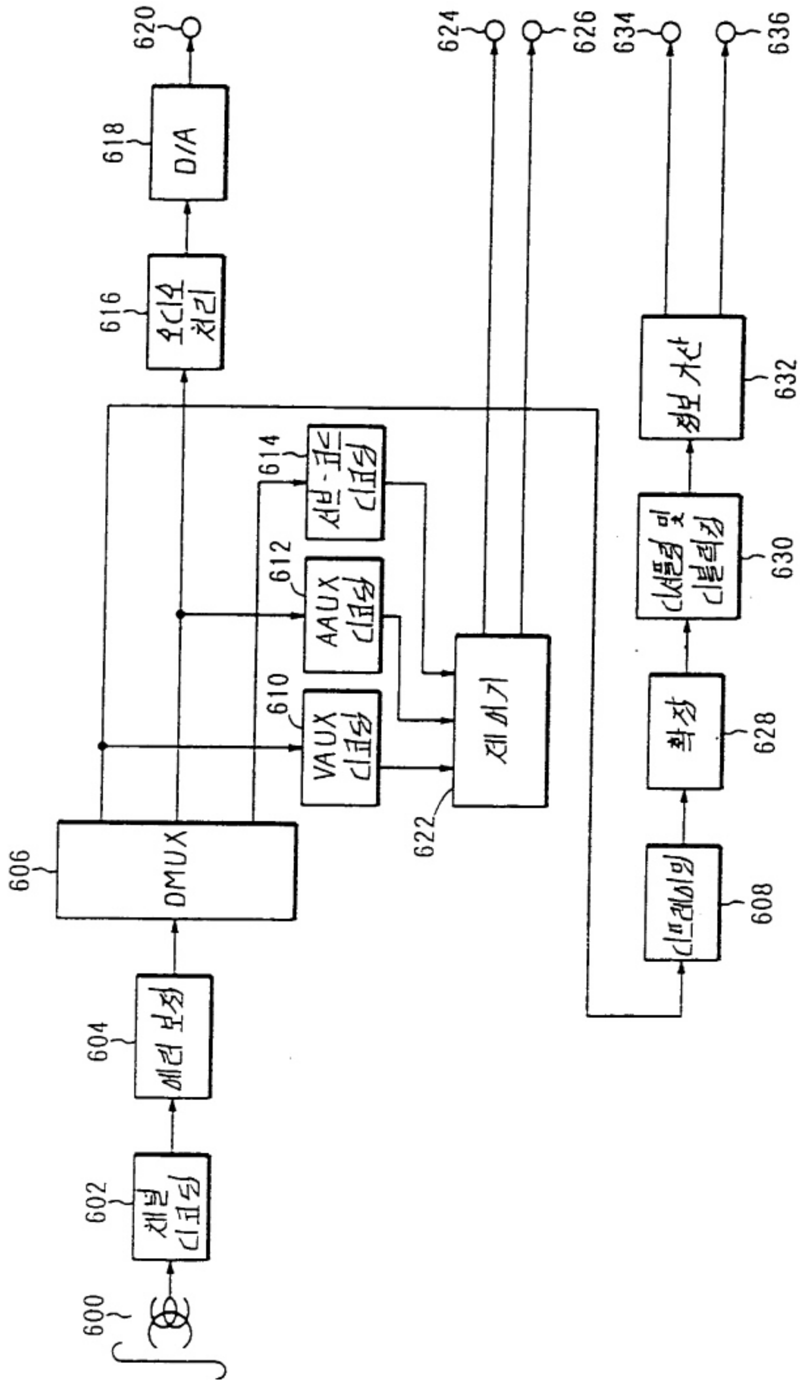
도면57b


신호처리 마이크로 컴퓨터로
채널 디코더
530
ITI 디코더
APT
SP/LP
PF
528
싱크 패턴
532
모드 처리 마이크로 컴퓨터
548
기계 제어 마이크로 컴퓨터
534
SP/LP
AP1, AP2
526
520
싱크 필터 레벨
522
싱크 번호 추출
524
라이밍 회로
싱크 번호 트랙 번호
AV ID
PRE - SYNC
POST - SYNC
546

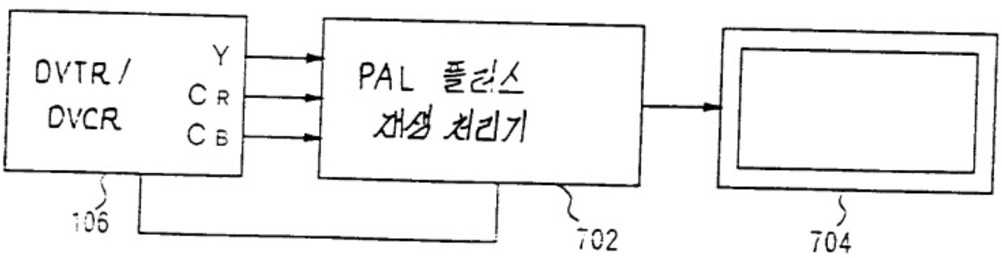
도면58


562a
D/A 변환기
Y
564a
562b
R-Y
564b
B-Y
562c
564c
560
디블러링
558
디셔플링
데이타 역 압축 신호처리부
556
역 압축
554
역 샘플화
552
디프레이밍
VERROR
VAUXDT
VAUXER
SUBDT
SUBER
AAUXDT
AAUXER
VAUX
564
AUX3
서브 코드
566
AAUX
568
570
신호 처리 마이크로 컴퓨터
PBCK
모드처리 마이크로 컴퓨터로
거제 제어 마이크로 컴퓨터로
578
D/A 변환
580
아날로그 오디오 출력
576
디셔플링
574
디프레이밍
AERROR
550
572
VDATA
에러
SID
SDATA
ADATA

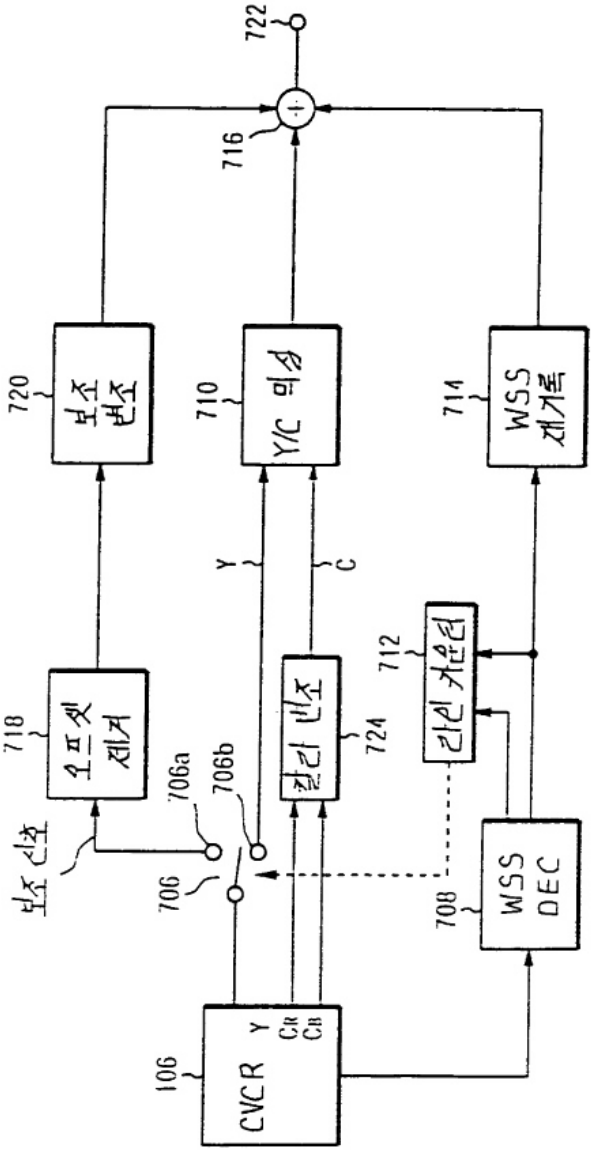
도면59


600
602
채널 디코딩
604
에러 보정
606
DMUX
608
디프레이밍
610
VAUX 디코딩
612
AAUX 디코딩
614
서브-코드 디코딩
616
오디오 처리
618
D/A
620
622
제어기
624
626
628
확장
630
632
정보 가산
634
636

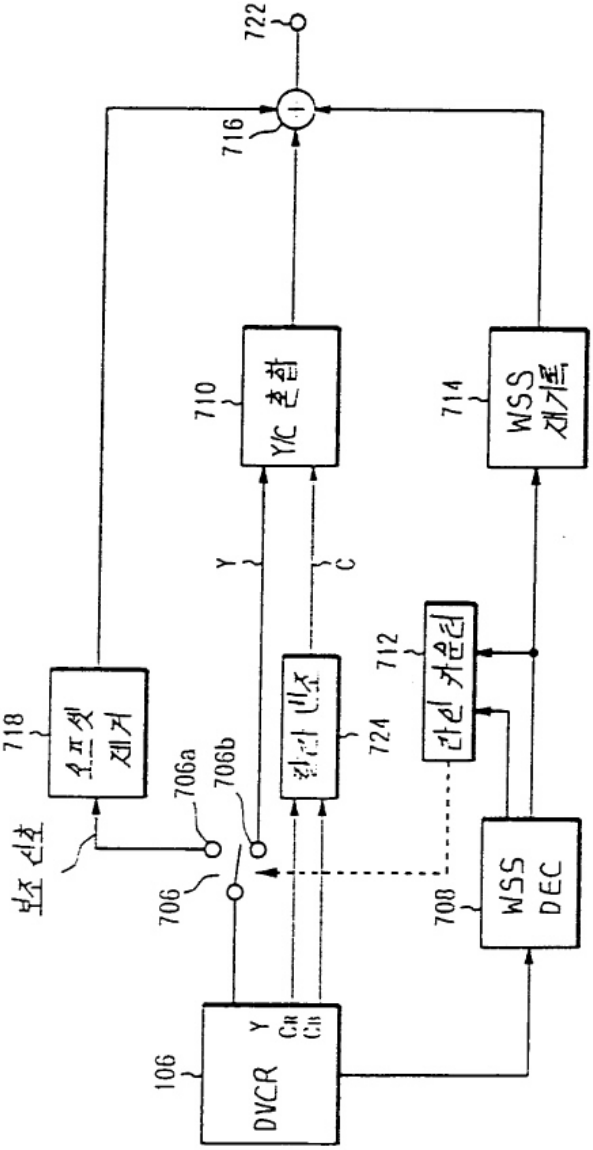
도면60


DVTR / DVCR
Y
C R
C B
PAL 플러스 재생 처리기
106
702
704

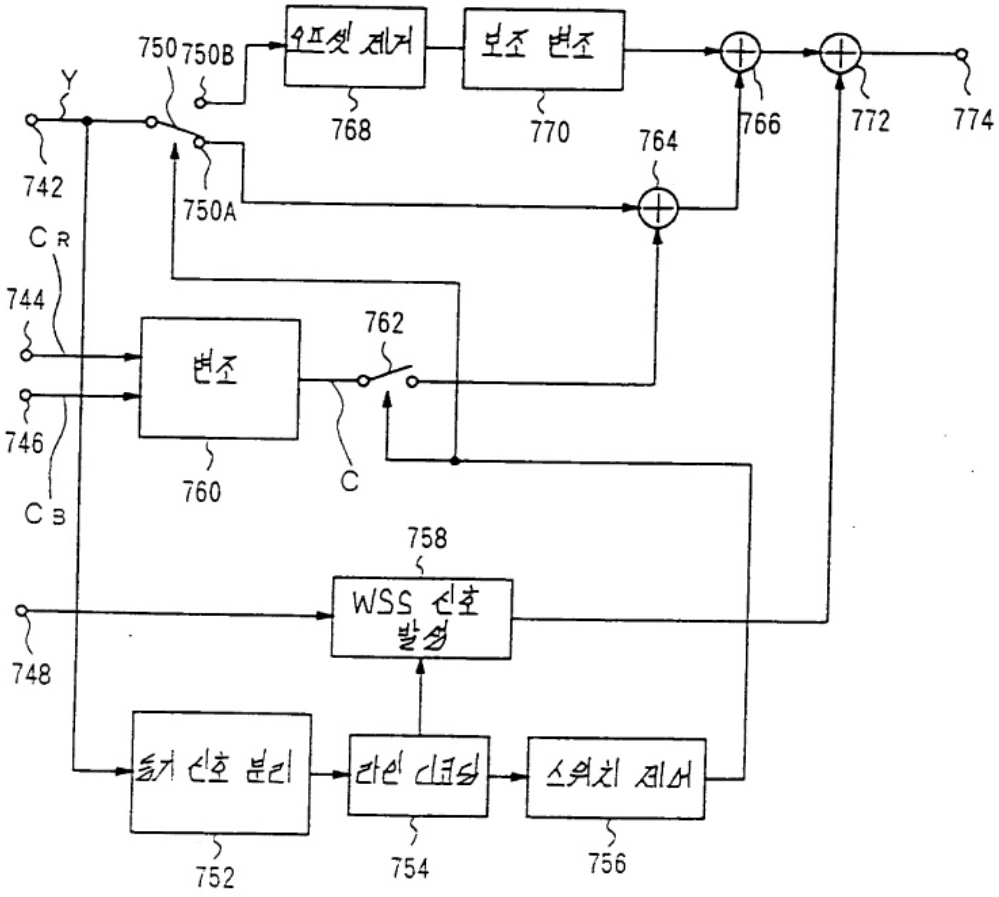
도면61


722
716
720
보조 변조
710
Y/C 믹싱
714
WSS 제거부
Y
C
712
라인 제어기
718
오프셋 제거
706a
706b
칼라 변조
724
보조 신호
706
708
WSS DEC
106
CVCR
Y
Cr
Cb

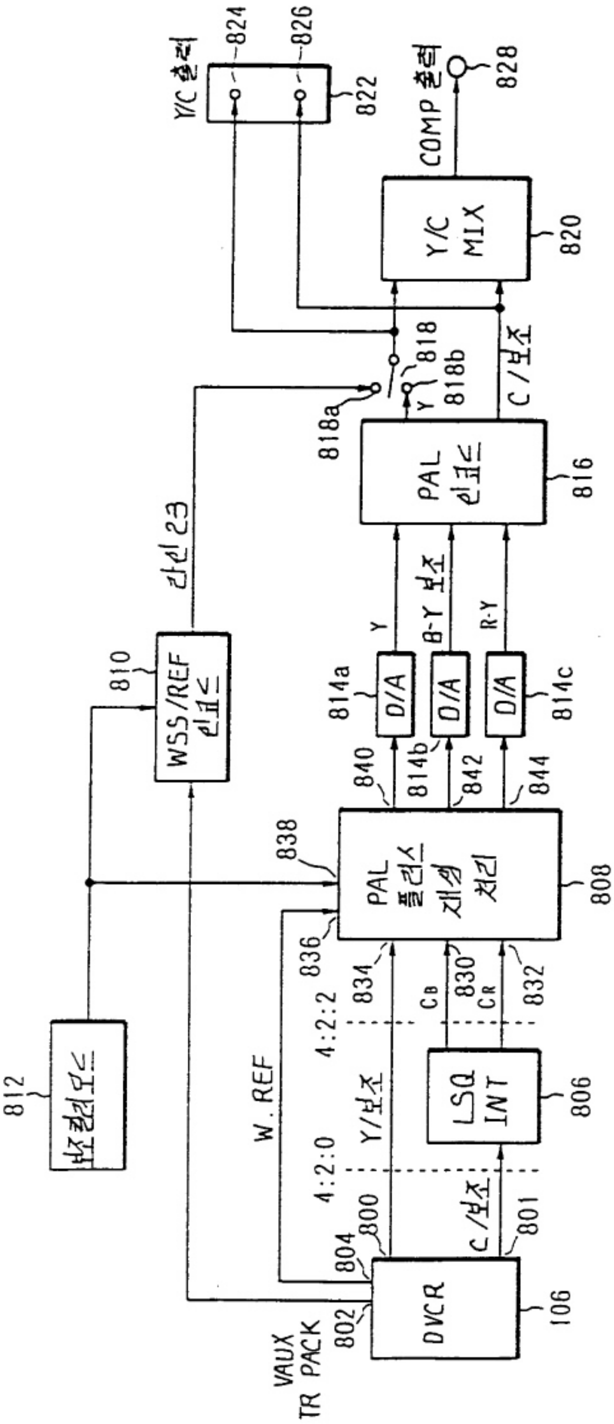
도면62


722
716
710
Y/C 혼합
714
WSS 재기록
Y
C
718
오프셋 제거
712
라인 카운터
724
706a
706b
보조 신호
706
708
WSS DEC
106
DVCR
Y
Cr
Cb

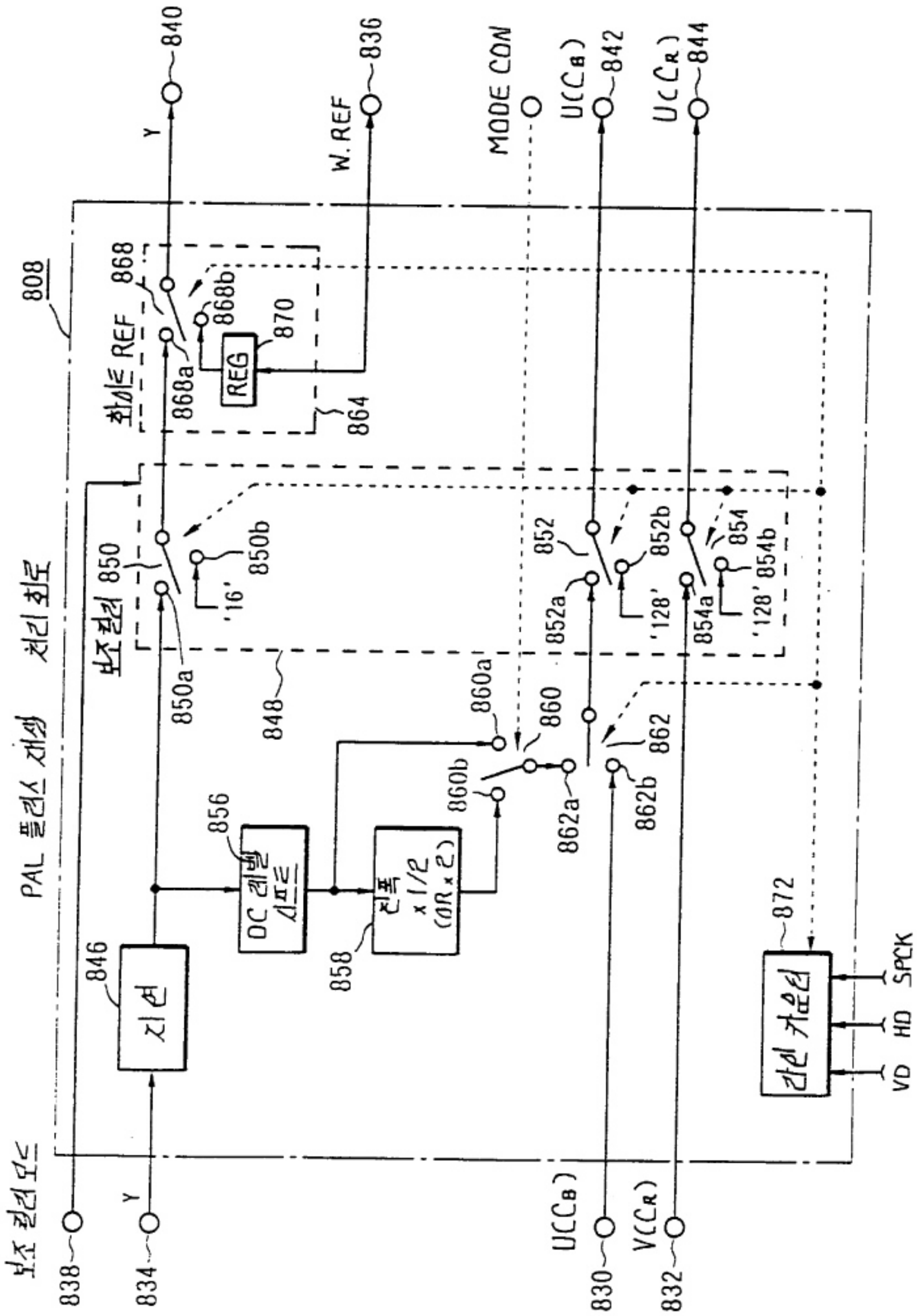
도면63


Y
742
750
750B
750A
오프셋 제거
768
보조 변조
770
764
766
772
774
C R
744
746
C B
변조
760
762
C
758
WSS 신호 발생
748
휘도 신호 분리
752
라인 디코딩
754
스위치 제어
756

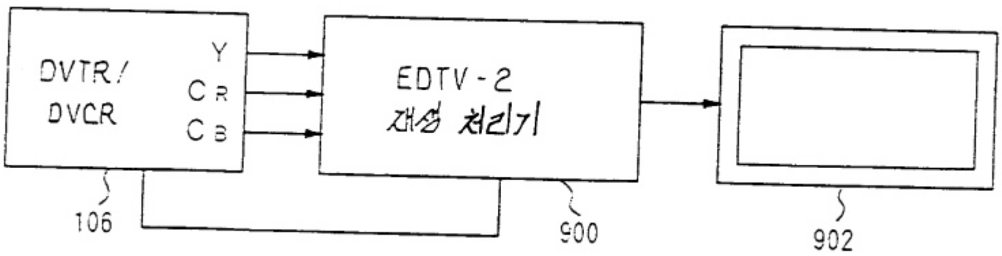
도면64


DVCR
106
VAUX
TR PACK
802
804
800
801
W.REF
4:2:0
Y/보조
C/보조
LSQ
INT
806
4:2:2
CB
CR
830
832
834
836
838
PAL
플러스
재생
처리
808
840
842
844
D/A
814a
814b
814c
Y
B-Y 보조
R-Y
PAL
인코드
816
818
818a
818b
Y
C/보조
Y/C
MIX
820
COMP 출력
828
Y/C 출력
822
824
826
WSS/REF
인코드
810
라인 23
보조컬러모드
812

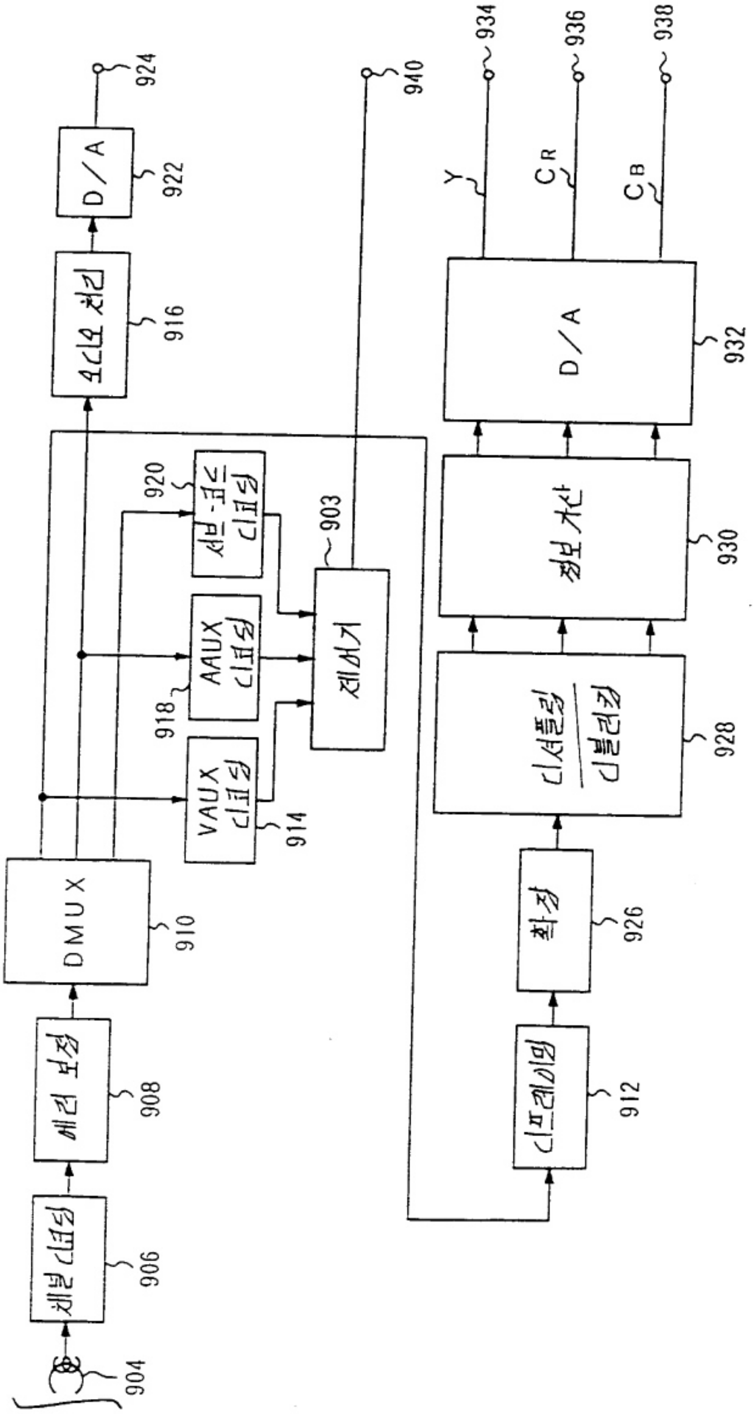
도면65


808
PAL 플러스 재생 처리 회로
보조 컬러 모드
838
Y
834
지연
846
DC 레벨 시프트
856
진폭 x1/2
858
보조컬러 850
850a
850b
'16'
848
860
860a
860b
862
862a
862b
852
852a
852b
'128'
854
854a
854b
라인 카운터
872
VD
HD
SPCK
화이트 REF 868
868a
868b
REG
870
864
W.REF
836
Y
840
MODE CON
U(CB)
842
U(CR)
844
U(CB)
830
V(CR)
832

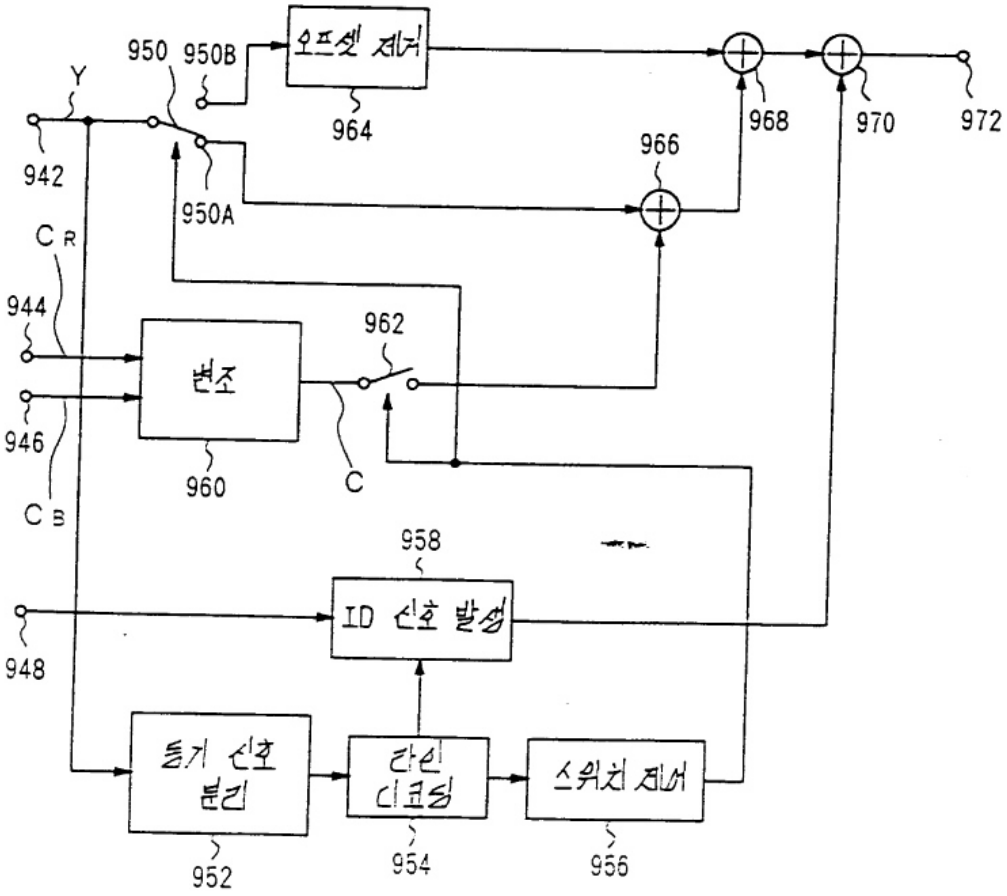
도면66


DVTR/
DVCR
Y
CR
CB
EDTV-2
재생 처리기
106
900
902

도면67


904
채널 디코딩
906
에러 보정
908
DMUX
910
오디오 처리
916
D/A
922
924
VAUX 디코딩
914
AAUX 디코딩
918
서브-코드 디코딩
920
제어기
903
940
디프레이밍
912
확장
926
디셔플링/디블러킹
928
정보 가산
930
D/A
932
Y
CR
CB
934
936
938

도면68


오프셋 제거
950
950B
964
Y
942
950A
966
968
970
972
C R
944
962
변조
946
960
C
C B
958
ID 신호 발생
948
등기 신호 분리
라인 디코딩
스위치 제어
952
954
956