

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6231376号
(P6231376)

(45) 発行日 平成29年11月15日(2017.11.15)

(24) 登録日 平成29年10月27日(2017.10.27)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 K
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 P

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2013-266506 (P2013-266506)	(73) 特許権者	000006633
(22) 出願日	平成25年12月25日(2013.12.25)		京セラ株式会社
(65) 公開番号	特開2015-122458 (P2015-122458A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成27年7月2日(2015.7.2)	(72) 発明者	利 亮太
審査請求日	平成28年6月15日(2016.6.15)		京都府京都市伏見区竹田鳥羽殿町6番地
			京セラ株式会社内
		審査官	梅本 章子

最終頁に続く

(54) 【発明の名称】 半導体素子実装基板および半導体装置

(57) 【特許請求の範囲】

【請求項 1】

上面に半導体素子を実装する実装領域を有し、平面視して外縁が一方向に沿った二辺を有するとともに、前記二辺に沿って設けられた一対の貫通孔とを有する基板と、前記基板上であって前記実装領域と重ならない位置に設けられ、前記一対の貫通孔を個別に塞ぐ一対の入出力端子と、前記一対の入出力端子のそれぞれに設けられ、前記入出力端子から前記貫通孔を通過して下方に延在され、前記一方向に沿って配列された一対のリード端子群と、前記一対のリード端子群を個別に拘束する一対の保持部材とを備えており、前記保持部材は、前記貫通孔よりも小さいことを特徴とする半導体素子実装基板。

10

【請求項 2】

請求項 1 に記載の半導体素子実装基板であって、前記保持部材は、平面視して前記貫通孔と重なる箇所に位置することを特徴とする半導体素子実装基板。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体素子実装基板であって、前記一対の保持部材は、前記一対のリード端子群同士の間設けられ、それぞれが対向して設けられていることを特徴とする半導体素子実装基板。

【請求項 4】

請求項 1 ないし請求項 3 のいずれかに記載の半導体素子実装基板であって、

20

前記保持部材は、表面に複数の溝が設けられており、前記リード端子群を構成する複数のリード端子のそれぞれが対応する複数の溝に嵌っていることを特徴とする半導体素子実装基板。

【請求項 5】

請求項 1 ないし請求項 4 のいずれかに記載の半導体素子実装基板と、前記半導体素子実装基板上に実装された半導体素子とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体素子を実装する半導体素子実装基板と、半導体素子を実装した半導体装置に関する。

【背景技術】

【0002】

半導体素子を搭載し、半導体素子と外部とを電気的に接続するための半導体素子実装基板が開発されている。半導体素子実装基板は、基板と、基板上に設けられ、外方に向かって延在された複数のリード端子とを備えたものが提案されている（例えば、特許文献 1 参照）。なお、リード端子は、基板の上面に沿って平面方向に延在されており、複数のリード端子同士は、不揃いにならないように拘束されている。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】特開平 7 - 99280 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、特許文献 1 に開示されている技術では、電子部品全体を小型化しようとする市場要求に反して、リード端子が平面方向に延在されているため、半導体素子実装基板の占有領域が大きいままとなっている。

【0005】

30

本発明は、占有領域を小さくすることが可能な半導体素子実装基板を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の実施形態に係る半導体素子実装基板は、上面に半導体素子を実装する実装領域を有し、平面視して外縁が一方向に沿った二辺を有するとともに、前記二辺に沿って設けられた一对の貫通孔とを有する基板と、前記基板上であって前記実装領域と重ならない位置に設けられ、前記一对の貫通孔を個別に塞ぐ一对の入出力端子と、前記一对の入出力端子のそれぞれに設けられ、前記入出力端子から前記貫通孔を通して下方に延在され、前記一方向に沿って配列された一对のリード端子群と、前記一对のリード端子群を個別に拘束する一对の保持部材とを備えており、前記保持部材は、前記貫通孔よりも小さいことを特徴とする。

40

【0007】

本発明の実施形態に係る半導体装置は、半導体素子実装基板と、前記半導体素子実装基板上に実装された半導体素子とを備えたことを特徴とする。

【発明の効果】

【0008】

本発明によれば、占有領域を小さくすることが可能な半導体素子実装基板および半導体装置を提供することができる。

【図面の簡単な説明】

50

【 0 0 0 9 】

【図 1】本発明の一実施形態に係る半導体装置の上方から見た外観斜視図である。

【図 2】本発明の一実施形態に係る半導体素子実装基板の上方から見た外観斜視図である。

【図 3】本発明の一実施形態に係る半導体素子実装基板の下方から見た外観斜視図である。

【図 4】本発明の一実施形態に係る半導体素子実装基板の上面図である。

【図 5】本発明の一実施形態に係る半導体素子実装基板の下面図である。

【図 6】本発明の一実施形態に係る半導体素子実装基板の一方向から見た側面図である。

【図 7】本発明の一実施形態に係る半導体素子実装基板の他方向から見た側面図である。

【図 8】本発明の一実施形態に係る半導体素子実装基板の断面図であって、図 4 または図 5 の X - X に沿った断面である。

【図 9】半導体素子実装基板の構成要件の一つである、保持部材の表面を示している。

【発明を実施するための形態】

【 0 0 1 0 】

以下、本発明の一実施形態に係る半導体素子実装基板および半導体装置について、図面を参照しながら説明する。

【 0 0 1 1 】

< 半導体装置 >

図 1 は、本発明の一実施形態に係る半導体装置を示す外観斜視図であって、半導体装置を斜め上方から見た斜視図である。図 2 は、図 1 に示す半導体装置から半導体素子を取り除いた状態を示す半導体素子実装基板の斜視図である。

【 0 0 1 2 】

半導体装置 1 は、半導体素子実装基板 2 と、半導体素子実装基板 2 上に実装される半導体素子 3 とを備えている。半導体素子実装基板 2 は、上面に半導体素子 3 を実装する実装領域 R を有し、平面視して外縁が一方向に沿った二辺を有するとともに、二辺に沿って設けられた一对の貫通孔 H とを有する基板 2 1 と、基板 2 1 上であって実装領域 R と重ならない位置に設けられ、一对の貫通孔 H を個別に塞ぐ一对の入出力端子 2 2 と、一对の入出力端子 2 2 のそれぞれに設けられ、入出力端子 2 2 から貫通孔 H を通って下方に延在され、一方向に沿って配列された一对のリード端子群 2 3 と、一对のリード端子群 2 3 を個別に拘束する一对の保持部材 2 4 とを備えている。

【 0 0 1 3 】

半導体素子 3 は、半導体材料を電気回路素子であって、例えば IC、光半導体素子、トランジスタ、ダイオードまたはサイリスタ等の電子部品である。半導体素子 3 は、リジッド基板、フレキシブル基板またはリジッドフレキシブル基板等のプリント基板からなる電子部品を組み合わせたものであってもよい。本実施形態においては、半導体素子 3 は台座 4 上に実装されている。

【 0 0 1 4 】

台座 4 は、例えば、酸化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、窒化アルミニウム質焼結体、窒化珪素質焼結体またはガラスセラミック等の絶縁材料から成る。台座 4 上には、高周波信号が伝送されるモリブデンまたはマンガン等の金属を含む金属ペーストを焼結して成る配線が形成されている。更に、台座 4 上には、半導体素子 3 を搭載する導体層が形成されている。台座 4 は、例えば、インジウム、鉛、銀または錫等の金属を含む半田またはろう材等の接合部材を介して基板 2 1 の実装領域 R に接続される。

【 0 0 1 5 】

基板 2 1 は、半導体素子 3 を実装するものである。基板 2 1 は、上面に半導体素子 3 を実装する実装領域 R を有し、平面視して外縁が一方向に沿った二辺を有するとともに、二辺に沿って設けられた一对の貫通孔 H とを有している。基板 2 1 は、平面視して外縁が略四角形状であって、四隅が面取りされている。そして、基板 2 1 は、平面視して四辺を有

10

20

30

40

50

しており、隣接する辺同士が直交するように形成されている。

【0016】

基板21は、例えば、銅、鉄、タングステン、モリブデン、ニッケルまたはコバルト等の金属材料、或いはこれらの金属材料を含有する合金から成る。基板21は、熱伝導率を良好にして、実装領域Rに実装した半導体素子3から発生する熱を効率良く基板21に放散させる機能を備えている。なお、基板21の熱伝導率は、例えば $15\text{ W}/(\text{m}\cdot\text{K})$ 以上 $450\text{ W}/(\text{m}\cdot\text{K})$ 以下に設定されている。

【0017】

また、基板21は、溶融した金属材料を型枠に鋳込んで固化させたインゴットに対して、従来周知の圧延加工または打ち抜き加工等の金属加工法を用いることで、所定形状に製作される。なお、基板21の一辺の長さは、例えば 10 mm 以上 100 mm 以下に設定されている。また、基板21の厚みは、例えば 0.5 mm 以上 5 mm 以下に設定されている。

10

【0018】

また、基板21の表面は、酸化腐食の防止、あるいは実装領域Rに半導体素子3や台座4をろう付けしやすくするために、電気めっき法または無電解めっき法を用いて、ニッケルまたは金等の鍍金層が形成されている。基板21の実装領域Rは、半導体素子3や台座4を実装する領域のことをいう。なお、本実施形態では、基板21の形状を四角形状としているが、素子3を実装することが可能であって、対応する二辺があれば、四角形状に限られず、多角形状等であってもよい。

20

【0019】

基板21は、一对の貫通孔Hを有しており、対辺に沿って設けられている。貫通孔Hは、リード端子231を通すためのものである。貫通孔Hの一辺の長さは、例えば 5 mm 以上 90 mm 以下に設定されている。また貫通孔Hの深さは、基板21の厚みに相当する。

【0020】

入出力端子22は、基板21上であって貫通孔Hを塞ぐように設けられている。入出力端子22は、直方体状のセラミック部材221と、セラミック部材221の上下面に形成された電極222と、セラミック部材221の上面から下面にかけてセラミック部材221を貫通したビア導体223とを備えている。入出力端子22は、外部の電子機器と半導体素子3とを電氣的に接続するものである。

30

【0021】

セラミック部材221は、直方体形状であって、平面視したときに矩形状に設定されている。セラミック部材221は、絶縁性の基板を複数層積層したものであって、例えば、アルミナ、ムライトまたは窒化アルミ等のセラミック材料、あるいはガラスセラミック材料等から成る。または、これらの材料のうち複数の材料を混合した複合系材料から成る。なお、セラミック部材221を平面視したときの一辺の長さは、例えば 6 mm 以上 95 mm 以下に設定されている。また、セラミック部材221の上下方向の厚みは、例えば、 0.3 mm 以上 3 mm 以下に設定されている。セラミック部材221の熱膨張率は、例えば、 6.4×10^{-6} 以上 8.0×10^{-6} 以下に設定されている。

【0022】

一对のセラミック部材221は、一对の貫通孔Hのそれぞれを個別に覆っている。そして、一对のセラミック部材221は、それぞれが基板21の二辺に沿って配置されている。一对のセラミック部材221は、基板21上で両社の一側面が対向するように向き合っている。

40

【0023】

電極222は、セラミック部材221の上下面に設けられている。セラミック部材221の上面に形成された電極222は、半導体素子3とボンディングワイヤを介して電氣的に接続される。また、セラミック部材221の下面に形成された電極222は、リード端子231とろう材を介して電氣的に接続される。電極222は、セラミック部材221の上下面に複数配列されており、セラミック部材221内のビア導体223と一対一の関係

50

で設けられている。さらに、複数の電極 2 2 1 は、セラミック部材 2 2 1 の上下面に一方
向に沿って対向するように配列されている。また、セラミック部材 2 2 1 の上面に形成さ
れた電極 2 2 2 は、平面視して矩形状に形成され、セラミック部材 2 2 1 の下面に形成さ
れた電極 2 2 2 は、平面視して円形状に形成されている。これにより、リード端子 2 3 1
を電極 2 2 2 に口付けする際のセラミック部材 2 2 1 の上下方向の方向性を容易に認識
することができ、半導体装置を製造する際の歩留まりを向上できる。そして、電極 2 2 2
は、例えば、タングステン、モリブデン、マンガン、ニッケル、銅、銀または金等の金属
材料、あるいはそれらの合金、あるいはこれらの材料のうち複数の材料を混合した複合系
材料、あるいはそれらの材料の複合層からなる。

【 0 0 2 4 】

10

ビア導体 2 2 3 は、電極 2 2 2 とリード端子 2 3 1 とを電氣的に接続するものである。
ビア導体 2 2 3 の上端が、セラミック部材 2 2 1 の上面に形成された電極 2 2 2 と接続さ
れる。上端そのものが電極 2 2 2 であってもよい。また、ビア導体 2 2 3 の下端が、セラ
ミック部材 2 2 1 の下面に形成された電極 2 2 2 と接続され、リード端子 2 3 1 の上端と
ろう材を介して電氣的に接続されている。ビア導体 2 2 3 は、電極 2 2 2 と同様に、例え
ば、タングステン、モリブデン、マンガン、ニッケル、銅、銀または金等の金属材料、あ
るいはそれらの合金、あるいはこれらの材料のうち複数の材料を混合した複合系材料、あ
るいはそれらの材料を貫通部に充填した貫通導体からなる。

【 0 0 2 5 】

20

リード端子 2 3 1 は、ろう材を介してセラミック部材 2 2 1 の下面に形成された電極 2
2 2 およびビア導体 2 2 3 と電氣的に接続される。リード端子 2 3 1 は、ビア導体 2 2 3
の個数に対応して複数設けられている。複数のリード端子 2 3 1 同士は、間を空けて設け
られている。そして、各リード端子 2 3 1 同士は、電氣的に絶縁されている。リード端子
2 3 1 は、入出力端子 2 3 1 の下面から貫通孔 H を通って下方に延在されている。リード
端子 2 3 1 は、棒状であって、上端から下端までの長さが例えば 5 mm 以上 5 0 mm 以下
に設定されている。また、リード端子 2 3 1 は、円柱形状であって、直径が例えば 0 . 5
mm 以上 2 mm 以下に設定されている。なお、リード端子 2 3 1 は、導電材料からなり、
例えば、銅、鉄、タングステン、モリブデン、ニッケルまたはコバルト等の金属材料、あ
るいはこれらの金属材料を含有する合金から成る。

【 0 0 2 6 】

30

複数のリード端子 2 3 1 は、一対の入出力端子 2 2 の下面のそれぞれに接続されている
。そして、一つの入出力端子 2 2 に接続された複数のリード端子 2 3 1 は、一方向に沿っ
て配列されている。ここで、一方向に沿って配列された複数のリード端子 2 3 1 のことを
一つのリード端子群 2 3 という。

【 0 0 2 7 】

保持部材 2 4 は、リード端子群 2 3 を拘束する。つまり、保持部材 2 4 は、複数のリー
ド端子 2 3 1 をまとめて拘束するものである。保持部材 2 4 は板状であって、例えば、一
辺の長さが 5 mm 以上 1 0 0 mm 以下であって、厚みが 0 . 3 mm 以上 3 mm 以下に設定
されている。なお、保持部材 2 4 は、セラミック材料からなり、例えば、アルミナ、ムラ
イトまたは窒化アルミ等のセラミック材料、あるいはガラスセラミック材料等から成る。
または、これらの材料のうち複数の材料を混合した複合系材料から成る。また、複数のリー
ド端子 2 3 1 は、保持部材 2 4 のリード端子 2 3 1 側の表面に設けられた、メタライズ
層 P にろう材を介して接合される。これにより、保持部材 2 4 は、リード端子群 2 3 を拘
束することができる。なお、メタライズ層 P は、例えば、タングステン、モリブデン、マ
ンガン、ニッケル、銅、銀または金等の金属材料、あるいはそれらの合金、あるいはこれ
らの材料のうち複数の材料を混合した複合系材料、あるいはそれらの材料の複合層からな
り、複数のリード端子 2 3 1 のそれぞれに対応するように設けられ、それぞれのメタライ
ズ層 P は電氣的に絶縁される。

40

【 0 0 2 8 】

保持部材 2 4 は、平面視して貫通孔 H と重なる箇所に位置している。保持部材 2 4 自体

50

は、平面視して、入出力端子 2 2 より小さく、さらに貫通孔 H よりも小さくなるように設けられている。保持部材 2 4 は、基板 2 1 の上面や下面に沿って平面方向に沿って延在せず、貫通孔 H からはみ出さないように配置されていることで、半導体素子実装基板 2 自体の占有面積を小さく抑えることができ、半導体装置 1 を外部回路基板に高密度に配置することができる。さらに、リード端子 2 3 1 および保持部材 2 4 を貫通孔 H に挿入しやすくなり、入出力端子 2 2 を半導体素子実装基板 2 に載置するためのタクトタイムを短縮できる。また、リード端子 2 3 1 および保持部材 2 4 を貫通孔 H に挿入する際に、保持部材 2 4 が貫通孔 H に接触することによって生じる、半導体素子実装基板 2 や保持部材 2 4 のキズやカケ、リード端子 2 3 1 が保持部材 2 4 から剥がれることを抑制できる。

【 0 0 2 9 】

10

また、保持部材 2 4 には、表面に複数の溝が設けられてもよい。複数の溝は、リード端子群 2 3 を構成する複数のリード端子 2 3 1 のそれぞれが対応するように設けられている。つまり、リード端子群 2 3 を構成する複数のリード端子 2 3 1 のそれぞれが対応する複数の溝に嵌っていてもよい。

【 0 0 3 0 】

溝は、ライン状であってもよい。溝は、保持部材 2 4 の一端から他端にまで連続して一直線に形成されている。溝は、リード端子 2 3 1 が嵌るように半円柱状に凹んでいてもよい。そして、溝の内面にはメタライズ層 P が形成されている。メタライズ層 P は、溝にそれぞれ形成されている。隣接するメタライズ層 P 同士は、間を空けて設けられている。メタライズ層 P は、リード端子 2 3 1 をろう材を介して接続することができる。なお、溝は、例えば、半径が 0 . 5 mm 以上 2 mm 以下であって、リード端子 2 3 1 の太さに対応している。

20

【 0 0 3 1 】

保持部材 2 4 は、一对のリード端子群 2 3 のそれぞれに設けられている。そして、一对の保持部材 2 4 は、一对のリード端子群 2 3 同士の間設けられ、それぞれが対向している。一对の保持部材 2 4 は、両者同じ高さ位置に設けられている。一对のリード端子 2 4 は、同じ高さ位置に設けられていることで、半導体素子実装基板 2 を外部回路基板に一对のリード端子群 2 3 を差し込んで電氣的に接続する際に、一对の保持部材 2 4 が外部回路基板に当接する。そして、一对の保持部材 2 4 がストッパーとしての役目を果たす。その結果、リード端子 2 3 1 が外部回路基板に対して位置ずれしにくく、かつ半導体素子 1 が外部回路基板に対して平行に配置される。また、位置ずれしにくい状態でリード端子 2 3 1 が外部回路基板の所定位置に設けられた挿入部に誘導されて挿入されずに、リード端子 2 3 1 が挿入部ではない部位に当接することにより、リード端子 2 3 1 が折れ曲がったりするのを抑制することができる。

30

【 0 0 3 2 】

一对の保持部材 2 4 は、一对のリード端子群 2 3 の間の領域に存在する。保持部材 2 4 が、仮に一对のリード端子群 2 3 の間でない外側に配置された場合は、半導体装置 1 を外部回路基板に実装する際に、保持部材 2 4 の大きさに応じた実装領域を外部回路基板上に設ける必要が生じ、半導体装置 1 や他の電子部品を外部回路基板上に近接して高密度に実装し難くなる。さらに、外部回路基板上において他の電子部品等と接触しやすく、部品配置の自由度が低くなるとともに、半導体装置 1 を外部回路基板に実装する際に保持部材 2 4 が他の電子部品等に接触することにより、他の電子部品等が損傷したり、破損したりする虞がある。つまり、一对の保持部材 2 4 を一对のリード端子 2 3 の間に設けることで、部品配置の自由度を向上させることができる。さらに、他の電子部品等が損傷することを抑制できるとともに、半導体装置 1 を外部回路基板に高密度に実装することができる。

40

【 0 0 3 3 】

また、このように保持部材 2 4 を設けることで、一方のリード端子群 2 3 のリード端子 2 3 1 と、他方のリード端子群 2 3 のリード端子 2 3 1 とが接触し、それぞれのリード端子 2 3 1 が電氣的に短絡することを抑制できる。即ち、一对の保持部材 2 4 が一对のリード端子群 2 3 の間の領域に存在することにより、外部回路基板に実装された半導体装置 1

50

に外力が加えられても、一对のリード端子群 2 3 の間の領域に配置された保持部材 2 4 の下端部が外部回路基板に当接することにより、それぞれのリード端子 2 3 1 が一对のリード端子群 2 3 の間の方向に変形することを抑制できる。よって、半導体装置 1 は、外力によってリード端子 2 3 1 が変形することによって生じる電氣的な短絡を抑制できる。

【 0 0 3 4 】

仮に、保持部材 2 4 がリード端子群 2 3 に設けられていない場合や、一对の保持部材 2 4 が一对のリード端子群 2 3 の間の領域に存在しない場合には、リード端子群 2 3 は外部回路基板に実装する際に、リード端子 2 3 1 と外部回路基板の接続部を起点として変形しやすい。また、リード端子群 2 3 は、外部回路基板に実装する際に一对のリード端子群 2 3 の間の方向に変形しやすくなり、それぞれのリード端子 2 3 1 が電氣的に短絡する虞がある。そこで、本実施形態に係る半導体装置 1 および半導体素子実装基板 2 は、リード端子群 2 3 に保持部材 2 4 を設けることで、外部回路基板に実装する際にリード端子 2 3 1 が折れ曲がって変形したり、電氣的に短絡したりするのを抑制することができる。

10

【 0 0 3 5 】

本実施形態に係る半導体装置 1 および半導体素子実装基板 2 によれば、入出力端子 2 1 の下面と重なる箇所に貫通孔 H を設け、入出力端子 2 1 から貫通孔 H を通って下方に向かってリード端子群 2 3 を配置し、そのリード端子群 2 3 を拘束する保持部材 2 4 を設けることで、外部回路基板に対する占有領域を小さくすることが可能な半導体装置 1 および半導体素子実装基板 2 を提供することができる。さらに、半導体装置 1 および半導体素子実装基板 2 は、リード端子 2 3 1 が電氣的に短絡することによる、半導体装置 1 の動作不良や故障を抑制することができる。

20

【 0 0 3 6 】

なお、本発明は上述の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良等が可能である。例えば、複数のリード端子 2 3 1 は、長さ方向に対して垂直方向の断面形状が四角形でもよく、保持部材 2 4 に対向する複数のリード端子 2 3 1 の側面が面一に設けられてもよい。これにより、リード端子 2 3 1 は、リード端子 2 3 1 に対向する保持部材 2 4 の側面に対して平行に接合されやすくなる。

【 0 0 3 7 】

< 半導体装置の製造方法 >

ここで、図 1 または図 2 に示す半導体装置および半導体素子実装基板の製造方法を説明する。まず、基板 2 1 やリード端子 2 3 1 を準備する。貫通孔 H を形成した基板 2 1 やリード端子 2 3 1 は、熔融した金属材料を型枠に鑄込んで固化させたインゴットに対して、金属加工法を用いることで、所定形状に製作される。

30

【 0 0 3 8 】

次に、入出力端子 2 2 や台座 4 を準備する。ここでは、セラミック部材 2 2 1 の材料が、酸化アルミニウム質焼結体、窒化アルミニウム質焼結体またはムライト質焼結体等の場合の、入出力端子 2 2 の作製方法について説明する。なお、台座 4 については、セラミック部材 2 2 1 と同様の方法で作製することができる。

【 0 0 3 9 】

具体的には、セラミック部材 2 2 1 の材料が酸化アルミニウム質焼結体から成る場合、酸化アルミニウム、酸化珪素、酸化マグネシウムおよび酸化カルシウム等の原料粉末に有機バインダー、可塑剤または溶剤等を添加混合して泥漿状にしたものを準備する。そして、入出力端子 2 2 は、複数層が積層された構造であるため、複数の層に対応するグリーンシートを準備する。グリーンシートは、泥漿状にしたものをシート形状に加工して準備する。各グリーンシートを所定の形状となるようにレーザー、パンチ、打ち抜き金型またはカッター等の工具を用いて、焼成前に所定形状に加工し、ビア導体 2 2 3 に対応したスルーホールを形成したグリーンシートを得る。

40

【 0 0 4 0 】

次に、焼成前の未硬化のグリーンシートに対して、例えば、スクリーン印刷法等の形成技術を用いて、電極 2 2 2、配線パターンおよびビア導体 2 2 3 や、基板 2 1 が接合され

50

る接合部を形成する。その後、加工した複数のグリーンシートを積層した状態で同時焼成する。このようにして、入出力端子 2 2 を作製することができる。なお、電極 2 2 2、配線パターンおよびビア導体 2 2 3 や、基板 2 1 が接合される接合部は、例えば、タングステン、モリブデンまたはマンガン等の高融点金属材料から成り、焼成後の電極 2 2 2、配線パターンおよび基板 2 1 が接合される接合部の表面にニッケルから成るメッキ層が形成される。

【 0 0 4 1 】

また、同様にして、保持部材 2 4 を準備する。保持部材 2 4 が、例えば酸化アルミニウム質焼結体から成る場合、泥漿状にしたものをシート形状に加工して特定の形状に成形する。次に、焼成前の未硬化のグリーンシートに対して、例えば、スクリーン印刷法等の形成技術を用いて、それぞれのリード端子 2 3 1 がろう材を介して接合されるメタライズ層 P を形成して焼結するとともに、メタライズ層 P の表面にニッケルから成るメッキ層が形成されることで得られる。なお、メタライズ層 P が設けられる位置に溝を設けてよく、保持部材 2 4 の複数の溝には、焼成前にスクリーン印刷法等の形成技術を用いてメタライズ層 P を形成しておく。

【 0 0 4 2 】

次に、基板 2 1 の貫通孔 H から露出する入出力端子 2 2 の下面に対し、準備した多数のリード端子 2 3 1 をろう材を介して接続すると同時に、準備した保持部材 2 4 の各メタライズ層 P にろう材を付着させて、リード端子群 2 3 の各リード端子 2 3 1 と各メタライズ層 P とを接続して固定し、リード端子群 2 3 を形成することができる。そして、入出力端子 2 2 の下面の縁に形成された接合部にろう材を付けて基板 2 1 の上面と接続する。そして、基板 2 1 の貫通孔 H を塞ぐようにろう材を介して入出力端子 2 2 を接続する。このようにして、半導体素子実装基板 2 を作製することができる。

【 0 0 4 3 】

そして、基板 2 1 の実装領域 R に対して、例えば、酸化アルミニウム質焼結体から成る台座 4 を接続する。台座 4 の上面には、予め金属ペーストを焼結して、ニッケル層および金層が順次設けられたメッキ層を形成して成る配線を形成しておく。そして、半導体素子 3 を、例えば金 - 錫半田やボンディングワイヤを介して台座 4 上の配線と接続する。このようにして、半導体装置 1 を作製することができる。

【 符号の説明 】

【 0 0 4 4 】

- 1 半導体装置
- 2 半導体素子実装基板
- 2 1 基板
- 2 2 入出力端子
- 2 2 1 セラミック部材
- 2 2 2 電極
- 2 2 3 ビア導体
- 2 3 リード端子群
- 2 3 1 リード端子
- 2 4 保持部材
- 3 半導体素子
- 4 台座
- R 実装領域
- H 貫通孔
- P メタライズ層

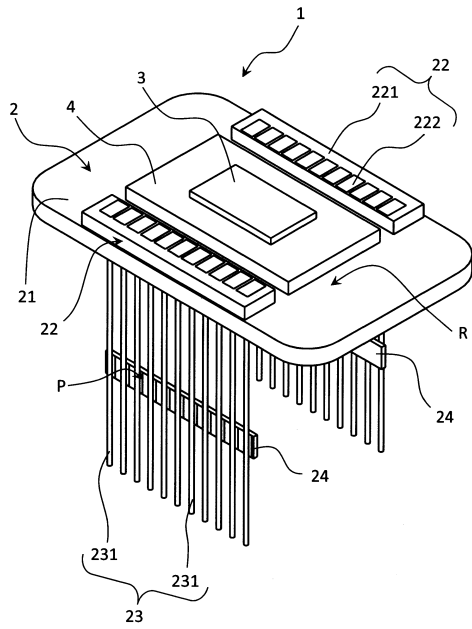
10

20

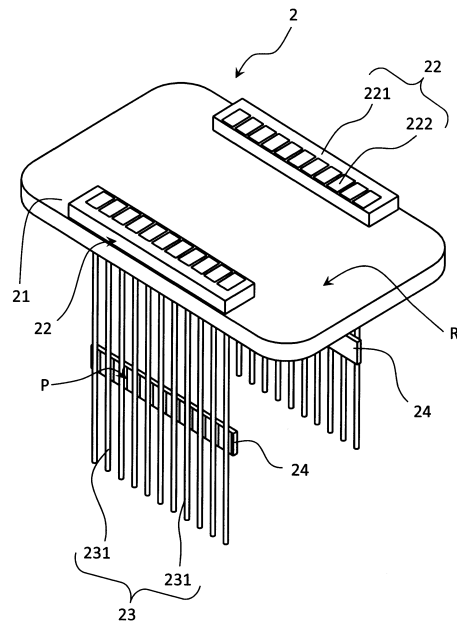
30

40

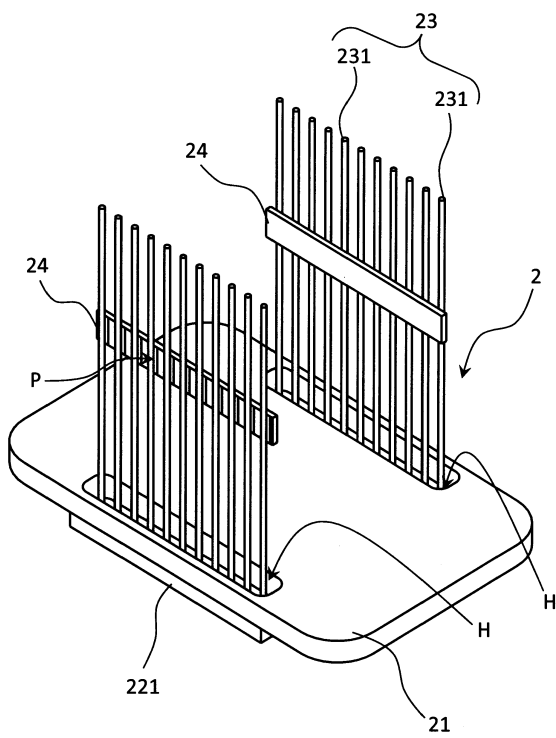
【図 1】



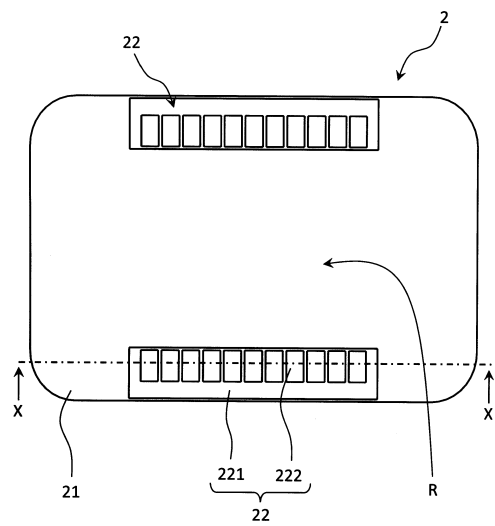
【図 2】



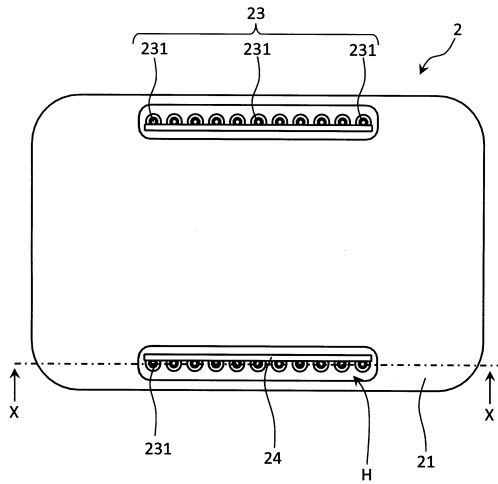
【図 3】



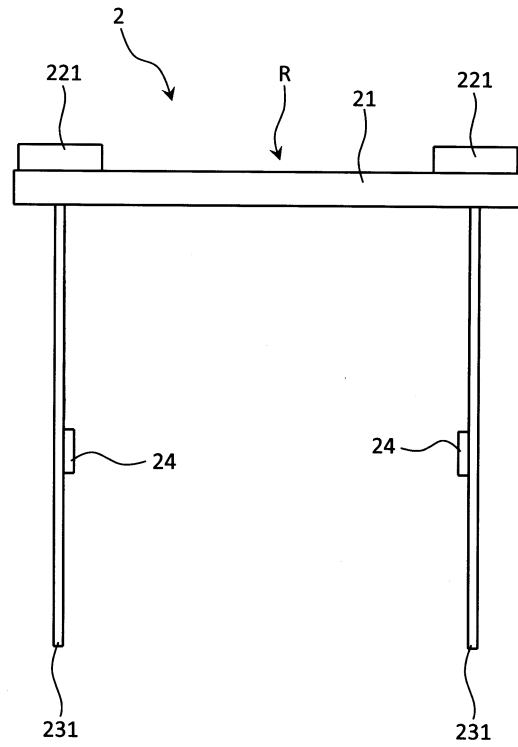
【図 4】



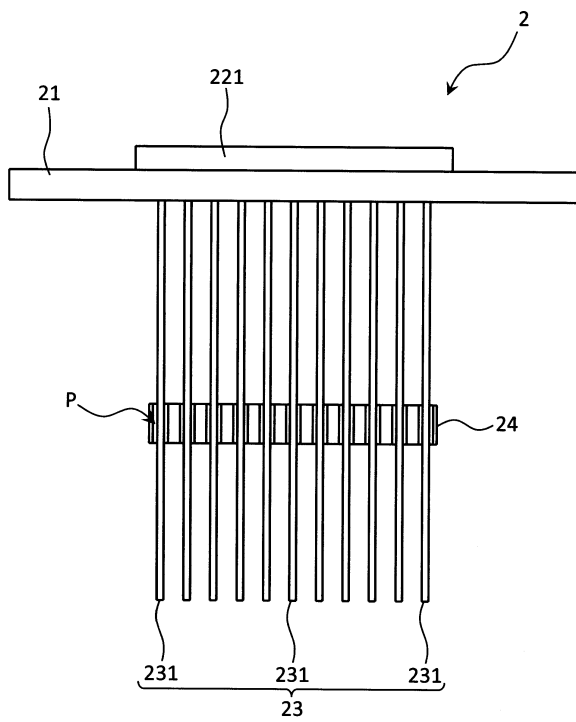
【図 5】



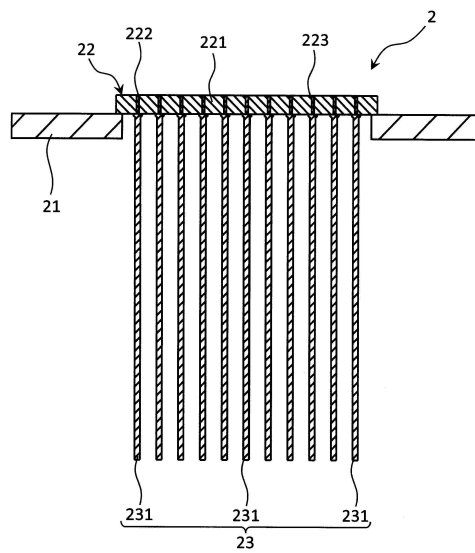
【図 6】



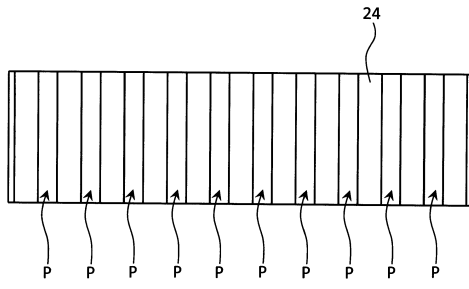
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開2009-064928(JP,A)
特開2000-236156(JP,A)
特開平07-161899(JP,A)
特開平06-326232(JP,A)
特開2013-048139(JP,A)
実開昭55-012620(JP,U)
特開2009-070988(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/00 - 23/15
H01L 23/50
H05K 1/18