

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6164183号
(P6164183)

(45) 発行日 平成29年7月19日(2017.7.19)

(24) 登録日 平成29年6月30日(2017.6.30)

(51) Int.Cl.

F 1

H02M 1/08 (2006.01)
H03K 17/687 (2006.01)H02M 1/08
H03K 17/687A
Z

請求項の数 5 (全 18 頁)

(21) 出願番号 特願2014-187725 (P2014-187725)
 (22) 出願日 平成26年9月16日 (2014.9.16)
 (65) 公開番号 特開2016-63563 (P2016-63563A)
 (43) 公開日 平成28年4月25日 (2016.4.25)
 審査請求日 平成28年2月4日 (2016.2.4)

(73) 特許権者 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 早稻倉 真樹
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 (72) 発明者 長内 洋介
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 (72) 発明者 小石 歩生
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

(54) 【発明の名称】電流制御回路

(57) 【特許請求の範囲】

【請求項 1】

第1駆動用スイッチング素子と、
 ゲート電源と、

前記第1駆動用スイッチング素子のゲートと前記ゲート電源の間に直列に接続された制御用スイッチング素子及び第1抵抗と、

出力が前記制御用スイッチング素子のゲートに接続されており、反転入力に参照電位が入力されるオペアンプと、

前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、前記オペアンプの非反転入力に前記第1抵抗の両端の電位差に基づく値を入力し、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が前記閾値より大きい場合に、前記非反転入力に前記制御用スイッチング素子と前記第1駆動用スイッチング素子の前記ゲートとの間の経路上の電位または当該電位を定数倍した値を入力する切り換え回路、

を有する電流制御回路。

【請求項 2】

前記第1抵抗の両端の電位差に基づく前記値が、前記第1抵抗の両端の電位差または当該電位差を定数倍した値である請求項1の電流制御回路。

【請求項 3】

10

20

第1駆動用スイッチング素子と、
ゲート電源と、
前記第1駆動用スイッチング素子のゲートと前記ゲート電源の間に接続された制御用スイッチング素子と、
前記第1駆動用スイッチング素子のゲートと前記制御用スイッチング素子の間に接続された第1抵抗と、
出力が前記制御用スイッチング素子のゲートに接続されており、非反転入力に前記制御用スイッチング素子の前記第1駆動用スイッチング素子側の端子の電位が入力されるオペアンプと、
前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、前記オペアンプの反転入力に前記第1抵抗の前記第1駆動用スイッチング素子側の端子の電位に第1参照電位を加算した電位を入力し、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が前記閾値より大きい場合に、前記反転入力に第2参照電位を入力する切り換え回路、
を有する電流制御回路。

【請求項4】

前記第1駆動用スイッチング素子に直列に接続された第2駆動用スイッチング素子と、
前記第2駆動用スイッチング素子に逆並列に接続されたダイオード、
を有する請求項1～3のいずれか一項の電流制御回路。

【請求項5】

前記第1駆動用スイッチング素子の前記ゲートと前記制御用スイッチング素子との間に接続された第2抵抗をさらに有する請求項1～4のいずれか一項の電流制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流制御回路に関する。

【背景技術】

【0002】

特許文献1には、IGBTのゲートの電位を制御する回路が開示されている。この回路は、IGBTのゲートと駆動電源の間に直列に接続されたpMOSと抵抗を有している。pMOSのゲートには、オペアンプが接続されている。オペアンプによって、pMOSのドレイン電圧が一定となるように、pMOSが制御される。これによって、IGBTのゲートの電位が所定値まで上昇される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開WO2012/014314号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1の技術では、IGBTのゲート電位の上昇速度が、オペアンプのスルーレートによって定まる。オペアンプのスルーレートのばらつきが大きいため、特許文献1の電流制御回路では、IGBTのゲート電位の上昇速度にばらつきが生じ、各IGBTがオンするタイミングにばらつきが生じる。したがって、オペアンプのスルーレートによる影響を抑制しながらオペアンプによってスイッチング素子のゲート電位を制御することができる電流制御回路を提供する。

【課題を解決するための手段】

【0005】

本願発明者らは、制御対象の駆動用スイッチング素子（上記の例ではIGBT）のゲー

10

20

30

40

50

トを充電する際に、ゲート電位の上昇速度を正確に制御して駆動用スイッチング素子がオンするタイミングを正確に制御することを検討した。その過程で、駆動用スイッチング素子に電流が流れ始めた後は、ゲート電位をなるべく速く上昇させることで、駆動用スイッチング素子のスイッチング損失を低減することができること発見した。

【0006】

したがって、本明細書が開示する第1の電流制御回路は、第1駆動用スイッチング素子と、ゲート電源と、前記第1駆動用スイッチング素子のゲートと前記ゲート電源の間に直列に接続された制御用スイッチング素子及び第1抵抗と、出力が前記制御用スイッチング素子のゲートに接続されており、反転入力に参照電位が入力されるオペアンプと、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、前記オペアンプの非反転入力に前記第1抵抗の両端の電位差に基づく値を入力し、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が前記閾値より大きい場合に、前記非反転入力に前記制御用スイッチング素子と前記第1駆動用スイッチング素子の前記ゲートとの間の経路上の電位に基づく値を入力する切り替え回路を有する。

【0007】

なお、第1抵抗の両端の電位差に基づく値は、第1抵抗の両端の電位差に基づいて算出した値を採用することができる。例えば、第1抵抗の両端の電位差を定数倍した値を用いてもよい。また、制御用スイッチング素子と第1駆動用スイッチング素子のゲートとの間の経路上の電位は、この経路上のいずれの点の電位であってもよい。また、この経路上の電位に基づく値は、この経路上の電位に基づいて算出した値を採用することができる。例えば、この経路上の電位を定数倍した値を用いてもよい。

【0008】

この電流制御回路では、第1駆動用スイッチング素子のゲートを充電する際に、オペアンプによって制御用スイッチング素子が制御される。オペアンプは、第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、第1抵抗の両端の電位差に基づく値が参照電位と一致するように制御用スイッチング素子を制御する。すなわち、オペアンプは、第1駆動用スイッチング素子のゲート電流が略一定となるように、制御用スイッチング素子を制御する。このため、ゲート電位の上昇速度が略一定となり、第1駆動用スイッチング素子に電流が流れ始めるタイミング（すなわち、オンするタイミング）を正確に制御することができる。駆動用スイッチング素子に電流が流れ始めて、第1駆動用スイッチング素子に流れる電流が閾値より大きくなると、オペアンプは、制御用スイッチング素子と第1駆動用スイッチング素子のゲートとの間の経路上の電位が参照電位と一致するように制御用スイッチング素子を制御する。すなわち、オペアンプは、第1駆動用スイッチング素子のゲート電位が参照電位まで上昇するように、制御用スイッチング素子を制御する。このとき、オペアンプは、スルーレートに従う速い速度でゲート電位を上昇させる。このため、第1駆動用スイッチング素子で生じるスイッチング損失を低減することができる。また、オペアンプのスルーレートのばらつきが大きいため、このときのゲート電位の上昇速度のばらつきは大きい。しかしながら、既に駆動用スイッチング素子が実質的にオン状態（すなわち、電流が流れる状態）となっているため、ゲート電位の上昇速度にばらつきがあつてもほとんど問題は生じない。このように、この電流制御回路によれば、駆動用スイッチング素子がオンするタイミングを正確に制御することができると共に、駆動用スイッチング素子で生じるスイッチング損失を低減することができる。

【0009】

本明細書が開示する第2の電流制御回路は、第1駆動用スイッチング素子と、ゲート電源と、前記第1駆動用スイッチング素子のゲートと前記ゲート電源の間に接続された制御用スイッチング素子と、前記第1駆動用スイッチング素子のゲートと前記制御用スイッチング素子の間に接続された第1抵抗と、出力が前記制御用スイッチング素子のゲートに接続されており、非反転入力に前記制御用スイッチング素子の前記第1駆動用スイッチング素子側の端子の電位が入力されるオペアンプと、前記第1駆動用スイッチング素子の前記

10

20

30

40

50

ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、前記オペアンプの反転入力に前記第1抵抗の前記第1駆動用スイッチング素子側の端子の電位に第1参照電位を加算した電位を入力し、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が前記閾値より大きい場合に、前記反転入力に第2参照電位を入力する切り換え回路を有する。

【0010】

この電流制御回路でも、第1駆動用スイッチング素子のゲートを充電する際ににおいて第1駆動用スイッチング素子に流れる電流が閾値以下の場合には、ゲート電位の上昇速度が所定値に制御される。第1駆動用スイッチング素子に流れる電流が閾値より大きくなると、スルーレートに従う速い速度でゲート電位が上昇する。したがって、この電流制御回路によれば、駆動用スイッチング素子がオンするタイミングを正確に制御することができると共に、駆動用スイッチング素子で生じるスイッチング損失を低減することができる。

10

【0011】

本明細書が開示する第3の電流制御回路は、第1駆動用スイッチング素子と、ゲート電源と、前記第1駆動用スイッチング素子のゲートと前記ゲート電源の間に直列に接続された制御用スイッチング素子及び第1抵抗と、出力が前記制御用スイッチング素子のゲートに接続されており、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値以下の場合に、前記第1抵抗の両端の電位差が第1基準値を超えないように前記制御用スイッチング素子の前記ゲートの電位を制御し、前記第1駆動用スイッチング素子の前記ゲートを充電する際ににおいて前記第1駆動用スイッチング素子に流れる電流が閾値より大きい場合に、前記制御用スイッチング素子と前記第1駆動用スイッチング素子の前記ゲートとの間の経路上の電位が第2基準値まで変化するように前記制御用スイッチング素子の前記ゲートの電位を制御するオペアンプを有する。

20

【0012】

この電流制御回路でも、第1駆動用スイッチング素子のゲートを充電する際ににおいて第1駆動用スイッチング素子に流れる電流が閾値以下の場合には、ゲート電位の上昇速度が所定値に制御される。第1駆動用スイッチング素子に流れる電流が閾値より大きくなると、スルーレートに従う速い速度でゲート電位が上昇する。したがって、この電流制御回路によれば、駆動用スイッチング素子がオンするタイミングを正確に制御することができると共に、駆動用スイッチング素子で生じるスイッチング損失を低減することができる。

30

【図面の簡単な説明】

【0013】

【図1】実施例1の電流制御回路10aの回路図。

【図2】実施例1でIGBT12をオンさせる際の各値の変化を示すグラフ。

【図3】実施例2の電流制御回路10bの回路図。

【図4】実施例3の電流制御回路10cの回路図。

【図5】実施例3でIGBT12をオンさせる際の各値の変化を示すグラフ。

【図6】第1変形例の電流制御回路の回路図。

【図7】第2変形例の電流制御回路の回路図。

40

【発明を実施するための形態】

【実施例1】

【0014】

図1に示す実施例1の電流制御回路10aは、IGBT12、ダイオード14、IGBT16及びダイオード18を有する。IGBT12、ダイオード14、IGBT16及びダイオード18は、三相のインバータ回路の一部である。ダイオード14は、IGBT12に対して逆並列に接続されている。すなわち、ダイオード14のアノードがIGBT12のエミッタ12bに接続されており、ダイオード14のカソードがIGBT12のコレクタに接続されている。ダイオード18は、IGBT16に対して逆並列に接続されている。すなわち、ダイオード18のアノードがIGBT16のエミッタに接続されており、

50

ダイオード 18 のカソードが IGBT 16 のコレクタに接続されている。IGBT 16 のコレクタは、インバータ回路の高電位配線 50 に接続されている。IGBT 16 のエミッタは、IGBT 12 のコレクタに接続されている。IGBT 12 のエミッタ 12b は、グランドに接続されている。IGBT 16 のエミッタと IGBT 12 のコレクタの間には、モータ配線 52 が接続されている。モータ配線 52 の他端は、図示しない三相モータに接続されている。すなわち、IGBT 12、ダイオード 14、IGBT 16 及びダイオード 18 によって、三相インバータの一相分の電流制御回路が構成されている。IGBT 16 及びダイオード 18 が上アームのスイッチング素子であり、IGBT 12 及びダイオード 14 が下アームのスイッチング素子である。また、IGBT 12 は、エミッタ 12b の他に、センスエミッタ 12c を備えている。センスエミッタ 12c は、エミッタ 12b に比べて小さい電流であって、エミッタ 12b に流れる電流に対して略一定の比率を有する電流が流れるエミッタである。センスエミッタ 12c は、抵抗 54 を介して、グランドに接続されている。IGBT 12 のゲート 12a は、ゲート電位制御回路 11 に接続されている。IGBT 16 のゲートは、図示しないゲート電位制御回路に接続されている。

【0015】

ゲート電位制御回路 11 は、IGBT 12 のゲート 12a の電位を制御する。ゲート電位制御回路 11 は、ゲート充電回路 20 と、ゲート放電回路 40 と、絶縁電源 60 と、制御装置 70 を有している。

【0016】

絶縁電源 60 は、出力端子 60a に電位 V_{out} を出力する。電位 V_{out} は、ゲート電位制御回路 11 の中で最も高い電位である。

【0017】

ゲート充電回路 20 は、IGBT 12 のゲート 12a に電荷を供給することで、IGBT 12 をオンさせるための回路である。ゲート充電回路 20 は、pMOS 22 と、抵抗 24 と、減算器 26 と、增幅器 28 と、参照電源 30 と、オペアンプ IC 32 と、スイッチ 34 と、遮断素子 33 と、オペアンプ 38 と、参照電源 39 を有している。

【0018】

pMOS 22 と抵抗 24 は、IGBT 12 のゲート 12a と絶縁電源 60 の出力端子 60a の間に直列に接続されている。pMOS 22 は、抵抗 24 よりも絶縁電源 60 側に接続されている。pMOS 22 のソース 22b は、絶縁電源 60 の出力端子 60a に接続されている。pMOS 22 のドレイン 22a は、抵抗 24 の端子 24a に接続されている。抵抗 24 の端子 24b は、IGBT 12 のゲート 12a に接続されている。なお、図 1 に示す電位 V_a は、抵抗 24 の端子 24a の電位であり、pMOS 22 のドレイン 22a の電位と等しい。また、図 1 に示す電位 V_b は、抵抗 24 の端子 24b の電位であり、IGBT 12 のゲート 12a の電位と等しい。

【0019】

減算器 26 のプラス端子は、抵抗 24 の端子 24a に接続されている。減算器 26 のマイナス端子は、抵抗 24 の端子 24b に接続されている。減算器 26 の出力端子は、増幅器 28 に接続されている。減算器 26 は、端子 24a の電位 V_a から端子 24b の電位 V_b を減算した電位 $V_a - V_b$ (すなわち、抵抗 24 の両端の電位差) を出力端子に出力する。

【0020】

増幅器 28 の入力端子は、減算器 26 の出力端子に接続されている。増幅器 28 の出力端子は、遮断素子 33 に接続されている。増幅器 28 は、減算器 26 の出力電位 $V_a - V_b$ を A 倍した電位を出力する。なお、A は 1 より大きい定数である。増幅器 28 の出力電位 A ($V_a - V_b$) は、遮断素子 33 に入力される。

【0021】

遮断素子 33 は、2 つの入力端子と 1 つの出力端子を有している。遮断素子 33 の第 1 入力端子は、増幅器 28 の出力端子に接続されている。遮断素子 33 の第 2 入力端子は、グランドに接続されている。遮断素子 33 の出力端子は、オペアンプ IC 32 に接続され

10

20

30

40

50

ている。遮断素子 3 3 は、オペアンプ 3 8 からの信号に基づいて、接続状態を切り換える。遮断素子 3 3 は、第 1 入力端子と出力端子が接続されると共に第 2 入力端子が出力端子から遮断された第 1 状態と、第 2 入力端子と出力端子が接続されると共に第 1 入力端子が出力端子から遮断された第 2 状態との間で接続状態を切り換える。第 1 状態では、増幅器 2 8 の出力電位 A (V a - V b) が遮断素子 3 3 からオペアンプ I C 3 2 に入力される。第 2 状態では、グランド電位 (0 V) が遮断素子 3 3 からオペアンプ I C 3 2 に入力される。

【 0 0 2 2 】

参照電源 3 0 の正極は、オペアンプ I C 3 2 に接続されている。参照電源 3 0 の負極は、グランドに接続されている。参照電源 3 0 は、参照電位 V r e f 1 を出力する。なお、本明細書において、参照電位は、固定電位を意味する。

10

【 0 0 2 3 】

オペアンプ I C 3 2 は、オペアンプ 3 2 a と選択器 3 2 b を有する I C である。選択器 3 2 b には、抵抗 2 4 の端子 2 4 a の電位 V a と、遮断素子 3 3 の出力電位が入力される。上述したように、遮断素子 3 3 の出力電位は、電位 A (V a - V b) とグランド電位の何れかである。選択器 3 2 b は、電位 V a と遮断素子 3 3 の出力電位のうちの高い方の電位を出力する。

【 0 0 2 4 】

オペアンプ 3 2 a の非反転入力には、選択器 3 2 b の出力電位 (すなわち、電位 V a と遮断素子 3 3 の出力電位のうちの高い方の電位) が入力される。オペアンプ 3 2 a の反転入力には、参照電位 V r e f 1 が入力される。オペアンプ 3 2 a の出力は、p M O S 2 2 のゲート 2 2 c に接続されている。オペアンプ 3 2 a は、非反転入力の電位が反転入力の電位よりも高いときはプラスの電位を出力し、反転入力の電位が非反転入力の電位よりも高いときはマイナスの電位を出力する。これによって、オペアンプ 3 2 a は、非反転入力に入力される電位と反転入力に入力される電位が一致するように p M O S 2 2 のゲート 2 2 c の電位を制御する。

20

【 0 0 2 5 】

スイッチ 3 4 は、p M O S 2 2 のソース 2 2 b とゲート 2 2 c の間に接続されている。スイッチ 3 4 は、ソース 2 2 b とゲート 2 2 c の間を導通状態と遮断状態とに切り替える。スイッチ 3 4 は、制御装置 7 0 からの信号によって制御される。

30

【 0 0 2 6 】

オペアンプ 3 8 の非反転入力は、I G B T 1 2 のセンスエミッタ 1 2 c (すなわち、抵抗 5 4 の高電位側の配線) に接続されている。抵抗 5 4 の他端がグランドに接続されているので、オペアンプ 3 8 の非反転入力に入力される電位 V r は、抵抗 5 4 に流れる電流に比例する。抵抗 5 4 に流れる電流は、I G B T 1 2 のセンスエミッタ 1 2 c に流れる電流と等しい。上記の通り、センスエミッタ 1 2 c に流れる電流は、I G B T 1 2 のエミッタ 1 2 b に流れる電流に対して略一定の比率を有する。したがって、オペアンプ 3 8 の非反転入力に入力される電位 V r は、I G B T 1 2 のコレクタ エミッタ間に流れる電流に略比例する。オペアンプ 3 8 の反転入力は、参照電源 3 9 に接続されている。参照電源 3 9 は、参照電位 V r e f 2 を出力する。オペアンプ 3 8 は、非反転入力に入力される電位 V r が反転入力に入力される電位 V r e f 2 より低いときは、遮断素子 3 3 を第 1 状態に制御し、電位 V r が電位 r e f 2 より高いときは、遮断素子 3 3 を第 2 状態に制御する。すなわち、オペアンプ 3 8 は、I G B T 1 2 に流れる電流が参照電位 V r e f に応する閾値より低いときは、遮断素子 3 3 を第 1 状態に制御し、I G B T 1 2 に流れる電流が閾値より低いときは、遮断素子 3 3 を第 2 状態に制御する。

40

【 0 0 2 7 】

ゲート放電回路 4 0 は、抵抗 4 4 と、n M O S 4 2 を有している。抵抗 4 4 と n M O S 4 2 は、I G B T 1 2 のゲート 1 2 a とグランド 8 0 の間に直列に接続されている。n M O S 4 2 は、抵抗 4 4 よりもグランド 8 0 側に接続されている。n M O S 4 2 のソース 4 2 b は、グランド 8 0 に接続されている。n M O S 4 2 のドレイン 4 2 a は、抵抗 4 4 の

50

端子 44a に接続されている。nMOS42 のゲート 42c は、制御装置 70 に接続されている。nMOS42 は、制御装置 70 からの信号に応じてスイッチングする。抵抗 44 の端子 44b は、IGBT12 のゲート 12a に接続されている。制御装置 70 が nMOS42 をオンさせると、IGBT12 のゲート 12a がグランド 80 に接続され、IGBT12 がオフする。

【0028】

制御装置 70 は、スイッチ 34 と nMOS42c を制御する。

【0029】

次に、電流制御回路 10a の動作について説明する。下アームの IGBT12 がオフしている状態において、上アームの IGBT16 がオンからオフに切り換わると、ダイオード 18 がオンし、モータ配線 52 から高電位配線 50 に向かって電流が流れる。その後、下アームの IGBT12 がオフからオンに切り換えられる。この場合、ゲート電位制御回路 11 が、以下のように動作する。

【0030】

図 2 は、IGBT12 がオフ状態からオン状態に切り替わる際ににおける電位 Va、Vb、電位差 Va - Vb、IGBT12 のコレクタ電流 Ic、IGBT12 のコレクタエミッタ間電圧 Vce1、IGBT12 で生じる損失 W、及び、IGBT16 のコレクタエミッタ間電圧 Vce2 を示している。電位差 Va - Vb は IGBT12 のゲート電流に比例するため、電位差 Va - Vb のグラフは IGBT12 のゲート電流の変化を表している。また、図 2 では、比較例の値を点線のグラフで示している。

【0031】

IGBT12 がオフしている状態（すなわち、期間 T0）では、nMOS42 がオンしており、スイッチ 34 はオンしている（すなわち、pMOS22 はオフしている）。このため、IGBT12 のゲート 12a にはグランド電位（0V）が印加されている。したがって、電位 Va、Vb は共に 0V となっている。IGBT12 がオフしているので、IGBT12 のセンスエミッタ 12c に接続されている抵抗 54 には電流は流れていません。このため、電位 Vr は略 0V となっている。オペアンプ 38 は、電位 Vr (= 0V) が参照電位 Vref2 よりも低いので、遮断素子 33 を第 1 状態（増幅器 28 の出力端子が選択器 32b に接続された状態）に制御している。

【0032】

制御装置 70 は、図 2 の時刻 t1 において、nMOS42 をオフさせるとともに、スイッチ 34 をオフさせる。スイッチ 34 がオフすると、pMOS22 のゲート 22c の電位は、オペアンプ 32a によって制御されるようになる。時刻 t1 では、電位 Va と電位 A (Va - Vb) が共に略 0V (グランド電位) であるので、選択器 32b は略 0V を出力する。したがって、オペアンプ 32a の非反転入力には略 0V が入力される。反転入力 (Vref1) が非反転入力 (0V) よりも高いので、オペアンプ 32a は、出力（すなわち、pMOS22 のゲート 22c）の電位を低下させる。これにより、pMOS22 がオンし、絶縁電源 60 から、pMOS22 と抵抗 24 を経由して、IGBT12 のゲート 12a に向かってゲート電流が流れる。時刻 t1 で pMOS22 がオンすると、その後の期間 T1 でゲート電流が増加するため、電位差 Va - Vb が増加する。また、ゲート電流が流れるのに伴ってゲート 12a に電荷が蓄積されるため、ゲート 12a の電位が徐々に上昇する。このため、期間 T1 では、電位 Va、Vb が上昇する。また、期間 T1 では、オペアンプ 32a の非反転入力に入力される電位が低いため、オペアンプ 32a は、出力電位（すなわち、ゲート 22c の電位）をそのスルーレートに従って低下させる。このため、期間 T1 では、電位 Va、Vb が上昇する傾きは、オペアンプ 32a のスルーレートに従った傾きとなっている。増幅器 28 の定数 A は、期間 T1 において、電位 A (Va - Vb) が電位 Va よりも速く上昇するように設定されている。したがって、期間 T1 の間は、電位 A (Va - Vb) がオペアンプ 32a の非反転入力に入力され続ける。

【0033】

期間 T1 でゲート電流が上昇すると、時刻 t2 において、電位差 Va - Vb が値 Vref

10

20

30

40

50

f_1 / A に達する。すなわち、時刻 t_2 の時点で、 $A(V_a - V_b) = V_{ref1}$ が満たされる。すると、オペアンプ 32a が、 $A(V_a - V_b) = V_{ref1}$ を維持するよう、ゲート 22c の電位を制御する。したがって、時刻 t_2 の後の期間 T_2 では、電位差 $V_a - V_b$ が V_{ref1} / A で略一定となる。すなわち、ゲート電流が略一定となる。このため、時刻 t_2 の後の期間 T_2 では、一定のゲート電流に応じた傾きで電位 V_a 、 V_b が上昇する。このときの電位 V_a 、 V_b の上昇速度は、オペアンプ 32a のスルーレートに従った速度よりも遅い速度である。電位 V_a 、 V_b は、時刻 t_3 の後の期間 T_3 になると略一定の電位で推移するようになるが、これは、IGBT12 のミラー容量に電荷が充電されるためである。期間 T_3 でも、ゲート電流（すなわち、電位差 $V_a - V_b$ ）は略一定である。

10

【0034】

時刻 t_3 において IGBT12 のミラー容量に電荷が充電され始めると、IGBT12 のコレクタ エミッタ間電圧 V_{ce1} が低下し始めるとともに、IGBT12 にコレクタ電流 I_c が流れ始める。期間 T_3 では、ミラー容量への電荷の充電が進むにしたがって、電圧 V_{ce1} が低下し、コレクタ電流 I_c が増加する。上述したように、IGBT12 のセンスエミッタ 12c に接続された抵抗 54 に流れる電流は、IGBT12 のコレクタ電流 I_c に略比例する。したがって、コレクタ電流 I_c が上昇すると、電位 V_r も上昇する。図 2 のコレクタ電流 I_c のグラフに示すように、時刻 t_4 において、コレクタ電流 I_c は $V_r = V_{ref2}$ となる電流値を超える。電位 V_r が参照電位 V_{ref2} を超えると、オペアンプ 38 は、遮断素子 33 を第 2 状態に切り換える。これによって、増幅器 28 の出力端子が、オペアンプ IC32 の選択器 32b から切断される。遮断素子 33 は、第 2 端子に接続されているグランド電位を選択器 32b に入力するようになる。すると、電位 V_a がグランド電位よりも高いので、選択器 32b は電位 V_a をオペアンプ 32a の非反転入力に入力するようになる。

20

【0035】

時刻 t_4 においてオペアンプ 32a の非反転入力に電位 V_a が入力されると、オペアンプ 32a は、電位 V_a を参照電位 V_{ref1} まで上昇させるように、ゲート 22c の電位を制御する。これによって、時刻 t_4 の後の期間 T_4 では、ゲート電流（すなわち、電位差 $V_a - V_b$ ）が増加し、IGBT12 のゲート 12a がより急速に充電される。このため、期間 T_4 では、急速に電圧 V_{ce1} が低下する。このように、急速に電圧 V_{ce1} が低下するため、期間 T_4 において IGBT12 で生じるスイッチング損失 W が低減される。

30

【0036】

時刻 t_5 において電位 V_a が参照電位 V_{ref1} に達すると、その後の期間 T_5 では、オペアンプ 32a は、電位 V_a が参照電位 V_{ref1} と一致するように pMOS22 を制御する。したがって、期間 T_5 の間に徐々にゲート電流が低下し、電位 V_b が参照電位 V_{ref1} と一致する電位まで上昇した時刻 t_6 でゲート電流（すなわち、電位差 $V_a - V_b$ ）が略ゼロとなる。その後は、オペアンプ 32a は、電位 V_a 、 V_b が参照電位 V_{ref1} と一致する状態を維持する。

【0037】

40

以上に説明したように、この電流制御回路 10a では、IGBT12 のコレクタ電流 I_c が閾値 ($V_r = V_{ref1}$ となる電流値) よりも低い期間（すなわち、上記の期間 T_2 、 T_3 ）では、オペアンプ 32a によって、IGBT12 のゲート電流が略一定値に制御される。すなわち、オペアンプ 32a によって、ゲート 12a の充電速度が略一定に制御される。期間 T_2 、 T_3 における充電速度は、オペアンプ 32a のスルーレートよりも低い速度であるため、オペアンプ 32a のスルーレートの影響をほとんど受けない。このため、使用されるオペアンプ 32a のスルーレートにばらつきがあったとしても、期間 T_2 、 T_3 におけるゲート 12a の充電速度を正確に制御することができる。したがって、IGBT12 に実質的に電流が流れるタイミング（すなわち、図 2 の時刻 t_4 ）を正確に制御することができる。すなわち、IGBT12 がオンするタイミングを正確に制御するこ

50

とができる。また、コレクタ電流 I_c が閾値 ($V_r = V_{ref2}$ となる電流値) を超えた後の期間 T_4 では、オペアンプ 32a は電位 V_a を参照電位 V_{ref1} まで上昇させる。このときの充電速度は、オペアンプ 32a のスルーレートに従った速度となる。すなわち、オペアンプ 32a のスルーレートのばらつきによって、期間 T_4 における充電速度にもばらつきが生じる。しかしながら、期間 T_4 では、既に IGBT12 が実質的にオンした状態にあるので、スルーレートの差によって充電速度にばらつきが生じても、回路の動作にはほとんど影響はない。また、IGBT12 のコレクタ電流 I_c が閾値に達した後は、オペアンプ 32a のスルーレートに従ってできる限り速くゲート 12a を充電することで、IGBT12 の電圧 V_{ce1} をより速く低下させることができる。このように、急速に電圧 V_{ce1} を低下させることで、IGBT12 で生じるスイッチング損失 W を低減することができる。10

【0038】

上述したように、図 2 中の点線で示される各グラフは、比較例の電流制御回路の動作を示している。比較例の電流制御回路では、遮断素子 33 が設けられておらず、増幅器 28 の出力電位 A ($V_a - V_b$) が常に選択器 32b に入力される。比較例の電流制御回路は、期間 $T_0 \sim T_2$ においては、実施例 1 の電流制御回路 10a と同様に動作する。比較例の電流制御回路は遮断素子 33 を有していないので、IGBT12 のコレクタ電流 I_c が閾値 ($V_r = V_{ref2}$ となる電流値) に達しても、選択器 32b に増幅器 28 の出力電位 A ($V_a - V_b$) が入力され続ける。このため、その後の期間 T_4 、 T_5 でもゲート電流 (すなわち、 $V_a - V_b$) が一定となる。このため、比較例の電流制御回路では、期間 T_4 において IGBT12 の電圧 V_{ce1} の低下速度が遅い。したがって、期間 T_4 において生じるスイッチング損失 W も大きい。このように、比較例の電流制御回路では、実施例 1 の電流制御回路 10a に比べて、IGBT12 で生じるスイッチング損失が大きい。20

【0039】

以上に説明したように、実施例 1 の電流制御回路 10a では、オペアンプ 32a のスルーレートの影響をほとんど受けることなく、IGBT12 がオンするタイミングを正確に制御することができる。また、IGBT12 のコレクタ電流 I_c が閾値を超えた後では、オペアンプ 32a のスルーレートに従って IGBT12 のゲート電圧が急速に上昇する。このため、IGBT12 で生じるスイッチング損失 W を低減することができる。このように、電流制御回路 10a によれば、IGBT12 のオンタイミングの正確な制御と、IGBT12 でのスイッチング損失の低減を実現することができる。30

【0040】

なお、下アームの IGBT12 がオンすると、上アームのダイオード 18 がリカバリ動作を実行する。これによって、上アームの IGBT16 にサージ電圧が印加される。すなわち、図 2 に示すように、サージ電圧 V_s によって、IGBT12 がオンした直後に IGBT16 の電圧 V_{ce2} が瞬間に上昇する。このサージ電圧 V_s は、IGBT12 のスイッチング速度が速いほど大きくなる。上記の通り、IGBT12 が実質的にオンするまでの期間 T_2 、 T_3 では、IGBT12 のゲート電流は略一定値に抑えられる。これによって、高いサージ電圧 V_s が生じることが防止されている。より詳細には、IGBT12 のゲート電流 I_g は、抵抗 24 の電気抵抗を R_{24} とすると、 $I_g = (V_a - V_b) / R_{24}$ を満たす。図 2 に示すように、期間 T_2 、 T_3 においては、 $V_a - V_b = V_{ref1} / A$ である。したがって、期間 T_2 、 T_3 におけるゲート電流 I_g は、 $I_g = V_{ref1} / A \cdot R_{24}$ を満たす。実施例 1 の電流制御回路 10a では、サージ電圧 V_s が IGBT16 とダイオード 18 の定格値を超えないように、参照電位 V_{ref1} 、定数 A 及び電気抵抗 R_{24} が設定されている。これによって、サージ電圧 V_s からの保護が実現されている。40

【0041】

上述した実施例 1 の構成と請求項の構成との関係について、説明する。実施例の IGBT12 は、請求項の第 1 駆動用スイッチング素子の一例である。実施例の pMOS22 は、請求項の制御用スイッチング素子の一例である。実施例の抵抗 24 は、請求項の第 1 抵50

抗の一例である。実施例のオペアンプ 3 2 a は、請求項のオペアンプの一例である。実施例の抵抗 5 4、オペアンプ 3 8、参照電源 3 9、遮断素子 3 3 及び選択器 3 2 b は、請求項の切り換え回路の一例である。実施例の電位 A (V a - V b) は、請求項の第 1 抵抗の両端の電位差に基づく値の一例である。実施例の電位 V a は、請求項の制御用スイッチング素子と第 1 駆動用スイッチング素子のゲートとの間の経路上の電位に基づく値の一例である。

【実施例 2】

【0042】

実施例 2 の電流制御回路 10 b では、IGBT 12 に流れるコレクタ電流 Ic を検出する回路が実施例 1 の電流制御回路 10 a と異なる。実施例 2 の電流制御回路 10 b のその他の構成は、実施例 1 の電流制御回路 10 a と等しい。

10

【0043】

実施例 2 の電流制御回路 10 b は、抵抗 5 6 と、ダイオード 5 8 と、参照電源 5 9 を有している。抵抗 5 6 の一端は、絶縁電源 6 0 の出力端子 6 0 a に接続されている。抵抗 5 6 の他端は、オペアンプ 3 8 の反転入力に接続されている。ダイオード 5 8 のアノードは、オペアンプ 3 8 の反転入力に接続されている。ダイオード 5 8 のカソードは、モータ配線 5 2 に接続されている。参照電源 5 9 は、参照電位 Vref 3 を出力する。参照電源 5 9 の正極は、オペアンプ 3 8 の非反転入力に接続されている。参照電源 5 9 の負極は、グランドに接続されている。

【0044】

20

実施例 2 の電流制御回路 10 b では、IGBT 12 のコレクタエミッタ間電圧 Vce 1 が高い場合 (すなわち、IGBT 12 がオフしている場合) は、ダイオード 5 8 のカソードが高電位となり、ダイオード 5 8 はオフしている。この場合、絶縁電源 6 0 の出力電位 Vout がオペアンプの反転入力に入力される。電位 Vout は参照電位 Vref 3 よりも高い。オペアンプ 3 8 は、反転入力への入力値が非反転入力への入力値よりも高いので、遮断素子 3 3 を第 1 状態 (増幅器 2 8 が選択器 3 2 b に接続された状態) に制御する。IGBT 12 のゲート電位が上昇し、IGBT 12 にコレクタ電流 Ic が流れ始めると、IGBT 12 のコレクタエミッタ間電圧 Vce 1 が低下する。電圧 Vce 1 が所定値よりも低下すると、ダイオード 5 8 がオンする。すると、オペアンプ 3 8 の反転入力に低電位が入力される。オペアンプ 3 8 は、反転入力への入力値が非反転入力への入力値よりも低いので、遮断素子 3 3 を第 2 状態 (増幅器 2 8 が選択器 3 2 b から切断された状態) に制御する。このように、実施例 2 の電流制御回路 10 b では、IGBT 12 の電圧 Vce 1 に応じてダイオード 5 8 がオンし、これによってオペアンプ 3 8 の反転入力への入力値が変化する。すなわち、実施例 2 の電流制御回路 10 b は、IGBT 12 の電圧 Vce 1 に応じて、遮断素子 3 3 を制御する。IGBT 12 の電圧 Vce 1 は IGBT 12 のコレクタ電流 Ic に応じて変化するので、このような構成でも、IGBT 12 のコレクタ電流 Ic に応じて遮断素子 3 3 を制御することができる。

30

【0045】

なお、実施例 2 の電流制御回路 10 b で IGBT 12 をオンさせる際も、実施例 1 の電流制御回路 10 a と同様に、図 2 に示すように各値が変化する。

40

【0046】

上述した実施例 2 の構成と請求項の構成との関係について、説明する。実施例 2 のダイオード 5 8、抵抗 5 6、オペアンプ 3 8、参照電源 5 9、遮断素子 3 3 及び選択器 3 2 b は、請求項の切り換え回路の一例である。

【0047】

なお、上述した実施例 1、2 においては、抵抗 2 4 が pMOS 2 2 のドレイン 2 2 a と IGBT 12 のゲート 1 2 a の間に接続されていた。しかしながら、抵抗 2 4 が pMOS 2 2 のソース 2 2 b と絶縁電源 6 0 の出力端子 6 0 a の間に接続されていてもよい。この場合も、抵抗 2 4 の両端の電位差を定数倍した電位と、pMOS 2 2 のドレイン 2 2 a の電位を、選択器 3 2 b に入力することで、実施例 1、2 と同様の動作が可能である。

50

【0048】

また、上述した実施例1、2においては、pMOS22のドレイン22aの電位Vaを選択器32bに入力したが、電位Vaに代えて、IGBT12のゲート12aの電位を選択器32bに入力してもよい。すなわち、pMOS22のドレイン22aからIGBT12のゲート12aに至る電流経路上のいずれの点の電位を電位Vaに代えて選択器32bに入力してもよい。

【実施例3】

【0049】

図4に示す実施例3の電流制御回路10cでは、ゲート充電回路20が実施例1の回路とは異なる。電流制御回路10cのその他の構成は、実施例1の電流制御回路10aと等しい。

10

【0050】

実施例3では、ゲート充電回路20が、pMOS22と、抵抗24と、加算器35と、参照電源36と、遮断素子33と、参照電源37と、オペアンプIC32と、スイッチ34と、オペアンプ38と、参照電源39を有している。

【0051】

pMOS22と抵抗24は、実施例1と同様に、IGBT12のゲート12aと絶縁電源60の出力端子60aの間に直列に接続されている。なお、図4に示す電位Vdは、抵抗24の端子24aの電位であり、pMOS22のドレイン22aの電位と等しい。また、図4に示す電位Veは、抵抗24の端子24bの電位であり、IGBT12のゲート12aの電位と等しい。

20

【0052】

参照電源36の正極は、加算器35に接続されている。参照電源36の負極は、グランドに接続されている。参照電源36は、参照電位Vref3を出力する。

【0053】

加算器35の1つの入力端子は、抵抗24の端子24bに接続されている。加算器35の他の入力端子は、参照電源36の正極に接続されている。加算器35の出力端子は、遮断素子33の第1入力端子に接続されている。加算器35は、端子24bの電位Veに参照電位Vref3を加算した電位Ve+Vref3を出力端子に出力する。

30

【0054】

参照電源37の正極は、選択器32bと遮断素子33の第2端子に接続されている。参照電源37の負極は、グランドに接続されている。参照電源37は、参照電位Vref4を出力する。参照電位Vref4は、参照電位Vref3よりも大きい。

【0055】

遮断素子33の出力端子は、選択器32bに接続されている。遮断素子33は、オペアンプ38からの信号に基づいて、接続状態を第1状態と第2状態とに切り換える。第1状態では、加算器35の出力電位Ve+Vref3が遮断素子33から選択器32bに入力される。第2状態では、参照電位Vref4が遮断素子33から選択器32bに入力される。

【0056】

40

選択器32bには、遮断素子33が出力する電位と参照電源37が出力する参照電位Vref4とが入力される。実施例1、2とは異なり、実施例3では、選択器32bは、遮断素子33が出力する電位と参照電位Vref4のうちの低い方の電位を出力する。

【0057】

オペアンプ32aの反転入力には、選択器32bの出力電位が入力される。オペアンプ32aの非反転入力には、電位Vdが入力される。オペアンプ32aの出力は、pMOS22のゲート22cに接続されている。オペアンプ32aは、非反転入力の電位が反転入力の電位よりも高いときはプラスの電位を出力し、反転入力の電位が非反転入力の電位よりも高いときはマイナスの電位を出力する。これによって、オペアンプ32aは、非反転入力に入力される電位と反転入力に入力される電位が一致するようにpMOS22のゲー

50

ト 2 2 c の電位を制御する。

【 0 0 5 8 】

スイッチ 3 4 は、 p M O S 2 2 のソース 2 2 b とゲート 2 2 c の間に接続されている。スイッチ 3 4 は、ソース 2 2 b とゲート 2 2 c の間を導通状態と遮断状態とに切り替える。スイッチ 3 4 は、制御装置 7 0 からの信号によって制御される。

【 0 0 5 9 】

実施例 3 のオペアンプ 3 8 と参照電源 3 9 は、実施例 1 と同様に構成されている。

【 0 0 6 0 】

次に、電流制御回路 1 0 c の動作について説明する。実施例 3 の電流制御回路 1 0 c では、図 5 に示すように各値が推移する。

10

【 0 0 6 1 】

I G B T 1 2 がオフしている状態（すなわち、期間 T 0 ）では、 n M O S 4 2 がオンしており、スイッチ 3 4 はオンしている（すなわち、 p M O S 2 2 はオフしている）。I G B T 1 2 のセンスエミッタ 1 2 c に電流が流れていないので、オペアンプ 3 8 は、遮断素子 3 3 を第 1 状態（加算器 3 5 の出力端子が選択器 3 2 b に接続された状態）に制御している。

【 0 0 6 2 】

制御装置 7 0 は、図 5 の時刻 t 1 において、 n M O S 4 2 をオフさせるとともに、スイッチ 3 4 をオフさせる。スイッチ 3 4 がオフすると、 p M O S 2 2 のゲート 2 2 c の電位は、オペアンプ 3 2 a によって制御されるようになる。時刻 t 1 では、電位 V e が略 0 V であるので、加算器 3 5 の出力電位 V e + V r e f 3 は、参照電位 V r e f 3 と等しい。参照電位 V r e f 3 が参照電位 V r e f 4 よりも低いので、選択器 3 2 b は参照電位 V r e f 3 をオペアンプ 3 2 a の反転入力に入力する。反転入力（ V r e f 3 ）が非反転入力（ V d = 0 V ）よりも高いので、オペアンプ 3 2 a は、出力（すなわち、 p M O S 2 2 のゲート 2 2 c ）の電位を低下させる。これにより、 p M O S 2 2 がオンし、絶縁電源 6 0 から、 p M O S 2 2 と抵抗 2 4 を経由して、 I G B T 1 2 のゲート 1 2 a に向かってゲート電流が流れる。時刻 t 1 で p M O S 2 2 がオンすると、その後の期間 T 1 でゲート電流が増加するため、電位差 V d - V e が増加する。また、ゲート電流が流れるのに伴ってゲート 1 2 a に電荷が蓄積されるため、ゲート 1 2 a の電位が徐々に上昇する。このため、期間 T 1 では、電位 V d 、 V e が上昇する。また、期間 T 1 では、オペアンプ 3 2 a の非反転入力に入力される電位 V d が低いため、オペアンプ 3 2 a は、出力電位（すなわち、ゲート 2 2 c の電位）をそのスルーレートに従って低下させる。このため、期間 T 1 では、電位 V d 、 V e が上昇する傾きは、オペアンプ 3 2 a のスルーレートに従った傾きとなっている。その後も、電位 V e + V r e f 3 が参照電位 V r e f 4 よりも低いので、電位 V e + V r e f 3 がオペアンプ 3 2 a の反転入力に入力され続ける。

20

【 0 0 6 3 】

期間 T 1 でゲート電流が上昇すると、時刻 t 2 において、電位差 V d - V e が第 3 参照電位 V r e f 3 に達する。すなわち、時刻 t 2 の時点で、 V d = V e + V r e f 3 が満たされる。すなわち、オペアンプ 3 2 a の反転入力の電位と非反転入力の電位が略一致する。すると、オペアンプ 3 2 a が、 V d = V e + V r e f 3 の関係を維持するように、ゲート 2 2 c の電位を制御する。したがって、時刻 t 2 の後の期間 T 2 では、電位差 V d - V e が参照電位 V r e f 3 で略一定となる。すなわち、ゲート電流が略一定となる。このため、時刻 t 2 の後の期間 T 2 では、一定のゲート電流に応じた傾きで電位 V d 、 V e が上昇する。電位 V d 、 V e は、時刻 t 3 の後の期間 T 3 になると略一定の電位で推移するようになるが、これは、 I G B T 1 2 のミラー容量に電荷が充電されるためである。期間 T 3 でも、ゲート電流（すなわち、電位差 V d - V e ）は略一定である。

30

【 0 0 6 4 】

時刻 t 3 において I G B T 1 2 のミラー容量に電荷が充電され始めると、 I G B T 1 2 のコレクタ エミッタ間電圧 V c e 1 が低下し始めるとともに、 I G B T 1 2 にコレクタ電流 I c が流れ始める。期間 T 3 では、ミラー容量への電荷の充電が進むにしたがって、

40

50

電圧 $V_{c e 1}$ が低下し、コレクタ電流 I_c が増加する。すると、抵抗 5 4 の電位 V_r が上昇する。図 5 のコレクタ電流 I_c のグラフに示すように、時刻 t_4 において、コレクタ電流 I_c は $V_r = V_{ref 2}$ となる電流値を超える。電位 V_r が参照電位 $V_{ref 2}$ を超えると、オペアンプ 3 8 は、遮断素子 3 3 を第 2 状態に切り換える。これによって、加算器 3 5 の出力端子が、オペアンプ 3 2 a の選択器 3 2 b から切断される。遮断素子 3 3 は、第 2 端子に接続されている参照電位 $V_{ref 4}$ を選択器 3 2 b に入力するようになる。すると、選択器 3 2 b の 2 つの入力に同じ参照電位 $V_{ref 4}$ が入力されるので、選択器 3 2 b は参照電位 $V_{ref 4}$ をオペアンプ 3 2 a の反転入力に入力するようになる。

【0065】

時刻 t_4 においてオペアンプ 3 2 a の反転入力に電位 $V_{ref 4}$ が入力されると、オペアンプ 3 2 a は、電位 V_d を参照電位 $V_{ref 4}$ まで上昇させるように、ゲート 2 2 c の電位を制御する。これによって、時刻 t_4 の後の期間 T_4 では、ゲート電流（すなわち、電位差 $V_d - V_e$ ）が増加し、IGBT 1 2 のゲート 1 2 a がより急速に充電される。このため、期間 T_4 では、急速に電圧 $V_{c e 1}$ が低下する。このように、急速に電圧 $V_{c e 1}$ が低下するため、期間 T_4 において IGBT 1 2 で生じるスイッチング損失が低減される。

【0066】

時刻 t_5 において電位 V_d が参照電位 $V_{ref 4}$ に達すると、その後の期間 T_5 では、オペアンプ 3 2 a は、電位 V_d が参照電位 $V_{ref 4}$ と一致するように pMOS 2 2 を制御する。したがって、期間 T_5 の間に徐々にゲート電流が低下し、電位 V_e が参照電位 $V_{ref 4}$ と一致する電位まで上昇した時刻 t_6 でゲート電流（すなわち、電位差 $V_d - V_e$ ）が略ゼロとなる。その後は、オペアンプ 3 2 a は、電位 V_d 、 V_e が参照電位 $V_{ref 4}$ と一致する状態を維持する。

【0067】

以上に説明したように、実施例 3 の電流制御回路 1 0 a では、IGBT 1 2 のコレクタ電流 I_c が閾値に達するまでの期間（すなわち、上記の期間 T_2 、 T_3 ）では、オペアンプ 3 2 a によって、IGBT 1 2 のゲート電流が略一定値に制御される。これによって、オペアンプ 3 2 a のスルーレートの影響を受けることなく、IGBT 1 2 がオンするタイミングを正確に制御することができる。また、IGBT 1 2 のコレクタ電流 I_c が閾値を超えた後の期間 T_4 では、オペアンプ 3 2 a のスルーレートに従って急速にゲート 1 2 a が充電される。これによって、IGBT 1 2 で生じるスイッチング損失 W が低減される。

【0068】

また、実施例 3 においても、実施例 1 と同様に、下アームの IGBT 1 2 がオンするとサージ電圧 V_s が生じる。実施例 3 でも、IGBT 1 2 が実質的にオンするまでの期間 T_2 、 T_3 でゲート電流が略一定値に抑えられているので、サージ電圧 V_s を抑制することができる。

【0069】

上述した実施例 3 の構成と請求項の構成との関係について、説明する。実施例の IGBT 1 2 は、請求項の第 1 駆動用スイッチング素子の一例である。実施例の pMOS 2 2 は、請求項の制御用スイッチング素子の一例である。実施例の抵抗 2 4 は、請求項の第 1 抵抗の一例である。実施例のオペアンプ 3 2 a は、請求項のオペアンプの一例である。実施例の抵抗 5 4、オペアンプ 3 8、参照電源 3 9、遮断素子 3 3 及び選択器 3 2 b は、請求項の切り換え回路の一例である。実施例の電位 V_d は、請求項の制御用スイッチング素子の第 1 駆動用スイッチング素子側の端子の電位の一例である。実施例の電位 $V_e + V_{ref 3}$ は、請求項の第 1 抵抗の第 1 駆動用スイッチング素子側の端子の電位に第 1 参照電位を加算した電位の一例である。実施例の電位 $V_{ref 4}$ は、請求項の第 2 参照電位の一例である。

【0070】

なお、上述した実施例 3 において、実施例 2 で説明した電流検出回路を採用してもよい。

10

20

30

40

50

【0071】

また、上述した実施例1では、pMOS22のドレイン22aとIGBT12のゲート12aの間に1つの抵抗24が接続されていた。しかしながら、図6、7に示すように、これらの間にさらに抵抗101、102を追加してもよい。また、実施例2、3において、抵抗101、102を追加してもよい。このような構成によれば、抵抗101、102の両端の電位差がオペアンプに入力されないので、抵抗101、102の抵抗値を変更しても、オペアンプの動作にほとんど影響を与えることがない。したがって、抵抗101、102を交換することで、オペアンプの動作にほとんど影響を与えることなく、ゲート抵抗を調整することができる。これによって、設計の自由度が向上する。

【0072】

10

また、上述した実施例1～3のいずれかのゲート電位制御回路11を、上アームのIGBT16のゲート電位の制御に用いてもよい。

【0073】

また、上述した実施例1～3のIGBT12、16は、MOSFET等の他のスイッチング素子であってもよい。

【0074】

本明細書が開示する一例の構成は、第1駆動用スイッチング素子に直列に接続された第2駆動用スイッチング素子と、第2駆動用スイッチング素子に逆並列に接続されたダイオードを有する。このような構成によれば、ダイオードの逆回復動作によるサージ電圧を抑制することができる。

20

【0075】

本明細書が開示する一例の構成は、第1駆動用スイッチング素子のゲートと制御用スイッチング素子との間に接続された第2抵抗をさらに有する。このような構成によれば、オペアンプの動作に影響することなく、ゲート抵抗を調整することができる。

【0076】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

30

【符号の説明】

【0077】

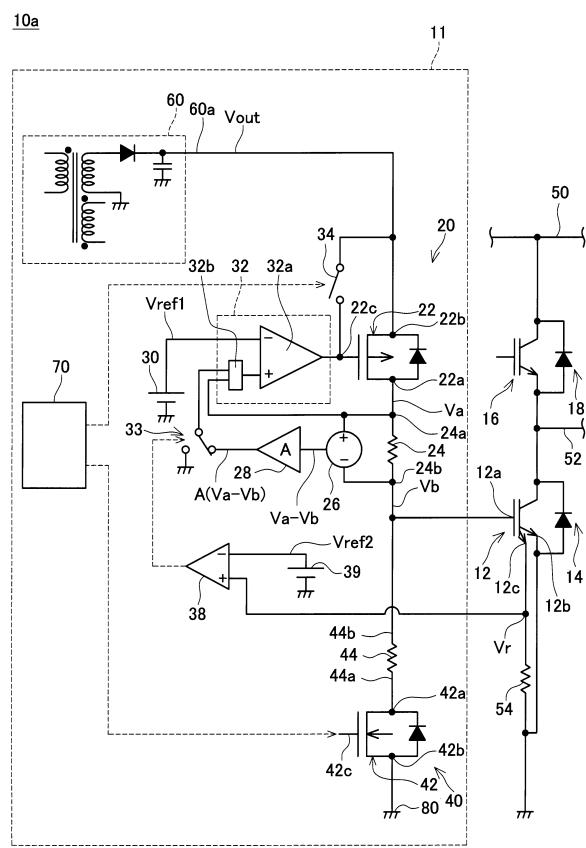
- 10a：電流制御回路
- 11：ゲート電位制御回路
- 12、16：IGBT
- 14、18：ダイオード
- 20：ゲート充電回路
- 22：pMOS
- 24：抵抗
- 26：減算器
- 28：增幅器
- 32a：オペアンプ
- 32b：選択器
- 33：遮断素子
- 34：スイッチ
- 38：オペアンプ
- 40：ゲート放電回路
- 42：nMOS

40

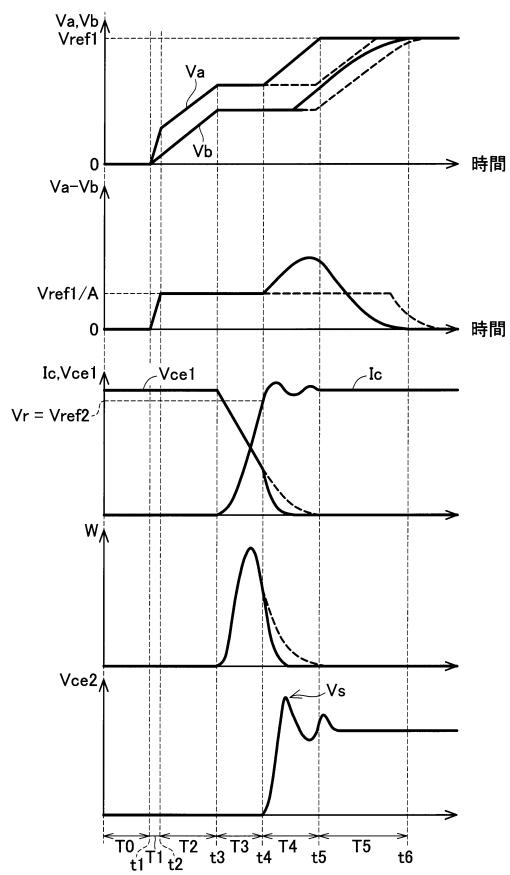
50

4 4 : 抵抗
 5 0 : 高電位配線
 5 2 : モ－タ配線
 6 0 : 絶縁電源
 7 0 : 制御装置

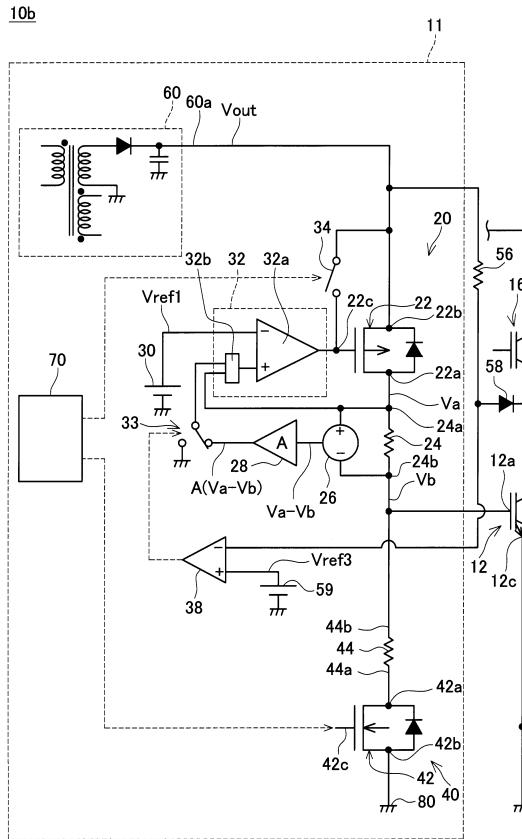
【図 1】



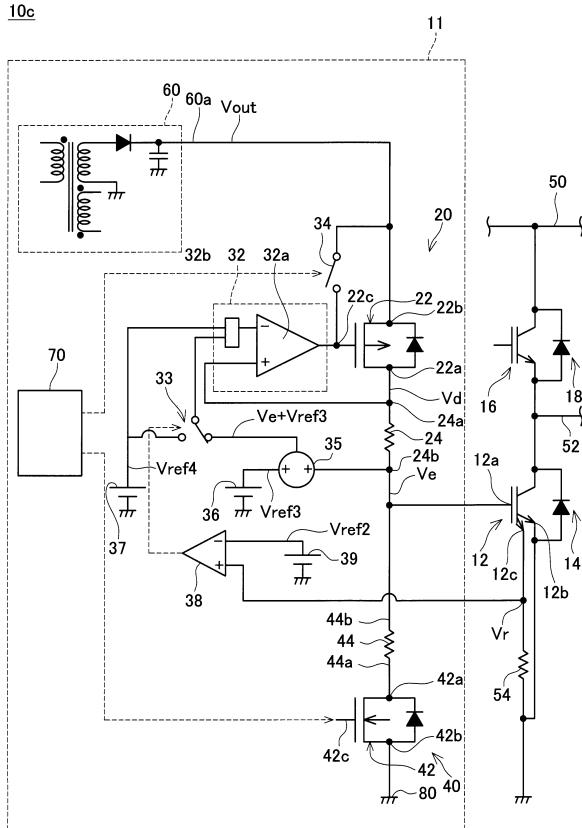
【図 2】



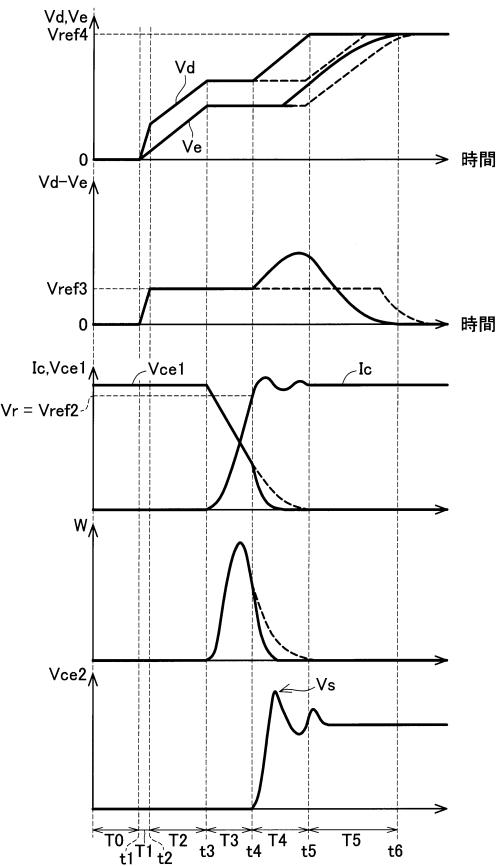
【図3】



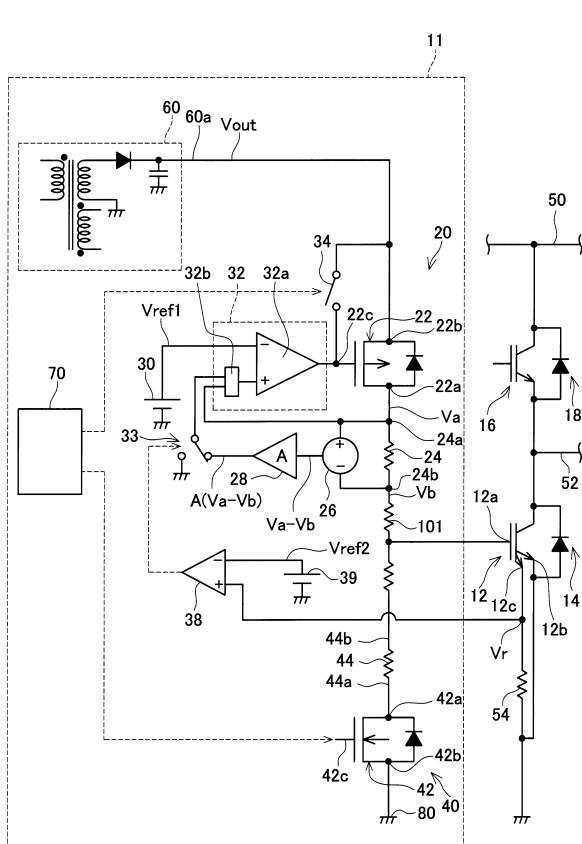
【図4】



【図5】

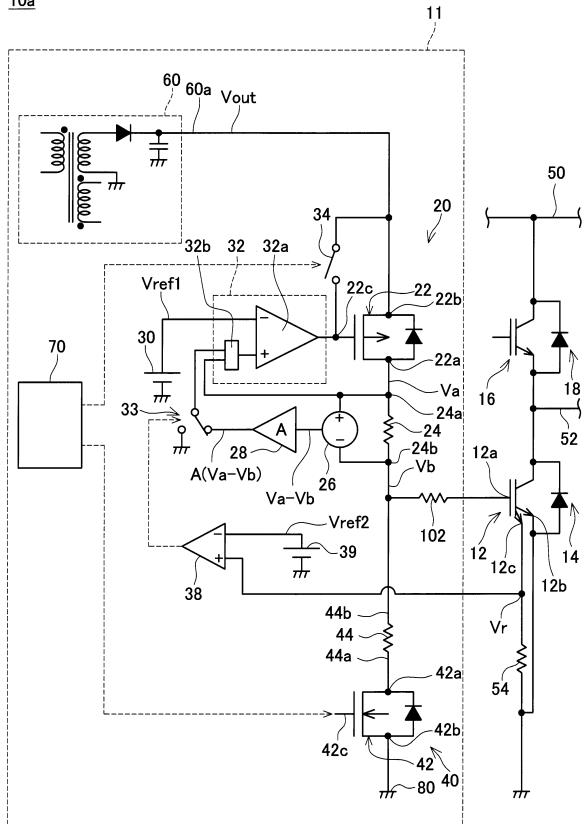


【図6】



【図7】

10a



フロントページの続き

審査官 東 昌秋

(56)参考文献 特開2012-135144 (JP, A)
特開2014-82904 (JP, A)
特開2012-222498 (JP, A)
特開2006-324963 (JP, A)
国際公開第2012/014314 (WO, A1)
国際公開第2012/157118 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 - 7/98
H03K 17/00 - 17/70