(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月25日(25.06.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/129237 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01) *H01L 27/11* (2006.01)
H01L 21/8244 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号： PCT/JP2018/047245

(22) 国際出願日： 2018年12月21日(21.12.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃１６－０４ Singapore (SG).

(72) 発明者；および

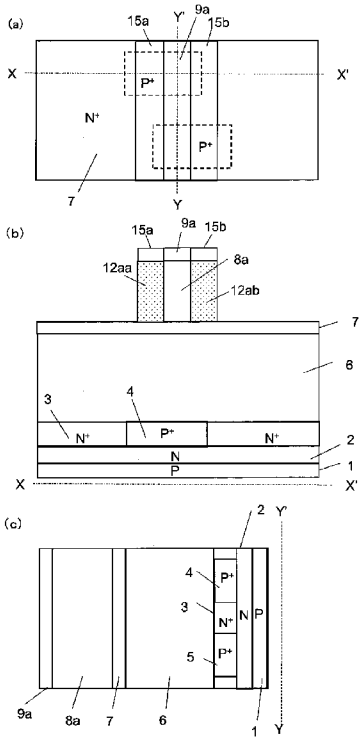
(71) 出願人（*US* についてのみ): 舛岡 富士雄 (**MASUOKA Fujio**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). リイーソ(**LI Yisuo**) [SG/SG]; 117685 シンガポール、ジ アルファ サイエンスパーク ２、＃０３－１７Ａ、サイエンス パーク ロード １０、ユニサンティス エレクトロニクス シンガポール プライベート リミテッド内 Singapore (SG).

(74) 代理人: 田中 伸一郎，外(**TANAKA Shinichiro et al.**); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** METHOD FOR MANUFACTURING THREE-DIMENSIONAL SEMICONDUCTOR DEVICE

(54) 発明の名称： ３次元半導体装置の製造方法



(57) **Abstract:** A mask material layer 7 is formed on a semiconductor layer 6. A belt-like mask material layer 8a is formed which has, on a top portion, a belt-like mask material layer 9a that has the same planer shape. Belt-like mask material layers 12aa, 12ab are formed which contact the belt-like mask material layers 7, 8a on both sides thereof and have, on top portions, belt-like mask material layers 15a, 15b which have the same planer shapes. Belt-like mask material layers 16a, 16b are formed which contact the belt-like mask material layers 12aa, 12ab, 15a, 15b on both outer sides thereof and have, on top portions, belt-like mask material layers 17a, 17b which have the same planer shapes. An orthogonal belt-like mask material layer is formed above the belt-like mask material layer 9a in a direction orthogonal to the direction of extension of the belt-like mask material layer 9a in planar view. A semiconductor pillar is formed in a region in which the orthogonal belt-like mask material layer overlaps the belt-like mask material layers 8a, 16a, 16b by etching the semiconductor layer 6. A pillar-like semiconductor device in which the semiconductor pillar has been formed into a channel is thus formed.

WO 2020/129237 A1

［続葉有］

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:半導体層６上に、マスク材料層７を形成する。そして、同じ平面形状を有する帯状マスク材料層９ａを頂部に有する帯状マスク材料層８ａを形成する。そして、帯状マスク材料層７、８ａの両側面に接して、同じ平面形状を有する帯状マスク材料層１５ａ、１５ｂを頂部に有する帯状マスク材料層１２ａａ、１２ａｂを形成する。そして、帯状マスク材料層１２ａａ、１２ａｂ、１５ａ、１５ｂの外側の両側面に接して、同じ平面形状を有する帯状マスク材料層１７ａ、１７ｂを頂部に有する帯状マスク材料層１６ａ、１６ｂを形成する。そして、前記帯状マスク材料層９ａの上方に、平面視において、前記帯状マスク材料層９ａが伸延している方向に直交している方向に、直交帯状マスク材料層を形成する。この直交帯状マスク材料層と、帯状マスク材料層８ａ、１６ａ、１６ｂの重なり領域に、半導体層６のエッチングにより、半導体柱を形成する。そして、この半導体柱をチャネルにした柱状半導体装置を形成する。

明　細　書

発明の名称 ： ３次元半導体装置の製造方法

技術分野

[0001] 本発明は、３次元半導体装置の製造方法に関する。

背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration)に３次元構造トランジスタが使われている。その中で、柱状半導体装置であるＳＧＴ（Surrounding Gate Transistor）は、高集積な半導体装置を提供する半導体素子として注目されている。また、ＳＧＴを有する半導体装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型ＭＯＳトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、ＳＧＴのチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図１０に、ＮチャネルＳＧＴの模式構造図を示す。Ｐ型又はｉ型（真性型）の導電型を有するＳｉ柱１２０（以下、シリコン半導体柱を「Ｓｉ柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN^+層１２１ａ、１２１ｂ（以下、ドナー不純物を高濃度で含む半導体領域を「N^+層」と称する。）が形成されている。このソース、ドレインとなるN^+層１２１ａ、１２１ｂ間のＳｉ柱１２０の部分がチャネル領域１２２となる。このチャネル領域１２２を囲むようにゲート絶縁層１２３が形成されている。このゲート絶縁層１２３を囲むようにゲート導体層１２４が形成されている。ＳＧＴでは、ソース、ドレインとなるN^+層１２１ａ、１２１ｂ、チャネル領域１２２、ゲート絶縁層１２３、ゲート導体層１２４が、全体として柱状に形成される。このため、平面視において、ＳＧＴの占有面積は、プレナー型ＭＯＳトランジスタの単一のソース又はドレインN^+層の占有面積

に相当する。そのため、ＳＧＴを有する回路チップは、プレナー型ＭＯＳトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] 図９に示したＳＧＴを用いた回路の高集積化が求められている。

先行技術文献

特許文献

[0006] 特許文献1：特開平２－１８８９６６号公報

非特許文献

[0007] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: “Study of planarized sputter-deposited SiO2 “, J.Vac.Sci. Technol. 15(3), p.p.1105-1112, May/June (1978)

非特許文献3：N.Loubt, et al. :” Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyound FinFET” 2107 Symposium on VLSI Technology of Technical Papers, pp. T230, 231 (2017)

発明の概要

発明が解決しようとする課題

[0008] 柱状半導体装置の高密度化の実現が求められている。

課題を解決するための手段

[0009] 本発明の観点に係る、３次元半導体装置の製造方法は、

第１の基板上にある、少なくとも一部または全体が半導体層よりなる第２の基板の上に、第１の材料層を形成する工程と、

前記第１の材料層上に、平面視において、１つの方向に伸び、同じ平面視形状を有する第１の帯状材料層を、その頂部上に有する第２の帯状材料層を形成する工程と、

全体を覆って、下から第２の材料層と、第３の材料層と、を形成する工程と、

前記第２の材料層と、前記第３の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第２の材料層の頂部に、平滑化された前記第３の材料層と、前記第１の帯状材料層と、の側面に挟まれた第３の帯状材料層を形成する工程と、

平滑化された前記第３の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層と、をマスクにして、前記第２の材料層をエッチングして、前記第２の帯状材料層の両側側面に接した、第４の帯状材料層を形成する工程と、

全体を覆って、下から第４の材料層と、第５の材料層と、を形成する工程と、

前記第４の材料層と、前記第５の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第４の材料層の頂部に、平滑化された前記第５の材料層と、前記第３の帯状材料層と、の側面に挟まれた第５の帯状材料層を形成する工程と、

前記第５の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層と、前記第５の帯状材料層と、をマスクにして、前記第４の材料層をエッチングして、前記第４の帯状材料層の側面に接した、第６の帯状材料層を形成する工程と、

前記第３の帯状材料層と、前記第４の帯状材料層と、を除去する工程と、

前記第１の帯状材料層より上方、または下方に、平面視において、前記第１の帯状材料層と直交した、単層、または複数層よりなる第７の帯状材料層が形成された状態で、平面視において、前記第７の帯状材料層と、前記第２の帯状材料層と、前記第６の帯状材料層と、の第１の重なり領域にある、平面視において矩形状、または円形状の第１のマスク材料層を、少なくとも前

記第１の材料層、または前記第２の帯状材料層、または前記第６の帯状材料層と、を母体にして形成する工程と、

前記第１のマスク材料層をマスクにして、前記第２の基板をエッチングして、前記第１の基板上に前記半導体層よりなる３次元形状半導体層を形成する工程と有し、

前記３次元形状半導体層をチャネルにする、

ことを特徴にする。

[0010] 前記製造方法は、

前記第３の帯状材料層を形成する工程において、

前記第１の帯状材料層と、平滑化された前記第３の材料層と、をマスクにして、前記第２の材料層の頂部をエッチングして、第１の凹部を形成する工程と、

前記第１の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第３の帯状材料層を形成する工程と、を有する、

ことが望ましい。

[0011] 前記製造方法は、

前記第５の帯状材料層を形成する工程において、

前記第１の帯状材料層と、前記第３の帯状材料層と、前記第５の材料層と、をマスクにして、前記第４の材料層の頂部をエッチングして、第２の凹部を形成する工程と、

前記第２の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第５の帯状材料層を形成する工程と、を有する、

ことが望ましい。

[0012] 前記製造方法は、

垂直方向において、前記第１の帯状材料層より上方、又は下方に、平面視において、１つの方向に伸びた第８の帯状材料層を、その頂部上に有し、且つ前記第７の帯状材料層と平面視において同じ形状を有する第９の帯状材料層が形成されており、

前記第７の帯状材料層は、

全体を覆って、下から第６の材料層と、第７の材料層と、を形成する工程と、

前記第６の材料層と、前記第７の材料層の上面位置が、前記第８の帯状材料層の上面位置となるように平滑化する工程と、

前記第８の帯状材料層と、平滑化された前記第７の材料層と、をマスクにして、平滑化された前記第６の材料層の頂部をエッチングして、第３の凹部を形成する工程と、

前記第３の凹部を埋め、且つその上面位置が前記第８の帯状材料層の上面位置と同じくする第１０の帯状材料層を形成する工程と、

前記第６の材料層を除去する工程と、

前記第８の帯状材料層と、前記第１０の帯状材料層と、をマスクにして、前記第６の材料層をエッチングして、前記第９の帯状材料層の両側側面に接した、第１１の帯状材料層を形成する工程と、

前記第８状材料層と、前記第９の帯状材料層と、を除去するか、もしくは前記第１０の帯状材料層と、前記第１１の帯状材料層と、を除去して、残った帯状材料層の下層または、上下両層を前記第７の帯状材料層とする、ことにより形成される

ことが望ましい。

[0013] 前記製造方法は、

平面視において、前記第２の帯状材料層と、前記第４の帯状材料層と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことが望ましい。

[0014] 前記製造方法は、

平面視において、前記第２の帯状材料層と、前記第６の帯状材料層と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことが望ましい。

[0015] 前記製造方法は、

前記３次元形状半導体層が、前記第１の基板上に、垂直方向に立った半導体柱である、

ことが望ましい。

[0016] 前記製造方法は、

前記半導体柱が、前記１つの方向、または前記１つの方向に直交する方向に、隣接して並んだ、少なくとも第１の半導体柱と、第２の半導体柱と、第３の半導体柱よりなり、

前記第１の半導体柱と、前記第２の半導体柱と、前記第３の半導体柱と、の側面を囲んで第１のゲート絶縁層を形成する工程と、

前記第１のゲート絶縁層を囲んで、第１のゲート導体層を形成する工程を有し、

前記第１のゲート導体層が、前記第１の半導体柱と、前記第２の半導体柱と、前記第３の半導体柱との少なくとも２つの前記半導体柱間を埋めて形成される、

ことが望ましい。

[0017] 前記製造方法は、

前記基板上に形成した複数の前記半導体柱のいずれかを除去する工程を有する、

ことが望ましい。

[0018] 前記製造方法は、

複数の前記半導体柱を形成する前に、平面視において、前記第７の帯状材料層の一部領域を形成しない工程を有し、

平面視において、前記第７の帯状材料層の前記一部領域の下に、複数の前記半導体柱のいずれかが形成されてない、

ことが望ましい。

[0019] 前記製造方法は、

前記第１の材料層上に、前記第１の帯状材料層を、頂部上に有する前記第２の帯状材料層を形成する工程に並行して、頂部に同じ平面形状を有する第

１２の帯状材料層を、頂部上に有する第１３の帯状材料層を、同じ前記１つの方向に伸延して、形成する工程と、

前記第１の材料層上に、前記第３の帯状材料層を、頂部上に有する前記第４の帯状材料層を形成する工程に並行して、頂部に同じ平面形状を有する第１４の帯状材料層を、頂部上に有する第１５の帯状材料層を、同じ前記１つの方向に伸延して、形成する工程と、

向い合った前記第４の帯状材料層と、前記第１５の帯状材料層と、の間にあり、かつ両者の側面に接して、前記第６の帯状材料層と同じ形状の第１６の帯状材料層を形成する工程と、

前記第３の帯状材料層と、前記第４の帯状材料層と、前記１４の帯状材料層と、前記１５の帯状材料層と、を除去する工程と、を有する、

ことが望ましい。

[0020] 前記製造方法は、

平滑化された前記第２の材料層の頂部を酸化して、前記第３の帯状材料層を形成する、

ことが望ましい。

[0021] 前記製造方法は、

平滑化された前記第２の材料層の頂部に原子イオンをイオン注入して、前記第３の帯状材料層を形成する、

ことが望ましい。

[0022] 前記製造方法は、

前記第２の基板を、平面視において、一方向の両端が保持材料層に接して、且つ垂直方向において、第１の半導体層と、第８の材料層を１組にして、上方に複数積み上げた構造で形成する工程と、

前記３次元形状半導体層の形成後に、前記第８の材料層を除去する工程と、

前記３次元形状半導体層の前記第１の半導体層を囲んで第２のゲート絶縁層を形成する工程と、

前記第２のゲート絶縁層を囲んで第２のゲート導体層を形成する工程と、

前記保持材料層を除去する工程と、

前記平面視において、前記一方向の前記第１の半導体層の両端に接して、ドナーまたはアクセプタ不純物を含んだ不純物層を形成する工程を有する、

ことが望ましい。

[0023] 本発明の第２の観点に係る、３次元半導体装置の製造方法は、

第１の基板上にある、少なくとも一部、または全体が半導体層よりなる、第２の基板上に、第１の材料層を形成する工程と、

前記第１の材料層上に、平面視において、１つの方向に伸び、同じ平面視形状を有する第１の帯状材料層を、その頂部上に有する第２の帯状材料層を形成する工程と、

全体を覆って、下から第２の材料層と、第３の材料層と、を形成する工程と、

前記第２の材料層と、前記第３の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第３の材料層の頂部に、平滑化された前記第３の材料層と、前記第１の帯状材料層と、の側面に挟まれた第３の帯状材料層を形成する工程と、

平滑化された前記第２の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層をマスクにして、前記第２の材料層をエッチングして、前記第３の帯状材料層を、その頂部上に有する第４の帯状材料層を形成する工程と、

前記第１の帯状材料層と、前記第２の帯状材料層と、を除去する工程と、

前記第３の帯状材料層より上方、または下方に、平面視において、前記第４の帯状材料層と直交した、単層、または複数層よりなる第５の帯状材料層が形成された状態で、平面視において、前記第４の帯状材料層と、前記第５の帯状材料層と、の第１の重なり領域にある、平面視において矩形状、または円形状の第１のマスク材料層を、前記第１の材料層、または前記第４の帯

状材料層、または前記第５の帯状材料層と、を母体にして形成する工程と、

前記第１のマスク材料層をマスクにして、前記第２の基板をエッチングして、前記基板上に、前記半導体層よりなる３次元形状半導体層を形成する工程と有し、

前記３次元形状半導体層をチャネルにする、

ことを特徴とする。

[0024] 前記製造方法は、

前記第３の帯状材料層を形成する工程において、

前記第１の帯状材料層と、前記第３の材料層と、をマスクにして、前記第２の材料層の頂部をエッチングして、第１の凹部を形成する工程と、

前記第１の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第３の帯状材料層を形成する工程と、を有する、

ことが望ましい。

[0025] 前記製造方法は、

平面視において、前記第２の帯状材料層と、前記第４の帯状材料層と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことが望ましい。

[0026] 前記製造方法は、

前記３次元形状半導体層が、前記第１の基板上に、垂直方向に立った半導体柱である、

ことが望ましい。

[0027] 前記製造方法は、

前記半導体柱が、前記１つの方向、または前記１つの方向に直交する方向に、隣接して並んだ、少なくとも第１の半導体柱と、第２の半導体柱よりなり、

前記第１の半導体柱と、前記第２の半導体柱と、の側面を囲んで第１のゲート絶縁層を形成する工程と、

前記第１のゲート絶縁層を囲んで、第１のゲート導体層を形成する工程を

有し、

前記第１のゲート導体層が、前記第１の半導体柱と、前記第２の半導体柱と間を埋めて形成される、

ことが望ましい。

[0028] 前記製造方法は、

前記基板上に形成した複数の前記半導体柱のいずれかを除去する工程を有する、

ことが望ましい。

[0029] 前記製造方法は、

複数の前記半導体柱を形成する前に、平面視において、前記第７の帯状材料層の一部領域を形成しない工程を有し、

平面視において、前記第７の帯状材料層の前記一部領域の下に、複数の前記半導体柱のいずれかが形成されてない、

ことが望ましい。

[0030] 前記製造方法は、

前記第１の帯状材料層と、前記第２の帯状材料層との形成と同時に、平面視において、前記第１の帯状材料層と、前記第２の帯状材料層とに、並行して、且つ第６の帯状材料層を頂部に有する第７の帯状材料層を形成する工程と、

前記第３の帯状材料層と、前記第４の帯状材料層との形成と同時に、前記第６の帯状材料層と、前記第７の帯状材料層の両側面に接して、第８の帯状材料層を頂部に有した第９の帯状材料層を形成する工程と、

前記第１の帯状材料層と、前記第２の帯状材料層とを除去する工程と並行して、前記第６の帯状材料層と、前記第７の帯状材料層と、を除去する工程と、を有する、

ことが望ましい。

[0031] 前記製造方法は、

前記９の帯状材料層と、前記第４の帯状材料層との、平面視における間隔

が、前記第２の帯状材料層、または前記７の帯状材料層の一方、または両方と同じに形成されている、

ことが望ましい。

[0032] 前記製造方法は、

平滑化された前記第２の材料層の頂部を酸化して、前記第３の帯状材料層を形成する、

ことが望ましい。

[0033] 前記製造方法は、

平滑化された前記第２の材料層の頂部に原子イオンをイオン注入して、前記第３の帯状材料層を形成する、

ことが望ましい。

[0034] 前記製造方法は、

前記第２の基板を、平面視において、一方向の両端が保持材料層に接して、且つ垂直方向において、前記半導体層と、第４の材料層を１組にして、上方に複数積み上げた構造で形成する工程と、

前記３次元形状半導体層の形成後に、前記第４の材料層を除去する工程と、

前記３次元形状半導体層の前記半導体層を囲んで第２のゲート絶縁層を形成する工程と、

前記第２のゲート絶縁層を囲んで第２のゲート導体層を形成する工程と、

前記保持材料層を除去する工程と、

前記平面視において、前記一方向の前記半導体層の両端に接して、ドナーまたはアクセプタ不純物を含んだ不純物層を形成する工程を有する、

ことが望ましい。

[0035] 本発明によれば、高密度の柱状半導体装置が実現する。

図面の簡単な説明

[0036] [図1A]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1B]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1C]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1D]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1E]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1F]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1G]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1H]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1I]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1J]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1K]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1L]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1M]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1N]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1O]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1P]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Q]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1R]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1S]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1T]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1U]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1V]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1W]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1X]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Y]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Z]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1XX]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1YY]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2A]本発明の第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2B]第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2C]第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2D]第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3A]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3B]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3C]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3D]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3E]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3F]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4A]本発明の第４実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4B]本発明の第４実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5A]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5B]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5C]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5D]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5E]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5F]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図6]本発明の第６実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図7]本発明の第７実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8A]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8B]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8C]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8D]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図8E]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9A]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9B]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図9C]本発明の第８実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図10]従来例のＳＧＴを示す模式構造図である。

発明を実施するための形態

[0037] 以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図面を参照しながら説明する。

[0038] （第１実施形態）

以下、図１Ａ～図１ＸＸを参照しながら、本発明の第１実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図を示す。

[0039] 図１Ａに示すように、Ｐ層基板１上にＮ層２をエピタキシャル結晶成長法により形成する。そして、Ｎ層２の表層にＮ＋層３とＰ＋層４、５をイオン注入法により形成する。そして、ｉ層（真性型Ｓｉ層）６を形成する。そして、例えば、SiO_2層、酸化アルミニウム（Al_2O_3、以後ＡｌＯと称する）層、SiO_2層よりなるマスク材料層７を形成する。なお、ｉ層６はドナーまたはアクセプタ不純物を少量に含むＮ型、またはＰ型のＳｉで形成されてもよい。そして、窒化シリコン（ＳｉＮ）層８を堆積する。そして、SiO_2層からなるマスク材料層９を堆積する。そして、ＳｉＮ層からなるマスク材料層１０を堆積する。

[0040] 次に図１Ｂに示すように、リソグラフィ法により形成した平面視においてＹ方向に伸延した帯状レジスト層（図示せず）をマスクにして、マスク材料層１０をエッチングする。これにより、平面視においてＹ方向に伸延した帯状マスク材料層１０ａを形成する。なお、この帯状マスク材料層１０ａを等方性エッチングすることにより、帯状マスク材料層１０ａの幅を、レジスト層の幅より細くなるように形成してもよい。これにより、リソグラフィ法で形成できる最小のレジスト層の幅より小さい幅を持つ帯状マスク材料層１０ａを形成することができる。そして、帯状マスク材料層１０ａをエッチングマスクにして、マスク材料層９を、例えばＲＩＥ（Reactive Ion Etching）により、エッチングして帯状マスク材料層９ａを形成する。等方エッチングにより形成した帯状マスク材料層１０ａの断面は底部の幅が、頂部の幅より大きい台形状になるのに対して、マスク材料層９ａの断面はＲＩＥによりエ

ッチングされるので、矩形状となる。この矩形断面は、帯状マスク９ａをマスクにした、エッチングパターンの精度向上に繋がる。

[0041] 次に、図１Ｃに示すように、帯状マスク材料層９ａをマスクにして、マスク材料層８を、例えばＲＩＥ法によりエッチングして、帯状マスク材料層８ａを形成する。前述の帯状マスク材料層１０ａは、マスク材料層８のエッチングの前に除去してもよく、または残存させていてもよい。

[0042] 次に、図１Ｄに示すように、全体に、ＡＬＤ（Atomic Layered Deposition）法によりＳｉＧｅ層１２と、SiO_2層１３と、をマスク材料層７（第１の材料層）、帯状マスク材料層８ａ（第２の帯状材料層）、９ａ（第１の帯状材料層）を覆って形成する。この場合、ＳｉＧｅ層１２（第２の材料層）の断面は頂部で丸みＲ１を生じる。この丸みＲ１は帯状マスク材料層８ａより上部になるように形成するのが望ましい。

[0043] 次に、図１Ｅに示すように、全体を、例えばフローＣＶＤ（Flow Chemical Vapor Deposition）法によるSiO_2層（図示せず）で覆い、そして、CMP(Chemical Mechanical Polishing)により、上表面位置が帯状マスク材料層９ａ上表面位置になるようにSiO_2層１３（第３の材料層）と、ＳｉＧｅ層１２と、を研磨して、SiO_2層１３ａ、ＳｉＧｅ層１２ａ、１２ｂを形成する。この場合、ＳｉＧｅ層１２ａ、１２ｂの頂部側面は垂直であることが望ましい。このためには、SiO_2層１３と、ＳｉＧｅ層１２の研磨工程において、図１ＤにおけるＳｉＧｅ層１２頂部の丸み部Ｒ１が除去されていることが望ましい。

[0044] 次に、図１Ｆに示すように、SiO_2層１３、帯状マスク材料層９ａをマスクにして、ＳｉＧｅ層１２ａ、１２ｂの頂部をエッチングして凹部１４ａ、１４ｂ（第１の凹部）を形成する。この凹部１４ａ、１４ｂの底部位置は、マスク材料層９ａの下部位置にあるように、そして、ＳｉＧｅ層１２ａ、１２ｂの頂部の丸みＲ１がエッチングなされることが望ましい。SiO_2層と、ＳｉＧｅ層１２の研磨工程において、図１ＤにおけるＳｉＧｅ層１２頂部の丸み部Ｒが除去されたことにより、外周側面が垂直な凹部１４ａ、１４ｂが

形成される。

[0045] 次に、図１Ｇに示すように、全体にＳｉＮ層（図示せず）を被覆し、全体をＣＭＰ法により、上表面位置がマスク材料層９ａ上表面位置になるようにＳｉＮ層を研磨する。これにより、帯状マスク材料層８ａ、９ａの両側に、平面視においてＳｉＧｅ層１２ａ、１２ｂの頂部形状と同じ形状を有するＳｉＮ層１５ａ、１５ｂ（第３の帯状材料層）が形成される。

[0046] そして、図１Ｈに示すように、SiO_2層１３を除去する。

[0047] 次に、図１Ｉに示すように、帯状マスク材料層９ａ、１５ａ、１５ｂをマスクにして、ＳｉＧｅ層１２ａ、１２ｂをエッチングして、帯状ＳｉＧｅ層１２ａａ、１２ａｂ（第４の帯状材料層）を形成する。この場合、平面視において、帯状ＳｉＧｅ層１２ａａと、帯状ＳｉＧｅ層１２ａｂとの幅は同じになる。

[0048] 次に、図１Ｊに示すように、全体を覆って、ＡＬＤ法によるＳｉＮ層１６と、ＦＣＶＤ法によるSiO_2層１３ｂと、を形成する。この場合、図１Ｄと同様に、ＳｉＮ層１６（第４の材料層）の頂部に生じる丸みＲ２は、帯状マスク材料層９ａより上部にあるのが望ましい。

[0049] 次に、このSiO_2層１３ｂ（第５の材料層）と、ＳｉＮ層１６と、の上表面位置が、マスク材料層９ａの上面位置と同じくなるように研磨する。そして、図１Ｅ、図１Ｆと同様の工程を行い、図１Ｋに示すように、帯状ＳｉＮ層１６Ａ、１６Ｂの上にあって、且つ帯状マスク材料層１５ａ、１５ｂと、SiO_2層１３ｂａに挟まれた凹部１４Ａ、１４Ｂ（第２の凹部）を形成する。

[0050] 図１Ｌに示すように、帯状ＳｉＧｅ層１２ａａ、１２ａｂの両側側面に接した、帯状ＳｉＮ層１６ａ、１６ｂと、帯状マスク材料層１５ａ、１５ｂの両側側面に接した帯状マスク材料層１７ａ、１７ｂ（第５の帯状材料層）と、を形成する。

[0051] 次に、ＡＬＤ法により、全体を覆ってＳｉＧｅ層（図示せず）を形成する。そして、全体を覆ってSiO_2層（図示せず）を形成する。そして、このＳ

ｉO_2層と、ＳｉＧｅ層と、の上表面位置が、帯状マスク材料層９ａの上面位置と同じくなるように研磨する。そして、図１Ｅ～図１Ｉと同様の工程を行い、図１Ｍに示すように、帯状マスク材料層１６ａ、１６ｂ（第６の帯状材料層）の両側側面に接した、帯状ＳｉＧｅ層１８ａ、１８ｂと、帯状マスク材料層１７ａ、１７ｂの両側側面に接した帯状マスク材料層１９ａ、１９ｂと、を形成する。

[0052] 次に、ＡＬＤ法により、全体を覆ってＳｉＮ層（図示せず）を形成する。そして、全体を覆ってSiO_2層（図示せず）を形成する。そして、このSiO_2層と、ＳｉＮ層と、の上表面位置が、帯状マスク材料層９ａの上面位置と同じくなるように研磨する。そして、図１Ｅ～図１Ｉと同様の工程を行い、図１Ｎに示すように、帯状マスク材料層層２０ａ、２０ｂの両側側面に接した、帯状マスク材料層層２０ａ、２０ｂと、帯状マスク材料層１９ａ、１９ｂの両側側面に接した帯状マスク材料層２１ａ、２１ｂと、を形成する。

[0053] 次に、帯状マスク材料層１５ａ、１５ｂ、１９ａ、１９ｂと、帯状ＳｉＧｅ層１２ａａ、１２ａｂ、１８ａ、１８ｂをエッチングにより除去する。これにより、図１Ｏに示すように、マスク材料層７上に、帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂと、帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂ上のマスク材料層９ａ、１７ａ、１７ｂ、２１ａ、２１ｂが形成される。

[0054] 次に、全体にSiO_2層（図示せず）を被覆する。そして、図１Ｐに示すように、ＣＭＰ法により、SiO_2層の上表面位置が、帯状マスク材料層９ａの上表面位置になるように研磨して、SiO_2層２２を形成する。そして、全体にＳｉＮ層２４とＳｉＧｅ層（図示せず）を形成する。そして、Ｘ方向に伸延したＳｉＮ層による帯状マスク材料層２６（第８の帯状材料層）を形成する。そして、リソグラフィ法とＲＩＥ法と、により形成した帯状マスク材料層２６をマスクにしてＳｉＧｅ層をエッチングして、Ｘ方向に伸延した帯状ＳｉＧｅ層２５（第９の帯状材料層）を形成する。

[0055] 次に、図１Ｃ～図１Ｉと同様な工程を行う（第６の材料層、第７の材料層

、第３の凹部、第１０の帯状材料層及び第１１の帯状材料層を形成する工程として図１Ｃ～図１Ｉと同様な工程を行う）ことにより、図１Ｑに示すように、帯状ＳｉＧｅ層２５の両側側面に接した、ＳｉＮ層による帯状マスク材料層２８ａ、２８ｂ（第７の帯状材料層）と、帯状マスク材料層２６の両側側面に接したSiO_2層、ＡｌＯ層、SiO_2層よりなる帯状マスク材料層２７ａ、２７ｂ（第７の帯状材料層）と、を形成する。

[0056] 次に、図１Ｒに示すように、帯状マスク材料層２６と、帯状ＳｉＧｅ層２５と、を除去して、ＳｉＮ層２４上に、平面視において、Ｘ方向に伸延した帯状マスク材料層２８ａ、２８ｂと、帯状マスク材料層２８ａ、２８ｂ上の帯状マスク材料層２７ａ、２７ｂと、を形成する。

[0057] 次に、図１Ｓに示すように、帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂをマスクにしてＳｉＮ層２４、帯状マスク材料層９ａ、１７ａ、１７ｂ、２１ａ、２１ｂ、８ａ、１６ａ、１６ｂ、２０ａ、２０ｂと、SiO_2層２２と、をエッチングする。これにより、帯状マスク材料層２７ａ、２８ａの下に、帯状ＳｉＮ層２４ａと、平面視において、正方形状のマスク材料層２１ａａ、２１ｂａ、１７ａａ、１７ｂａ、９ａａと、正方形状マスク材料層２１ａａ、２１ｂａ、１７ａａ、１７ｂａ、９ａａの下に位置する正方形状のマスク材料層２０ａａ、２０ｂａ、１６ａａ、１６ｂａ、８ａａと、が形成される。同じく、帯状マスク材料層２７ｂ、２８ｂの下に、帯状ＳｉＮ層２４ｂと、平面視において、正方形状のマスク材料層２１ｂａ、２１ｂｂ、１７ｂａ、１７ｂｂ、９ａｂと、正方形状マスク材料層２１ｂａ、２１ｂｂ、１７ｂａ、１７ｂｂ、９ａｂのしたに位置する正方形状のマスク材料層２０ｂａ（図示せず）、２０ｂｂ（図示せず）、１６ｂａ（図示せず）、１６ｂｂ（図示せず）、８ａｂと、が形成される。また、同時に、帯状ＳｉＮ層２４ａの下にあって帯状マスク材料層２１ａａ、２１ｂａ、１７ａａ、１７ｂａ、９ａａ、２０ａａ、２０ｂａ、１６ａａ、１６ｂａ、８ａａの間に、SiO_2層２２ａが形成される。同様に、帯状ＳｉＮ層２４ｂの下にあって帯状マスク材料層２１ｂａ、２１ｂｂ、１７ｂａ、１７ｂｂ、９ａｂ、２０

ｂａ、２０ｂｂ、１６ｂａ、１６ｂｂ、８ａｂの間に、SiO_2層２２ｂ（図示せず）が形成される。

[0058] 次に、図１Ｔに示すように、帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂ、帯状ＳｉＮ層２４ａ、２４ｂ、SiO_2層２２ａ、２２ｂを除去する。これにより、マスク材料層７上に、平面視において正方形状のマスク材料層２１ａａ、２１ａｂ、２１ｂａ、２１ｂｂ、１７ａａ、１７ｂａ、１７ｂａ、１７ｂｂ、９ａａ、９ｂａと、正方形状のマスク材料層２０ａａ、２０ａｂ、２０ｂａ、２０ｂｂ、１６ａａ、１６ａｂ、１６ｂａ、１６ｂｂ、８ａａ、８ａｂと、が形成される。

[0059] 次に、マスク材料層２１ａａ、２１ａｂ、２１ｂａ、２１ｂｂ、１７ａａ、１７ａｂ、１７ｂａ、１７ｂｂ、９ａａ、９ａｂと、マスク材料層２０ａａ、２０ａｂ、２０ｂａ、２０ｂｂ、１６ａａ、１６ａｂ、１６ｂａ、１６ｂｂ、８ａａ、８ａｂと、をマスクにしてマスク材料層７をＲＩＥ法によりエッチングする。そして、マスク材料層２１ａａ、２１ａｂ、２１ｂａ、２１ｂｂ、１７ａａ、１７ａｂ、１７ｂａ、１７ｂｂ、９ａａ、９ａｂと、マスク材料層２０ａａ、２０ａｂ、２０ｂａ、２０ｂｂ、１６ａａ、１６ｂａ、１６ｂｂ、８ａａ、８ａｂと、を除去する。これにより、図１Ｕに示すように、ｉ層６上にマスク材料層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、７ｇ、７ｈ、７ｉ、７ｊ（第１のマスク材料層）を形成する。例えば、マスク材料層７のＲＩＥエッチングの前に、正方形状のマスク材料層２１ａａ、２１ａｂ、２１ｂａ、２１ｂｂ、１７ａａ、１７ａｂ、１７ｂａ、１７ｂｂ、９ａａ、９ａｂと、正方形状のマスク材料層２０ａａ、２０ａｂ、２０ｂａ、２０ｂｂ、１６ａａ、１６ａｂ、１６ｂａ、１６ｂｂ、８ａａ、８ａｂの片方、または両方を軽い等方性エッチングする。これにより、平面視における、マスク材料層７ａ～７ｊの形状を円形にする。

[0060] 次に、図１Ｖに示すように、マスク材料層７ａ～７ｊをマスクにして、ｉ層６をエッチングして、Ｎ＋層３と、Ｐ＋層４との上に、Ｓｉ柱６ａ、６ｂ、６ｃ，６ｄ，６ｅ、６ｆ、６ｈ、６ｉ、６ｊ（３次元形状半導体層）を形

成する。

[0061] 次に、ＦＣＶＤ法でSiO_2層（図示せず）を被覆し、その後にＣＭＰ法により、表面位置がマスク材料層７ａ～７ｊの頂部位置になるように研磨する。そして、リソグラフィ法と、ＲＩＥエッチング法と、により、マスク材料層７ｂ、７ｉと、Ｓｉ柱６ｂ、６ｉを除去する。そして、ＦＣＶＤ法で形成したSiO_2層を除去する。これにより、図１Ｗに示すように、Ｎ＋層３と、Ｐ＋層４、５との上に、Ｓｉ柱６ａ、６ｃ，６ｄ，６ｅ、６ｆ、６ｈ、６ｊが形成される。

[0062] 次に、図１Ｘに示すように、マスク材料層７ａ～７ｊ（マスク材料層７ｂ、７ｉはない）側面を囲んだマスク材料層３０ａ、３０ｂ、３０ｃ、３０ｄと、Ｓｉ柱６ａ～６ｊ（Ｓｉ柱６ｂ、６ｉはない）の側面を囲んだマスク材料層３１ａ、３１ｂ、３１ｃ、３１ｄ（図示せず）を形成する。そして、全体にＦＣＶＤ法でSiO_2層（図示せず）を被覆し、その後にＣＭＰ法により、表面位置がマスク材料層７ａ～７ｊ（マスク材料層７ｂ、７ｉはない）の頂部位置になるように研磨する。そして、この平滑面上に、平面視においてＳｉ柱６ａ、６ｃ、６ｄ、６ｅに繋がった、例えばSiO_2層による、帯状マスク材料層３３ａと、Ｓｉ柱６ｆ、６ｇ、６ｈ、６ｊに繋がった、例えばSiO_2層による、帯状マスク材料層３３ｂと、を形成する。そして、マスク材料層３０ａ、３０ｂ、３０ｃ、３０ｄ、７ａ～７ｊ、３３ａ、３３ｂをマスクにして、ＲＩＥにより、SiO_2層、Ｎ＋層３、Ｐ＋層４、５、Ｎ層２、Ｐ層１をエッチングする。これにより、Ｓｉ柱６ａ、６ｃ、６ｄ、６ｅの下部にあって、且つＰ層１上に、Ｎ層２ａと、Ｎ＋層３ａ、３ｂ、Ｐ＋層４ａが形成される。同様に、Ｓｉ柱６ｆ、６ｇ、６ｈ、６ｊの下部にあって、且つＰ層１上に、Ｎ層２ｂと、Ｎ＋層３ｃ（図示せず）、３ｄ（図示せず）、Ｐ＋層５ａが形成される。そして、マスク材料層３３ａの下にあって、Ｓｉ柱６ａ、６ｃ間にSiO_2層３２ａが形成される。同様に、マスク材料層３３ｂの下にあって、Ｓｉ柱６ｈ、６ｊ間にSiO_2層３２ｂ（図示せず）が形成される。

[0063] 次に、図１Ｙに示すように、マスク材料層３３ａ、３３ｂ、SiO_2層３２ａ、３２ｂ、マスク材料層３０ａ、３０ｂ、３０ｃ、３０ｄ、３１ａ、３１ｂ、３１ｃ、３１ｄを除去する。

[0064] 次に、図１Ｚに示すように、Ｎ＋層３ａ、３ｂ、３ｃ、３ｄ、Ｐ＋層４ａ、５ａ、Ｎ層２ａ、２ｂの外周部と、Ｐ層基板１上にSiO_2層３４を形成する。そして、ＡＬＤ法により、全体を覆って、ＨｆＯ２層（図示せず）、ＴｉＮ層（図示せず）、SiO_2層（図示せず）を形成する。この場合、Ｓｉ柱６ｃ、６ｄ、６ｅ間のＴｉＮ層は、側面同士で接触していることが望ましい。同様に、Ｓｉ柱６ｆ、６ｇ、６ｈ間のＴｉＮ層は、側面同士で接触していることが望ましい。そして、ＣＭＰ法により、ＨｆＯ２層、ＴｉＮ層、SiO_2層の上面位置が、マスク材料層７ａ～７ｊの上面位置になるように研磨する。そして、ＲＩＥ法により、ＳｉＯ２層をエッチバックエッチングする。そして、このＳｉＯ２層をマスクにして、ＴｉＮ層とＨｆＯ２層を、上面位置がＳｉ柱６ａ～６ｊの上部位置になるようにエッチチングする。そして、ＣＶＤ法により、全体を覆って、ＳｉＮ層（図示せず）を形成する。そして、ＣＭＰ法により、上表面位置がマスク材料層７ａ～７ｊの上表面位置になるように、ＳｉＮ層を研磨する。これにより、Ｓｉ柱６ａ～６ｊの頂部外周に、平面視において等幅の、ＳｉＮ層３７ａ、３７ｂ、３７ｃ、３７ｄ（図示せず）が形成される。

そして、マスク材料層７ａ～７ｊの上面に、平面視において、Ｓｉ柱６ａ、６ｄ、６ｇ、６ｊに接するマスク材料層３８ａ、３８ｂ、３８ｃ、３８ｄを形成する。そして、マスク材料層７ａ～７ｊ、３７ａ、３７ｂ、３７ｃ、３７ｄ、３８ａ、３８ｂ、３８ｃ、３８ｄをマスクにして、平面視において、マスク材料層３７ａ、３７ｂ、３７ｃ、３７ｄの外周部にあるSiO_2層と、ＴｉＮ層とをエッチングする。これにより、Ｓｉ柱６ａの外周部に繋がるＴｉＮ層４０ａと、Ｓｉ柱６ｃ、６ｄ、６ｅの外周部に繋がるＴｉＮ層４０ｂと、Ｓｉ柱６ｆ、６ｇ、６ｈの外周部に繋がるＴｉＮ層４０ｃと、Ｓｉ柱６ｊの外周部に繋がるＴｉＮ層４０ｄ（図示せず）が形成される。そして、

マスク材料層３８ａ～３８ｄ、３７ａ～３７ｄ、７ａ～７ｊを除去する。

[0065] 次に、図１ＸＸに示すように、全体をSiO_2層（図示せず）で覆い、その後にＣＭＰ法により、SiO_2層を上表面位置がＳｉ柱６ａ～６ｊの頂部の上表面位置になるように研磨する。そして、SiO_2層の上部をＲＩＥ法により、その上表面位置がＴｉＮ層４０ａ～４０ｄ頂部位置まで、エッチングする。そして、Ｓｉ柱６ａ～６ｊの頂部外周部にＳｉＮ層４２を形成する。

そして、Ｓｉ柱６ｃ、６ｈの頂部をSiO_2層（図示せず）で覆いた後、選択エピタキシャル結晶成長法によりドナー不純物を含んだＮ＋層４３ａをＳｉ柱６ａの頂部を囲んで形成する。同時にＳｉ柱６ｄの頂部を覆ったＮ＋層４１ｃと、Ｓｉ柱６ｅの頂部を覆ったＮ＋層４３ｄ（図示せず）と、Ｓｉ柱２２ｆの頂部を覆ったＮ＋層４１ｅ（図示せず）と、Ｓｉ柱６ｇの頂部を覆ったＮ＋層４１ｆ（図示せず）と、Ｓｉ柱６ｇの頂部を覆ったＮ＋層４３ｆと、Ｓｉ柱６ｊの頂部を覆ったＮ＋層４１ｈ（図示せず）を形成する。そして、Ｓｉ柱６ｃ、６ｈの頂部を覆ったSiO_2層を除去する。そして、Ｓｉ柱６ａ、６ｄ、６ｅ、６ｆ、６ｇ、６ｊを覆って、SiO_2層（図示せず）を形成する。そして、選択エピタキシャル結晶成長法によりアクセプタ不純物を含んだＰ＋層４３ｂ、４３ｇをＳｉ柱６ｃ、６ｈの頂部を囲んで形成する。そして、熱処理により、Ｎ＋層４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｈのドナー不純物をＳｉ柱６ａ、６ｄ、６ｅ、６ｆ、７６ｇ、６ｊの頂部に拡散させて、Ｎ＋層４４ａ、４４ｃ、４４ｄ、４４ｅ（図示せず）、４４ｆ（図示せず）、４４ｈ（図示せず）を形成する。同時に、Ｐ＋層４３ｂ、４３ｇからアクセプタ不純物を拡散させて、Ｐ＋層４４ｂ、４４ｇを形成する。

[0066] 次に、図１ＹＹに示すように、全体を覆って上表面が平坦なSiO_2層４６を形成する。そして、Ｎ＋層３ａとＰ＋層４ａと、の境界面上と、ＴｉＮ層４０ｂ上と、に形成したコンタクトホール４７ａを介して接続配線金属層Ｃ１を形成する。同時に、Ｎ＋層３ｄとＰ＋層５ａと、の境界面上と、ＴｉＮ層４０ｂと、の上に形成したコンタクトホール４７ｂを介して接続配線金属

層Ｃ２（図示せず）を形成する。全体を覆って上表面が平坦なSiO_2層４８を形成する。そして、ＴｉＮ層４０ａ、４０ｄ上に形成したコンタクトホール４９ａ、４９ｂｃを介して、ワード金属配線層ＷＬを形成する。全体を覆って上表面が平坦なSiO_2層５０を形成する。そして、Ｎ＋層４３ｃ、４３ｄ上に形成したコンタクトホール５１ａ、５１ｂを介して、グランド配線層Ｖｓｓ１を形成する。同時に、Ｎ＋層４３ｅ、４３ｆ上に形成したコンタクトホール５１ｃ、５１ｄを介して、グランド配線層Ｖｓｓ２を形成する。そして、全体を覆って上表面が平坦なSiO_2層５２を形成する。そして、Ｐ＋層４３ｂ、４３ｇ上に形成したコンタクトホール５３ａ、５３ｂを介して電源金属配線層Ｖｄｄを形成する。そして、全体を覆って上表面が平坦なSiO_2層５４を形成する。そして、Ｎ＋層４３ａ、４３ｈ上に形成したコンタクトホール５５ａ、５５ｂを介してビット出力金属配線層ＢＬ，反転ビット出力配線層ＲＢＬを形成する。これにより、Ｐ層基板１上にＳＲＡＭセル回路が形成される。

[0067] 第１実施形態の製造方法によれば、次のような特徴が得られる。

[0068] １． 本実施形態では、図１Ｖに示されたように、１つのＳＲＡＭセル領域に１０個のＳｉ柱６ａ～６ｊが形成された。この内、Ｘ方向において、１列のＳｉ柱（６ｃ、６ｈ）を形成するための帯状ＳｉＮ層８ａの形成のみにリソグラフィ法を用いた。他の８個のＳｉ柱（６ｃ、６ｈを除く６ａ～６ｊ）は、ＡＬＤ法により形成した帯状ＳｉＧｅ層１２ａａ、１２ａｂ、１８ａ、１８ｂ、帯状ＳｉＮ層１６ａ、１６ｂ、２０ａ、２０ｂにより形成されている。帯状ＳｉＧｅ層１２ａ、１２ｂをＡＬＤ法で形成し、この帯状ＳｉＧｅ層１２ａ、１２ｂ上に、帯状ＳｉＧｅ層１２ａ、１２ｂの頂部形状をそのまま残存させた形状を有する帯状マスク材料層１５ａ、１５ｂを形成した。ＡＬＤ法では、材料層を１原子層、または１分子層ごと制御よく堆積できる。これにより、平面視において、帯状ＳｉＧｅ層１２ａ、１２ｂの厚さを、設計からの要求に応じて、高精度で、且つ狭くすることができる。これにより、Ｓｉ柱７ａ～７ｊ間の距離をリソグラフィの制約なしに、高精度で且つ、

狭くできる。これにより、ＳＲＡＭセルの高集積化が図れる。なお、Ｘ方向において、Ｓｉ柱６ｃ、６ｈと、Ｓｉ柱６ｂ、６ｄ、６ｇ、６ｉとの間の距離だけを、高精度で、且つ最狭に形成する場合は、帯状ＳｉＧｅ層１２ａａ、１２ａｂ、帯状マスク材料層１５ａ、１５ｂだけを、本発明の提供する製造方法により形成すればよい。

２．　同様に、ＡＬＤ法で形成した帯状ＳｉＮ層１６Ａ、１６Ｂと、この帯状ＳｉＮ層１６Ａ、１６Ｂ上に、帯状ＳｉＮ層１６Ａ、１６Ｂの頂部形状をそのまま残存させた形状を有する帯状マスク材料層１７ａ、１７ｂを形成した。これにより、Ｓｉ柱７ａ～７ｊの平面視における直径をリソグラフィの制約なしに高精度で且つ、小さくできる。これにより、リソグラフィによるセル高集積化に対する制限をなくして、セル設計を行うことができる。これにより、ＳＲＡＭセルの高精度で、且つ高集積化が図れる。

３．　セル高集積化が進むと、Ｓｉ柱６ａ～６ｊの平面視における直径と、Ｓｉ柱６ａ～６ｊ間距離との両方の高精度化と高密度化が求められる。これに対して、本実施形態では、本実施形態では、例えば図１Ｄ～図１Ｏに示したように、Ｘ方向断面において、帯状ＳｉＮ層８ａの両側面に、形成される帯状ＳｉＧｅ層１２ａａ、１２ａｂ、１８ａ、１８ｂと、帯状ＳｉＮ層１６ａ、１６ｂ、２０ａ、２０ｂとの両方を、高精度で且つ狭く形成できる。帯状ＳｉＮ層１６ａ、１６ｂ、２０ａ、２０ｂの厚さの高精度化は、Ｓｉ柱６ａ～６ｊの直径の高精度化に繋がる。そして、帯状ＳｉＧｅ層１２ａａ、１２ａｂ、１８ａ、１８ｂの厚さの高精度化は、Ｓｉ柱６ａ～６ｊ間距離の高精度化に繋がる。これにより、ＳＲＡＭセルの高精度化と高集積化が図れる。

４．　帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂは、ＳｉＧｅ層１２ａ、１２ｂ、ＳｉＮ層１６Ａ，１６ＢのＲＩＥ法によりエッチング時に、エッチングイオンが当たっている部分が、低いエッチング速度であるがエッチングされる。帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂが、例えば低辺が上辺より長い台形状であると、エッチング中に帯状マスク材料層１

５ａ、１５ｂ、１７ａ、１７ｂの底辺部分が、エッチングされる。これにより、平面視における帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂのマスク層端の位置がエッチング時間と共に変化する。これにより、帯状ＳｉＧｅ層１２ａａ、１２ａｂ、帯状ＳｉＮ層１６ａ、１６ｂを、断面視において、矩形状に形成することを困難にさせる。これに対して、本実施形態では、帯状ＳｉＮ層８ａ、帯状マスク材料層９ａの両側に、垂直方向に同じ厚さを有するＳｉＧｅ層１２ａ、１２ｂ、ＳｉＮ層１６Ａ、１６Ｂを形成した。そして、ＳｉＧｅ層１２ａ、１２ｂ、ＳｉＮ層１６Ａ、１６Ｂの頂部形状をそのまま残存させた帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂを、形成した。これにより、断面が矩形状の帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂが形成される。更に、断面が矩形状の帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂをマスクに、ＳｉＧｅ層１２ａ、１２ｂ、ＳｉＮ層１６Ａ，１６Ｂをエッチングすることにより、断面が矩形状の帯状ＳｉＧｅ層１２ａａ、１２ａｂ、帯状ＳｉＮ層１６ａ、１６ｂが形成される。これにより、ＳＲＡＭセルの高精度化と、高集積化とが図れる。

５．　例えば、図１Ｅ～図１Ｉに示すように、帯状ＳｉＧｅ層１２ａａ、１２ａｂのエッチングマスクである帯状マスク材料層１５ａ、１５ｂにおいて、帯状ＳｉＮ層８ａ、帯状マスク材料層９ａを覆って、ＡＬＤ法によりＳｉＧｅ層１２を堆積させた。そして、SiO_2層（図示せず）を堆積させた。そして、ＣＭＰ法により、SiO_2層と、ＳｉＧｅ層１２を、その上表面位置が、帯状マスク材料層９ａの上表面位置になるように研磨した。この研磨により、ＳｉＧｅ層１２の上部丸みＲ１を除去した。この上部丸みＲ１の除去により、凹み１４ａ、１４ｂの形状は、ＳｉＧｅ層１２ａ、１２ｂの両側面の帯状マスク材料層９ａと、SiO_2層１３の側面形状に沿い、且つ垂直方向に等幅の帯状ＳｉＧｅ層１２ａ、１２ｂの形状に沿って形成される。このため、凹部１４ａ、１４ｂの断面形状は、ほぼ矩形状に形成される。これにより、帯状マスク材料層１５ａ、１５ｂの断面形状を、垂直方向において、等幅の形状が保持されて、全体を見ると、ほぼ矩形状にされる。これは、ＲＩＥ

法により帯状マスク材料層１５ａ、１５ｂをマスクにしてＳｉＧｅ層１２ａすることにより形成した帯状ＳｉＧｅ層１２ａａ、１２ａｂを、平面視、断面視共に高精度に形成できることを示している。同様にして、帯状ＳｉＮ層１６ａ、１６ｂ、２０ａ、２０ｂ、帯状ＳｉＧｅ層１８ａ、１８ｂを高精度に形成できる。

６．　本実施形態では、図１Ｚに示すように、Ｓｉ柱７ｃ，７ｄ，７ｅと、Ｓｉ柱７ｆ，７ｇ，７ｈの外周に繋がったゲートＴｉＮ層４０ｂ、４０ｃは、Ｓｉ柱７ｃ，７ｄ，７ｅ間と、Ｓｉ柱７ｆ，７ｇ，７ｈ間と、の側面で接触している。一方、Ｓｉ柱６ａ、６ｊでは、ゲートＴｉＮ層４０ａ、４０ｄは独立に形成されている。Ｓｉ柱７ｃ，７ｄ，７ｅと、Ｓｉ柱７ｆ，７ｇ，７ｈの外周に繋がったゲートＴｉＮ層４０ｂ、４０ｃは、Ｓｉ柱７ｃ，７ｄ，７ｅ間と、Ｓｉ柱７ｆ，７ｇ，７ｈ間と、の側面で接触していることは、Ｓｉ柱７ｃ，７ｄ，７ｅ間と、Ｓｉ柱７ｆ，７ｇ，７ｈ間と、の距離を、ゲートＨｆＯ層３５と、ゲートＴｉＮ層４０ｂ、４０ｃと、を加えた厚さの２倍まで短く出来ることを示している。そして、図１Ｗで示したように、Ｓｉ柱７ｂ、７ｉを除去することにより、ゲートＴｉＮ４０ａ、４０ｃをゲートＴｉＮ層４０ｂ、４０ｄから離して形成することができる。これは、図１Ｗに示すように、平面視において、高密度にＳｉ柱６ａ～６ｊを形成した後に、Ｓｉ柱７ｂ、７ｉを除去して、平面視においてＳｉ柱のない領域を形成したことによる。これにより、平面視において、除去したＳｉ柱７ｂ、７ｉの領域上に、コンタクトホール４７ａ、４７ｂを形成することができる。これにより、ＳＲＡＭセルの高密度化が図れる。本実施形態は、ＳＲＡＭセルだけでなく、ゲート導体層同士が接続された複数のＳｉ柱と、これらに隣接し、且つ分離したゲート導体層を有する１つまたは複数のＳｉ柱を有する回路にも適用することができる。

７．　本実施形態では、図１Ｐ～図１Ｓにおいて述べたように、Ｙ方向に伸延した帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂに直交して、Ｘ方向に伸延した帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂを、

帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成したのと同様な方法により形成した。これにより、Ｘ方向、Ｙ方向共に、高精度で、且つ高密度に、Ｓｉ柱６ａ～６ｊが形成される。また、本実施形態の説明では、帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成した後に、帯状マスク材料層２８ａ、２８ｂを形成した。これに対して、帯状マスク材料層２８ａ、２８ｂを形成した後に、帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成する工程でも、同じく高精度で、且つ高密度にＳｉ柱６ａ～６ｊを形成することができる。なお、設計において、Ｙ方向に余裕がある場合は、本方法を用いないで、マスク材料層を全面に形成した後に、リソグラフィ法とＲＩＥエッチング法により、直接に帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂを形成してもよい。また、Ｘ方向に余裕がある場合は、本方法を用いないで、マスク材料層を全面に形成した後に、リソグラフィ法とＲＩＥエッチング法により、直接に帯状マスク材料層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂ、または、帯状マスク材料層９ａ、１７ａ、１７ｂ、２１ａ、２１ｂを形成してもよい。

８．　本実施形態では、図１０に示すように、平面視において、Ｙ方向に伸延した５本の帯状ＳｉＮ層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成した。これに対し、帯状ＳｉＮ層８ａの材料をＳｉＮからＳｉＧｅに替え、帯状ＳｉＧｅ層１２ａａ、１２ａｂの材料をＳｉＮに替えることにより、平面視において、Ｙ方向に並行して伸延する２本の帯状ＳｉＮ層を形成することができる。これにより、平面視において、この２本の帯状ＳｉＮ層の位置に、高密度にＳｉ柱を形成することができる。このことは、平面視において、最初に形成する帯状ＳｉＮ層８ａ、帯状マスク材料層９ａよりなる帯状材料層の材料と、この帯状材料層の両側に、並行して形成する帯状ＳｉＮ層、帯状マスク材料層の材料と、帯状ＳｉＮ層、または帯状ＳｉＧｅ層の形成を何回繰り返すかにより、平面視において、Ｙ方向に伸延した帯状ＳｉＮ層を３本、４本、５本以上形成することができる。これにより、平面において、この帯状ＳｉＮ層の位置に、高密度にＳｉ柱を形成することができる。

[0069] （第２実施形態）

以下、図２Ａ～図２Ｄを参照しながら、本発明の第２実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0070] 図１Ａ～図１Ｌと同じ工程を行う。この工程の中で、図１ＡにおけるＮ＋層３、Ｐ＋層４の平面視における配置が異なり、図２Ａに示すように、帯状Ｎ＋層３Ａ、３Ｂが、帯状Ｐ＋層４Ａの両側に形成される。そして、頂部上に帯状マスク材料層９ａを有した帯状ＳｉＮ層８ａの両側に、平面視において、帯状ＳｉＧｅ層１２ａａ、１２ａｂより広い幅のＳｉＧｅ層１２Ａａ、１２Ａｂが形成する。そして。ＳｉＧｅ層１２Ａａ、１２Ａｂの頂部上に、帯状マスク材料層１５Ａ，１５Ｂが形成されている。そして、帯状ＳｉＧｅ層１２Ａａ、１２Ａｂの両側に、帯状ＳｉＮ層８ａと同じ幅の、頂部上に帯状マスク材料層１７Ａ，１７Ｂを有した、帯状ＳｉＮ層１６Ａ、１６Ｂを形成する。

[0071] 次に、図１Ｎ～図１Ｔと同じ工程を行う。これにより、図２Ｂに示すように、マスク材料層７上に、頂部に、平面視において、正方形状のマスク材料層９Ａａ，９Ａｂ、１７Ａａ、１７Ａｂ，１７Ｂａ、１７Ｂｂを有した、正方形状のＳｉＮ層８Ａａ，８Ａｂ、１６Ａａ，１６Ａｂ（図示せず），１６Ｂａ、１６Ｂｂ（図示せず）を形成する。

[0072] 次に、図１Ｕ、図１Ｖと同じ工程を行う。これにより、図２Ｃに示すように、Ｎ＋層３Ａ、３Ｂ上にＳｉ柱６１ａ、６１ｃ、６１ｄ、６１ｆを形成する。同時にＰ＋層４Ａ上にＳｉ柱６１ｂ、６１ｅを形成する。

[0073] 次に、図１Ｘ～図１ＹＹと同じ工程を行う。これにより、図２Ｄに示すように、Ｓｉ柱６１ａ、６１ｂ、６１ｃの下に、Ｎ層２Ａと、Ｎ＋層３Ａａ、３Ｂａ、Ｐ＋層４Ａａと、が形成される。同様に、Ｓｉ柱６１ｄ、６１ｅ、６１ｆの下に、Ｎ層２Ｂと、Ｎ＋層３Ｂａ（図示せず）、３Ｂｂ（図示せず）、Ｐ＋層４Ｂａと、が形成される。そして、Ｓｉ柱６１ａ～６１ｆの下部

を囲んで、SiO_2層３３を形成する。そして、Ｓｉ柱６１ａ～６１ｆを囲んで、ゲート絶縁層であるＨｆＯ２層６３を形成する。そして、ＨｆＯ２層６３を囲んでゲートＴｉＮ層６５ａ、６５ｂ、６５ｃ、６５ｄ（図示せず）と、SiO_2層４１と、を形成する。そして、Ｓｉ柱６１ａ～６１ｆの頂部外周にSiO_2層４２を形成する。そして、Ｓｉ柱６１ａ～６１ｆの頂部上に選択エピタキシャル結晶成長法により、Ｎ＋層６７ａ、６７ｃ、６７ｄ、６７ｆと、Ｐ＋層６７ｂ、６７ｅを形成する。そして、熱処理を行い、Ｓｉ柱６１ａ～６１ｆの頂部に、Ｎ＋層６６ａ、６６ｃ、６７ｄ（図示せず）、６７ｆ（図示せず）と、Ｐ＋層６６ｂ、６６ｅと、を形成する。

そして、全体にSiO_2層４６を形成した後、Ｎ＋層３Ａａと、Ｐ＋層４Ａａ境界上と、ゲートＴｉＮ層６５ｃ上と、に形成したコンタクトホール６９ａを介して、形成した金属層（図示せず）により、Ｎ＋層３Ａａ、Ｐ＋層４Ａａと、ゲートＴｉＮ層６５ｃとの接続を行う。同時に、Ｎ＋層３Ｂｂ、Ｐ＋層４Ｂａ境界上と、ゲートＴｉＮ層６５ｂ上に形成したコンタクトホール６９ｂを介して、形成した金属層（図示せず）により、Ｎ＋層３Ｂｂ、Ｐ＋層４Ｂａと、ゲートＴｉＮ層６５ｂとの接続を行う。そして、全体にSiO_2層４８を形成した後、ゲートＴｉＮ層６５ａ上に形成したコンタクトホール７０ａと、ゲートＴｉＮ層６５ｄ上に形成したコンタクトホール７０ｂと、を介して、ゲートＴｉＮ層６５ａ、６５ｄと、ワード配線金属層ＷＬと、が接続される。そして、全体にSiO_2層５０を形成した後、Ｐ＋層６７ｂ、６７ｅ上に形成したコンタクトホール７１ａ、７１ｂを介して、Ｐ＋層６７ｂ、６７ｅと電源配線金属層ＶｄｄＱが接続される。そして、全体にSiO_2層５２を形成した後、コンタクトホール７３ａを介して、Ｎ＋層６７ａとグランド配線金属層Ｖｓｓ１が接続される。同時に、コンタクトホール７３ｂを介して、Ｎ＋層６７ｆとグランド配線金属層Ｖｓｓ２が接続される。そして、全体にSiO_2層５４を形成した後、コンタクトホール７４ａを介して、Ｎ＋層６７ｃとビット配線金属層ＢＬが接続される。同時に、コンタクトホール７４ｂを介して、Ｎ＋層６７ｄと反転ビット配線金属層ＲＢＬが接続される

。これにより、Ｐ層基板１上にＳＲＡＭセルが形成される。

[0074] 本実施形態の製造方法によれば、次のような特徴が得られる。

１．第１実施形態では、図１Ｍに示されたように、マスク材料層７上に、５本の帯状ＳｉＮ層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成した。これに対し、本実施形態では、図２Ａに示されるように、３本の帯状ＳｉＮ層８ａ、１６Ａ、１６Ｂを形成して、ＳＲＡＭセルを形成することができる。これにより、工程の簡略化が図れる。

２．第１の実施形態では、図１Ｖに示されたように、ＳＲＡＭセル領域内に形成されたＳｉ柱６ｂ、６ｉを除去する工程が必要であった。これに対し、本発明では、このようなＳｉ柱除去工程を必要としない。これにより、工程の簡略化が図れる。

[0075] （第３実施形態）

以下、図３Ａ～図３Ｆを参照しながら、本発明の第３実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0076] 図３Ａに示すように、図１Ｃに示した帯状ＳｉＮ層８ａ、マスク材料層９ａに替えて、最初に帯状マスク材料層８１（第１の帯状材料層）をエッチングマスクにして形成した帯状ＳｉＧｅ層８０（第２の帯状材料層）を形成する。

[0077] そして、図１Ｄ～図１Ｍで示した、同様の工程を行う。これにより、図３Ｂに示すように、頂部上に帯状マスク材料層８１を有した帯状ＳｉＧｅ層８０の両側に、等幅の、頂部上に帯状マスク材料層８３ａ、８３ｂ（第３の帯状材料層）を有した帯状ＳｉＮ層８２ａ、８２ｂ（第４の帯状材料層）が形成される。そして、帯状ＳｉＮ層８２ａ、８２ｂの両側に、等幅の、頂部に帯状マスク材料層８５ａ、８５ｂを有した帯状ＳｉＧｅ層８４ａ、８４ｂが形成される。そして、帯状ＳｉＧｅ層８４ａ、８４ｂの両側に、頂部に帯状マスク材料層８７ａ、８７ｂを有した帯状ＳｉＮ層８６ａ、８６ｂを形成す

る。

[0078] 次に、図１Ｄ～図１Ｍで示した、同様の工程を行う。これにより、図３Ｃに示すように、マスク材料層７上に、平面視において、頂部上に正方形状マスク材料層９１ａ、９１ｂ、９１ｃ、９１ｄ、９１ｅ、９１ｆ、９１ｇ、９１ｈ（第１のマスク材料層）を有した正方形状ＳｉＮ層９０ａ、９０ｂ、９０ｃ、９０ｄ、９０ｅ（図示せず）、９０ｆ（図示せず）、９０ｇ、９０ｈ（図示せず）が形成される。

[0079] 次に、図１Ｕ、図１Ｖと同じ工程を行う。これにより、図３Ｄに示すように、Ｎ＋層３ｃ、Ｐ＋層４ｃ、４ｄ上に頂部上にマスク材料層９２ａ、９２ｂ、９２ｃ、９２ｄ、９２ｅ、９２ｆ、９２ｇ、９２ｈを有した、Ｓｉ柱９３ａ、９３ｂ、９３ｃ、９３ｄ、９３ｅ、９３ｆ、９３ｇ、９３ｈ（３次元形状半導体層）を形成する。

[0080] 次に、図３Ｅに示すように、マスク材料層９２ｂ、９２ｇ、Ｓｉ柱９３ｂ、９３ｇを除去する。

[0081] 次に、図１Ｚ～図１ＹＹと同じ工程を行う。これにより、図３Ｆに示すように、Ｓｉ柱９３ａ、９３ｃ、９３ｄの下に、Ｎ層２ｃａ、Ｎ＋層３ｃａ、３ｃｂ、Ｐ＋層４ｃａが形成される。同様に、Ｓｉ柱９３ｅ、９３ｆ、９３ｈの下に、Ｎ層２ｃｂ、Ｎ＋層３ｄａ（図示せず）、３ｄｂ（図示せず）、Ｐ＋層４ｃｂが形成される。そして、Ｓｉ柱９３ａ～９３ｈを囲んで、ゲート絶縁層であるＨｆＯ２層９５が形成される。そして、ＨｆＯ２層９５を囲んでゲートＴｉＮ層９６ａ、９６ｂ、９６ｃ、９６ｄ（図示せず）を形成する。そして、Ｓｉ柱９３ａ、９３ｄ、９３ｅ、９３ｈの頂部上に、Ｎ＋層９８ａ、９８ｃ、９８ｄ（図示せず）、９８ｆ（図示せず）と、Ｓｉ柱９３ａ、９３ｄ、９３ｅ、９３ｈの頂部にＮ＋層９７ａ、９７ｃ、９７ｄ（図示せず）、９７ｅ（図示せず）を形成する。同じく、Ｓｉ柱９３ｃ、９３ｆの頂部上にＰ＋層９８ｂ、９８ｅを、そして頂部にＰ＋層９７ｂ、９７ｅを形成する。そして、Ｎ＋層３ｃａ、Ｐ＋層４ｃａ境界上と、ゲートＴｉＮ層９６ｃ上に形成したコンタクトホール１００ａを介して、形成した金属層（図示

せず）により、Ｎ＋層３ｃａ、Ｐ＋層４ｃａと、ゲートＴｉＮ層９５ｃとの接続を行う。同時に、Ｎ＋層３ｄｂ、Ｐ＋層４ｃｂ境界上と、ゲートＴｉＮ層９６ｂ上に形成したコンタクトホール１００ｂを介して、形成した金属層（図示せず）により、Ｎ＋層３ｄｂ、Ｐ＋層４ｃｂと、ゲートＴｉＮ層９６ｂとの接続を行う。そして、ゲートＴｉＮ層９６ａ上に形成したコンタクトホール１０１ａと、ゲートＴｉＮ層９６ｄ上に形成したコンタクトホール１００ｂと、を介して、ゲートＴｉＮ層９６ａ、９６ｄと、ワード配線金属層ＷＬと、が接続される。そして、Ｐ＋層９８ｂ、９８ｅ上に形成したコンタクトホール１０２ａ、１０２ｂを介して、Ｐ＋層９８ｂ、９８ｅと電源配線金属層Ｖｄｄが接続される。そして、コンタクトホール１０３ａを介して、Ｎ＋層９８ｃとグランド配線金属層Ｖｓｓ１が接続される。同時に、コンタクトホール１０３ｂを介して、Ｎ＋層９８ｄとグランド配線金属層Ｖｓｓ２が接続される。そして、コンタクトホール１０４ａを介して、Ｎ＋層９８ａと反転ビット配線金属層ＲＢＬが接続される。同時に、コンタクトホール１０４ｂを介して、Ｎ＋層９８ｆとビット配線金属層ＢＬが接続される。これにより、Ｐ層基板１上にＳＲＡＭセルが形成される。

[0082] 本実施形態の製造方法によれば、次のような特徴が得られる。

３．第１実施形態では、図１Ｍに示されたように、マスク材料層７上に、５本の帯状ＳｉＮ層８ａ、１６ａ、１６ｂ、２０ａ、２０ｂを形成した。これに対し、本実施形態では、図３Ｂに示されるように、４本の帯状ＳｉＮ層８２ａ、８２ｂ、８６ａ、８６ｂを形成して、ＳＲＡＭセルを形成することができる。これにより、工程の簡略化が図れる。

４．本実施形態では、第１実施形態と同様に、Ｓｉ柱９３ｃ、９３ｄと、Ｓｉ柱９３ｅ、９３ｆの外周に繋がったゲートＴｉＮ層９６ｂ、９６ｃは、Ｓｉ柱９３ｃ、９３ｄ間と、Ｓｉ柱９３ｅ，９３ｆ間と、の側面で接触している。一方、Ｓｉ柱９３ａ、９３ｈでは、ゲートＴｉＮ層９６ａ、９６ｄは独立に形成される。このように、ゲートＴｉＮ層９６ｂ、９６ｃが、Ｓｉ柱９３ｃ，９３ｄ間と、Ｓｉ柱９３ｅ、９３ｆ間と、の側面で接触していること

は、Ｓｉ柱９３ｃ、９３ｄ間と、Ｓｉ柱９３ｅ、９３ｆ間と、の距離を、ゲートＨｆＯ層９５と、ゲートＴｉＮ層９６ｂ、９６ｃと、を加えた厚さの２倍まで短く出来ることを示している。これにより、ＳＲＡＭセルの高集積化が図れる。

[0083] （第４実施形態）

以下、図４Ａ、図４Ｂを参照しながら、本発明の第４実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0084] 図１Ａ～図１Ｐまでの工程を行う。そして、図４Ａに示すように、リソグラフィ法とＲＩＥエッチングにより、平面視において、図１ＰにおけるＳｉＮ層１６ａ上の領域の帯状マスク材料層２７ａ、２８ａを除去して、頂部上に帯状マスク材料層２７Ａ、２７Ｂを有する帯状マスク材料層２８Ａ，２８Ｂを形成する。同時に、平面視において、ＳｉＮ層１６ｂ上の帯状マスク材料層２７ｂ、２８ｂを除去して、頂部に帯状マスク材料層２７Ｃ、２７Ｄを有する帯状マスク材料層２８Ｃ，２８Ｄ（図示せず）形成する。

[0085] 次に、図１Ｓ、図１Ｔに示した工程を行うことにより、図４Ｂに示すように、マスク材料層７上に、平面視において正方形状のマスク材料層２１ａａ、２１ｂａ、２１ａｂ、２１ｂｂ、１７ｂａ、１７ａｂ、９ａａ、９ａｂと、正方形状のマスク材料層２０ａａ、２０ａｂ、２０ｂａ（図示せず）、２０ｂｂ、１６ａｂ（図示せず）、８ａａ、８ａｂと、が形成される。この場合、図１ＳにおけるＳｉＮ層１６ａａ、１６ｂｂ、マスク材料層１７ａａ、１７ｂｂがない。そして、図１Ｘ～図１ＹＹまでの工程を行うことによって、第１実施形態と同じ構造を有するＳＲＡＭセルがＰ層基板１上に形成される。

[0086] 本実施形態の製造方法によれば、次のような特徴が得られる。

第１実施形態では、Ｓｉ柱６ｂ、６ｉ、マスク材料層７ｂ、７ｉを形成した後に、このＳｉ柱６ｂ、６ｉ、マスク材料層７ｂ、７ｉを除去した。この

場合、垂直方向に高さのあるＳｉ柱６ｂ、６ｉを、エッチング終点が、他のＳｉ柱６ａ、６ｃ，６ｄ，６ｅ、６ｆ、６ｈ、６ｊの底部と同じになるように、制御よくエッチングして除去しなければいけない。これに対し、本実施形態では、第１実施形態における図１Ｐに示した最上面にあるマスク材料層２７ａ、２７ｂ、２８ａ、２８ｂをエッチングすればよい。この場合、エッチング終点は、エッチングストッパーであるマスク材料層７となり、第１実施形態のようなエッチング終点に関する制御性の問題がない。

[0087]（第５実施形態）

以下、図５Ａ～図５Ｆを参照しながら、本発明の第５実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0088] 図５Ａに示すように、頂部上に帯状マスク材料層１００ａ、帯状マスク材料層１００ｂ（第６の帯状材料層、第１１の帯状材料層、第１５の帯状材料層）がある帯状ＳｉＮ層１０１ａ、帯状ＳｉＮ層１０１ｂ（第７の帯状材料層、第１２の帯状材料層、第１６の帯状材料層）をＹ方向に伸延して、マスク材料層７上に形成する。帯状ＳｉＮ層１０１ａは、平面視において、Ｎ＋層３Ａ上に形成される。そして、帯状ＳｉＮ層１０１ｂは、平面視において、Ｎ＋層３Ｂ上に形成される。このＮ＋層３Ａ、３Ｂは、平面視において、帯状Ｐ＋層４Ａの両側に、帯状に形成される。

[0089] 次に、図１Ｄ～図１Ｉの工程を行う。これにより、図５Ｂに示すように、帯状マスク材料層１００ａと、帯状ＳｉＮ層１０１ａとの両側に帯状マスク材料層１０２ａａ、１０２ａｂと、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂと、が形成される。同じく、帯状マスク材料層１００ｂと、帯状ＳｉＮ層１０１ｂとの両側に帯状マスク材料層１０２ｂａ、１０２ｂｂ（第８の帯状材料層、第１３の帯状材料層、第１７の帯状材料層）と、帯状ＳｉＧｅ層１０３ｂａ、１０３ｂｂ（第９の帯状材料層、第１４の帯状材料層、第１８の帯状材料層）と、が形成される。

[0090] 次に、ＳｉＮ層（図示せず）を全体に被覆する。そして、図５Ｃに示すように、ＣＭＰ法により、ＳｉＮ層の上表面位置がマスク材料層１００ａ、１００ｂと同じになるように研磨して帯状ＳｉＮ層１０４ａ（第１９の帯状材料層）、１０４ｂ、１０４ｃを形成する。

[0091] 次に、図５Ｄに示すように、平面視において、ＳｉＮ層１０４Ｃの外側に開口端があるレジスト層１０５を形成する。そしてレジスト層１０５と、帯状マスク材料層１０２ａｂ、１０２ｂａをマスクにして、ＳｉＮ層１０４ａの上表面位置が、帯状マスク材料層１０２ａｂ、１０２ｂａの底部位置になるようにエッチングして、凹部１０６を形成する。

[0092] 次に、レジスト層１０５を除去する。そして、ＣＶＤ法とＣＭＰ法を用いて、凹部１０６を埋め、その上表面位置が、帯状マスク材料層１０２ａｂ、１０２ｂａの上表面位置と同じ、帯状マスク材料層１０８（第２０の帯状材料層）を形成する。そして、図５Ｅに示すように、マスク材料層１００ａ、１００ｂ、１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂをマスクにして、ＳｉＮ層１０４をエッチングして、除去する。

[0093] 次に、図５Ｆに示すように、帯状マスク材料層１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂを除去する。そして、ＳｉＧｅ層１０３ａａ、１０３ａｂ、１０３ｂａ、１０３ｂｂを除去する。これにより、マスク材料層7上に、頂部上にマスク材料層１００ａ、１００ｂ、１０８を有した、帯状ＳｉＮ層１０１ａ、１０１ｂ、１０４ａが形成される。そして、図２Ｂ～図２Ｄまでの工程を行うことにより、第２実施形態と同じ、１つのセル領域に６個のＳｉ柱６１ａ～６１ｆよりなるＳＲＡＭセル回路が形成される。

[0094] 本実施形態の製造方法によれば、次のような特徴が得られる。

第２実施形態では、最初に帯状ＳｉＮ層８ａを形成した後に、この帯状ＳｉＮ層８ａの外側に２つの帯状ＳｉＮ層１６Ａ，１６Ｂを形成した。この場合、帯状ＳｉＮ層１６Ａ，１６Ｂの、帯状ＳｉＮ層８ａに対する、Ｘ方向における位置精度は、帯状ＳｉＧｅ層１２Ａａ、１２Ａｂと、帯状ＳｉＮ層１６Ａ，１６Ｂを形成するための、２回のＡＬＤ膜堆積と、ＲＩＥエッチング

精度が影響する。これに対して、本実施形態では、最初に両側の帯状ＳｉＮ層１０１ａ、１０１ｂを形成し、次に帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、０３ｂａ、１０３ｂｂを形成した後に、中央の帯状ＳｉＮ層１０４ａを形成した。この場合、帯状ＳｉＮ層１０１ａ、１０１ｂの、帯状ＳｉＮ層１０４ａに対する、Ｘ方向における位置精度は、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、０３ｂａ、１０３ｂｂを形成するための、１回のＡＬＤ膜堆積と、ＲＩＥエッチング精度だけが影響する。これにより、ＳＲＡＭセルの高精度化が測れる。

本実施形態の説明では、帯状マスク材料層１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂ、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、１０ｂａ、１０３ｂｂを除去して、帯状マスク材料層１００ａ、１００ｂ、１０８、ＳｉＮ層１０１ａ、１０１ｂ、１０４ａを残存させた。これに対し、帯状マスク材料層１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂ、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、１０ｂａ、１０３ｂｂを残存して、帯状マスク材料層１００ａ、１００ｂ、１０８、ＳｉＮ層１０１ａ、１０１ｂ、１０４ａを除去させてもよい。この場合、帯状マスク材料層１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂ、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、１０ｂａ、１０３ｂｂが、Ｓｉ柱を形成する場合のマスク材料層となる。これによっても、ＳＲＡＭセルの高精度化が測れる。

本実施形態は、図５Ｂ～図５Ｅに示したように、帯状ＳｉＧｅ層１０３ａｂ、１０３ｂａ間に帯状ＳｉＮ層１０４ａ、帯状マスク材料層１０８を形成する例を持って説明した。これに対して、帯状ＳｉＧｅ層１０３ａａ、１０３ａｂ、１０３ｂａ、１０３ｂｂを形成した後に、図１Ｊ～図１Ｌで示した工程と同じく帯状マスク材料層（図示せず）と、帯状ＳｉＮ層（図示せず）を形成すれば、平面視において、図１Ｎと同じＹ方向に伸延した５本の帯状マスク材料層（図示せず）と、帯状ＳｉＮ層（図示せず）を形成することができる。これによって、第１実施形態と同じ８個のＳＧＴよりなるＳＲＡＭセルが形成できる。本方法は第１実施形態より、帯状マスク材料層と、帯状

ＳｉＮ層との形成工程を、それぞれ１回減らすことができる。これにより工程の簡易化が図れる。

[0095]（第６実施形態）

以下、図６を参照しながら、本発明の第６実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0096] 図１Ａ～図１Ｅまでの工程を行う。本工程では、ＳｉＧｅ層１２ａ、１２ｂに替えて、Ｓｉ層１１０ａ、１１０ｂを形成する。そして、SiO_2層１３に替えて、アモルファスＳｉＯＣ層１１１を形成する。そして、酸素を含んだ雰囲気で熱処理を行い、Ｓｉ層１１０ａ、１１０ｂの頂部を酸化して、マスク材料層である帯状SiO_2層１１２ａ、１１２ｂを形成する。このように、酸化処理により帯状マスク材料層を形成することができる。

[0097] 本実施形態の製造方法によれば、次のような特徴が得られる。

第１実施形態では、凹部１４ａ、１４ｂを形成した後に、全体に堆積したＳｉＮ層をＣＭＰ法により研磨する工程が必要であった。これに対して、本実施形態では、酸化処理のみにより、マスク材料層である帯状SiO_2層１１２ａ、１１２ｂを形成できる。これにより、工程の簡略化が図れる。

[0098]（第７実施形態）

以下、図７を参照しながら、本発明の第７実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である

[0099] 図１Ａ～図１Ｅまでの工程を行う。そして、窒素イオン注入により、ＳｉＧｅ層１２ａの頂部に帯状窒化ＳｉＧｅ層１１４ａ、１１４ｂを形成する。この帯状窒化ＳｉＧｅ層１１４ａ、１１４ｂをマスク材料層として用いる。

[0100] 本実施形態の製造方法によれば、次のような特徴が得られる。

第１実施形態では、凹部１４ａ、１４ｂを形成した後に、全体に堆積した

ＳｉＮ層をＣＭＰ法により研磨する工程が必要であった。これに対して、本実施形態では、窒素イオンのイオン注入のみにより、マスク材料層である帯状窒化ＳｉＧｅ層１１４ａ、１１４ｂを形成できる。これにより、工程の簡略化が図れる。

[0101] （第８実施形態）

以下、図８Ａ～図８Ｅを参照しながら、本発明の第８実施形態に係る、３次元半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0102] 図８Ａに示すように、例えばＳｉＯ２基板１ａ上に、ＡＬＤ法によりＳｉＧｅ層１２０ａ（第４の材料層）を形成する。そして、エピタキシャル結晶成長法により、下から順番にＳｉ層１２１ａ（第１の半導体層）、ＳｉＧｅ層１２０ｂ（第４の材料層）、Ｓｉ層１２１ｂ（第１の半導体層）、ＳｉＧｅ層１２０ｃを形成する。ＳｉＧｅ層１２０ａ（第８の材料層）、１２０ｂ（第８の材料層）、１２０ｃ、Ｓｉ層１２１ａ、１２１ｂ、１２０ｃの、Ｙ方向の両端には保持材料層（図示せず）が形成されている。そして、ＳｉＧｅ層１２０ｃ上に、マスク材料層１２２を形成する。そして、図１Ａ～図１Ｌと同じ工程を行って、マスク材料層１２２上に、頂部に帯状マスク材料層１２５を有する帯状ＳｉＮ層１２４と、帯状マスク材料層１２５、帯状ＳｉＮ層１２４の両側に形成された、頂部に帯状マスク材料層１２７ａ、１２７ｂを有する帯状ＳｉＧｅ層１２６ａ、１２６ｂと、帯状ＳｉＧｅ層１２６ａ、１２６ｂ、帯状マスク材料層１２７ａ、１２７ｂの両側に、頂部にマスク材料層１２９ａ、１２９ｂを有する帯状ＳｉＮ層１２８ａ、１２８ｂを形成する。

[0103] 次に、図８Ｂに示すように、全体にＳｉＯ２層（図示せず）を被覆し、ＣＭＰ法により上表面位置が帯状マスク材料層１２５の上表面位置になるように研磨して、ＳｉＯ２層１３０を形成する。そして、平面視におけるＹ方向における両端が、保持材料層の端部と一致したマスク材料層１３１を形成す

る。

[0104] 次に、マスク材料層１３１をマスクにして、ＳｉＯ２層１３０、帯状マスク材料層１２５、１２７ａ、１２７ｂ、１２９ａ、１２９ｂ、ＳｉＮ層１２４、１２８ａ、１２８ｂ、帯状ＳｉＧｅ層１２６ａ、１２６ｂをエッチングする。そして、マスク材料層１３１を除去する。そして、残存しているＳｉＯ層１３０、マスク材料層１２７ａ、１２７ｂ、ＳｉＧｅ層１２６ａ、１２８ｂを除去する。そして、図８Ｃに示すようにマスク材料層１２５、１２９ａ、１２９ｂ、ＳｉＮ層１２４、１２８ａ、１２８ｂをマスクにして、マスク材料層１２２、ＳｉＧｅ層１２０ａ、１２０ｂ、１２０ｃ、Ｓｉ層１２１ａ、１２１ｂをエッチングして、ＳｉＮ層１２８ａの下に、ＳｉＧｅ層１２０ａａ、１２０ｂａ、１２０ｃａ、Ｓｉ層１２１ａａ、１２１ｂａ、マスク材料層１２２ａを形成する。同時に、ＳｉＮ層１２４の下に、ＳｉＧｅ層１２０ａｂ、１２０ｂｂ、１２０ｂａ、Ｓｉ層１２１ａｂ、１２１ｂｂ、マスク材料層１２２ｂが形成される。同時に、ＳｉＮ層１２８ｂの下に、ＳｉＧｅ層１２０ａｃ、１２０ｂｃ、１２０ｃｃ、Ｓｉ層１２１ａｃ、１２１ｂｃ、マスク材料層１２２ｃが形成される。

[0105] 次に、図８Ｄに示すように、マスク材料層１２５、１２９ａ、１２９ｂ、ＳｉＮ層１２４、１２８ａ、１２８ｂ、ＳｉＧｅ層１２０ａａ、１２０ａｂ、１２０ａｃ、１２０ｂａ、１２０ｂｂ、１２９ｂｃ、１２０ｃａ、１２０ｃｂ、１２０ｃｃをエッチングする。これによって、Ｙ方向の両端にある保持材料層で支えられた帯状Ｓｉ層１２１ａａ、１２１ａｂ、１２１ａｃ、１２１ｂａ、１２１ｂｂ、１２１ｂｃが形成される。

[0106] 次に図８Ｅに示すように、帯状Ｓｉ層１２１ａａ、１２１ａｂ、１２１ａｃ、１２１ｂａ、１２１ｂｂ、１２１ｂｃを囲んでゲートＨｆＯ層１３０ａａ、１３０ａｂ、１３０ａｃ、１３０ｂａ、１３０ｂｂ、１３０ｂｃを形成する。そして、ゲートＨｆＯ層１３０ａａ、１３０ａｂ、１３０ａｃ、１３０ｂａ、１３０ｂｂ、１３０ｂｃを囲んでゲートＹｉＮ層１３１を形成する。そして、帯状Ｓｉ層１２１ａａ、１２１ａｂ、１２１ａｃ、１２１ｂａ、

１２１ｂｂ、１２１ｂｃの両端の保持材料層を除去する。そして、帯状Ｓｉ層１２１ａａ、１２１ａｂ、１２１ａｃ、１２１ｂａ、１２１ｂｂ、１２１ｂｃの両端に、ソースまたはドレインとなるＮ＋層（図示せず）、またはＰ＋層（図示せす）を形成する。これにより、帯状Ｓｉ層１２１ａａ、１２１ａｂ、１２１ａｃ、１２１ｂａ、１２１ｂｂ、１２１ｂｃをチャネルにしたＧＡＡ（Gate All Around）トランジスタ（非特許参考文献３を参照）を用いた回路が形成される。

[0107] 本実施形態の製造方法によれば、次のような特徴が得られる。

本実施形態によれば、帯状Ｓｉ層１２１ａｂ、１２１ｂｂと、帯状Ｓｉ層１２ａａ、１２１ｂａ、帯状Ｓｉ層１２１ａｃ、１２１ｂｃとの、平面視における間隔を狭くすることができる。例えば、帯状Ｓｉ層１２１ａａ、１２１ｂａをＮチャネルＧＡＡトランジスタのチャネルとし、帯状Ｓｉ層１２１ａｂ、１２１ｂｂ、帯状Ｓｉ層１２１ａｃ、１２１ｂｃをＰチャネルＧＡＡトランジスタのチャネルとすると、高密度のインバータ回路を形成することができる。

同様に下段の帯状Ｓｉ層１２１ａａ、１２ａｂ、１２１ａｃをＮチャネルＧＡＡトランジスタのチャネルとし、上段の帯状Ｓｉ層１２１ｂａ、１２１ｂｂ、１２１ｂｃをＰチャネルＧＡＡトランジスタのチャネルにしても、高密度のインバータ回路を形成することができる。また、本実施形態のように、ＧＡＡトランジスタを、上方に２段、水平方向に３列に形成した回路の他に、上方に１段、及び３段以上、そして水平方向に２列、及び４列形成した回路においても、回路の高密度化が図れる。

[0108] （第９実施形態）

以下、図９Ａ～図９Ｃを参照しながら、本発明の第９実施形態に係る、３次元半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ－Ｙ’線に沿う断面構造図である。

[0109] 図１Ａで示した工程を行った後、マスク材料層７上に、全体にＳｉＧｅ層

（図示せず）とマスク材料層（図示せず）とを形成する。そして、リソグラフィ法とＲＩＥエッチング法により、図３Ａに示すように、平面視において、Ｙ方向に伸延した２つの帯状マスク材料層１３３ａ、１３３ｂを形成する。そして、帯状マスク材料層１３３ａ、１３３ｂをマスクにして、ＳｉＧｅ層をＲＩＥエッチングして、Ｙ方向に伸延した帯状ＳｉＧｅ層１３４ａ、１３４ｂを形成する。

[0110] 次に、全体にＳｉＮ層（図示せず）をＡＬＤ法により形成する。そして、図１Ｄ～図１Ｉまでの工程を行い、図９Ｂに示すように、帯状マスク材料層１３３ａ、１３３の両側に形成された帯状マスク材料層１３５ａａ、１３５ａｂ、１３５ｂａ、１３５ｂｂと、この帯状マスク材料層１３５ａａ、１３５ａｂ、１３５ｂａ、１３５ｂｂの下にあって、且つＳｉＧｅ層１３４ａ、１３４ｂの両側側面に接した帯状ＳｉＮ層１３６ａａ、１３６ａｂ、１３６ｂａ、１３６ｂｂを形成する。帯状マスク材料層１３５ａｂと帯状マスク材料層１３５ｂａは、離れて形成する。同様に、帯状ＳｉＮ層１３６ａｂと帯状ＳｉＮ層１３６ａｂと帯状ＳｉＮ層１３６ｂａは、離れて形成する。

[0111] 次に、図９Ｃに示すように、帯状マスク材料層１３３ａ、１３３ｂと、帯状ＳｉＧｅ層１３４ａ、１３４ｂを除去する。これにより、マスク材料層７上に、平面視においてＹ方向に伸延した帯状マスク材料層１３５ａａ、１３５ａｂ、１３５ｂａ、１３５ｂｂと、帯状ＳｉＮ層１３６ａａ、１３６ａｂ、１３６ｂａ、１３６ｂｂとが形成される。そして、図３Ｃ～図３Ｆの工程を行うことにより、図３Ｆと同じＳＲＡＭセルが形成される。

[0112] 本実施形態の製造方法によれば、次のような特徴が得られる。

第３実施形態では、帯状ＳｉＧｅ層８０の両側に、３回の繰り返し帯状形成工程を行って、帯状ＳｉＮ層８２ａ、８２ｂ、８６ａ、８６ｂ、帯状ＳｉＧｅ層８４ａ、８４ｂを形成した。これに対して、本実施形態では、同時に形成した帯状ＳｉＧｅ層１３４ａ、１３４ｂの両側に、１回の帯状材料層形成工程のみで、帯状ＳｉＮ層１３６ａａ、１３６ａｂ、１３６ｂａ、１３６ｂｂを形成した。これにより工程の簡易化が図れる。

平面視において、２本の帯状ＳｉＮ層１３６ａ、１３６ｂ間の距離を、図９Ａより離し、帯状ＳｉＮ層１３６ａａ、１３６ａｂと、帯状ＳｉＮ層１３６ｂａ、１３６ｂｂとの、それぞれの両側に、図１Ｉ～図１Ｌと同様な方法により帯状ＳｉＧｅ層と、この帯状ＳｉＧｅ層の上に帯状マスク材料層を形成する（図Ｉ～図１Ｌとは材料はことなる）。そして、帯状ＳｉＧｅ層間に、図５Ｂ～図５Ｅで示した同様な方法を用いて、帯状ＳｉＮ層と、この帯状ＳｉＮ層上に帯状マスク材料層を形成する。これにより、第１実施形態と同様に、平面視において、Ｙ方向に伸延した５本の帯状ＳｉＮ層と、この帯状ＳｉＮ層上に帯状マスク材料層を形成できる。これにより、第１実施形態と同じＳＲＡＭセルが形成される。第１実施形態では、帯状ＳｉＮ層８ａの両側に、４回の繰り返し帯状材料層形成工程を行うのに対して、本方法では、２回の繰り返し工程によりＳＲＡＭセルが形成される。これにより工程の簡易化が図れる。

[0113] なお、本発明に係る第１実施形態から第７実施形態では、１つの半導体柱に１個のＳＧＴを形成したが、２個以上を形成する回路形成においても、本発明を適用できる。

[0114] また、第１実施形態において、マスク材料層７はSiO_2層、酸化アルミニウム（Al_2O_3、以後ＡｌＯと称する）層、SiO_2層より形成した。そして、窒化シリコン（ＳｉＮ）層８を堆積した。そして、SiO_2層からなるマスク材料層９を堆積した。そして、ＳｉＮ層からなるマスク材料層１０を堆積した。これらマスク材料層７、９、１０、ＳｉＮ層８は、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0115] また、第１実施形態において、図１Ｄに示したように、全体に、ＡＬＤ法によりＳｉＧｅ層１２を帯状マスク材料層７、８ａ、９ａを覆って形成した。このＳｉＧｅ層１２は、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層をもちいてもよい。

このことは、帯状ＳｉＧｅ層１８ａ、１８ｂにおいても、同様である。また、帯状ＳｉＧｅ層１２ａａ、１２ａｂと、帯状ＳｉＧｅ層１８ａ、１８ｂの材料母体は同じでなくても良い。このことは、本発明に係るその他の実施形態においても同様である。

[0116] また、第１実施形態における、帯状マスク材料層１５ａ、１５ｂ、１７ａ、１７ｂ、１９ａ、１９ｂ、２１ａ、２１ｂと、帯状マスク材料層１６ａ、１６ｂ、２０ａ、２０ｂは、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いることができる。このことは、本発明に係るその他の実施形態においても同様である。

[0117] また、第１実施形態において、帯状マスク材料層９ａ、１５ａ、１５ｂ、１７ａ、１７ｂ、１９ａ、１９ｂ、２１ａ、２１ｂのそれぞれの上表面と、底部の位置が、同じのように形成したが、本発明の目的に合うならば、それぞれの上表面と、底部の位置が垂直方向で異なっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0118] また、第１実施形態において、帯状マスク材料層９ａ、１５ａ、１５ｂ、１７ａ、１７ｂ、１９ａ、１９ｂ、２１ａ、２１ｂの厚さ、及び形状は、ＣＭＰによる研磨、及びＲＩＥエッチング、洗浄により変化する。この変化は、本発明の目的に合う程度の内であれば、問題ない。このことは、本発明に係るその他の実施形態においても同様である。

[0119] また、第１実施形態において、図１Ｑ～図１Ｓに示す、SiO_2層２２、ＳｉＮ層２４、帯状ＳｉＧｅ層２５、ＳｉＮ層による帯状マスク材料層２６、帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂは、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む材料層を用いることができる。このことは、本発明に係るその他の実施形態においても同様である。

[0120] また、第１実施形態では、Ｓｉ柱７ｂ、６ｉを除去した。このように、回路設計に合わせて、形成したＳｉ柱６ａ～６ｊのいずれかを、リソグラフィ法と、エッチングにより除去してもよい。ＳＲＡＭセル回路以外の回路にお

いても、一度形成したＳｉ柱を、回路設計に合わせて、除去できる。また、第４実施形態のように、帯状マスク材料層２７ａ、２７ｂ、２８ａ、２８ｂの、平面視における、任意の領域をエッチングして、Ｓｉ柱６ａ～６ｊのいずれかを形成しないことができる。本実施形態が提供する方法は、ＳＲＡＭセル回路以外の回路形成に適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0121] また、第１実施形態では、図１Ｚに示したように、ゲート金属層として、ＴＮ層４０ａ、４０ｂ、４０ｃ、４０ｄを用いた。このＴｉＮ層４０ａ、４０ｂ、４０ｃ、４０ｄは、本発明の目的に合う材料であれば、単層または複数層よりなる材料層を用いることができる。ＴｉＮ層４０ａ、４０ｂ、４０ｃ、４０ｄは、少なくとも所望の仕事関数を持つ、炭層または複数層の金属層より形成できる。この外側に、たとえばW層を形成してもよい。この場合、W層はゲート金属層を繋げる金属配線層の役割を行う。W層以外に単層、または複数層の金属層を用いても良い。このことは、本発明に係るその他の実施形態においても同様である。

[0122] また、本発明の実施形態の説明では、ＳＲＡＭセルを形成する例を用いた。例えば、マイクロプロセッサ回路では、ＳＲＡＭ回路とロジック回路が、同じチップ上に形成されている。このロジック回路形成において、図１Ｗ、図４Ａで説明した方法により、不要なＳｉ柱を形成しない方法を用いることができる。また、ＳＲＡＭ回路とロジック回路と、を別々の実施形態の方法により形成してもよい。このことは、他の回路形成においても、同様である。

[0123] また、第６実施形態では、第１実施形態におけるSiO_2層１３に替えて、アモルファスＳｉＯＣ層１１１を形成した。そして、酸素を含んだ雰囲気で熱処理を行い、Ｓｉ層１１０ａ、１１０ｂの頂部を酸化して、マスク材料層である帯状SiO_2層１１２ａ、１１２ｂを形成した。このアモルファスＳｉＯＣ層１１１、Ｓｉ層１１０ａ、１１０ｂは、本発明の目的に沿うものであれば、他の材料層であってもよい。

[0124] また、第７実施形態では、窒素イオン注入により、ＳｉＧｅ層１２ａの頂部に帯状窒化ＳｉＧｅ層１１４ａ、１１４ｂを形成した。この窒素イオン注入、ＳｉＧｅ層１２ａは、マスク材料層を形成するものであれば、他の原子のイオン注入、またはＳｉＧｅ層に代わる材料層であってもよい。

[0125] また、第１実施形態において、平面視において、円形状のマスク材料層７ａ～７ｊを形成した。マスク材料層７ａ～７ｊの形状は楕円状であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0126] 第１実施形態では、ゲート絶縁層として、ＨｆＯ２層３５を用い、ゲート材料層としてＴｉＮ層４０ａ、４０ｂ、４０ｃ、４０ｄを用いたが、それぞれを単層または複数層よりなる他の材料層を用いてもよい。同様にW層３４についても、単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0127] また、第１実施形態では、図１ＸＸに示したように、選択エピタキシャル結晶成長法を用いて、Ｎ＋層４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｈ、P^+層４３ｂ、４３ｇを形成した。そして、熱拡散によりＳｉ柱６ａ～６ｊの頂部にＮ＋層４ａ、４４ｃ、４４ｄ、４４ｅ、４４ｆ、４４ｈ、Ｐ＋層４４ｂ、４４ｇを形成した。選択エピタキシャル結晶成長法により形成した、Ｎ＋層４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｈ、P^+層４３ｂ、４３ｇは、単結晶層であるので、熱拡散によるＳｉ柱６ａ～６ｊの頂部に形成されたＮ＋層４ａ、４４ｃ、４４ｄ、４４ｅ、４４ｆ、４４ｈ、Ｐ＋層４４ｂ、４４ｇがなくても、ＳＧＴのソース、またはドレインとなる。同様に、ソース、またはドレインである、Ｓｉ柱６ａ～６ｊの底部にあるＮ＋層３ａ、３ｂ、３ｃ、３ｄ、Ｐ＋層４ａ、５ａに替えて、Ｓｉ柱６ａ～６ｊの外周を囲んでエピタキシャル結晶成長法により形成したＮ＋層、またはＰ＋層をソースまたはドレインとしてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0128] また、第１実施形態では、図１ＸＸに示した、Ｎ＋層４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｈ、P^+層４３ｂ、４３ｇの形成を選択エピタキ

シャル結晶成長法により行った。これらＮ＋層４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｈ、Ｐ+層４３ｂ、４３ｇの形成を、通常のエピタキシャル結晶成長法を行い、その後にリソグラフィ法とエッチングにより形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0129] また、第１実施形態では、Ｐ層基板１上にＳＧＴを形成したが、Ｐ層基板１の代わりにＳＯＩ（Silicon On Insulator）基板を用いても良い。または、基板としての役割を行うものであれば他の材料基板を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0130] また、第１実施形態では、Ｓｉ柱６ａから６ｊの上下に、同じ極性の導電性を有するＮ＋層４４ａ、４４ｃ、４４ｄ、４４ｆ、４４ｈ、Ｐ+層４４ｂ、４４ｇとＮ＋層３ａ、３ｂ、３ｃ、３ｄ、Ｐ+層４ａ、５ａを用いて、ソース、ドレインを構成するＳＧＴについて説明したが、極性が異なるソース、ドレインを有するトンネル型ＳＧＴに対しても、本発明が適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0131] また、上記各実施形態では、チャネル、ソース、ドレインなどの半導体領域としてＳｉ（シリコン）を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、ＳｉＧｅのようにＳｉを含んだ半導体材料、またはＳｉ以外の半導体材料を用いた、３次元半導体装置にも適用可能である。

[0132] また、第１実施形態では、Ｓｉ柱６ａ～６ｊは単体のＳｉ層より形成したが、垂直方向において異なる半導体母体からなる半導体層を積層してＳＧＴのチャネルを形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0133] また、縦型ＮＡＮＤ型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と

、ドレインに対応するビット線不純物層がある。また、１つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型ＮＡＮＤ型フラッシュメモリ回路はＳＧＴ回路の１つである。従って、本発明はＮＡＮＤ型フラッシュメモリ回路に対しても適用することができる。

[0134] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0135] 本発明に係る、柱状半導体装置の製造方法によれば、高密度の柱状半導体装置が得られる。

符号の説明

[0136] １　Ｐ層基板

１ａ　ＳｉＯ２基板

２、２ａ、２ｂ　Ｎ層

３、３ａ、３ｂ、３ｃ、３ｄ、４３ａ、４３ｃ、４３ｄ、４３ｅ、４３ｆ、４３ｇ、４３ｈ、４４ａ、４４ｃ、４４ｄ、４４ｅ、４４ｆ、４４ｇ、４４ｈ、６６ａ、６６ｃ、６６ｄ、６６ｆ、９７ａ、９７ｃ、９７ｄ、９７ｅ、９７ｈ、９８ａ、９８ｃ、９８ｄ、９８ｆ　Ｎ＋層

３Ａ、３Ｂ　帯状Ｎ＋層

４Ａ　帯状Ｐ＋層

４、４ａ、４ｃ、４ｄ、５、５ａ、４３ｂ、４３ｇ、４４ｂ、４４ｇ、６６ｂ、６６ｅ、９７ｂ、９７ｅ、９８ｂ、９８ｅ　Ｐ＋層

６　ｉ層

７、８、９、１０、２６、７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、７ｇ、７

ｈ、７ｉ、７ｊ、３０ａ、３０ｂ、３０ｃ、３０ｄ、３１ａ、３１ｂ、３１ｃ、３１ｄ、３８ａ、３８ｂ、３８ｃ、３８ｄ、６０ａ、６０ｂ、６０ｃ、６０ｄ、６０ｅ、６０ｆ、９２ａ、９２ｂ、９２ｃ、９２ｄ、９２ｅ、９２ｆ、９２ｇ、９２ｈ、１２２、１３１　マスク材料層

８ａ、９ａ、１０ａ、１５ａ、１５ｂ、１６ａ、１６ｂ、１７ａ、１７ｂ、１９ａ、１９ｂ，２０ａ、２０ｂ、２１ａ、２１ｂ、２６、２７ａ、２７ｂ、２７Ａ，２７Ｂ、２７Ｃ、２７Ｄ、２８ａ、２８ｂ、３３ａ、３３ｂ、１５Ａ，１５Ｂ、１７Ａ，１７Ｂ、８１、８３ａ、８３ｂ、８５ａ、８５ｂ、８７ａ、８７ｂ、１００ａ、１００ｂ、１０２ａａ、１０２ａｂ、１０２ｂａ、１０２ｂｂ、１０８、１２５、１２７ａ、１２７ｂ、１２９ａ、１２９ｂ、１３３ａ、１３３ｂ、１３５ａａ、１３５ａｂ、１３５ｂａ、１３５ｂｂ　帯状マスク材料層

９Ａａ，９Ａｂ、１７Ａａ、１７Ａｂ，１７Ｂａ、１７Ｂｂ、９１ａ、９１ｂ、９１ｃ、９１ｄ、９１ｅ、９１ｆ、９１ｇ、９１ｈ　正方形状マスク材料層

８、１６、１６Ａ、１６Ｂ，２４、４２　ＳｉＮ層

１６Ａ，１６Ｂ、２４ａ、２４ｂ、８２ａ、８２ｂ、８６ａ、８６ｂ、１０１ａ、１０１ｂ、１０４ａ、１０４ｂ、１０４ｃ、１２４、１２８ａ、１２８ｂ、１３６ａａ、１３６ａｂ、１３６ｂａ、１３６ｂｂ　帯状ＳｉＮ層

８Ａａ，８Ａｂ、１６ＡＡ，１６ＡＢ，１６ＢＡ、１６ＢＢ、９０ａ、９０ｂ、９０ｃ、９０ｄ、９０ｅ、９０ｆ、９０ｇ、９０ｈ　正方形状ＳｉＮ層

１２、１２ａ、１２ｂ、１８ａ、１８ｂ、１２０ａ、１２０ｂ、１２０ｃ　ＳｉＧｅ層

１２ａａ、１２ａｂ、１８ａ、１８ｂ、２５、１２Ａａ、１２Ａｂ、８０、１０３ａａ、１０３ａｂ、１０３ｂａ、１０３ｂｂ　帯状ＳｉＧｅ層

１３、１３ａ、１３ｂ、１３ｂａ、２２、２２ａ、２２ｂ、３２ａ、３２ｂ、３４、４６、４８、５０、５２、５４、１３０　SiO_2層

Ｒ１、Ｒ２　丸み

１４ａ、１４ｂ、１４Ａ，１４Ｂ，１０６　凹み

８ａａ、８ａｂ、９ａａ、９ａｂ、１６ａａ、１６ｂａ、１６ｂｂ、１７ａａ、１７ｂａ、１７ｂｂ、２０ａａ、２０ｂａ、２０ｂｂ、２１ａａ、２１ｂａ、２１ｂｂ　正方形状マスク材料層

６ａ、６ｂ、６ｃ、６ｄ、６ｅ、６ｆ、６ｈ、６ｉ、６ｊ、６１ａ、６１ｂ、６１ｃ、６１ｄ、６１ｅ、６０ｆ、６１ａ、６１ｂ、６１ｃ、６１ｄ、６１ｅ、６１ｆ、９３ａ、９３ｂ、９３ｃ、９３ｄ、９３ｅ、９３ｆ、９３ｇ、９３ｈ　Ｓｉ柱

３５、６３　ＨｆＯ２層

４０ａ、４０ｂ、４０ｃ、４０ｄ、６５ａ、６５ｂ、６５ｃ、６５ｄ　ＴｉＮ層

４７ａ、４７ｂ、４９ａ、４９ｂ、５１ａ、５１ｂ、５１ｃ、５１ｄ、５３ａ、５３ｂ、５５ａ、５５ｂ、６９ａ、６９ｂ、７１ａ、７１ｂ、７３ａ、７３ｂ、７４ａ、７４ｂ、１００ａ、１００ｂ、１０２ａ、１０２ｂ、１０３ａ、１０３ｂ、１０４ａ、１０４ｂ　コンタクトホール

１０５　レジスト層

１１１　ＳｉＯＣ層

１１４ａ、１１４ｂ　帯状窒化ＳｉＧｅ層

１１２ａ、１１２ｂ　帯状ＳｉＯ２層

ＷＬ　ワード配線金属層

ＢＬ　ビット配線金属層

ＲＢＬ　反転ビット配線金属層

Ｖｓｓ１，Ｖｓｓ２　グランド配線金属層

Ｖｄｄ　電源配線金属層

Ｃ１、Ｃ２　接続配線金属層

請求の範囲

[請求項1] 第１の基板上にある、少なくとも一部または全体が半導体層よりなる第２の基板の上に、第１の材料層を形成する工程と、

前記第１の材料層上に、平面視において、１つの方向に伸び、同じ平面視形状を有する第１の帯状材料層を、その頂部上に有する第２の帯状材料層を形成する工程と、

全体を覆って、下から第２の材料層と、第３の材料層と、を形成する工程と、

前記第２の材料層と、前記第３の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第２の材料層の頂部に、平滑化された前記第３の材料層と、前記第１の帯状材料層と、の側面に挟まれた第３の帯状材料層を形成する工程と、

平滑化された前記第３の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層と、をマスクにして、前記第２の材料層をエッチングして、前記第２の帯状材料層の両側側面に接した、第４の帯状材料層を形成する工程と、

全体を覆って、下から第４の材料層と、第５の材料層と、を形成する工程と、

前記第４の材料層と、前記第５の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第４の材料層の頂部に、平滑化された前記第５の材料層と、前記第３の帯状材料層と、の側面に挟まれた第５の帯状材料層を形成する工程と、

前記第５の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層と、前記第５の帯状材料層と、をマスクにして、前記第４の材料層をエッチングして、前記第４の帯状材料層の側面に接した、第６の帯状材料層を形成する

工程と、

前記第３の帯状材料層と、前記第４の帯状材料層と、を除去する工程と、

前記第１の帯状材料層より上方、または下方に、平面視において、前記第１の帯状材料層と直交した、単層、または複数層よりなる第７の帯状材料層が形成された状態で、平面視において、前記第７の帯状材料層と、前記第２の帯状材料層と、前記第６の帯状材料層と、の第１の重なり領域にある、平面視において矩形状、または円形状の第１のマスク材料層を、少なくとも前記第１の材料層、または前記第２の帯状材料層、または前記第６の帯状材料層と、を母体にして形成する工程と、

前記第１のマスク材料層をマスクにして、前記第２の基板をエッチングして、前記第１の基板上に前記半導体層よりなる３次元形状半導体層を形成する工程と有し、

前記３次元形状半導体層をチャネルにする、

ことを特徴にする３次元半導体装置の製造方法。

[請求項2] 前記第３の帯状材料層を形成する工程において、

前記第１の帯状材料層と、平滑化された前記第３の材料層と、をマスクにして、前記第２の材料層の頂部をエッチングして、第１の凹部を形成する工程と、

前記第１の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第３の帯状材料層を形成する工程と、を有する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項3] 前記第５の帯状材料層を形成する工程において、

前記第１の帯状材料層と、前記第３の帯状材料層と、前記第５の材料層と、をマスクにして、前記第４の材料層の頂部をエッチングして、第２の凹部を形成する工程と、

前記第２の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第５の帯状材料層を形成する工程と、を有する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項4] 垂直方向において、前記第１の帯状材料層より上方、又は下方に、平面視において、１つの方向に伸びた第８の帯状材料層を、その頂部上に有し、且つ前記第７の帯状材料層と平面視において同じ形状を有する第９の帯状材料層が形成されており、

前記第７の帯状材料層は、

全体を覆って、下から第６の材料層と、第７の材料層と、を形成する工程と、

前記第６の材料層と、前記第７の材料層の上面位置が、前記第８の帯状材料層の上面位置となるように平滑化する工程と、

前記第８の帯状材料層と、平滑化された前記第７の材料層と、をマスクにして、平滑化された前記第６の材料層の頂部をエッチングして、第３の凹部を形成する工程と、

前記第３の凹部を埋め、且つその上面位置が前記第８の帯状材料層の上面位置と同じくする第１０の帯状材料層を形成する工程と、

前記第６の材料層を除去する工程と、

前記第８の帯状材料層と、前記第１０の帯状材料層と、をマスクにして、前記第６の材料層をエッチングして、前記第９の帯状材料層の両側側面に接した、第１１の帯状材料層を形成する工程と、

前記第８状材料層と、前記第９の帯状材料層と、を除去するか、もしくは前記第１０の帯状材料層と、前記第１１の帯状材料層と、を除去して、残った帯状材料層の下層または、上下両層を前記第７の帯状材料層とする、ことにより形成される

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項5] 平面視において、前記第２の帯状材料層と、前記第４の帯状材料層

と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことを特徴とする請求項１に記載の３次元形状半導体装置の製造方法。

[請求項6] 平面視において、前記第２の帯状材料層と、前記第６の帯状材料層と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項7] 前記３次元形状半導体層が、前記第１の基板上に、垂直方向に立った半導体柱である、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項8] 前記半導体柱が、前記１つの方向、または前記１つの方向に直交する方向に、隣接して並んだ、少なくとも第１の半導体柱と、第２の半導体柱と、第３の半導体柱よりなり、

前記第１の半導体柱と、前記第２の半導体柱と、前記第３の半導体柱と、の側面を囲んで第１のゲート絶縁層を形成する工程と、

前記第１のゲート絶縁層を囲んで、第１のゲート導体層を形成する工程を有し、

前記第１のゲート導体層が、前記第１の半導体柱と、前記第２の半導体柱と、前記第３の半導体柱との少なくとも２つの前記半導体柱間を埋めて形成される、

ことを特徴とする請求項７に記載の３次元半導体装置の製造方法。

[請求項9] 前記基板上に形成した複数の前記半導体柱のいずれかを除去する工程を有する、

ことを特徴とする請求項７に記載の３次元半導体装置の製造方法。

[請求項10] 複数の前記半導体柱を形成する前に、平面視において、前記第７の帯状材料層の一部領域を形成しない工程を有し、

平面視において、前記第７の帯状材料層の前記一部領域の下に、複数の前記半導体柱のいずれかが形成されてない、

ことを特徴とする請求項７に記載の３次元半導体装置の製造方法。

[請求項11] 前記第１の材料層上に、前記第１の帯状材料層を、頂部上に有する前記第２の帯状材料層を形成する工程に並行して、頂部に同じ平面形状を有する第１２の帯状材料層を、頂部上に有する第１３の帯状材料層を、同じ前記１つの方向に伸延して、形成する工程と、

前記第１の材料層上に、前記第３の帯状材料層を、頂部上に有する前記第４の帯状材料層を形成する工程に並行して、頂部に同じ平面形状を有する第１４の帯状材料層を、頂部上に有する第１５の帯状材料層を、同じ前記１つの方向に伸延して、形成する工程と、

向い合った前記第４の帯状材料層と、前記第１５の帯状材料層と、の間にあり、かつ両者の側面に接して、前記第６の帯状材料層と同じ形状の第１６の帯状材料層を形成する工程と、

前記第３の帯状材料層と、前記第４の帯状材料層と、前記１４の帯状材料層と、前記１５の帯状材料層と、を除去する工程と、を有する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項12] 平滑化された前記第２の材料層の頂部を酸化して、前記第３の帯状材料層を形成する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項13] 平滑化された前記第２の材料層の頂部に原子イオンをイオン注入して、前記第３の帯状材料層を形成する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項14] 前記第２の基板を、平面視において、一方向の両端が保持材料層に接して、且つ垂直方向において、第１の半導体層と、第８の材料層を１組にして、上方に複数積み上げた構造で形成する工程と、

前記３次元形状半導体層の形成後に、前記第８の材料層を除去する工程と、

前記３次元形状半導体層の前記第１の半導体層を囲んで第２のゲート絶縁層を形成する工程と、

前記第２のゲート絶縁層を囲んで第２のゲート導体層を形成する工程と、

前記保持材料層を除去する工程と、

前記平面視において、前記一方向の前記第１の半導体層の両端に接して、ドナーまたはアクセプタ不純物を含んだ不純物層を形成する工程を有する、

ことを特徴とする請求項１に記載の３次元半導体装置の製造方法。

[請求項15] 第１の基板上にある、少なくとも一部、または全体が半導体層よりなる、第２の基板上に、第１の材料層を形成する工程と、

前記第１の材料層上に、平面視において、１つの方向に伸び、同じ平面視形状を有する第１の帯状材料層を、その頂部上に有する第２の帯状材料層を形成する工程と、

全体を覆って、下から第２の材料層と、第３の材料層と、を形成する工程と、

前記第２の材料層と、前記第３の材料層の上面位置が、前記第１の帯状材料層の上面位置となるように平滑化する工程と、

平滑化された前記第３の材料層の頂部に、平滑化された前記第３の材料層と、前記第１の帯状材料層と、の側面に挟まれた第３の帯状材料層を形成する工程と、

平滑化された前記第２の材料層を除去する工程と、

前記第１の帯状材料層と、前記第３の帯状材料層をマスクにして、前記第２の材料層をエッチングして、前記第３の帯状材料層を、その頂部上に有する第４の帯状材料層を形成する工程と、

前記第１の帯状材料層と、前記第２の帯状材料層と、を除去する工程と、

前記第３の帯状材料層より上方、または下方に、平面視において、前記第４の帯状材料層と直交した、単層、または複数層よりなる第５の帯状材料層が形成された状態で、平面視において、前記第４の帯状

材料層と、前記第５の帯状材料層と、の第１の重なり領域にある、平面視において矩形状、または円形状の第１のマスク材料層を、前記第１の材料層、または前記第４の帯状材料層、または前記第５の帯状材料層と、を母体にして形成する工程と、

前記第１のマスク材料層をマスクにして、前記第２の基板をエッチングして、前記基板上に、前記半導体層よりなる３次元形状半導体層を形成する工程と有し、

前記３次元形状半導体層をチャネルにする、

ことを特徴とする、３次元半導体装置の製造方法。

[請求項16] 前記第３の帯状材料層を形成する工程において、

前記第１の帯状材料層と、前記第３の材料層と、をマスクにして、前記第２の材料層の頂部をエッチングして、第１の凹部を形成する工程と、

前記第１の凹部を埋め、且つその上面位置が前記第１の帯状材料層の上面位置と同じくする前記第３の帯状材料層を形成する工程と、を有する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項17] 平面視において、前記第２の帯状材料層と、前記第４の帯状材料層と、のいずれか一方の幅が、もう一方の幅より大きく形成する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項18] 前記３次元形状半導体層が、前記第１の基板上に、垂直方向に立った半導体柱である、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項19] 前記半導体柱が、前記１つの方向、または前記１つの方向に直交する方向に、隣接して並んだ、少なくとも第１の半導体柱と、第２の半

導体柱よりなり、

前記第１の半導体柱と、前記第２の半導体柱と、の側面を囲んで第１のゲート絶縁層を形成する工程と、

前記第１のゲート絶縁層を囲んで、第１のゲート導体層を形成する工程を有し、

前記第１のゲート導体層が、前記第１の半導体柱と、前記第２の半導体柱と間を埋めて形成される、

ことを特徴とする請求項１８に記載の３次元半導体装置の製造方法。

[請求項20] 前記基板上に形成した複数の前記半導体柱のいずれかを除去する工程を有する、

ことを特徴とする請求項１８に記載の３次元半導体装置の製造方法。

[請求項21] 複数の前記半導体柱を形成する前に、平面視において、前記第７の帯状材料層の一部領域を形成しない工程を有し、

平面視において、前記第７の帯状材料層の前記一部領域の下に、複数の前記半導体柱のいずれかが形成されてない、

ことを特徴とする請求項１８に記載の３次元半導体装置の製造方法。

[請求項22] 前記第１の帯状材料層と、前記第２の帯状材料層との形成と同時に、平面視において、前記第１の帯状材料層と、前記第２の帯状材料層とに、並行して、且つ第６の帯状材料層を頂部に有する第７の帯状材料層を形成する工程と、

前記第３の帯状材料層と、前記第４の帯状材料層との形成と同時に、前記第６の帯状材料層と、前記第７の帯状材料層の両側面に接して、第８の帯状材料層を頂部に有した第９の帯状材料層を形成する工程と、

前記第１の帯状材料層と、前記第２の帯状材料層とを除去する工程

と並行して、前記第６の帯状材料層と、前記第７の帯状材料層と、を除去する工程と、を有する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項23] 前記９の帯状材料層と、前記第４の帯状材料層との、平面視における間隔が、前記第２の帯状材料層、または前記７の帯状材料層の一方、または両方と同じに形成されている、

ことを特徴とする請求項２２に記載の３次元半導体装置の製造方法。

[請求項24] 平滑化された前記第２の材料層の頂部を酸化して、前記第３の帯状材料層を形成する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項25] 平滑化された前記第２の材料層の頂部に原子イオンをイオン注入して、前記第３の帯状材料層を形成する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

[請求項26] 前記第２の基板を、平面視において、一方向の両端が保持材料層に接して、且つ垂直方向において、前記半導体層と、第４の材料層を１組にして、上方に複数積み上げた構造で形成する工程と、

前記３次元形状半導体層の形成後に、前記第４の材料層を除去する工程と、

前記３次元形状半導体層の前記半導体層を囲んで第２のゲート絶縁層を形成する工程と、

前記第２のゲート絶縁層を囲んで第２のゲート導体層を形成する工程と、

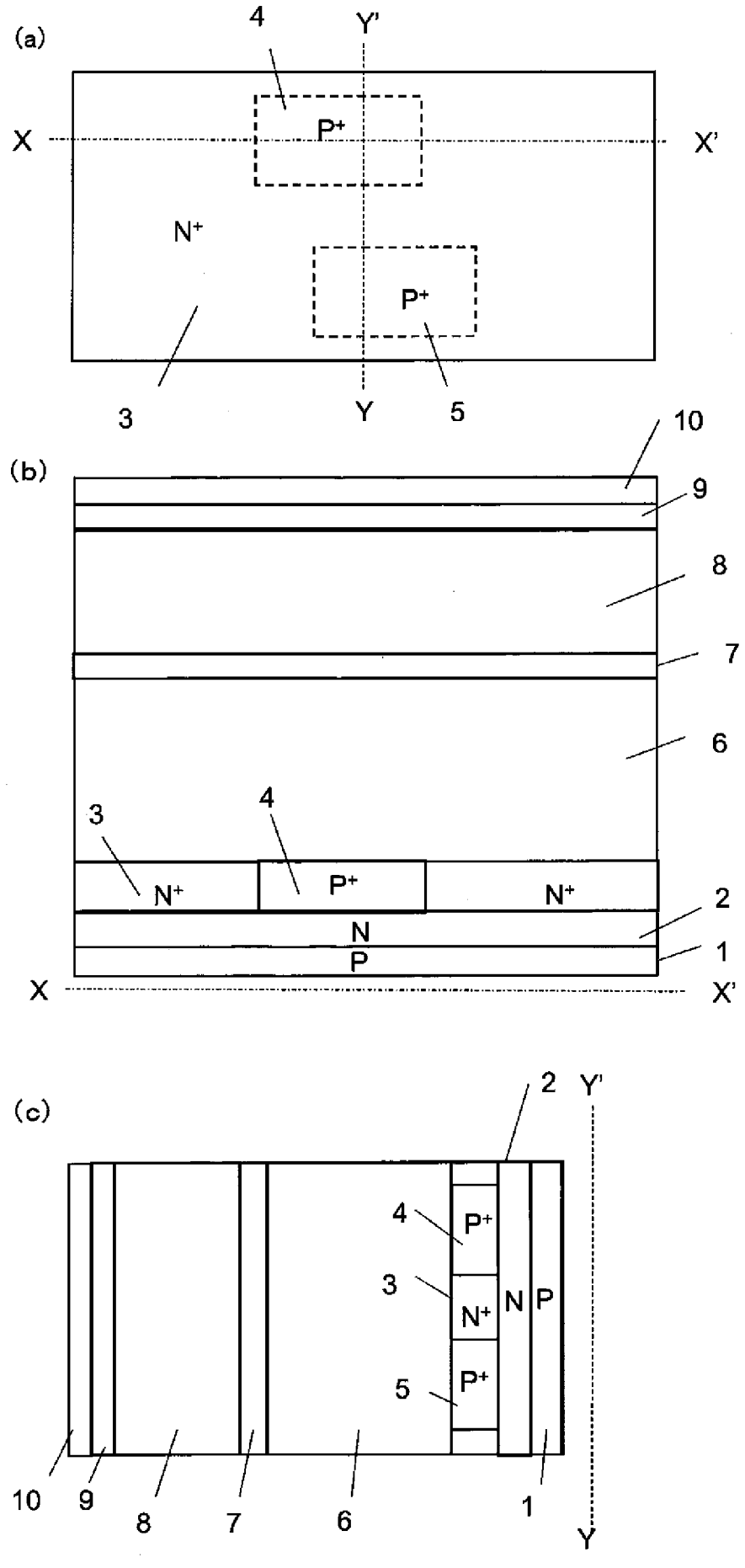
前記保持材料層を除去する工程と、

前記平面視において、前記一方向の前記半導体層の両端に接して、

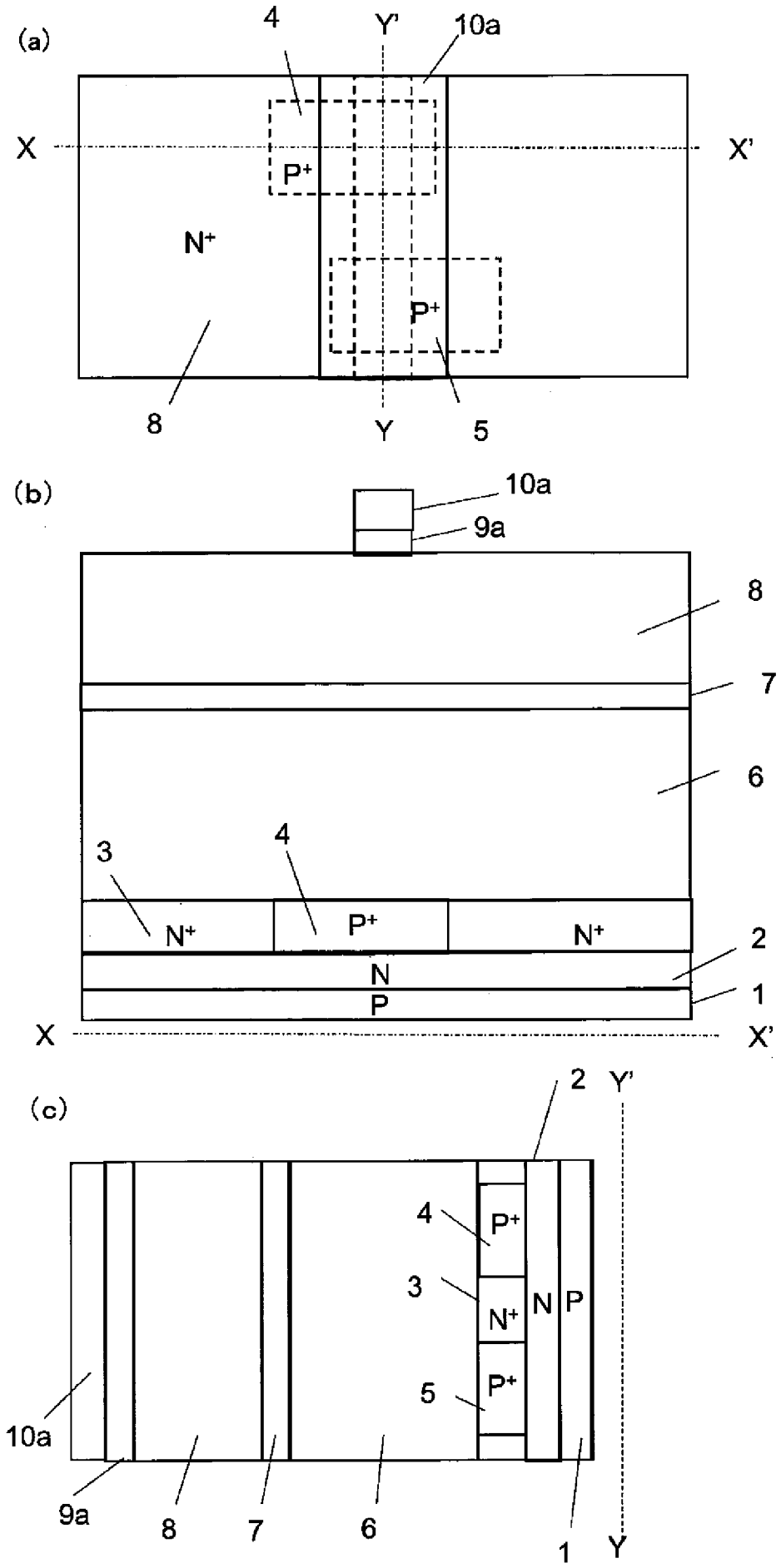
ドナーまたはアクセプタ不純物を含んだ不純物層を形成する工程を有する、

ことを特徴とする請求項１５に記載の３次元半導体装置の製造方法。

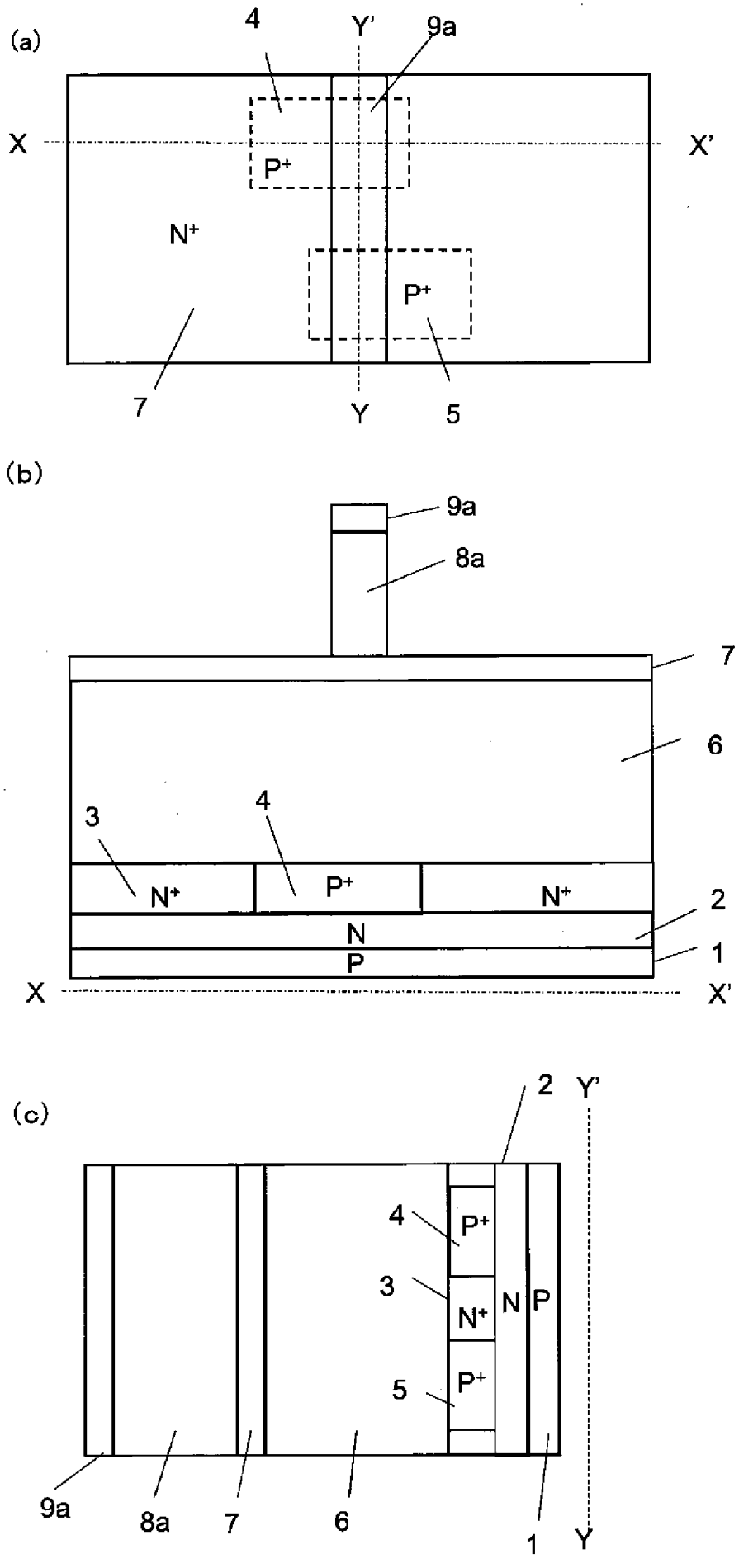
[図1A]



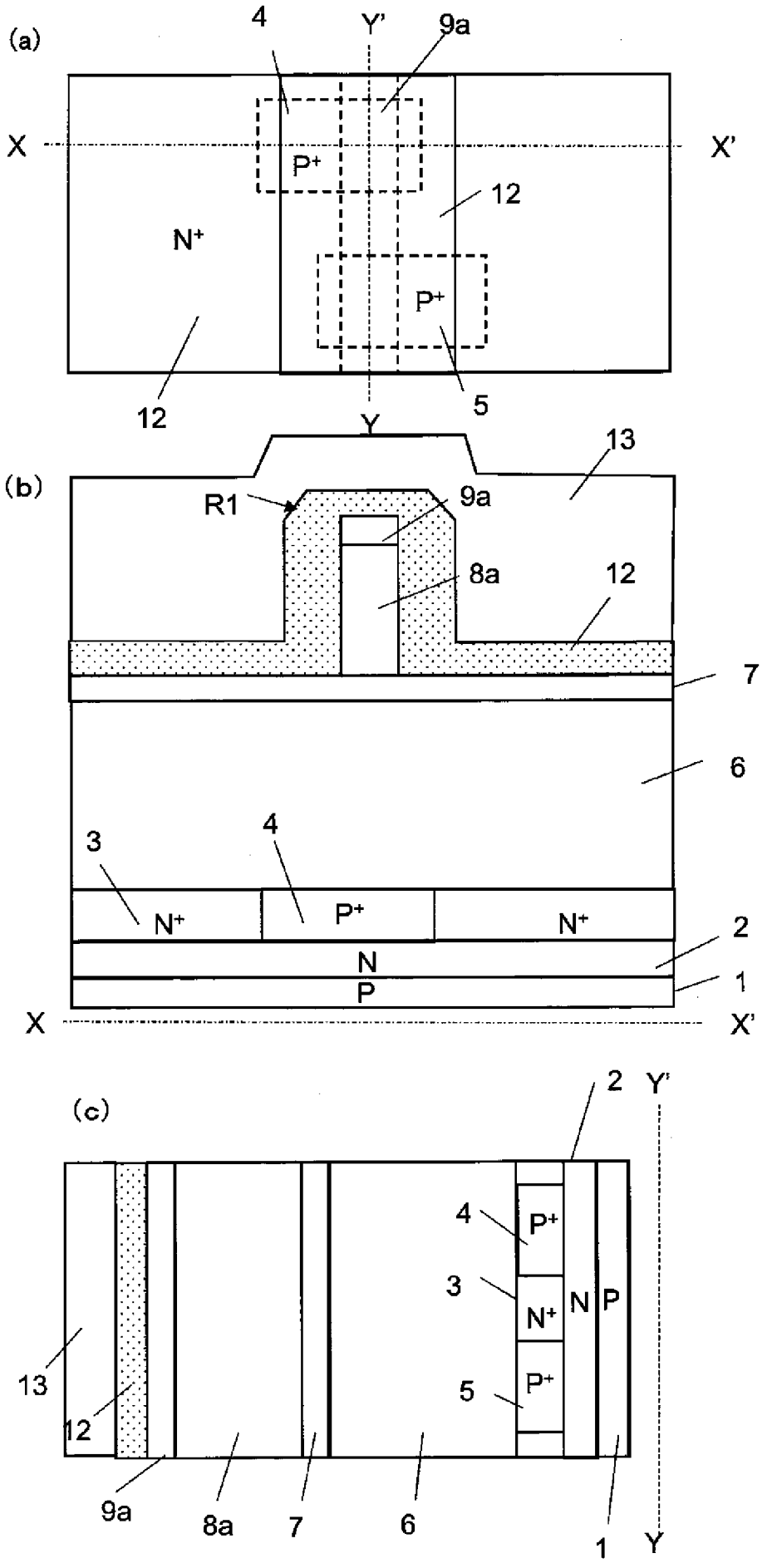
[図1B]


(a)
4
Y'
10a
X
X'
P+
N+
P+
8
Y
5
(b)
10a
9a
8
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
10a
9a
8
7
6
1
Y

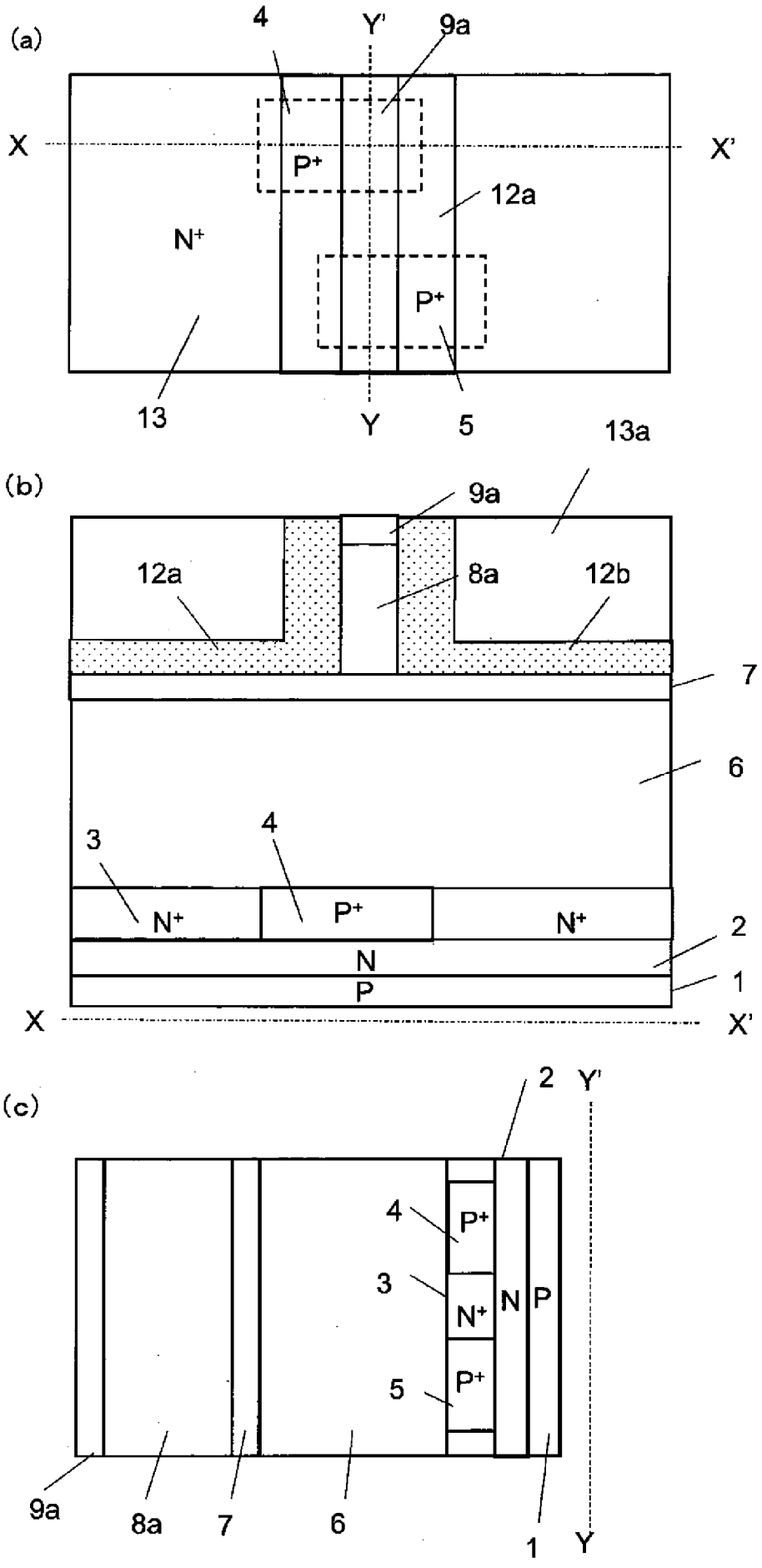
[図1C]


(a)
4
Y'
9a
X
X'
P+
N+
P+
7
Y
5
(b)
9a
8a
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

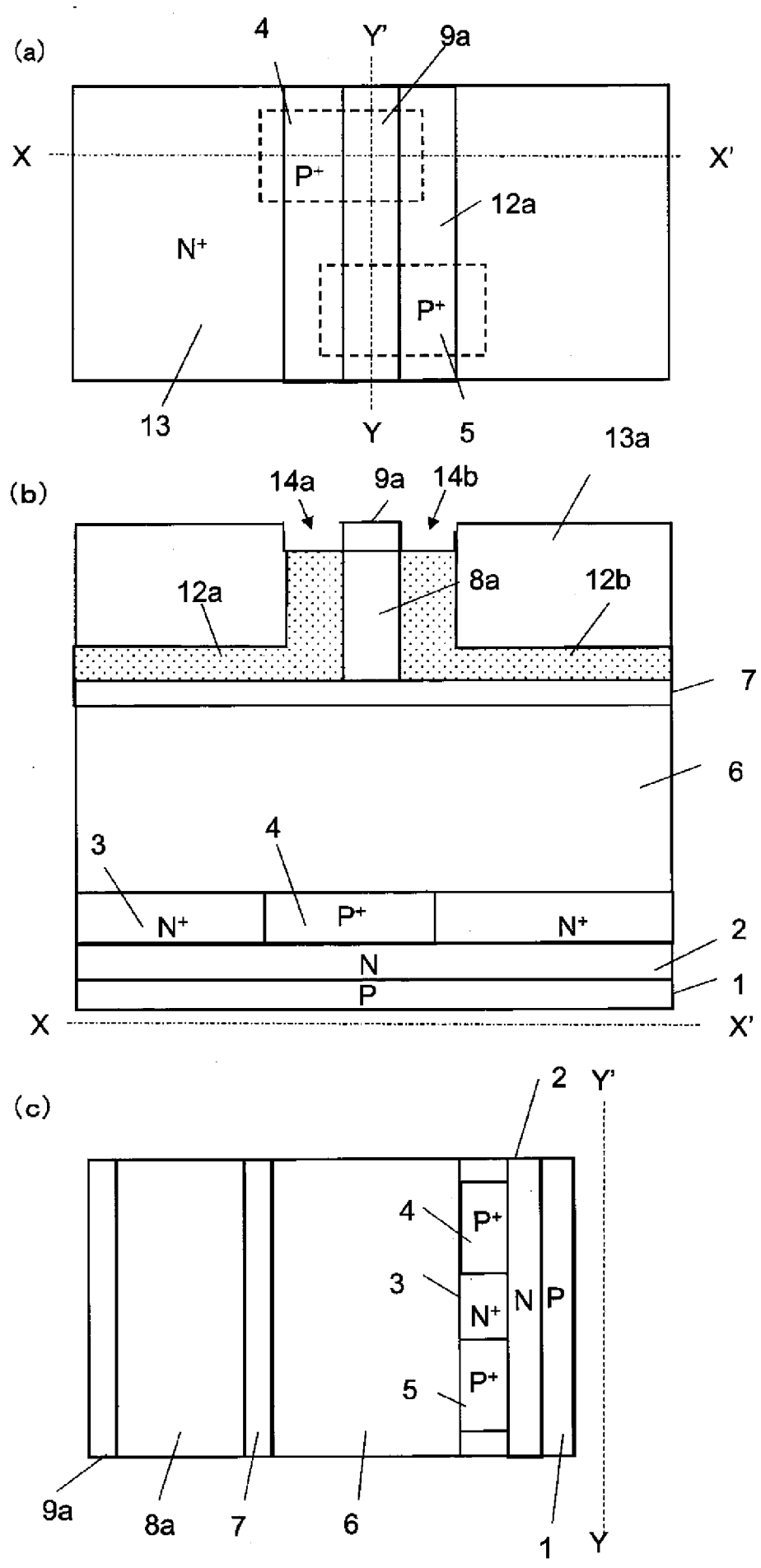
[図1D]


(a)
4
Y'
9a
X
X'
P+
12
N+
P+
12
5
Y
(b)
13
R1
9a
8a
12
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
13
12
9a
8a
7
6
1
Y

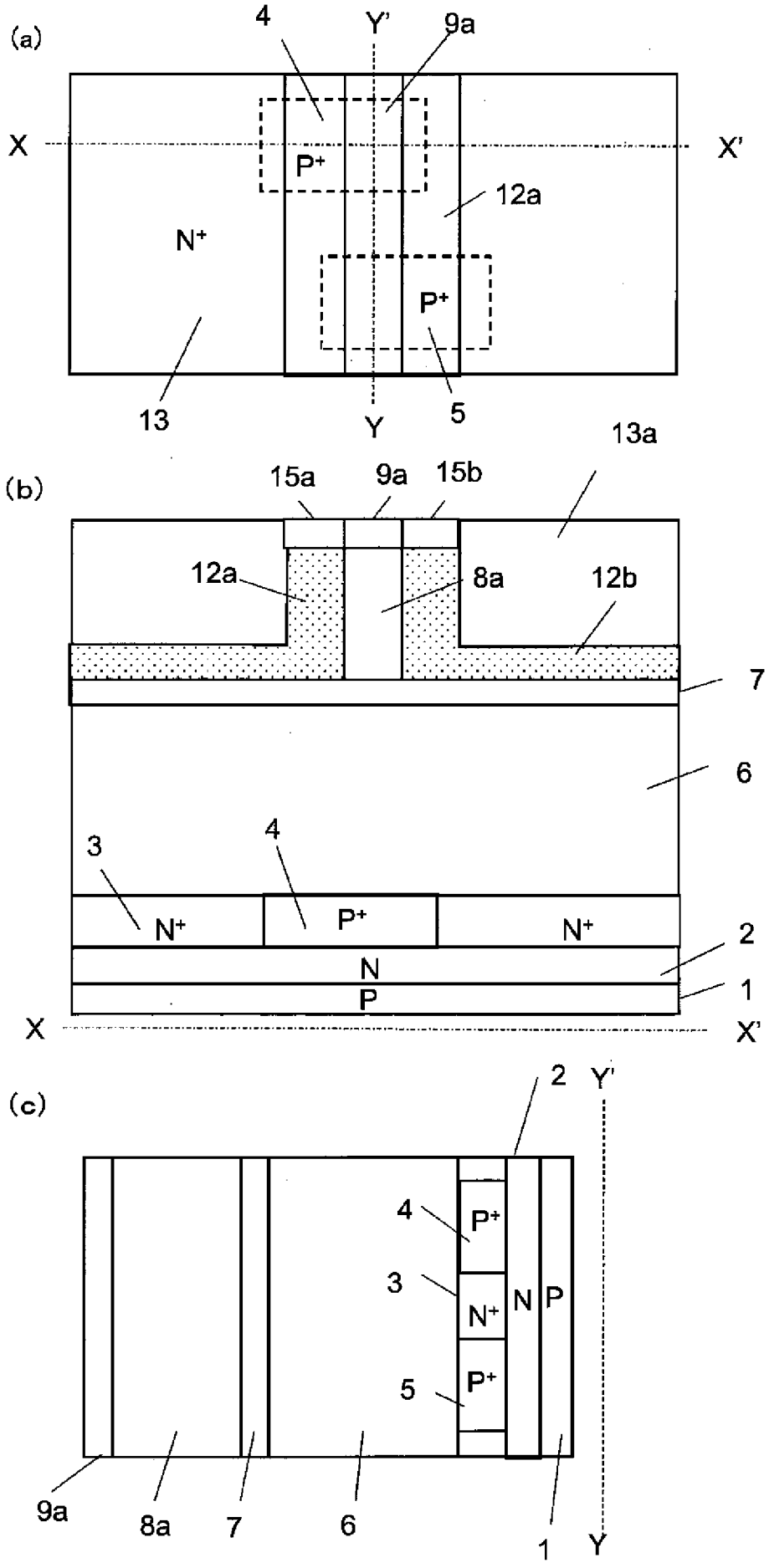
[図1E]


(a)
4
Y'
9a
X
X'
P+
12a
N+
P+
13
Y
5
13a
(b)
9a
12a
8a
12b
7
6
3
4
N+
P+
N+
2
N
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

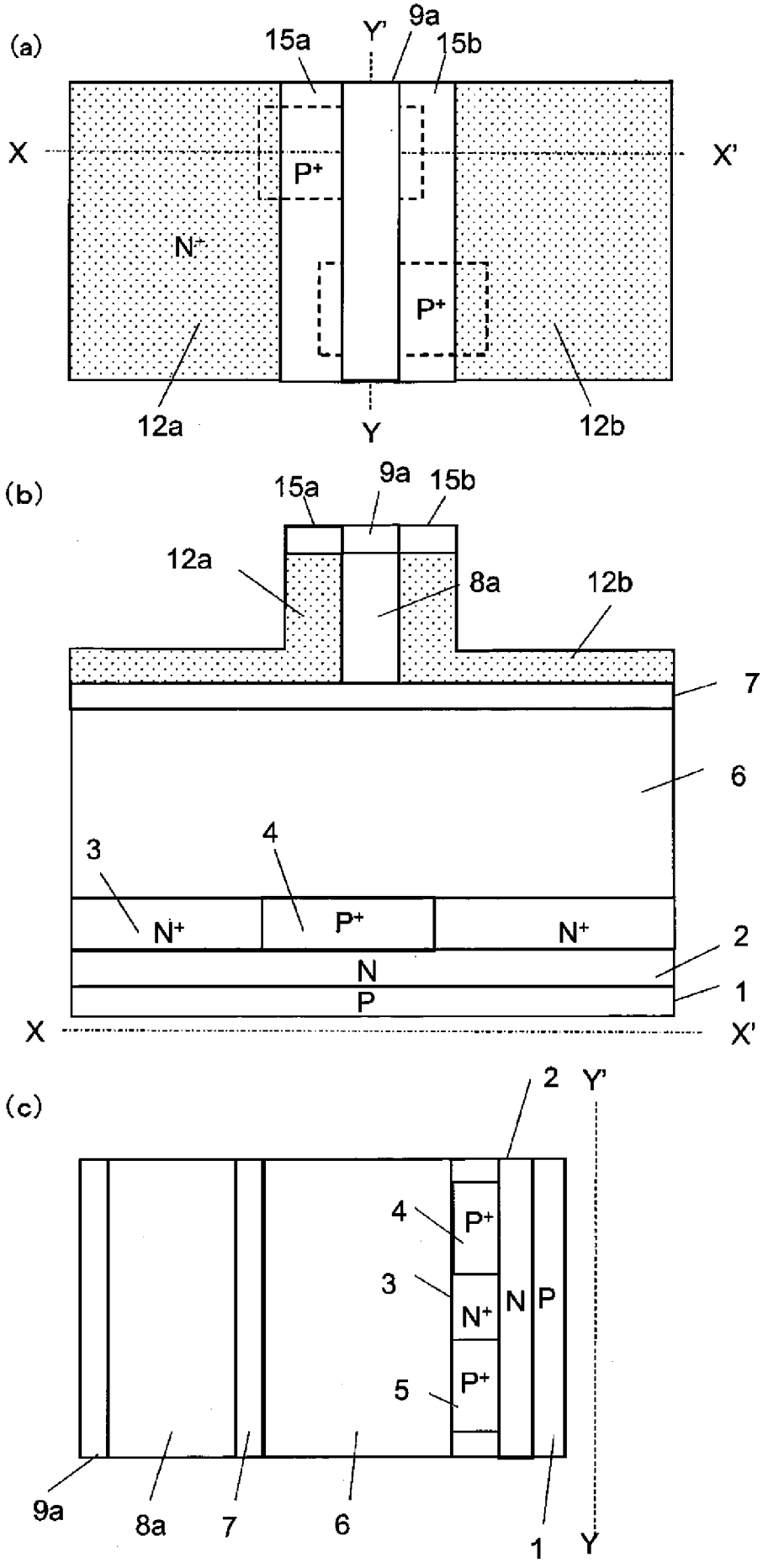
[図1F]


(a)
4
Y'
9a
X
X'
P+
12a
N+
P+
13
Y
5
13a
(b)
14a
9a
14b
12a
8a
12b
7
6
3
4
N+
P+
N+
2
N
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

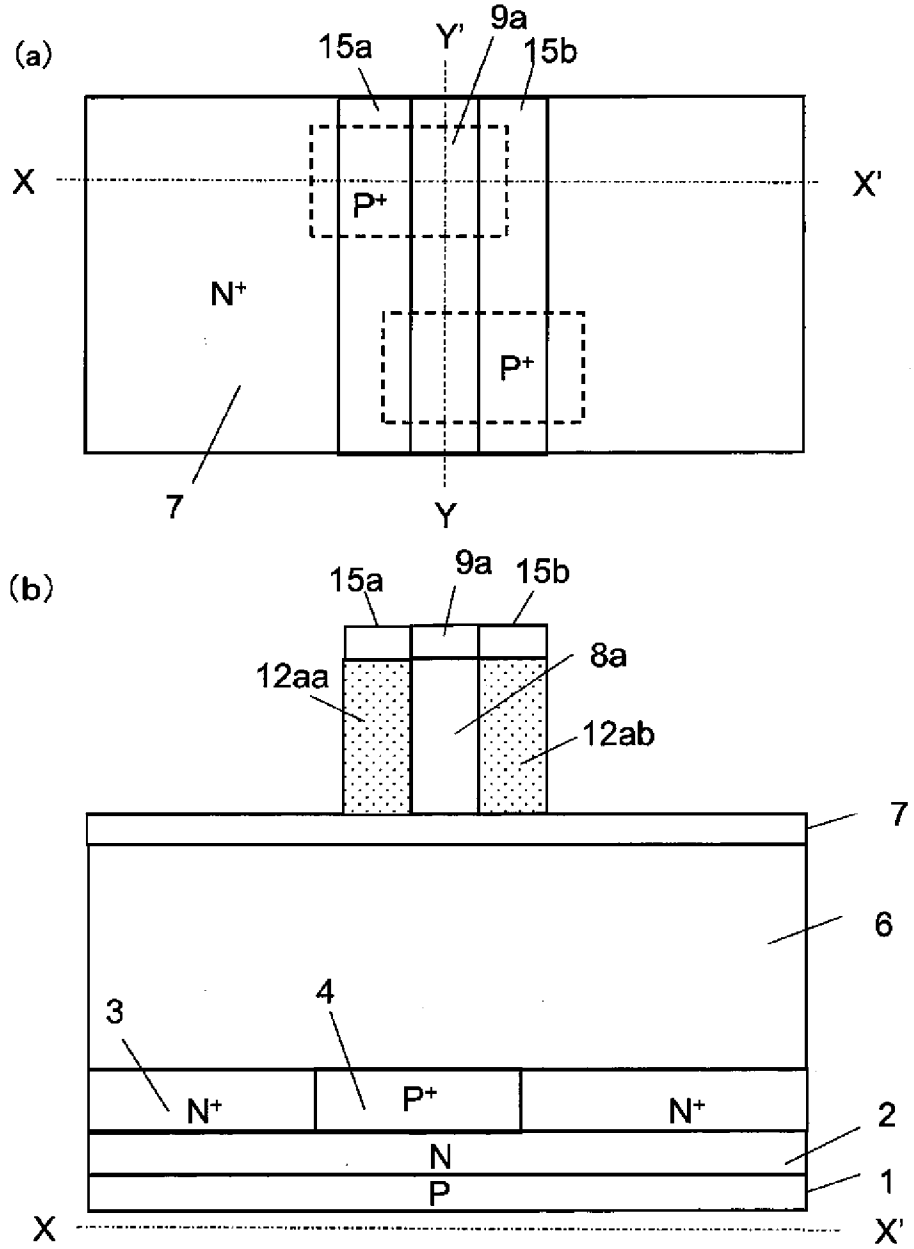
[図1G]


(a)
4
Y'
9a
X
X'
P+
12a
N+
P+
13
Y
5
13a
(b)
15a
9a
15b
12a
8a
12b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

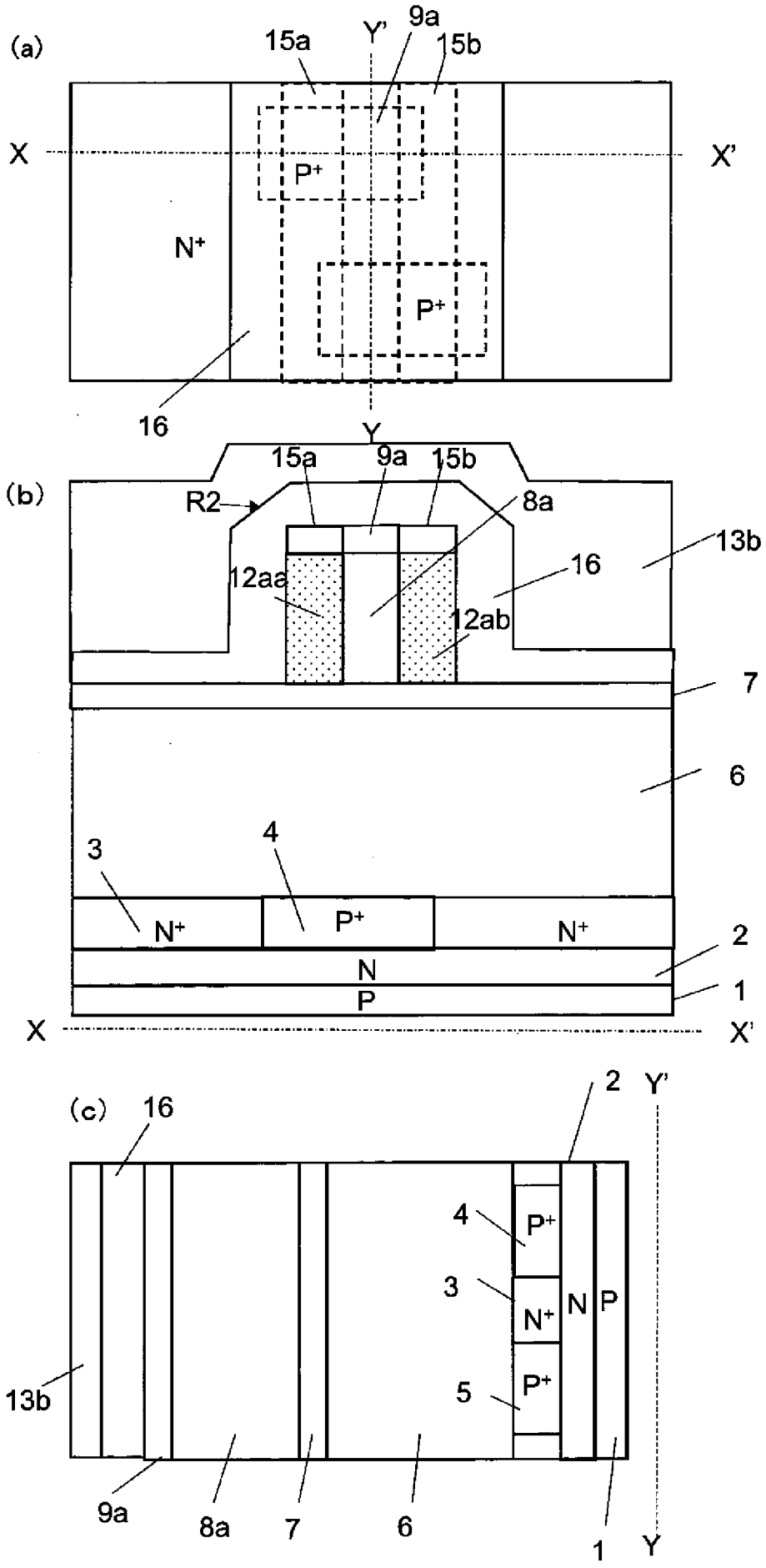
[図1H]


(a)
15a
Y'
9a
15b
X
X'
P+
N+
P+
12a
Y
12b
(b)
15a
9a
15b
12a
8a
12b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

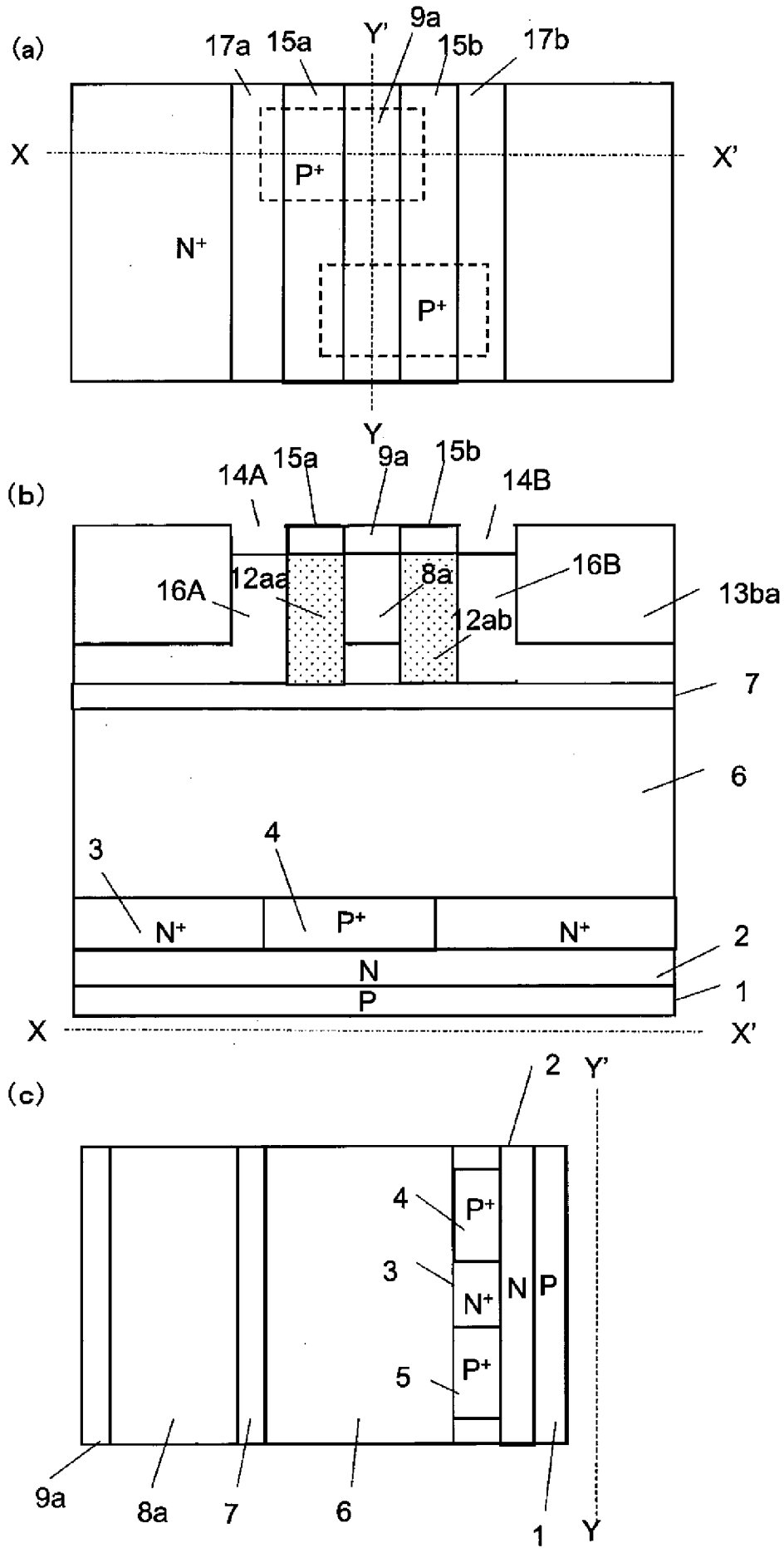
[図1I]


(a)
15a
Y'
9a
15b
X
X'
P+
N+
P+
7
Y
(b)
15a
9a
15b
12aa
8a
12ab
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

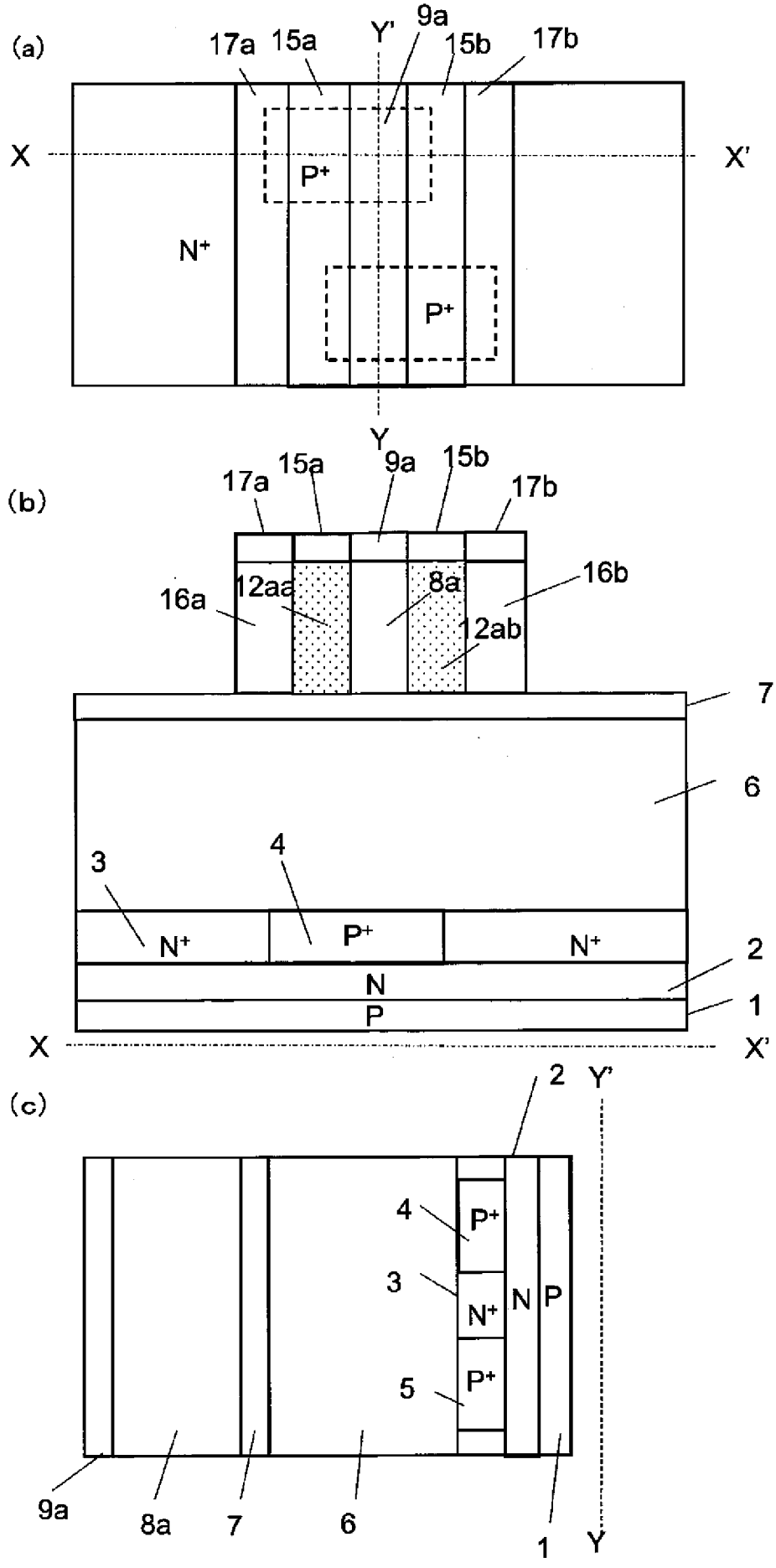
[図1J]


(a)
15a
Y'
9a
15b
X
X'
P+
N+
P+
16
Y
(b)
15a
9a
15b
R2
8a
13b
12aa
16
12ab
7
6
3
4
N+
P+
N+
2
N
P
X
X'
(c)
16
2
Y'
4
P+
3
N+
N
P
5
P+
13b
9a
8a
7
6
1
Y

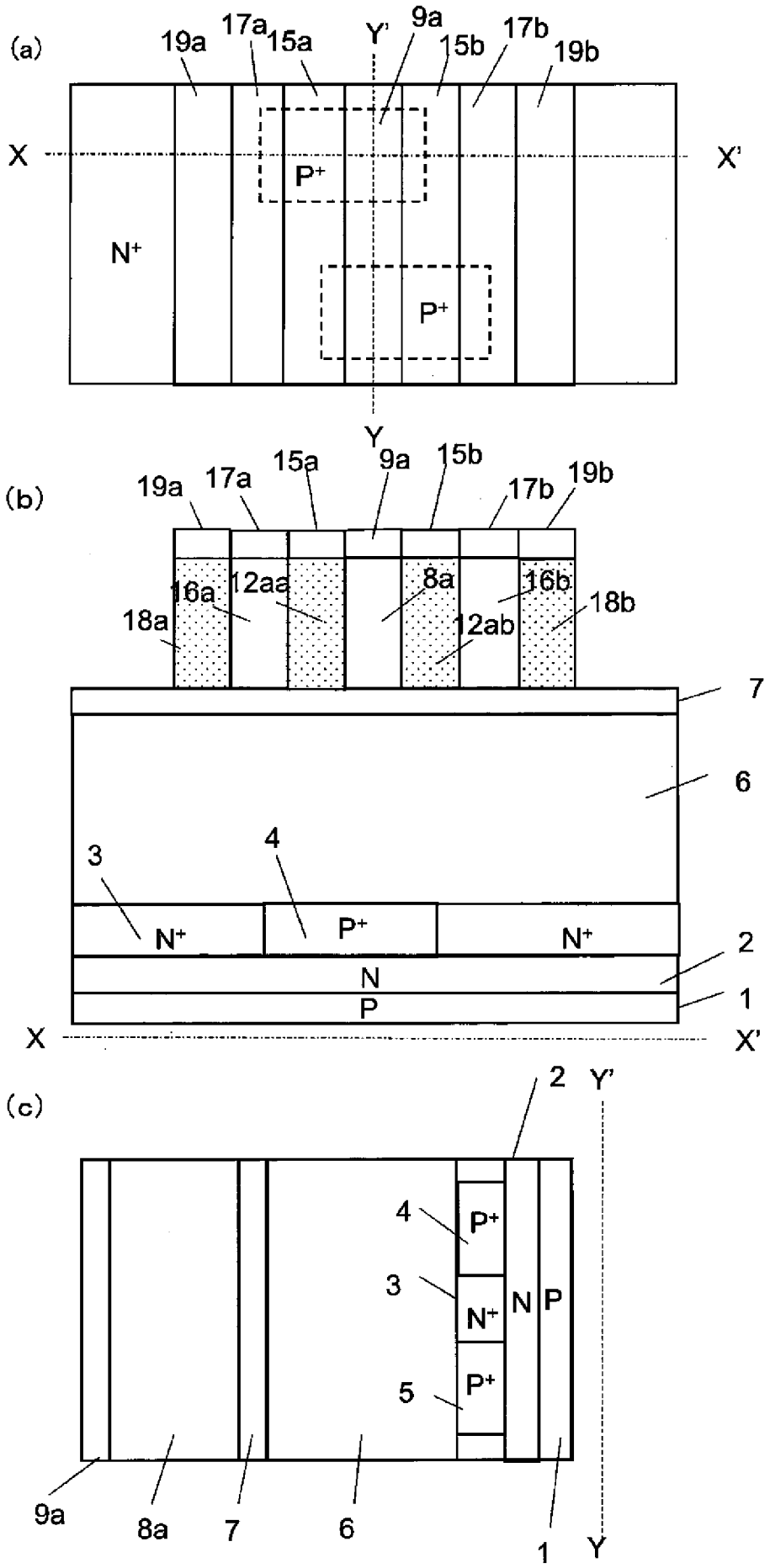
[図1K]


(a)
17a
15a
Y'
9a
15b
17b
X
X'
P+
N+
P+
Y
(b)
14A
15a
9a
15b
14B
16A
12aa
8a
16B
13ba
12ab
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

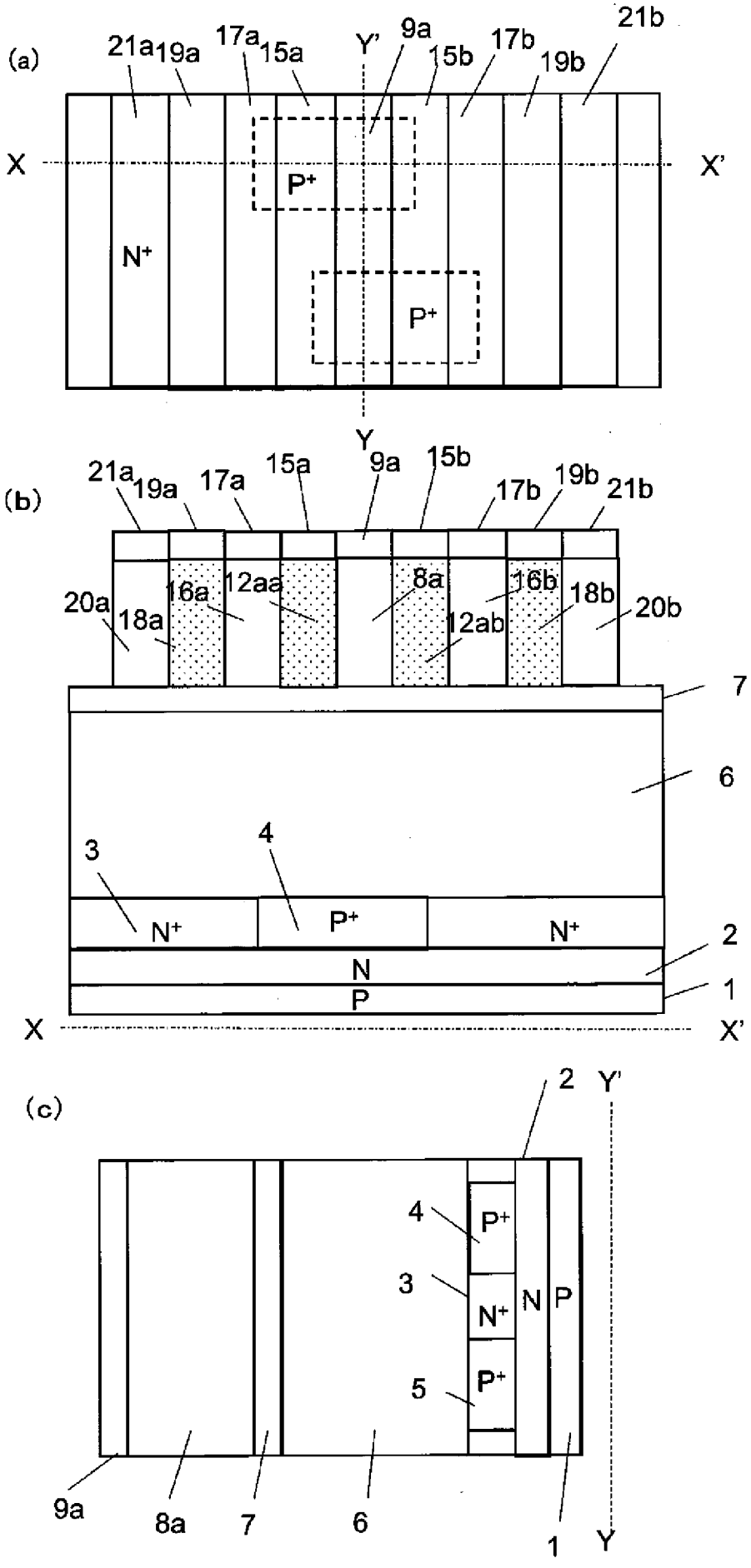
[図1L]


(a)
17a
15a
Y'
9a
15b
17b
X
X'
P+
N+
P+
Y
(b)
17a
15a
9a
15b
17b
16a
12aa
8a
16b
12ab
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

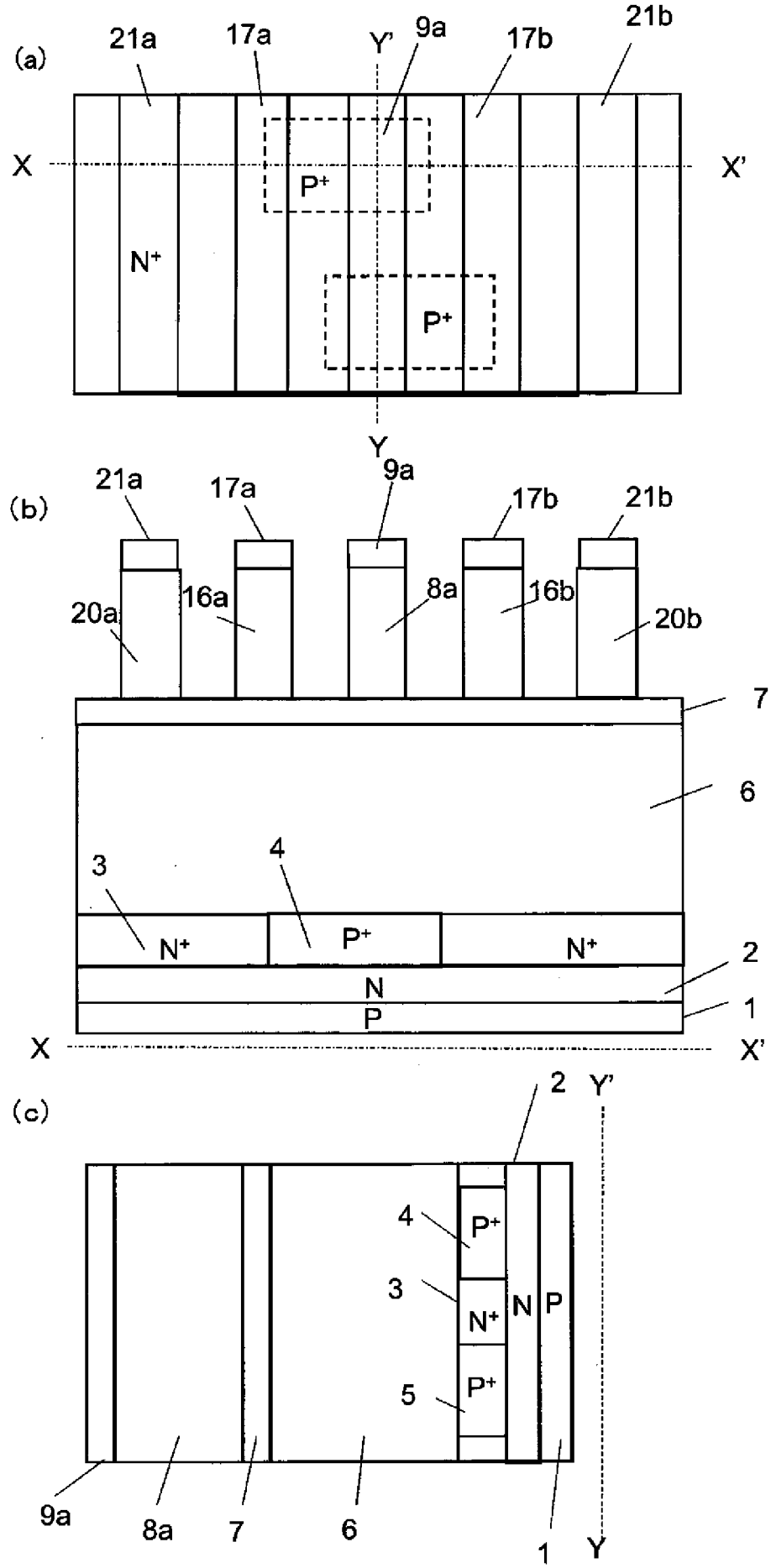
[図1M]


(a)
19a
17a
15a
Y'
9a
15b
17b
19b
X
X'
P+
N+
P+
Y
(b)
19a
17a
15a
9a
15b
17b
19b
16a
12aa
8a
16b
18b
18a
12ab
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

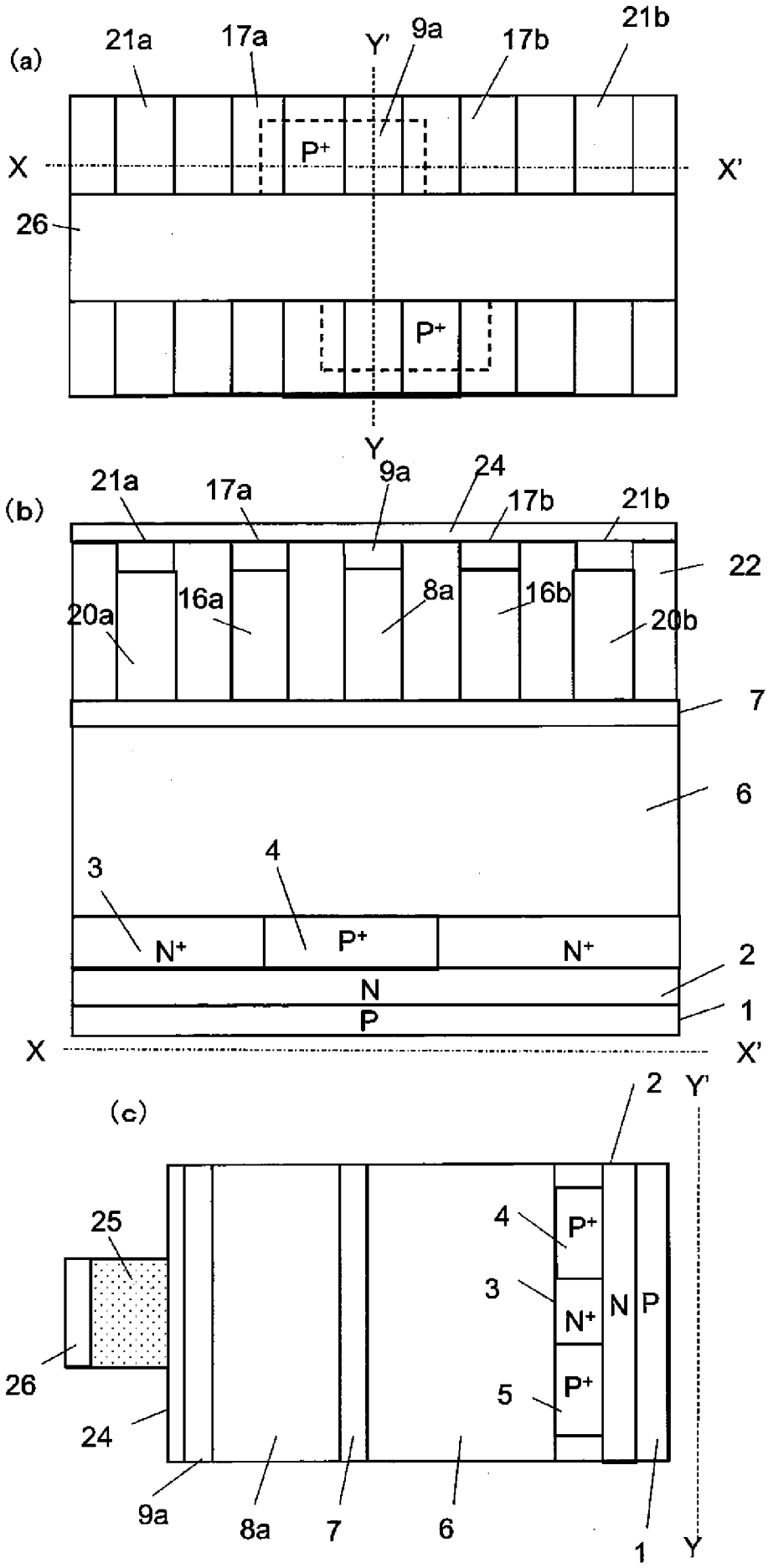
[図1N]


(a)
21a
19a
17a
15a
Y'
9a
15b
17b
19b
21b
X
X'
P+
N+
P+
Y
(b)
21a
19a
17a
15a
9a
15b
17b
19b
21b
20a
18a
16a
12aa
8a
12ab
16b
18b
20b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

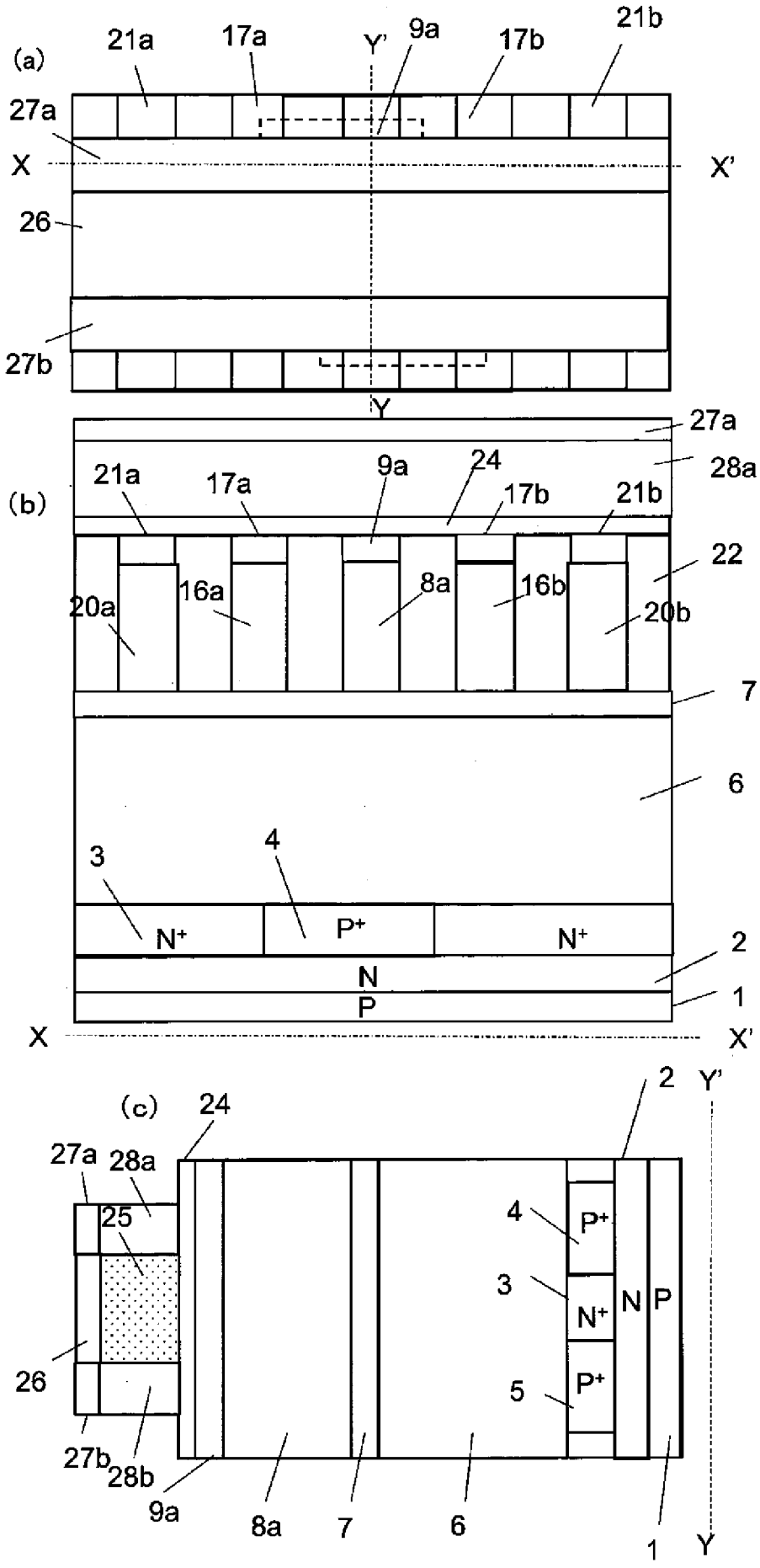
[図10]


(a)
21a
17a
Y'
9a
17b
21b
X
X'
P+
N+
P+
Y
(b)
21a
17a
9a
17b
21b
20a
16a
8a
16b
20b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

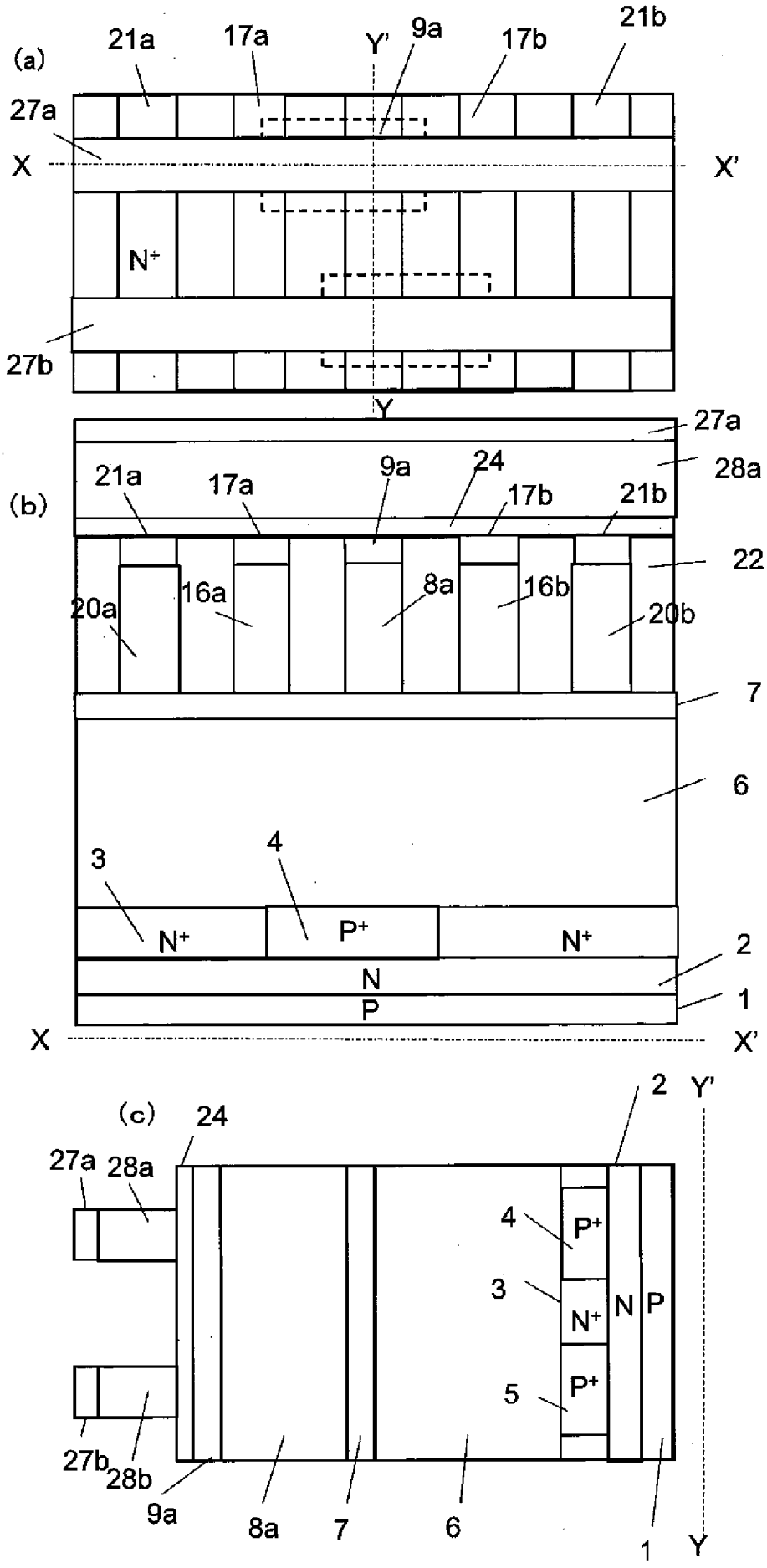
[図1P]


(a)
21a
17a
Y'
9a
17b
21b
X
X'
P+
26
P+
Y
(b)
21a
17a
9a
24
17b
21b
22
20a
16a
8a
16b
20b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
25
4
P+
3
N+
N
P
26
P+
5
24
9a
8a
7
6
1
Y

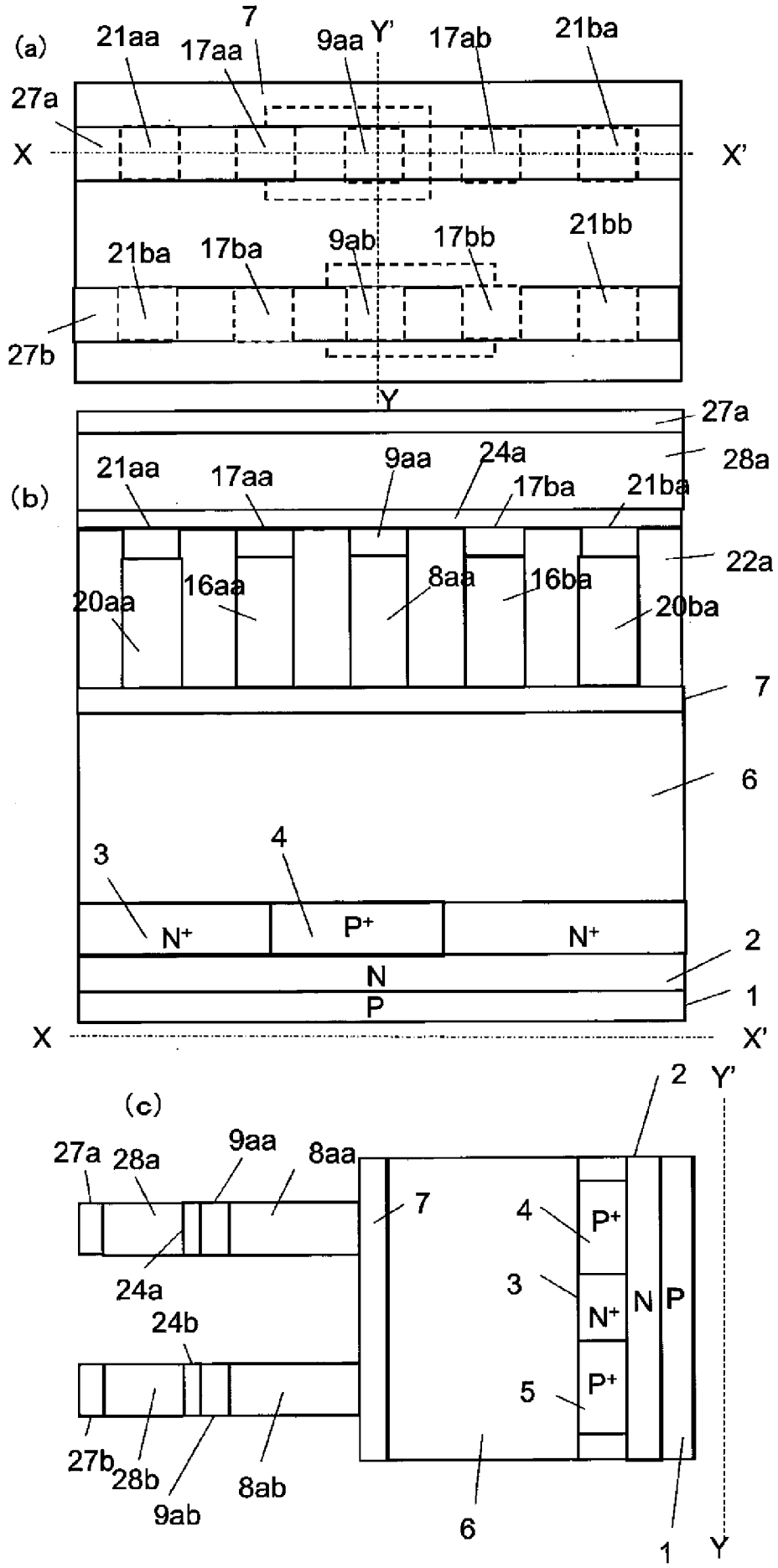
[図10]


(a)
21a
17a
Y'
9a
17b
21b
27a
X
X'
26
27b
Y
(b)
27a
28a
21a
17a
9a
24
17b
21b
22
16a
8a
16b
20a
20b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
24
2
Y'
27a
28a
25
4
P+
3
N+
N
P
26
5
P+
27b
28b
9a
8a
7
6
1
Y

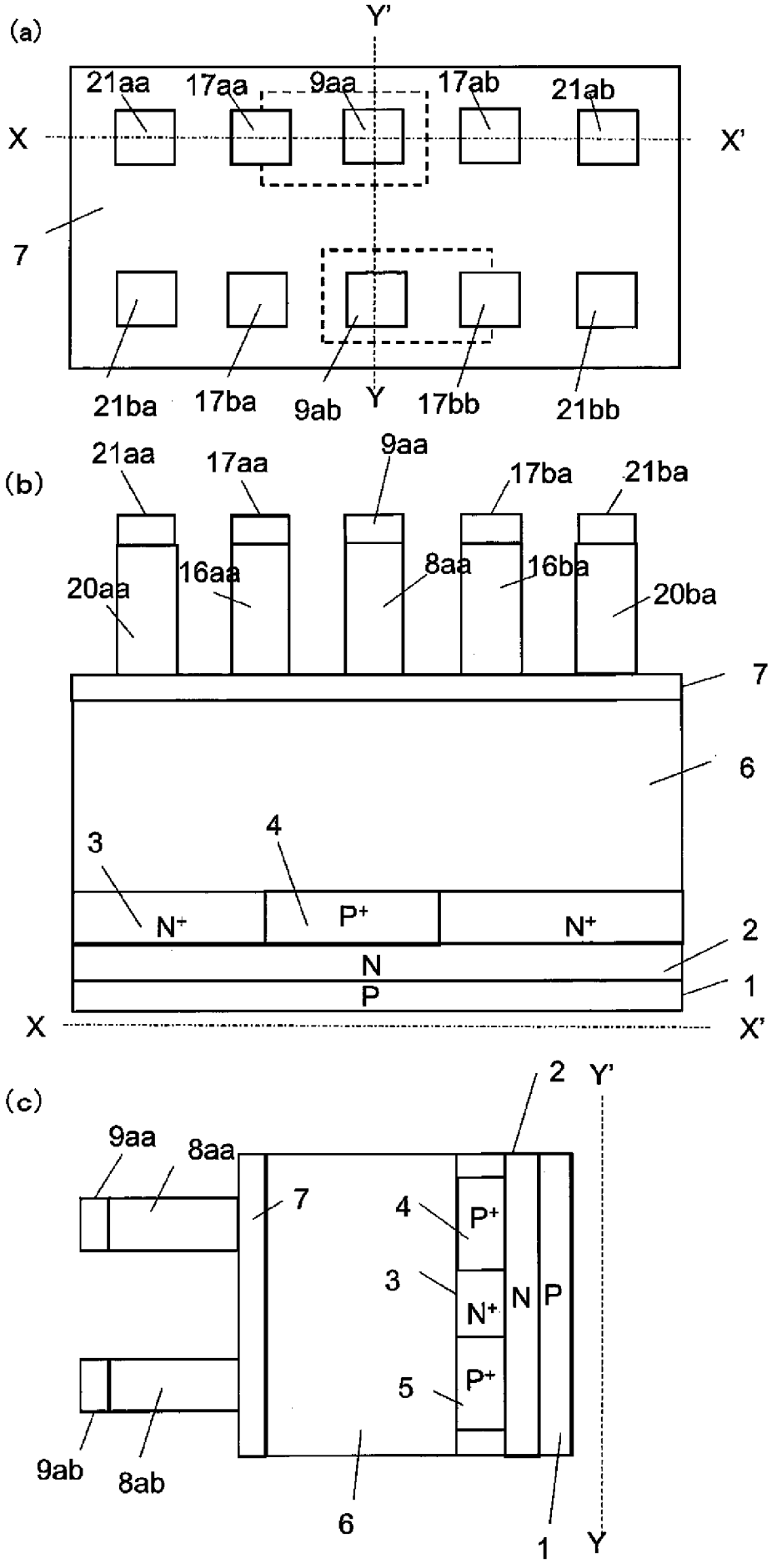
[図1R]


(a)
21a
17a
Y'
9a
17b
21b
27a
X
X'
N+
27b
Y
(b)
27a
28a
21a
17a
9a
24
17b
21b
22
20a
16a
8a
16b
20b
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
24
2
Y'
27a
28a
4
P+
3
N+
N
P
5
P+
27b
28b
9a
8a
7
6
1
Y

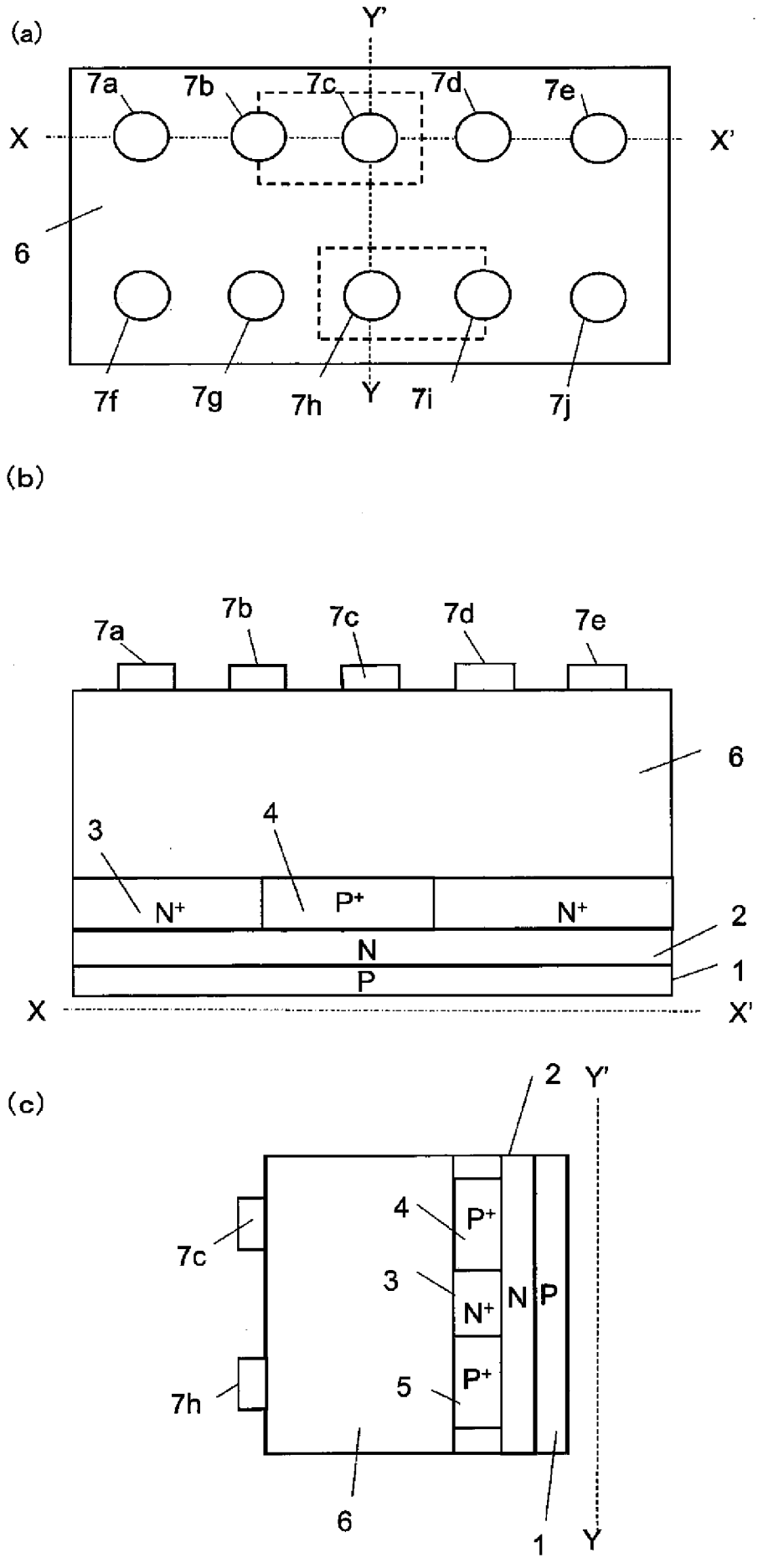
[図1S]


(a)
21aa
17aa
7
9aa
Y'
17ab
21ba
27a
X
X'
21ba
17ba
9ab
17bb
21bb
27b
Y
(b)
27a
28a
21aa
17aa
9aa
24a
17ba
21ba
22a
20aa
16aa
8aa
16ba
20ba
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
27a
28a
9aa
8aa
7
4
P+
24a
3
N+
N
P
24b
5
P+
27b
28b
9ab
8ab
6
1
Y

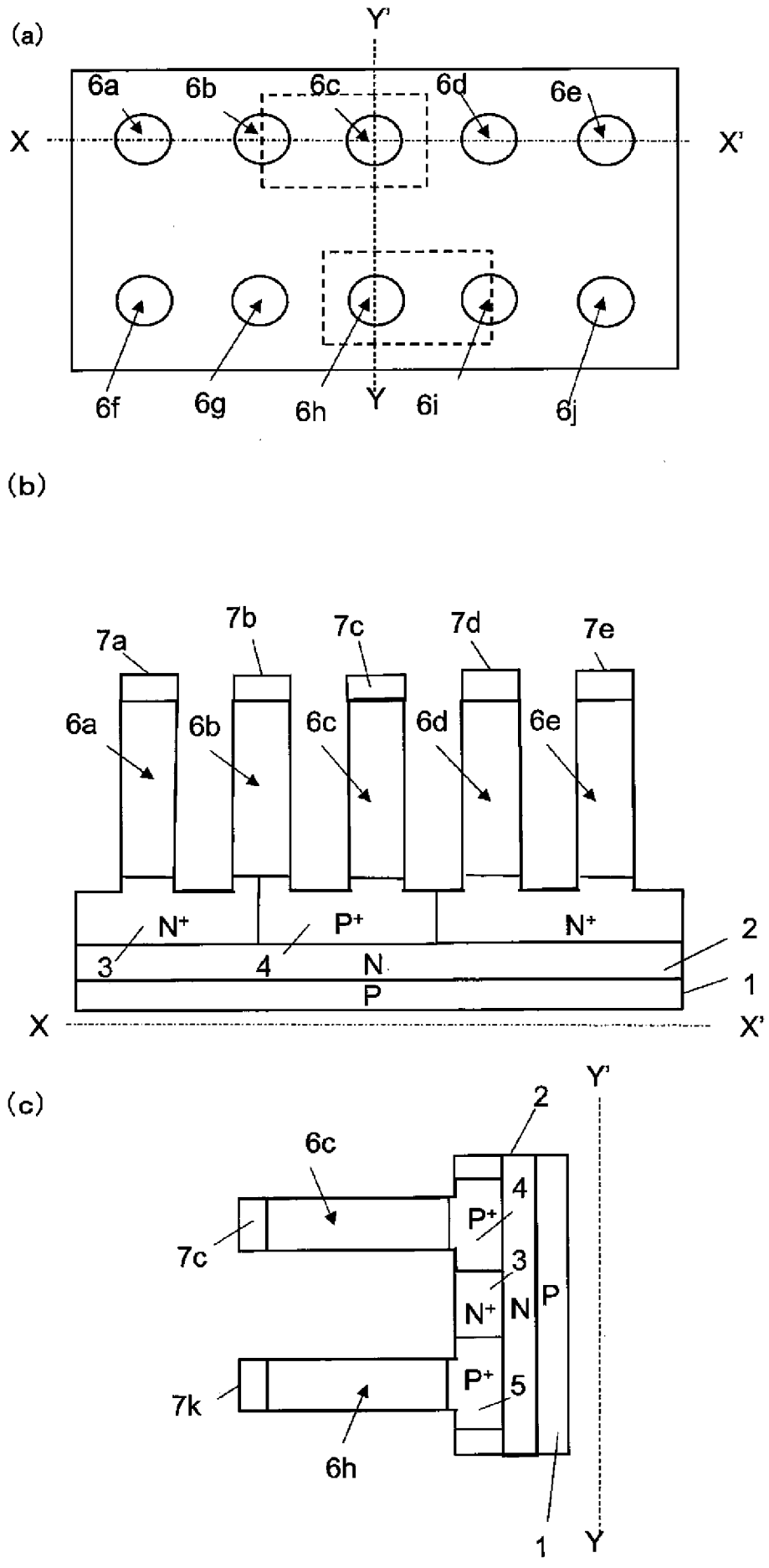
[図1T]


(a)
Y'
21aa
17aa
9aa
17ab
21ab
X
X'
7
21ba
17ba
9ab
Y
17bb
21bb
(b)
21aa
17aa
9aa
17ba
21ba
20aa
16aa
8aa
16ba
20ba
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
9aa
8aa
7
4
P+
3
N+
N
P
5
P+
9ab
8ab
6
1
Y

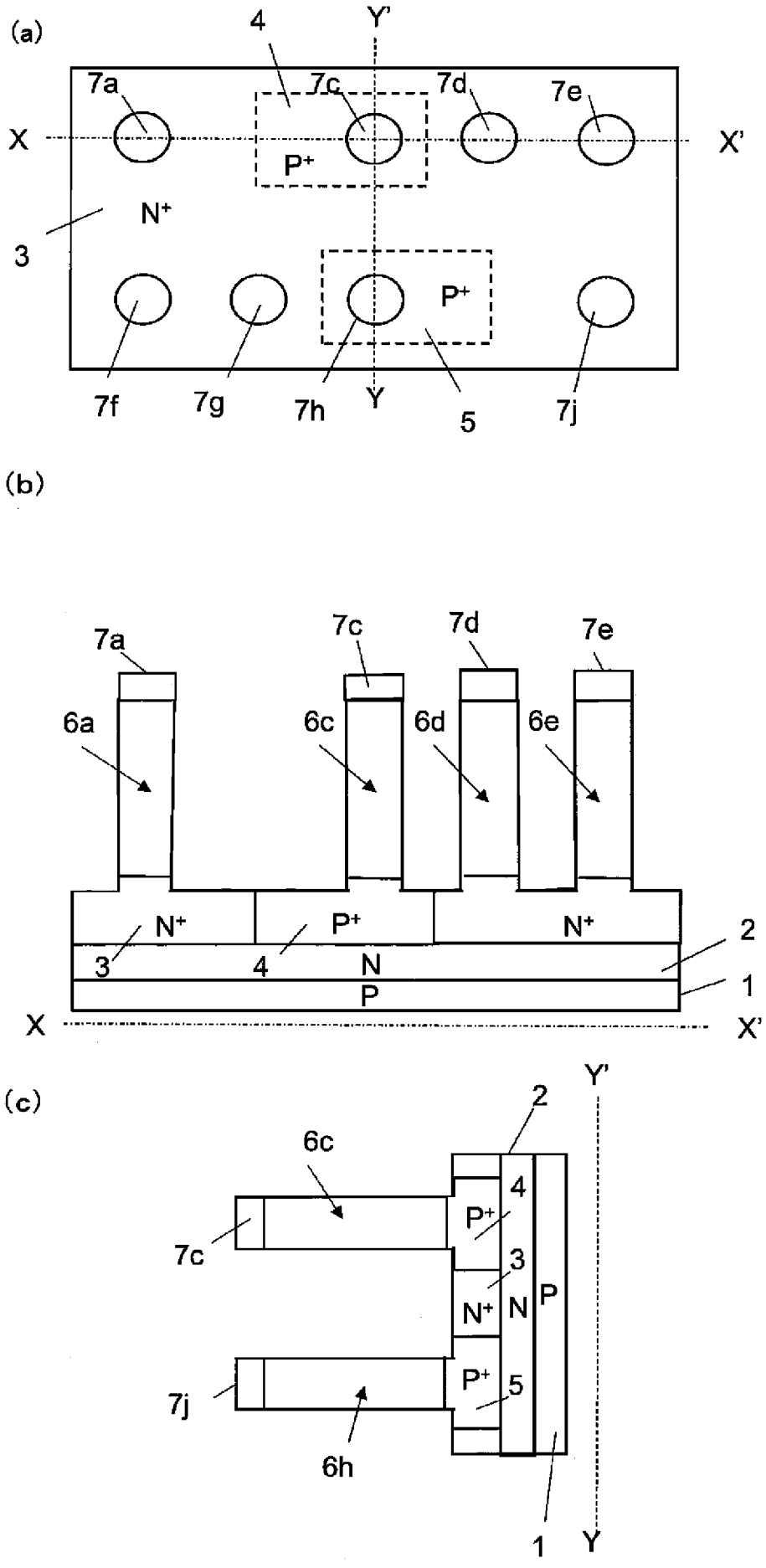
[図1U]


(a)
Y'
7a
7b
7c
7d
7e
X
X'
6
7f
7g
7h
Y
7i
7j
(b)
7a
7b
7c
7d
7e
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
7c
3
N+
N
P
7h
5
P+
6
1
Y

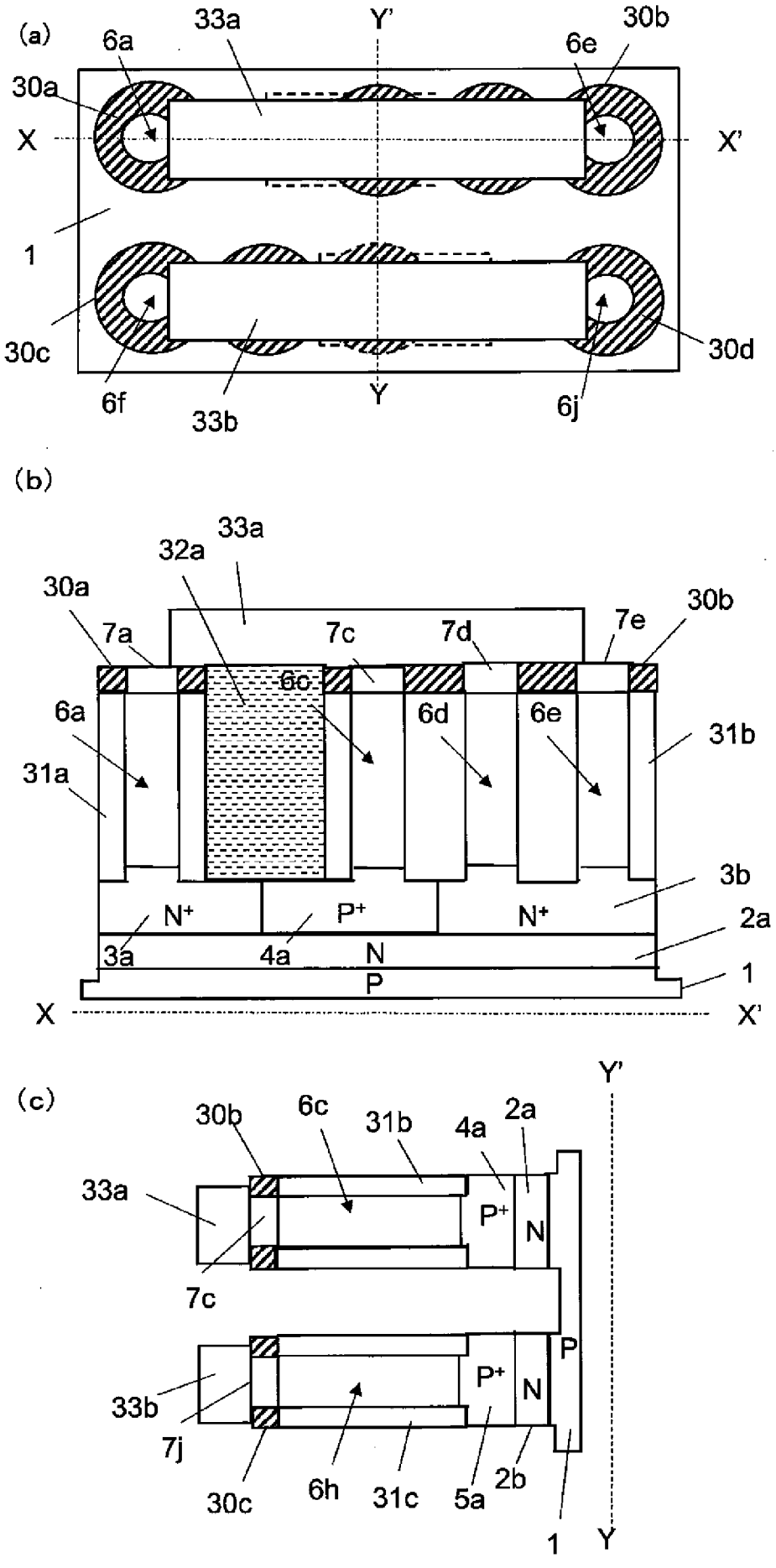
[図1V]


(a)
Y'
6a
6b
6c
6d
6e
X
X'
6f
6g
6h
Y
6i
6j
(b)
7a
7b
7c
7d
7e
6a
6b
6c
6d
6e
N+
P+
N+
2
3
4
N
1
P
X
X'
(c)
Y'
2
6c
4
P+
7c
3
N+
N
P
P+
5
7k
6h
1
Y

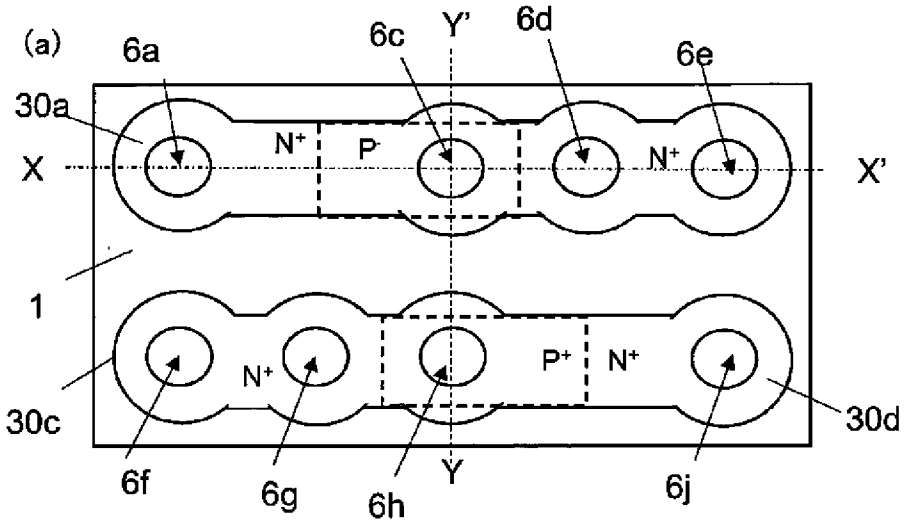
[図1W]

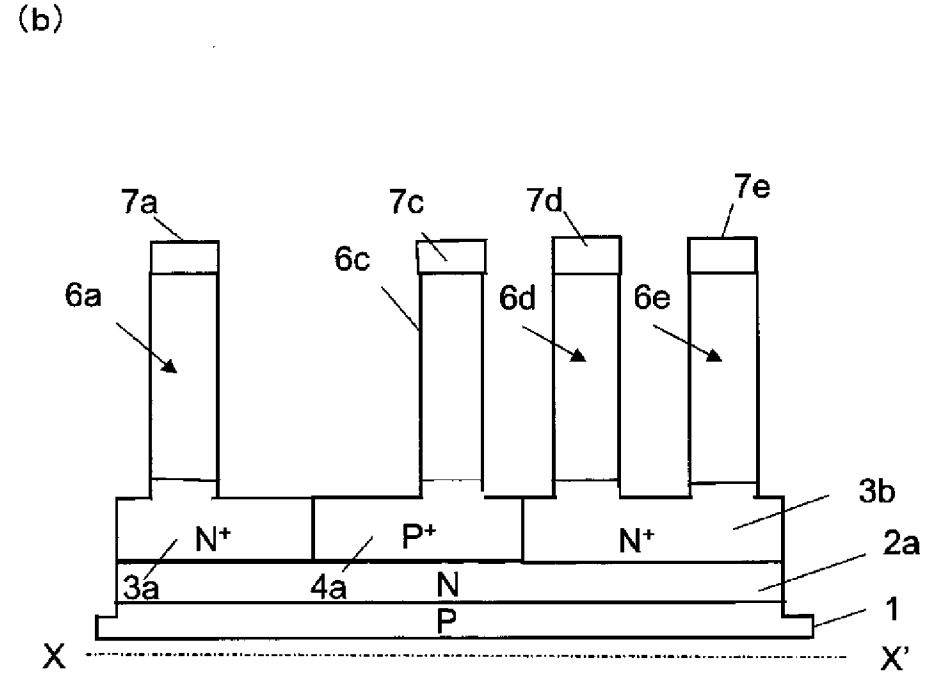

(a)
4
Y'
7a
7c
7d
7e
X
X'
P+
N+
3
P+
7f
7g
7h
Y
5
7j
(b)
7a
7c
7d
7e
6a
6c
6d
6e
N+
P+
N+
2
3
4
N
1
P
X
X'
(c)
Y'
2
6c
4
P+
7c
3
N+
N
P
P+
5
7j
6h
1
Y

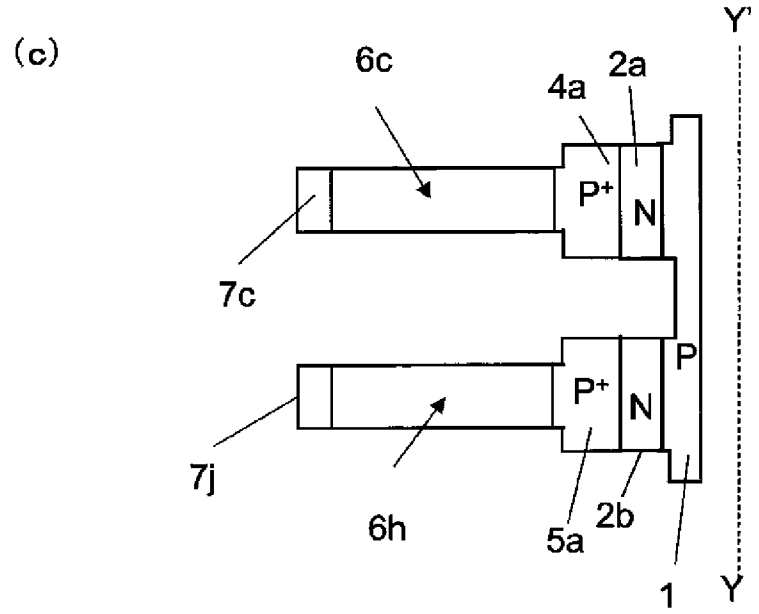
[図1X]


(a)
6a
33a
Y'
30b
6e
30a
X
X'
1
30c
6f
33b
Y
6j
30d
(b)
33a
32a
30a
7a
7c
7d
7e
30b
6c
6a
6d
6e
31b
31a
3b
N+
P+
N+
2a
3a
4a
N
1
P
X
X'
(c)
Y'
30b
6c
31b
4a
2a
33a
P+
N
7c
P
P+
N
33b
7j
30c
6h
31c
5a
2b
1
Y

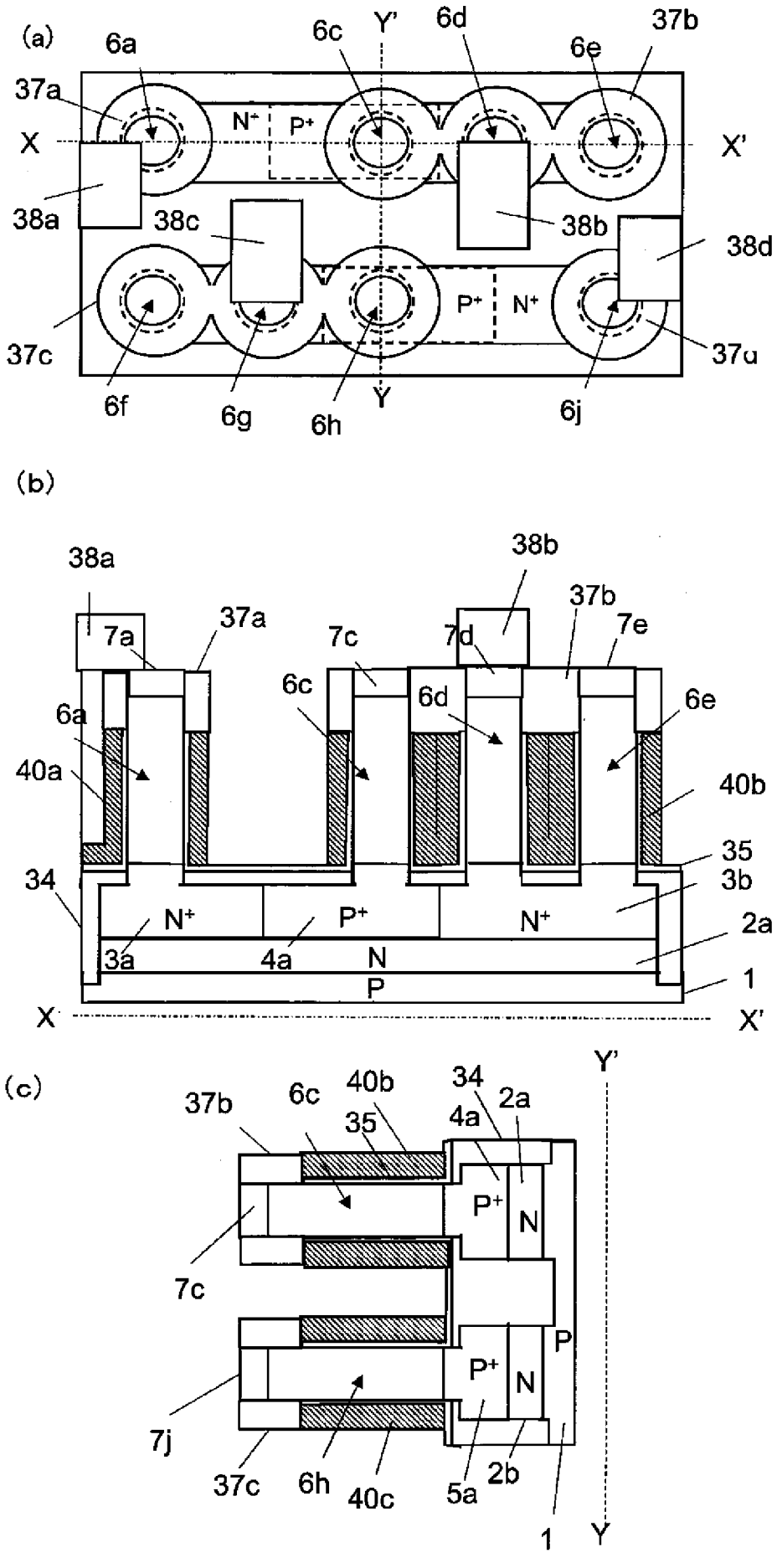
[図1Y]


(a)
6a
6c
Y'
6d
6e
30a
X
N+
P-
N+
X'
1
N+
P+
N+
30c
30d
6f
6g
6h
Y
6j

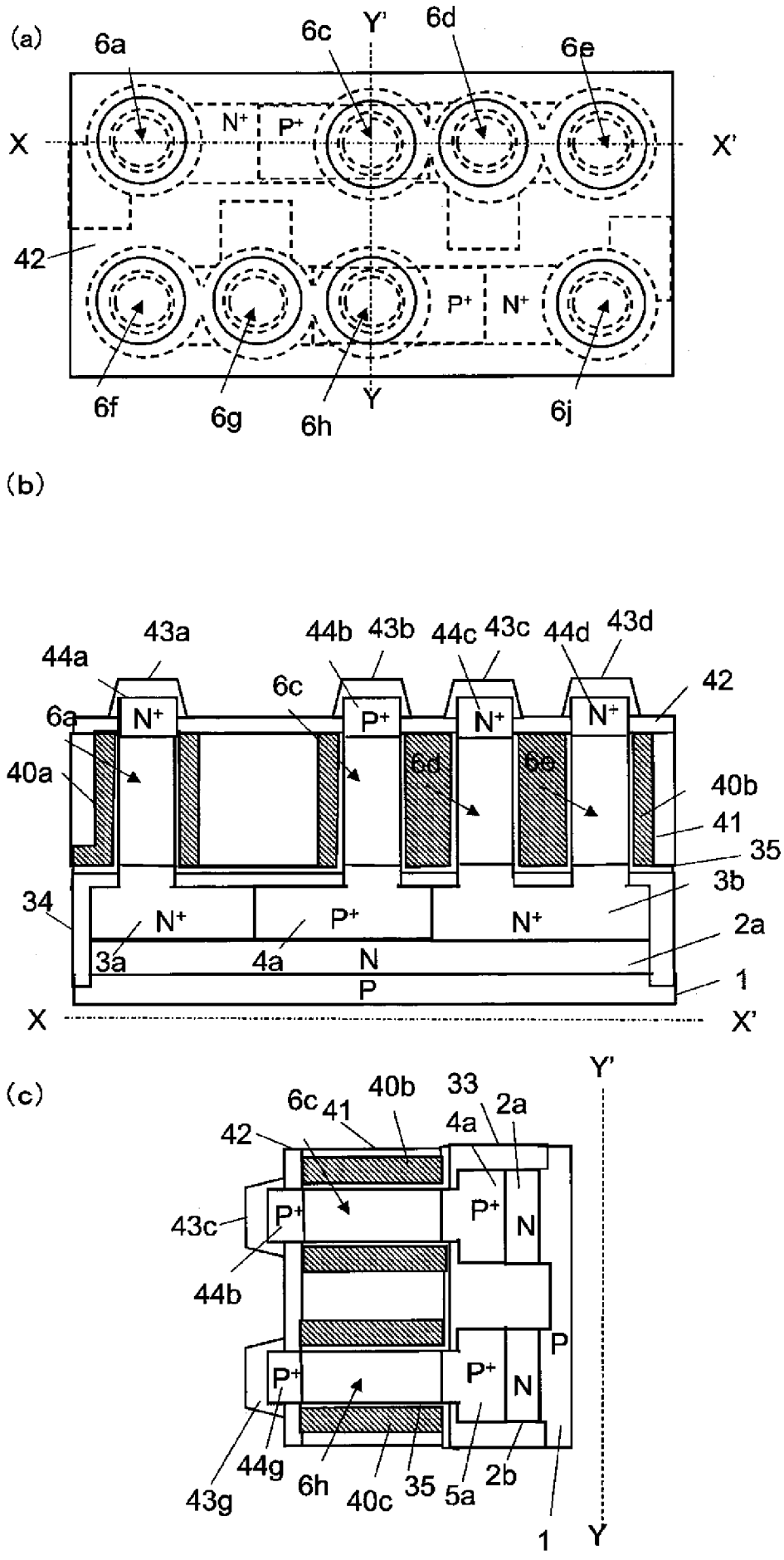

(b)
7a
7c
7d
7e
6c
6a
6d
6e
3b
N+
P+
N+
2a
3a
4a
N
1
P
X
X'


(c)
Y'
6c
2a
4a
P+
N
7c
P
P+
N
7j
6h
5a
2b
1
Y

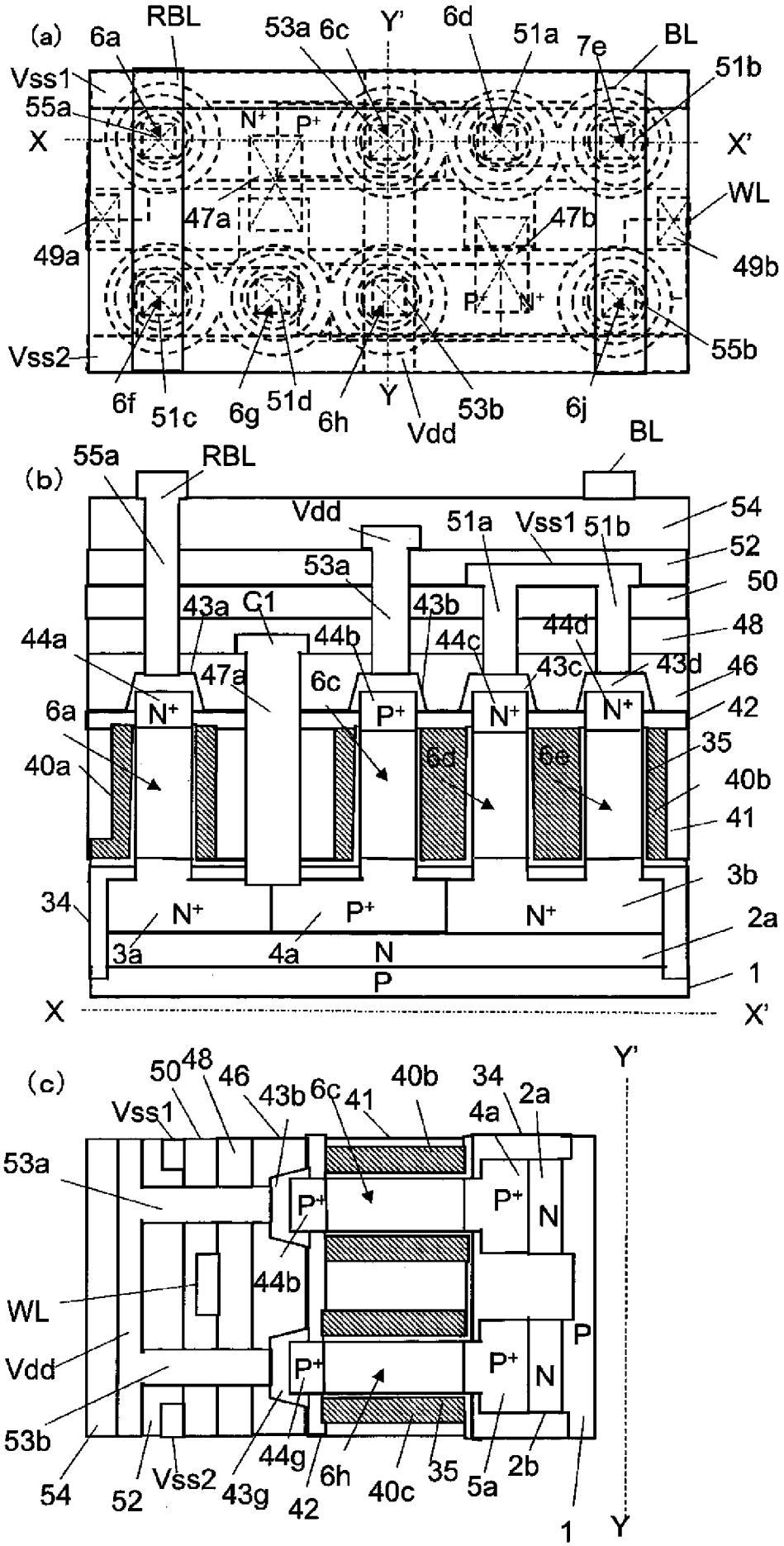
[図1Z]


(a)
6a
6c
Y'
6d
6e
37b
37a
X
N+
P+
X'
38a
38c
38b
38d
P+
N+
37c
37d
6f
6g
6h
Y
6j
(b)
38a
38b
37b
7a
37a
7c
7d
7e
6c
6d
6e
6a
40a
40b
35
34
3b
N+
P+
N+
2a
3a
4a
N
P
1
X
X'
(c)
Y'
37b
6c
40b
34
2a
35
4a
P+
N
7c
P
P+
N
7j
37c
6h
40c
5a
2b
1
Y

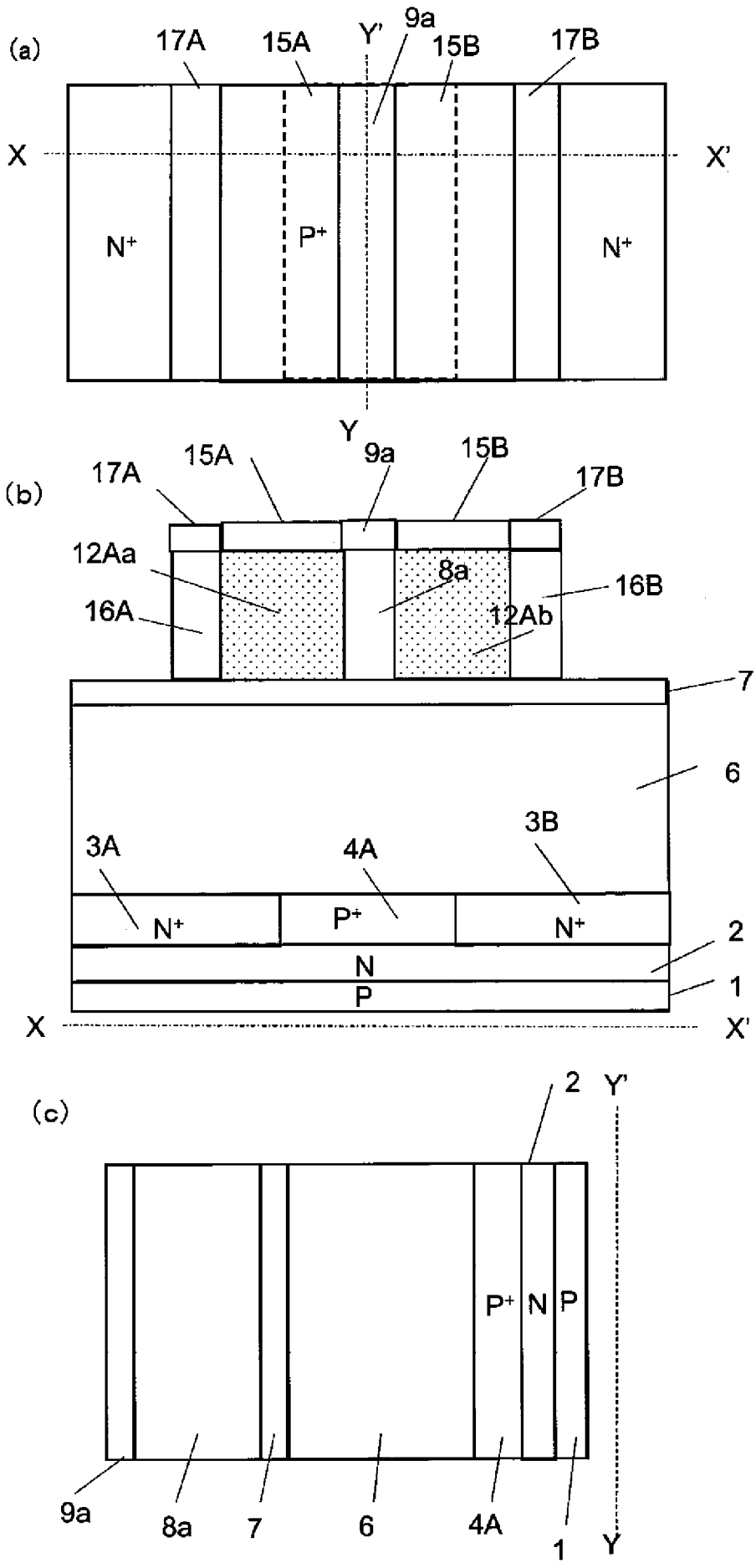
[図1XX]


(a)
6a
6c
Y'
6d
6e
X
X'
N+
P+
42
P+
N+
6f
6g
6h
Y
6j
(b)
43a
44b
43b
44c
43c
44d
43d
44a
6c
42
6a
N+
P+
N+
N+
40a
6d
6e
40b
41
35
3b
34
N+
P+
N+
2a
3a
4a
N
1
P
X
X'
(c)
Y'
6c
41
40b
33
2a
4a
42
P+
P+
N
43c
44b
P
P+
P+
N
44g
6h
40c
35
5a
2b
43g
1
Y

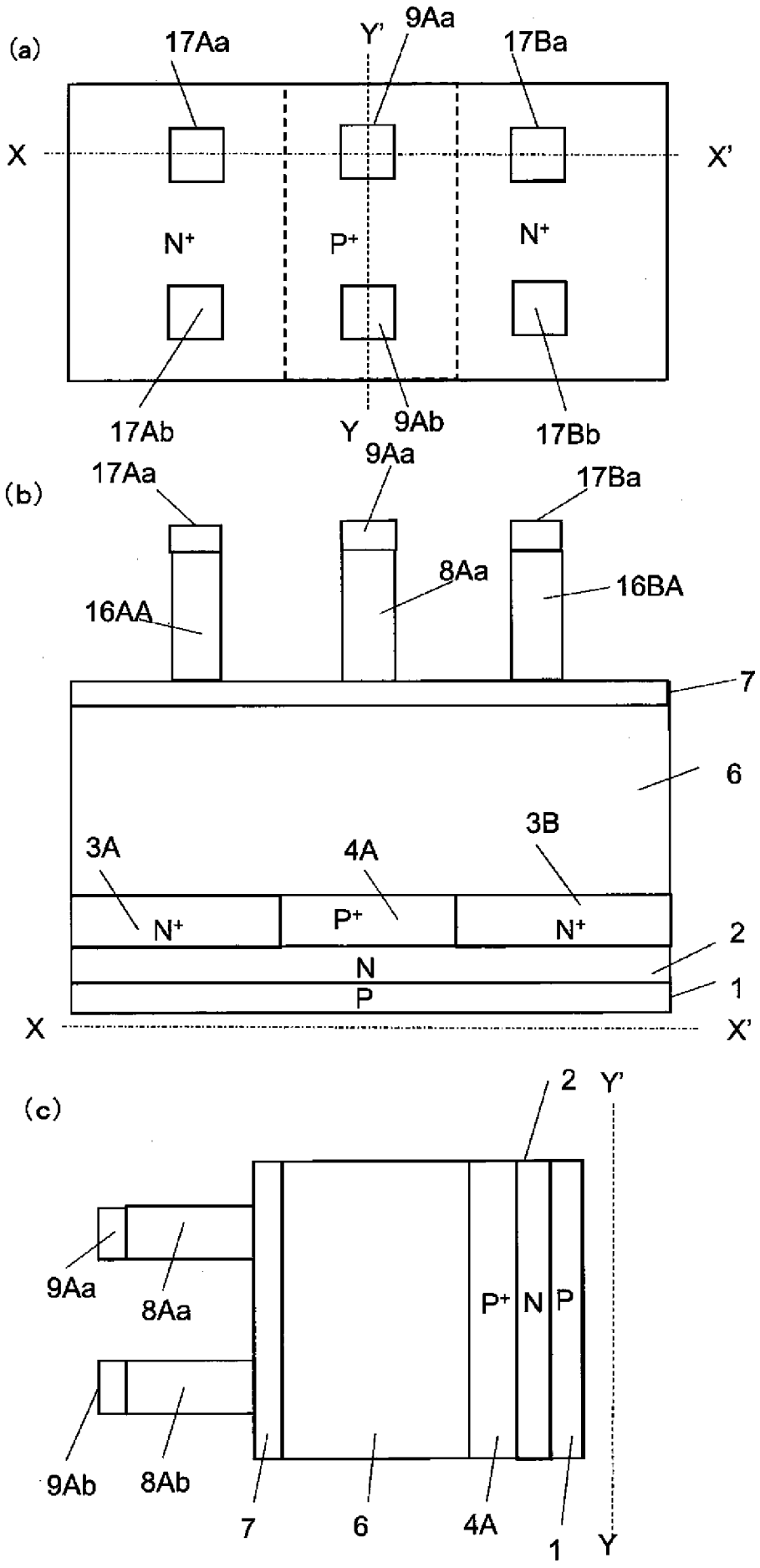
[図1YY]


(a)
6a
RBL
53a
6c
Y'
6d
51a
7e
BL
51b
Vss1
55a
X
X'
WL
47a
47b
49a
49b
Vss2
55b
6f
51c
6g
51d
6h
Y
Vdd
53b
6j
(b)
55a
RBL
BL
Vdd
51a
Vss1
51b
54
52
53a
50
43a
C1
43b
44d
48
44a
44b
44c
43c
43d
46
47a
6c
6a
42
40a
6d
6e
35
40b
41
3b
34
2a
3a
4a
N
P
1
X
X'
(c)
Y'
50
48
46
43b
6c
41
40b
34
2a
Vss1
4a
53a
N
WL
44b
P
Vdd
53b
54
52
Vss2
43g
44g
6h
42
40c
35
5a
2b
1
Y

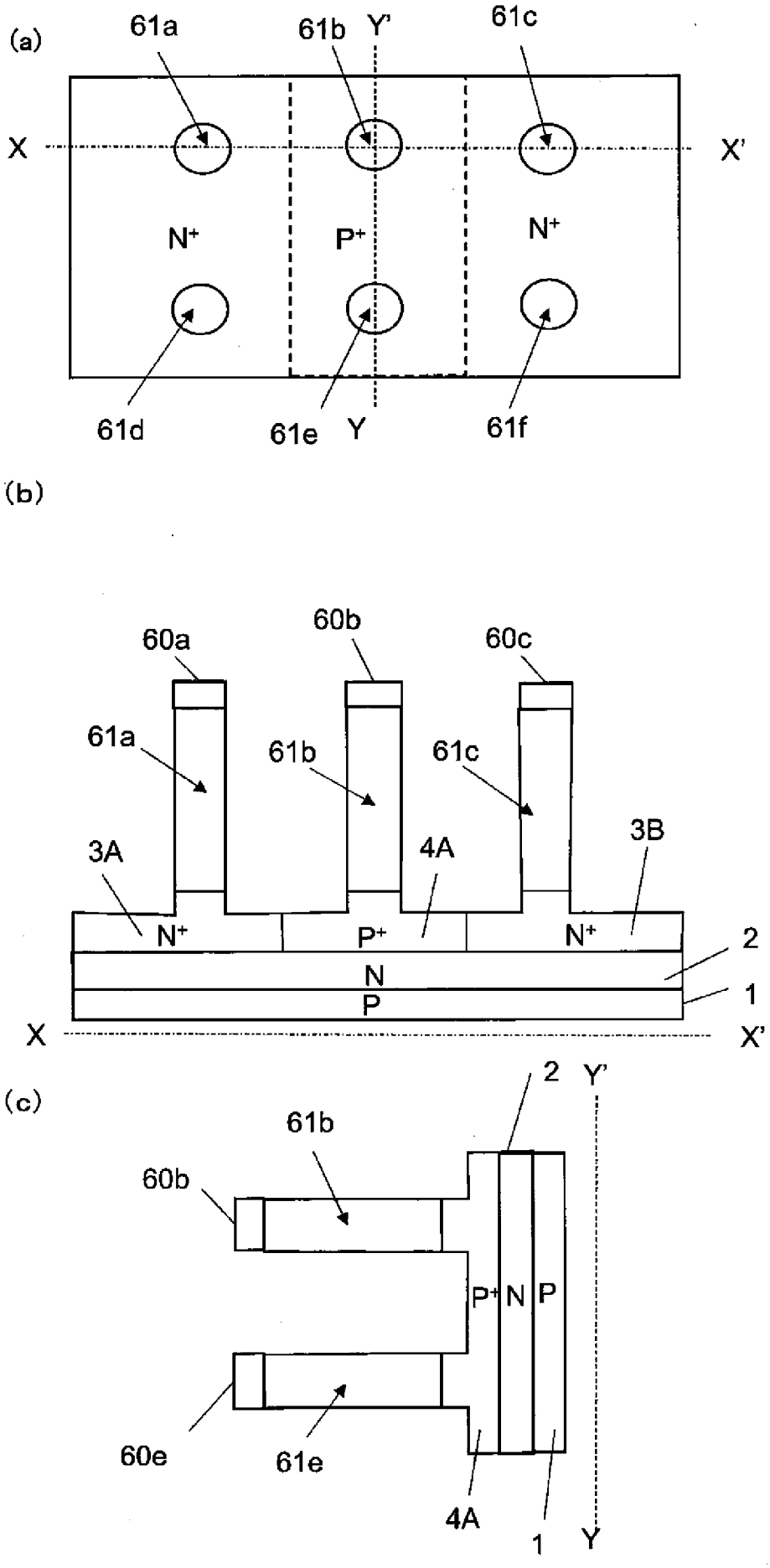
[図2A]


(a)
17A
15A
Y'
9a
15B
17B
X
X'
N+
P+
N+
Y
(b)
17A
15A
9a
15B
17B
12Aa
8a
16B
16A
12Ab
7
6
3B
3A
4A
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
P+
N
P
9a
8a
7
6
4A
1
Y

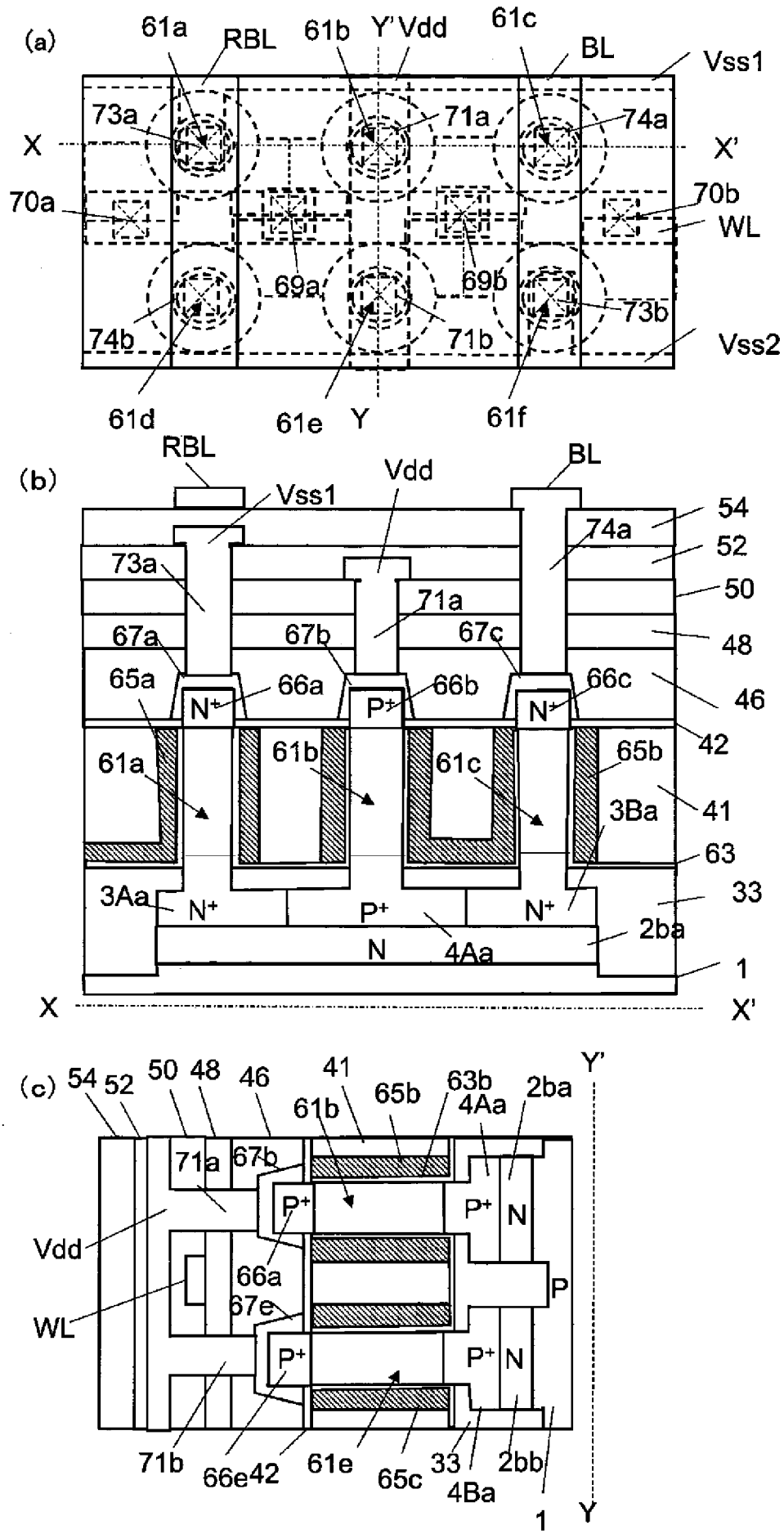
[図2B]


(a)
17Aa
Y'
9Aa
17Ba
X
X'
N+
P+
N+
17Ab
Y
9Ab
17Bb
(b)
17Aa
9Aa
17Ba
8Aa
16BA
16AA
7
6
3B
3A
4A
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
9Aa
8Aa
P+
N
P
9Ab
8Ab
7
6
4A
1
Y

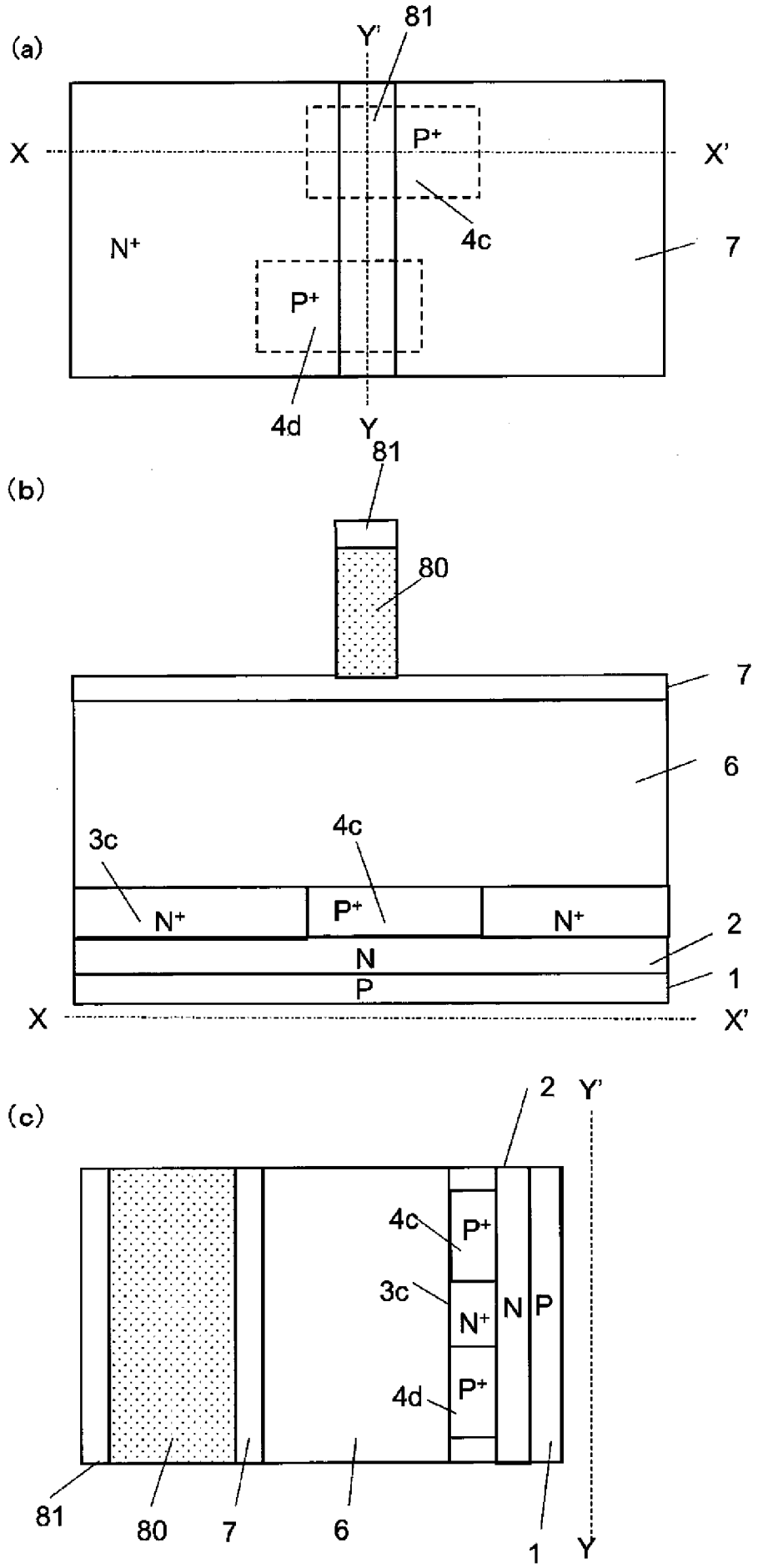
[図2C]


(a)
61a
61b
Y'
61c
X
X'
N+
P+
N+
61d
61e
Y
61f
(b)
60a
60b
60c
61a
61b
61c
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
61b
60b
P+
N
P
60e
61e
4A
1
Y

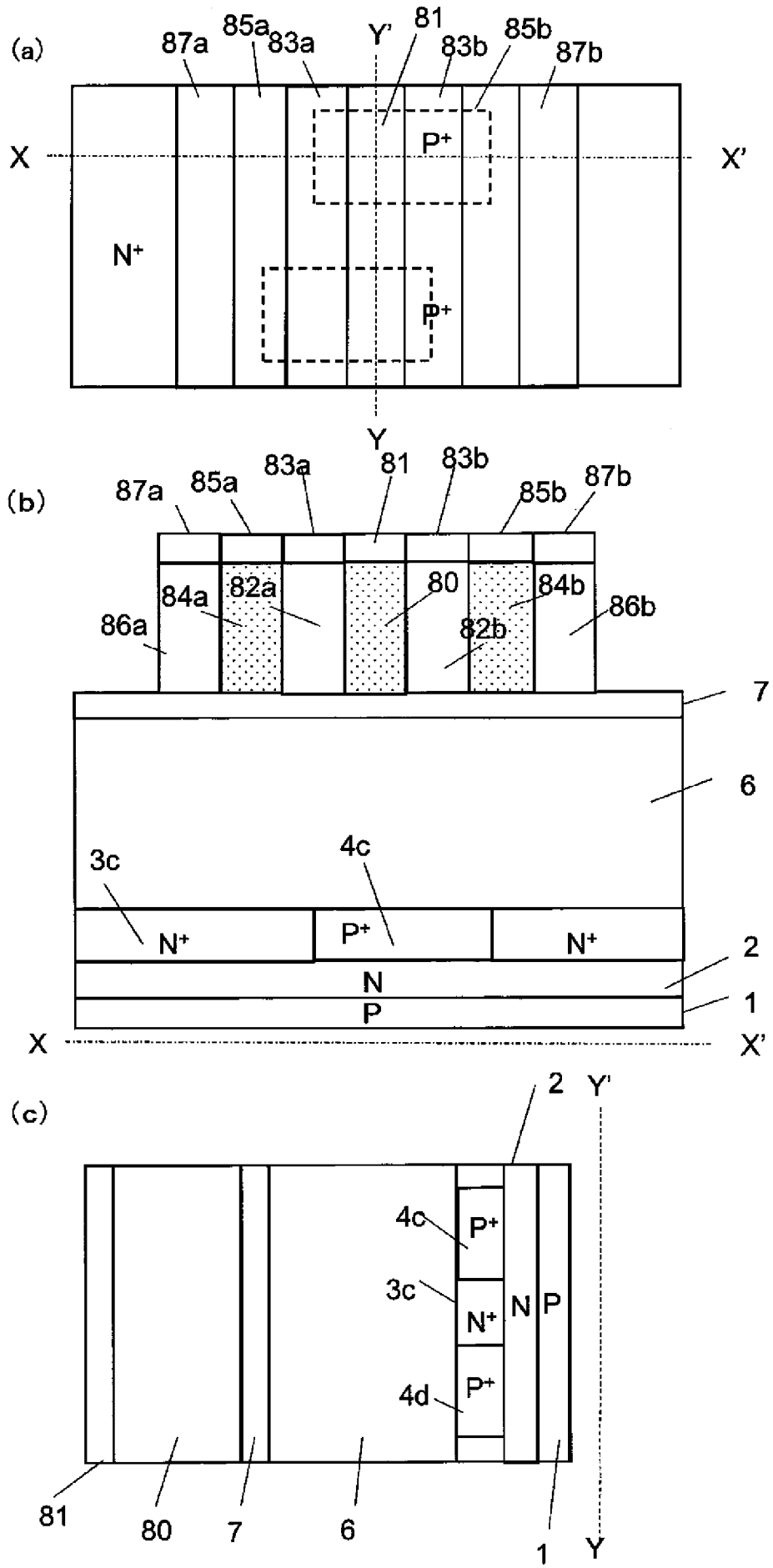
[図2D]


(a)
61a
RBL
61b
Y'
Vdd
61c
BL
Vss1
73a
71a
74a
X
X'
70a
70b
WL
69a
69b
73b
74b
71b
Vss2
61d
61e
Y
61f
(b)
RBL
Vdd
BL
Vss1
54
74a
52
73a
71a
50
67a
67b
67c
48
65a
66a
66b
66c
46
N+
P+
N+
42
61a
61b
61c
65b
3Ba
41
63
3Aa
N+
P+
N+
33
2ba
N
4Aa
1
X
X'
(c)
54
52
50
48
46
41
65b
63b
4Aa
2ba
Y'
61b
71a
67b
P+
P+
N
Vdd
66a
P
WL
67e
P+
P+
N
71b
66e
42
61e
65c
33
4Ba
2bb
1
Y

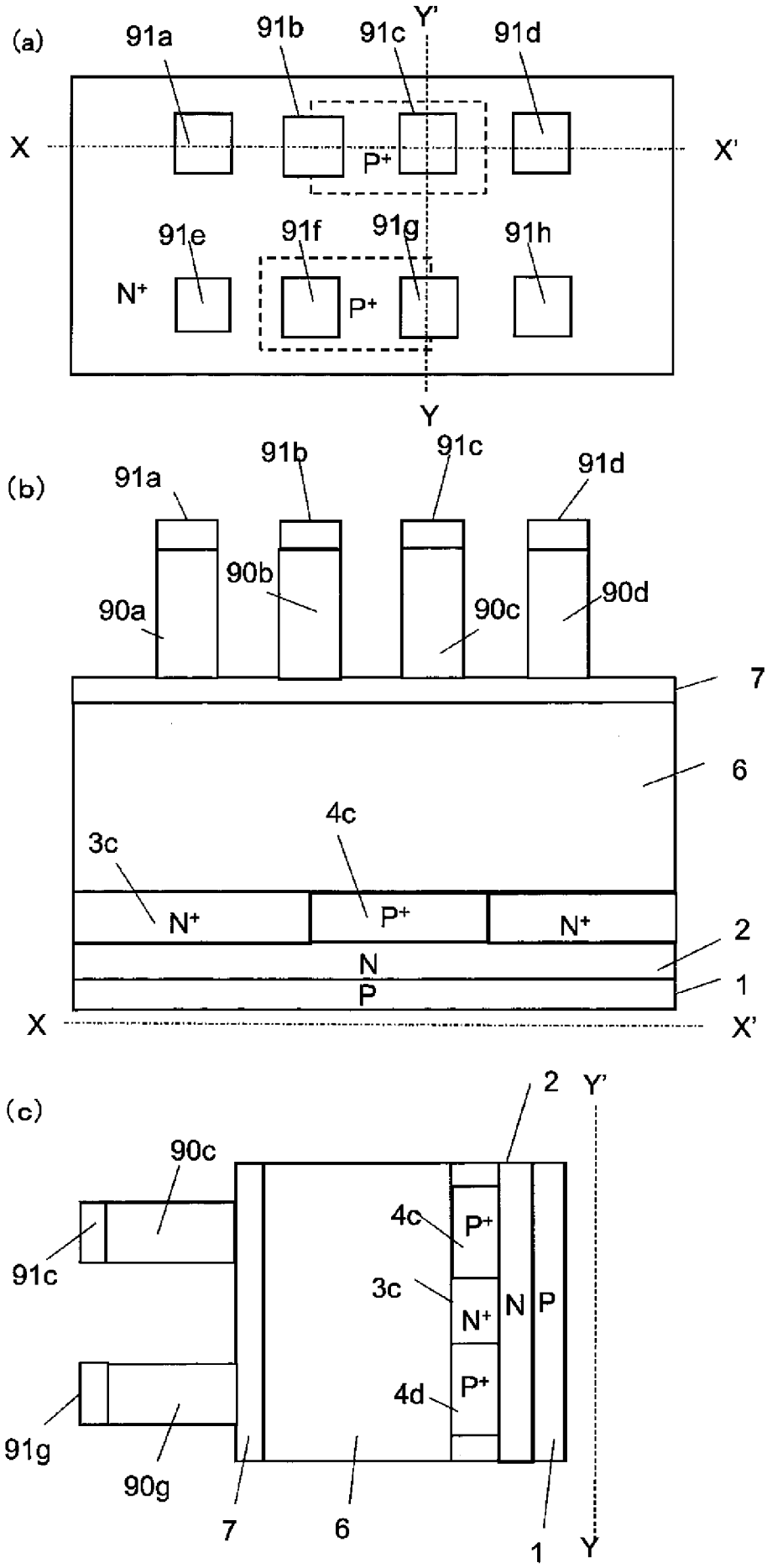
[図3A]


(a)
Y'
81
X
X'
P+
4c
N+
7
P+
4d
Y
(b)
81
80
7
6
3c
4c
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4c
P+
3c
N+
N
P
4d
P+
81
80
7
6
1
Y

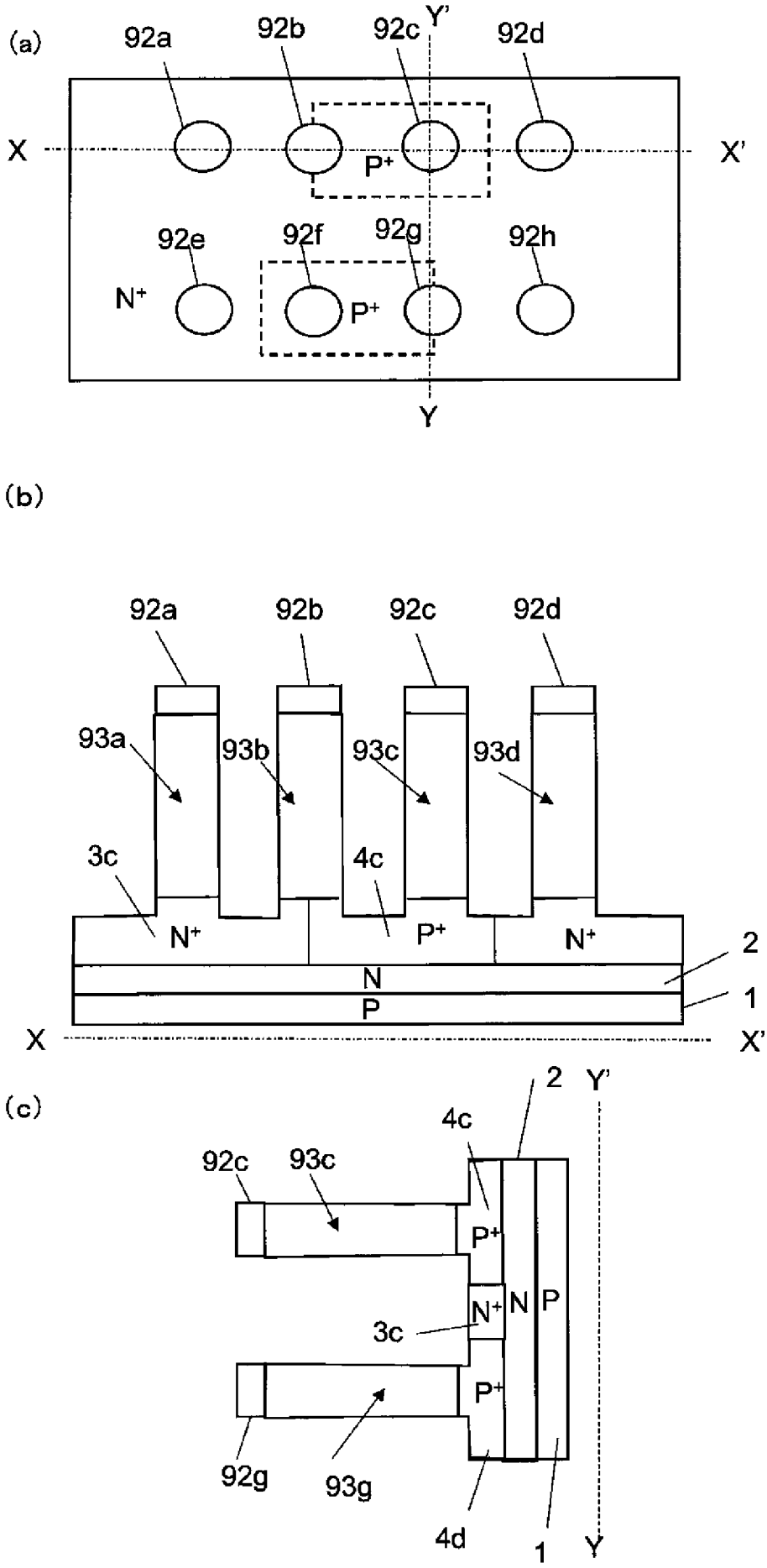
[図3B]


(a)
87a
85a
83a
Y'
81
83b
85b
87b
X
X'
P+
N+
P+
Y
(b)
87a
85a
83a
81
83b
85b
87b
84a
82a
80
84b
86b
86a
82b
7
6
3c
4c
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4c
P+
3c
N+
N
P
4d
P+
81
80
7
6
1
Y

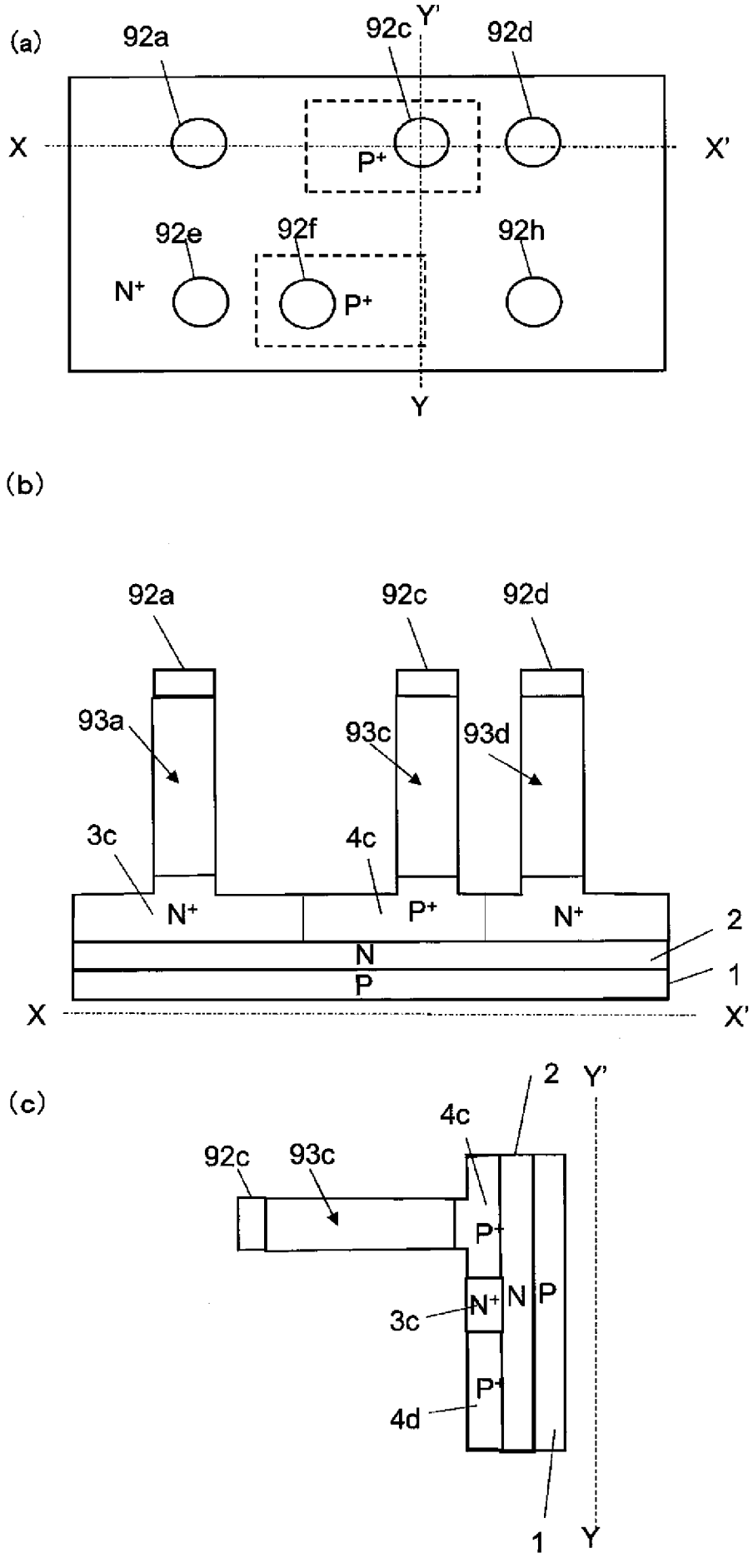
[図3C]


(a)
91a
91b
91c
Y'
91d
X
X'
P+
91e
91f
91g
91h
N+
P+
Y
(b)
91a
91b
91c
91d
90a
90b
90c
90d
7
6
4c
3c
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
90c
91c
4c
P+
3c
N+
N
P
4d
P+
91g
90g
7
6
1
Y

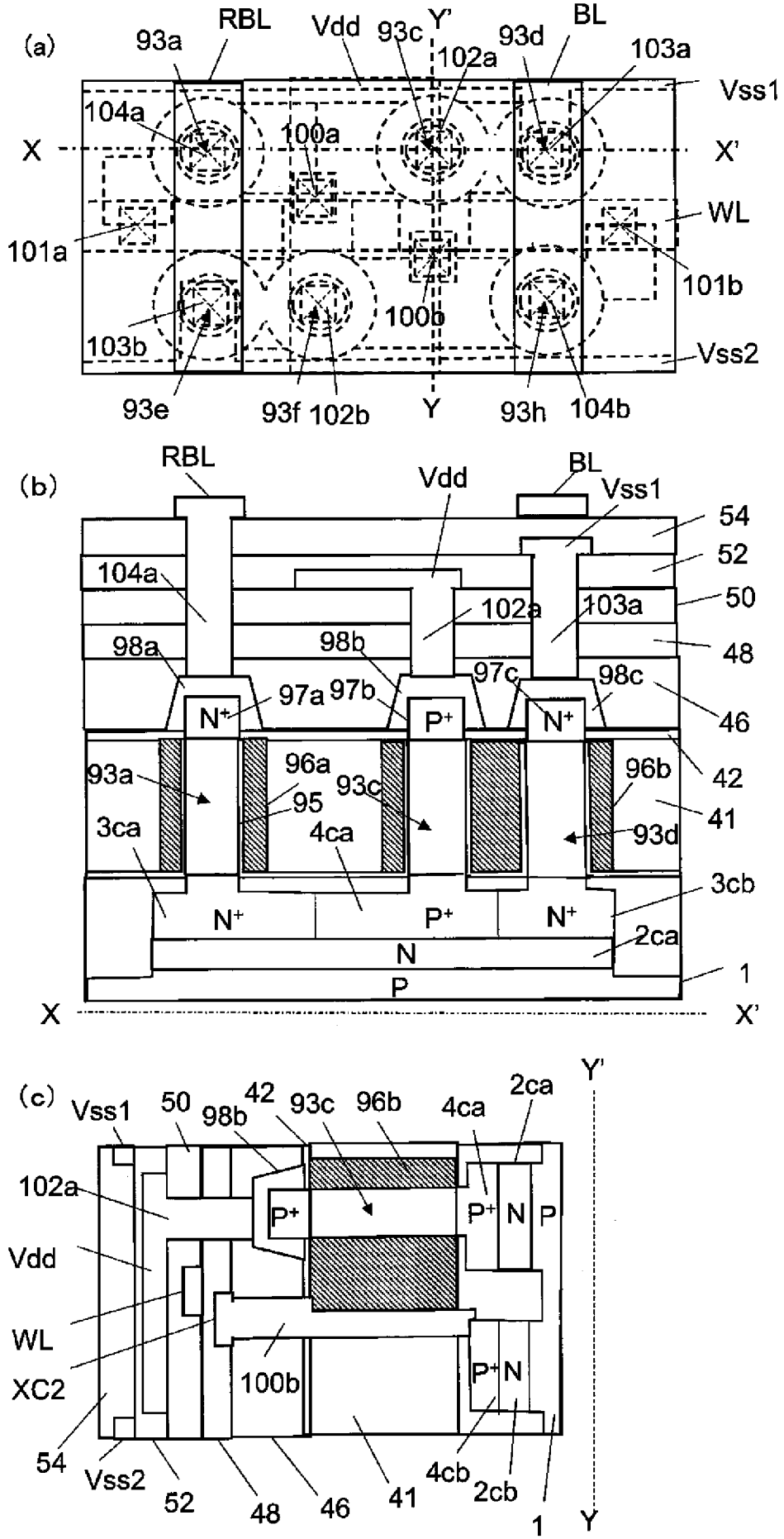
[図3D]


(a)
92a
92b
92c
92d
Y'
X
X'
P+
92e
92f
92g
92h
N+
P+
Y
(b)
92a
92b
92c
92d
93a
93b
93c
93d
3c
4c
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4c
92c
93c
P+
N+
N
P
3c
P+
92g
93g
4d
1
Y

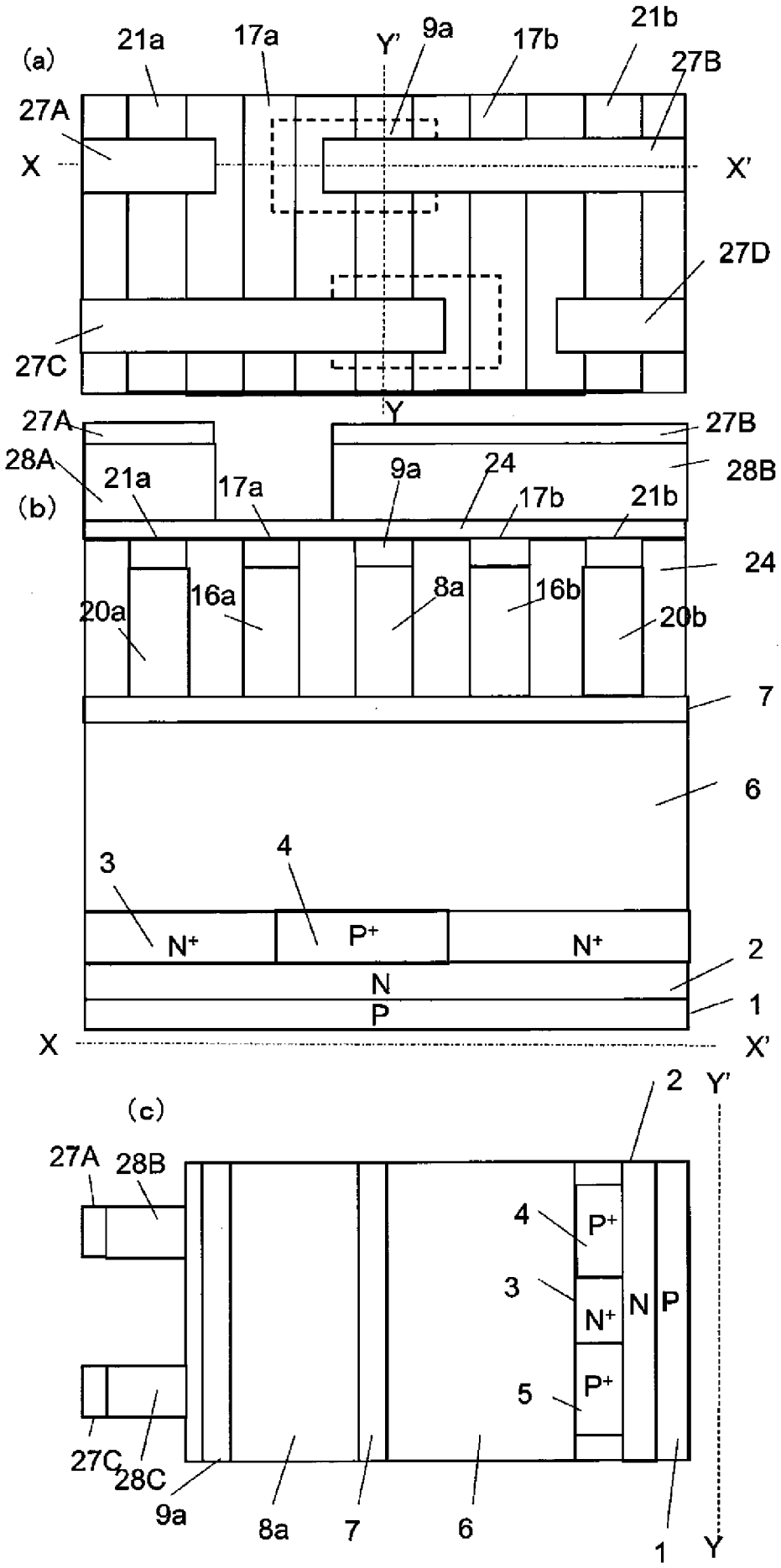
[図3E]


(a)
92a
92c
Y'
92d
X
X'
P+
92e
92f
92h
N+
P+
Y
(b)
92a
92c
92d
93a
93c
93d
3c
4c
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4c
92c
93c
P+
N+
N
P
3c
P+
4d
1
Y

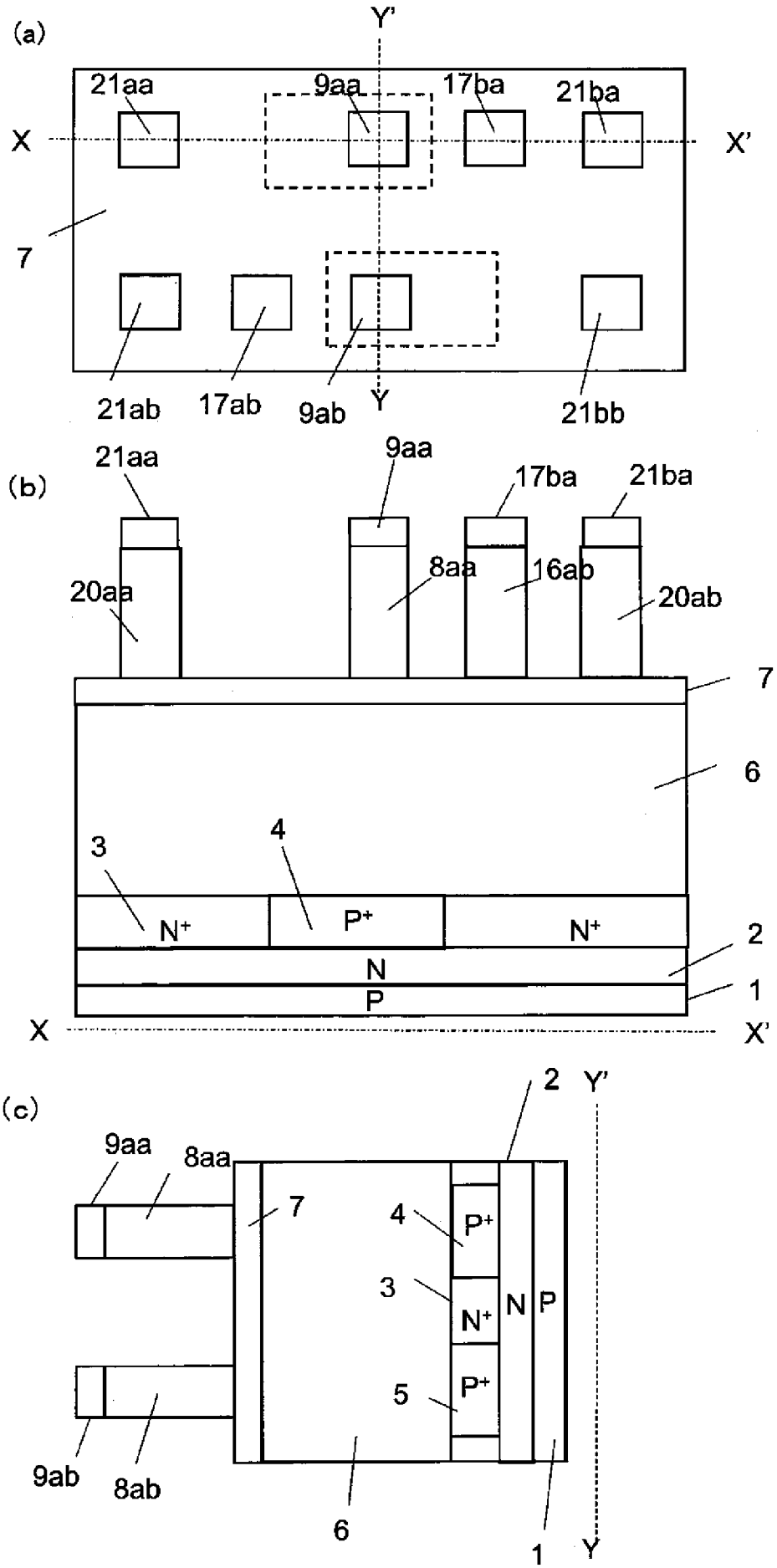
[図3F]


(a)
RBL
Vdd
93c
Y'
BL
93a
102a
93d
103a
Vss1
104a
100a
X
X'
WL
101a
101b
100b
103b
Vss2
93e
93f
102b
Y
93h
104b
(b)
RBL
Vdd
BL
Vss1
54
52
104a
102a
103a
50
98a
98b
48
97c
98c
97a
97b
N+
P+
N+
46
42
93a
96a
96b
93c
95
41
3ca
4ca
93d
3cb
N+
P+
N+
2ca
N
1
P
X
X'
(c)
Y'
Vss1
50
98b
42
93c
96b
4ca
2ca
102a
P+
P+
N
P
Vdd
WL
XC2
100b
P+
N
54
Vss2
52
48
46
41
4cb
2cb
1
Y

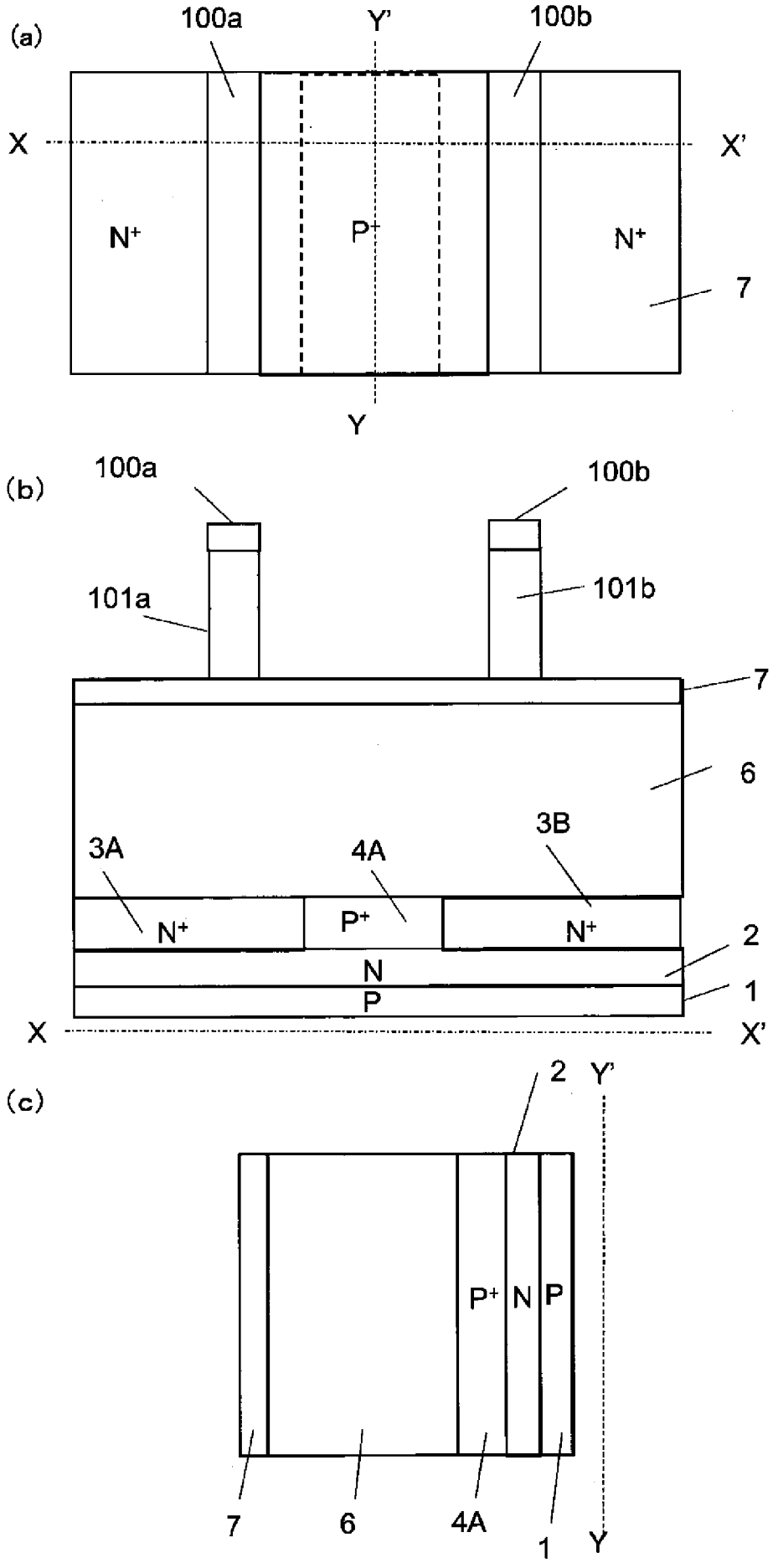
[図4A]


(a)
21a
17a
Y'
9a
17b
21b
27B
27A
X
X'
27D
27C
Y
27A
27B
28A
21a
17a
9a
24
28B
(b)
17b
21b
24
16a
8a
16b
20a
20b
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
27A
28B
4
P+
3
N+
N
P
5
P+
27C
28C
9a
8a
7
6
1
Y

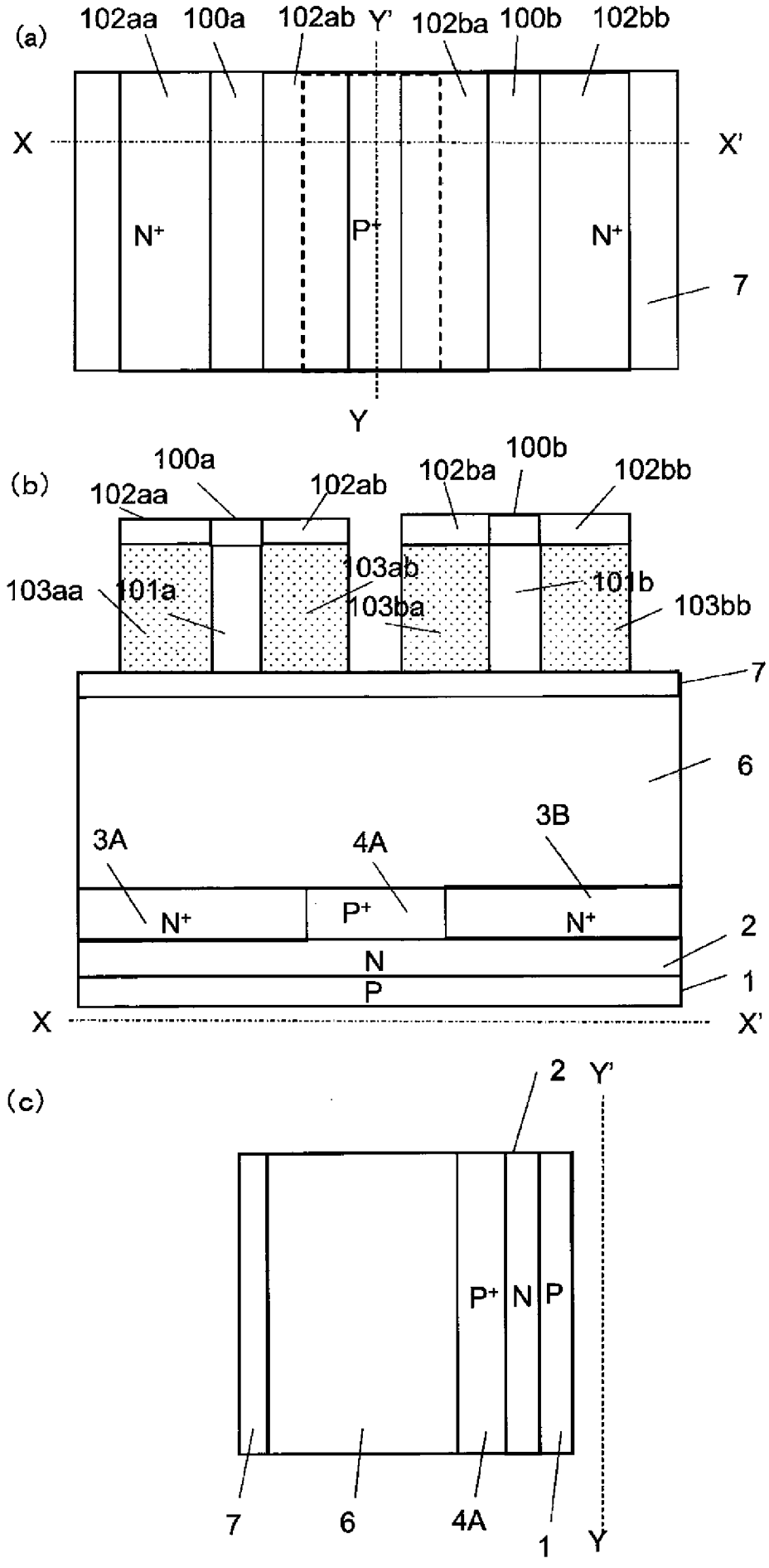
[図4B]


(a)
Y'
21aa
9aa
17ba
21ba
X
X'
7
21ab
17ab
9ab
Y
21bb
(b)
21aa
9aa
17ba
21ba
8aa
16ab
20aa
20ab
7
6
3
4
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
9aa
8aa
7
4
P+
3
N+
N
P
5
P+
9ab
8ab
6
1
Y

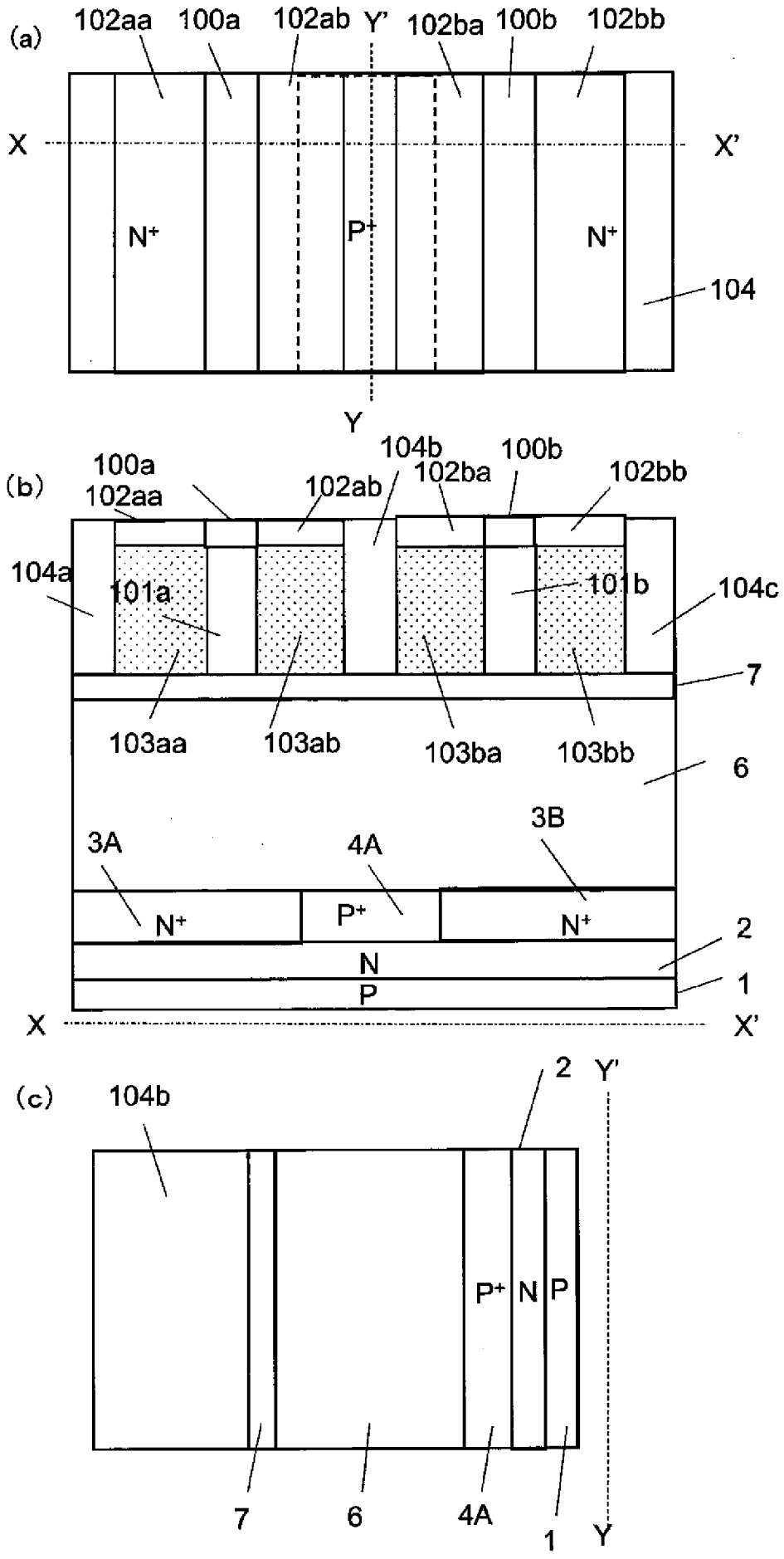
[図5A]


(a)
100a
Y'
100b
X
X'
N+
P+
N+
7
Y
(b)
100a
100b
101a
101b
7
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
P+
N
P
7
6
4A
1
Y

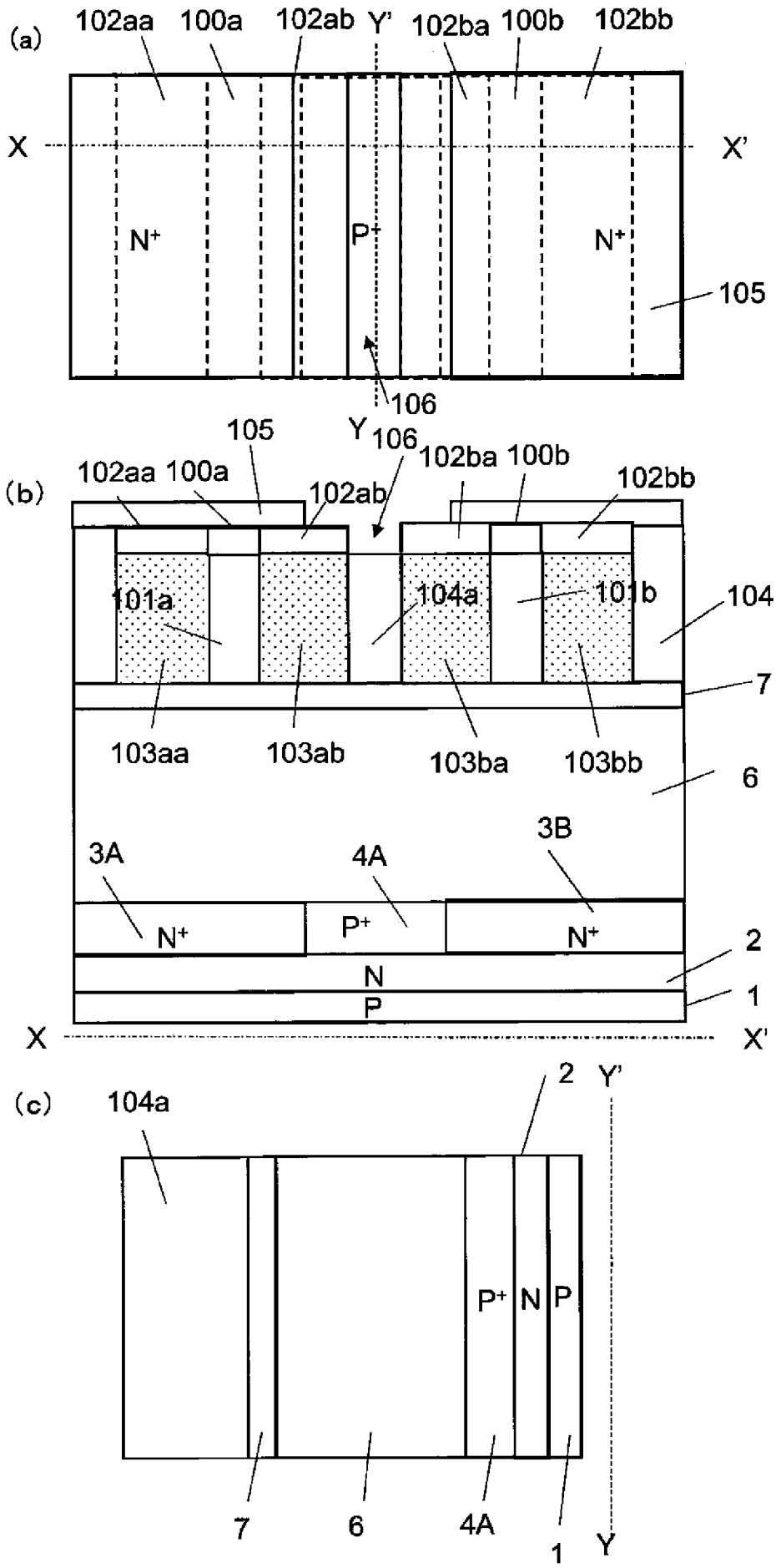
[図5B]


(a)
102aa
100a
102ab
Y'
102ba
100b
102bb
X
X'
N+
P+
N+
7
Y
(b)
100a
102aa
102ab
102ba
100b
102bb
103aa
101a
103ab
103ba
101b
103bb
7
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
P+
N
P
7
6
4A
1
Y

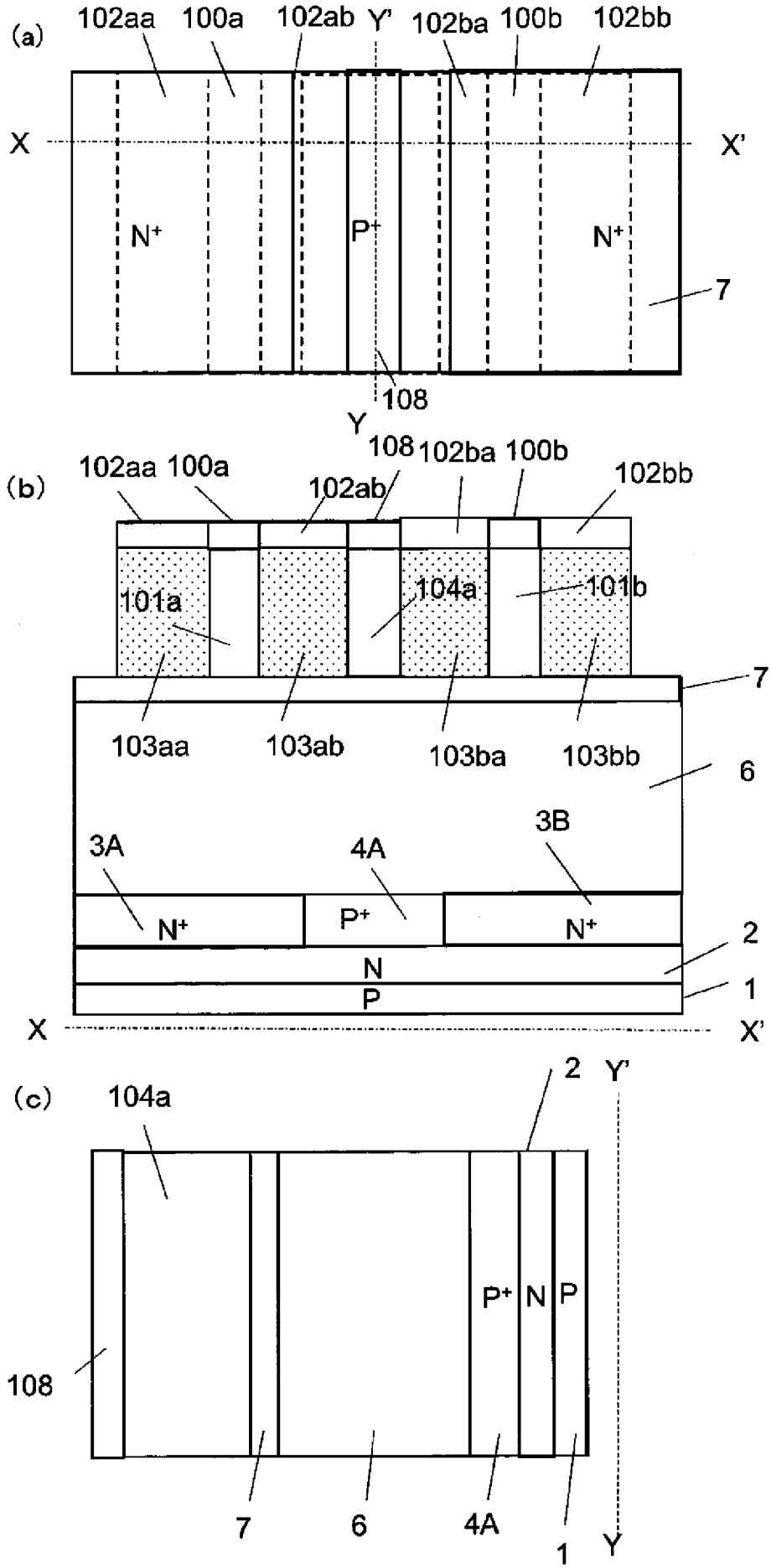
[図5C]


(a)
102aa
100a
102ab
Y'
102ba
100b
102bb
X
X'
N+
P+
N+
104
Y
(b)
100a
102aa
102ab
104b
102ba
100b
102bb
104a
101a
101b
104c
7
103aa
103ab
103ba
103bb
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
104b
2
Y'
P+
N
P
7
6
4A
1
Y

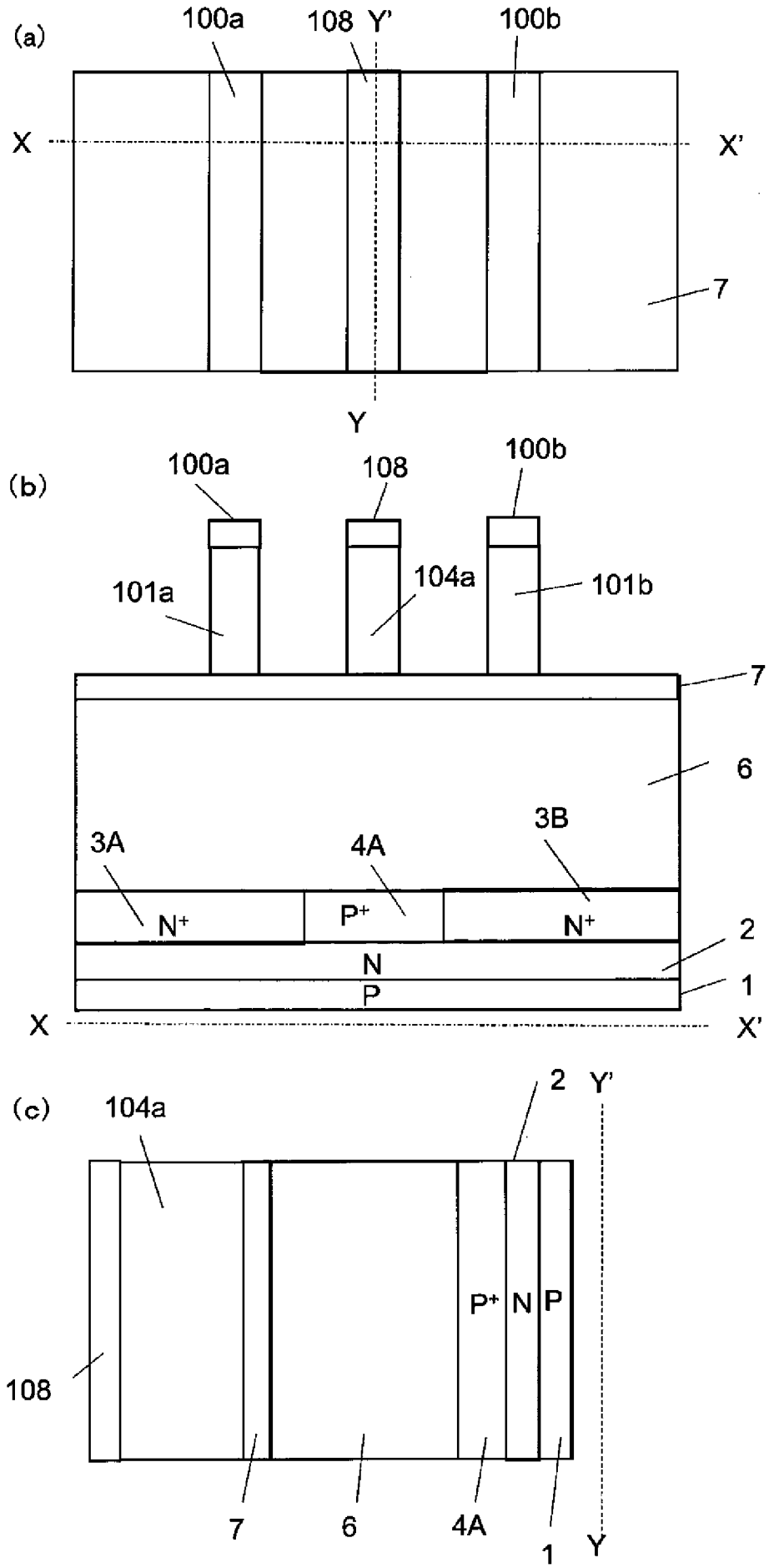
[図5D]


(a)
102aa
100a
102ab
Y'
102ba
100b
102bb
X
X'
N+
P+
N+
105
106
(b)
105
Y
106
102aa
100a
102ab
102ba
100b
102bb
101a
104a
101b
104
7
103aa
103ab
103ba
103bb
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
104a
2
Y'
P+
N
P
7
6
4A
1
Y

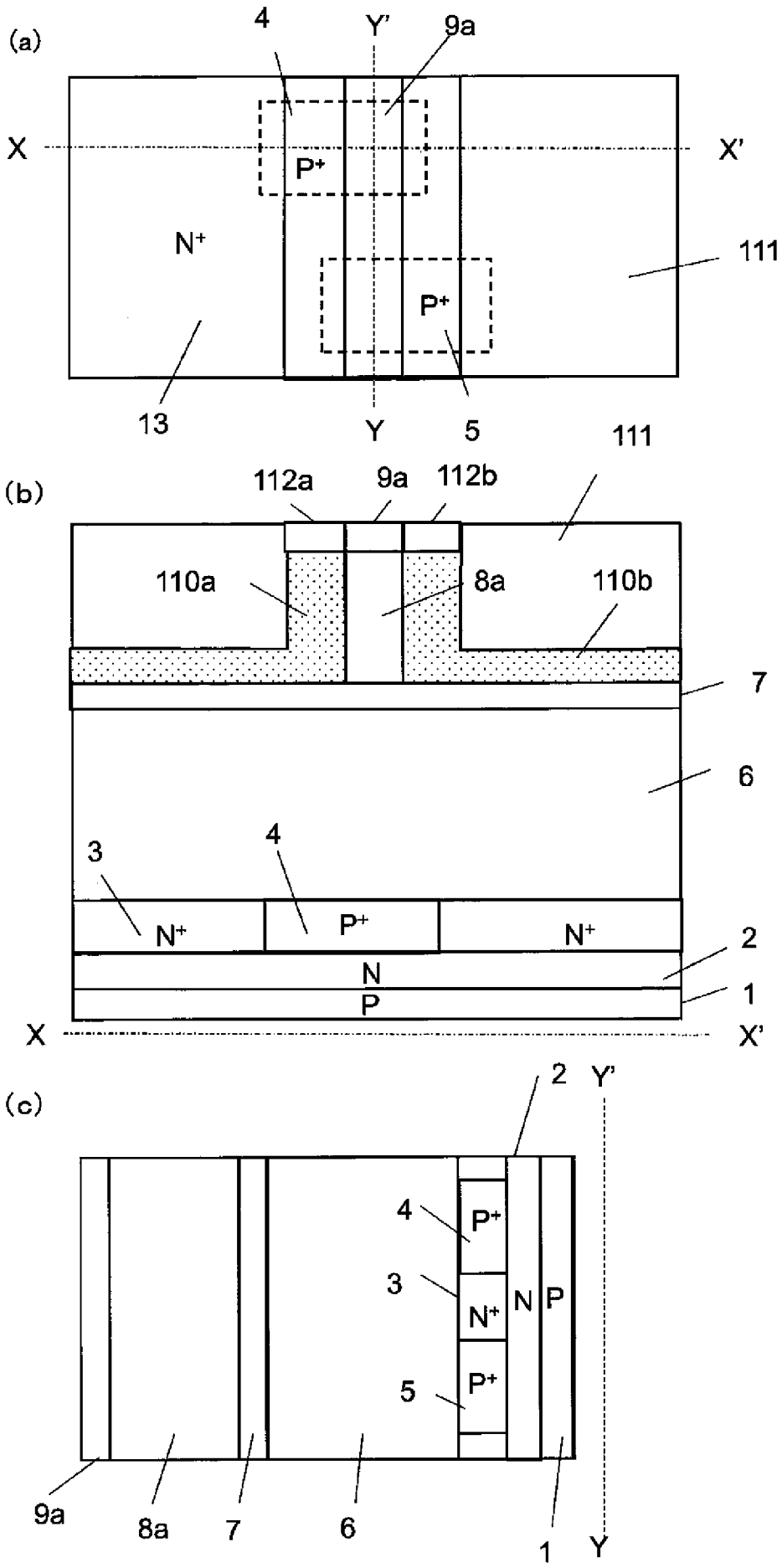
[図5E]


(a)
102aa
100a
102ab
Y'
102ba
100b
102bb
X
X'
N+
P+
N+
7
108
Y
(b)
102aa
100a
102ab
108
102ba
100b
102bb
101a
104a
101b
7
103aa
103ab
103ba
103bb
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
104a
2
Y'
P+
N
P
108
7
6
4A
1
Y

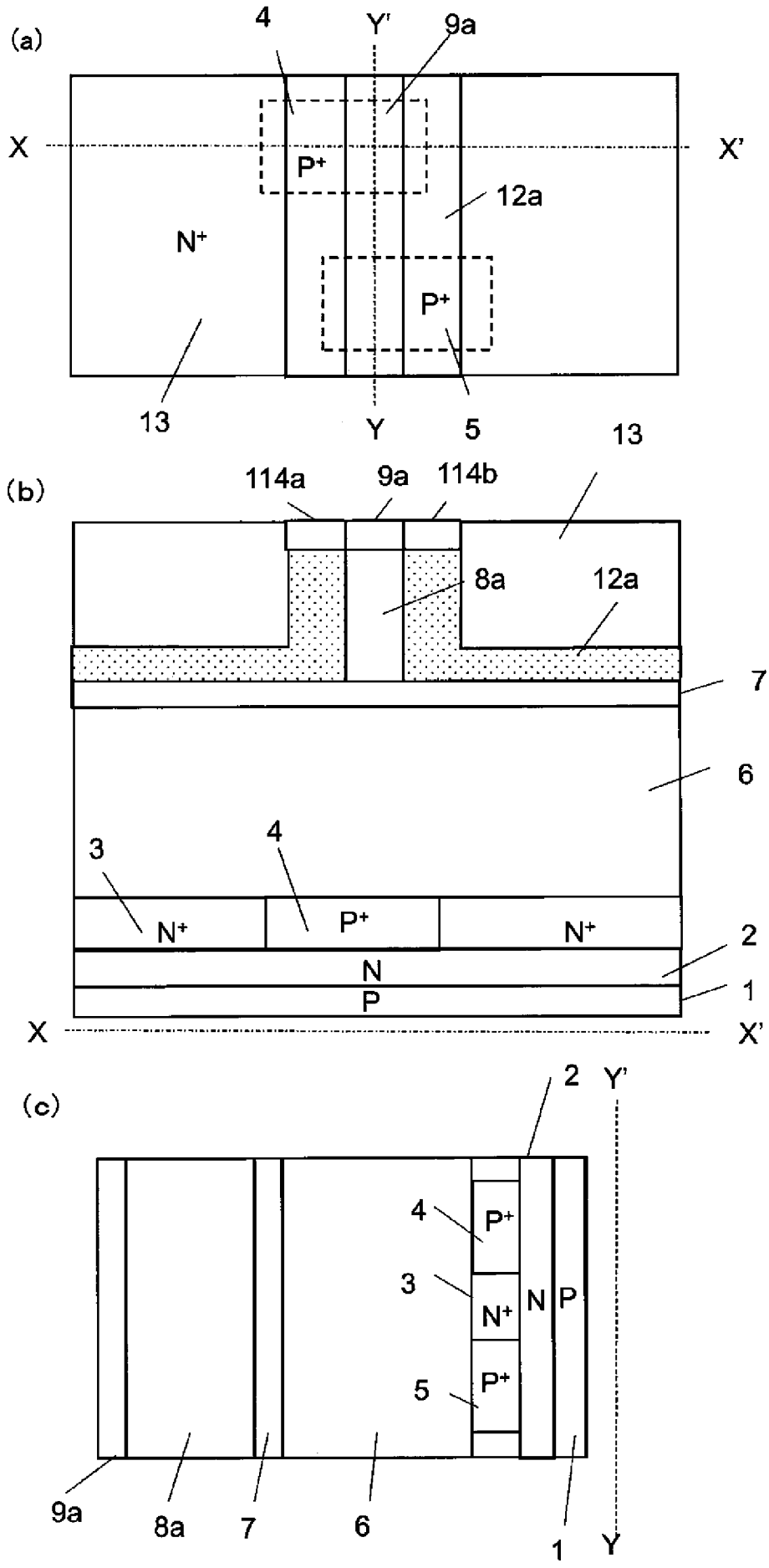
[図5F]


(a)
100a
108
Y'
100b
X
X'
7
Y
(b)
100a
108
100b
101a
104a
101b
7
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
104a
2
Y'
108
P+
N
P
7
6
4A
1
Y

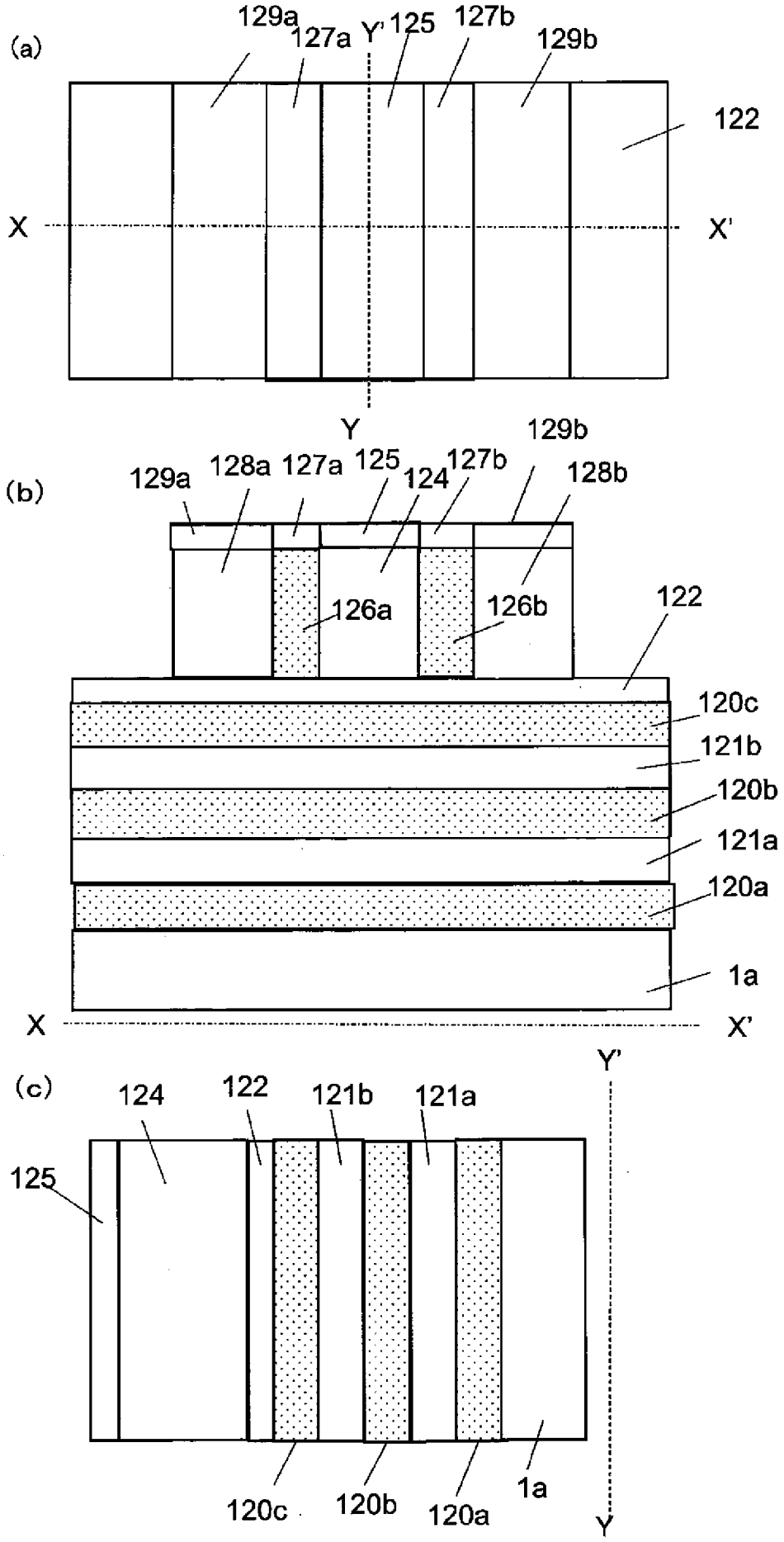
[図6]


(a)
4
Y'
9a
X
X'
P+
N+
111
P+
13
Y
5
111
(b)
112a
9a
112b
110a
8a
110b
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

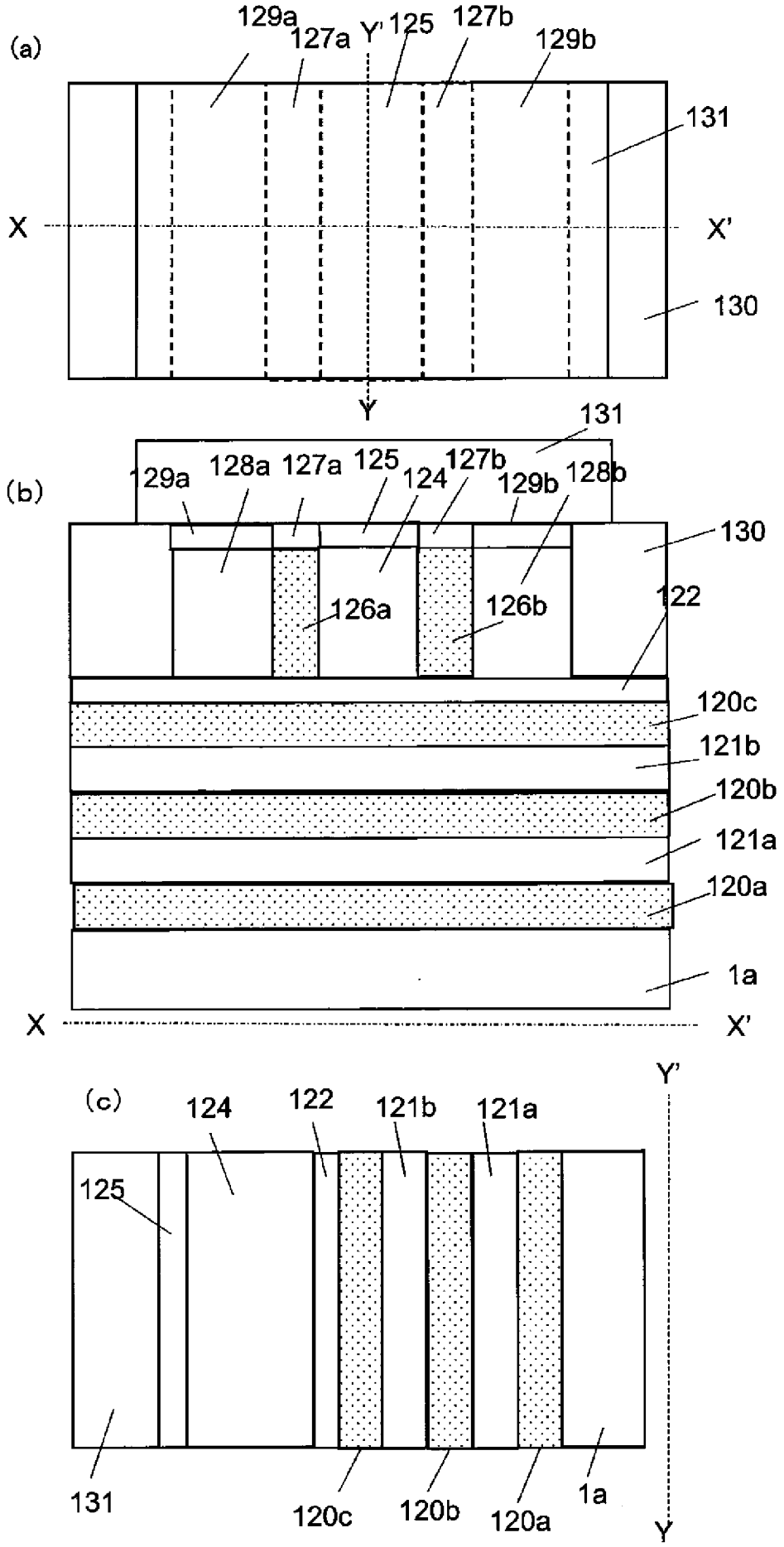
[図7]


(a)
4
Y'
9a
X
X'
P+
12a
N+
P+
13
Y
5
13
(b)
114a
9a
114b
8a
12a
7
6
3
4
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4
P+
3
N+
N
P
5
P+
9a
8a
7
6
1
Y

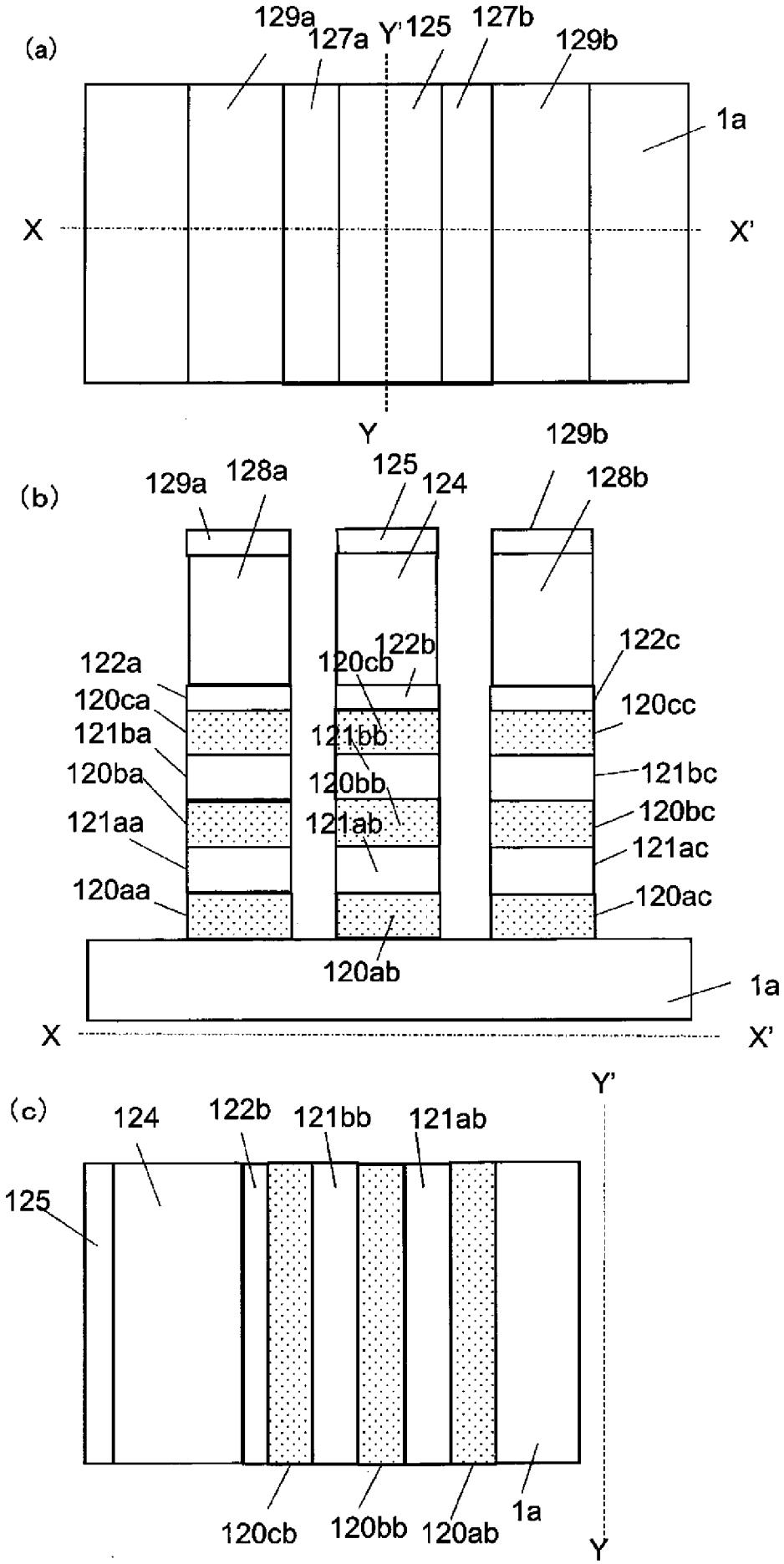
[図8A]


(a)
129a
127a
Y'
125
127b
129b
122
X
X'
Y
(b)
129a
128a
127a
125
124
127b
129b
128b
126a
126b
122
120c
121b
120b
121a
120a
1a
X
X'
Y'
(c)
124
122
121b
121a
125
120c
120b
120a
1a
Y

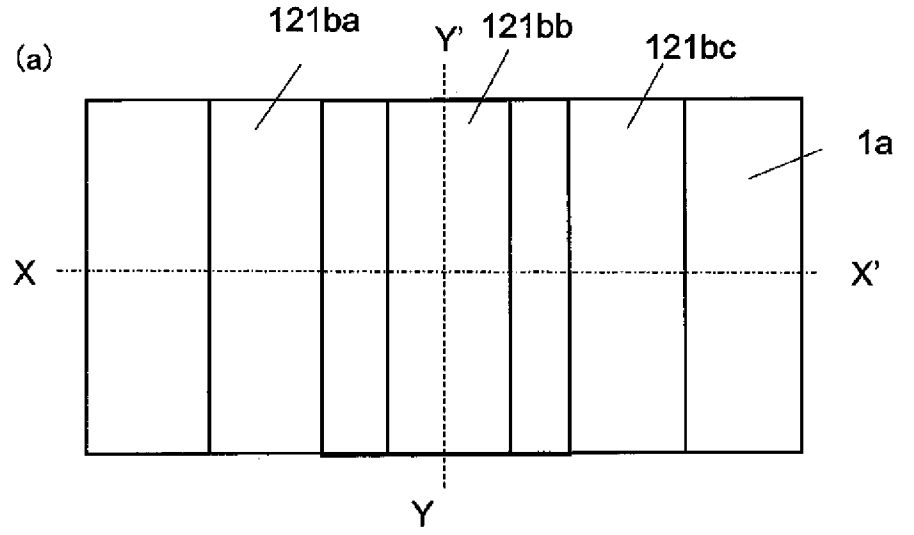
[図8B]


(a)
129a
127a
Y'
125
127b
129b
131
X
X'
130
Y
(b)
131
129a
128a
127a
125
124
127b
129b
128b
130
126a
126b
122
120c
121b
120b
121a
120a
1a
X
X'
(c)
Y'
124
122
121b
121a
125
131
120c
120b
120a
1a
Y

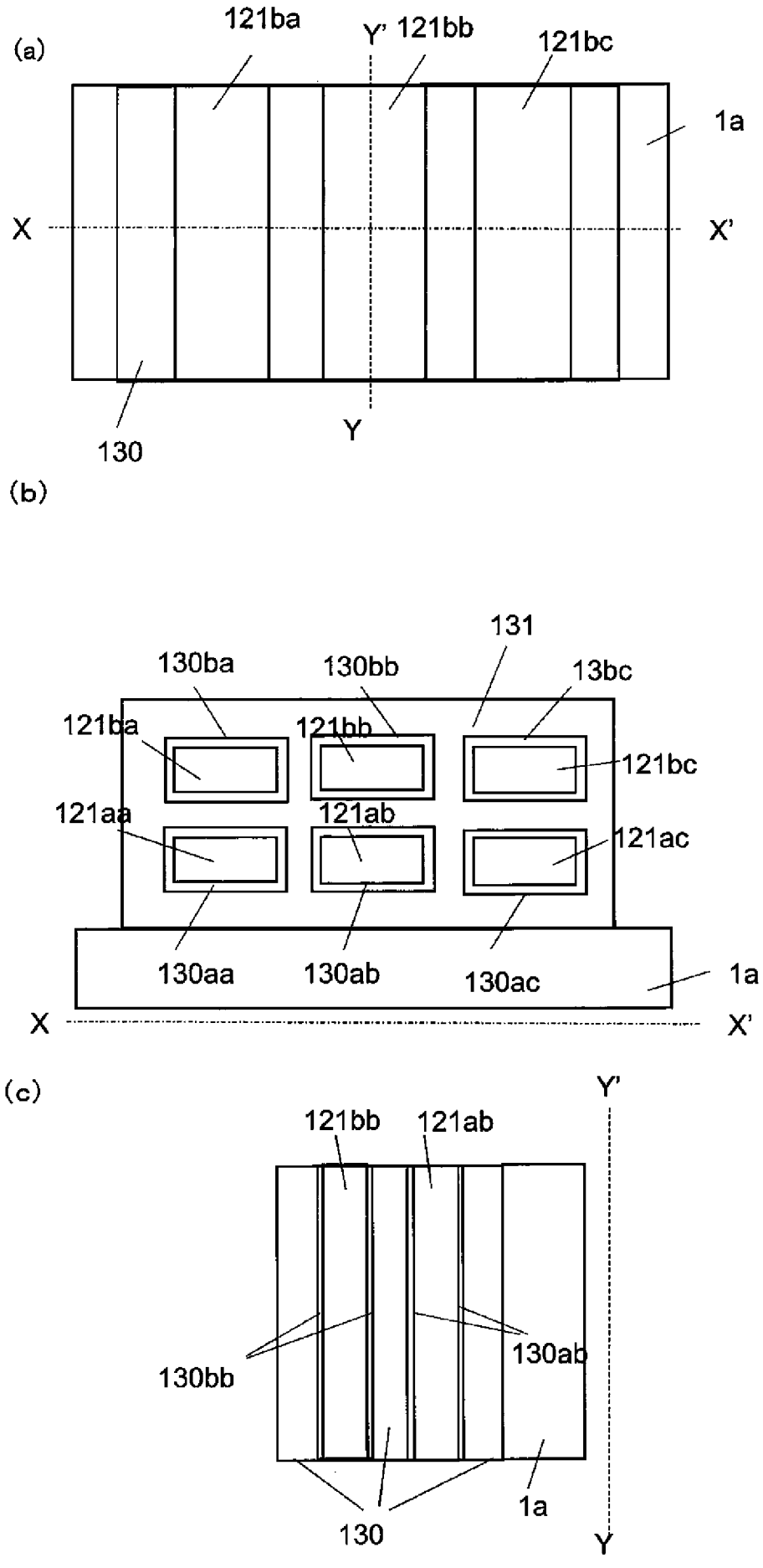
[図8C]


(a)
129a
127a
Y'
125
127b
129b
1a
X
X'
Y
(b)
129a
128a
125
124
129b
128b
122a
120ca
121ba
120ba
121aa
120aa
120cb
122b
121bb
120bb
121ab
120ab
122c
120cc
121bc
120bc
121ac
120ac
1a
X
X'
(c)
124
122b
121bb
121ab
125
Y'
120cb
120bb
120ab
1a
Y

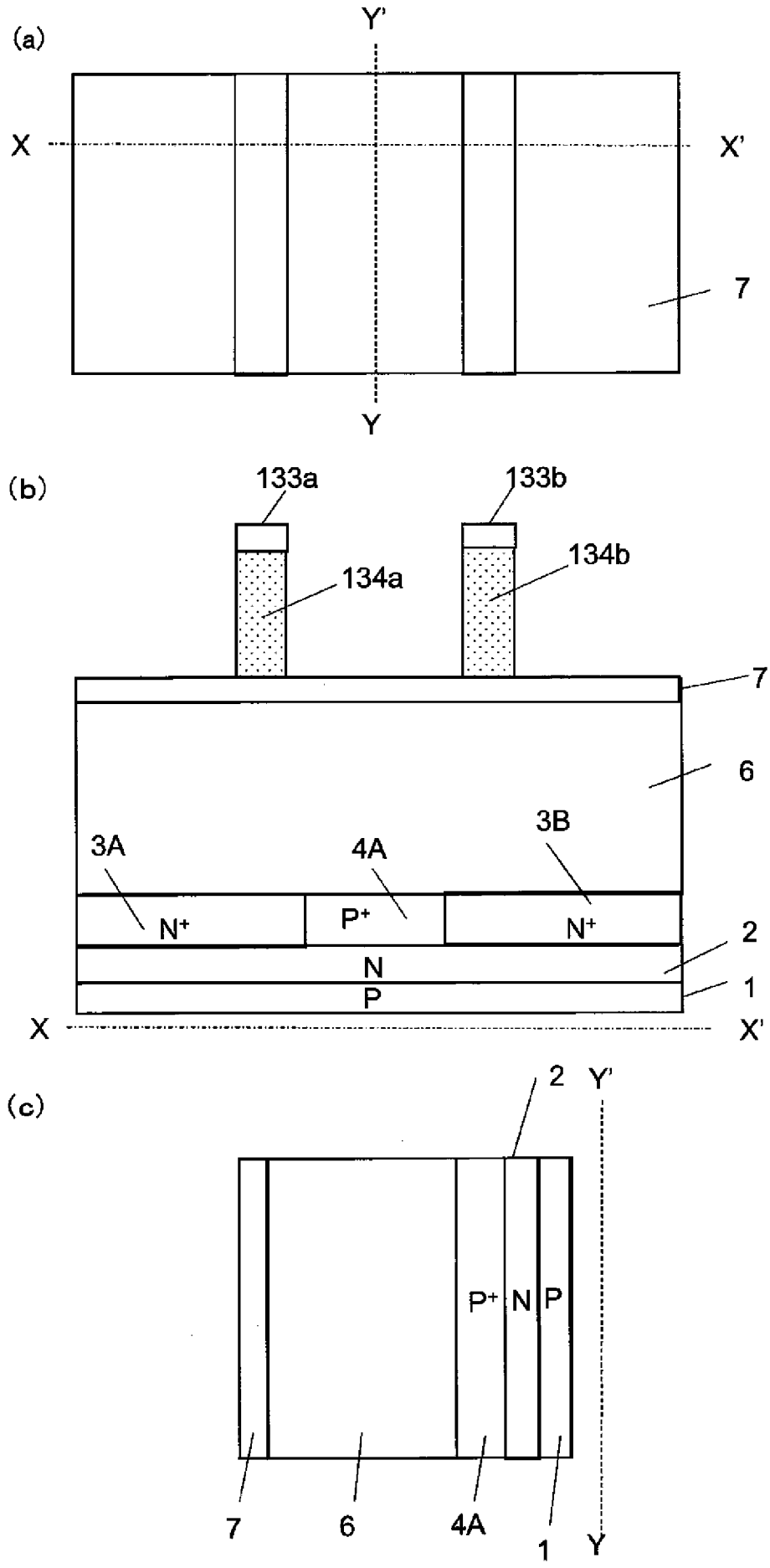
[図8D]


(a)
121ba
Y'
121bb
121bc
1a
X
X'
Y
(b)
121ba
121bb
121bc
121aa
121ab
121ac
1a
X
X'
(c)
Y'
121bb
121ab
1a
Y

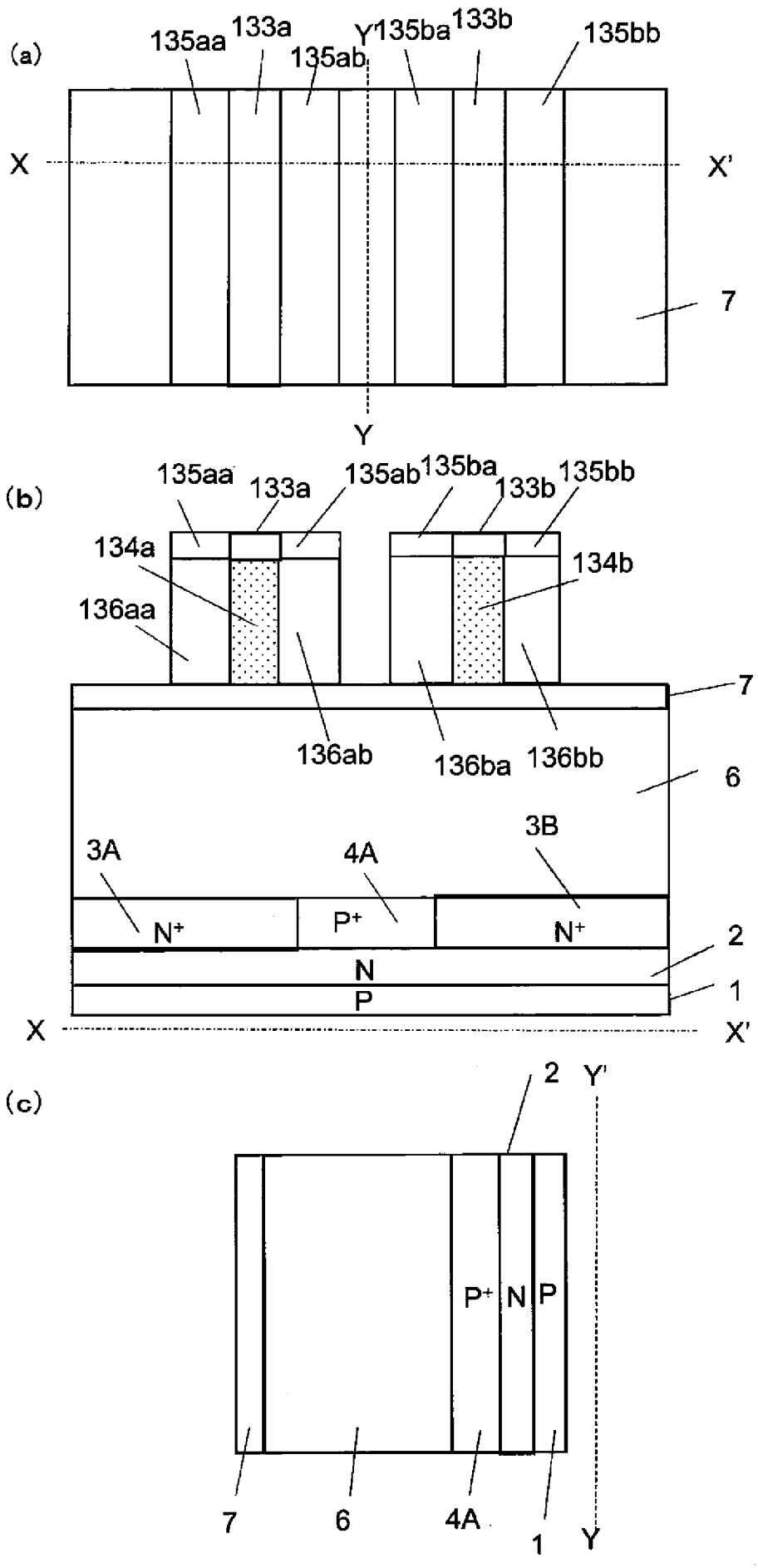
[図8E]


(a)
121ba
Y'
121bb
121bc
1a
X
X'
130
Y
(b)
131
130ba
130bb
13bc
121ba
121bb
121bc
121aa
121ab
121ac
130aa
130ab
130ac
1a
X
X'
(c)
Y'
121bb
121ab
130bb
130ab
1a
130
Y

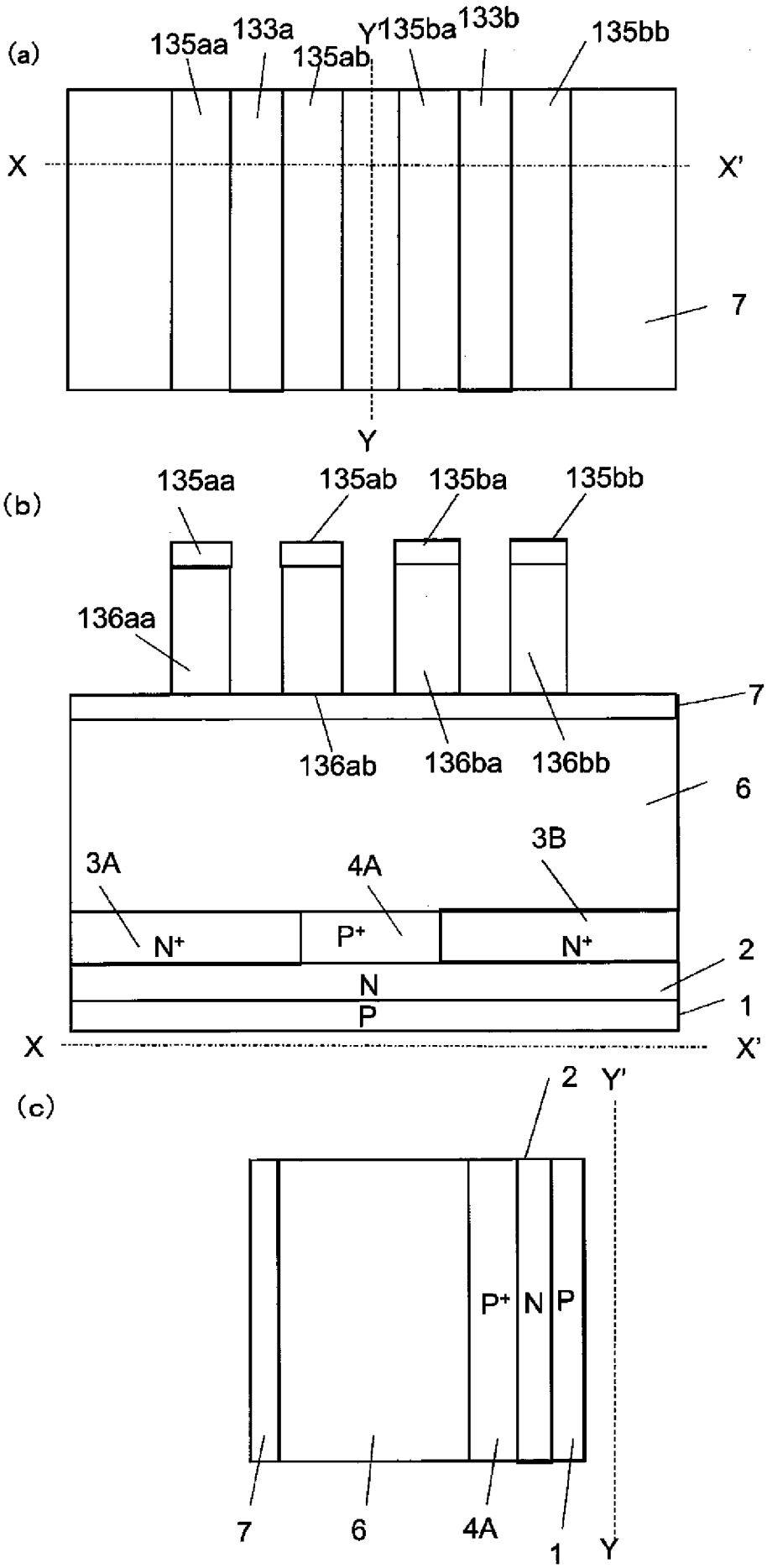
[図9A]


(a)
Y'
X
X'
7
Y
(b)
133a
133b
134a
134b
7
6
3A
4A
3B
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
P+
N
P
7
6
4A
1
Y

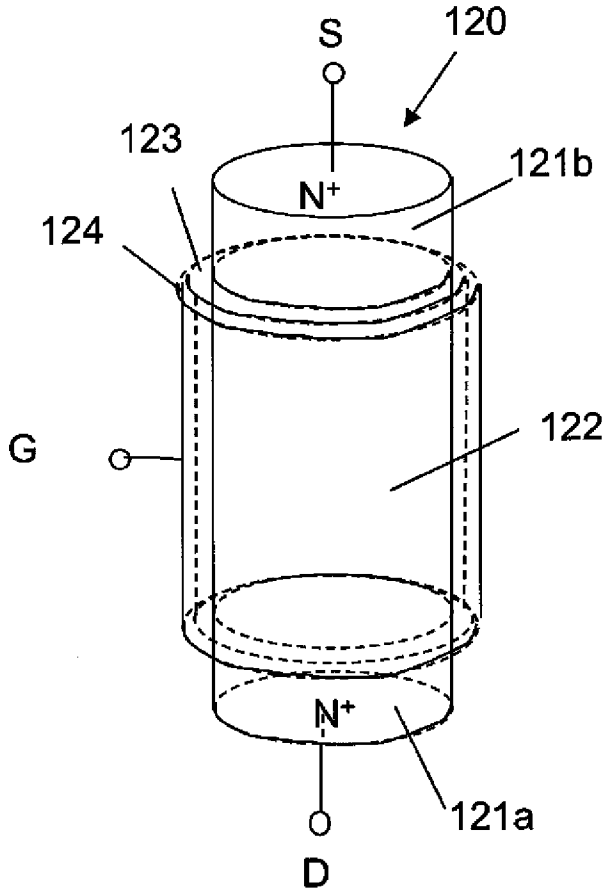
[図9B]


(a)
135aa
133a
135ab
Y
135ba
133b
135bb
X
X'
7
Y
(b)
135aa
133a
135ab
135ba
133b
135bb
134a
134b
136aa
7
136ab
136ba
136bb
6
3A
4A
3B
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
P+
N
P
7
6
4A
1
Y

[図9C]


(a)
135aa
133a
135ab
Y
135ba
133b
135bb
X
X'
7
Y
(b)
135aa
135ab
135ba
135bb
136aa
7
136ab
136ba
136bb
6
3A
4A
3B
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
P+
N
P
7
6
4A
1
Y

[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/047245

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L21/8244(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L27/11(2006.01)i, H01L29/78(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/336, H01L21/8234, H01L21/8238, H01L21/8244, H01L27/088, H01L27/092, H01L27/11, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/070034 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 19 April 2018 (Family: none)	1-26
A	WO 2015/129021 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 03 September 2015 & US 2016/0240774 A1 & US 2017/0309814 A1	1-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 05.03.2019	Date of mailing of the international search report 12.03.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/047245

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/125291 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 27 August 2015 & US 2016/0240586 A1 & US 2017/0301731 A1	1-26
A	WO 2015/075819 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 28 May 2015 & US 2015/0144866 A1 & US 2015/0357378 A1	1-26
A	WO 2015/071983 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 21 May 2015 & US 2015/0129825 A1	1-26
A	WO 2015/022744 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 19 February 2015 & US 2015/0221750 A1	1-26
A	JP 2015-138908 A (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 30 July 2015 & US 2015/0206923 A1 & US 2015/0303238 A1	1-26

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０４７２４５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L21/8244(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L27/11(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L21/8234, H01L21/8238, H01L21/8244, H01L27/088, H01L27/092, H01L27/11, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2018/070034 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2018.04.19 (ファミリーなし)	1-26
A	WO 2015/129021 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.09.03 & US 2016/0240774 A1 & US 2017/0309814 A1	1-26

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０３．２０１９	１２．０３．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３５５
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2015/125291 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.08.27 & US 2016/0240586 A1 & US 2017/0301731 A1	1-26
A	WO 2015/075819 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.05.28 & US 2015/0144866 A1 & US 2015/0357378 A1	1-26
A	WO 2015/071983 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.05.21 & US 2015/0129825 A1	1-26
A	WO 2015/022744 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.02.19 & US 2015/0221750 A1	1-26
A	JP 2015-138908 A (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2015.07.30 & US 2015/0206923 A1 & US 2015/0303238 A1	1-26