

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/525 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200480037619.4

[43] 公开日 2007 年 1 月 10 日

[11] 公开号 CN 1894793A

[22] 申请日 2004.12.17

[21] 申请号 200480037619.4

[30] 优先权

[32] 2003.12.17 [33] US [31] 60/530,146

[86] 国际申请 PCT/US2004/042752 2004.12.17

[87] 国际公布 WO2005/059968 英 2005.6.30

[85] 进入国家阶段日期 2006.6.16

[71] 申请人 模拟装置公司

地址 美国马萨诸塞州

[72] 发明人 约翰·M·扬

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨生平 杨红梅

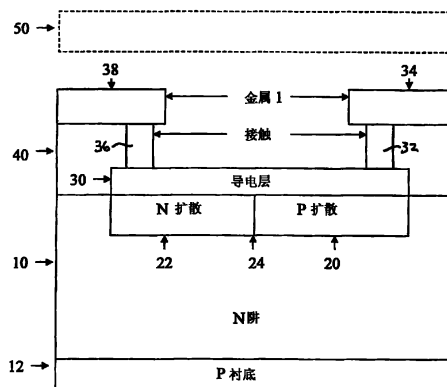
权利要求书 3 页 说明书 6 页 附图 5 页

[54] 发明名称

集成电路熔断器和制造方法

[57] 摘要

一种集成电路熔断器，包括：衬底中的 P - 型和 N - 型区，该 P - 型和 N - 型区在结处邻接；P 型和 N 型结上的导电层；以及对导电层的电路连接，用于响应于熔断器编程信号来施加充分的电能以在结处使导电层开路。也提供一种用于制造集成电路熔断器的方法。



1. 一种集成电路熔断器，包括：
衬底中的 P-型和 N-型区，所述 P-型和 N-型区在结处邻接；
导电层，在所述 P 型和 N 型结上；以及
对所述导电层的电路连接，用于响应于熔断器编程信号来施加充分的电能以在所述结处使导电层开路。
2. 如权利要求 1 所述的集成电路熔断器，其中所述 P-型和 N-型区分别包括 P-型和 N-型扩散。
3. 如权利要求 1 所述的集成电路熔断器，其中所述 P-型和 N-型区形成在所述衬底中的 N-阱中。
4. 如权利要求 1 所述的集成电路熔断器，其中所述导电层包括硅化物层。
5. 如权利要求 1 所述的集成电路熔断器，其中所述导电层包括金属。
6. 如权利要求 1 所述的集成电路熔断器，其中所述导电层包括钨。
7. 如权利要求 1 所述的集成电路熔断器，其中所述导电层成形为使得在施加电能时在所述结处开路。
8. 如权利要求 1 所述的集成电路熔断器，其中所述结具有约 0.5 微米或更小的宽度。
9. 如权利要求 1 所述的集成电路熔断器，其中所述电路连接包括对集成电路供给电压的连接。
10. 如权利要求 1 所述的集成电路熔断器，其中所述电路连接包括对所述结的相对侧上所述导电层的电连接。
11. 如权利要求 1 所述的集成电路熔断器，还包括所述结上的屏蔽。
12. 一种用于制造集成电路熔断器的方法，包括：
在衬底中形成在结处邻接的 P-型和 N-型区；
在所述 P-型和 N-型区上形成导电层；以及
将导电层连接到电能源，用于响应于熔断器编程信号来施加充分的电

能以在所述结处使导电层开路。

13. 如权利要求 12 所述的方法, 其中形成 P-型和 N-型区分别包括形成 P-型和 N-型扩散。

14. 如权利要求 13 所述的方法, 包括在所述衬底中的 N-阱中形成 P-型和 N-型扩散。

15. 如权利要求 12 所述的方法, 其中形成导电层包括形成硅化物层。

16. 如权利要求 12 所述的方法, 其中形成导电层包括形成金属层。

17. 如权利要求 12 所述的方法, 其中形成导电层包括形成钨层。

18. 如权利要求 12 所述的方法, 其中形成导电层包括控制所述导电层的宽度和厚度以提供所需的熔断器编程条件。

19. 如权利要求 12 所述的方法, 其中形成导电层包括控制所述导电层的形状以提供所需的熔断器编程条件。

20. 如权利要求 12 所述的方法, 其中形成导电层包括使用掩模层图案化所述导电层以提供所需的熔断器编程条件。

21. 如权利要求 12 所述的方法, 其中形成导电层包括图案化所述导电层以提供所述结上的最小宽度。

22. 如权利要求 12 所述的方法, 其中形成导电层包括图案化所述导电层以提高所述结上的电流密度。

23. 如权利要求 12 所述的方法, 其中连接所述导电层包括将所述导电层连接到所述集成电路的供给电压。

24. 如权利要求 12 所述的方法, 其中连接所述导电层包括提供对所述结的相对侧上所述 P-型和 N-型区以及所述导电层的连接。

25. 如权利要求 12 所述的方法, 还包括在所述结上形成屏蔽。

26. 一种集成电路熔断器, 包括:

P-型和 N-型扩散, 在形成于衬底中的 N-阱中, 所述 P-型和 N-型扩散在结处邻接;

硅化物层，在所述 P-型和 N-型扩散上；以及
对所述结的相对侧上所述 P-型和 N-型扩散以及所述硅化物层的电路连接，用于响应于熔断器编程信号来施加充分的电能以在所述结处使所述硅化物层开路。

集成电路熔断器和制造方法

相关申请的交叉引用

此申请要求基于 2003 年 12 月 17 日提交的临时申请序号 60/530,146 的优先权，通过引用将其整体结合于此。

技术领域

本发明涉及集成电路制造，并且更具体地涉及集成电路熔断器以及用于制造集成电路熔断器的方法。

背景技术

很多集成电路设计包括大的片上存储器阵列。一个实例是数字信号处理器。为了提高产率，存储器阵列可以制造有冗余的行和列以允许在制造之后修理。单个位故障可以通过更换包含该故障的列或行而修理。修理可以通过使用集成电路熔断器而完成，集成电路熔断器禁止有缺陷的列或行，以及使能存储器阵列的备用列或行。

集成电路熔断器也可以用于编程芯片的各种特征，如芯片 ID 和/或电路参数。模拟集成电路的熔断器修整(trimming)例如描述于 1995 年 1 月 24 日授予 Moyal 等人的美国专利号 5,384,727 以及 1995 年 5 月 2 日授予 Moyal 等人的美国专利号 5,412,594 中。

芯片可以包括多个集成电路熔断器。这样的集成电路熔断器应当具有极小尺度，应该可靠地烧断并且应该具有两个截然不同的逻辑状态。

在一个现有技术手段中，通过使用激光能量以中断金属连续性来对金属熔断器编程。芯片修理的成本经常是总制造成本的 10%，但是由于不采用修理时大的产量损失，此成本被确定为是可接受的。

在另一现有技术手段中，熔断器包括具有金属表面层的多晶硅链。当

熔断器待被编程时，电流通过金属层，导致金属迁移和热破坏。电阻典型地从 2 欧姆每平方改变到 30 欧姆每平方，粗略地为数量级的改变。持续施加能量直至非多晶硅热破坏。多晶硅热破坏所需要的附加能量相当大。另外，开路状况中的电阻是在 10K 欧姆范围中。因此，熔断器不是完全开路的。另外，电阻可以随时间而减小。多晶硅熔断器例如在 1999 年 10 月 26 日授予 Boyd 等人的美国专利号 5,973,977 中描述，以及由 D. Anand 等人 在 “An On-Chip Self-Repair Calculation and Fusing Methodology,” *IEEE Design & Test of Computers*, 2003 年 9—10 月, 67-75 页中描述。

所有现有技术的集成电路熔断器具有一个或多个缺点。因此，需要改进的集成电路熔断器以及制造集成电路熔断器的方法。

发明内容

根据本发明的第一方面，提供一种集成电路熔断器。该集成电路熔断器包括：衬底中的 P-型和 N-型区，该 P-型和 N-型区在结处邻接；导电层，在 P 型和 N 型结上；以及对导电层的电路连接，用于响应于熔断器编程信号来施加充分的电能以在结处使导电层开路。

根据本发明的第二方面，提供一种用于制造集成电路熔断器的方法，该方法包括：在衬底中形成在结处邻接的 P-型和 N-型区；在 P-型和 N-型区上形成导电层；以及将导电层连接到电能源，用于响应于熔断器编程信号来施加充分的电能以在结处使导电层开路。

附图说明

为了更好地理解本发明，对附图进行参考，其通过引用结合在此并且其中：

图 1 是根据本发明第一实施例的集成电路熔断器的简化横截面图；

图 2 是图 1 的集成电路熔断器的顶视图；

图 3 是说明图 1 和 2 的集成电路熔断器的等效电路的示意图；

图 4 是根据本发明第二实施例的集成电路熔断器的顶视图；以及

图 5 是图 4 的集成电路熔断器的横截面图。

具体实施方式

根据本发明第一实施例的集成电路熔断器在图 1 和 2 中示出。图 1 是横截面图，以及图 2 是顶视图。N-阱 10 形成在 P-型衬底 12 中。P-型区 20 和 N-型区 22 形成在 N-阱 10 中。P-型区 20 和 N-型区 22 在结 24 处邻接。P-型区 20 和 N-型区 22，也分别称为 P-型扩散和 N-型扩散，可以通过适当掺杂离子的离子植入以及后续的退火而形成，用于产生掺杂离子的扩散以形成半导体二极管。

导电层 30 形成在 P-型区 20 和 N-型区 22 上，以及特别地覆盖结 24。导电层 30 可以是金属或金属硅化物，如根据自对准硅化物工艺形成的金属硅化物。P-型区 20 上的导电层 30 通过接触 32 连接到金属互连线 34。N-型区 22 上的导电层 30 通过接触 36 连接到金属互连线 38。金属互连线 34 和 38 可以是由绝缘层 40 从衬底 12 分开的图案化金属层的部分。在实际的实践中，金属互连线 34 可以通过多个接触 32 连接到导电层 30，并且金属互连线 38 可以通过多个接触 36 连接到导电层 30 以增加电流承载能力。

如图 2 中所示，P-型区 20 可以包括相对大面积的接触部分 20a 以及相对窄的结部分 20b。类似地，N-型区 22 可以包括相对大面积的接触部分 22a 以及相对窄的结部分 22b。结部分 20b 和 22b 在结 24 处邻接而且限定结 24 的宽度 W。

根据自对准硅化物工艺，金属硅化物形成在 P-型区 20 和 N-型区 22 上，并且不形成在这些区之外。因此，导电层 30(图 1)具有接触部分 20a 以及 22a 之上相对大的面积，并且在结部分 20b 和 22b 之上是相对窄的。此配置允许接触部分 20a 以及 22a 之上到导电层 30 的多个接触。另外，导

电层 30 在结 24 相对窄, 以当编程熔断器时有助于导电层 30 的破坏, 如下所述。当电流通过导电层 30 时, 电流密度在结 24 上的窄部分中是最大的, 从而倾向于破坏结 24 上的导电层 30。

图 1 和 2 的集成电路熔断器的等效电路在图 3 中示出。电阻器 60 和 62 分别代表 P-型区 20 和 N-型区 22 上导电层 30 的电阻。可变电阻器 64 代表结 24 上导电层 30 的电阻。二极管 70 对应于 P-型区 20 和 N-型区 22 之间结 24 处的二极管。电阻器 72 和 74 分别代表 P-型区 20 和 N-型区 22 的体电阻。如图 3 中进一步示出的, 电阻器 62 和 74 可以连接到供给电压 V_{dd} , 以及电阻器 60 和 72 可以连接到晶体管开关 80。响应于熔断器编程信号, 晶体管开关 80 可以将电阻器 60 和 72 连接到参考电压如地。再次参见图 1, 供给电压 V_{dd} 可以连接到金属互连线 38, 并且晶体管开关 80 可以连接到金属互连线 34。

使用中, 图 1-3 的集成电路熔断器以闭合的状态来制造, 并且可被不可逆地编程到开路状态。在闭合状态中, 电流从金属互连线 38 通过导电层 30 流到金属互连线 34。在开路状态中, 当二极管 70 反向偏置时, 熔断器具有金属互连线 38 与金属互连线 34 之间的高电阻。图 1-3 的熔断器通过使足以导致金属迁移和破坏的电流通过导电层 30 来编程。这可以通过施加熔断器编程信号到晶体管开关 80 来实现, 其从而将导电层 30 和 P-型区 20 连接到地使得电流通过导电层 30。因为导电层 30 在结 24 上相对窄, 如图 2 中所示, 金属在结 24 上破坏。这使充当具有高电阻的反向偏置二极管 70(图 3)的 P-型区 20 和 N-型区 22 典型地处于 100k 欧姆的范围。

现在描述根据本发明实施例的集成电路熔断器的实例。P-型区 20 可以通过使用范围从 10^{15} 到 10^{20} 原子每立方厘米(cm)剂量的杂质原子的植入而形成。N-型区 22 可以通过使用范围从 10^{15} 到 10^{20} 原子每立方厘米剂量的杂质原子的植入而形成。P-型区 20 和 N-型区 22 可以具有 200 埃等级的深度, 并且结 24 的宽度 W 可以是在 0.1-0.5 微米(μm)的范围中。导电层

30 可以是具有 10-100 埃厚度范围的钨。用于导电层 30 的其他适合材料包括钛、铂以及钯。将理解这些参数仅通过实例方式给出并且不作为对本发明范围的限制。

本发明的任选特征在图 1 中示出。热屏蔽 50 可以定位在结 24 上。热屏蔽可以是金属层，如例如集成电路的金属互连层的图案化区域。屏蔽 50 帮助将热包含在熔断器的局部区中，以促进较低能量处的破坏。屏蔽 50 也用于保护集成电路的上级免遭该破坏熔断器的热。

根据本发明第二实施例的集成电路熔断器在图 4 和 5 中示出。图 4 是顶视图，以及图 5 是横截面图。P-型区 120 和 N-型区 122 形成在 N-阱 110 中。P-型区 120 和 N-型区 122 在结 124 处邻接。对照图 1-3 的实施例，P-型区 120 和 N-型区 122 不包括相对窄的结部分。取而代之，P-型区 120 和 N-型区 122 沿它们的整个长度邻接以提供强壮的 PN 结。

在图 4 和 5 的实施例中，覆盖 P-型区 120 和 N-型区 122 的导电层 130 的大小和形状由图案化的掩模层限定。公知为 RPO 的掩模层可以用于硅化物导电层 130 的图案化。该掩模层在图 4 中通过对于未由导电层 130 覆盖的区域进行限定的掩模段 140 和 142 来表示。如图 4 中所示，掩模段 142 锥形化至结 124 上的顶点 146，而且掩模段 144 锥形化为结 124 上的顶点 148。掩模段 142 和 144 之外的区域限定了由导电层 130 覆盖的区域。因此，顶点 146 和 148 之间的间隔限定了结 124 上导电层 130 的宽度 W。掩模段 142 和 144 的锥形保证了导电层 130 在结 124 上具有其最小宽度 W。结果，当电流通过导电层 130 时，电流密度在结 124 上的窄区中是最大的，并且导电层 130 趋向于在结 124 上破坏。

将理解可以通过控制掩模段 142 和 144 的大小和形状来控制导电层 130 的大小和形状。因此例如，顶点 146 和 148 之间的间隔以及掩模段 142 和 144 的锥形可以变化。另外，锥形可以是线性的或非线性的。

将理解实际的集成电路可以包括任意数量的所示类型并在这里描述

的集成电路熔断器。这些熔断器与其他电路组合以提供所需的功能性。

尽管已经示出和描述当前认为是本发明优选实施例的实施，对该领域技术人员来说很明显的是，可以在不脱离由所附权利要求限定的本发明的范围的情况下进行各种变化和修改。

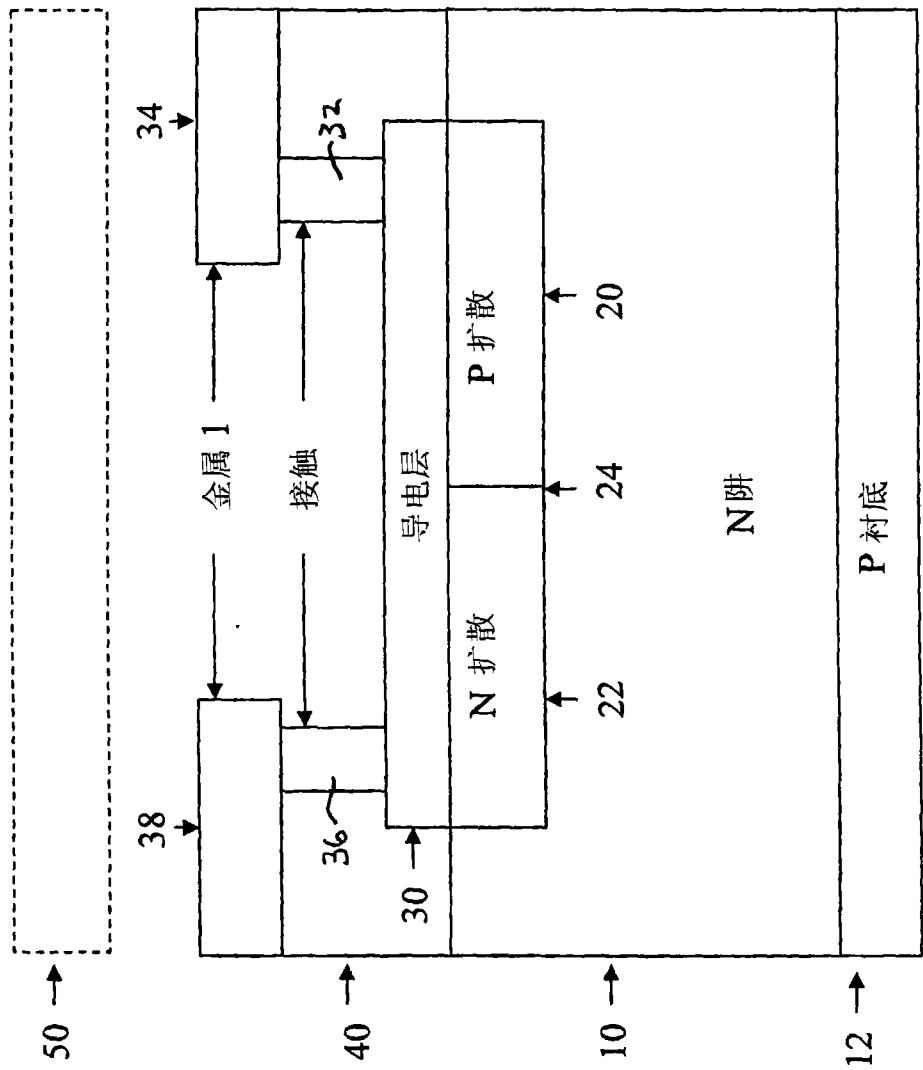


图 1

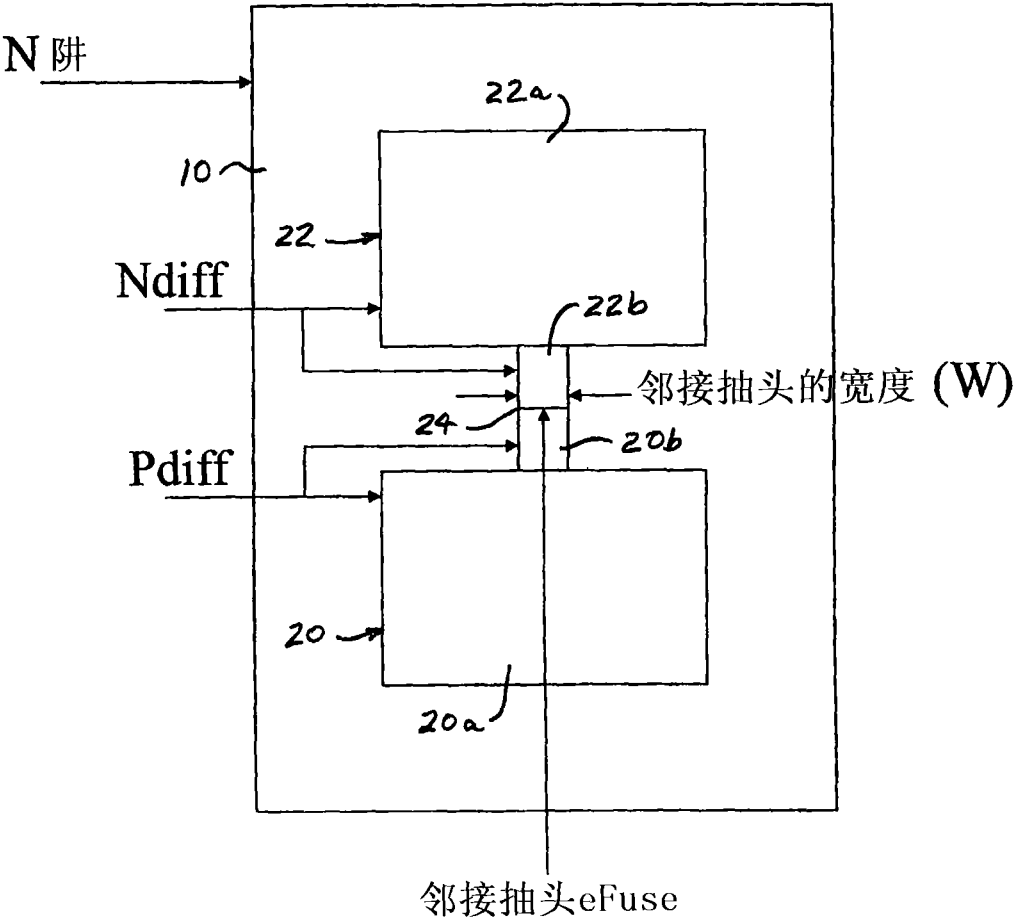


图 2

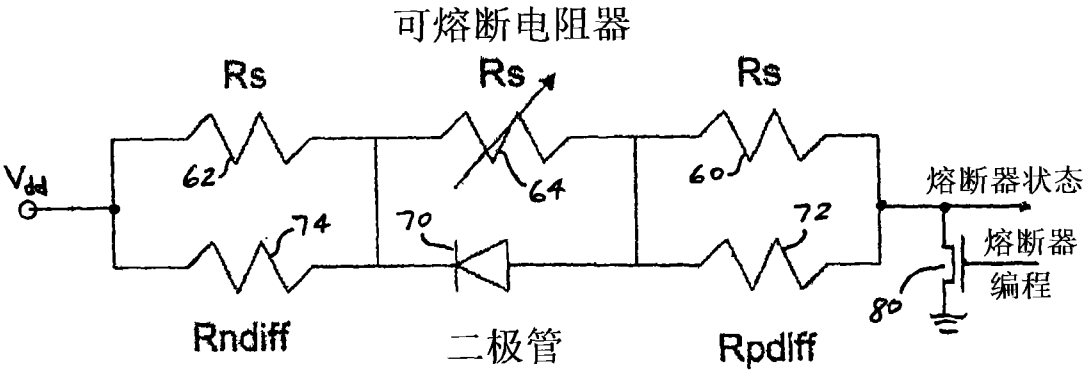
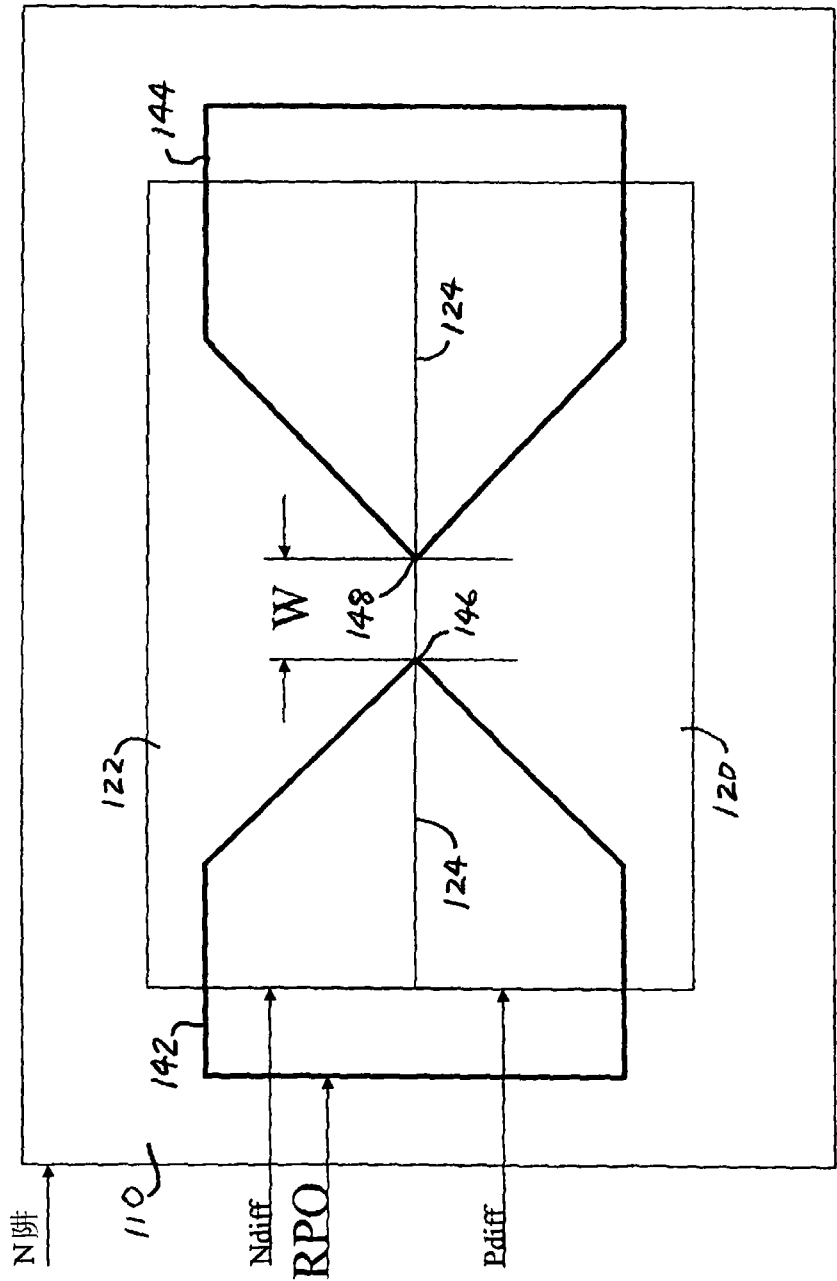


图3



邻接抽头 eFuse w/RPO

图 4

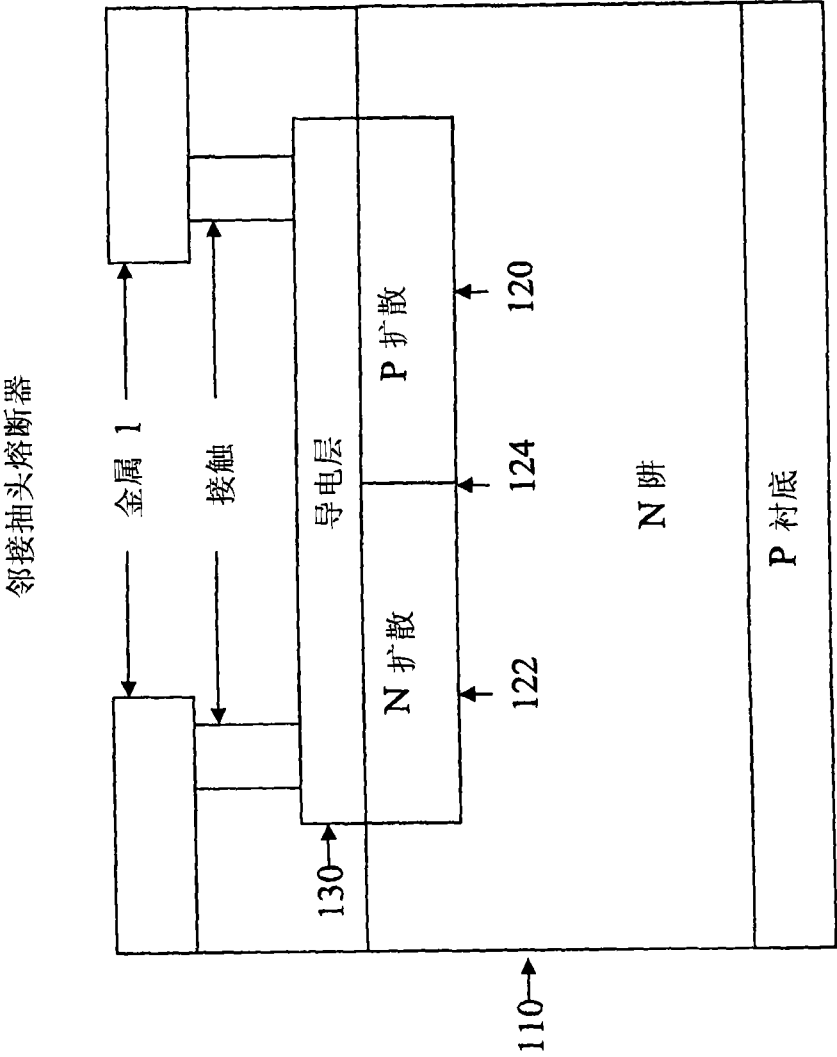


图5