



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0051587  
(43) 공개일자 2012년05월22일

(51) 국제특허분류(Int. C1.)

*H01L 27/12* (2006.01) *H01L 21/20* (2006.01)

(21) 출원번호 10-2011-0116841

(22) 출원일자 2011년11월10일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-254168 2010년11월12일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

네이 고세이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가

부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
시모무라 아키히사

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가

(74) 대리인

장훈

전체 청구항 수 : 총 26 항

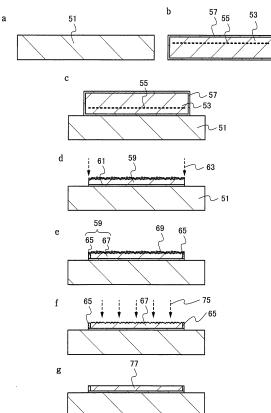
(54) 발명의 명칭 반도체 기판의 제작 방법

### (57) 요 약

반도체 기판의 결함을 저감시는 것을 과제로 한다. 또한, 제조 수율이 높고 결함이 적은 반도체 기판을 제작한다. 또한, 제조 수율 높게 반도체 장치를 제작한다.

지지 기판에 산화질연층을 개재하여 반도체층을 형성하고, 상기 반도체층의 단부에 있어서의, 지지 기판 및 산화질연층의 밀착성을 향상시킨 후, 반도체층 표면의 절연층을 제거하고, 반도체층에 레이저광을 조사하여 평탄화된 반도체층을 얻는다. 반도체층의 단부에 있어서, 지지 기판 및 산화질연층의 밀착성을 향상시키기 위해서, 반도체층의 표면으로부터 레이저광을 조사한다.

### 대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

취화 영역(embrittled region)을 포함하는 반도체 기판을 준비하는 단계;

상기 반도체 기판 위에 산화물 절연층을 형성하는 단계;

상기 산화물 절연층을 개재하여 상기 반도체 기판과 지지 기판을 접합하는 단계;

상기 산화물 절연층을 개재하여 상기 지지 기판 상에 반도체층을 제공하도록 상기 취화 영역에서 상기 반도체 기판을 분단(cleave)하는 단계;

상기 반도체층의 단부에 다결정 반도체 영역이 형성되도록 제 1 레이저광으로 상기 반도체층의 단부를 조사하는 단계; 및

상기 반도체층의 단부를 상기 제 1 레이저광으로 조사한 후에 상기 반도체층의 표면 위의 산화물층을 제거하는 단계를 포함하는, SOI 기판 제작 방법.

### 청구항 2

제 1 항에 있어서,

상기 산화물층의 제거 후에 상기 반도체층을 제 2 레이저광으로 조사하는 단계를 더 포함하는, SOI 기판 제작 방법.

### 청구항 3

제 1 항에 있어서,

상기 제 1 레이저광은 상기 반도체층을 완전 용융하는 에너지를 갖는, SOI 기판 제작 방법.

### 청구항 4

제 2 항에 있어서,

상기 제 2 레이저광은 상기 반도체층을 부분 용융하는 에너지를 갖는, SOI 기판 제작 방법.

### 청구항 5

제 1 항에 있어서,

상기 지지 기판은 유리 기판이고,

상기 산화물층은 산화실리콘층인, SOI 기판 제작 방법.

### 청구항 6

제 1 항에 있어서,

상기 산화물층은 웨트 에칭에 의해 제거되는, SOI 기판 제작 방법.

### 청구항 7

제 1 항에 있어서,

상기 취화 영역은 상기 반도체 기판에 이온을 조사함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 8

제 1 항에 있어서,

상기 취화 영역은 상기 반도체 기판의 일부를 양극 산화(anodizing)함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 9

취화 영역을 포함하는 반도체 기판을 준비하는 단계;

상기 반도체 기판 위에 산화물 절연층을 형성하는 단계;

상기 산화물 절연층을 개재하여 상기 반도체 기판과 지지 기판을 접합하는 단계;

상기 산화물 절연층을 개재하여 상기 지지 기판 상에 반도체층을 제공하도록 상기 취화 영역에서 상기 반도체 기판을 분단하는 단계;

상기 반도체층의 단부에서 상기 지지 기판과 상기 산화물 절연층 사이의 밀착성이 향상되도록 제 1 레이저광으로 상기 반도체층의 단부를 조사하는 단계; 및

상기 반도체층의 단부를 상기 제 1 레이저광으로 조사한 후에 상기 반도체층의 표면 위의 산화물층을 제거하는 단계를 포함하는, SOI 기판 제작 방법.

### 청구항 10

제 9 항에 있어서,

상기 산화물층의 제거 후에 상기 반도체층을 제 2 레이저광으로 조사하는 단계를 더 포함하는, SOI 기판 제작 방법.

### 청구항 11

제 9 항에 있어서,

상기 제 1 레이저광은 상기 반도체층을 완전 용융하는 에너지를 갖는, SOI 기판 제작 방법.

### 청구항 12

제 10 항에 있어서,

상기 제 2 레이저광은 상기 반도체층을 부분 용융하는 에너지를 갖는, SOI 기판 제작 방법.

### 청구항 13

제 9 항에 있어서,

상기 지지 기판은 유리 기판이고,

상기 산화물층은 산화실리콘층인, SOI 기판 제작 방법.

### 청구항 14

제 9 항에 있어서,

상기 산화물층은 웨트 에칭에 의해 제거되는, SOI 기판 제작 방법.

### 청구항 15

제 9 항에 있어서,

상기 취화 영역은 상기 반도체 기판에 이온을 조사함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 16

제 9 항에 있어서,

상기 취화 영역은 상기 반도체 기판의 일부를 양극 산화함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 17

취화 영역을 포함하는 반도체 기판을 준비하는 단계;

상기 반도체 기판 위에 산화물 절연층을 형성하는 단계;

상기 산화물 절연층을 개재하여 상기 반도체 기판과 지지 기판을 접합하는 단계;

상기 산화물 절연층을 개재하여 상기 지지 기판 상에 반도체층을 제공하도록 상기 취화 영역에서 상기 반도체 기판을 분단하는 단계;

상기 반도체층의 단부에서 상기 지지 기판과 상기 산화물 절연층 사이의 밀착성이 향상되도록 상기 반도체층의 단부를 가열하는 단계; 및

상기 반도체층의 단부를 가열한 후에 상기 반도체층의 표면 위의 산화물층을 제거하는 단계를 포함하는, SOI 기판 제작 방법.

### 청구항 18

제 17 항에 있어서,

상기 산화물층의 제거 후에 상기 반도체층을 레이저광으로 조사하는 단계를 더 포함하는, SOI 기판 제작 방법.

### 청구항 19

제 18 항에 있어서,

상기 레이저광은 상기 반도체층을 부분 용융하는 에너지를 갖는, SOI 기판 제작 방법.

### 청구항 20

제 17 항에 있어서,

상기 지지 기판은 유리 기판이고,

상기 산화물층은 산화실리콘층인, SOI 기판 제작 방법.

### 청구항 21

제 17 항에 있어서,

상기 산화물층은 웨트 에칭에 의해 제거되는, SOI 기판 제작 방법.

### 청구항 22

제 17 항에 있어서,

상기 취화 영역은 상기 반도체 기판에 이온을 조사함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 23

제 17 항에 있어서,

상기 취화 영역은 상기 반도체 기판의 일부를 양극 산화함으로써 형성되는, SOI 기판 제작 방법.

### 청구항 24

제 17 항에 있어서,

상기 가열 온도는 상기 지지 기판의 왜곡점 미만인, SOI 기판 제작 방법.

### 청구항 25

제 17 항에 있어서,

상기 가열은 선 형상의 가열기로 행해지고,

상기 가열기는 적어도 상기 반도체층의 단부에 압착되는, SOI 기판 제작 방법.

## 청구항 26

제 17 항에 있어서,

상기 가열은 상기 반도체층의 단부의 형상과 유사한 페루프 형상의 가열기로 행해지고  
상기 가열기는 적어도 상기 반도체층의 단부에 압착되는, SOI 기판 제작 방법.

## 명세서

### 기술 분야

[0001]

본 발명은 반도체 기판 및 그 제작 방법, 및 반도체 기판을 사용한 반도체 장치의 제작 방법에 관한 것이다.

### 배경 기술

[0002]

최근, 반도체 기판으로서, 지지 기판(베이스 기판이라고도 한다.) 위에 절연층 및 단결정 실리콘층이 형성된 SOI(Silicon On Insulator) 기판이 널리 이용되고 있다.

[0003]

대표적인 SOI 기판의 제작 방법으로서는, 스마트컷법, ELTRAN(Epitaxial Layer Transfer, 상표 등록)법 등이 있다.

[0004]

지지 기판으로서 유리 기판을 사용한 SOI 기판의 대표적인 제작 방법을 이하에 나타낸다. 우선, 단결정 실리콘 기판에 수소 이온을 주입함으로써, 단결정 실리콘 기판 표면으로부터 소정의 깊이에 췌화 영역(손상 영역이라고도 한다.)을 형성한다. 다음에, 절연층을 개재하여 상기 단결정 실리콘 기판 및 지지 기판을 접합한다. 그 후, 가열 처리를 행하여 췌화 영역으로부터 단결정 실리콘 기판을 분단(분리라고도 말한다.)함으로써, 지지 기판 위에 절연층 및 얇은 단결정 실리콘층을 형성할 수 있다. 즉, 단결정 실리콘 기판의 일부로 이루어지는 단결정 실리콘층을 지지 기판 위로 전재(轉載)함으로써, SOI 기판을 제작하는 것이다.

[0005]

상기 SOI 기판의 제작 방법에 의해 지지 기판 위로 전재된 단결정 실리콘층은, 표면이 요철상이다. 이로 인해, 단결정 실리콘층의 표면을 평탄화하는 공정이 필요하다. 단결정 실리콘층의 평탄화 방법으로서는, 대표적으로는, 단결정 실리콘층의 표면에 레이저광을 조사하여 단결정 실리콘층의 오목부 및 볼록부를 용융하고 고화시켜 평탄화하는 방법이 있다(특허문헌 1 참조).

### 선행기술문헌

#### 특허문헌

[0006]

(특허문헌 0001) 일본 공개특허공보 2008-288563호

### 발명의 내용

#### 해결하려는 과제

[0007]

그러나 지지 기판 위로 전재된 단결정 실리콘층 표면의 평탄화를 위해, 레이저광을 조사시킬 때, 단결정 실리콘층의 표면에 자연 산화층과 같은 산화질연층이 있으면, 상기 산화질연층 중에 포함되는 산소가 단결정 실리콘층의 용융부에 혼입되어 버린다. 이로 인해, 고화된 단결정 실리콘층의 표면은 평탄화되지만, 결함을 포함하는 단결정 실리콘층이 형성되어 버린다.

[0008]

한편, 평탄화를 위한 레이저광 조사전에, 지지 기판 위로 전재된 단결정 실리콘층 표면의 산화질연층을 제거하면, 상기 산화질연층의 제거와 함께, 등방적으로 지지 기판이 에칭되어 버려 지지 기판 위의 산화질연층 단부의 하방에 공동이 생성되어 지지 기판 위로 전재된 단결정 실리콘층의 단부가 박리되어 쉬워진다.

[0009]

단결정 실리콘층의 단부가 박리되면, 파티클이 되어 반도체 기판의 제조 수율 저하의 원인이 된다.

[0010]

그래서, 본 발명의 일 형태는, 반도체 기판의 결함을 저감시키는 것을 과제의 하나로 한다. 또한, 제조 수율이 높고 결함이 적은 반도체 기판을 제작하는 것을 과제의 하나로 한다. 또한, 제조 수율 높게 반도체 장치를 제작하는 것을 과제의 하나로 한다.

## 과제의 해결 수단

- [0011] 본 발명의 일 형태는, 지지 기판에 산화질연층을 개재하여 반도체층을 형성하고, 상기 반도체층의 단부에 있어서의 지지 기판 및 산화질연층의 밀착성을 향상시킨 후, 반도체층 표면의 절연층을 제거하고, 반도체층에 레이저광을 조사하여 평탄화된 반도체층을 얻는 것을 요지로 하는 반도체 기판(SOI 기판)의 제작 방법이다.
- [0012] 반도체층의 단부에 있어서, 지지 기판 및 산화질연층의 밀착성을 향상시키는 방법으로서는, 반도체층의 표면으로부터 레이저광을 조사하는 방법이 있다. 이 때, 지지 기판 및 산화질연층의 밀착성을 향상시키는 것이 가능한 에너지를 갖는 레이저광을 반도체층의 단부에 조사한다. 또한, 상기 레이저광의 에너지는, 조사된 반도체층을 완전 용융하는 에너지인 것이 바람직하다. 이 결과, 레이저광의 에너지가 산화질연층에 전달되고, 상기 에너지에 의해, 지지 기판 및 산화질연층의 밀착성이 향상된다. 이로 인해, 반도체층 표면의 절연층 제거 공정에 있어서, 반도체층 단부의 들뜸 및 박리를 저감시킬 수 있다. 또한, 레이저광의 조사에 의해 완전 용융된 반도체층의 일부는, 재결정화하기 위해서, 다결정 반도체 영역이 된다.
- [0013] 또한, 반도체층의 단부에 있어서, 지지 기판 및 산화질연층의 밀착성을 향상시키는 방법으로서는, 반도체층의 단부를 가열하는 방법이 있다. 이 때, 지지 기판 및 산화질연층의 밀착성을 향상시키는 것이 가능한 온도로 반도체층의 단부를 가열한다. 또한, 상기 가열 온도는 지지 기판의 왜곡점 미만의 온도인 것이 바람직하다. 이 결과, 상기 가열에 의해, 지지 기판 및 산화질연층의 밀착성이 향상된다. 이로 인해, 반도체층 표면의 절연층 제거 공정에 있어서, 반도체층 단부의 들뜸 및 박리를 저감시킬 수 있다.
- [0014] 또한, 본 발명의 일 형태는, 지지 기판에 산화질연층을 개재하여 반도체층을 형성하고, 상기 반도체층의 단부에 있어서의 지지 기판 및 산화질연층의 밀착성을 향상시킨 후, 반도체층 표면의 절연층을 제거하고, 반도체층에 레이저광을 조사하여 평탄화된 반도체층을 얻는다. 다음에, 상기 반도체층을 사용하여 반도체 소자를 제작하는 것을 요지로 하는 반도체 장치의 제작 방법이다.
- [0015] 또한, 본 명세서에 있어서, 단결정이란, 결정 구조가 일정한 규칙성을 가지고 형성되어 있으며, 어느 부분에 있어서도 결정축이 일정 방향을 향하고 있는 것을 말한다. 단, 단결정은 결합이나 격자 왜곡 등의 규칙성의 혼란을 가지고 있어도 좋다.
- [0016] 또한, 본 명세서에 있어서, 반도체 기판이란, SOI 기판 등과 같이, 지지 기판 위에 절연층을 개재하여 반도체층이 형성되어 있는 것을 말한다.

## 발명의 효과

- [0017] 본 발명의 일 형태는, 결함이 적고, 또한 표면이 평탄화된 반도체 기판을 얻을 수 있다. 또한, 본 발명의 일 형태는, 제조 수율이 높고, 결함이 적고, 또한 표면이 평탄화된 반도체 기판을 제작할 수 있다. 또한, 본 발명의 일 형태는, 반도체 장치의 양산성을 향상시킬 수 있다.

## 도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 형태에 따른 반도체 기판의 제작 방법을 설명하는 단면도.  
 도 2는 본 발명의 일 형태에 따른 반도체 기판의 제작 방법을 설명하는 상면도.  
 도 3은 본 발명의 일 형태에 따른 반도체 기판의 제작 방법을 설명하는 상면도.  
 도 4는 레이저 조사 장치를 설명하는 사시도.  
 도 5는 레이저 조사 장치를 설명하는 사시도이다.  
 도 6은 본 발명의 일 형태에 따른 반도체 기판의 제작 방법을 설명하는 상면도.  
 도 7은 본 발명의 일 형태에 따른 반도체 기판의 제작 방법을 설명하는 상면도.  
 도 8은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 설명하는 단면도.  
 도 9는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 설명하는 단면도.  
 도 10은 본 발명의 일 형태에 따른 반도체 장치를 설명하는 단면도, 상면도 및 회로도.  
 도 11은 반도체 기판의 단부를 투과형 전자 현미경으로 촬영한 사진.

도 12는 반도체 기판의 단부를 투과형 전자 현미경으로 촬영한 사진.

도 13은 반도체 기판의 단부를 투과형 전자 현미경으로 촬영한 사진.

도 14는 반도체 기판의 단부를 광학 현미경으로 촬영한 사진.

### 발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 실시형태에 관해서, 도면을 사용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 일탈하지 않고, 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 상이한 도면에서 공통적으로 사용한다.
- [0020] (실시형태 1)
- [0021] 본 실시형태에서는, 반도체 기판의 구조 및 제작 방법의 일 형태에 관해서 설명한다.
- [0022] 도 1을 사용하여 반도체 기판의 제작 방법을 설명한다.
- [0023] 우선, 지지 기판(51)(베이스 기판이라고도 한다.)을 준비한다(도 1a 참조).
- [0024] 지지 기판(51)은, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연성 기판을 사용한다. 또한, 지지 기판(51)으로서 플라스틱 기판 등의 절연성 기판, 실리콘 등의 반도체 기판, 금속이나 스테인리스 등의 도전성 기판 등을 적절히 사용해도 좋다.
- [0025] 유리 기판으로서는, 왜곡점이 580°C 이상 730°C 이하인 것을 사용하면 좋다. 또한, 유리 기판은 무알칼리 유리 기판인 것이 바람직하다. 무알칼리 유리 기판에는, 예를 들면, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료가 사용되고 있다. 염가의 유리 기판, 플라스틱 기판을 사용함으로써, 비용을 저감할 수 있다.
- [0026] 또한, 지지 기판(51)의 표면에 절연층을 형성해도 좋다. 상기 절연층을 형성함으로써, 지지 기판(51)에 불순물(알칼리 금속이나 알칼리 토류 금속 등)이 포함되어 있는 경우에는, 나중에 지지 기판(51) 위로 전재되는 반도체층으로 상기 불순물이 확산되는 것을 방지할 수 있다. 절연층으로서는, 스퍼터링법 또는 CVD법에 의해 형성된 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층 등이 있다.
- [0027] 또한, 산화질화실리콘이란, 질소보다도 산소의 함유량이 많은 것이며, 질화산화실리콘이란, 산소보다도 질소의 함유량이 많은 것이다. 여기에서, 함유량의 비교는, 러더포드 후방 산란법 또는 수소 전방 산란법의 측정 결과에 기초하여 행하는 것으로 한다.
- [0028] 다음에, 취화 영역(55)(손상 영역이라고도 한다.)을 갖는 반도체 기판(53)을 준비한다(도 1b 참조). 또한, 반도체 기판(53)의 적어도 한면에는, 산화절연층(57)을 갖는 것이 바람직하다. 여기에서, 취화 영역(55)을 갖는 반도체 기판(53)의 제작 방법에 관해서, 이하에 설명한다.
- [0029] 반도체 기판(53)으로서는, 실리콘, 실리콘게르마늄, 탄화실리콘, 갈륨비소, 또는 인듐인 등의 반도체 재료를 사용한 다결정 기판 또는 단결정 기판이 있다. 여기에서는, 반도체 기판(53)으로서 단결정 실리콘 기판을 사용한다.
- [0030] 반도체 기판(53)은, 원형상의 반도체 기판, 원형상의 반도체 기판을 직사각 형상으로 가공한 반도체 기판 등을 적절히 사용할 수 있다. 여기에서는, 반도체 기판(53)으로서 직사각 형상의 반도체 기판을 사용한다.
- [0031] 다음에, 반도체 기판(53)에, 취화 영역(55)(손상 영역이라고도 한다.)을 형성한다.
- [0032] 전계로 가속된 이온(이온 빔)을 반도체 기판(53)에 조사하여 반도체 기판(53)의 표면으로부터 소정의 깊이로 이온을 도입함으로써, 미소한 구멍이 형성된다. 미소한 구멍이 형성되는 영역이 취화 영역(55)이 된다. 취화 영역(55)이 형성되는 깊이에 따라, 반도체 기판(53)으로부터 분단되는 반도체층의 두께가 결정된다. 취화 영역(55)이 형성되는 깊이는, 반도체 기판(53)의 표면으로부터 50nm 이상  $1\mu\text{m}$  이하이며, 바람직하게는 50nm 이상 300nm 이하이다.
- [0033] 또한, 이온의 도입은 수소, 불활성 원소 또는 할로겐을 사용하여 이온 도핑법 또는 이온 주입법에 의해 행할 수 있다. 불활성 원소로서는, 예를 들면 헬륨이 있으며, 할로겐으로서는, 예를 들면 불소가 있다.

- [0034] 다음에, 반도체 기판(53)의 적어도 한 표면에 산화질연층(57)을 형성한다. 산화질연층(57)은, 2개의 기판을 접합하기 위한 접합층으로서 기능한다. 산화질연층(57)은, 스퍼터링법, CVD법 등의 박막 성막 방법을 사용하여 산화실리콘층, 산화질화실리콘층 등을 형성할 수 있다. 또는, 산화질연층(57)으로서, 테트라에톡시실란 등의 유기 실란을 사용하여 산화실리콘층을 형성할 수 있다. 또는, 반도체 기판(53)을 열산화하여 반도체 기판(53)의 표면 전체에 산화질연층을 형성할 수 있다. 또한, 열산화에 의해 산화질연층(57)을 형성하는 경우, 산소 및 염화수소 분위기에서 가열함으로써, 염소를 포함하는 산화질연층을 형성할 수 있다.
- [0035] 여기서는, 산소 및 염화수소 분위기에 있어서의 열산화에 의해 반도체 기판(53)의 표면을 산화하여 산화질연층(57)으로서 염소를 포함하는 산화실리콘층을 형성한다.
- [0036] 또한, 상기 취화 영역(55) 및 산화질연층(57)을 갖는 반도체 기판(53)의 제작 방법 대신에, 반도체 기판의 한 표면을 양극 산화하여 다공질 영역을 형성하고, 상기 다공질 영역 위에 반도체층을 에피택셜 성장시킨 후, 상기 반도체층 위에 산화질연층을 형성하는 방법 등이 있다.
- [0037] 이어서, 산화질연층(57)을 개재하여 반도체 기판(53) 및 지지 기판(51)을 접합한다(도 1c 참조).
- [0038] 또한, 접합을 행하기 전에, 지지 기판(51) 또는 반도체 기판(53)의 접합되는 면(접합면이라고도 말한다.)에 표면 처리를 행하는 것이 바람직하다. 표면 처리를 행함으로써, 친수성 또는 청정성이 향상되어 접합시의 접합 강도를 향상시킬 수 있다. 또한, 표면 처리는, 지지 기판(51) 및 반도체 기판(53)의 접합면의 적어도 한 쪽에 행하면 좋다.
- [0039] 또한, 표면 처리로서는, 웨트 처리(오존수 세정, 메가소닉 세정, 또는 2류체 세정 등) 또는 드라이 처리(자외선 처리, 오존 처리, 플라즈마 처리, 또는 라디칼 처리 등)이 있다. 또한, 이들을 조합하여 행해도 좋다.
- [0040] 또한, 지지 기판(51) 및 반도체 기판(53)을 접합하기 직전에, 지지 기판(51) 또는 산화질연층(57) 표면의 수분을 제거하기 위해서, 물이 증발되는 온도, 대표적으로는 55°C 이상 100°C 이하로 지지 기판(51) 또는 반도체 기판(53)을 가열해도 좋다. 이 결과, 지지 기판(51) 및 산화질연층(57)의 계면에 있어서, 잔류하는 수분과 함께 기체나 파티클이 혼입되는 것을 저감시킬 수 있기 때문에, 접합 불량을 저감시킬 수 있다.
- [0041] 다음에, 접합된 2개의 기판에 대해, 취화 영역(55)에 있어서, 반도체 기판(53)을 분단(분리라고도 한다.)한다. 이 분단에 의해, 반도체 기판(53)의 일부로 이루어지는 반도체층(59)을 지지 기판(51) 위에 형성할 수 있다. 또한, 상기 분단에 있어서, 반도체 기판 전면(全面)에 산화질연층(57)이 형성되어 있는 경우, 상기 산화질연층(57)도 분단된다. 상기 분단된 산화질연층(57)을 산화질연층(61)이라고 나타낸다(도 1d 참조).
- [0042] 여기서는, 가열 처리에 의해, 취화 영역(55)에 있어서, 반도체 기판(53)을 분단한다. 가열 처리는, 500°C 이상, 지지 기판(51)의 왜곡점 미만의 온도에서 행하면 좋다. 상기 가열 처리에 의해, 취화 영역(55)의 미소한 구멍의 내부 압력이 상승한다. 압력 상승에 의해, 취화 영역(55)의 미소한 구멍에 체적 변화가 일어나 취화 영역(55)에 있어서 반도체 기판(53)이 분단된다. 또한, 본 실시형태에서는, 취화 영역(55)이 반도체 기판(53)의 단부까지 형성되지 않기 때문에, 반도체 기판(53)의 단부는 지지 기판(51)으로 전재하지 않고, 반도체 기판(53)측으로 분단된다.
- [0043] 또한, 취화 영역(55)을 반도체 기판의 양극 산화에 의해 형성한 경우, 워터젯법을 사용하여 취화 영역(55)을 절단해도 좋다.
- [0044] 다음에, 지지 기판(51) 및 산화질연층(61)의 밀착성을 높이기 위해서, 반도체층(59)의 단부에 레이저광(63)을 조사한다.
- [0045] 레이저광(63)으로서는, 지지 기판(51) 및 산화질연층(61)의 밀착성을 향상시키는 에너지를 갖는 레이저광이 바람직하다. 이러한 레이저광의 에너지는, 반도체층(59)을 완전 용융하는 에너지에 상당한다. 여기에서, 완전 용융이란, 반도체층(59)이 산화질연층(61)과의 계면 부근까지 용융되어 액체 상태가 되는 것을 말한다. 반도체층(59)을 완전 용융시키면, 레이저광의 에너지는 산화질연층(61)으로 전달되고, 상기 에너지에 의해 지지 기판(51) 및 산화질연층(61)의 밀착성이 향상된다.
- [0046] 레이저광(63)의 파장은, 반도체층(59)에서 흡수하는 파장이 바람직하고, 대표적으로는, 파장 190nm 내지 2000nm 영역의 자외광에서부터 근적외광인 것이 바람직하다.
- [0047] 또한, 연속 발진의 레이저를 사용함으로써, 피조사면에 있어서의 레이저광의 형상이 점상 또는 타원상이 된다. 또한, 펄스 발진 레이저를 사용함으로써, 피조사면에 있어서의 레이저광의 형상이, 선 형상 또는 직사

각 형상이 된다. 펄스 발진 레이저의 발진 주파수는, 1Hz 이상 10MHz 이하 정도로 하는 것이 바람직하다.

[0048] 레이저광(63)의 조사 방법은, 도 2a에 도시하는 바와 같이, 피조사면에 있어서의 레이저광의 형상이, 점상 또는 타원상이 되는 레이저광(63a)을, 화살표와 같이 반도체층(59)의 단부를 따라 주사하는 방법이 있다. 이러한 레이저광(63a)의 주사 방법에 의해, 지지 기판(51)을 회전시키지 않아도, 반도체층(59)의 단부에 선택적으로 레이저광(63a)을 조사할 수 있다.

[0049] 이 결과, 도 2b에 도시하는 바와 같이, 반도체층(59)의 단부에 다결정 반도체 영역(65)이 형성되는 동시에, 반도체층(59)의 단부에 있어서의, 지지 기판(51) 및 산화절연층(도시하지 않음)의 밀착성을 높일 수 있다. 또한, 반도체층(59)에 있어서, 레이저광(63a)의 미조사 영역은, 반도체층(67)이 된다.

[0050] 또한, 도 2와 상이한 레이저광의 조사 방법으로서, 피조사면에 있어서의 레이저광의 형상이, 선 형상 또는 직사각 형상이 되는 레이저광(63b)을, 반도체층(59)의 1번 각각에 조사하는 방법이 있다. 이러한 레이저광(63b)의 조사 방법에 의해, 반도체층(59)의 단부에 있어서의 레이저광(63b)의 조사 시간을 단축시키는 것이 가능하다. 예를 들면, 도 3a에 도시하는 바와 같이, 반도체층(59)의 제 1 번에 레이저광(63b)을 조사한 후, 지지 기판(51)을 90도 회전시킨다. 다음에, 도 3b에 도시하는 바와 같이, 반도체층(59)의 제 2 번에 레이저광(63c)을 조사한다. 이와 같이, 레이저광을 조사하는 공정과, 기판을 회전시키는 공정을, 반도체층의 번의 수만큼 반복함으로써, 도 3c에 도시하는 바와 같이, 반도체층(59)의 단부에 다결정 반도체 영역(65)이 형성되는 동시에, 반도체층(59)의 단부에 있어서의, 지지 기판(51) 및 산화절연층(도시하지 않음)의 밀착성을 높일 수 있다. 또한, 반도체층(59)에 있어서, 레이저광(63b 및 63c)의 미조사 영역은, 반도체층(67)이 된다.

[0051] 여기서, 도 2에 도시하는 바와 같이, 피조사면에 있어서의 레이저광의 형상이, 원상 또는 타원상이 되는 레이저광을 조사하는 레이저 조사 장치에 관해서, 도 4를 사용하여 설명한다.

[0052] 도 4는, 레이저 조사 장치(80)의 사시도이다.

[0053] 레이저 조사 장치(80)는 레이저광(81)을 발진하는 레이저 발진기(82), 레이저광(81)을 임의의 각도로 반사시키는 갈바노 미러(83a, 83b), 갈바노 미러(83a)를 구동하는 갈바노 스캐너(85a), 갈바노 미러(83b)를 구동하는 갈바노 스캐너(85b), 갈바노 미러(83a, 83b)에서 반사된 레이저광(81)을 피조사면에 집광하는  $f\theta$  렌즈(87), 지지 기판(51)의 위치를 제어하는 XY 스테이지(89), 지지 기판(51)과  $f\theta$  렌즈(87)의 거리를 조정하는 Z축 테이블(91)을 가진다. 또한, 레이저 조사 장치(80)는 레이저광(81)의 조사 위치를 검지하는 CCD(Charge Coupled Device) 카메라(93), 지지 기판(51)과  $f\theta$  렌즈(87)의 거리를 검출하는 위치 검출 장치(95)를 가진다.

[0054] 또한, 레이저 발진기(82), 갈바노 스캐너(85a, 85b), XY 스테이지(89), Z축 테이블(91), CCD 카메라(93), 위치 검출 장치(95)는 각각 제어 장치(99)에 접속된다. 제어 장치(99)에 의해, 갈바노 스캐너(85a, 85b)의 구동을 제어한다. 또한, CCD 카메라(93)로 활상한 정보를 바탕으로, 제어 장치(99)가 갈바노 스캐너(85a, 85b)의 구동 및 XY 스테이지(89)의 이동을 제어하여 반도체층(59)에 있어서의 레이저광(81)의 조사 위치를 제어한다. 또한, 위치 검출 장치(95)에서 얻은 정보를 바탕으로, 제어 장치(99)가  $f\theta$  렌즈(87) 또는 Z축 테이블(91)을 제어하여  $f\theta$  렌즈(87) 및 Z축 테이블(91)의 간격을 제어한다.

[0055] 또한, 레이저 발진기(82) 및 갈바노 미러(83a, 83b) 사이에, 셔터를 설치할 수 있다. 레이저 발진기(82)로부터 발진된 레이저광의 광로를 변경하기 위한 미러를 적절히 설치할 수 있다. 또한,  $f\theta$  렌즈(87)의 Z축 방향의 위치 조정이 가능한 오토포커스 기구(97)를 가져도 좋다.

[0056] 레이저 발진기(82)로부터 발진된 레이저광(81)은, 갈바노 미러(83a, 83b)의 기울기를 제어함으로써, 피조사면의 임의의 장소에 레이저광을 주사할 수 있다. 또한, 갈바노 미러(83a, 83b) 대신에, 폴리곤 미러, 음향 광학 편향기(Acoustic-Optic Deflector; AOD) 등을 사용해도 좋다.

[0057]  $f\theta$  렌즈(87)로 레이저광(81)을 집광함으로써, 피조사면에 레이저광(81)의 초점을 맞출 수 있다.

[0058] 위치 검출 장치(95)는 대표적으로는 광학식 변위계, 초음파식 변위계, 레이저 변위계 등을 적절히 사용할 수 있다. 여기에서는, 위치 검출 장치(95)로서, 레이저 변위계를 사용한다.

[0059] 또한, 도 4에 도시하는 레이저 조사 장치에 있어서는, 1세트의 레이저 발진기(82), 갈바노 미러(83a, 83b), 갈바노 스캐너(85a, 85b) 및  $f\theta$  렌즈(87)를 도시하지만, 복수 세트의 레이저 발진기(82), 갈바노 미러(83a, 83b), 갈바노 스캐너(85a, 85b) 및  $f\theta$  렌즈(87)를 설치함으로써, 생산성을 높일 수 있다.

- [0060] 도 4와 상이한 레이저 조사 장치에 관해서, 도 5를 사용하여 설명한다.
- [0061] 도 5는 레이저 조사 장치의 사시도이다. 레이저 발진기(82)와, 피조사면을 갖는 지지 기판(51) 사이에, 레이저광의 광로를 제어하는 미러(84)와, 피조사면에 레이저광을 집광하는 집광 렌즈(88)를 가진다. 또한, 임의의 각도로 회전 가능한 θ스테이지(92)와, θ스테이지(92) 위에 형성되는 X축 스테이지(90a)를 가진다. 또한, 레이저 발진기(82), 미러(84) 및 집광 렌즈(88)의 Y축 방향의 이동을 제어하는 Y축 스테이지(90b)를 가진다. 또한, 도 5에 있어서는, Y축 스테이지(90b)를 레이저 발진기(82), 미러(84) 및 집광 렌즈(88)에 형성한 도면을 도시하고 있다. 또한, X축 스테이지 또는 Y축 스테이지에, Z축 방향의 위치 조정이 가능한 오토포커스 기구를 설치해도 좋다.
- [0062] 또한, 여기에서는, Y축 스테이지(90b)를 레이저 발진기(82), 미러(84) 및 집광 렌즈(88)에 형성하고 있지만, X축 스테이지(90a)에 형성해도 좋다.
- [0063] 다음에, 도 5에 도시하는 레이저 조사 장치를 사용한 레이저광의 조사 방법을 설명한다. 레이저 발진기(82)로부터 사출된 레이저광(81)의 광로를 미러(84)로 지지 기판(51)측으로 변경한다. 집광 렌즈(88)에서 집광한 레이저광을, X축 스테이지 또는 Y축 스테이지의 이동에 의해, 반도체층(59)의 제 1 변에 조사한다.
- [0064] 다음에, θ스테이지(92)를 90도 회전한 후, X축 스테이지 또는 Y축 스테이지를 이동하고, 제 1 변과 직교하는 제 2 변에 레이저광을 조사한다. X축 스테이지 또는 Y축 스테이지와, θ스테이지(92)의 조작을 교대로 행함으로써, 반도체층(59)의 단부 전체에 레이저광을 조사할 수 있다.
- [0065] 또한, 도 5에 있어서는, 1세트의 레이저 발진기(82), 미러(84) 및 집광 렌즈(88)를 도시하지만, 복수 세트의 레이저 발진기(82), 미러(84) 및 집광 렌즈(88)를 설치함으로써, 생산성을 높일 수 있다.
- [0066] 또한, 본 실시형태에서는, 도 4 및 도 5에 도시하는 레이저 조사 장치 대신에, 적절히 다른 구성을 갖는 레이저 조사 장치를 사용할 수 있다.
- [0067] 도 1d에 도시하는 바와 같이, 반도체층(59)의 단부에 레이저광(63)을 조사함으로써, 지지 기판(51) 및 산화질연층(61)의 밀착성을 향상시킬 수 있다. 이 결과, 나중에 행해지는 반도체층(59) 표면에 형성되는 자연 산화층의 제거 공정에 있어서, 지지 기판(51)의 용해에 따르는 반도체층 단부의 들뜸 및 박리를 저감시킬 수 있다.
- [0068] 또한, 반도체층(59)의 단부에 있어서 레이저광(63)이 조사된 영역은, 완전 용융되기 때문에, 재결정화하여 결정 반도체 영역(65)이 된다. 또한, 여기에서, 레이저광(63)이 조사되지 않은 영역을 반도체층(67)이라고 나타낸다. 또한, 반도체층(67)의 표면에는, 자연 산화층(69)이 형성된다(도 1e 참조). 상기 자연 산화층(69)은 반도체층(67)이 공기 중의 산소에 접촉함으로써, 반도체층(67)의 일부가 산화되어 형성된다.
- [0069] 다음에, 반도체층(67)의 표면에 형성된 자연 산화층(69)을 제거한다. 여기에서는, 에천트로서 불화수소산을 사용한 웨트 에칭법에 의해 자연 산화층(69)을 제거한다. 또한, 레이저광의 조사에 의해 지지 기판(51) 및 산화질연층(61)의 밀착성이 향상되었기 때문에, 지지 기판(51) 및 산화질연층(61)의 계면에 있어서의 에천트의 침입이 저감된다. 이 결과, 반도체층(59) 단부의 들뜸 및 박리를 저감시킬 수 있다.
- [0070] 다음에, 자연 산화층(69)이 제거된 반도체층(67)에 레이저광(75)을 조사한다(도 1f 참조). 상기 공정에 의해, 반도체층(67)의 오목부 및 볼록부를 용융시킨 후, 냉각시킴으로써 고화시킨다. 이 결과, 평탄성을 높인 반도체층(77)을 형성할 수 있다(도 1g 참조).
- [0071] 레이저광(75)은 레이저광(63)과 같이, 반도체층(67)에 흡수되는 과장의 레이저광을 사용할 수 있다.
- [0072] 또한, 레이저광(75)은 반도체층(67)이 부분 용융 또는 완전 용융되는 에너지로 조사한다. 또한, 레이저광(75)에 의한 반도체층(67)의 용융은, 부분 용융으로 하는 것이 바람직하다. 부분 용융이란, 이 경우, 반도체층(67)의 상부는 용융되어 액상이 되지만, 하부는 용융되지 않고 고상인 채인 것을 말한다. 반도체층을 부분 용융시킴으로써, 용융되지 않은 고상 부분으로부터 결정 성장이 진행된다. 이것에 의해, 표면의 평탄성이 높고, 또한 결함이 적은 반도체층(77)을 형성할 수 있다. 또한, 반도체층(67)의 부분 용융에 의해, 지지 기판(51)의 온도 상승을 저감시킬 수 있다. 이로 인해, 지지 기판(51)으로서, 유리 기판과 같은 내열성이 낮은 기판을 사용하는 것이 가능하다.
- [0073] 또한, 반도체층(77)의 두께를 얇게 하기 위해서, 반도체층(77)의 표면에, 에칭 처리(예를 들면 드라이 에칭 또는 웨트 에칭)나, 연마 처리(예를 들면 CMP(Chemical Mechanical Polishing)) 등의 평탄성을 향상시키는 처

리를 행해도 좋다.

[0074] 또한, 레이저광(63)의 조사에 의해 형성된 다결정 반도체 영역을 선택적으로 제거해도 좋다.

[0075] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0076] (실시형태 2)

[0077] 본 실시형태에서는, 실시형태 1과는 상이한 방법으로, 지지 기판으로 전재된 반도체층의 단부에 있어서의 들뜸 및 박리를 저감시키는 방법에 관해서, 도 6을 사용하여 설명한다.

[0078] 본 실시형태에서는, 가열 수단에 의해 지지 기판으로 전재된 반도체층의 단부를 가열하는 것을 특징으로 한다. 가열 수단으로서는, 선 형상의 히터, 또는 반도체층의 단부와 같은 형상을 갖는 페루프 형상, 대표적으로는 □자형 또는 환상의 히터 등이 있다.

[0079] 가열 수단을 반도체층의 단부에 압착한다. 이 때, 가열 수단은, 반도체층만 압착해도 좋고, 반도체층의 단부 및 지지 기판(51)을 압착해도 좋다. 도 6a에 도시하는 영역(64)은, 가열 수단이 적어도 반도체층(59)의 단부 및 지지 기판(51)에 압착된 영역이다.

[0080] 이 결과, 지지 기판(51) 및 산화질연층(도시하지 않음)의 밀착성을 향상시키는 것이 가능하며, 반도체층(59) 단부의 들뜸 및 박리를 저감할 수 있다.

[0081] 또한, 이 다음에 결정화된 영역을 제거하고, 가열 수단이 압착되지 않는 영역의 반도체층(68)만 지지 기판(51)에 형성해도 좋다(도 6b 참조).

[0082] (실시형태 3)

[0083] 본 실시형태에서는, 실시형태 1과 상이한 반도체 기판의 구조 및 제작 방법의 일 형태에 관해서, 도 7을 사용하여 설명한다.

[0084] 본 실시형태에서 나타내는 반도체 기판은, 도 7에 도시하는 바와 같이, 지지 기판(51)에 복수의 반도체층(59a 내지 59d)을 갖는 것을 특징으로 한다. 이하에, 도 7에 도시하는 반도체 기판의 제작 방법에 관해서 설명한다.

[0085] 지지 기판(51)에 산화질연층을 개재하여 복수의 반도체 기판을 접합한다. 여기에서는, 실시형태 1과 같이, 복수의 반도체 기판 각각을 지지 기판(51)에 접합한다. 다음에, 각 기판의 취화 영역에 의해 반도체 기판을 분단하는 동시에, 산화질연층(도시하지 않음)을 개재하여 지지 기판(51)으로 반도체층(59a 내지 59d)을 전재한다. 또한, 분단된 반도체층(59a 내지 59d)의 단부에 레이저광을 조사한다. 이 결과, 반도체층(59a 내지 59d)의 단부에 다결정 반도체 영역(65a 내지 65d)이 형성되는 동시에, 지지 기판(51) 및 산화질연층(도시하지 않음)의 밀착성을 높일 수 있어 반도체층(59a 내지 59d) 단부의 들뜸 및 박리를 저감시킬 수 있다. 또한, 반도체층(59a 내지 59d)에 있어서, 레이저광의 미조사 영역은, 반도체층(67a 내지 67d)이 된다.

[0086] 또한, 여기에서는, 지지 기판(51) 위로 4개의 반도체층(59a 내지 59d)이 전재된 형태를 나타내지만, 반도체층의 수는 적절히 선택할 수 있다.

[0087] 이 다음에 실시형태 1의 도 1e 내지 도 1g의 공정을 거쳐 반도체 기판을 제작할 수 있다.

[0088] 또한, 여기에서는, 지지 기판(51) 위로 전재한 반도체층의 단부에 레이저광을 조사하였지만, 실시형태 2에 나타내는 바와 같이, 가열 수단에 의해 반도체층의 단부를 가열하여 지지 기판(51) 및 산화질연층(도시하지 않음) 단부의 밀착성을 향상시켜도 좋다.

[0089] 이상의 공정에 반도체 기판의 크기에 상관없이, 대면적의 반도체 기판을 제작할 수 있다.

[0090] (실시형태 4)

[0091] 본 실시형태에서는, 반도체 장치의 제작 방법의 일 형태에 관해서, 도 8 및 도 9를 사용하여 설명한다.

[0092] 우선, 반도체 기판(100)으로서, 실시형태 1 내지 실시형태 3에 의해 제작된 반도체 기판을 준비한다. 여기에서는, 반도체 기판(100)으로서, 실시형태 1에 의해 제작된 반도체 기판을 사용한다(도 8a 참조).

[0093] 반도체 기판(100)은, 지지 기판(101) 위에 산화질연층(103)을 개재하여 반도체층(105)이 형성되어 있다. 지지 기판(101), 산화질연층(103), 반도체층(105)은 각각, 실시형태 1에 나타내는 지지 기판(51), 산화질연층(61), 반도체층(77)과 같이 형성할 수 있다.

- [0094] 또한, 반도체층(105)의 표면에, 에칭 처리(예를 들면 드라이 에칭 또는 웨트 에칭)나, 연마 처리(예를 들면 CMP) 등의 평탄성을 향상시키는 처리를 행해도 좋다.
- [0095] 또한, 반도체층(105)에, TFT의 임계값 전압을 제어하기 위한 불순물 원소를 첨가해도 좋다. 불순물 원소로서는, 예를 들면, p채널형의 TFT를 형성하는 영역에 봉소 등의 p형의 도전성을 부여하는 억셉터를 첨가하고, n채널형의 TFT를 형성하는 영역에, 인 등의 n형의 도전성을 부여하는 도너를 첨가하면 좋다.
- [0096] 다음에, 반도체층(105)을 선택적으로 에칭하여 반도체층(107, 109)을 형성한다(도 8b 참조). 또한, 반도체층(107)은 n채널형의 박막 트랜지스터의 채널 형성 영역으로서 기능하고, 반도체층(109)은 p채널형의 박막 트랜지스터의 채널 형성 영역으로서 기능한다.
- [0097] 계속해서, 반도체층(107, 109) 위에 절연층(111)을 형성한다. 다음에, 절연층(111) 위에 도전층(113)을 형성한다(도 8c 참조).
- [0098] 절연층(111)은 산화실리콘층, 산화질화실리콘층, 질화실리콘층, 질화산화실리콘층 등을 사용하여 단층 또는 적층으로 형성할 수 있다.
- [0099] 도전층(113)은 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 또는 적층에 의해 형성할 수 있다.
- [0100] 다음에, 도전층(113) 위에 마스크를 형성한 후, 상기 마스크를 사용하여 도전층(113)을 에칭하여, 게이트 전극(119, 121)을 형성한다. 또한, 상기 마스크를 사용하여 절연층(111)을 에칭하여 게이트 절연층(115, 117)을 형성한다(도 8d 참조). 또한, 절연층(111)을 에칭하지 않고, 절연층(111)을 게이트 절연층으로서 사용해도 좋다.
- [0101] 다음에, 반도체층(107)을 마스크(123)로 덮는다. 다음에, 반도체층(109)에 억셉터가 되는 불순물 원소를 첨가하고, 고농도 불순물 영역(125, 127)을 형성한다. 고농도 불순물 영역(125, 127)은 소스 영역 및 드레인 영역으로서 기능한다. 또한, 반도체층(109)에 있어서, 게이트 전극(121)과 중첩되는 영역은, 채널 영역(129)이 된다(도 9a 참조). 이 다음, 마스크(123)를 제거한다.
- [0102] 여기서는, 억셉터가 되는 불순물 원소로서 봉소를 사용하고, 고농도 불순물 영역(125, 127)으로서, 봉소가 첨가된 반도체 영역을 형성한다.
- [0103] 다음에, 고농도 불순물 영역(125, 127) 및 채널 영역(129)을 마스크(131)로 덮는다. 다음에, 반도체층(107)에 도너가 되는 불순물 원소를 첨가하고, 고농도 불순물 영역(133, 135)을 형성한다. 고농도 불순물 영역(133, 135)은 소스 영역 및 드레인 영역으로서 기능한다. 또한, 반도체층(107)에 있어서, 게이트 전극(119)과 중첩되는 영역은, 채널 영역(137)이 된다(도 9b 참조). 이 다음에 마스크(131)를 제거한다.
- [0104] 여기서는, 도너가 되는 불순물 원소로서, 인을 사용하고, 고농도 불순물 영역(133, 135)으로서, 인이 첨가된 반도체 영역을 형성한다.
- [0105] 여기서, 게이트 전극(119, 121)을 마스크로 하여 반도체층(107, 109)에 불순물 원소를 첨가함으로써, 자기 정합적으로 고농도 불순물 영역(125, 127, 133, 135)을 형성할 수 있다. 또한, 불순물 원소의 첨가는, 이온 도핑법 또는 이온 주입법 등에 의해 행하면 좋다.
- [0106] 또한, 상기 공정의 순서를 반대로 하여, 반도체층(107)에 고농도 불순물 영역(133, 135)을 형성한 후, 반도체층(109)에 고농도 불순물 영역(125, 127)을 형성해도 좋다.
- [0107] 또한, 게이트 전극(119, 121)을 마스크로 하여, 반도체층(107, 109)에 저농도 불순물 영역을 형성한 후, 게이트 전극(119, 121)의 측벽에 사이드월을 형성하고, 게이트 전극(119, 121) 및 사이드월을 마스크로 하여, 저농도 불순물 영역에 불순물 원소를 첨가하고, 고농도 불순물 영역을 형성해도 좋다. 이 경우, 고농도 불순물 영역과 채널 영역 사이에, 저농도 불순물 영역이 형성되기 때문에, 박막 트랜지스터의 내압을 높이고, 열화를 저감할 수 있다.
- [0108] 다음에, 도너가 되는 불순물 원소 및 억셉터가 되는 불순물 원소의 활성화를 위한 가열 처리를 행한다.
- [0109] 계속해서, 절연층(139, 141)을 형성한 후, 가열하여 수소화 처리를 행한다(도 9c 참조). 절연층(139, 141)은, CVD법에 의해 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층의 단층 또는 적층을 형성한다. CVD법에 의해 절연층(139)을 형성함으로써, 절연층(139)의 수소 함유량이 높아지기 때문에, 가열 처리에 의해, 채널 영역(129, 137), 고농도 불순물 영역(125, 127, 133, 135)을 수소화하고, 수소에 의해 맹

글링 본드를 종단시키고, 결함을 저감시킬 수 있다.

[0110] 또한, 절연층(141)은, 산화실리콘, BPSG(Boron Phosphorus Silicon Glass) 등의 무기 재료, 또는, 폴리이미드, 아크릴 등의 유기 재료를 사용하여 형성함으로써, 절연층(141)의 평탄성을 높일 수 있다.

[0111] 다음에, 절연층(139, 141)의 일부를 에칭하여, 콘택트 홀을 형성한 후, 고농도 불순물 영역(125, 127, 133, 135)에 접하는 배선(143, 145, 147, 149)을 형성한다.

[0112] 배선(143, 145, 147, 149)은, 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 또는 적층에 의해 형성할 수 있다. 또한, 배선(143, 145, 147, 149)은, 소스 전극 또는 드레인 전극으로서 기능한다.

[0113] 이상의 공정에 의해, 인이 첨가된 고농도 불순물 영역(133, 135)을 갖는 n채널형의 박막 트랜지스터(151), 및 붕소가 첨가된 고농도 불순물 영역(125, 127)을 갖는 p채널형의 박막 트랜지스터(153)를 갖는 반도체 장치를 제작할 수 있다(도 9d 참조).

[0114] 본 실시형태에서는, 박막 트랜지스터의 제작 방법을 설명했지만, 박막 트랜지스터 외에, 용량, 저항 등 박막 트랜지스터와 함께 각종 반도체 소자를 형성할 수 있다.

[0115] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0116] (실시형태 5)

[0117] 본 실시형태에서는, 실시형태 1 내지 실시형태 3에 나타내는 반도체 기판을 사용한 트랜지스터 또는 다이오드를 사용하여 반도체 장치를 제작할 수 있다. 반도체 장치의 대표예로서는, 액정 표시 장치, 유기 발광 표시 장치, 무기 발광 표시 장치, 기억 장치, 광전 변환 장치 등이 있다. 여기에서는, 전력이 공급되지 않는 상황이라도 기억 내용의 유지가 가능하고, 또한 기록 회수에도 제한이 없는, 새로운 구조의 기억 장치의 일 형태를 나타낸다.

[0118] 도 10은 기억 장치의 구성의 일 형태이다. 도 10a에는 기억 장치의 단면을, 도 10b에는 기억 장치의 상면을, 각각 도시한다. 여기에서, 도 10a는, 도 10b의 E1-E2 및 F1-F2에 있어서의 단면에 상당한다. 도 10a 및 도 10b에 도시하는 기억 장치는, 하부에 실시형태 1 내지 실시형태 3에 나타내는 반도체 기판을 사용한 트랜지스터(260)를 가지며, 상부에 산화물 반도체를 사용한 트랜지스터(280)를 갖는 것이다. 트랜지스터(260)는 실시 형태 4에 나타내는 박막 트랜지스터(151)와 유사하기 때문에, 도 10a, 도 10b, 도 10c에 있어서 도 1e과 동일한 개소는, 동일한 부호를 사용하여 설명한다.

[0119] 트랜지스터(260)는 지지 기판(101) 위에 산화절연층(103)을 개재하여 형성된 반도체층과, 반도체층 위에 형성된 게이트 절연층(208)과, 게이트 절연층(208) 위에 형성된 게이트 전극(119)과, 반도체층의 불순물 영역과 전기적으로 접속하는 한 쌍의 배선(230a, 230b)을 가진다. 한 쌍의 배선(230a, 230b)은, 소스 전극 및 드레인 전극으로서 기능한다. 또한, 반도체층은, 채널 영역(137)과, 채널 영역(137)을 사이에 개재하듯이 형성된 저농도 불순물 영역(214, 215)과, 고농도 불순물 영역(133, 135)(이들을 합쳐서 간단히 불순물 영역이라고도 부른다.)을 가진다.

[0120] 본 실시형태에서는, 게이트 전극(119)의 측면에는 사이드월 절연층(218, 219)이 형성되어 있다. 또한, 반도체층의 지지 기판(101)의 표면에 수직인 방향에서 볼 때 사이드월 절연층(218, 219)과 중첩되는 영역에는, 저농도 불순물 영역(214, 215)을 가진다. 또한, 트랜지스터(260)를 덮도록, 절연층(140) 및 절연층(142)이 형성되어 있다. 한 쌍의 배선(230a, 230b)은, 절연층(140) 및 절연층(142)에 형성된 콘택트 홀을 통해서, 고농도 불순물 영역(133, 135)과 전기적으로 접속되어 있다. 또한, 트랜지스터(260)의 집적화 등을 위해, 사이드 월 절연층(218, 219)이 형성되지 않는 경우도 있다.

[0121] 절연층(140, 142)은, 실시형태 4에 나타내는 절연층(139, 141)을 평탄화 처리하여 형성할 수 있다. 평탄화 처리로서는, 에칭 처리(예를 들면 드라이 에칭 또는 웨트 에칭)나, 연마 처리(예를 들면 CMP) 등의 처리를 행한다.

[0122] 도 10에 도시하는 트랜지스터(280)는, 산화물 반도체층(240), 산화물 반도체층(240)에 접하는 한 쌍의 배선(244a, 244b), 산화물 반도체층(240) 및 한 쌍의 배선(244a, 244b)을 덮는 게이트 절연층(245), 게이트 절연층(245)을 개재하여 산화물 반도체층(240)과 중첩되는 게이트 전극(247)을 포함한다. 한 쌍의 배선(244a, 244b)은, 소스 전극 및 드레인 전극으로서 기능한다.

- [0123] 산화물 반도체층(240)은 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 금속 산화물이나, 3원계 금속 산화물인 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물이나, 2원계 금속 산화물인 In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물 등을 사용할 수 있다. 여기에서는, n원계 금속 산화물을 n종류의 금속 산화물로 구성된다. 또한, 산화물 반도체층(240)에 형성하는 것이 가능한 금속 산화물은, 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 이와 같이, 밴드캡이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감시킬 수 있다.
- [0124] 산화물 반도체층(240)은, 스퍼터링법, 도포법, 인쇄법, 펄스 레이저 증착법 등으로 형성한 후, 가열하여 산화물 반도체층(240)에 포함되는 수소를 제거하는 것이 바람직하다.
- [0125] 도 10에 있어서, 산화물 반도체층(240)의 괴형성면인 절연층(140, 142)의 평탄성을 높임으로써, 산화물 반도체층(240)의 막 두께 분포를 균일하게 할 수 있기 때문에, 트랜지스터(280)의 특성을 향상시킬 수 있다. 단, 채널 길이는 짧은 것으로 하며, 예를 들면 0.8 $\mu\text{m}$ 나 3 $\mu\text{m}$ 로 한다.
- [0126] 한 쌍의 배선(244a, 244b)은, 실시형태 4에 나타내는 한 쌍의 배선(143, 145, 147, 149)과 같이 형성할 수 있다. 또한, 한 쌍의 배선(244a, 244b)과 동시에, 배선(230a)에 접속하는 배선(242a), 배선(230b)에 접속하는 배선(242b)을 형성한다.
- [0127] 게이트 절연층(245)은 실시형태 4에 나타내는 절연층(111)과 같이 형성할 수 있다.
- [0128] 게이트 전극(247)은, 실시형태 4에 나타내는 게이트 전극(119, 121)과 같이 형성할 수 있다. 또한, 게이트 전극(247)과 동시에, 용량 소자(265)의 전극(248)을 형성한다.
- [0129] 또한, 도 10에 도시하는 용량 소자(265)는, 한 쌍의 배선(244a, 244b)의 한쪽과, 유전체로서 기능하는 게이트 절연층(245)과, 전극(248)으로 용량을 형성한다.
- [0130] 또한, 트랜지스터(280) 및 용량 소자(265) 위에는, 절연층(250)이 형성되어 있다. 절연층(250)은, 실시형태 4에 나타내는 절연층(111)과 같이 형성할 수 있다.
- [0131] 산화물 반도체층을 갖는 트랜지스터는, 오프 전류가 매우 작기 때문에, 산화물 반도체층을 갖는 트랜지스터를 사용함으로써, 매우 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레쉬 동작이 불필요하게 되거나, 또는, 리프레쉬 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력의 공급이 없는 경우라도, 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0132] 또한, 도 10c에 기억 소자의 회로도를 도시한다. 또한, 회로도에 있어서는, 산화물 반도체층을 갖는 트랜지스터인 것을 나타내기 위해서, OS 부호를 함께 붙이는 경우가 있다.
- [0133] 도 10c에 있어서, 제 1 배선(1st Line)과 트랜지스터(260)의 한 쌍의 배선의 한쪽은 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(260)의 한 쌍의 배선의 다른쪽은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line)과 트랜지스터(280)의 한 쌍의 배선의 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line)과, 트랜지스터(280)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(260)의 게이트 전극과, 트랜지스터(280)의 한 쌍의 배선의 다른쪽은, 용량 소자(265)의 전극의 한쪽과 전기적으로 접속되고, 제 5 배선(5th Line)과, 용량 소자(265)의 전극의 다른쪽은 전기적으로 접속되어 있다.
- [0134] 도 10c에 도시하는 기억 장치에서는, 트랜지스터(260)의 게이트 전극의 전위가 유지 가능하다는 특징을 활용함으로써, 다음과 같이, 정보의 기록, 유지, 판독이 가능하다.
- [0135] 먼저, 정보의 기록 및 유지에 관해서 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(280)가 온 상태가 되는 전위로 하고, 트랜지스터(280)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가, 트랜지스터(260)의 게이트 전극, 및 용량 소자(265)에 주어진다. 즉, 트랜지스터(260)의 게이트 전극에는, 소정의 전하가 주어진다(기록). 여기에서는, 상이한 2개의 전위 레벨을 주는 전하(이하 Low 레벨 전하, High 레벨 전하라고 한다) 중 어느 하나가 주어지는 것으로 한다. 그 후, 제 4 배선의 전위를, 트랜지스터(280)가 오프 상태가 되는 전위로 하여 트랜지스터(280)를 오프 상태로 함으로써, 트랜지스터(260)의 게이트 전극에 주어진 전하가 유지된다(유지).
- [0136] 트랜지스터(280)의 오프 전류는 매우 작은, 구체적으로는, 실온에서의 오프 전류(여기서는, 단위 채널

폭( $1\mu\text{m}$ )당 값)는  $100\text{zA}/\mu\text{m}$ ( $1\text{zA}$ (జetto암페어)은  $1 \times 10^{-21}\text{A}$ ) 이하, 바람직하게는  $10\text{zA}/\mu\text{m}$  이하이기 때문에, 트랜지스터(260)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

[0137] 다음에, 정보의 관독에 관해서 설명한다. 제 1 배선에 소정의 전위(정전위)를 준 상태에서, 제 5 배선에 적절한 전위(관독 전위)를 주면, 트랜지스터(260)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선은 상이한 전위를 취한다. 일반적으로, 트랜지스터(260)를 n채널형으로 하면, 트랜지스터(260)의 게이트 전극에 High 레벨 전하가 주어져 있는 경우의 겉보기 임계값 전압( $V_{\text{th},\text{H}}$ )은, 트랜지스터(260)의 게이트 전극에 Low 레벨 전하가 주어져 있는 경우의 겉보기 임계값 전압( $V_{\text{th},\text{L}}$ )보다 낮아지기 때문이다. 여기서, 겉보기 임계값 전압이란, 트랜지스터(260)를 「온 상태」로 하기 위해서 필요한 제 5 배선의 전위를 말하는 것으로 한다. 따라서, 제 5 배선의 전위를  $V_{\text{th},\text{H}}$ 와  $V_{\text{th},\text{L}}$ 의 중간 전위( $V_0$ )로 함으로써, 트랜지스터(260)의 게이트 전극에 주어진 전하를 판별할 수 있다. 예를 들면, 기록에 있어서, High 레벨 전하가 주어져 있는 경우에는, 제 5 배선의 전위가  $V_0(>V_{\text{th},\text{H}})$ 가 되면, 트랜지스터(260)는 「온 상태」가 된다. Low 레벨 전하가 주어져 있는 경우에는, 제 5 배선의 전위가  $V_0(<V_{\text{th},\text{L}})$ 이 되어도, 트랜지스터(260)는 「오프 상태」 그대로이다. 이로 인해, 제 2 배선의 전위를 보고, 유지되어 있는 정보를 판독할 수 있다.

[0138] 본 실시형태는, 실시형태 1 내지 4 중 어느 하나와 조합할 수 있다.

[0139] (실시예 1)

[0140] 본 실시예에서는, 레이저광이 조사된, 지지 기판으로 현재한 반도체층의 단부와, 레이저광이 조사되지 않은, 지지 기판으로 현재한 반도체층의 단부와, 반도체층 단부의 박리의 모양에 관해서, 도 1 및 도 11 내지 도 14를 사용하여 설명한다.

[0141] 먼저, 지지 기판(51)으로서, 세정한 무알칼리 유리 기판(상품명 EAGLEXG(등록 상표))을 준비한다(도 1a 참조).

[0142] 다음에, 반도체 기판(53)으로서 단결정 실리콘 기판을 세정한 후, 산소 및 염화수소 분위기에 있어서  $950^{\circ}\text{C}$ 로 가열하여 산화질연층(57)을 형성하였다. 여기에서는, 산화질연층(57)으로서, 두께 100nm의 산화실리콘층을 형성하였다.

[0143] 다음에, 반도체 기판(53)에 취화 영역(55)을 형성한다(도 1b 참조). 여기에서는, 도즈량을  $2.7 \times 10^{16}\text{ cm}^2$ , 가속 전압을 50kV, 전류 밀도  $6.35\text{ }\mu\text{A/cm}^2$ 로 하고, 반도체 기판(53)에 수소 또는 수소 이온의 이온 주입을 행하였다.

[0144] 다음에, 도 1c에 도시하는 바와 같이, 산화질연층(57)을 개재하여 반도체 기판(53) 및 지지 기판(51)을 접합하였다.

[0145] 다음에, 가열 처리를 행하여 취화 영역(55)에 있어서 반도체 기판(53)을 분단하였다. 여기에서는,  $200^{\circ}\text{C}$ 에서 2시간 동안 가열한 후,  $600^{\circ}\text{C}$ 에서 2시간 동안 가열하여 지지 기판(51)으로 산화질연층(61)을 개재하여 반도체 층(59)을 현재하였다.

[0146] 다음에, 도 1d에 도시하는 바와 같이, 반도체층(59)의 단부에 레이저광(63)을 조사하였다. 여기에서는, 파장 532nm, 17.5W의 연속 발진의 레이저광을, 주사 속도 35cm/초로 하여 반도체층(59)의 1변에 조사하였다. 또한, 상기 조건은, 반도체층을 완전 용융하기에 충분한 에너지이다. 레이저광(63)의 조사 영역은, 다결정 반도체 영역이 되었다.

[0147] 여기서, 레이저광의 조사부, 미조사부 각각의 단면을 투과형 전자 현미경(이하, TEM(Transmission Electron Microscope)이라고 말한다.)으로 관찰한 결과를 도 11에 도시한다.

[0148] 도 11a는, 레이저광의 조사부에 있어서의 단면 TEM상을 도시하고, 도 11b는, 레이저광의 미조사부에 있어서의 단면 TEM상을 도시한다. 도 11a에 있어서, 지지 기판(51) 위에 산화질연층(61)이 밀착되어 있고, 산화질연층(61) 위에 레이저광의 조사에 의해 형성된 다결정 반도체 영역(511)이 형성된다. 또한, 도 11b에 있어서, 지지 기판(51) 위에 산화질연층(61)이 밀착되어 있고, 산화질연층(61) 위에 레이저광이 조사되지 않은 반도체층(513)이 형성된다.

[0149] 다음에, 도 1f에 도시하는 바와 같이, 반도체층(59) 표면의 자연 산화층(69)을 제거하였다. 여기에서는, 에

천트로서 불화수소산을 사용하여 반도체층(59)의 자연 산화층(69)을 제거하였다.

[0150] 여기서, 자연 산화층(69)을 제거한 후의, 레이저광의 조사부, 미조사부 각각의 단면을 TEM으로 관찰한 결과를 도 12 및 도 13에 도시한다. 도 12는, 레이저광의 조사부에 있어서의 단면 TEM상을 도시하고, 도 13은, 레이저광의 미조사부에 있어서의 단면 TEM상을 도시한다.

[0151] 도 12a는, 산화질연층(61)을 개재하여 지지 기판(51) 위로 전재된 반도체층의 단부에 있어서의 단면 TEM상이다. 도 12a의 파선(521)의 확대도를 도 12b에 도시한다. 또한, 도 12b는 2개의 사진을 연결시키고 있고, 위치를 맞추기 위해 일부 사진이 떨어져 있다. 지지 기판(51)과 산화질연층(61)의 계면에 공동(523)이 형성된다. 공동(523)은, 자연 산화층(69)을 제거하는 공정에 있어서, 지지 기판인 유리가 용해되어 형성된 것이다.

[0152] 도 13a는, 산화질연층(61)을 개재하여 지지 기판(51) 위로 전재된 반도체층의 단부에 있어서의 단면 TEM상이다. 도 13a의 파선(525)의 확대도를 도 13b에 도시한다. 또한, 도 13b는 2개의 사진을 연결시키고 있으며, 위치를 맞추기 위해 일부 사진이 떨어져 있다. 지지 기판(51)과 산화질연층(61)의 계면에 공동(527)이 형성된다. 상기 공동(527)은 자연 산화층(69)을 제거하는 공정에 있어서, 지지 기판인 유리가 용해되어 형성된 것이다. 도 12b에 도시하는 공동(523)과 비교하면, 지지 기판(51) 및 산화질연층(61)의 계면에 있어서의 공동(527)은, 파선(529)으로 나타내는 바와 같이, 두께는 얇지만, 보다 안쪽까지 형성되어 있다.

[0153] 지지 기판 및 산화질연층의 계면에 있어서 밀착성이 높으면, 에천트에 의한 지지 기판의 용해가 발생해도, 산화질연층 및 지지 기판 사이로의 에천트의 침입이 적고, 도 12b와 같이, 지지 기판의 용해가 그다지 진행되지 않는다. 그러나, 지지 기판 및 산화질연층의 밀착성이 약하면, 지지 기판 및 산화질연층 사이에 간극이 발생한다. 상기 간극에 에천트가 침입함으로써, 지지 기판이 다시 에칭된다. 이 결과, 산화질연층 및 반도체층의 단부가 들떠서 간극이 형성되어 버리고, 레이저광의 미조사부에는, 도 13b와 같이, 보다 안쪽까지 공동이 형성된다.

[0154] 다음에, 지지 기판(51) 및 산화질연층(57)의 밀착성을 조사하였다. 여기에서는, 캡톤테이프(상표 등록)를 레이저광(63)의 조사 영역, 및 미조사 영역 각각에 접합한 후, 캡톤테이프를 박리하여 각각의 영역의 밀착성을 조사하였다.

[0155] 도 14는 밀착성을 측정한 후의, 지지 기판(51)의 단부를 광학 현미경으로 촬영한 사진이다. 레이저광의 조사부(503)에 있어서는, 캡톤테이프를 박리한 후, 다결정 반도체 영역이 박리되는 모양이 관찰되지 않았다.

[0156] 한편, 레이저광의 미조사부(505)는, 산화질연층 및 반도체층의 일부가 박리되어 에천트에 의한 용해가 진행되지 않는 볼록상의 지지 기판이 노출되어 있는 영역(예를 들면, 파선(509) 내)이 관찰되었다. 이것은, 지지 기판 및 산화질연층의 밀착성이 낮기 때문에, 캡톤테이프를 박리할 때에, 산화질연층 및 반도체층의 일부가 박리되어 버리고, 이 결과, 볼록상의 지지 기판이 노출되기 때문이다.

[0157] 이상의 것으로부터, 지지 기판으로 전재한 반도체층의 단부에 레이저광을 조사함으로써, 지지 기판 및 산화질연층의 밀착성을 향상시키는 동시에, 반도체층 단부의 들뜸 및 박리를 저감할 수 있는 것을 알 수 있다.

## 부호의 설명

[0158] 51 지지 기판

53 반도체 기판

55 취화 영역

57 산화 절연층

59 반도체층

59a 반도체층

59d 반도체층

61 산화 절연층

63 레이저광

63a 레이저광

- 63b 레이저광  
 63c 레이저광  
 64 영역  
 65 다결정 반도체 영역  
 65a 다결정 반도체 영역  
 67 반도체층  
 67a 반도체층  
 67d 반도체층  
 69 자연 산화층  
 75 레이저광  
 77 반도체층  
 80 레이저 조사 장치  
 81 레이저광  
 82 레이저 발진기  
 83a 갈바노 미러  
 83b 갈바노 미러  
 84 미러  
 85a 갈바노 스캐너  
 85b 갈바노 스캐너  
 87 f Θ 렌즈  
 88 집광 렌즈  
 89 XY 스테이지  
 90a X축 스테이지  
 90b Y축 스테이지  
 91 Z축 테이블  
 92 Θ스테이지  
 93 CCD 카메라  
 95 위치 검출 장치  
 97 오토포커스 기구  
 99 제어 장치  
 100 반도체 기판  
 101 지지 기판  
 103 산화 절연층  
 105 반도체층  
 107 반도체층  
 109 반도체층

- 111 절연층
- 113 도전층
- 115 게이트 절연층
- 117 게이트 절연층
- 119 게이트 전극
- 121 게이트 전극
- 123 마스크
- 125 고농도 불순물 영역
- 127 고농도 불순물 영역
- 129 채널 영역
- 131 마스크
- 133 고농도 불순물 영역
- 135 고농도 불순물 영역
- 137 채널 영역
- 139 절연층
- 140 절연층
- 141 절연층
- 142 절연층
- 143 배선
- 151 박막 트랜지스터
- 153 박막 트랜지스터
- 208 게이트 절연층
- 214 저농도 불순물 영역
- 215 저농도 불순물 영역
- 218 사이드월 절연층
- 219 사이드월 절연층
- 230a 배선
- 230b 배선
- 240 산화물 반도체층
- 242a 배선
- 242b 배선
- 244a 배선
- 244b 배선
- 245 게이트 절연층
- 247 게이트 전극
- 248 전극

250 절연층

260 트랜지스터

265 용량 소자

280 트랜지스터

503 조사부

505 미조사부

509 파선

511 다결정 반도체 영역

513 반도체층

521 파선

523 공동

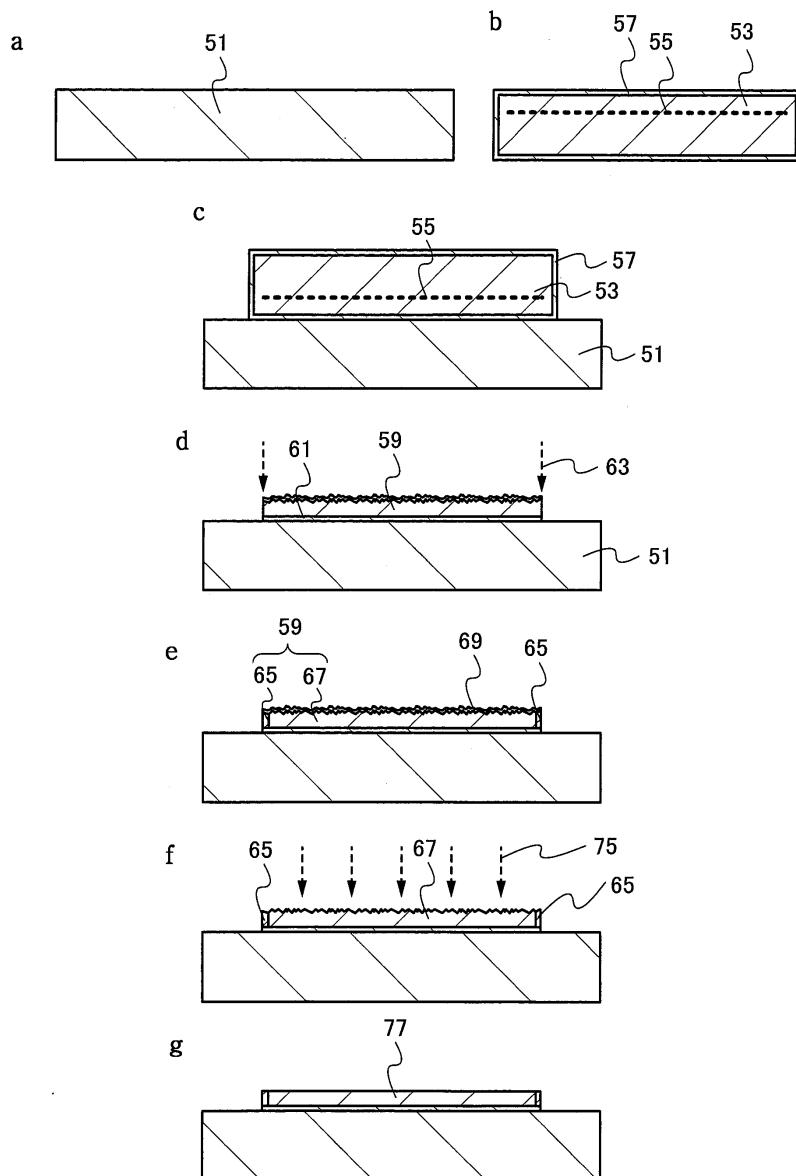
525 파선

527 공동

529 파선

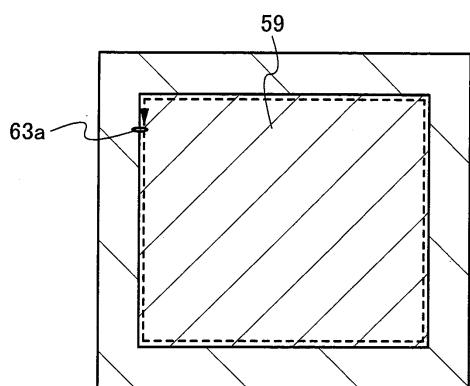
## 도면

## 도면1

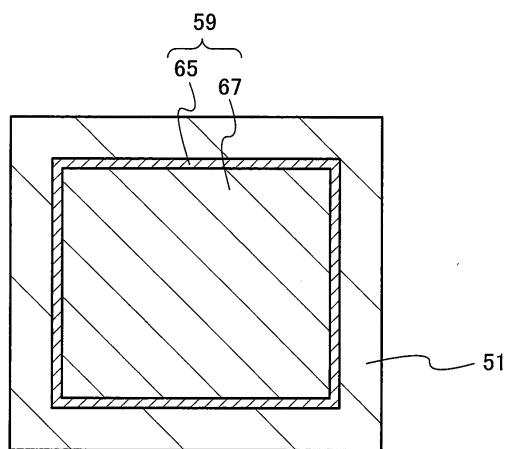


도면2

a

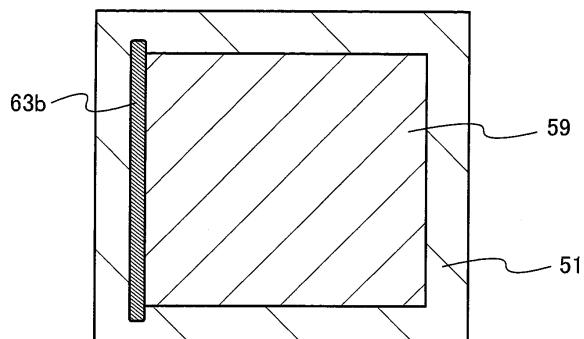


b

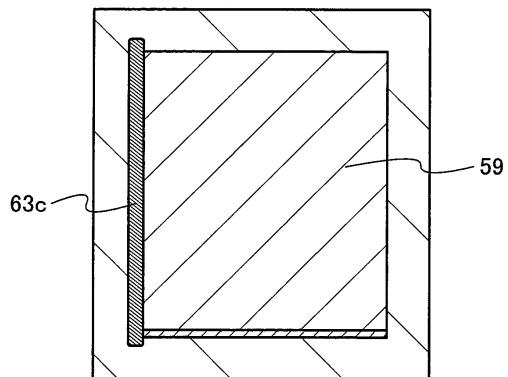


도면3

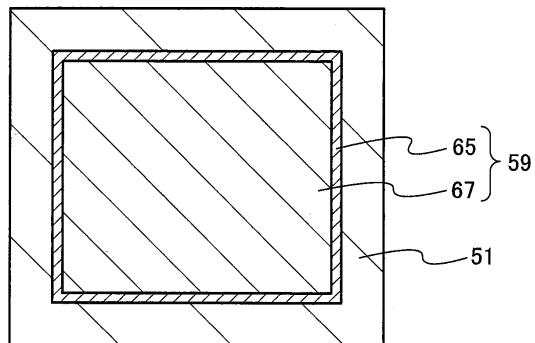
a



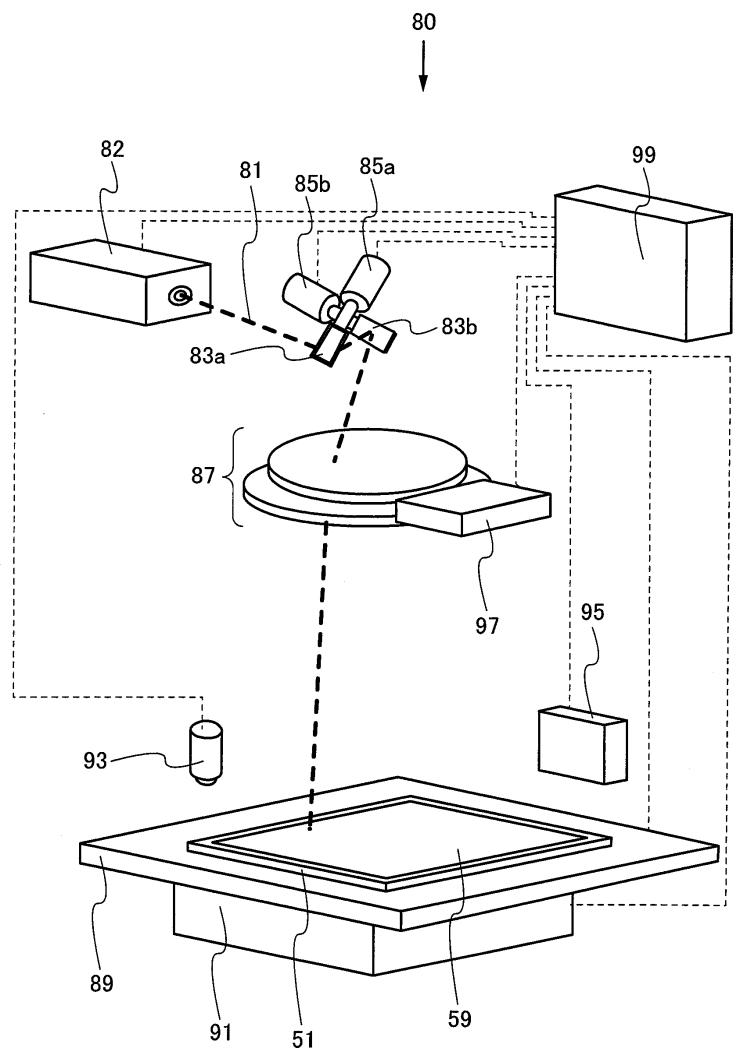
b



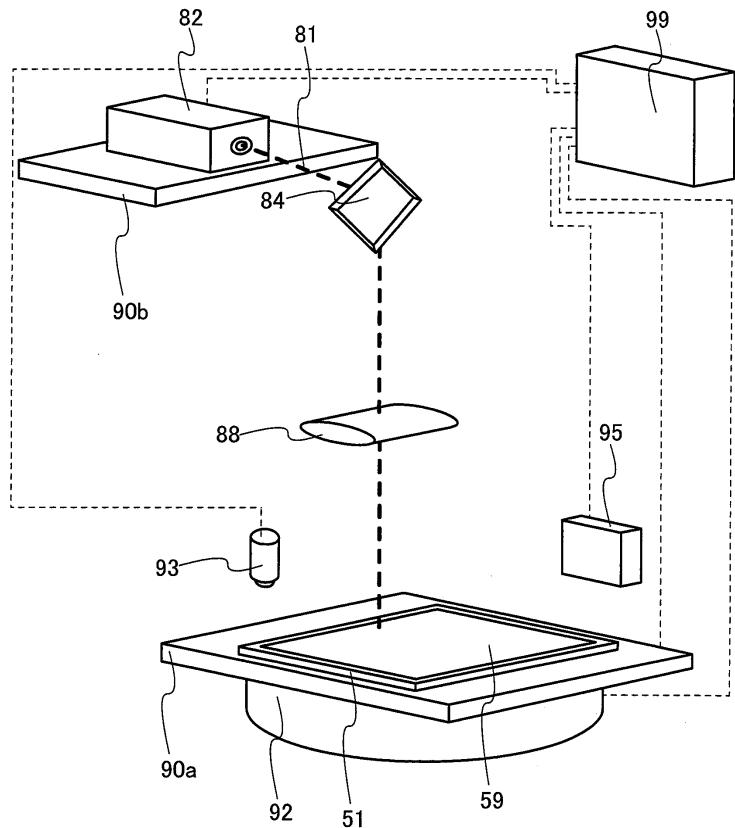
c



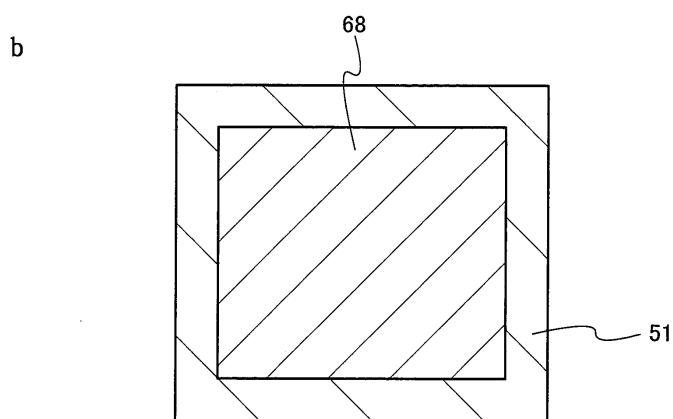
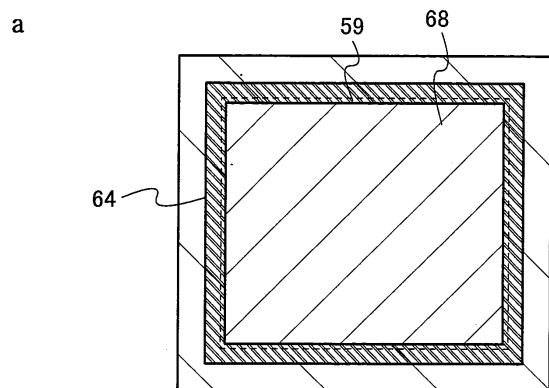
## 도면4



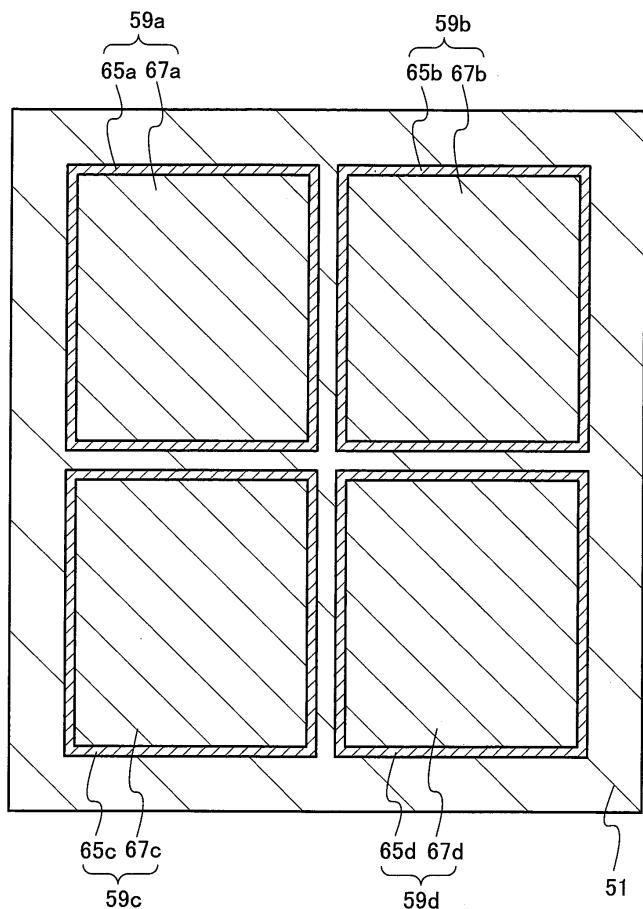
## 도면5



도면6

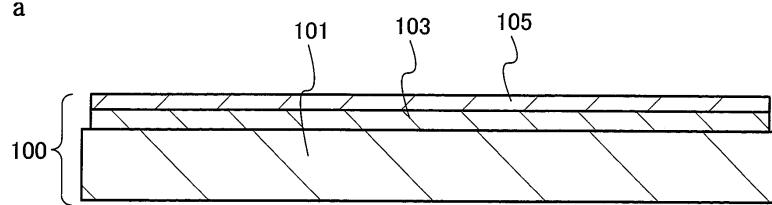


도면7

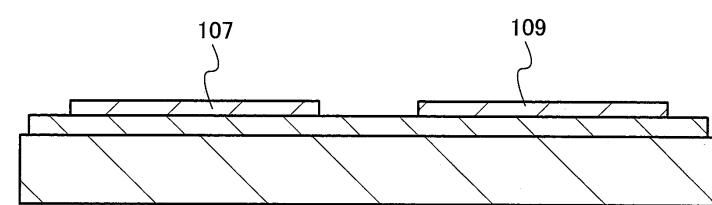


## 도면8

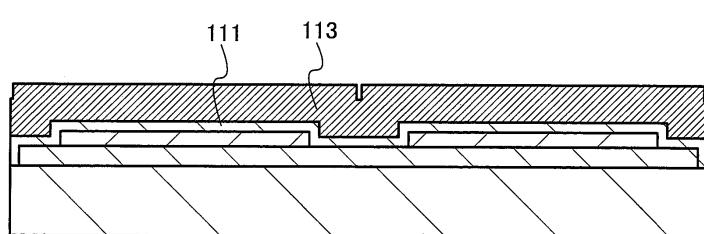
a



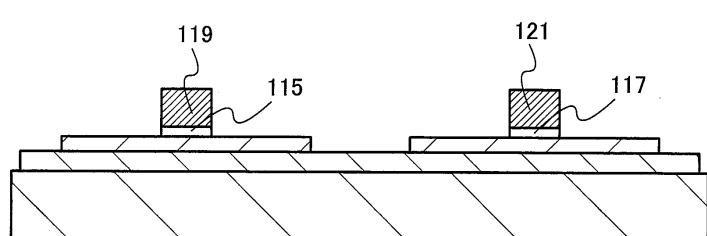
b



c

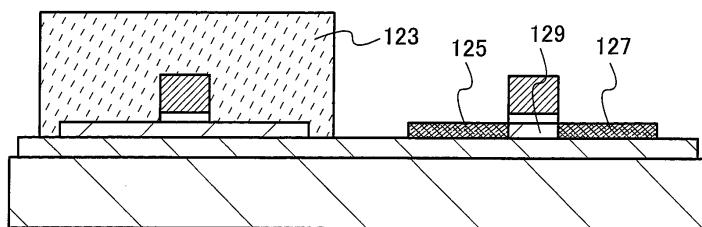


d

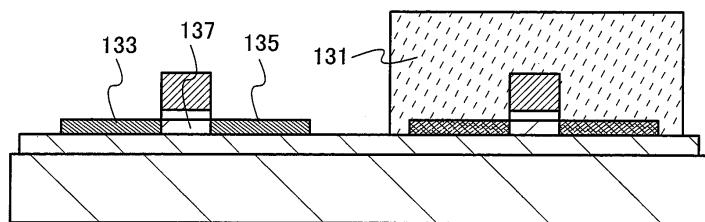


## 도면9

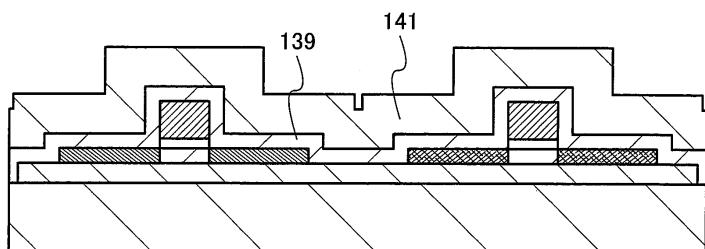
a



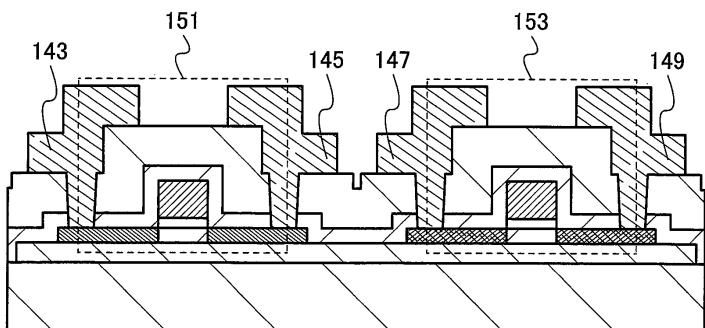
b



c

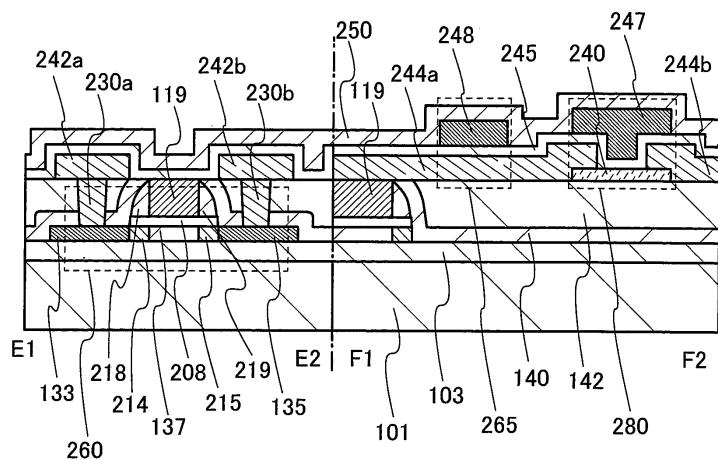


d

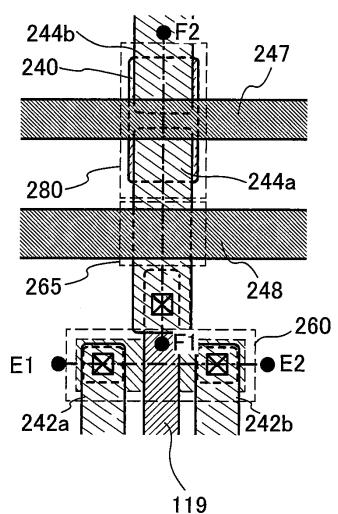


## 도면10

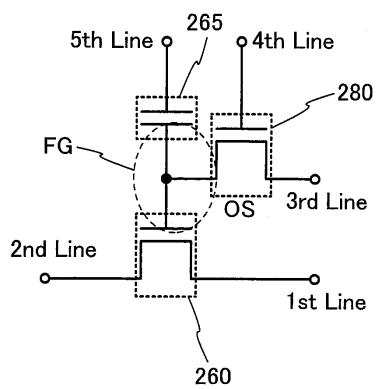
a



b

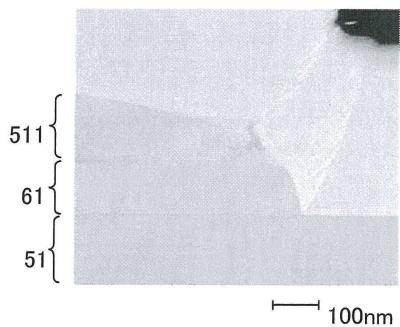


c

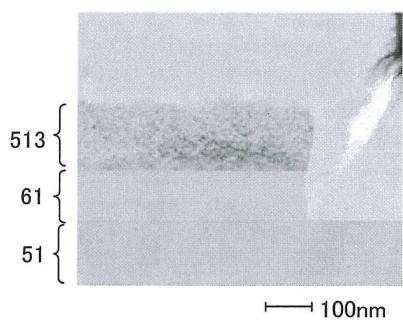


도면11

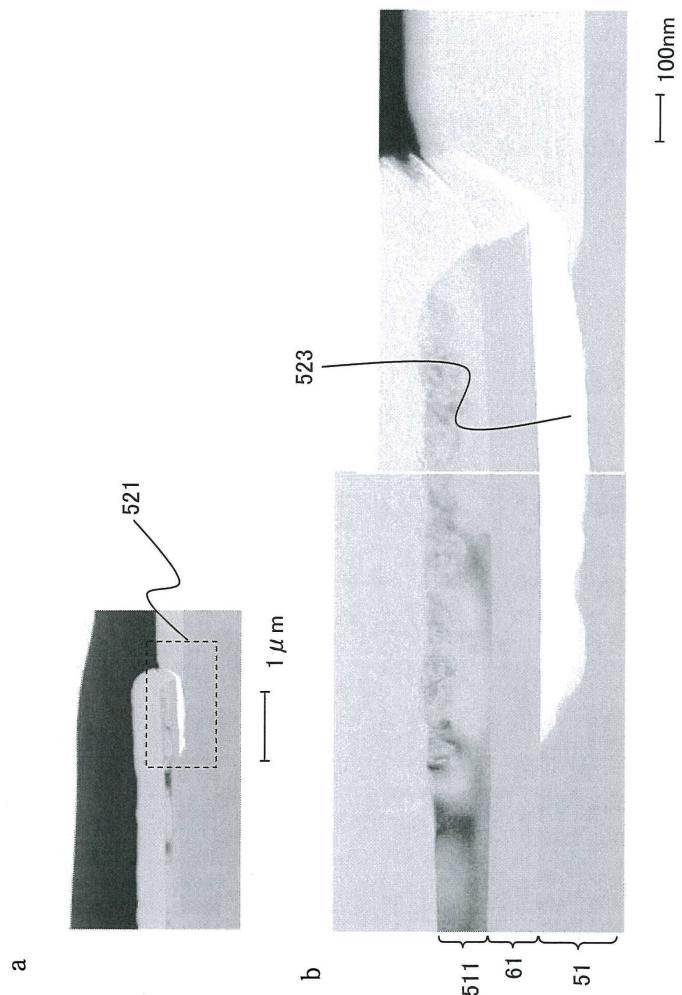
a



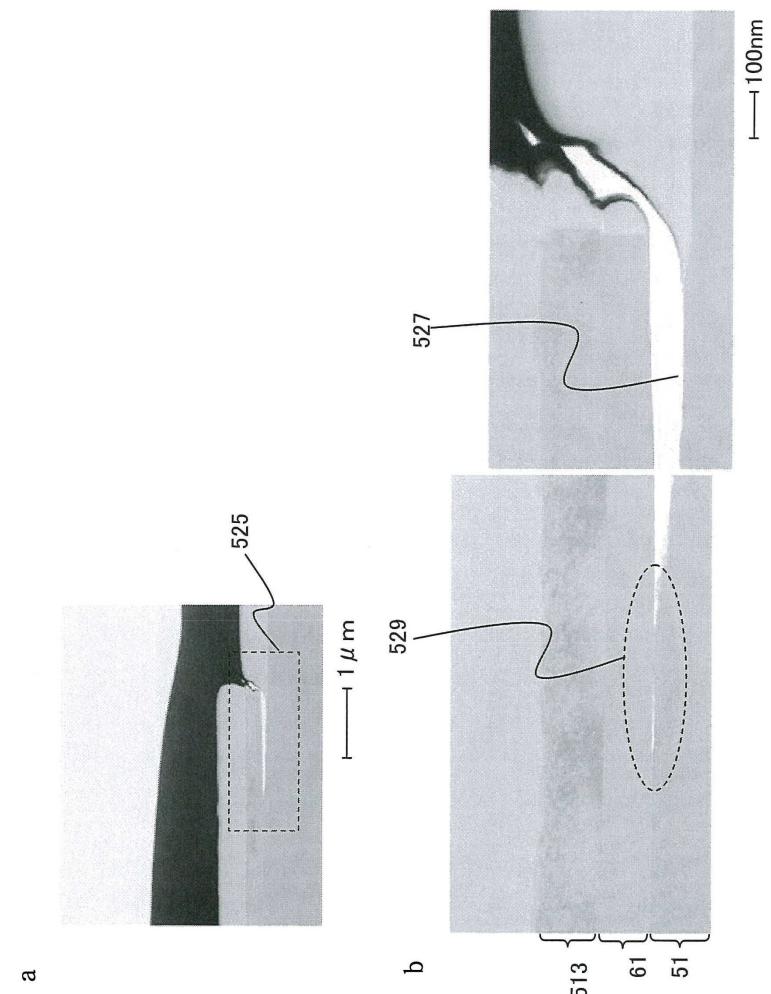
b



도면12



도면13



도면14

