(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/762

(45) 공고일자 2004년03월30일
(11) 등록번호 10-0425064
(24) 등록일자 2004년03월18일

(21) 출원번호 10-1999-7002156
(22) 출원일자 1999년03월13일
번역문 제출일자 1999년03월13일
(86) 국제출원번호 PCT/JP1997/003267
(86) 국제출원출원일자 1997년09월16일
(65) 공개번호 10-2000-0036123
(43) 공개일자 2000년06월26일
(87) 국제공개번호 WO 1998/12742
(87) 국제공개일자 1998년03월26일

(81) 지정국 국내특허 : 중국, 대한민국, 미국, 싱가포르,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드,

(30) 우선권주장 1996-244445 1996년09월17일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 미우라히데오
일본국사이타마켄고시가야시미나미코시가야4-8-9-512

기타노마코토
일본국이바라키켄츠치우라시시라토리마치1057-8

이케다슈지
일본국도쿄도고가네이시누쿠이키타마치3-30-8

스즈키노리오
일본국이바라키켄미토시아타고쵸1-1

(74) 대리인 백남기

심사관 : 신창우

(54) 반도체장치 및 그 제조방법

요약

소자분리용 홈상측끝 근방의 기판형상이 예각화되어 게이트전극막 끝부 근방의 전계집중에 기인한 MOS형 트랜지스터의 누설전류증가 또는 내압특성의 저하를 발생시키지 않는 소자분리산화막구조를 갖는 반도체장치 및 그 제조방법을 제공한다.
홈분리구조를 갖는 반도체장치에 있어서, 종래의 방법에 의해 선택적으로 홈표면을 산화시킨 후 산화방지막을 제거해서 기판 또는 홈표면의 산화막만이 노출된 상태에서 재차 기판표면 전체를 산화하고 홈상측끝부 근방의 산화막형상으로 곡률을 갖게 한 구조로 한다.

색인어

반도체장치, 홈분리구조, 곡률, 반도체기판, 매립절연막

명세서

기술분야

본 발명은 신뢰성이 높은 홈분리구조를 갖는 반도체장치 및 그 제조방법에 관한 것이다.

배경기술

반도체기판상에서 인접한 소자들을 전기적으로 절연 분리하는 구조로서 LOCOS(Local Oxidation of Silicon)구조가 잘 알려져 있다. 이 구조는 기판표면을 선택적으로 산화해서 두꺼운 열산화막을 형성하고, 많은 반도체장치에 채용되고 있다. 그러나, 이 LOCOS구조는 낮은 가공정밀도를 갖고 있으므로, 딥서브미크론소자(deep submicron device)와 같이 열산화막을 위해 높은 가공치수정밀도가 요구되는 고집적화 반도체장치의 절연분리구조에는 적합하지 않다. 그러므로, 고집적화가 요구되는 반도체장치의 절연분리구조로서 LOCOS구조 대신에 예를 들면 일본국 특허공개공보 소화63-143835호에 개시되어 있는 바와 같은 기판표면에 얕은 홈을 형성하고 그 홈부분을 선택적으로 산화해서 열산화막을 형성하는 소위 선택산화법에 의한 '홈분리구조'가 채용되고 있다.
이 홈분리구조는 LOCOS구조에 비해 평면치수가 작은 소자분리산화막을 형성할 수 있다는 이점이 있다. 이 때문에, 이 방법은 0.5㎛이하의 가공치수 정밀 도가 요구되는 딥서브미크론디바이스의 제조에 적합하다.
예를 들면 반도체기판인 실리콘기판 표면을 산화해서 실리콘열산화막을 형성하는 경우, 형성된 열산화막과 실리콘기판 사이의 경계 근방에서 큰 기계적 응력이 발생한다. 이것은 실리콘기판(Si)의 일부가 산화되어 열산화막(SiO_2)으로 변화할 때 약 2배의 체적팽창을 하기 때문이다. 이 기계적 응력이 증가하는 경우, 전위(轉位)나 적층결함 등의 결정결함이 발생하기 쉬워져 반도체장치의 신뢰성을 열화시킨다. 또, 산화반응자체(산화종류의 확산거동이나 산화경계에서의 반응률 등)이 응력의 영향을 받아 성장하는 산화막의 형상이 변화하는 것이 명확하게 되어 있다. 이 응력은 2차원 또는 3차원 형상의 끝점(모서리(corner)점) 근방에서 집중적으로 발생하므로, 이 응력집중장에서는 특히 결정결함이나 형상변화에 주의해야만 한다.
도 1의 (a) 도 1의 (d)는 종래의 선택산화법에 있어서의 홈분리구조의 제조공정의 개략도이다. 도 1의 (a)에 도시한 종래의 방법에 있어서는 우선 실리콘기판(1)의 표면에 패드산화막(실리콘열산화막)(2)를 거쳐서 산화방지막(3)을 퇴적시킨 후, 소자분리산화막을 형성하고자 하는 영역의 산화방지막(3), 패드산화막(2) 및 실리콘기판(1)을 부분적으로 제거해서 홈을 형성하고(도 1의 (b)), 그 홈표면을 산화해서 실리콘 열산화막(5)를 형성한다.
그 후, 게이트산화막(6), 게이트전극(7), 층간절연막(8), 매립절연막(9), 제1층배선(10) 및 제2 층간절연막(11)이 순차 형성된다.
이 홈분리구조에 있어서는 반드시 기판의 홈상측끝부 또는 홈하측끝부 근방에 끝점(모서리점)이 존재한다. 그러므로, 열산화에 의해 이 끝점(모서리점) 근방에 응력집중장이 형성된다. 이 응력집중장이 형성되므로, 특히 홈상측끝부 근방의 기판형상이 도 1의 (c)에 도시한 바와 같이 예각을 갖는 뾰족한 형상(4)로 산화되는 경우가 있다. 소자분리산화막의 형성후, 도 1의 (d)에 도시한 바와 같이 산화보호막(3)으로 덮여져 있던 소자형성영역에 트랜지스터, 용량 등의 전자회로를 형성한다. 그러나, 이와 같은 예각부(4)가 기판표면에 잔류하면, 예를 들면 A.Bryant 등이 「Technical Digest of IEDM '94, pp.671-674」에 공표하고 있는 바와 같이 회로동작중에 이 부분에 전계집중이 발생해서 회로를 구성하는 트랜지스터, 용량 등의 내압특성을 열화시키게 된다.

발명의 상세한 설명

발명의 개시

본 발명의 목적은 홈분리구조를 갖는 반도체장치에 있어서, 회로를 구성하는 트랜지스터 및 용량의 내압특성을 열화시키지 않고 신뢰성이 높은 반도체장치 및 반도체장치의 제조방법을 제공하는 것이다.
상기 목적은 반도체기판표면의 소자분리홈의 상측끝부 근방의 기판형상의 예각화를 방지하는 것에 의해 달성할 수 있다.
상기 목적을 달성하기 위해서 반도체장치의 제조방법은 다음의 공정을 포함하고 있다.
<1> 반도체기판의 회로형성면에 산화방지막을 형성하는 공정:
반도체기판으로서 실리콘기판 등이 사용된다.
산화방지막의 막두께는 후공정<4>, <7> 등의 산화공정에 있어서 모든 산화방지막이 산화되지 않는 막두께로 할 필요가 있다.
산화방지막으로서 다결정실리콘박막, 질화규소막 등이 사용된다. 다결정실리콘박막 등의 산화되기 쉬운 재료는 실리콘기판의 산화에 따른 체적팽창에 대한 구속력이 낮으므로, 홈상측끝부의 응력집중을 저감할 수 있다. 또, 질화규소막 등의 산화되기 어려운 재료는 산화공정에서의 산화량이 적으므로, 막두께를 저감할 수 있다.
또 산화방지막을 형성하기 전에 패드산화막을 실리콘기판에 형성하는 것도 유효하다. 패드산화막이 존재하면, 패드산화막에 접하고 있는 산화방지막의 하측끝 및 반도체기판의 상측끝 근방부분이 홈끝부에서 순차 산화되고, 패드산화막과 반도체기판 사이의 접촉부에 소위 버즈비크(bird's beak)가 형성된다. 그 결과, 반도체기판의 상측끝 근방의 모서리부에서 곡률화가 촉진된다.
<2> 반도체기판의 회로형성면의 원하는 위치에 소정의 깊이를 갖는 홈을 형성하는 공정:

이 홈은 예를 들면 포토레지스트를 사용한 통상의 리도그래피법과 에칭에 의해 형성할 수 있다.
<3> 반도체기판의 회로형성면에 홈에 의해 형성되는 모서리부를 제거하는 공정:
이 공정은 반드시 필요한 것은 아니지만, 이 공정에 의해 모서리부를 제거하 면 후공정의 산화공정<7>이 불필요하게 되는 경우가 많다.
<4> 반도체기판에 형성된 홈부분을 산화시키는 공정:
이 산화에 의해 홈부분이 두께 수㎚ 수십㎚정도 산화된다. 이 산화에 의해, 홈부분에 버즈비크가 성장해서 홈상측끝부의 모서리부에 곡률이 형성된다.
<5> 산화된 홈내부에 매립절연막을 매립하는 공정:
매립절연막으로서 사용하는 재료는 기본적으로 절연성의 재료이고 또한 유전율이 낮은 것이 바람직하다. 이것은 유전율이 큰 재료를 사용하면, 후공정에 있어서 이 절연막상에 배선재료를 퇴적한 경우에 형성되는 결합용량이 커지기 때문이다. 이 관점에서는 실리콘산화막 등이 바람직한 매립재료이고, 다결정실리콘 등이 바람직하지 않다.
<6> 산화방지막상에 형성된 매립절연막을 제거하는 공정:
화학기계연마(CMP) 또는 드라이에칭에 의해 매립절연막을 에치백한다. 이 경우, 산화방지막은 에칭스토퍼로 되고 또한 산화방지막 아래의 반도체기판의 에칭을 방지하는 작용도 갖는다.
<7> 산화방지막상에 형성된 상기 매립절연막을 제거한 후 반도체기판을 산화시키는 공정:
이 공정은 누설전류의 증가를 방지하는데 충분한 곡률로 반도체기판의 홈상측끝부의 곡률을 성장시킨다. 또한, 이 산화공정은 매립절연막이 치밀화된다는 효과도 있다.
공정<4>의 산화에 의해 반도체기판의 홈상측끝부의 곡률이 누설전류 증가방 지에 충분하게 되어 있는 경우에는 이 공정은 불필요하다.
이 공정은 전공정<6>의 전 또는 다음공정<8> 후에 실시해도 좋다. 또한, 다음공정<8>후에 실시하는 경우에는 반도체기판의 표면도 동시에 산화되게 되지만 이 반도체기판의 표면에 형성된 산화막은 추가산화종료후에 제거하는 것에 의해 소자분리산화막 형성공정은 종료한다.
<8> 상기 반도체기판의 회로형성면상에 형성된 상기 산화방지막을 제거하는 공정.
이 공정에 의해 소자분리산화막의 형성공정은 종료하므로, 이 소자분리산화막이 형성된 반도체기판에 트랜지스터 등의 회로를 형성해서 반도체장치가 형성된다.
상기 목적을 달성하기 위해서 본 발명에 관한 반도체장치는 반도체기판의 회로형성면에 형성된 소자분리산화막 구조가 홈분리구조인 반도체장치로서, 상기 반도체기판의 측면에 대해서 깊이방향으로 상기 반도체기판의 회로형성면과 상기 홈분리구조를 구성하는 홈의 각도 θ 를 90 ° ＜ θ ＜180 ° 의 범위로 되도록 구성하였다. 그리고, 이 구성에 의해 홈상측끝부에서의 전계집중을 방지할 수 있으므로, 반도체기판상에 형성된 트랜지스터나 용량 등의 회로의 내압특성의 열화에 따른 누설전류증가를 방지할 수 있다.
또, 홈의 내부를 실리콘산화물 등의 유전율이 낮은 절연성재료로 매립하는 것에 의해 반도체기판상에 구성된 배선의 결합용량을 작게 할 수 있고, 반도체장치의 신뢰성을 더욱 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래의 선택산화법에 있어서의 홈분리구조의 제조공정의 모식도,
도 2는 본원에 관한 제1 실시예의 MOS형 트랜지스터의 제조공정의 모식도,
도 3은 본원에 관한 제1 실시예의 MOS형 트랜지스터의 제조공정의 흐름도,
도 4는 본원에 관한 제2 실시예의 MOS형 트랜지스터의 제조공정의 모식도,
도 5는 본원에 관한 제2 실시예의 MOS형 트랜지스터의 제조공정의 흐름도,
도 6은 본원에 관한 제3 실시예의 MOS형 트랜지스터의 제조공정의 모식도,
도 7은 본원에 관한 제3 실시예의 MOS형 트랜지스터의 제조공정의 흐름도,
도 8은 본원에 관한 제4 실시예의 MOS형 트랜지스터의 제조공정의 모식도,
도 9는 본원에 관한 제4 실시예의 MOS형 트랜지스터의 제조공정의 흐름도.

실시예

발명의 최량의 형태

이하, 본 발명의 실시예를 도면을 참조해서 설명한다.
본 발명의 제1 실시예인 MOS형 트랜지스터의 제조공정을 도 2 및 도 3을 사용해서 설명한다. 도 2는 제1 실시예의 MOS형 트랜지스터의 제조공정의 모식도, 도 3은 제1 실시예의 MOS형 트랜지스터의 제조공정의 흐름도이다.
제1 실시예의 MOS형 트랜지스터의 제조공정은 다음과 같이 된다.
<1> 실리콘기판(1)의 표면을 열산화해서 두께 10 수10㎚의 패드산화막(2)를 형성한다[도 2의 (b) 및 도 3의 (101) (102)].
<2> 패드산화막(2)상에 다결정실리콘박막(18)을 두께 10 200㎚정도 퇴적한 다[도 2의 (b) 및 도 3의 (103)]. 이 다결정실리콘박막(18)은 소자분리 열산화막(5)를 형성했을 때의 산화방지막으로서 사용한다. 또한, 패드산화막(2)의 형성을 생략하고 실리콘기판(1)상에 직접 다결정실리콘막(18)을 퇴적해도 좋다.
또한, 이하의 기재는 패드산화막(2)를 형성한 것을 전제로 하고 있다. 따라서, 패드산화막(2)의 형성을 생략한 경우 패드산화막(2)에 관한 공정은 불필요하다.

<3> 다결정실리콘막(18)상에 포토레지스트(19)를 형성한다[도 2의 (b), 도 3의 (104)]
<4> 통상의 리도그래피법을 사용해서 소자분리막을 형성하는 영역의 포토레지스트(19)를 제거한 후 다결정실리콘박막(18), 패드산화막(2) 및 실리콘기판(1)의 일부를 이방성에칭제거하고 실리콘기판(1)의 표면에 측벽이 소정의 각도(실질적으로는 60 90도 정도)를 갖는 얕은 홈을 형성한다(도 2의 (c) (d). 도 3의 (105) (107)].
<5> 포토레지스트(19)를 제거한 후 열산화를 실행하고 실리콘기판(1)의 표면에 형성한 홈부분을 두께 수㎚ 수10㎚ 정도 산화한다[도 2의 (e) (f), 도 3의 (108) (109)]. 또한, 산화방지막으로서 퇴적된 다결정실리콘박막(18)의 막두께는 열산화시에 다결정실리콘박막(18)이 모두 산화되어 다결정실리콕박막(18)의 아래의 실리콘기판(1)의 전체가 산화되지 않도록 산화방지막으로서 기능하는데 충분한 막두께를 확보하지 않으면 안된다. 패드산화막(2)가 존재하면 패드산화막(2)에 접하고 있는 실리콘기판(1)의 다결정실리콘박막(18)의 하부끝 및 실리콘기판(1) 의 상측끝 근방의 실리콘은 홈끝에서 순차 산화되어 접촉부 사이에 소위 버즈비크가 형성된다. 그 결과, 실리콘기판(1)의 상측끝 근방의 곡률화가 촉진된다. 이 관점에서는 패드산화막(2)를 형성하는 것이 바람직하다.
<6> 이 홈산화에서는 홈내부가 완전히 열산화막으로 매립되지 않으므로 이 홈내부를 완전히 열산화막으로 매립하기 위해서 예를 들면 화학기상증착법, 스퍼터법 등에 의해 실리콘산화막 등의 절연막(9)를 퇴적해서 홈내부를 매립한다(이하. 홈내부를 매립하는 절연막(9)를 매립절연막(9)라 한다)[도 2의 (g), 도 3의 (110)]. 매립절연막(9)로서 사용하는 재료는 기본적으로 절연성의 재료이고 또한 유전율이 낮은 것이 바람직하다. 이것은 유전율이 큰 재료를 사용하면 후공정에 있어서 배선재료를 이 상부에 퇴적시킨 경우에 형성되는 결합용량이 커지기 때문이다. 이 관점에서는 매립재료로서 다결정실리콘을 사용하는 것은 바람직하지 않다.
<7> 매립절연막(9)를 화학적기계연마(CMP)법 또는 드라이에칭법 등을 사용해서 에칭한다[도 2의 (g), 도 3의 (111)]. 이 경우, 산화방지막으로서 사용한 다결정실리콘박막(18)은 에칭스토퍼로 되고, 다결정실리콘박막(18)의 아래의 실리콘기판(1)이 에칭되는 것을 방지하는 작용도 갖는다.
<8> 실리콘기판(1)의 홈부분의 산화에 의해 성장한 버즈비크에 의한 홈상측끝부(12)의 곡률이 누설전류 증가방지에 충분한 경우에는 다결정실리콘박막(18) 및 패드산화막(2)를 제거하는 것에 의해 소자분리산화막의 형성공정은 완료한다(도 2의 (h), 도 3의 (113)].
실리콘기판(1)의 홈부분의 산화에 의해 성장한 버즈비크에 의한 홈상측끝부(12)의 곡률이 각각의 제품을 위한 제품의 사양에 따라 누설전류증가방지에 충분하지 않은 경우에는 다음의 제조단계에서 매립절연막(9)를 에치백한 후에 재차 열산화(이하, 추가산화라 한다)를 실시한다(도 2의 (i), 도 3의 (112)].
이 경우, 실리콘기판(1)의 홈내부에는 이미 매립절연막(9)가 형성되어 있으므로, 다음의 이유에 의해 산화는 홈상측끝부(12)의 근방에서 진행하고 홈내부는 거의 산화되지 않는다. 즉, 홈내부는 매립절연막(9)를 거쳐서 열산화를 실행하게 되지만 이 경우 실리콘기판을 직접 산화시키는 경우에 비해 산화종이 매립절연막)(9)를 확산해서 실리콘기판(1)에 도달하는 분만큼 시간을 필요로 한다. 따라서, 수분정도의 짧은 시간에서는 실질적으로 산화가 거의 진행하지 않는다. 한편, 홈상측끝부(12)에는 화학적 기상증착법 또는 스퍼터법에 의해 홈측벽과 홈상면에 퇴적된 매립산화막(9)의 접합부의 약한 경계층이 존재하기 때문에, 이 약한 경계층을 따라서 산화종이 상대적으로 고속으로 확산하는 것이 가능하게 된다. 그 결과로서 홈상측끝부(12)에는 산화종이 단시간(산화온도 850℃에서 10분 이상)에 공급되게 되고, 홈상측끝부(12)의 근방만이 산화되어 홈상측끝부(12)의 곡률형성을 촉진하게 된다.
또, 이 추가산화에 의해 매립절연막(9)가 치밀화된다는 효과가 있다. 그리고, 추가산화종료후 다결정실리콘박막(18) 및 패드산화막(2)를 제거하는 것에 의해 소자분리산화막 형성공정은 완료한다[도 2의 (m), 도 3의 (113)].
이 추가산화는 다결정실리콘박막(18)을 제거하고 나서 실행해도 좋다. 이 경우, 실리콘기판(1)의 표면도 동시에 산화되게 되지만 이 실리콘기판(1)의 표면에 형성된 산화막은 추가산화종료후에 제거하는 것에 의해 소자분리산화막 형성공정은 완료한다.
<9> 실리콘기판(1)의 상부에 트랜지스터구조 등을 형성한다[도 2의 (j), (k), (ℓ), (n), (h), 도 3의 (114) (122)]. 트랜지스터구조 등의 제조공정은 종래의 제조기술이면 좋고 특히 한정되는 것은 아니지만, 이하에 MOS형 트랜지스터구조의 대표적인 제조공정을 설명한다.
[a] 게이트산화막(6)으로서 실리콘산화막, 질화규소막, 산질화막, 강유전체 박막(SiO_2 보다 높은 유전율로서 Ta_2O_5, PZT, BsT 등의 절연막) 등 중의 어느 하나 또는 이들의 적층체를 실리콘기판(1)상에 형성한다.
이들 박막은 예를 들면 CVD등에 의해 형성할 수 있다. 또, 실리콘산화막은 실리콘기판(1)의 열산화에 의해 형성해도 좋다.
[b] 다결정실리콘박막, 텅스텐 등의 금속박막, 실리사이드박막 중의 어느 하나 또는 이들 적층체를 형성한 후 불필요한 개소를 에칭가공 등에 의해 제거해서 게이트전극(7)을 형성한다.
[c] 불순물을 도입하고, 1층째 배선(10)의 형성, 층간절연막(11) 등을 형성한다. 또, 필요에 따라서 2층째 이후의 배선 및 절연막을 형성한다.
상기 MOS형 트랜지스터는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 메모리회로 또는 논리소자 등의 연산회로 등에 사용할 수 있다.
상술한 제1 실시예에 의하면, 소자분리산화막구조로서 홈분리구조를 형성할 때 실리콘기판의 홈상끝부 근방에 예각부가 잔류하는 것을 방지하고, 실리콘기판의 홈상측끝부 근방에 곡률부 또는 예각부를 형성하는 것에 의해 게이트전극막 끝부 근방의 전계집중에 기인한 MOS형 트랜지스터의 누설전류증가 또는 내압특성의 저하를 방지할 수 있고, 트랜지스터의 전기적 신뢰성을 향상시킬 수 있다는 효과가 있다.
또한, 제1 실시예는 열산화시키기 전의 실리콘기판의 홈상측끝부가 대략 직각이기 때문에 실리콘기판의 홈상측끝부 근방의 곡률이 충분한 것으로 되지 않는 경우가 있다, 그러나, 산화방지막인 다결정실리콘이 산화되기 쉬우므로, 산화방지막이 산화되기 어려운 재료와 비교하면 실리콘기판의 체적팽창에 대한 구속력은 낮고, 추가산화를 필요로 하지

않는 경우가 있다. 또, 홈의 가공이 용이하고 생산성점에서도 우수하다.
다음에, 본 발명의 제2 실시예인 MOS형 트랜지스터의 제조공정을 도 4 및 도 5에 도시한다. 도 4는 제2 실시예의 MOS형 트랜지스터의 제조공정의 모식도, 도 5는 제2 실시예의 MOS형 트랜지스터의 제조공정의 흐름도이다.
제2 실시예의 MOS형 트랜지스터의 제조공정은 제1 실시예공정의 <4>를 다음과 같이 변경한 것이다. 제조공정의 <4> 이외에는 제1 실시예와 동일하므로 상세한 설명은 생략한다.
<4> 통상의 노출법을 사용해서 소자분리막을 형성하는 영역의 포토레지스트(19)를 제거한 후, 다결정실리콘박막(18), 패드산화막(2) 및 실리콘기판(1)의 일부를 에칭제거하고, 실리콘기판(1)의 표면에 얕은 홈을 형성한다. 이 실리콘기판 표면의 홈을 형성할 때, 홈상측끝 근방에서 등방성의 에칭을 실시하여 홈상측끝 근방에 곡률을 형성하고 그 후 이방성에칭을 실시해서 등방성에칭부(13)과 같은 경사부를 갖는 홈형상을 형성한다. 또한, 홈상측끝 근방의 홈측벽의 각도는 반드시 90도일 필요는 없고, 소정의 경사(실질적으로는 60 90도의 범위)가 형성되어 있어도 좋다[도 4의 (c) (e), 도 5의 (205) (207)]
또한, 제2 실시예는 제1 실시예에 비해 얕은 홈형성시의 에칭공정 즉 이방성에칭과 등방성에칭이 복잡하게 된다. 그러나, 상기와 같이 얕은 홈형성시에 실리콘기판(1)의 홈상측끝부에 등방성에칭부(13)을 마련하므로, 초회의 열산화(곡률의 형성)에 의해 실리콘기판(1)의 홈상측끝부의 산화가 촉진되어 더욱 추가산화의 필요성이 낮아진다.
다음에, 본 발명의 제3 실시예인 MOS형 트랜지스터의 제조공정을 도 6 및 도 7을 사용해서 설명한다. 도 6은 제3 실시예의 MOS형 트랜지스터의 제조공정의 모식도, 도 7은 제3 실시예의 MOS형 트랜지스터의 제조공정의 흐름도이다.
제3 실시예의 MOS형 트랜지스터의 제조공정은 다음과 같이 된다.
[1] 실리콘기판(1)의 표면을 열산화해서 두께10 수10㎚의 패드산화막(2)를 형성한다[도 7의 (301) (302)].
[2] 패드산화막(2)상에 내산화성이 높은 질화규소막(17)을 두께 10 200㎚정도 퇴적시킨다[도 6의 (b), 도 7의 (103)]. 이 질화규소막(17)은 소자분리열산 화막(5)를 형성했을 때의 산화방지막으로서 사용한다. 또한, 패드산화막(2)의 형성을 생략하고 실리콘기판(1)상에 직접 내산화성이 높은 질화규소막(17)을 퇴적해도 좋다. 또는 패드산화막(2)와 다결정실리콘박막을 거쳐서 또는 다결정실리콘박막만을 거쳐서 질화규소막(17)을 퇴적시킨다. 어느 경우에도 질화규소막(17)이 최표면에 존재하는 구조로 한다.
또한, 이하의 기재는 다결정실리콘박막 및 패드산화막(2)를 형성한 것을 전제로 하고 있다. 따라서, 다결정실리콘박막 및 패드산화막(2)의 형성을 생략한 경우 다결정실리콘박막 및 패드산화막(2)에 관한 공정은 불필요하다.
[3] 질화규소막(17)상에 포토레지스트(19)를 형성한다[도 6의 (b), 도 7의 (304)].
[4] 통상의 노출법을 사용해서 소자분리막을 형성하는 영역의 포토레지스트(19)를 제거한 후 질화규소막(17), 패드산화막(2) 및 다결정실리콘막을 에칭제거한다. 다음에, 포토레지스트를 제거하고 실리콘기판(1)의 표면에 드라이에칭법을 사용해서 얕은 홈을 형성한다. 이 실리콘기판표면의 홈형성시 홈상측끝 근방에서는 등방성의 에칭을 실시하고 홈상측끝 근방에 곡률을 형성하고 그 후 이방성에칭을 실시해서 등방성에칭부(13)과 같은 경사부를 갖는 홈형상을 형성한다. 또한, 홈하부끝 근방의 홈측벽의 각도는 반드시 90도일 필요는 없고, 소정의 경사(실질적으로는 60 90도의 범위)가 형성되어 있어도 좋다[도 6의 (c) (e), 도 7의 (305) (308)].
[5] 포토레지스트(19)를 제거한 후 열산화를 실행하고 실리콘기판(1)의 표면 에 형성한 홈부분을 두께 수㎚ 수10㎚정도 산화한다[도 6의 (e) (f), 도 7의 (309)]. 또한, 산화방지막으로서 질화규소막(17)의 막두께는 이 열산화시에 질화규소막(17)이 모두 산화되어 질화규소막(17)의 아래의 실리콘기판(1)의 전체가 산화되지 않도록 산화방지막으로서 기능하는 충분한 막두께를 확보해야만 한다. 이 질화규소막(17)은 내산화성이 높으므로 제1 실시예 및 제2 실시예의 다결정실리콘박막(18)보다는 막두께를 얇게 할 수 있다. 패드산화막(2)가 존재하면 패드산화막(2)에 접하는 실리콘기판(1)의 상측끝부 근방의 실리콘 및 다결정실리콘박막 하부끝은 홈끝에서 순차 산화되어 가고 소위 버즈비크가 형성되고 결과로서 실리콘기판(1)의 상측끝 근방의 곡률화는 촉진된다. 이 관점에서는 패드산화막(2)는 형성하는 것이 바람직하다.
[6] 이 홈산화에서는 홈내부가 완전히 열산화막으로 매립되지 않으므로, 이 홈내부를 완전히 열산화막으로 매립하기 위해서 예를 들면 화학기상증착법, 스퍼터법 등에 의해 실리콘산화막 등의 절연막(9)를 퇴적해서 홈내부를 매립한다(이하, 홈내부를 매립하는 절연막(9)를 매립절연막(9)라 한다)[도 6의 (g), 도 7의 (310)].
매립절연막(9)로서 사용하는 재료는 기본적으로 절연성의 재료이고 또한 유전율이 낮은 것이 바람직하다. 이것은 유전율이 큰 재료를 사용하면 후공정에 있어서 배선재료를 이 상부에 퇴적한 경우에 형성되는 결합용량이 커지기 때문이다. 이 관점에서는 매립재료로서 다결정실리콘을 사용하는 것이 바람직하지 않다.
[7] 실리콘기판(1)의 홈부분의 산화에 의해 성장한 비즈비크에 의한 홈상측 끝부(12)의 곡률이 누설전류증가방지에 충분한 경우에는 매립절연막(9)를 에치백한 후 잔존한 질화규소막(17), 다결정실리콘 및 패드산화막(2)를 제거하는 것에 의해 소자분리산화막의 형성공정은 완료한다[도 6의 (h), (i), 도 7의 (313)].
실리콘기판(1)의 홈부분의 산화에 의해 성장한 비즈비크에 의한 홈상측끝부(12)의 곡률이 누설전류 증가방지에 충분하지 않은 경우에는 매립절연막(9)를 에치백하기 전에 재차 열산화(이하, 추가산화라 한다)를 실시한다[도 6의 (ℓ), 도 7의 (312)].
이 경우, 실리콘기판(1)의 홈내부에는 이미 매립절연막(9)가 형성되어 있으므로, 다음의 이유에 의해 산화는 홈상측끝부(12)의 근방에서 진행하고 홈내부는 거의 산화되지 않는다.
즉, 홈내부는 매립절연막(9)를 거쳐서 열산화를 실행하게 되지만, 이 경우 실리콘기판을 직접 산화시키는 경우에 비해 산화종이 매립절연막(9)를 확산해서 실리콘기판(1)에 도달하는 분만큼 시간을 요구하므로 수분정도의 짧은 시간에서는 실질적으로는 산화는 거의 진행하지 않는다. 한편, 홈상측끝부(12)에는 화학기상증착법 또는 스퍼터법에 의해 홈측벽과 홈상면에 퇴적된 매립산화막(9)의 접합부의 약한 경계층이 존재한다. 따라서,이 약한 경계층을 따라 산화종이 상대적으로 고속으로 확산하여 홈상측끝부(12)에는 산화종이 단시간(산화온도 850℃에서 10분이상)에 공급되고,

홈상측끝부(12)의 근방만이 산화되어 홈상측끝부(12)의 곡률형성을 촉진하게 된다.
이 추가산화에 의해 성장한 비즈비크에 의한 홈상측끝부(12)의 곡률이 리크 전류 증가방지에 충분한 경우에는 매립절연막(9)를 에치백한 후 잔존한 질화규소막(17), 다결정실리콘 및 패드산화막(2)를 제거하는 것에 의해 소자분리산화막의 형성공정은 완료한다[도 6의 (m), 도 7의 (313)].
또한, 이 추가산화는 반드시 매립절연막(9)의 에치백전에 실행할 필요는 없고 제1 실시예와 같이 매립절연막(9)의 에치백후에 실행해도 좋다.
[8] 실리콘기판(1)상에 트랜지스터구조 등을 형성한다[도 6의 (j), (n), 도 7의 (314) (322)].
트랜지스터구조 등의 제조공정은 종래의 제조기술이면 좋고, 특히 한정되는 것은 아니지만 이하에 MOS형 트랜지스터구조의 대표적인 제조공정을 설명한다.
[a] 게이트산화막(6)으로서 실리콘산화막, 질화규소막, 산질화막, 강유전체 박막 등 중의 어느 하나 또는 이들의 적층체를 실리콘기판(1)상에 형성한다.
이들 박막은 예를 들면 CVD법에 의해 형성할 수 있다. 또, 실리콘산화막은 실리콘기판(1)의 열산화에 의해 형성해도 좋다.
[b] 다결정실리콘박막, 텅스텐 등의 금속박막, 실리사이드박막 중의 어느 하나 또는 이들 적층체를 형성한 후 불필요한 개소를 에칭가공 등에 의해 제거해서 게이트전극(7)을 형성한다.
[c] 불순물의 도입, 1층째 배선(10)의 형성, 층간절연막(11) 등을 형성한다. 또, 필요에 따라서 2층째 이후의 배선 및 절연막을 형성한다.
상기 MOS형 트랜지스터는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 메모리회로 또는 논리소자 등의 연산회로 등에 사용할 수 있다.
제3 실시예에 있어서는 MOS형 트랜지스터의 제조공정에 있어서 소자분리산화막구조로서 홈분리구조를 형성할 때 실리콘기판의 홈상끝부 근방에 예각부가 잔류하는 것을 방지하고, 실리콘기판의 홈상측끝부 근방에 곡률부 또는 예각부를 형성한다. 따라서, 이 실시예는 게이트전극막 끝부 근방의 전계집중에 기인한 MOS형 트랜지스터의 누설전류 증가 또는 내압특성의 저하를 방지할 수 있고, 트랜지스터의 전기적 신뢰성을 향상시킬 수 있다는 효과가 있다.
또한, 제3 실시예에 의하면, 산화방지막으로서 내산화성이 높은 질화규소막(17)을 사용하므로, 산화방지막의 막두께를 얇게 할 수 있고, 최종공정에 있어서의 산화방지막의 제거가 용이하게 된다.
또, 제3 실시예는 제2 실시예와 마찬가지로 얕은 홈형성시의 에칭공정이 복잡하게 되지만 상기와 같이 얕은 홈형성시에 실리콘기판(1)의 홈상측끝부에 등방성에칭부(13)을 마련하는 것에 의해 초회의 열산화에서의 실리콘기판(1)의 홈상측끝부의 산화가 촉진되어 더욱 추가산화의 필요성이 낮아진다.
다음에, 본 발명의 제4 실시예인 MOS형 트랜지스터의 제조공정을 도 8 및 도 를 사용해서 설명한다. 도 8은 제4 실시예의 MOS형 트랜지스터의 제조공정의 모식도, 도 9는 제3 실시예의 MOS형 트랜지스터의 제조공정의 흐름도이다.
제4 실시예의 MOS트랜지스터의 제조공정은 제1 실시예공정의 <4>를 다음과 같이 변경한 것이다. 제조공정<4>이외에는 제1 실시예와 동일하므로 상세한 설명은 생략한다.
<4> 통상의 노출법을 사용해서 소자분리막을 형성하는 영역의 포토레지스트를 제거한 후, 질화규소막(17), 패드산화막(2) 및 다결정실리콘박막을 에칭제거한다. 다음에, 포토레지스트를 제거하고 실리콘기판(1)의 표면에 드라이에칭법을 사용해서 얕은 홈을 형성한다. 또한, 홈하부끝 근방의 홈측벽의 각도는 반드시 90도일 필요는 없고 소정의 경사(실질적으로는 60 90도의 범위)가 형성되어 있어도 좋다[도 8의 (c) (e), 도 9의 (405) (408)].
제4 실시예에 의하면, 제3 실시예와 마찬가지로 산화방지막으로서 내산화성의 높은 질화규소막(17)을 사용하므로, 산화방지막의 막두께를 얇게 할 수 있고 최종공정에 있어서의 산화방지막의 제거가 용이하게 된다.
또, 제4 실시예는 홈의 가공이 용이하고 생산성이 우수하다.

산업상 이용 가능성

본 발명에 의하면, 홈분리구조를 갖는 반도체장치에 있어서, 회로를 구성하는 트랜지스터나 용량의 내압특성을 열화시키지 않는 반도체장치 및 그 제조방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.
삭제

청구항 2.
[a] 반도체기판의 회로형성면상에 산화방지막을 형성하는 공정,
[b] 상기 반도체기판의 회로형성면의 원하는 위치에 모서리부에서 곡률을 갖는 얕은 홈을 형성하는 공정,
[c] 상기 형성된 곡률을 갖는 얕은 홈에 소정 깊이의 홈을 형성하는 공정,
[d] 상기 반도체기판에 형성된 상기 홈부분을 산화시키는 공정,
[e] 상기 산화된 홈내부에 매립절연막을 매립하는 공정,
[f] 상기 산화방지막상에 형성된 상기 매립절연막을 제거하는 공정 및
[g] 상기 반도체기판의 회로형성면상에 형성된 상기 산화방지막을 제거하는 공정을 포함하고,
상기 얕은 홈을 형성하는 공정은 등방성에칭에 의해 실행되고,

상기 소정 깊이의 홈을 형성하는 공정은 이방성에칭에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3.

삭제

청구항 4.

[a] 반도체기판의 회로형성면상에 산화방지막을 형성하는 공정,
[b] 상기 반도체기판의 회로형성면의 원하는 위치에 소정 깊이의 홈을 형성하는 공정,
[c] 상기 반도체기판에 형성된 상기 홈부분을 산화시키는 공정,
[d] 상기 산화된 홈내부에 매립절연막을 매립하는 공정,
[e] 상기 산화방지막상에 형성된 상기 매립절연막을 제거하는 공정,
[f] 상기 산화방지막상에 형성된 상기 매립절연막을 제거한 후 상기 반도체기판을 산화시키는 공정 및
[g] 상기 반도체기판의 회로형성면상에 형성된 상기 산화방지막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5.

[a] 반도체기판의 회로형성면상에 산화방지막을 형성하는 공정,
[b] 상기 반도체기판의 회로형성면의 원하는 위치에 모서리부에서 곡률을 갖는 얕은 홈을 형성하는 공정,
[c] 상기 곡률을 갖는 얕은 홈에 소정 깊이의 홈을 형성하는 공정,
[d] 상기 반도체기판에 형성된 상기 홈부분을 산화시키는 공정,
[e] 상기 산화된 홈내부에 매립절연막을 매립하는 공정,
[f] 상기 산화방지막상에 형성된 상기 매립절연막을 제거하는 공정,
[g] 상기 산화방지막상에 형성된 상기 매립절연막을 제거한 후 상기 반도체기판을 산화시키는 공정 및
[h] 상기 반도체기판의 회로형성면상에 형성된 상기 산화방지막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6.

제5항에 있어서,
상기 얕은 홈을 형성하는 공정은 등방성에칭에 의해 실행되고, 상기 소정 깊이의 홈을 형성하는 공정은 이방성에칭에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7.

제4항에 있어서,
상기 반도체기판의 측면에 대해서 깊이방향으로 상기 반도체기판의 회로형성면과 홈분리구조를 구성하는 상기 홈의 각도 θ 가 90 ° ＜ θ ＜180 ° 의 범위인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8.

제4항에 있어서,
상기 반도체기판의 측면에 대해서 깊이방향으로 상기 반도체기판의 회로형성면과 홈분리구조를 구성하는 상기 홈의 각도 θ 가 90 ° ＜ θ ＜180 ° 의 범위이고, 상기 홈의 내부에 실리콘산화물이 존재하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9.

[a] 반도체기판의 회로형성면에 패드산화막을 형성하는 공정,
[b] 상기 패드산화막상에 산화방지막을 형성하는 공정,
[c] 상기 반도체기판의 회로형성면의 원하는 위치에 상기 산화방지막 및 패드산화막을 제거하는 공정,
[d] 상기 산화방지막 및 상기 패드산화막이 제거된 영역의 상기 반도체기판에 홈을 구성하는 공정,
[e] 상기 홈을 형성한 상기 반도체기판을 산화해서 홈내에 산화막을 형성하는 공정,
[f] 상기 산화막을 형성한 홈내부에 매립절연막을 매립하는 공정,
[g] 화학기계연마를 실행해서 상기 산화방지막상의 퇴적된 상기 매립절연막을 제거하는 공정,
[h] 상기 제거된 표면을 갖는 매립절연막을 상기 홈에 구비한 상기 반도체기판을 산화하는 공정,
[i] 상기 반도체기판의 회로형성면상에 형성된 상기 산화방지막과 상기 산화막을 제거하는 공정 및
[j] 상기 패드산화막이 제거된 상기 반도체기판에 트랜지스터를 형성하는 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10.

제5항 또는 제6항에 있어서,
상기 반도체기판의 측면에 대해서 깊이방향으로 상기 반도체기판의 회로형성면과 홈분리구조를 구성하는 상기 홈의 각도 θ 가 90 ° ＜ θ ＜180 ° 의 범위인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11.

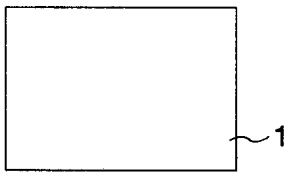
제5항 또는 제6항에 있어서,
상기 반도체기판의 측면에 대해서 깊이방향으로 상기 반도체기판의 회로형성면과 홈분리구조를 구성하는 상기 홈의 각도 θ 가 90 ° ＜ θ ＜180 ° 의 범위이고, 상기 홈의 내부에 실리콘산화물이 존재하고 있는 것을 특징으로 하는 반도체장치의 제조방법.

도면

도면1

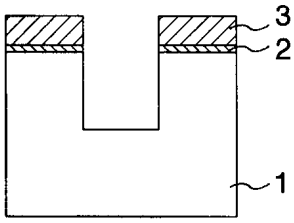
(a)

종래기술



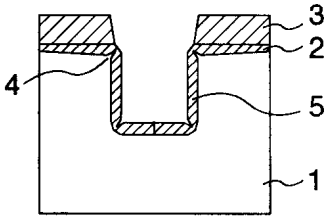
(b)

종래기술



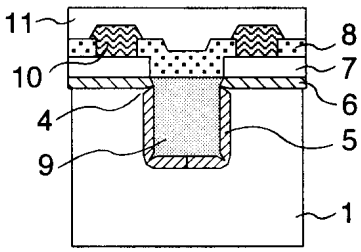
(c)

종래기술

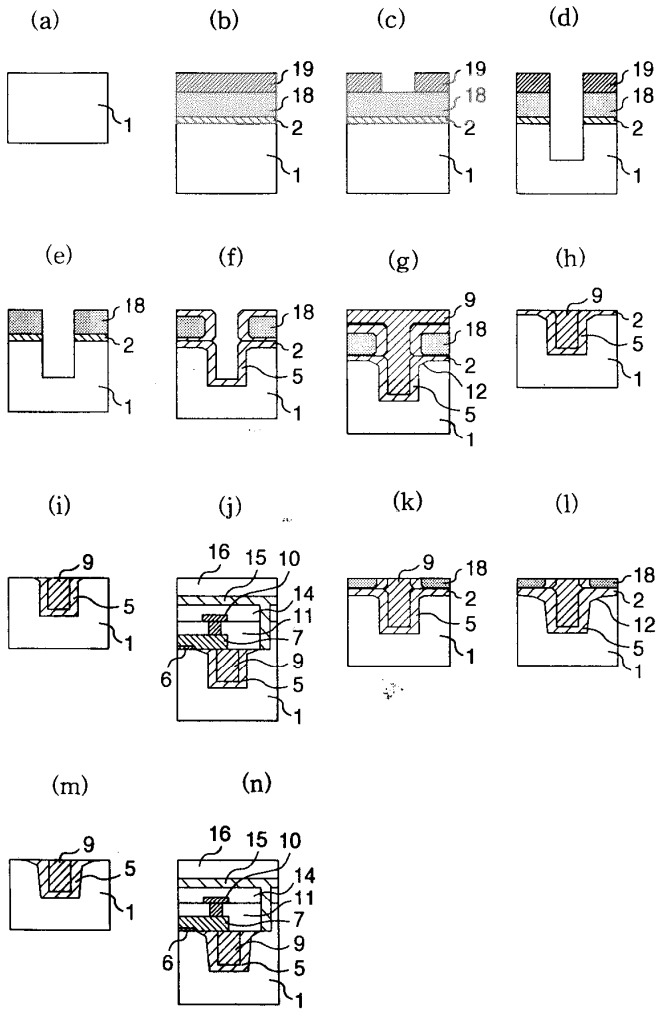


(d)

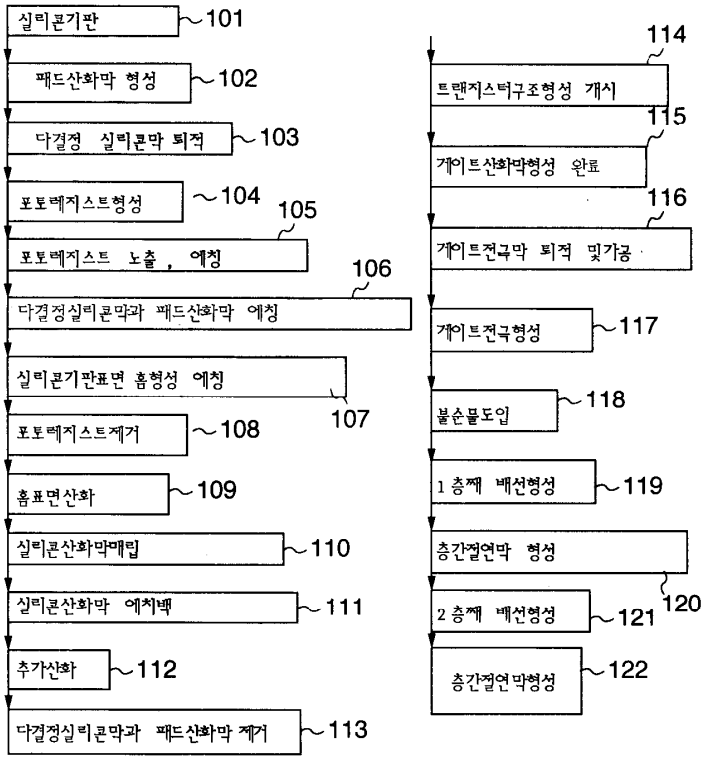
종래기술



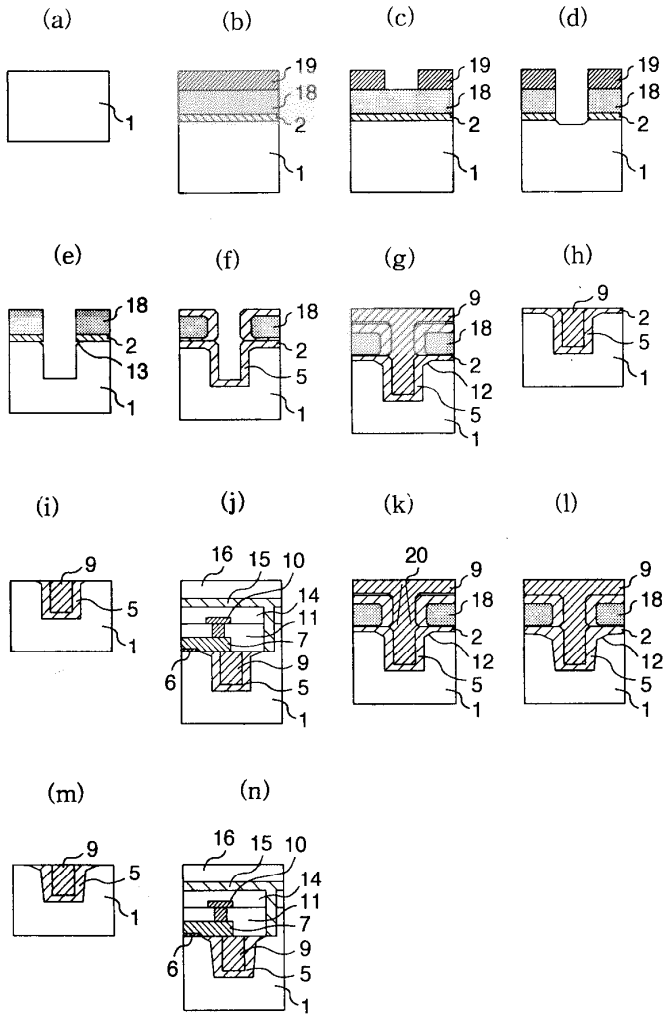
도면2



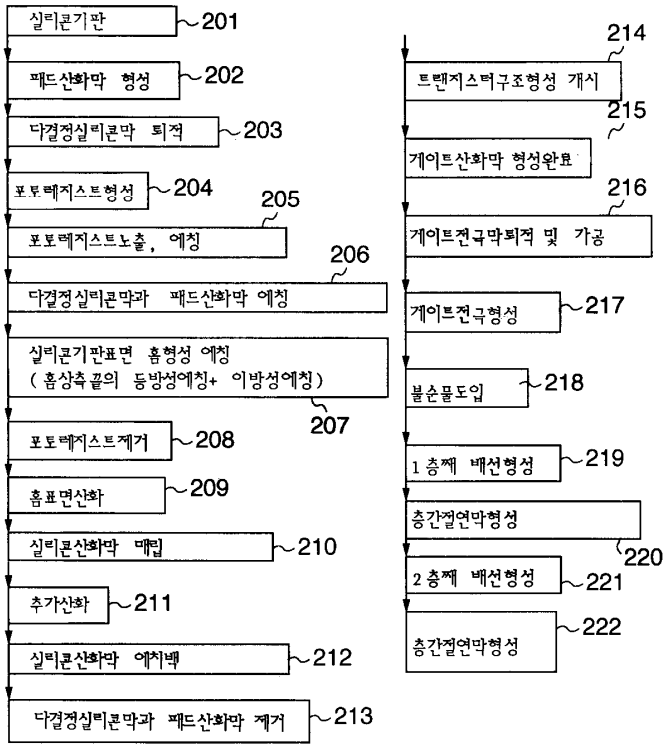
도면3


실리콘기판
101
패드산화막 형성
102
다결정 실리콘막 퇴적
103
포토레지스트형성
104
105
포토레지스트 노출 , 에칭
106
다결정실리콘막과 패드산화막 에칭
실리콘기판표면 홈형성 에칭
107
포토레지스트제거
108
홈표면산화
109
실리콘산화막매립
110
실리콘산화막 에치백
111
추가산화
112
다결정실리콘막과 패드산화막 제거
113
114
트랜지스터구조형성 개시
115
게이트산화막형성 완료
116
게이트전극막 퇴적 및가공
게이트전극형성
117
불순물도입
118
1 층째 배선형성
119
층간절연막 형성
120
2 층째 배선형성
121
층간절연막형성
122

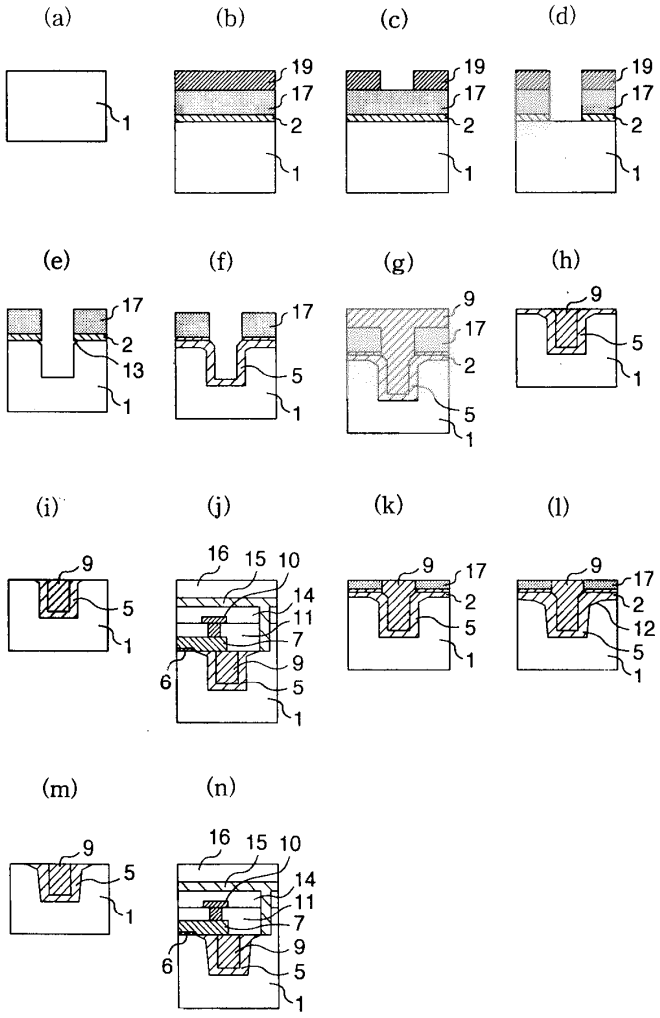
도면4


(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
(i)
(j)
(k)
(l)
(m)
(n)

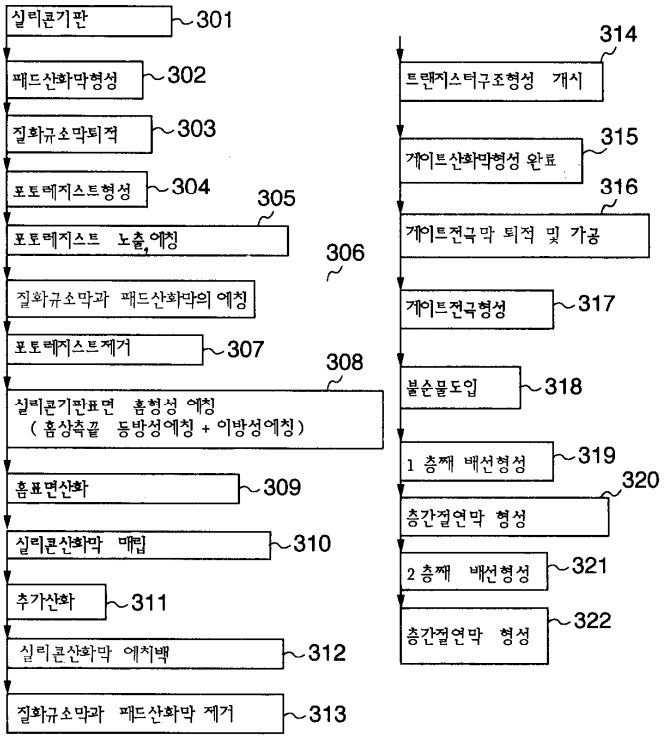
도면5


실리콘기판 201
패드산화막 형성 202
다결정실리콘막 퇴적 203
포토레지스트형성 204
포토레지스트노출, 에칭 205
다결정실리콘막과 패드산화막 에칭 206
실리콘기판표면 홈형성 에칭
(홈상측끝의 등방성에칭+ 이방성에칭) 207
포토레지스트제거 208
홈표면산화 209
실리콘산화막 매립 210
추가산화 211
실리콘산화막 에치백 212
다결정실리콘막과 패드산화막 제거 213
트랜지스터구조형성 개시 214
게이트산화막 형성완료 215
게이트전극막퇴적 및 가공 216
게이트전극형성 217
불순물도입 218
1 층째 배선형성 219
층간절연막형성 220
2 층째 배선형성 221
층간절연막형성 222

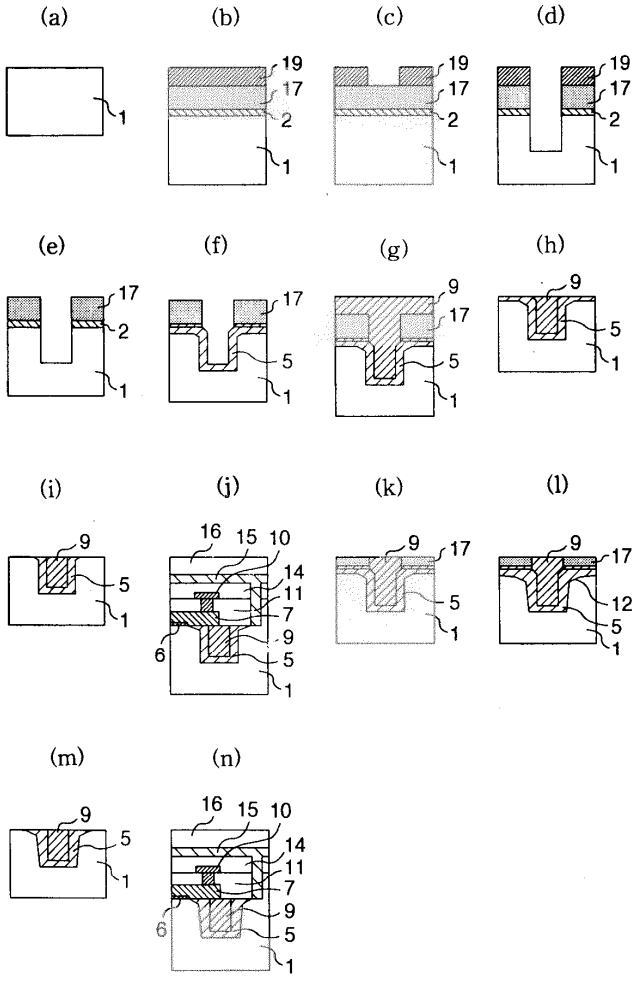
도면6



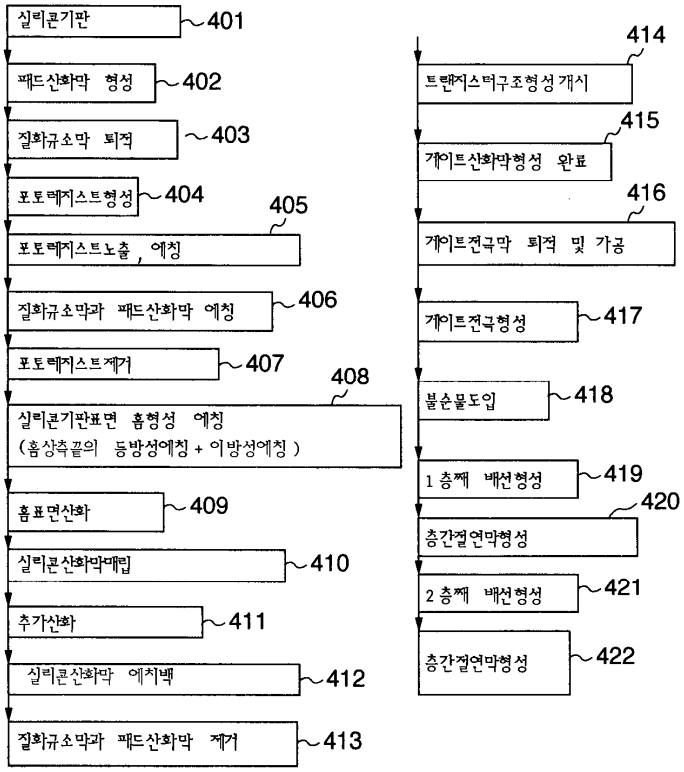
도면7


실리콘기판
301
패드산화막형성
302
질화규소막퇴적
303
포토레지스트형성
304
305
포토레지스트 노출,에칭
306
질화규소막과 패드산화막의 에칭
포토레지스트제거
307
308
실리콘기판표면 홈형성 에칭
(홈상측끝 등방성에칭 + 이방성에칭)
홈표면산화
309
실리콘산화막 매립
310
추가산화
311
실리콘산화막 에치백
312
질화규소막과 패드산화막 제거
313
314
트랜지스터구조형성 개시
315
게이트산화막형성 완료
316
게이트전극막 퇴적 및 가공
게이트전극형성
317
불순물도입
318
1 층째 배선형성
319
320
층간절연막 형성
2 층째 배선형성
321
층간절연막 형성
322

도면8


(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
(i)
(j)
(k)
(l)
(m)
(n)

도면9


실리콘기판
401
패드산화막 형성
402
질화규소막 퇴적
403
포토레지스트형성
404
405
포토레지스트노출, 에칭
406
질화규소막과 패드산화막 에칭
407
포토레지스트제거
408
실리콘기판표면 홈형성 에칭
(홈상측끝의 등방성에칭 + 이방성에칭)
409
홈표면산화
410
실리콘산화막매립
411
추가산화
412
실리콘산화막 에치백
413
질화규소막과 패드산화막 제거
414
트랜지스터구조형성개시
415
게이트산화막형성 완료
416
게이트전극막 퇴적 및 가공
417
게이트전극형성
418
불순물도입
419
1 층째 배선형성
420
층간절연막형성
421
2 층째 배선형성
422
층간절연막형성