

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 31 日(31.12.2014)

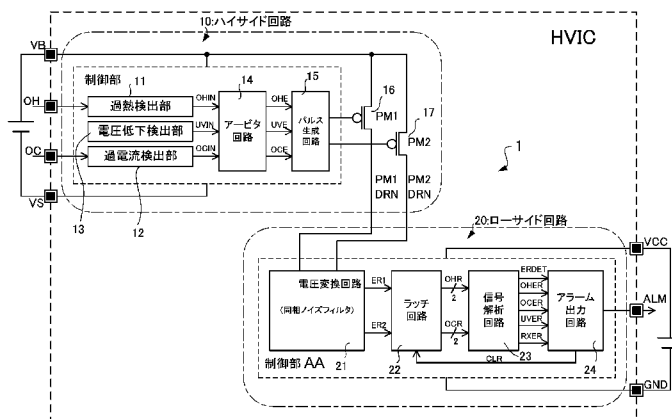


(10) 国際公開番号
WO 2014/208249 A1

- (51) 国際特許分類:
H03K 17/08 (2006.01) **H03K 17/56** (2006.01)
H02M 1/00 (2007.01) **H03K 17/687** (2006.01)
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2014/063929
- (22) 国際出願日: 2014 年 5 月 27 日(27.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-133228 2013 年 6 月 25 日(25.06.2013) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 赤羽 正志(AKAHANE, Masashi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目 2 1 番 1 0 号 浅沼第 2 ビル 8 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL TRANSMISSION CIRCUIT

(54) 発明の名称: 信号伝達回路



- 10 HIGH-SIDE CIRCUIT
11 OVERHEATING DETECTION UNIT
12 OVERCURRENT DETECTION UNIT
13 VOLTAGE DROP DETECTION UNIT
14 ARBITER CIRCUIT
15 PULSE GENERATING CIRCUIT
20 LOW-SIDE CIRCUIT
21 VOLTAGE CONVERSION CIRCUIT (COMMON MODE NOISE FILTER)
22 LATCH CIRCUIT
23 SIGNAL ANALYSIS CIRCUIT
24 ALARM OUTPUT CIRCUIT
AA CONTROL UNIT

(57) Abstract: This signal transmission circuit is provided with: an output circuit which is provided in a high-side circuit and which, in accordance with the priority level of multiple signals, selectively generates and outputs multiple types of pulse signals; a switching element which is driven ON and OFF by the pulse signals outputted from the output circuit and which turns the power source voltage of the high-side circuit ON and OFF and transmits said voltage to the low-side circuit; a voltage conversion circuit which is provided in the low-side circuit and which converts the power source voltage transmitted via the switching element to a pulse signal in the low-side circuit; and a signal analysis circuit which analyses the pulse signals obtained through the voltage conversion circuit and restores the multiple signals.

(57) 要約: ハイサイド回路に設けられて複数の信号の優先度に応じて複数種のパルス信号を選択的に生成して出力する出力回路と、この出力回路から出力されたパルス信号によりオン・オフ駆動され、ローサイド回路に前記ハイサイド回路の電源電圧をオン・オフして伝達するスイッチ素子と、前記ローサイド回路に設けられて前記スイッチ素子を介して伝達される前記電源電圧を該ローサイド回路におけるパルス信号に変換する電圧変換回路と、この電圧変換回路を介して求められた前記パルス信号を解析して前記複数の信号を復元する信号解析回路とを備える。

記パルス信号を解析して前記複数の信号を復元する信号解析回路とを備える。

明 細 書

発明の名称： 信号伝達回路

技術分野

[0001] 本発明は、ハイサイド回路における複数種のアラーム信号をレベルダウンしてローサイド回路に伝達するに好適な信号伝達回路に関する。

背景技術

[0002] 交流負荷を駆動する電力変換器として、トータムポール接続されてハーフブリッジ回路を形成し、交互にオン・オフ動作して直流電圧をスイッチングする2つのスイッチング素子 Q_1 、 Q_2 を備えた電力変換器が知られている。この種の電力変換器の駆動回路には、例えば上アーム側のスイッチング素子 Q_1 をオン・オフ駆動するハイサイドドライバを含むハイサイド回路と、下アーム側のスイッチング素子 Q_2 をオン・オフ駆動するローサイドドライバを含むローサイド回路とを備えた高電圧集積回路HVICが用いられる。

[0003] ちなみに前記ハイサイド回路は、第1の電位である前記ハーフブリッジ回路の midpoint 電位 V_S を基準電位とし、所定の電源電圧 V_B ($> V_S$)を受けて動作するように構成される。また前記ローサイド回路は、前記 midpoint 電位 (第1の電位) V_S よりも低い前記ハーフブリッジ回路の接地電位 (第2の電位) GND を基準電位とし、所定の電源電圧 V_{CC} ($> GND$)を受けて動作するように構成される。

[0004] ところで前記ハイサイド回路および前記ローサイド回路には、前記スイッチング素子 Q_1 、 Q_2 の過電流や過熱等の異常を検出して該スイッチング素子 Q_1 、 Q_2 を保護する保護回路や、異常検出信号を前記ハイサイド回路および前記ローサイド回路の制御回路部に通知する信号出力回路が設けられる。しかしながら前記ハイサイド回路は、前述したように前記ハーフブリッジ回路の midpoint 電位 V_S を基準電位として動作するように構成されている。これ故、接地電位 GND を基準電位として動作する前記制御回路部に前記異常検出信号を伝達するには、該異常検出信号をレベルダウンすることが必要である。

[0005] そこで従来では、例えば図20に示すように、前記ハイサイド側における異常検出信号である電圧信号 V_{in} を電圧・電流変換器を介して電流に変換し、この電流を、トランジスタND1からなる高耐圧抵抗を介してローサイド側に伝達する。そしてローサイド側では前記高耐圧抵抗を介して伝達された前記電流を電流・電圧変換器を介して電圧変換することで、レベルダウンした出力電圧 V_{out} を得るようにしている。この手法については、例えば特許文献1に詳しく紹介されている。

[0006] また、例えば特許文献2には、ハイサイド側の異常検出信号によりオン・オフ駆動されるPMOSトランジスタと、該PMOSトランジスタのドレインに接続した抵抗とからなるソース接地増幅回路を介して前記異常検出信号をローサイド側に伝達し、前記抵抗に生じる電圧をローサイド側に取り込むことが提唱されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2003-32102号公報

特許文献2：特許第2886495号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら特許文献1,2に紹介される構成のレベルダウン回路を用いる場合、ハイサイド側における複数種の信号を伝達する為には、その信号数に応じた数のレベルダウン回路が必要となる。しかもレベルダウン回路の前記ハイサイド側に設けられる、いわゆるハイサイド回路は、通常、フローティング動作する。この為、前記ハイサイド回路の電源電圧変動(dV/dt)に起因して前記PMOSトランジスタの寄生容量の充放電を伴う電位変動が発生し易く、前記レベルダウン回路が誤動作する虞がある。

[0009] 本発明はこのような事情を考慮してなされたもので、その目的は、ハイサイド回路における電源電圧の変動の影響を受けることなく前記ハイサイド回

路における複数種の異常検出信号をレベルダウンしてローサイド回路に確実に伝達することのできる簡易な構成の信号伝達回路を提供することにある。

課題を解決するための手段

[0010] 上述した目的を達成するべく本発明に係る信号伝達回路は、

第1の電位を基準電位として動作するハイサイド回路に設けられて、例えば異常検出信号示す複数の信号の優先度に応じて複数種のパルス信号を選択的に生成して出力する出力回路と、

この出力回路から出力されたパルス信号によりオン・オフ駆動され、前記第1の電位よりも低い第2の電位を基準電位として動作するローサイド回路に前記ハイサイド回路の電源電圧をオン・オフして伝達する、例えばMOSトランジスタからなるスイッチ素子と、

前記ローサイド回路に設けられて、前記スイッチ素子を介して伝達される前記電源電圧を前記第2の電位を基準電位とする所定電圧のパルス信号に変換する電圧変換回路と、

この電圧変換回路を介して求められた前記パルス信号を解析して前記複数の信号を復元する信号解析回路とを備えることを特徴としている。

[0011] 好ましくは前記出力回路は、例えば並列に設けられた複数の前記スイッチ素子を択一的にオンさせる複数種のパルス信号を選択的に生成し、また前記電圧変換回路は、前記各スイッチ素子を介して選択的に伝達される電圧をそれぞれ前記第2の電位を基準電位とするパルス信号に変換して前記複数種のパルス信号を並列に出力するものからなる。

そして前記信号解析回路は、前記電圧変換回路から並列に出力される前記複数種のパルス信号から生成したクロック信号に同期して該複数種のパルス信号を各別に順にラッチする複数段のラッチ回路を並列に備え、これらのラッチ回路にそれぞれ保持された信号レベルを解析して前記複数の信号を復元するように構成される。

[0012] 具体的には前記クロック信号は、例えば前記電圧変換回路から並列に出力される前記複数種のパルス信号のいずれかの反転タイミングに同期した信号

として生成される。

[0013] また前記信号解析回路は、前記各ラッチ回路にそれぞれ保持された信号レベルが前記複数のスイッチ素子の同時オン状態を示すとき、受信エラー処理として判定する機能を備えることが望ましい。

[0014] 或いは前記出力回路を、例えば前記複数の信号の優先度に応じて、パルス幅の異なるパルス信号を該信号の種別に応じて生成して前記スイッチ素子をオン・オフするように構成する。そして前記電圧変換回路を、前記各スイッチ素子を介して選択的に伝達される電圧を前記ローサイド回路における前記第2の電位を基準電位とするパルス信号に変換して該パルス信号のパルス幅に亘ってコンデンサを充電するように構成する。更に前記信号解析回路においては、前記コンデンサの充電電圧を判定して前記複数の信号を復元するように構成することも好ましい。

[0015] また前記出力回路を、例えば前記複数の信号の優先度に応じて、パルス数の異なるパルス信号列を該信号の種別に応じて生成して前記スイッチ素子をオン・オフするように構成する。そして前記電圧変換回路を、前記各スイッチ素子を介して選択的に伝達される電圧を前記ローサイド回路における前記第2の電位を基準電位とするパルス信号に変換し、一定時間に亘って前記パルス信号が検出される毎にコンデンサを充電するように構成する。そして前記信号解析回路においては、前記一定時間後における前記コンデンサの充電電圧を判定して前記複数の信号を復元するように構成することも望ましい。

発明の効果

[0016] 上記構成の信号伝達回路によれば、ハイサイド回路における複数種の異常検出信号の優先度に応じて複数種のパルス信号を選択的に生成し、このパルス信号をレベルダウンしていたローサイド回路に伝達するので、フローティング動作する前記ハイサイド回路の電源電圧の変動の影響を受けることがない。しかも前記パルス信号に応じて択一的にオン動作するスイッチ素子を介して該パルス信号を伝達するので、例えば同相ノイズ等の影響を受けることなく前記パルス信号を正確に伝達することができる。

[0017] また本発明に係る信号伝達回路は、複数種の異常検出信号の優先度に応じて並列に設けられた複数のスイッチ素子を択一的にオンさせる複数種のパルス信号を選択的に生成して、或いはパルス幅またはパルス数の異なるパルス信号を前記異常検出信号の種別に応じて生成してローサイド回路に伝達する構成である。従って前記スイッチ素子および前記電圧変換回路からなるレベルダウン回路を簡素に構成することができる。しかも前記出力回路および前記信号解析回路については論理回路や比較器等を用いて簡易に構築することができる。従って前記ハイサイド回路および前記ローサイド回路を含む全体構成を安価に、且つ簡易に実現し得る等の効果が奏せられる。

図面の簡単な説明

[0018] [図1]本発明に係る信号伝達回路を備えて構成される電力変換器の概略構成図。

[図2]本発明の第1の実施形態に係る信号伝達回路の要部概略構成図。

[図3]アービタ回路の処理機能を示す図。

[図4]アービタ回路の出力に応じてパルス生成回路により生成されるパルス信号の例を示す図。

[図5]図2に示す信号伝達回路による信号伝達の形態を示すタイミング図。

[図6]図2に示す電圧変換回路の構成例を示す図。

[図7]図2に示す電圧変換回路の変形例を示す図。

[図8]図2に示すラッチ回路の構成例を示す図。

[図9]図2に示す信号解析回路の構成例を示す図。

[図10]図2に示すアラーム出力回路の構成例を示す図。

[図11]図2に示すアラーム出力回路の動作を示すタイミング図。

[図12]本発明の第2の実施形態に係る信号伝達の概念を示す図。

[図13]本発明の第2の実施形態に係る信号伝達回路の要部概略構成図。

[図14]図13に示す信号伝達回路による信号伝達の形態を示すタイミング図。

[図15]本発明の第3の実施形態に係る信号伝達の概念を示す図。

[図16]本発明の第3の実施形態に係る信号伝達回路の要部概略構成図。

[図17]図16に示すタイマー回路の構成例を示す図。

[図18]図16に示すデコーダの構成例を示す図。

[図19]図16に示す信号伝達回路による信号伝達の形態を示すタイミング図。

[図20]従来の信号伝達回路の一例を示す構成図。

発明を実施するための形態

[0019] 以下、図面を参照して本発明の実施形態に係る信号伝達回路について説明する。

[0020] 図1は本発明に係る信号伝達回路を備えて構成される電力変換器の要部概略構成図である。図1においてH Q、L Qはトータムポール接続されてハーフブリッジ回路を形成し、交互にオン・オフ動作して直流電圧Eをスイッチングする、例えばIGBTからなるスイッチング素子である。

[0021] 前記上アーム側のスイッチング素子H Qは、制御回路CONTからの制御信号を受けて動作するハイサイドドライバH Dによりオン・オフ駆動される。また下アーム側のスイッチング素子L Qは、前記制御回路CONTからの制御信号を受けて動作するローサイドドライバL Dによりオン・オフ駆動される。尚、前記制御回路CONT、前記ハイサイドドライバH Dおよび前記ローサイドドライバL Dは、例えば高電圧集積回路H V I Cに集積一体化される。

[0022] ちなみに前記ハイサイドドライバH Dは、第1の電位である前記ハーフブリッジ回路の midpoint 電位V Sを基準電位とし、所定の電源電圧V B ($> V S$)を受けて動作するように構成される。また前記ローサイドドライバL Dおよび前記制御回路CONTのそれぞれは、前記 midpoint 電位V Sよりも低い第2の電位として前記ハーフブリッジ回路の接地電位GNDを基準電位とし、所定の電源電圧V C C ($> GND$)を受けて動作するように構成される。従ってここでは前記ハイサイドドライバH Dをハイサイド回路と称し、また前記ローサイドドライバL Dおよび前記制御回路CONTをローサイド回路と称す

る。

[0023] ここで前記ハイサイドドライバH Dおよび前記ローサイドドライバL Dは、前記スイッチング素子H Q, L Qをそれぞれオン・オフ駆動する役割を担う。更に前記ハイサイドドライバH Dおよび前記ローサイドドライバL Dは、前記スイッチング素子H Q, L Qにそれぞれ流れる電流、およびその動作温度を監視する機能を備える。前記電流の検出は、例えば前記各スイッチング素子H Q, L Qに設けられた電流検出用エミッタを介して行われる。また前記温度の検出は、例えば前記各スイッチング素子H Q, L Qに一体に組み込まれた温度検出用ダイオードを介して行われる。

[0024] そして前記ハイサイドドライバH Dおよび前記ローサイドドライバL Dは、過電流や過熱等の異常を検出したとき、前記各スイッチング素子H Q, L Qの駆動を停止することで該スイッチング素子H Q, L Qを保護すると共に、その異常検出信号を前記制御回路C O N Tに通知する機能を備える。この際、ハイサイド回路である前記ハイサイドドライバH Dから前記制御回路C O N Tに通知する前記異常検出信号を、該制御回路C O N Tの基準電位にレベルダウンすることが必要となる。

[0025] 図2は本発明の第1の実施形態に係る信号伝達回路1の要部概略構成図であり、10は前述したH V I Cに設けられるハイサイド回路、20はローサイド回路である。この信号伝達回路1は、前記ハイサイド回路10（具体的にはハイサイドドライバH D）において検出される複数種の異常検出信号O H E, O C E, U V Eをレベルダウンして前記ローサイド回路20に伝達する役割を担う。前記異常検出信号O H Eは、過熱検出部11により検出された過熱を示す信号、前記異常検出信号O C Eは、過電流検出部12により検出された過電流を示す信号、そして前記異常検出信号U V Eは、電圧低下検出部13により検出された電圧低下を示す信号である。

[0026] 前記信号伝達回路1は、前記各検出部11, 12, 13から入力される複数種の異常検出入力O H I N, O C I N, U V I Nを、その優先度に応じて出力するアービタ回路14を備える。このアービタ回路14は、基本的には先着

優先で前記異常検出入力 $OHIN$, $OCIN$, $UVIN$ に応じて異常検出信号 OHE , OCE , UVE を出力する。しかし前記複数種の異常検出入力 $OHIN$, $OCIN$, $UVIN$ が同時に発生した場合、前記アービタ回路 14 は、例えば図 3 に示すように $[OHIN > UVIN > OCIN]$ なる優先順位で前記異常検出信号 OHE , UVE , OCE を出力する。

[0027] また前記信号伝達回路 1 は、前記アービタ回路 14 から出力される前記異常検出信号 OHE , OCE , UVE に応じてパルス信号を生成するパルス生成回路 15 を備える。更に前記信号伝達回路 1 は、前記異常検出信号 OHE , OCE , UVE を前記ローサイド回路 20 に伝達する為の 2 つのスイッチ素子 16, 17 を並列に備える。これらのスイッチ素子 16, 17 は、例えば高耐圧の p チャネル型 MOS-FET ; PM1, PM2 からなる。これらのスイッチ素子 16, 17 は、それぞれそのソースを前記電源電圧 VB に接続し、ドレインを前記ローサイド回路 20 の後述する電圧変換回路に接続したものである。前記パルス生成回路 15 は、前記各スイッチ素子 16, 17 が同時にオンすることのないタイミングで、前記各異常検出信号 OHE , OCE , UVE に応じた複数のパルス信号を生成し、該パルス信号を前記スイッチ素子 16, 17 の各ゲートに印加する。

[0028] 具体的には前記パルス信号は、例えば図 4 に示すように過熱を示す前記異常検出信号 OHE の出力時には前記スイッチ素子 17 を第 1 の周期で連続的にオン・オフする連続パルス信号からなる。また過電流を示す前記異常検出信号 OCE の出力時には前記スイッチ素子 16 を第 1 の周期で連続的にオン・オフする連続パルス信号からなる。そして電圧低下を示す前記異常検出信号 UVE の出力時には前記 2 つのスイッチ素子 16, 17 を前記第 1 の周期よりも長い第 2 の周期で交互にオン・オフするパルス信号からなる。

[0029] 即ち、前記アービタ回路 14 は、過熱異常、過電流異常、および電圧低下異常の発生状況に応じて異常検出信号 OHE , OCE , UVE を生成する。そして前記パルス生成回路 15 は、例えば図 5 に示すように前記アービタ回路 14 の管理の下で前記異常検出信号 OHE , OCE , UVE に応じて前記スイ

ッチ素子 16, 17 をそれぞれオン・オフ駆動するパルス信号を生成する。

[0030] 具体的には過熱異常だけが発生したときには、図5において区間Aに示すように前記スイッチ素子 17 だけが第1の周期でオン・オフ駆動される。また電圧低下異常だけ発生した場合には、区間Bに示すように前記スイッチ素子 16, 17 が第2の周期で交互にオン・オフ駆動される。そして前記過熱異常と電圧低下異常とが同時に発生した場合には、区間Cに示すように前記電圧低下異常よりも前記過熱異常が優先して前記スイッチ素子 17 だけが第1の周期でオン・オフ駆動される。

[0031] また過電流異常だけが発生したときには、図5において区間Dに示すように前記スイッチ素子 16 だけが第1の周期でオン・オフ駆動される。また過電流異常に加えて前記過熱異常が同時に発生した場合には、区間Eに示すように前記スイッチ素子 16 の駆動に優先して前記スイッチ素子 17 だけが第1の周期でオン・オフ駆動される。また前記過電流異常と前記電圧低下異常とが同時に発生した場合には、区間Fに示すように前記スイッチ素子 16, 17 が第2の周期で交互にオン・オフ駆動される。そして前記過熱異常、および過電流異常と共に電圧低下異常とが同時に発生した場合には、区間Gに示すように前記過熱異常が優先して前記スイッチ素子 17 だけが第1の周期でオン・オフ駆動される。

[0032] 一方、前記ローサイド回路 20 は、前記スイッチ素子 16, 17 を介して伝達される上述したパルス信号を電圧変換して取り込んで、該ローサイド回路 20 の基準電位である接地電位 GND を基準とするパルス信号を生成する電圧変換回路 21 を備える。この電圧変換回路 21 は、例えば図6に示すように電圧変換部 21a と同相ノイズフィルタ 21b を備えて構成され、前記パルス信号を復元するパルス生成機能を備えたものとして実現される。

[0033] 具体的には前記電圧変換回路 21 における前記電圧変換部 21a は、例えば図6に示すように前記スイッチ素子 16, 17 の各ドレインに直列接続された抵抗 R1, R2 と、これらの各抵抗 R1, R2 にそれぞれ並列接続されて該抵抗 R1, R2 に生起される電圧をクランプするツェナーダイオード ZD1,

ZD2 からなる。そして前記電圧変換部 21a は、前記抵抗 R1, R2 に生起される電圧として、前記パルス信号を前記接地電位 GND を基準として復元するように構成される。

[0034] 尚、前記電圧変換部 21a を、例えば図 7 に示すように一対の n チャネル型 MOS-FET からなる第 1 のカレントミラー回路 CM11, CM21、および一対の p チャネル型 MOS-FET からなる第 2 のカレントミラー回路 CM12, CM22 を用いて構成することも可能である。この場合には前記第 1 のカレントミラー回路 CM11, CM21 のドレイン・ソース間電圧を前記ツェナーダイオード ZD1, ZD2 によりクランプする。

[0035] そして前記第 1 のカレントミラー回路 CM11, CM21 の出力にて前記第 2 のカレントミラー回路 CM12, CM22 を駆動し、該第 2 のカレントミラー回路 CM12, CM22 の出力電流にて前記抵抗 R1, R2 に電圧を生起する。従ってこのように構成された前記電圧変換部 21a においても、前記抵抗 R1, R2 に生起される電圧として、前記スイッチ素子 16, 17 を介して伝達されたパルス信号が、前記接地電位 GND を基準とするパルス信号として復元される。

[0036] また前記同相ノイズフィルタ 21b は、例えば図 6 および図 7 にそれぞれ示すように p チャネル型 MOS-FET および n チャネル型 MOS-FET をそれぞれ 2 段ずつ、計 4 段にトータムポール接続したスイッチ回路 SW1, SW2 として構成される。第 1 のスイッチ回路 SW1 における 1 段目の p チャネル型 MOS-FET ; PM11 および 3 段目の n チャネル型 MOS-FET ; NM11 は、前記抵抗 R2 から得られるパルス信号を各ゲートに入力して相補的にオン・オフ動作する。また 2 段目の p チャネル型 MOS-FET ; PM12 および 4 段目の n チャネル型 MOS-FET ; NM12 は、前記抵抗 R1 から得られ、ノット回路 NOT1 を介して反転されたパルス信号を各ゲートに入力して相補的にオン・オフ動作する。

[0037] 従って前記第 1 のスイッチ回路 SW1 は、前記スイッチ素子 16, 17 を介して同時にパルス信号が入力されたとき、これらのパルス信号の出力を禁止

する。そして前記スイッチ素子 16 だけを介して前記パルス信号が入力されたとき、当該パルス信号を出力する。このようにして同相フィルタリング処理されて前記 p チャネル型 MOS-FET ; PM12 と 3 段目の n チャネル型 MOS-FET ; NM11 の接続点に得られるパルス信号は、出力アンプ AMP1 を介して異常検出信号 ER1 として出力される。

[0038] また同様に前記第 2 のスイッチ回路 SW2 における 1 段目の p チャネル型 MOS-FET ; PM21 および 3 段目の n チャネル型 MOS-FET ; NM21 は、前記抵抗 R1 から得られるパルス信号を各ゲートに入力して相補的にオン・オフ動作する。また 2 段目の p チャネル型 MOS-FET ; PM22 および 4 段目の n チャネル型 MOS-FET ; NM22 は、前記抵抗 R2 から得られ、ノット回路 NOT2 を介して反転されたパルス信号を各ゲートに入力して相補的にオン・オフ動作する。

[0039] 従って前記第 2 のスイッチ回路 SW2 は、前記第 1 のスイッチ回路 SW1 と同様に第 1 の前記スイッチ素子 16, 17 を介して同時にパルス信号が入力されたとき、これらのパルス信号の出力を禁止する。そして前記スイッチ素子 17 だけを介して前記パルス信号が入力されたとき、当該パルス信号を出力する。このようにして同相フィルタリング処理されて前記 2 段目の p チャネル型 MOS-FET ; PM22 と 3 段目の n チャネル型 MOS-FET ; NM21 の接続点に得られるパルス信号は、出力アンプ AMP2 を介して異常検出信号 ER2 として出力される。

[0040] ここで前記ローサイド回路 20 の構成の説明に戻って、前記ローサイド回路 20 は図 2 に示すように前記電圧変換回路 21 により電圧変換して復元されたパルス信号をラッチするラッチ回路 22 を備える。また前記ローサイド回路 20 は、前記ラッチ回路 22 にラッチされた前記パルス信号を解析して前述した異常検出信号の種別を判定する信号解析回路 23 を備える。更に前記ローサイド回路 20 は、前記信号解析回路 23 の出力である信号解析結果に応じてアラーム信号 ALM を出力するアラーム出力回路 24 を備える。

[0041] 前記ラッチ回路 22 は、具体的には、例えば図 8 に示すように前述したパ

ルス信号からなる前記異常検出信号 E R 1, E R 2 をそれぞれラッチする 2 段構成のラッチ L T 1 1, L T 1 2 とラッチ L T 2 1, L T 2 2 とを並列に備える。これらのラッチ L T 1 1, L T 1 2, L T 2 1, L T 2 2 は、前記異常検出信号 E R 1, E R 2 を入力するパルス生成回路 P G が生成するクロック信号 C L K を受けてラッチ動作する。

[0042] ちなみに前記パルス生成回路 P G は、前記異常検出信号 E R 1, E R 2 をそれぞれ形成するパルス信号の一方が反転したとき、これに同期して前記クロック信号 C L K を生成するように構成される。そして前記 1 段目のラッチ L T 1 1, L T 2 1 は、前記クロック信号 C L K を受けて前記異常検出信号 E R 1, E R 2 をそれぞれラッチする。また前記 2 段目のラッチ L T 1 2, L T 2 2 は、前記 1 段目のラッチ L T 1 1, L T 2 1 に保持されている異常検出信号をそれぞれラッチする。

[0043] 従って前述した 2 段構成の前記ラッチ L T 1 1, L T 1 2 および前記ラッチ L T 2 1, L T 2 2 には、前記異常検出信号 E R 1, E R 2 の変化の状態を示す信号がラッチされる。そして前記ラッチ L T 1 1, L T 1 2 および前記ラッチ L T 2 1, L T 2 2 にそれぞれラッチされて保持された計 2 ビットの信号は、前述した過熱および過電流をそれぞれ示す前記異常検出信号 O H R, O C R としてそれぞれ出力される。尚、前記各ラッチ L T 1 1, L T 1 2, L T 2 1, L T 2 2 は、後述するクリア信号 C L R を受けて一斉にリセットされて初期化される。

[0044] このように構成された前記ラッチ回路 2 2 に保持された前記異常検出信号 E R 1, E R 2 を解析する前記信号解析回路 2 3 は、例えば図 9 に示す論理に従って前記異常検出信号 E R 1, E R 2 の経時的な遷移状態変化から、当該異常検出信号 E R 1, E R 2 が示す異常の種別を判定する。即ち、前記信号解析回路 2 3 は、前記異常検出信号 O H R, O C R が [0 0], [0 0] であるとき、これを異常なしとして判定する。そして前記異常検出信号 O H R が [1 1] であり、且つ前記異常検出信号 O C R が [0 0] であるとき、これを過熱異常であるとして判定する。

[0045] また前記信号解析回路23は、前記異常検出信号OHRが[00]であり、且つ前記異常検出信号OCRが[11]であるとき、これを過電流異常であるとして判定する。そして前記異常検出信号OHRが[01]または[10]であり、且つ前記異常検出信号OCRが[10]または[01]であるとき、これを低電圧異常であるとして判定する。この低電圧異常の判定は、前述したように前記異常検出信号UVEの出力時には前記2つのスイッチ素子16, 17が前記過熱および過電流の検出時よりも長い周期で交互にオン・オフされることに基づいている。即ち、この場合には、前記ラッチ回路22に保持される信号が1段目と2段目とで異なり、且つ前記異常検出信号ER1, ER2間において互いに異なることに基づいている。

[0046] そして前記異常検出信号OHR, OCRが[10(11)], [11(10)]として、共に同じ値を示すとき、前述したように前記スイッチ素子16, 17を同時にオンさせることがない条件で前記パルス信号を生成していることから、この状態を受信異常として判定する。この場合、前記クリア信号CLRを生成して前記ラッチ回路22をリセットする。このようにして前記異常検出信号OHRおよび前記異常検出信号OCRを解析する前記信号解析回路23は、前記異常検出信号OHRおよび前記異常検出信号OCRを入力して、その解析結果である異常の種別を示す信号ERDET, OHER, OCER, UVER, RXERを選択的に出力するメモリとして実現される。

[0047] さてこのような解析結果、即ち、前記信号ERDET, OHER, OCER, UVER, RXERを入力する前記アラーム出力回路24は、例えば図10に示すように前記異常検出信号ERDETを入力してセットされるフリップフロップFFを備える。そしてこのフリップフロップFFのセット出力にてnチャンネル型MOS-FET; NM31をオン駆動することでアラーム信号ALMを出力するように構成される。

[0048] また前記アラーム出力回路24は、前記フリップフロップFFのセット出力を受けて前記信号OHER, OCER, UVER, RXERをそれぞれラッチする4つのラッチLT1, LT2, LT3, LT4を並列に備える。更に前記ア

ラーム出力回路24は、pチャネル型MOS-FET；PM30との間でカレントミラー回路を形成する定電流源としての4つのpチャネル型MOS-FET：PM31, PM32, PM33, PM34を並列に備える。そしてこれらの各pチャネル型MOS-FET；PM31, PM32, PM33, PM34には、スイッチとしての4つのpチャネル型MOS-FET；PM41, PM42, PM43, PM44がそれぞれ直列に接続されている。

[0049] これらのpチャネル型MOS-FET；PM41, PM42, PM43, PM44は、前記ラッチLT1, LT2, LT3, LT4の各出力にて選択的にオンされて、前記pチャネル型MOS-FET；PM31, PM32, PM33, PM34からなる定電流源にてコンデンサC1を充電する役割を担う。そして前記コンデンサC1の充電に伴って該コンデンサC1に生じる充電電圧は比較器COMPに与えられ、基準電圧Vrefと比較される。そして前記比較器COMPは、前記コンデンサC1の充電電圧が前記基準電圧Vrefを超えたとき、アラーム信号の出力停止を指令する終了信号TENDを発するものとなっている。

[0050] この終了信号TENDにより、遅延回路を介して前記コンデンサC1に並列接続されたnチャネル型MOS-FET；NM32がオン駆動され、前記コンデンサC1に充電された電荷が放電されて該コンデンサC1がリセットされる。また前記終了信号TENDは、前記フリップフロップFFのリセット端子に印加されると共に、該フリップフロップFFのセット端子の前段に設けられたアンドゲート回路に入力される。このアンドゲート回路は、前記フリップフロップFFがリセット状態であり、且つ前記終了信号TENDが出力されていないときにだけ、該フリップフロップFFのセット端子に前記異常検出信号ERDETを印加する役割を担う。

[0051] 従って前記フリップフロップFFは、図11に示すように前記異常検出信号ERDETが入力されたタイミングでセットされ、これに伴って前記コンデンサC1の充電が開始された後、該コンデンサC1の充電電圧が前記基準電圧Vrefを超えて前記終了信号TENDが出力されたときにリセットされる

。この結果、前記フリップフロップFFがセットされている期間tに亘って前記アラーム信号ALMが出力されることになる。

[0052] この際、前記pチャネル型MOS-FET; PM31, PM32, PM33, PM34にそれぞれ設定する一定電流値に重み付けをしておけば、前記信号OHER, OCER, UVER, RXERの種別に応じて前記コンデンサC1の充電電流が変化する。この結果、該コンデンサC1の充電電圧が前記基準電圧Vrefに達するまでの時間t、つまり前記終了信号TENDが生成されるタイミングに時間差が生じる。従って前記信号OHER, OCER, UVER, RXERの種別に応じて前記アラーム信号ALMの出力時間を変えることが可能となる。そしてこのアラーム信号ALMの出力時間を弁別することで前記異常検出の種別を判定することが可能となる。

[0053] かくしてこのように構成された信号伝達回路1によれば、ハイサイド回路10において発生する複数種（この例では3種）の異常検出信号OHIN, OCIN, UVINに応じて、所定の優先順位で異常の種別を示す信号OHER, OCER, UVERが生成される。そしてこれらの信号OHER, OCER, UVERに応じて、前述した2つのスイッチ素子16, 17の一方を連続してオン・オフさせるパルス信号、または前記スイッチ素子16, 17を交互にオンさせるパルス信号が生成される。そしてこれらのパルス信号が前記スイッチ素子16, 17を介してローサイド回路20に伝達される。

[0054] 従って前記ハイサイド回路10における電源電圧変動(dV/dt)の影響を受けることなく前記ローサイド回路20への信号伝達を行い得る。また前記スイッチ素子16, 17が同時にオン駆動されることがないので、該2つのスイッチ素子16, 17に混入する同相ノイズの影響を簡易に、且つ効果的に除去して、前記各パルス信号をそれぞれ確実に検出することができる。

[0055] 故に前記ローサイド回路20においては前記スイッチ素子16, 17をそれぞれ介して伝達されるパルス信号から前記ハイサイド回路10において発生した異常の種別を正確に判別することが可能となる。特に前記2つのスイッチ素子16, 17を用いて、前記ハイサイド回路10において発生する3種類

の異常の種別を、異常なしの状態を含めて簡易に、且つ確実に前記ローサイド回路 20 に伝達することが可能であり、その実用的利点が多大である。

[0056] 尚、3 個のスイッチ素子 PM1, PM2, PM3 を並列に設け、これらのスイッチ素子 PM1, PM2, PM3 を択一的にオンさせるパルス信号を生成して前記ハイサイド回路 10 から前記ローサイド回路 20 への信号伝達を行うように構成することも可能である。この場合、前記ハイサイド回路 10 に生じた異常の種別に応じて、例えば前記スイッチ素子 PM1, PM2, PM3 の 1 つだけを第 1 の周期でオン・オフするパルス信号と、前記スイッチ素子 PM1, PM2, PM3 の中の 2 つを交互にオン・オフする第 2 の周期のパルス信号を生成するようにすれば良い。このようにすれば異常なしの状態を含めて、6 種類の異常の種別を伝達することが可能となる。

[0057] 次に本発明の第 2 の実施形態に係る信号伝達回路 1 について説明する。

[0058] この実施形態は前述したアービタ回路 14 により信号種別の優先度に応じて求められた異常検出信号 OHE, OCE, UVE に応じて、例えば図 12 に示すようにパルス幅の異なる 3 種類のパルス信号を生成する。そしてこのパルス信号は、例えば図 13 に示すように 1 つのスイッチ素子 16 だけを介してローサイド回路 20 に伝達するように構成される。ちなみに前記 3 種類のパルス信号のパルス幅 T1, T2, T3 は、例えば図 12 に示すように $[T2 = 2 \cdot T1]$, $[T3 = 2 \cdot T2 = 4 \cdot T1]$ として設定される。

[0059] このような異常信号の種別に応じたパルス幅 T1, T2, T3 のパルス信号は、例えば所定周波数の基準クロック信号を計数する 3 ビットのカウンタ 18 と、該カウンタ 18 の出力を選択するマルチプレクサ 19 とを用いて生成される。具体的には前記カウンタ 18 および前記マルチプレクサ 19 の各動作を、例えば 2 ビットのデータ $[01]$, $[10]$, $[11]$ からなる異常信号の種別を示す前記異常検出信号 OHE, OCE, UVE に応じて制御することによって生成される。そして前記パルス幅 T1, T2, T3 のパルス信号を用いて前記スイッチ素子 16 を連続的にオン・オフ駆動する。

[0060] 一方、前記ローサイド回路 20 においては、前記電圧変換部 21a を介し

て電圧変換して得られるパルス信号を用いて、該パルス信号のパルス幅時間に亘ってコンデンサC 2を充電する。そしてパルス幅検出回路25においては、前記コンデンサC 2の充電電圧を、並列に設けられた3つの比較器CMP 1, CMP 2, CMP 3にて基準電圧V ref1, V ref2, V ref3とそれぞれ比較して前記各パルス幅に相当する出力ALM 1, ALM 2, ALM 3をそれぞれ求める。その上で前記パルス幅検出回路25は、前記各比較器CMP 1, CMP 2, CMP 3の出力ALM 1, ALM 2, ALM 3を、アンドゲート回路AND 1, AND 2を介してマスキング処理し、前記出力ALM 1, ALM 2, ALM 3の1つを選択的に出力する。

[0061] ちなみにこの例では $[ALM 1 < ALM 2 < ALM 3]$ なる優先順位でアラーム信号を出力するように構成されている。また図13において前記コンデンサC 2に並列接続されたnチャネル型MOS-FET; NM31は、ノット回路を介して反転された前記パルス信号によりオン駆動されて、前記コンデンサC 2の充電電荷を放電する役割を担う。

[0062] かくしてこのように構成された信号伝達回路1によれば、図14にその動作タイミングを示すように、異常検出信号の種別に応じて前記スイッチ素子PM 1をオン駆動するパルス信号のパルス幅T 1, T 2, T 3が変更されるので、これに伴って前記コンデンサC 2の充電電圧が変化する。そして前記コンデンサC 2の充電電圧が前記基準電圧V ref1, V ref2, V ref3を超えた際、前記比較器CMP 1, CMP 2, CMP 3は順次その出力A 1, A 2, A 3を反転させる。

[0063] そして前記各比較器CMP 1, CMP 2, CMP 3の出力A 1, A 2, A 3は、前記基準電圧が高く設定されている上位の比較器CMP 2, CMP 3の出力A 2, A 3により順にマスキングされる。この結果、前記コンデンサC 2がリセットされるタイミングで前記各比較器CMP 1, CMP 2, CMP 3の出力A 1, A 2, A 3を抽出すれば、これによって前記異常の種別に応じた異常検出出力ALM 1, ALM 2, ALM 3を択一的に求めることが可能となる。

[0064] 従って上述した如く異常の種別に応じたパルス幅T 1, T 2, T 3のパルス

信号を前記スイッチ素子 16 を介して伝達するようにしても、先の実施形態と同様にハイサイド回路 10 において発生した異常の種別を前記ローサイド回路 20 に対して簡易に、しかも確実に伝達することができる。しかも 1 つのスイッチ素子 16 を用いるだけで、異常の種別を示す信号伝達を確実に行うことができる。但し、この実施形態の場合、前記パルス信号のパルス幅 T_1 , T_2 , T_3 の設定条件によっては、その信号伝達から該パルス信号の解析までの時間が掛かることが否めない。従って異常の種別によって定まる緊急度に応じて前記パルス幅 T_1 , T_2 , T_3 を最適に設定することが望ましいこととは言うまでもない。

[0065] また本発明を次のようにして実施することも可能である。

[0066] この第 3 の実施形態は前述したアービタ回路 14 により信号種別の優先度に応じて求められた異常検出信号 OHE , OCE , UVE に応じて、例えば図 15 に示すようにパルス数 n の異なる 3 種類のパルス信号列を生成する。そしてこのパルス信号列を、例えば図 16 に示すように 1 つのスイッチ素子 16 を介してローサイド回路 20 に伝達する。ちなみにパルス数の異なる前記 3 種類のパルス信号列は、例えば図 15 に示すように一定の休止期間 T_b を挟んで設定される一定の信号出力期間 T_a に出力するパルス数 n を異ならせたものである。

[0067] この図 15 に示す例では前記信号出力期間 T_a におけるパルス数 n を、前記異常検出信号 OHE , OCE , UVE に応じて 4 パルス、6 パルス、8 パルスとして設定している。このようなパルス信号列は、例えば図 16 に示すように基準クロック信号 CLK を分周器 31 にて分周した後、3 ビットのカウンタ 32 にて計数する。そしてこのカウンタ 32 による計数値と、前記異常検出信号 OHE , OCE , UVE を示す 2 ビットのアラーム情報とを比較器 33 にて比較し、その比較結果によりアンドゲート回路 34 を制御して前記基準クロック信号 CLK をマスキングすることで生成される。

[0068] この結果、前記アンドゲート回路 34 を介して前記スイッチ素子 16 に与えられる前記基準クロック信号 CLK のパルス数が前記異常検出信号 OHE ,

OCE, UVEの種別に応じて制限される。そして前記スイッチ素子16は、前記カウンタ32の1動作周期($T_a + T_b$)において、前記アンドゲート回路34を通過した前記基準クロック信号CLKのパルス数だけオン・オフ駆動される。

[0069] またこのようにして前記ハイサイド回路10から伝達されるパルス信号を受信する前記ローサイド回路20においては、次のようにして前記パルス信号のパルス数から前記異常検出信号の種別を解析すれば良い。即ち、前記電圧変換部21aを介して電圧変換して得られるパルス信号を4ビットのカウンタ36にて計数し、その計数値をラッチ回路37にてラッチする。この際、前記カウンタ36による計数動作と、前記ラッチ回路37によるラッチタイミングをタイマー回路38にて制御する。

[0070] ちなみに前記タイマー回路38は、例えば図17に示すように前記電圧変換部21aから得られるパルス信号を受けてセットされるフリップフロップ(FF)38aを備える。また前記タイマー回路38は、前記フリップフロップ38aのセット出力を受けて充電されるコンデンサC11の充電電圧を第1の比較器CMP11にて所定の基準電圧 V_{ref11} と比較する第1のタイマー38bを備える。そしてこの第1のタイマー38bにより、前記パルス信号の出力期間 T_a を求めるように構成される。

[0071] 更に前記タイマー回路38は、前記第1の比較器CMP11の出力にて充電されるコンデンサC12の充電電圧を第2の比較器CMP12にて所定の基準電圧 V_{ref12} と比較する第2のタイマー38cを備える。そしてこの第2のタイマー38cにて前記パルス信号の休止期間 T_b を求めるように構成される。その上で前記タイマー回路38は、前記第2のタイマー38cである前記第2の比較器CMP12の出力により前記フリップフロップ38aをリセットすることで、前記第1および第2のタイマー38b, 38cをそれぞれ初期化するように構成される。

[0072] このように構成された前記タイマー回路38によれば、前記電圧変換部21aを介して前記ハイサイド回路10から伝達されたパルス信号を受信した

時点で前記フリップフロップ 38 a がセットされる。従って前記第 1 のタイマー 38 b は、前記パルス信号の受信タイミングを起点としてタイマー動作を開始し、前記期間 T a が経過した時点で前記カウンタ 36 によるカウンタ動作を停止させる。従って前記カウンタ 36 は、前記期間 T a の間に受信したパルス信号だけを計数する。換言すれば前記異常検出信号 O H E, O C E, U V E の種別に応じて前記ハイサイド回路 10 から伝達されたパルス信号のパルス数が前記カウンタ 36 において求められる。

[0073] その後、前記第 2 のタイマー 38 c によって前記休止期間 T b が経過した時点で前記ラッチ回路 37 が起動され、前記カウンタ 36 において求められた前記パルス信号のパルス数がラッチされる。そして前記ラッチ回路 37 に保持された計数値であるパルス数がデコーダ 39 に与えられ、当該パルス数に応じたアラーム出力が求められる。ちなみに前記デコーダ 39 は、例えば図 18 に示すように前記ラッチ回路 37 に保持された計数値に応じて、その出力 A L M 1, A L M 2, A L M 3 を変化させるように構成される。

[0074] 従って上述した如く構成された信号伝達回路 1 によれば、図 19 にその動作タイミングを示すように、異常検出信号の種別に応じて前記スイッチ素子 16 をオン駆動するパルス信号の一定期間 T a における出力パルス数 n が変更される。故に前記ローサイド回路 20 においては、前記一定期間 T a において検出されるパルス信号のパルス数を前記カウンタ 36 にて計数し、その計数値を解析することで先の実施形態と同様にハイサイド回路 10 において発生した異常の種別を判定することが可能となる。

[0075] 特にこの実施形態に係る信号伝達回路 1 によれば、一定期間 T a において前記スイッチ素子 16 を介して伝達するパルス信号のパルス数 n を前記異常検出信号の種別に応じて変更するだけで良いので、該異常検出信号の種別を前記ローサイド回路 20 に対して簡易に、しかも確実に伝達することができる。しかも先の実施形態と同様に 1 つのスイッチ素子 16 を用いるだけで、異常の種別を示す信号伝達を確実に行うことができる。故に先の各実施形態と同様な効果が奏せられる。

[0076] 尚、本発明は上述した各実施形態に限定されるものではない。例えば第1の実施形態における信号伝達の制御と、第2または第3の実施形態による信号伝達の制御とを併用して信号伝達を行うことも可能である。具体的には前記2つのスイッチ素子16, 17の一方を連続的にオン・オフする連続パルス信号の周期を前記異常検出信号の種別に応じて変え、または前記2つのスイッチ素子16, 17を交互にオン・オフするパルス信号の周期を前記異常検出信号の種別に応じて変えるようにしても良い。このようにすれば更に多くの種別の信号を前記ハイサイド回路10から前記ローサイド回路20へと伝達することが可能となる。

[0077] また前述した各実施形態におけるパルス信号の周期等については、前記ハイサイド回路10から前記ローサイド回路20へと伝達する信号の発生頻度や、信号伝達の緊急性等の仕様に応じて設定すれば十分である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

[0078] H Q, L Q 高耐圧スイッチング素子

H V I C 高電圧集積回路

H D ハイサイドドライバ

L D ローサイドドライバ

C O N T 制御回路

1 信号伝達回路

1 0 ハイサイド回路

1 1 過熱検出部

1 2 過電流検出部

1 3 電圧低下検出部

1 4 アービタ回路

1 5 パルス生成回路

1 6 スwitch素子 (PM1)

1 7 スwitch素子 (PM2)

- 1 8 カウンタ
- 1 9 マルチプレクサ
- 2 0 ローサイド回路
- 2 1 電圧変換回路
 - 2 1 a 電圧変換部
 - 2 1 b 同相ノイズフィルタ
- 2 2 ラッチ回路
- 2 3 信号解析回路
- 2 4 アラーム出力回路
- 2 5 パルス幅検出回路
- 3 1 分周器
- 3 2 カウンタ
- 3 3 比較器
- 3 4 アンドゲート回路
- 3 6 カウンタ
- 3 7 ラッチ回路
- 3 8 タイマー回路
- 3 9 デコーダ

請求の範囲

- [請求項1] 第1の電位を基準電位として動作するハイサイド回路に設けられて、複数の信号の優先度に応じて複数種のパルス信号を選択的に生成して出力する出力回路と、
- この出力回路から出力されたパルス信号によりオン・オフ駆動され、前記第1の電位よりも低い第2の電位を基準電位として動作するローサイド回路に前記ハイサイド回路の電源電圧をオン・オフして伝達するスイッチ素子と、
- 前記ローサイド回路に設けられて、前記スイッチ素子を介して伝達される前記電源電圧を前記第2の電位を基準電位とする所定電圧のパルス信号に変換する電圧変換回路と、
- この電圧変換回路を介して求められた前記パルス信号を解析して前記複数の信号を復元する信号解析回路と
- を具備したことを特徴とする信号伝達回路。
- [請求項2] 前記複数の信号は、複数種の異常検出信号である請求項1に記載の信号伝達回路。
- [請求項3] 前記出力回路は、並列に設けられた複数の前記スイッチ素子を択一的にオンさせる複数種のパルス信号を選択的に生成し、
- 前記電圧変換回路は、前記各スイッチ素子を介して選択的に伝達される電圧をそれぞれ前記第2の電位を基準電位とする所定電圧のパルス信号に変換して前記複数種のパルス信号を並列に出力するものであって、
- 前記信号解析回路は、前記電圧変換回路から並列に出力される前記複数種のパルス信号から生成したクロック信号に同期して該複数種のパルス信号を各別に順にラッチする複数段のラッチ回路を並列に備え、これらのラッチ回路にそれぞれ保持された信号レベルを解析して前記複数の信号を復元するものである請求項1に記載の信号伝達回路。
- [請求項4] 前記クロック信号は、前記電圧変換回路から並列に出力される前記

複数種のパルス信号のいずれかの反転タイミングに同期した信号として生成されるものである請求項3に記載の信号伝達回路。

[請求項5] 前記信号解析回路は、前記各ラッチ回路にそれぞれ保持された信号レベルが前記複数のスイッチ素子の同時オン状態を示すとき、受信エラー処理として判定する請求項3に記載の信号伝達回路。

[請求項6] 前記出力回路は、前記複数の信号の優先度に応じて、パルス幅の異なるパルス信号を該信号の種別に応じて生成して前記スイッチ素子をオン・オフするものであって、

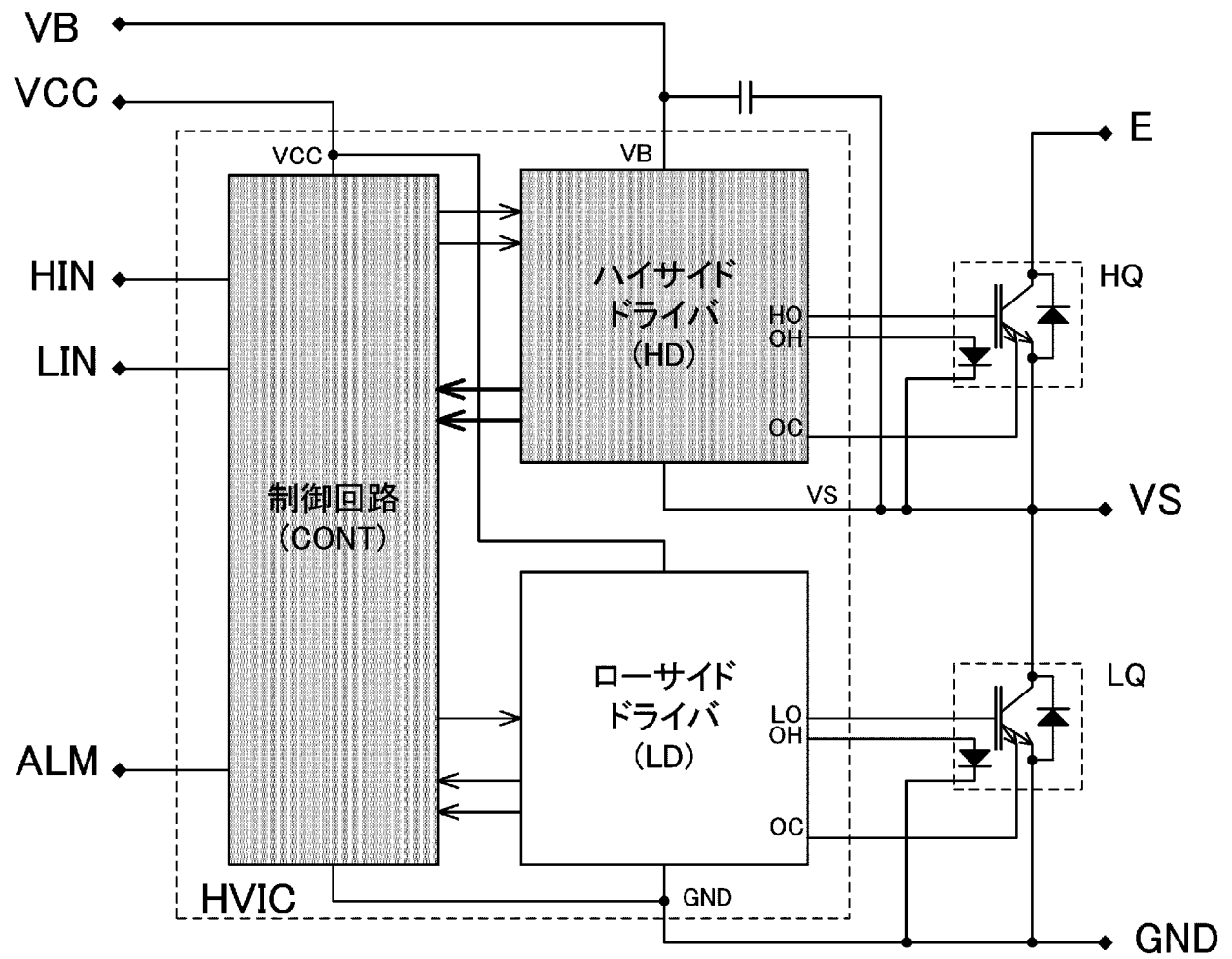
前記電圧変換回路は、前記各スイッチ素子を介して選択的に伝達される電圧を前記ローサイド回路における前記第2の電位を基準電位とするパルス信号に変換して該パルス信号のパルス幅に亘ってコンデンサを充電し、

前記信号解析回路は、前記コンデンサの充電電圧を判定して前記複数の信号を復元するものである請求項1に記載の信号伝達回路。

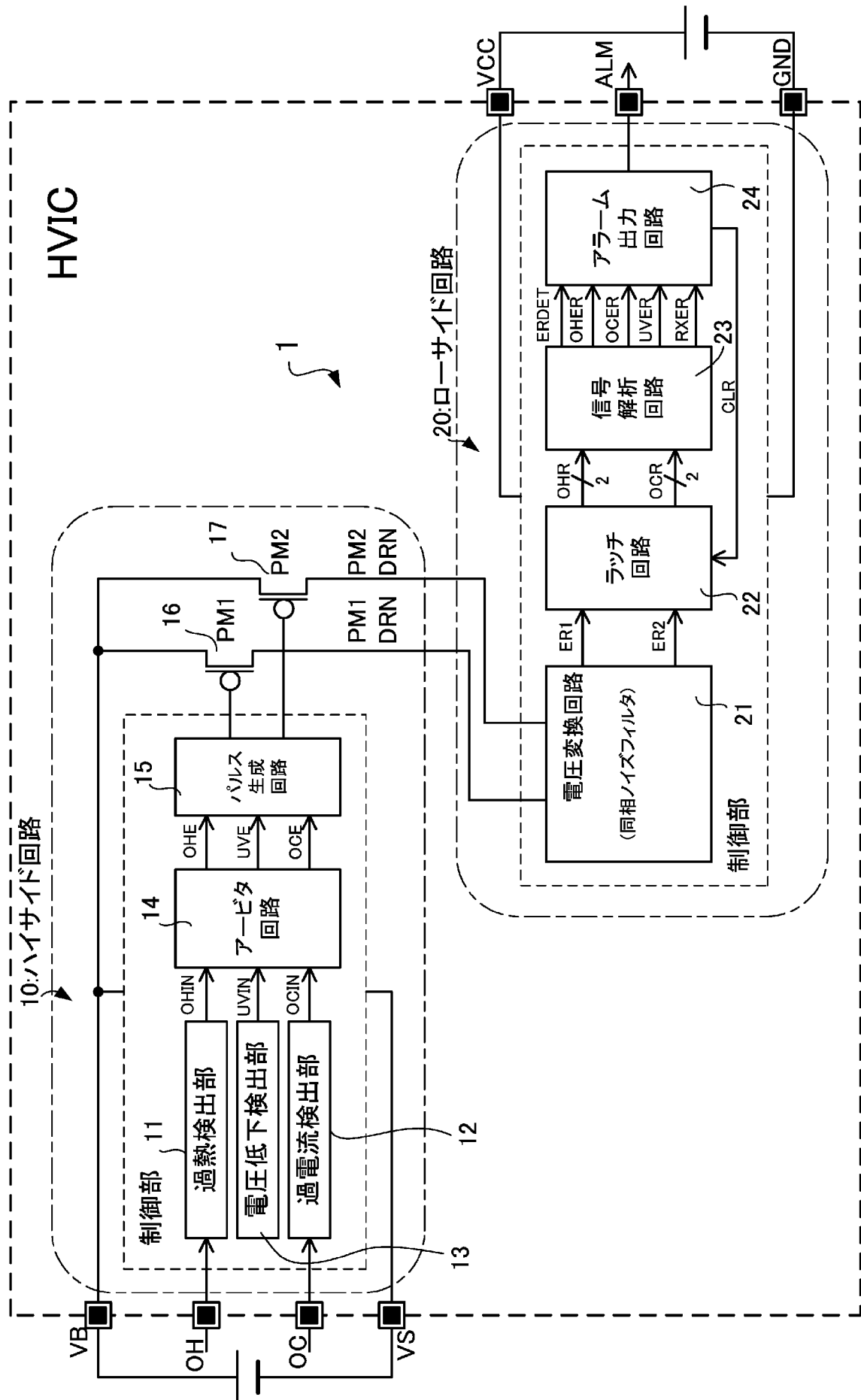
[請求項7] 前記出力回路は、前記複数の信号の優先度に応じて、パルス数の異なるパルス信号列を該信号の種別に応じて生成して前記スイッチ素子をオン・オフするものであって、

前記電圧変換回路は、前記各スイッチ素子を介して選択的に伝達される電圧を前記ローサイド回路における前記第2の電位を基準電位とするパルス信号に変換し、一定時間に亘って前記パルス信号が検出される毎にコンデンサを充電し、

前記信号解析回路は、前記一定時間後における前記コンデンサの充電電圧を判定して前記複数の信号を復元するものである請求項1に記載の信号伝達回路。



[図2]



[図3]

入力			出力			異常種別
OHIN	UVIN	OCIN	OHE	UVE	OCE	
0	0	0	0	0	0	なし
1	X	X	1	0	0	過熱
0	1	X	0	1	0	低電圧
0	0	1	0	0	1	過電流

X: Don't careを示す。

[図4]

異常種別	信号状態	PM1	PM2	動作
なし	OCE=OHE=UVE=0	off	off	何もしない
過電流	OCE=1	on	off	PM1側連続パルス出力
過熱	OHE=1	off	on	PM2側連続パルス出力
低電圧	UVE=1	on	off	PM1/PM2交互にパルス出力
		off	on	

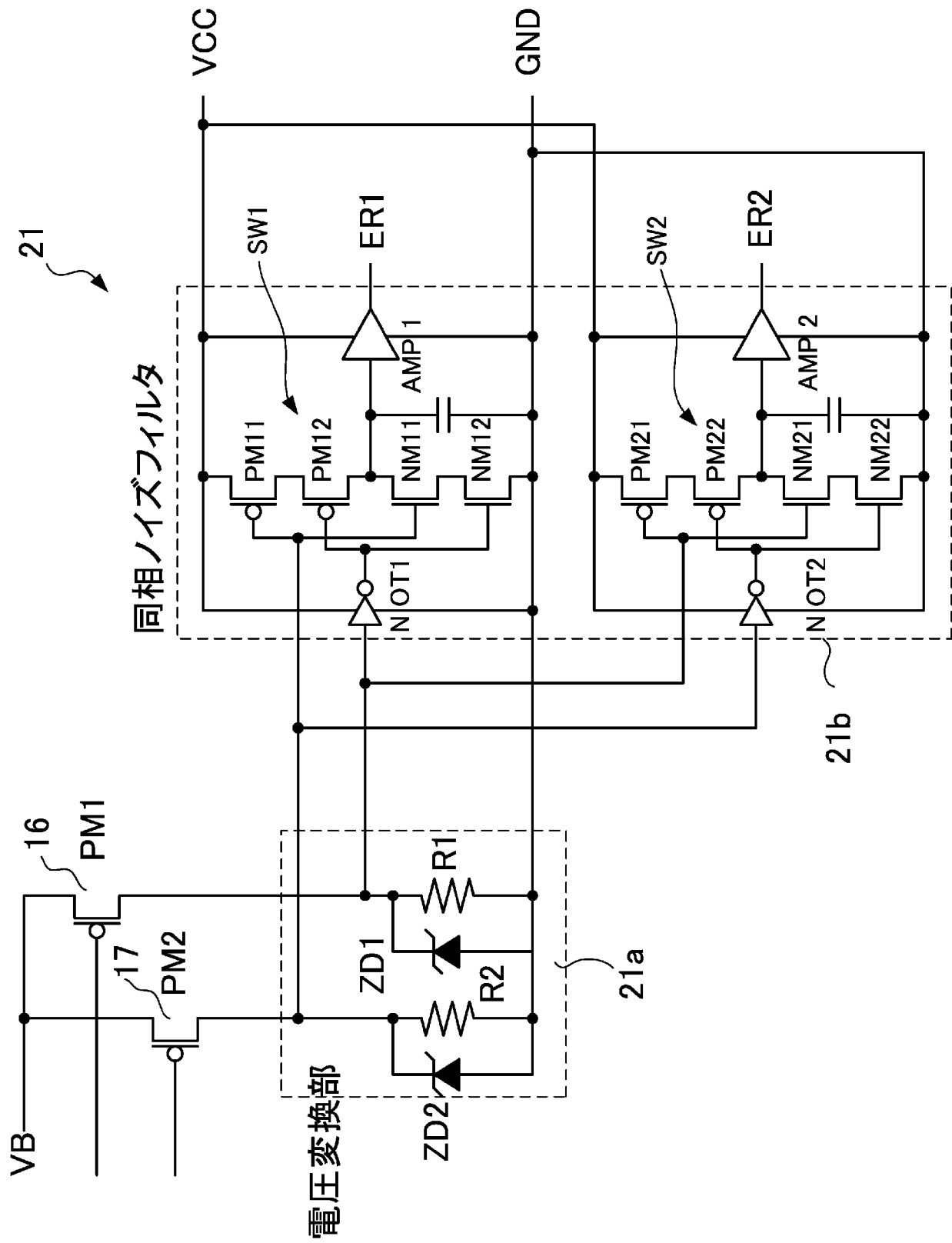
【図5】

The diagram illustrates the timing relationships for the 78M05 voltage detector. It is divided into seven time segments (A through G) along the top. The signals are organized into five functional groups:

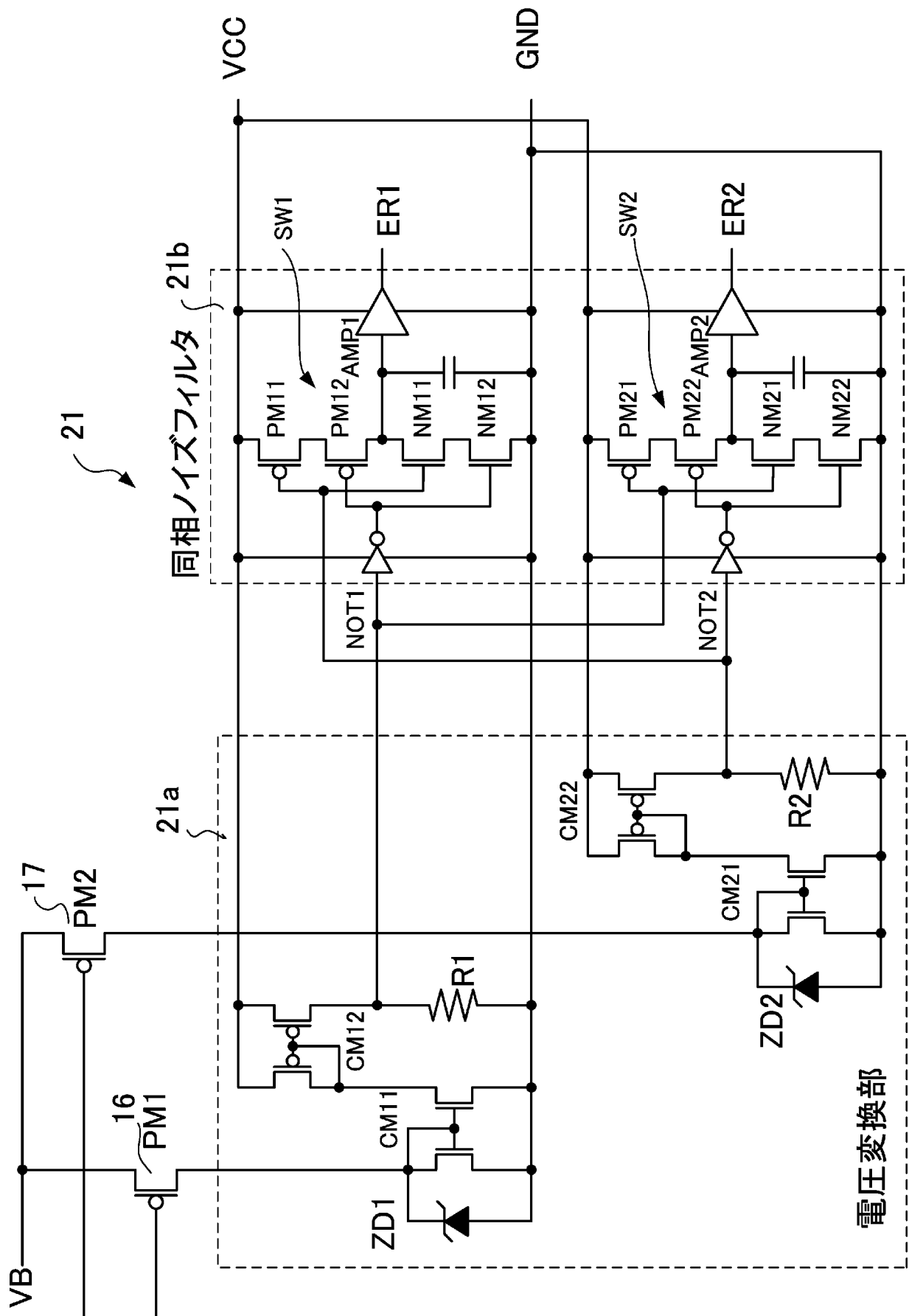
- 異常検出入力 (Abnormality Detection Input):** Includes OH (Overheat), UV (Under Voltage), and OC (Over Current). OH and UV have pulse inputs, while OC is a continuous high signal.
- アービタ回路出力 (Arbitration Circuit Output):** Includes OHE, UVE, and OCE. These signals show pulse outputs corresponding to the input events, with labels like "OH/UUV同時入力時 OH優先" (During simultaneous OH/UUV input, OH priority).
- レベルダウンス回路動作 (Level Down Circuit Operation):** Includes PM2DRN and PM1DRN. These signals show a series of pulses during the detection events, with labels like "PM2のみ動作" (Only PM2 operation) and "交互に動作" (Alternating operation).
- 信号解析回路出力 (Signal Analysis Circuit Output):** Includes OHER, OCER, and UVER. These signals show pulse outputs corresponding to the input events, with labels like "OH異常検出" (OH abnormality detection) and "OC異常検出" (OC abnormality detection).
- アラーム回路出力 (外部出力) (Alarm Circuit Output (External Output)):** Includes ALM. This signal shows a series of pulses during the detection events, with labels like "T1=OH異常通知" (T1=OH abnormality notification) and "T2=UV異常通知" (T2=UV abnormality notification).

Time segments A through G are marked at the top of the diagram.

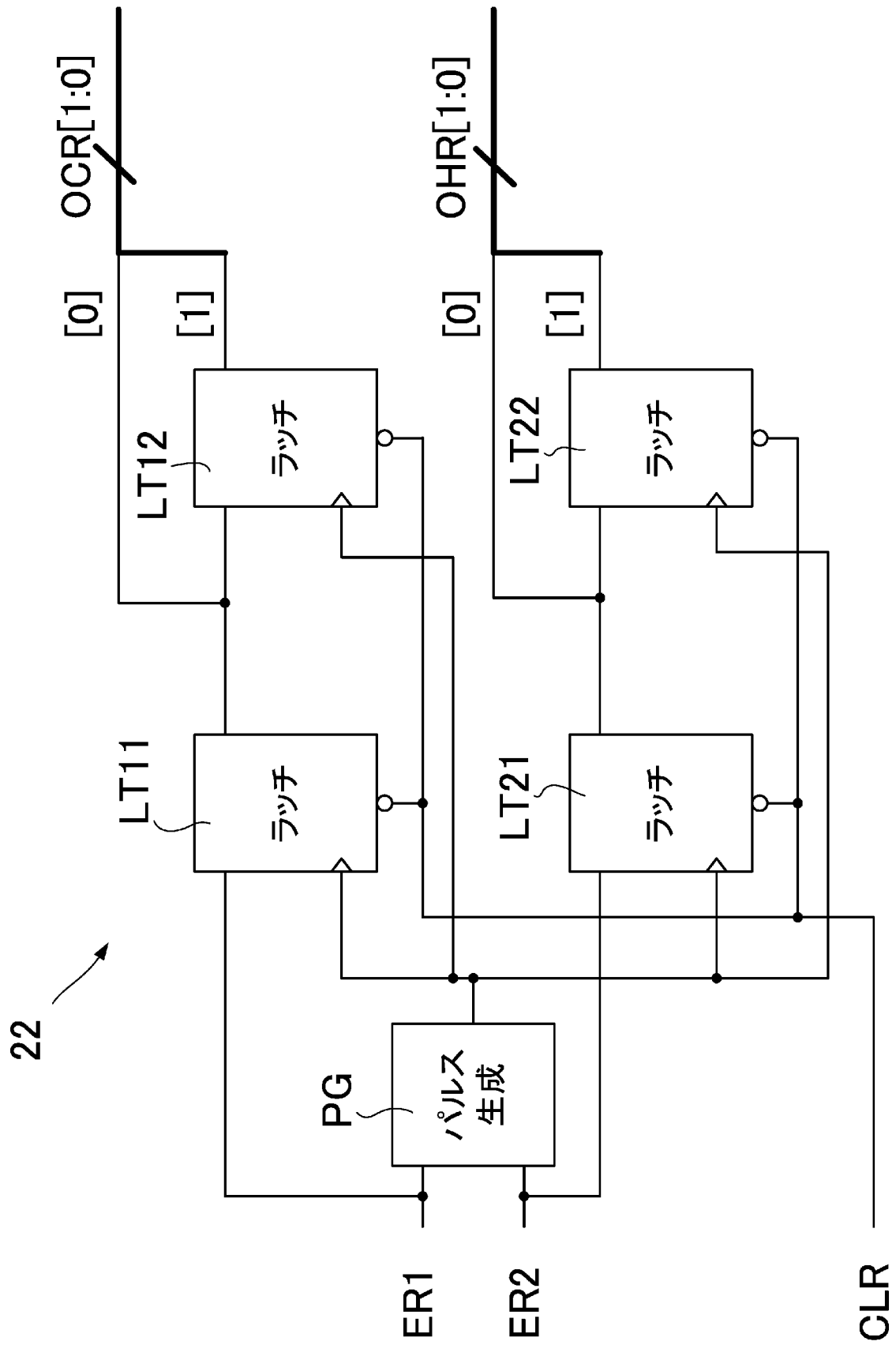
[図6]



[図7]

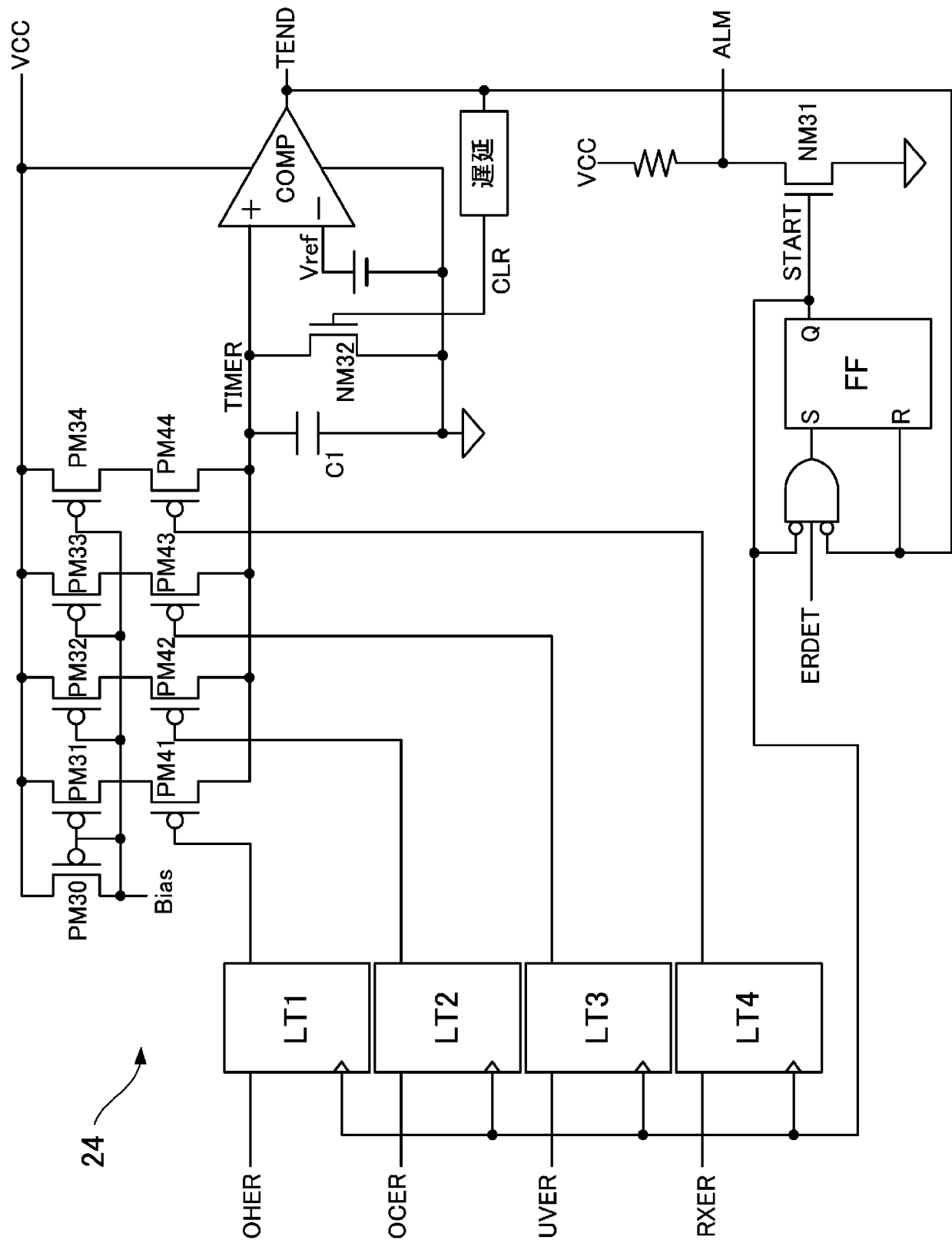


[図8]

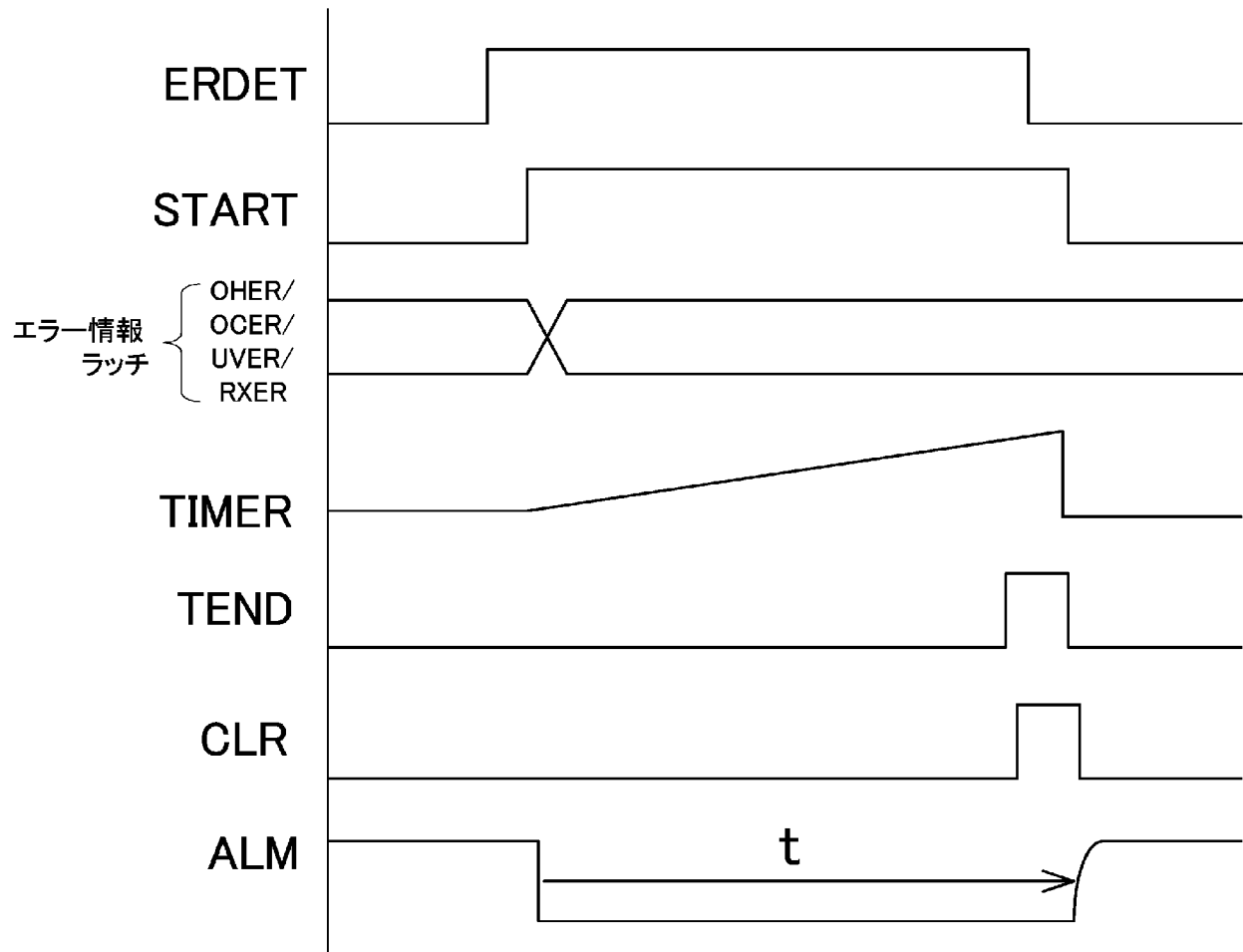


	ラッチ 出力 種別	ビット		出力						備考
		[0]	[0]	ERDET	OHER	OCER	UVER	RXER		
0	OHR	0	0	0	0	0	0	0	異常なし	
	OCR	0	0							
1	OHR	1	1	1	1	0	0	0	過熱	
	OCR	0	0							
2	OHR	0	0	1	0	1	0	0	過電流	
	OCR	1	1							
3	OHR	1(0)	0(1)	1	0	0	1	0	低電圧	
	OCR	0(1)	1(0)							
4	OHR	1	0(1)	1	0	0	0	1	受信異常	
	OCR	1	1(0)							

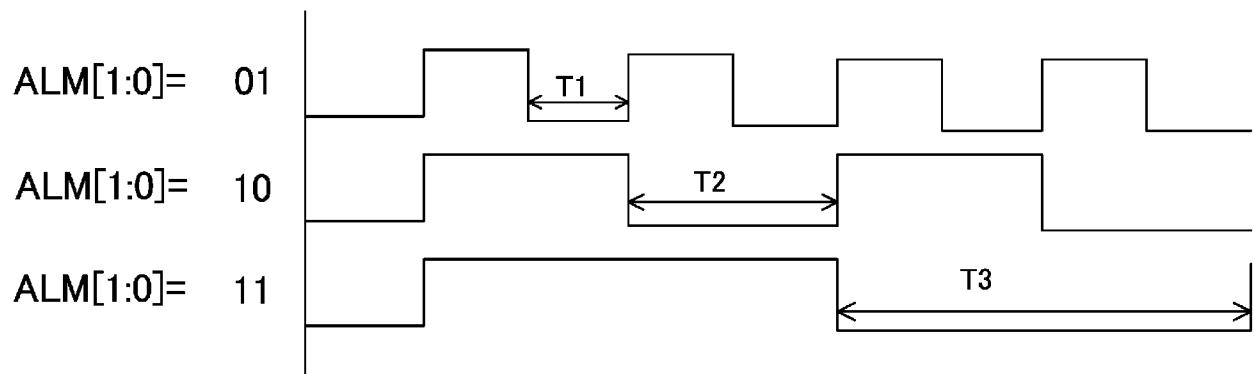
[図10]



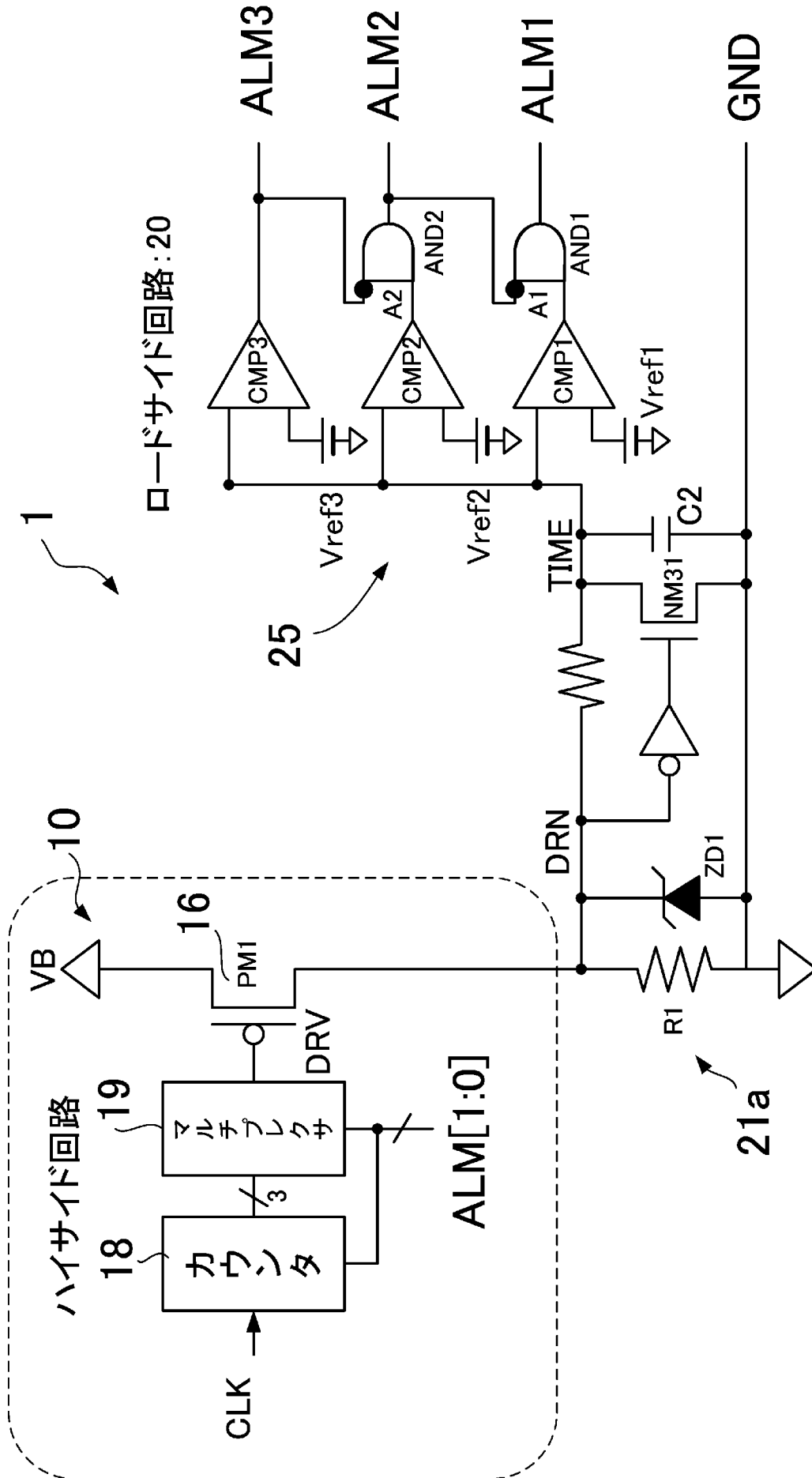
[図11]



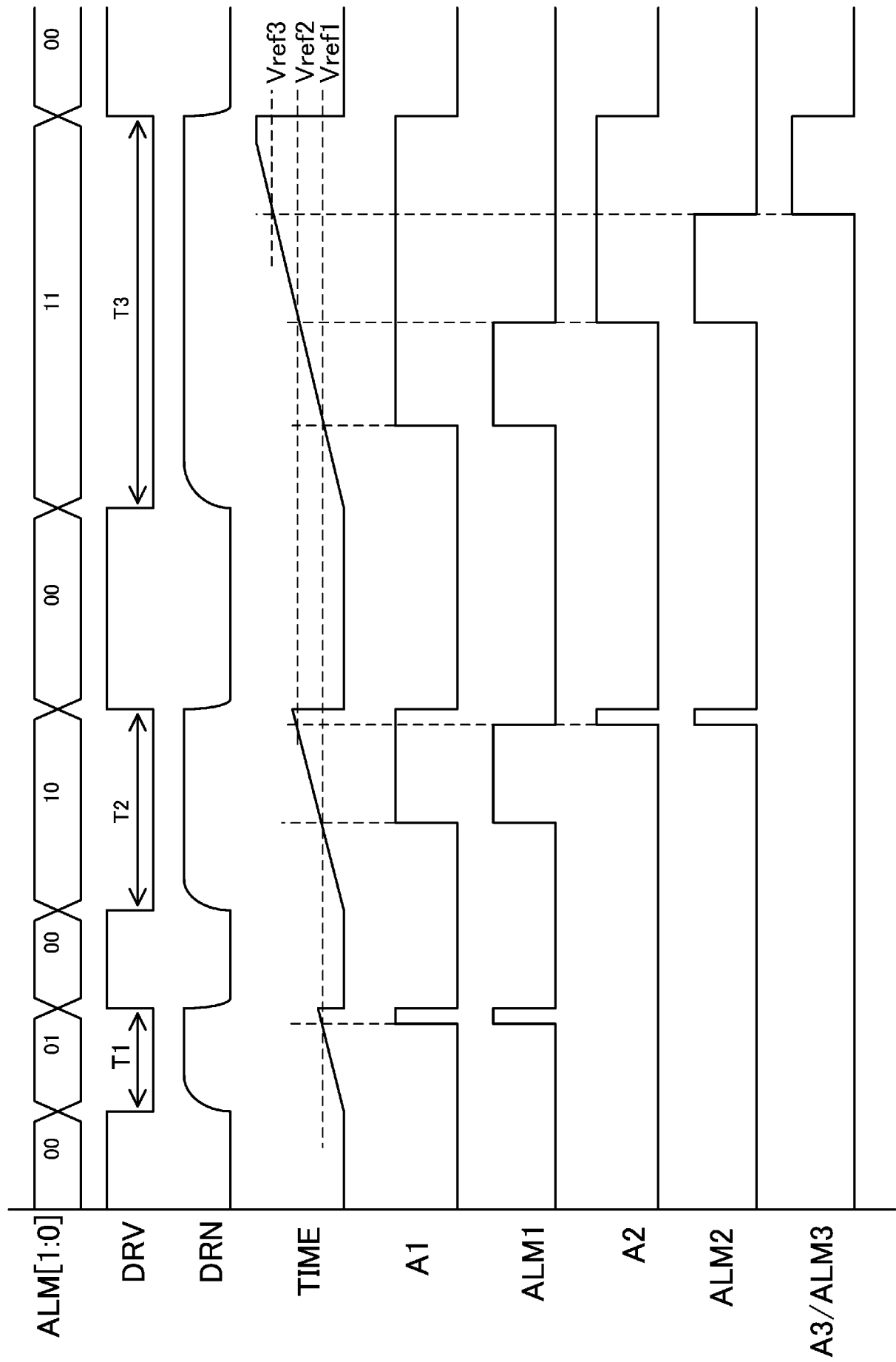
[図12]



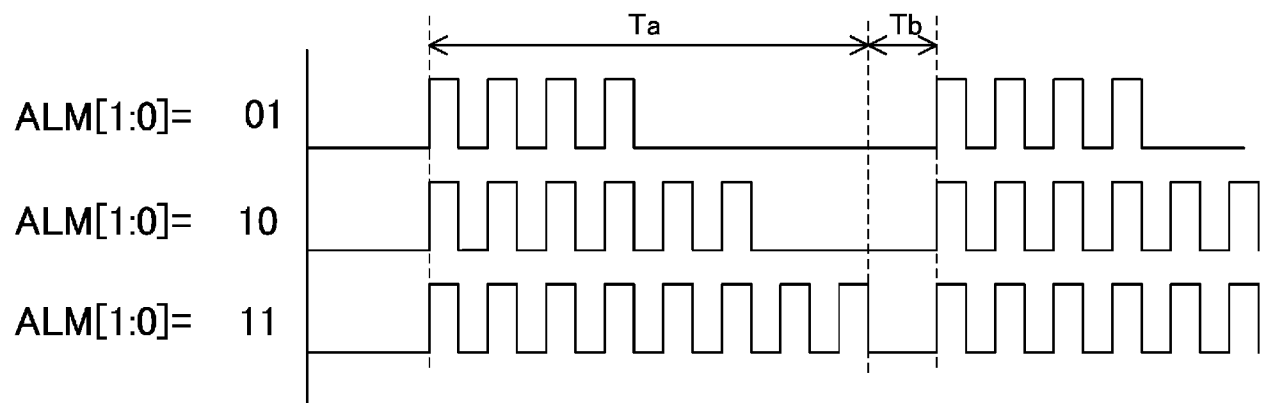
[図13]



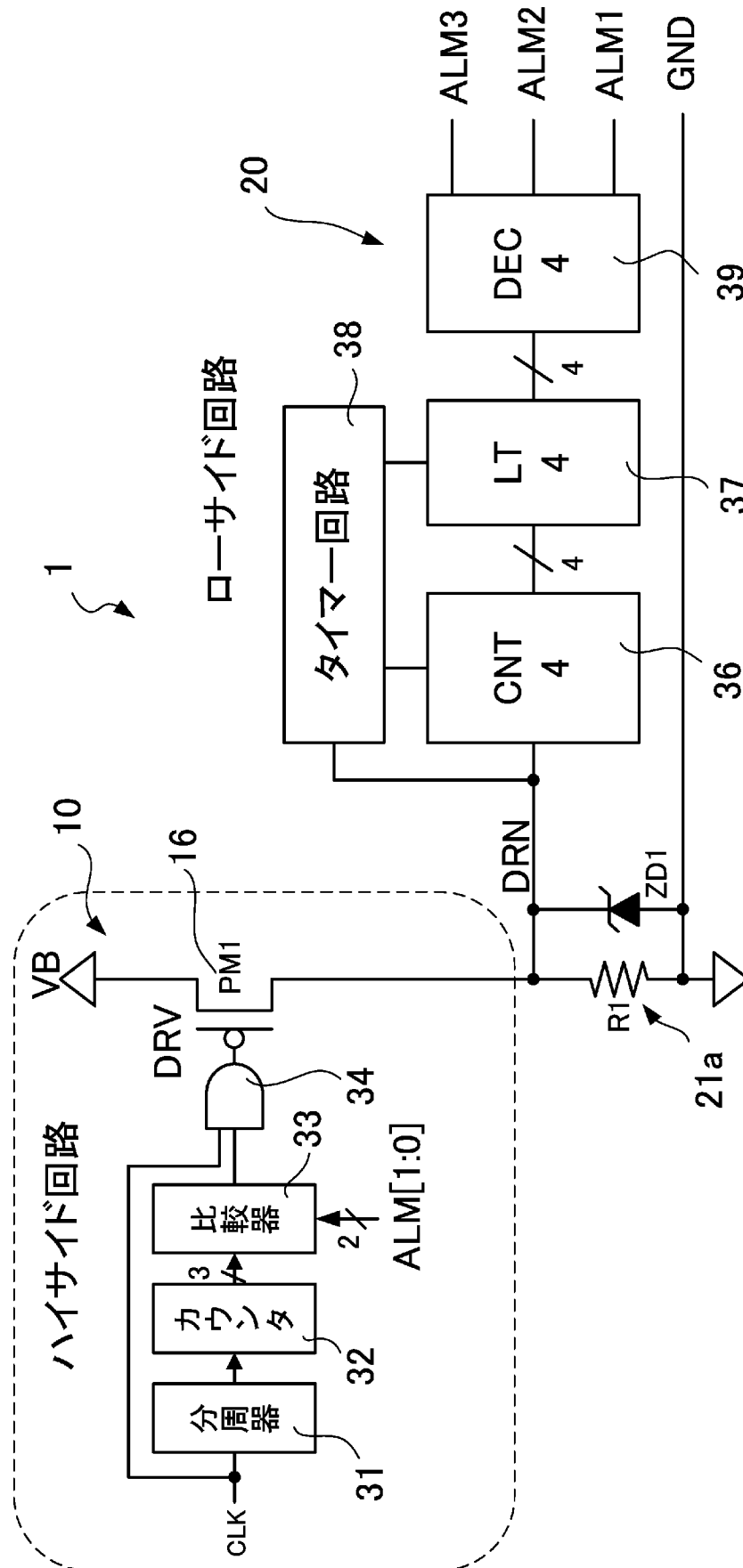
[図14]



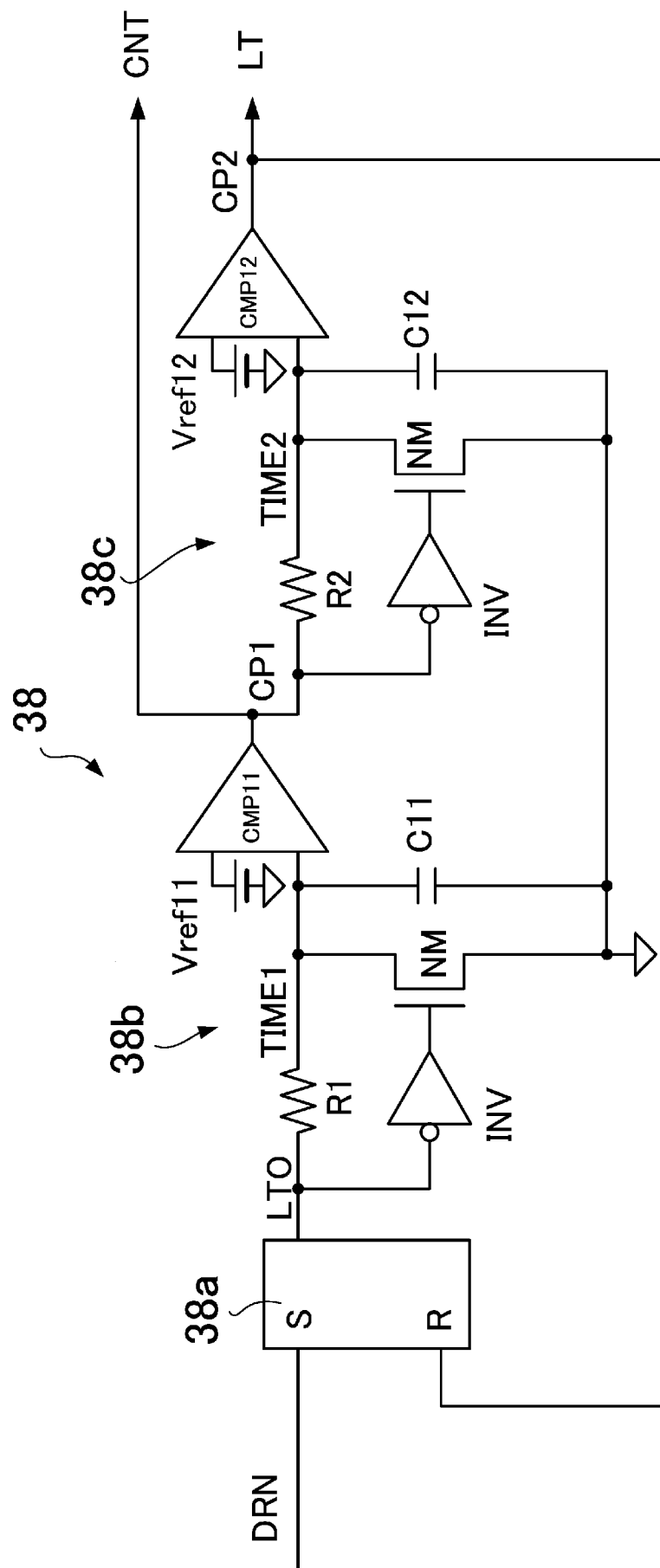
[図15]



[図16]



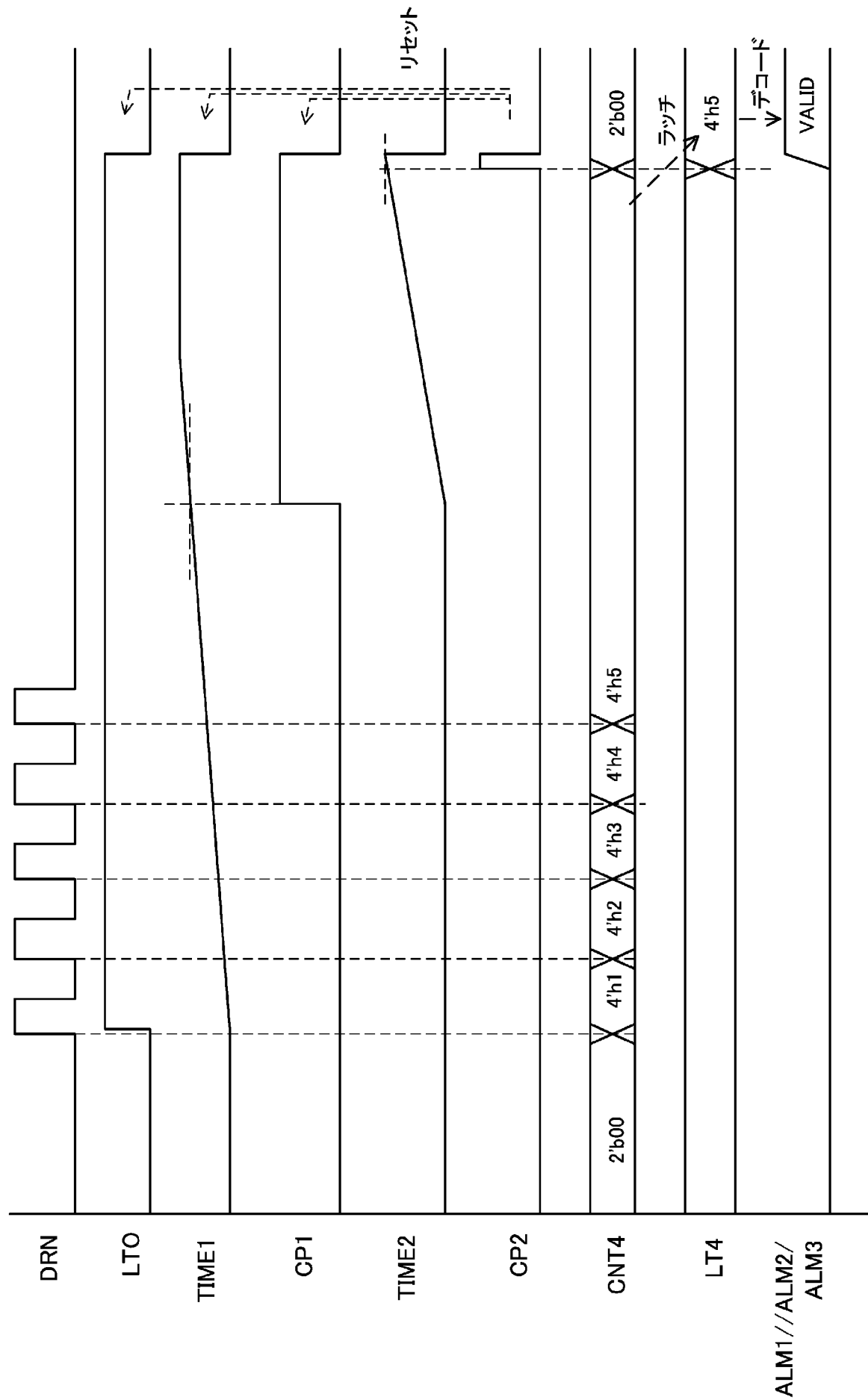
[図17]



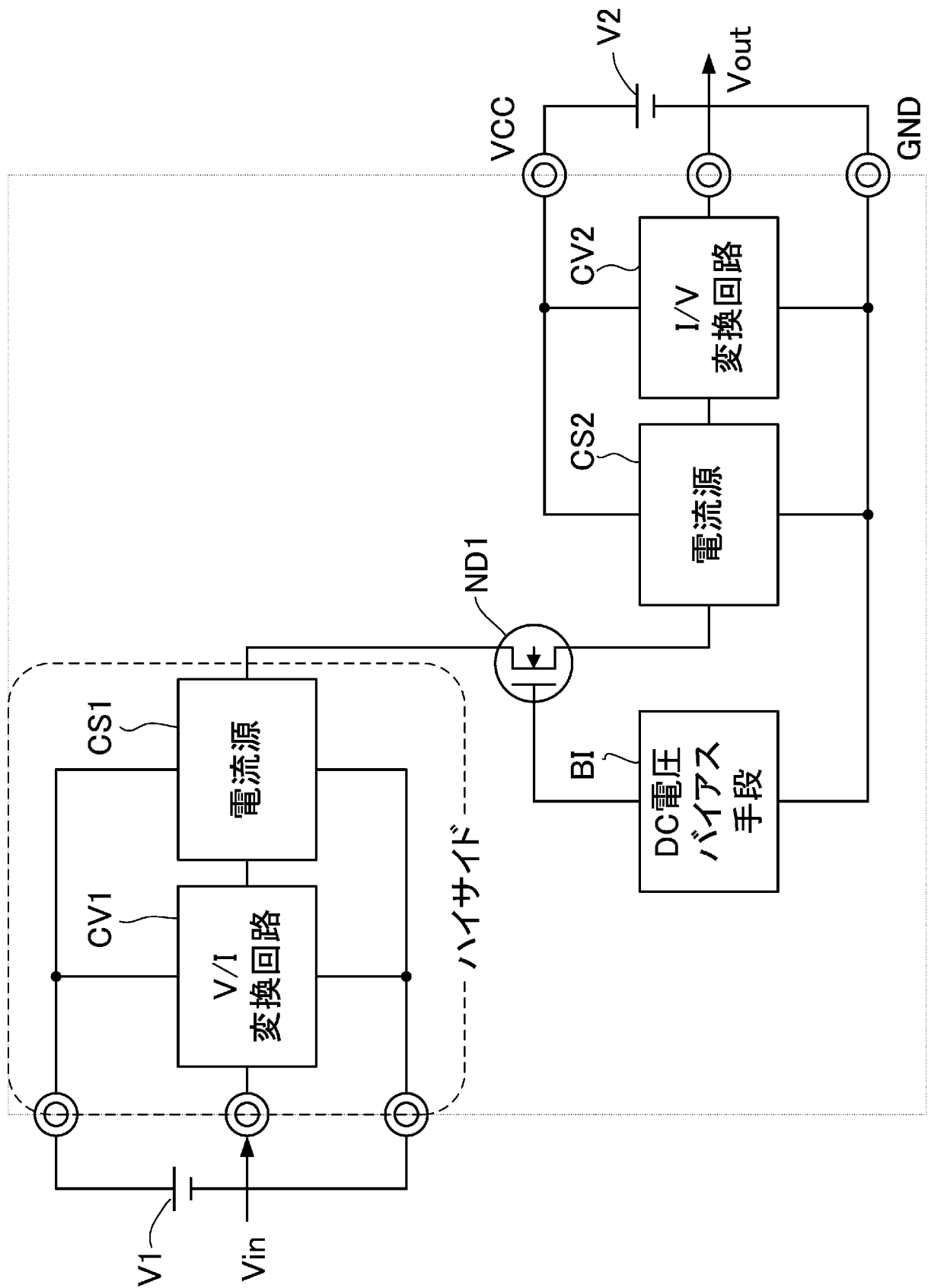
[図18]

ラッチ出力 [LT4]	デコーダ出力		
	ALM1	ALM2	ALM3
3～4	H	L	L
5～6	L	H	L
7～8	L	L	H
9～	L	L	L

[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063929

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/08(2006.01)i, H02M1/00(2007.01)i, H02M7/48(2007.01)i, H03K17/56(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H02M1/00, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-82360 A (Hitachi, Ltd.), 29 March 2007 (29.03.2007), paragraphs [0011], [0016] to [0024]; fig. 1 to 5 (Family: none)	1-2 3-7
Y A	JP 8-330929 A (International Rectifier Corp.), 13 December 1996 (13.12.1996), paragraph [0011]; fig. 1 & US 5543994 A & DE 19605593 A1	1-2 3-7
A	JP 2002-27665 A (Fuji Electric Co., Ltd.), 25 January 2002 (25.01.2002), paragraphs [0041] to [0042]; fig. 3 & US 2002/0039269 A1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 July, 2014 (10.07.14)

Date of mailing of the international search report
12 August, 2014 (12.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063929

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-17508 A (Toshiba Corp.), 22 January 1999 (22.01.1999), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/08(2006.01)i, H02M1/00(2007.01)i, H02M7/48(2007.01)i, H03K17/56(2006.01)i,
H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/00-17/70, H02M1/00, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2007-82360 A（株式会社日立製作所）2007.03.29, 【0011】、【0016】－【0024】、図1－5 (ファミリーなし)	1－2 3－7
Y A	JP 8-330929 A（インターナショナル・レクチファイヤー・コーポレーション） 1996.12.13, 【0011】、図1 & US 5543994 A & DE 19605593 A1	1－2 3－7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 7 . 2 0 1 4

国際調査報告の発送日

1 2 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

電話番号 03-3581-1101 内線 3596

5 X

3 9 8 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-27665 A (富士電機株式会社) 2002. 01. 25, 【0041】 - 【0042】, 図3 & US 2002/0039269 A1	1 - 7
A	JP 11-17508 A (株式会社東芝) 1999. 01. 22, 全文, 全図 (ファミリーなし)	1 - 7