

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号
WO 2012/173067 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) *H01L 21/768* (2006.01)
C23C 16/02 (2006.01) *H01L 23/532* (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064844
- (22) 国際出願日: 2012 年 6 月 8 日(08.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-134317 2011 年 6 月 16 日(16.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (Tokyo Electron Limited) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松本 賢治 (MATSUMOTO, Kenji) [JP/JP]; 〒4070192 山梨県韮

崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 五味 淳 (GOMI, Atsushi) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 波多野 達夫 (HATANO, Tatsuo) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 濱田 龍文 (HAMADA, Tatsufumi) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP).

(74) 代理人: 伊東 忠重, 外 (ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号丸の内 M Y P L A Z A (明治安田生命ビル) 16 階 Tokyo (JP).

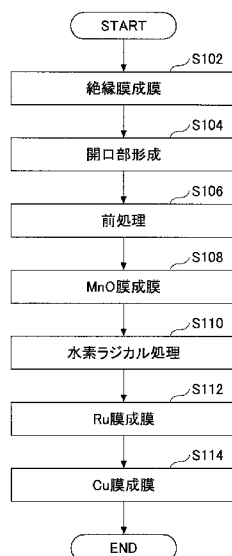
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE MANUFACTURING APPARATUS, AND STORAGE MEDIUM

(54) 発明の名称: 半導体装置の製造方法、半導体装置、半導体装置の製造装置及び記憶媒体

[図14]



S102 FORMATION OF INSULATING FILM
S104 FORMATION OF OPENING PORTION
S106 PRETREATMENT
S108 FORMATION OF MnO FILM
S110 HYDROGEN RADICAL TREATMENT
S112 FORMATION OF Ru FILM
S114 FORMATION OF Cu FILM

(57) Abstract: In order to obtain highly-reliable semiconductor devices having embedded electrodes formed therein, there is provided a semiconductor device manufacturing method characterized by comprising: a first film formation step in which an insulating film is formed on the surface of a substrate and a first film composed of a metal oxide is formed inside an opening formed in the insulating film; a hydrogen radical treatment step in which the first film is irradiated with atomic hydrogen; a second film formation step in which a second film composed of a metal is formed inside the opening after the hydrogen radical treatment step; and an electrode formation step in which an electrode composed of a metal is formed inside the opening after the formation of the second film.

(57) 要約: 埋め込み電極の形成される信頼性の高い半導体装置を低コストで得るため、基板表面に絶縁膜が形成されており、前記絶縁膜に形成された開口部の内部に金属酸化物からなる第1の膜を成膜する第1の成膜工程と、前記第1の膜に原子状水素を照射する水素ラジカル処理工程と、前記水素ラジカル処理工程の後、前記開口部の内部に金属からなる第2の膜を成膜する第2の成膜工程と、前記第2の膜を成膜した後、前記開口部の内部に金属からなる電極を形成する電極形成工程と、を有することを特徴とする半導体装置の製造方法を提供する。

WO 2012/173067 A1



LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体装置の製造方法、半導体装置、半導体装置の製造装置及び記憶媒体
技術分野

[0001] 本発明は、半導体装置の製造方法、半導体装置、半導体装置の製造装置及び記憶媒体に関する。

背景技術

[0002] 近年、小型でありながら高速で信頼性のある電子機器を作ることが求められており、半導体装置（デバイス）の高速化、微細化、高集積化のため、層間絶縁膜中に金属配線を埋め込んだ多層配線構造が採用されている。金属配線の材料としては、一般的には、エレクトロマイグレーションが小さく、抵抗の低いCu（銅）が用いられている。このような多層配線は、層間絶縁膜の下に設けられた配線が露出するまで所定の領域の層間絶縁膜を除去することによりトレンチ等を形成し、形成されたトレンチ内に銅を埋め込むことにより形成されるが、銅が層間絶縁膜等に拡散することを防ぐため、バリア膜を形成した後に、銅からなる膜の成膜等が行なわれている。

[0003] ところで、このバリア膜としては、Ta（タンタル）、Ta₂N（窒化タンタル）等が用いられているが、近年、薄くて均一性の高い膜が得られるMnO_x（酸化マンガン）膜を用いた技術が開示されている。しかしながら、MnO_x膜上に成膜されたCuは付着力が弱いため、歩留りの低下や信頼性の低下の原因となる。このため、更に、MnO_x膜上に、Cuとの密着性の高いRu（ルテニウム）膜を形成し、Ru膜上にCuからなる埋め込み電極を形成する方法が開示されている（特許文献1、2）。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-300568号公報

特許文献2：特開2010-21447号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、CVD（Chemical Vapor Deposition）法によりMnO_x膜を成膜したものの上に、CVD法によりRu膜を成膜する場合、Ruの核形成密度が低く、Ru膜形成のインキュベーション時間が長い、成膜されたRu膜のシート抵抗が高い、MnO_x膜とRu膜との密着性が十分ではないといった問題点があった。

[0006] 本発明は、上記に鑑みてなされたものであり、層間絶縁膜にトレンチ等を形成し、トレンチ内にMnO_x膜及びRu膜を積層形成し、更に、その上にCu等の埋め込み電極が形成される半導体装置において、Ru膜形成のインキュベーション時間が短く、Ru膜のシート抵抗が低く、MnO_x膜とRu膜との密着性の高い半導体装置の製造方法、半導体装置、半導体装置の製造装置及び記憶媒体を提供することを目的とするものである。

課題を解決するための手段

[0007] 本発明は、基板表面に絶縁膜が形成されており、前記絶縁膜に形成された開口部の内部に金属酸化物からなる第1の膜を成膜する第1の成膜工程と、前記第1の膜に原子状水素を照射する水素ラジカル処理工程と、前記水素ラジカル処理工程の後、前記開口部の内部に金属からなる第2の膜を成膜する第2の成膜工程と、前記第2の膜を成膜した後、前記開口部の内部に金属からなる電極を形成する電極形成工程と、を有することを特徴とする。

[0008] また、本発明は、前記水素ラジカル処理工程は、前記第2の膜におけるインキュベーション時間の短縮、膜厚均一性、シート抵抗、密着性のいずれかを向上させるものであることを特徴とする。

[0009] また、本発明は、前記水素ラジカル処理は、前記基板を加熱した状態で行なわれることを特徴とする。

[0010] また、本発明は、前記水素ラジカル処理は前記第1の膜中のC成分を減らすことを特徴とする。

[0011] また、本発明は、前記原子状水素はリモートプラズマにより発生されたも

のであることを特徴とする。

[0012] また、本発明は、前記第1の膜は、Mg、Al、Ca、Ti、V、Cr、Mn、Fe、Co、Ni、Ge、Sr、Y、Zr、Nb、Mo、Rh、Pd、Sn、Ba、Hf、Ta及びIrのうちから選ばれる1または2以上の元素の酸化物を含むものにより形成されているものであることを特徴とする。

[0013] また、本発明は、前記第1の膜は、Mnの酸化物を含むものであることを特徴とする。

[0014] また、本発明は、前記第1の膜は、CVD法、ALD法または超臨界CO₂法により成膜されたものであることを特徴とする。

[0015] また、本発明は、前記第1の膜は、熱CVD法または熱ALD法またはプラズマCVD法またはプラズマALD法または超臨界CO₂法により成膜されたものであることを特徴とする。

[0016] また、本発明は、前記第2の膜は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir及びPtのうちから選ばれる1または2以上の元素を含むものにより形成されていることを特徴とする。

[0017] また、本発明は、前記第2の膜は、CVD法、ALD法または超臨界CO₂法により成膜されたものであることを特徴とする。

[0018] また、本発明は、前記第2の膜は、熱CVD法または熱ALD法またはプラズマCVD法またはプラズマALD法または超臨界CO₂法により成膜されたものであることを特徴とする。

[0019] また、本発明は、前記電極は、銅または銅を含む材料により形成されていることを特徴とする。

[0020] また、本発明は、前記電極は、熱CVD法、熱ALD法、プラズマCVD法、プラズマALD法、PVD法、電解メッキ法、無電解メッキ法、超臨界CO₂法から選ばれる1または2以上の方法により成膜されたものであることを特徴とする。

[0021] また、本発明は、前記記載の半導体装置の製造方法によって形成された膜構造を有することを特徴とする。

[0022] また、本発明は、基板表面に絶縁膜が形成されており、前記絶縁膜に形成された開口部の内部に金属酸化物からなる第1の膜を成膜し、前記第1の膜に原子状水素を照射し、前記原子状水素を照射した後、前記開口部の内部に金属からなる第2の膜を成膜し、前記第2の膜上に金属からなる電極を形成する半導体装置の製造装置において、第1の膜に原子状水素を照射することを特徴とする。

[0023] また、本発明は、前記原子状水素を発生させるためリモートプラズマ発生部を有することを特徴とする。

[0024] また、本発明は、前記基板を加熱するための加熱手段を有することを特徴とする。

[0025] また、本発明は、前記記載の製造方法を実施するように制御するシステム制御部（コンピュータ）に読み取り可能なプログラムを記憶することを特徴とする。

発明の効果

[0026] 本発明における半導体装置の製造方法、半導体装置、半導体装置の製造装置及び記憶媒体では、トレンチ等にMnO_x膜、Ru膜、Cu等の埋め込み電極が形成される半導体装置において、Ru膜形成のインキュベーション時間が短く、Ru膜のシート抵抗が低く、MnO_x膜とRu膜との密着性を高くすることができるため、信頼性の高い配線を提供することが出来る。更に、配線構造の微細化と高密度構造に寄与することにより、半導体装置を低コストで得ることができる。

図面の簡単な説明

[0027] [図1]作製したサンプル1A及び1Bの構造図（1）

[図2]Ru膜の成膜時間とRu膜の膜厚との相関図

[図3]Ru膜の膜厚とシート抵抗との相関図

[図4]作製したサンプル2A、2B、3A及び3Bの構造図（2）

[図5]作製したサンプル4A及び4Bの構造図（3）

[図6]作製したサンプル2AのSIMSによる分析により得られた深さと濃度

の相関図

[図7]作製したサンプル2 BのS I M Sによる分析により得られた深さと濃度の相関図

[図8]作製したサンプル3 AのS I M Sによる分析により得られた深さと濃度の相関図

[図9]作製したサンプル3 BのS I M Sによる分析により得られた深さと濃度の相関図

[図10]作製したサンプル4 AのS I M Sによる分析により得られた深さと濃度の相関図

[図11]作製したサンプル4 BのS I M Sによる分析により得られた深さと濃度の相関図

[図12]本実施の形態における半導体装置の製造装置の構成図

[図13]本実施の形態における他の半導体装置の製造装置の構成図

[図14]本実施の形態における半導体装置の製造方法の説明図

[図15]本実施の形態における半導体装置の製造方法の工程図(1)

[図16]本実施の形態における半導体装置の製造方法の工程図(2)

[図17]作製したサンプル17 A、17 B、17 CにおけるTEM像

[図18]作製したサンプル17 A、17 B、17 CにおけるSEM像(1)

[図19]作製したサンプル17 A、17 BにおけるSEM像

[図20]作製したサンプル17 A、17 B、17 CにおけるSEM像(2)

[図21]作製したサンプル17 A、17 B、17 CにおけるSEM像(3)

発明を実施するための形態

[0028] 発明を実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。また、酸化マンガンは、価数によって MnO 、 Mn_3O_4 、 Mn_2O_3 、 MnO_2 等が存在するが、これらは全て MnO_x で示すものとする。また、 x は、1以上2以下の値である。更に、基板構成元素の Si と反応することにより、 $MnSi_xO_y$ (マンガンシリケート)が形成される可能性もあるが、ここでは MnO_x に含めるもの

とする。

[0029] (MnO_x膜とRu膜の検討1)

最初に、本発明に至るまでの検討内容について説明する。具体的には、図1に示すように、基板10上に第1の膜となるMnO_x膜11及び第2の膜となるRu膜12を積層形成したものについて、MnO_x膜11における水素ラジカル処理の有無の違いによるRu膜12の成膜レート及びシート抵抗について説明する。

[0030] 基板10としては、シリコン基板10a上にTEOS膜10bが形成されているものを用いており、TEOS膜10b上に、MnO_x膜11を基板温度200℃の条件でCVDにより成膜した後、アルゴン雰囲気中で基板温度を約250℃に加熱することによりデガスを行なった。この後、サンプル1Aは、Ru膜12を基板温度約200℃の条件でCVDにより成膜した。一方、サンプル1Bは、400℃に加熱し水素ラジカル処理を行なった後、Ru膜12を基板温度約200℃の条件でCVDにより成膜した。尚、CVDによりMnO_x膜11を成膜する際には、例えば、(EtCp)₂Mn等の有機金属材料が成膜原料として用いられており、CVDによりRu膜12を成膜する際には、Ru₃(CO)₁₂等の有機金属材料が成膜原料として用いられている。

[0031] ここで、水素ラジカル処理とは、リモートプラズマ、プラズマ、加熱フィラメント等により原子状水素を発生させ、発生させた原子状水素を基板10の所定の面に照射する処理を意味する。

[0032] 図2は、サンプル1Aとサンプル1BにおけるRu膜の成膜時間と膜厚の関係を示すものである。尚、比較のため、MnO_x膜11に代えてSiO₂膜、Ti膜、Ta₂N膜を各々成膜した場合を併せて示す。サンプル1Aに示されるように、MnO_x膜11に水素ラジカル処理をすることなくMnO_x膜11上にRu膜12を成膜した場合、成膜時間が10秒経過するまではRu膜が堆積しないことが推測されることから、インキュベーション時間が10秒ほどあるものと考えられる。一方、MnO_x膜11の表面を水素ラジカル

処理したサンプル 1 B においては、成膜が開始するまでの所要時間（＝インキュベーション時間）がほぼゼロに近いことが推測される。このことから、 MnO_x 膜 1 1 の表面を水素ラジカル処理することにより、 MnO_x 膜 1 1 上に成膜される Ru 膜 1 2 のインキュベーション時間を短くすることができる。

[0033] 図 3 は、サンプル 1 A とサンプル 1 B における Ru 膜 1 2 の膜厚とシート抵抗 R_s との関係を示すものである。尚、比較のため、 MnO_x 膜 1 1 に代えて SiO_2 膜、Ti 膜、Ta₂N₅ 膜を各々成膜した場合を併せて示す。サンプル 1 A に示されるように、 MnO_x 膜 1 1 に水素ラジカル処理をすることなく MnO_x 膜 1 1 上に Ru 膜 1 2 を成膜した場合は、下地が SiO_2 膜の場合と同様にシート抵抗 R_s が高く、シート抵抗 R_s の Ru 膜 1 2 の膜厚依存性も高い。しかしながら、サンプル 1 B に示されるように、 MnO_x 膜 1 1 の表面を水素ラジカル処理することにより、 MnO_x 膜 1 1 上に成膜される Ru 膜 1 2 のシート抵抗 R_s は低くなり、下地が Ti 膜、Ta₂N₅ 膜の場合と同様にシート抵抗 R_s の Ru 膜 1 2 の膜厚依存性も低くなる。また、ここでは図示しないが、 MnO_x 膜 1 1 上に成膜された Ru 膜 1 2 のウエハ面内膜厚均一性が改善したことを確認している。

[0034] 以上より、 MnO_x 膜 1 1 の表面を水素ラジカル処理することにより、Ru 膜 1 2 の成膜レートを高くすることができ、Ru 膜形成のインキュベーション時間を短くすることができ、シート抵抗 R_s を低くすることができ、更に Ru 膜のウエハ面内膜厚均一性を改善することができる。これは水素ラジカル処理を行なうことにより、 MnO_x 膜 1 1 の表面における MnO_x が、Mn に還元等されたことによるものと推察される。また、他の可能性としては、 MnO_x の x が小さくなったことや、 MnO_x が MnSi_xO_y に変化したことや、 MnO_x の表面が水素終端されたことや、 MnO_x 膜中の残留カーボンが低減したことや、これらの複合効果などが考えられる。

[0035] （ MnO_x 膜と Ru 膜の検討 2）

次に、図 4 に示すように、基板 1 0 に成膜された MnO_x 膜 1 1 上に Cu

膜 1 3 を形成したもの（サンプル 2 A、2 B、3 A、3 B）及び、図 5 に示すように基板 1 0 に成膜された MnO_x 膜 1 1 上に Ru 膜 1 2 を成膜し、更に Cu 膜 1 3 を成膜したもの（サンプル 4 A、4 B）における SIMS (Secondary Ion-microprobe Mass Spectrometer) による組成分析を行なった結果について説明する。

[0036] 具体的には、基板 1 0 の TEOS 膜 1 0 b 上に、 MnO_x 膜 1 1 を基板温度 200℃ の条件で CVD により成膜した後、アルゴン雰囲気中で基板温度約 250℃ に加熱することによりデガスを行なった。この後、サンプル 2 A 及び 2 B は、PVD により Cu 膜 1 3 を成膜したものである。また、サンプル 3 A 及び 3 B は、400℃ に加熱し水素ラジカル処理を行なった後、PVD により Cu 膜 1 3 を成膜したものである。また、サンプル 4 A 及び 4 B は、400℃ に加熱し水素ラジカル処理を行なった後、Ru 膜 1 2 を基板温度約 200℃ の条件で CVD により成膜し、更に、PVD により Cu 膜 1 3 を成膜したものである。尚、各々のサンプルは、TEOS 膜 1 0 b は 100 nm、 MnO_x 膜 1 1 は 4.5 nm、Ru 膜 1 2 は 2 nm、Cu 膜 1 3 は 100 nm となるように成膜されている。尚、サンプル 2 B、3 B、4 B については、成膜後にアルゴン雰囲気において 400℃ で 1 時間アニールが行なわれたものである。

[0037] 図 6 にサンプル 2 A の SIMS による分析結果を示し、図 7 にサンプル 2 B の SIMS による分析結果を示し、図 8 にサンプル 3 A の SIMS による分析結果を示し、図 9 にサンプル 3 B の SIMS による分析結果を示し、図 10 にサンプル 4 A の SIMS による分析結果を示し、図 11 にサンプル 4 B の SIMS による分析結果を示す。図 6 から図 11 における SIMS による分析結果は、横軸に膜の深さを示し縦軸に各々の元素の濃度を示すものである。

[0038] 図 6 及び図 7 に示されるサンプル 2 A 及び 2 B の場合と、図 8 及び図 9 に示されるサンプル 3 A 及び 3 B との場合とを比較すると、 MnO_x 膜 1 1 等を CVD により成膜する際に混入したものと思われる C（炭素）のピーク C

pが水素ラジカル処理を行なうことにより減少しており、水素ラジカル処理により、膜中のC成分の一部を除去することができることが確認される。

[0039] また、図7に示されるサンプル2B及び図9に示されるサンプル3Bの場合では、Ru膜12が形成されていないため、400℃のアニールを行なうことにより、MnがCu層13に拡散してしまうが、図11に示されるサンプル4Bの場合では、Ru膜12が形成されているため、Cu膜13へのMnの拡散を防ぐことができる。尚、サンプル4A及び4BにおいてCが増加しているのは、Ru膜12をCVDにより成膜したことに起因するものと考えられる。

[0040] 以上より、MnO_x膜11上に、Ru膜12を形成する際には、MnO_x膜11を成膜した後、水素ラジカル処理を行なうことにより、Ru膜12の成膜レートを高めることができ、シート抵抗も低くすることができる。また、水素ラジカル処理を行なうことにより膜中のC成分を一部除去することができる。

[0041] 本発明は、以上の検討の結果得られた知見に基づくものである。

[0042] (半導体装置の製造装置)

本実施の形態における半導体装置の製造装置について説明する。尚、ウエハWとは、基板または膜が成膜された基板を意味するものである。図12は、本実施の形態における半導体装置の製造装置である処理システムを示すものである。この処理システムは、4つの処理装置111、112、113、114と、略六角形状の共通搬送室121と、ロードロック機能を有する第1ロードロック室122及び第2ロードロック室123と、細長い導入側搬送室124を有している。4つの処理装置111～114と略六角形状の共通搬送室121との間には各々ゲートバルブGが設けられており、搬送室121と第1ロードロック室122及び第2ロードロック室123との間には各々ゲートバルブGが設けられており、第1ロードロック室122及び第2ロードロック室123と導入側搬送室124との間には各々ゲートバルブGが設けられている。各々のゲートバルブGは開閉可能であり、ゲートバルブ

Gが開くことにより装置間等においてウエハWを移動させることができる。導入側搬送室124には、例えば、3つの導入ポート125が開閉ドア126を介し接続されており、導入ポート125には複数のウエハWが収納されたカセット容器127が納められている。また、導入側搬送室124には、オリエンタ128が設けられており、ウエハWの位置決め等がなされる。

[0043] 搬送室121には、ウエハWを搬送するため屈伸することが可能なピックアップを有する搬送機構131が設けられている。また、導入側搬送室124には、ウエハWを搬送するため屈伸することが可能なピックアップを有する導入側搬送機構132が設けられており、導入側搬送機構132は、導入側搬送室124内に設けられた案内レール133上をスライド移動可能な状態で支持されている。

[0044] ウエハWは、例えばシリコンウエハ等であり、カセット容器127に収納されている。ウエハWは、導入側搬送機構132により、導入ポート125より第1ロードロック室122または第2ロードロック室123に搬送され、第1ロードロック室122または第2ロードロック室123に搬送されたウエハWは共通搬送室121に設けられた搬送機構131より、4つの処理装置111～114に搬送される。また、4つの処理装置111～114間においてウエハWを移動する際にも搬送機構131によりウエハWが搬送される。このように処理装置111～114間を移動することにより各々の処理装置111～114において、ウエハWにおける処理が行なわれる。このようなウエハWの搬送及び処理の制御は、システム制御部134において行なわれ、システム制御を行なうためのプログラム等は記憶媒体136に記憶されている。

[0045] 本実施の形態において、4つの処理装置111～114のうち、第1の処理装置111は、 MnO_x 膜を成膜するためのものであり、第2の処理装置112は、原子状水素等により MnO_x 膜の表面の膜質の改善を行なうためのものであり、第3の処理装置113は、 Ru 膜の成膜を行なうためのものであり、第4の処理装置114は、 Cu 膜の成膜を行なうためのものである。

第2の処理装置112には、原子状水素を発生させるためのリモートプラズマ発生部120が接続されており、発生させた原子状水素をウエハWに照射することにより水素ラジカル処理が行なわれる。尚、第2の処理装置112は、原子状水素を発生させることができるものであれば、第2の処理装置112の内部にプラズマ発生部を設けてもよく、また、加熱フィラメントを設けて加熱により原子状水素を発生させる構造のものであってもよい。

[0046] また、図13に示すように、第1の処理装置111、第2の処理装置112及び第3の処理装置113において行なわれる処理を一つの処理装置116で行なうことも可能である。この場合、リモートプラズマ発生部120が接続されている処理装置116がゲートバルブGを介し共通搬送室121に接続されている。尚、 MnO_x 膜等の成膜前にウエハWの前処理を行なう場合には、図13に示すように、ウエハWの前処理（例えばデガス）を行なう処理装置117を設けてもよい。

[0047] （半導体装置の製造方法）

次に、図14に基づき本実施の形態における半導体装置の製造方法について説明する。本実施の形態における半導体装置の製造方法は、多層配線構造を有する半導体装置の製造方法であって、層間の配線を行なうためのものである。よって、形成されている半導体素子及び半導体素子の形成方法については省略されている。

[0048] 最初に、ステップ102（S102）において、層間絶縁膜となる絶縁膜を形成する。具体的には、図15（a）に示すように、シリコン基板等の基板210上に絶縁層211が形成され、この絶縁膜211の表面に銅等からなる配線層212が形成されたものにおいて、図15（b）に示すように、層間絶縁膜となる SiO_2 等からなる絶縁膜213を形成する。尚、配線層212は、基板210の表面等に形成された不図示のトランジスタや他の配線と接続されている。

[0049] 次に、ステップ104（S104）において、絶縁膜213に開口部を形成する。具体的には、図15（c）に示すように、絶縁膜213の所定の領

域を配線層 212 の表面が露出するまでエッチング等により除去し、開口部 214 を形成する。本実施の形態では、開口部 214 は、細長く形成された溝（トレンチ）214a と、この溝 214a の底部の一部に形成されたホール 214b からなるものであり、ホール 214b の底部では配線層 212 が露出している。このような開口部 214 は、例えば、絶縁膜 213 の表面にフォトリソを塗布し、露光装置による露光、RIE（Reactive Ion Etching）等によるエッチングの工程を繰り返すことにより形成することができる。

[0050] 次に、ステップ 106（S106）において、前処理としてデガス処理や洗浄処理を行なう。これにより、開口部 214 の内部をクリーニングする。このような洗浄処理としては、 H_2 アニール処理、 H_2 プラズマ処理、Ar プラズマ処理、有機酸を用いたドライクリーニング処理等が挙げられる。

[0051] 次に、ステップ 108（S108）において、第 1 の膜となる MnO_x 膜等の Mn を含有する膜の成膜を行なう（第 1 の成膜工程）。具体的には、図 16（a）に示すように、基板 210 を $200^\circ C$ に加熱して Mn を含む有機金属原料を用いて CVD により MnO_x 膜 215 を成膜する。これにより、ホール 214b の底部を除き開口部 214 の側面等に MnO_x 膜 215 は形成される。尚、この MnO_x 膜 215 は、絶縁膜 213 との境界部分においては、 $MnSi_xO_y$ 膜が形成される場合がある。ここで、配線層 212 が露出している領域、即ち、ホール 214b の底部は酸化物膜が除去されているため、CVD の選択成長性により MnO_x 膜 215 は、配線層 212 の表面には殆ど膜としては堆積することはなく、主に、開口部 214 の側面等に成膜される。また、成膜される MnO_x 膜 215 の膜厚は、 $0.5 \sim 5 \text{ nm}$ であり、 MnO_x 膜 215 の成膜は、CVD 法その他、ALD（Atomic Layer Deposition）法により行ってもよい。また、本実施の形態においては、第 1 の膜として MnO_x 膜 215 を用いた場合について説明するが、第 1 の膜を形成する材料としては、金属酸化物が挙げられ、より好ましくは、Mg、Al、Ca、Ti、V、Cr、Mn、Fe、Co、Ni、Ge、Sr、

Y、Zr、Nb、Mo、Rh、Pd、Sn、Ba、Hf、Ta及びIrのうちから選ばれる1または2以上の元素の酸化物を含むものが挙げられる。

[0052] 次に、ステップ110（S110）において、水素ラジカル処理を行なう（水素ラジカル処理工程）。具体的には、リモートプラズマ、プラズマ、加熱フィラメント等により原子状水素を発生させ、 MnO_x 層215の表面に、発生させた原子状水素を照射する。本実施の形態では、図12及び図13等に表示されるリモートプラズマ発生部120において生じたリモートプラズマにより原子状水素を発生させ、発生させた原子状水素を基板210の MnO_x 215が成膜されている面に照射する。この際、加熱処理を併せて行うことが好ましく、例えば、基板210を400℃に加熱する。この温度は、 MnO_x 膜215の成膜温度、及び後述するRu膜216の成膜温度よりも高い温度である。ここで、水素ラジカル処理は、 H_2 ：10%とAr：90%のガス雰囲気において、処理圧力40Pa、投入パワー3kW、基板加熱温度400℃にて、60秒間行なうことによりなされる。

[0053] 尚、本実施の形態における水素ラジカル処理は、基板210の加熱温度は、室温～450℃が好ましく、より好ましくは200℃～400℃であり、更には400℃が好ましい。また、ガス雰囲気は、Ar中の H_2 濃度が1～20%であることが好ましく、より好ましくは5～15%であり、更には H_2 ：10%とAr：90%であることが好ましい。また、処理圧力は、10～500Paが好ましく、より好ましくは20～100Paであり、更には40Paが好ましい。また、投入パワーは、1～5kWが好ましく、より好ましくは2～4kWであり、更には3kWが好ましい。また、処理時間は、5～300秒が好ましく、より好ましくは10～100秒であり、更には60秒が好ましい。また、ステップ108における MnO_x 膜215とステップ110の水素ラジカル処理の間にデガス工程（熱処理工程）を行ってもよい。

[0054] 次に、ステップ112（S112）において、第2の膜となるRu膜の成膜を行なう（第2の成膜工程）。具体的には、図16（b）に示すように、Ruを含む有機金属原料を用いて基板210を約200℃に加熱してCVD

によりRu膜216を成膜する。Ru膜216は金属材料であり、ホール214bの底面を含む開口部214の内面に成膜される。即ち、Ru膜216は開口部214において露出している配線層212及びMnO_x層215の表面に成膜される。ホール214bの底面では、前述したように露出している配線層212の表面にはMnO_x層215が成膜されていないため、配線層212の表面にRu膜216が成膜される。

[0055] 尚、ステップ110の水素ラジカル処理とステップ112のRu膜216の成膜との間は、所定の真空度または所定の酸素分圧に保たれていることが好ましく、例えば、真空度の場合では、 1×10^{-4} Pa以下に保たれていることが好ましい。このため、ステップ110の水素ラジカル処理とステップ112のRu膜216の成膜は、図13に示すように同一のチャンバー内で行なわれるものであるか、または、図12に示すように水素ラジカル処理を行なうチャンバーとRu膜216の成膜を行なうチャンバーとが、所定の真空度を保つことのできる共通搬送室121により連結されており、共通搬送室121を介してウエハWを移動させることができるものであることが好ましい。

[0056] また、ステップ110の水素ラジカル処理とステップ112のRu膜216の成膜との間に、基板210を、Ru膜の成膜温度以下、例えば室温まで冷却する冷却工程を設けてもよい。成膜されるRu膜216の膜厚は、0.5～5 nmであり、Ru膜216の成膜は、CVD法その他、ALD法により行ってもよい。また、本実施の形態においては、第2の膜としてRu膜216を用いた場合について説明するが、第2の膜を形成する材料としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir及びPtのうちから選ばれる1または2以上の元素を含むものであってもよい。また、更には、白金族元素のうちから選ばれる1または2以上の元素を含むものであってもよい。

[0057] 次に、ステップ114（S114）において、Cu膜の成膜を行なう（電極形成工程）。具体的には、図16（c）に示すように、CVD法、ALD法、PVD法、電解メッキ法、無電解メッキ法、超臨界CO₂法のいずれかの

方法によりCu膜217を形成する。尚、Cu膜217を形成する方法は上記の方法を組み合わせたものであってもよい。本実施の形態では、最初にスパッタリングにより薄いCu膜を成膜した後、電解メッキによりCuを堆積させることによりCu膜217を形成する。

[0058] この後、必要に応じてCMP (Chemical Mechanical Polishing) 等により平坦化を行なう。以上の工程を繰り返すことにより所望の多層配線を形成することができ、多層配線構造を有する半導体装置を製造することができる。

[0059] 尚、上記において、ステップ108におけるMnO_x膜215、ステップ110における水素ラジカル処理、ステップ112におけるRu膜216は、同一のチャンバー（処理装置）で行ってもよく、また、各々異なるチャンバー（処理装置）により行ってもよい。

[0060] また、本発明の製造方法によれば、Cu多層配線の微細化が可能となる。これにより得られる効果として、半導体装置（デバイス）の高速化、微細化などにより、小型でありながら高速で信頼性のある電子機器を作ることが可能となる。

[0061] （形成されるRu膜）

次に、実際にRu膜を作製したものについて、TEM (Transmission Electron Microscope) 像の観察及びSEM (Scanning Electron Microscope) 像の観察を行なった結果について説明する。具体的には、Ru膜が形成されている3種類のサンプル、即ち、サンプル17A、17B、17Cを作製し、TEM像の観察及びSEM像の観察を行なった。サンプル17Aは、図14に示される本実施の形態における製造方法の一部と同様の方法、即ち、絶縁膜成膜、MnO膜成膜、水素ラジカル処理、Ru膜成膜を順に行なうことにより作製したものである。サンプル17Bは、水素ラジカル処理に代えて水素アニール処理を行なうことにより作製したもの、即ち、絶縁膜成膜、MnO膜成膜、水素アニール処理、Ru膜成膜を順に行なうことにより作製したものである。サンプル17Cは、水素ラジカル処理及び水素アニール処理を行なうことなく作製したもの、即ち、絶縁膜成膜、MnO膜成膜、Ru膜成

膜を順に行なうことにより作製したものである。尚、サンプル 17 A における水素ラジカル処理とサンプル 17 B における水素アニール処理とは、略同じ温度により行なっている。

[0062] 図 17 は、サンプル 17 A、17 B、17 C の TEM 像を示し、図 18 から図 21 は、サンプル 17 A、17 B、17 C の SEM 像を示す。尚、図 17 (a) は、サンプル 17 A の TEM 像であり、図 17 (b) は、サンプル 17 B の TEM 像であり、図 17 (c) は、サンプル 17 C の TEM 像である。また、図 18 ～図 21 は異なる角度における SEM 像であり、図 18 (a) ～図 21 (a) は、サンプル 17 A の SEM 像であり、図 18 (b) ～図 21 (b) は、サンプル 17 B の SEM 像であり、図 18 (c)、図 20 (c)、図 21 (c) は、サンプル 17 C の SEM 像である。また、サンプル 17 A、17 B、17 C においては、図 17 に示されるものと図 18 ～図 21 に形成されたものとは、異なる基板に形成されているものであり、更に、図 18 及び図 19 と図 20 及び図 21 とは、異なる領域における SEM 像である。

[0063] 図 17 に示されるように、サンプル 17 A は、サンプル 17 B 及び 17 C と比較して、Ru 膜は厚く、かつ滑らかに形成されている。また、サンプル 17 A は、サンプル 17 B 及び 17 C と比べて、Ru 膜が厚く形成されていることから、インキュベーション時間が短縮されているものと考えられる。また、図 18 ～図 21 に示されるように、サンプル 17 A は、サンプル 17 B 及び 17 C と比較して、表面における凹凸が少なく、滑らかに形成されている。

[0064] このように、本実施の形態における製造方法において、水素ラジカル処理を行なうことは、水素ラジカル処理を行なわない場合や、水素ラジカル処理に代えて水素アニール処理を行なう場合よりも、顕著に良好な効果を得ることができる。

[0065] 尚、本発明の実施に係る形態について説明したが、上記内容は、発明の内容を限定するものではない。

[0066] また、本国際出願は、2011年6月16日に出願した日本国特許出願第2011-134317号に基づく優先権を主張するものであり、日本国特許出願第2011-134317号の全内容を本国際出願に援用する。

符号の説明

[0067]	10	基板
	10a	シリコン基板
	10b	TEOS膜
	11	MnO _x 膜（第1の膜）
	12	Ru膜（第2の膜）
	13	Cu膜
	111	第1の処理装置
	112	第2の処理装置
	113	第3の処理装置
	114	第4の処理装置
	120	リモートプラズマ発生部
	121	共通搬送室
	122	第1ロードロック室
	123	第2ロードロック室
	124	導入側搬送室
	125	導入ポート
	126	開閉ドア
	127	カセット容器
	128	オリエンタ
	131	搬送機構
	132	導入側搬送機構
	133	案内レール
	210	基板
	211	絶縁層

2 1 2	配線層
2 1 3	絶縁膜
2 1 4	開口部
2 1 4 a	溝
2 1 4 b	ホール
2 1 5	M n O x 膜
2 1 6	R u 膜
2 1 7	C u 膜

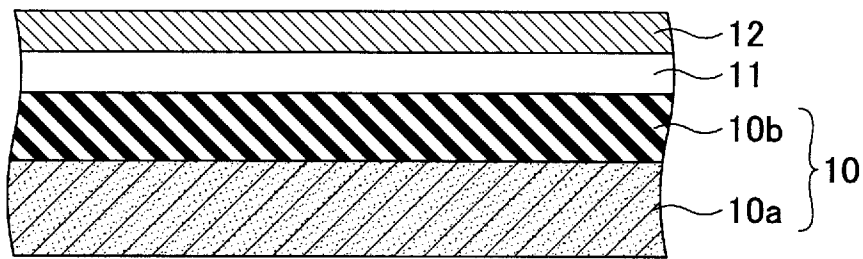
請求の範囲

- [請求項1] 基板表面に絶縁膜が形成されており、前記絶縁膜に形成された開口部の内部に金属酸化物からなる第1の膜を成膜する第1の成膜工程と、
- 、
- 前記第1の膜に原子状水素を照射する水素ラジカル処理工程と、
- 前記水素ラジカル処理工程の後、前記開口部の内部に金属からなる第2の膜を成膜する第2の成膜工程と、
- 前記第2の膜を成膜した後、前記開口部の内部に金属からなる電極を形成する電極形成工程と、
- を有することを特徴とする半導体装置の製造方法。
- [請求項2] 前記水素ラジカル処理工程は、前記第2の膜におけるインキュベーション時間の短縮、膜厚均一性、シート抵抗、密着性のいずれかを向上させるものであることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記水素ラジカル処理は、前記基板を加熱した状態で行なわれることを特徴とする請求項1または2に記載の半導体装置の製造方法。
- [請求項4] 前記水素ラジカル処理は前記第1の膜中のC成分を減らすことを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。
- [請求項5] 前記原子状水素はリモートプラズマにより発生されたものであることを特徴とする請求項1から4のいずれかに記載の半導体装置の製造方法。
- [請求項6] 前記第1の膜は、Mg、Al、Ca、Ti、V、Cr、Mn、Fe、Co、Ni、Ge、Sr、Y、Zr、Nb、Mo、Rh、Pd、Sn、Ba、Hf、Ta及びIrのうちから選ばれる1または2以上の元素の酸化物を含むものにより形成されているものであることを特徴とする請求項1から5のいずれかに記載の半導体装置の製造方法。
- [請求項7] 前記第1の膜は、Mnの酸化物を含むものであることを特徴とする請求項1から6のいずれかに記載の半導体装置の製造方法。

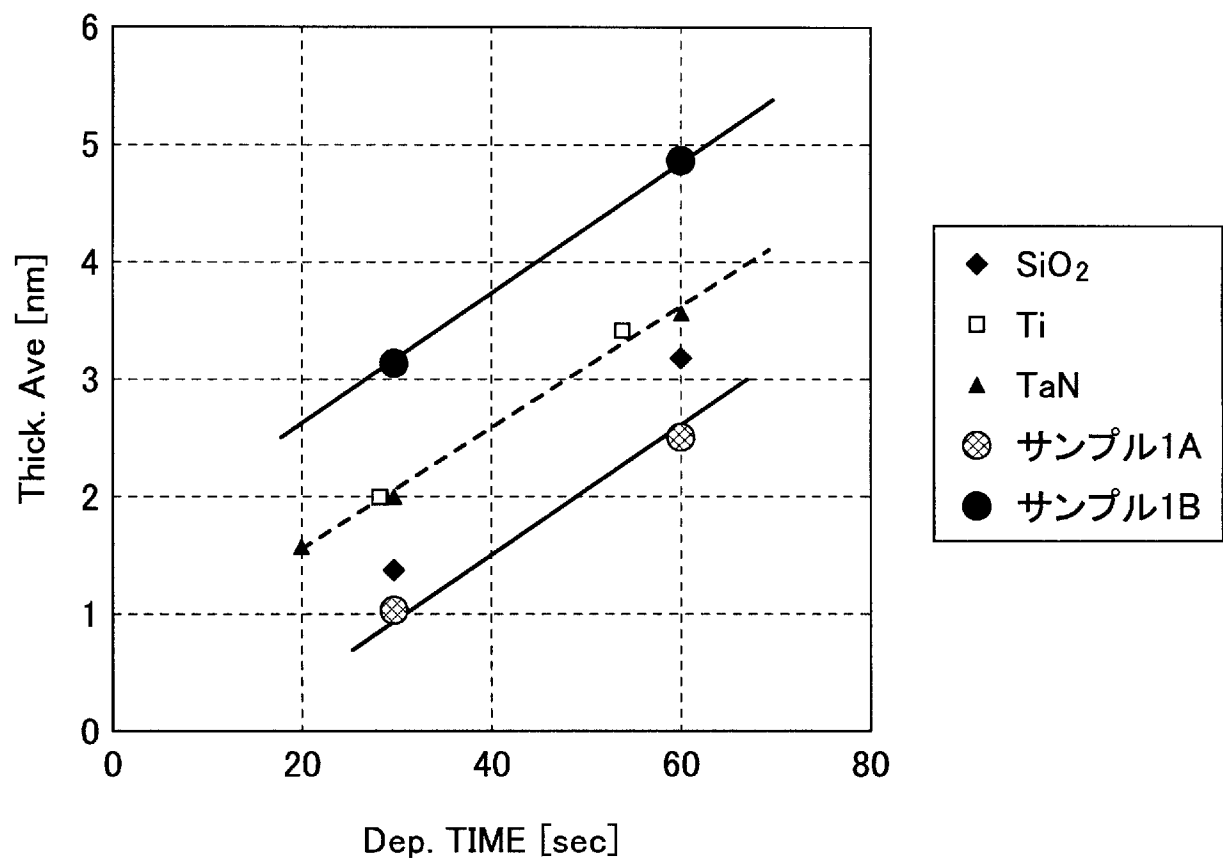
- [請求項8] 前記第1の膜は、CVD法、ALD法または超臨界CO₂法により成膜されたものであることを特徴とする請求項1から7のいずれかに記載の半導体装置の製造方法。
- [請求項9] 前記第1の膜は、熱CVD法または熱ALD法またはプラズマCVD法またはプラズマALD法または超臨界CO₂法により成膜されたものであることを特徴とする請求項1から7のいずれかに記載の半導体装置の製造方法。
- [請求項10] 前記第2の膜は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir及びPtのうちから選ばれる1または2以上の元素を含むものにより形成されていることを特徴とする請求項1から9のいずれかに記載の半導体装置の製造方法。
- [請求項11] 前記第2の膜は、CVD法、ALD法または超臨界CO₂法により成膜されたものであることを特徴とする請求項1から10のいずれかに記載の半導体装置の製造方法。
- [請求項12] 前記第2の膜は、熱CVD法または熱ALD法またはプラズマCVD法またはプラズマALD法または超臨界CO₂法により成膜されたものであることを特徴とする請求項1から10のいずれかに記載の半導体装置の製造方法。
- [請求項13] 前記電極は、銅または銅を含む材料により形成されていることを特徴とする請求項1から12のいずれかに記載の半導体装置の製造方法。
- [請求項14] 前記電極は、熱CVD法、熱ALD法、プラズマCVD法、プラズマALD法、PVD法、電解メッキ法、無電解メッキ法、超臨界CO₂法から選ばれる1または2以上の方法により成膜されたものであることを特徴とする請求項1から13のいずれかに記載の半導体装置の製造方法。
- [請求項15] 請求項1から14のいずれかに記載の半導体装置の製造方法によって形成された膜構造を有することを特徴とする半導体装置。

- [請求項16] 基板表面に絶縁膜が形成されており、前記絶縁膜に形成された開口部の内部に金属酸化物からなる第1の膜を成膜し、前記第1の膜に原子状水素を照射し、前記原子状水素を照射した後、前記開口部の内部に金属からなる第2の膜を成膜し、前記第2の膜上に金属からなる電極を形成する半導体装置の製造装置において、
- 第1の膜に原子状水素を照射することを特徴とする半導体装置の製造装置。
- [請求項17] 前記原子状水素を発生させるためリモートプラズマ発生部を有することを特徴とする請求項16に記載の半導体装置の製造装置。
- [請求項18] 前記基板を加熱するための加熱手段を有することを特徴とする請求項16または17に記載の半導体装置の製造装置。
- [請求項19] 請求項1から14のいずれかに記載の製造方法を実施するように制御するシステム制御部（コンピュータ）に読み取り可能なプログラムを記憶することを特徴とする記憶媒体。

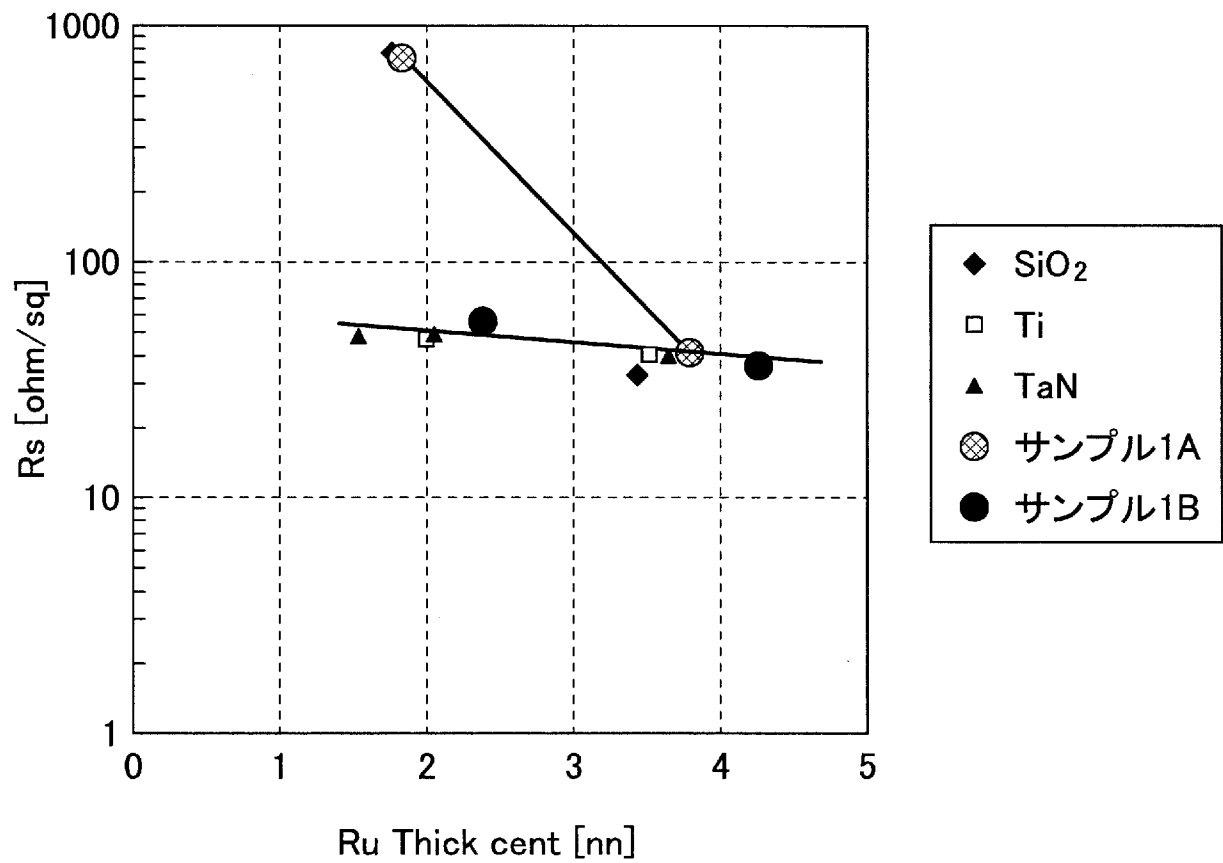
[図1]



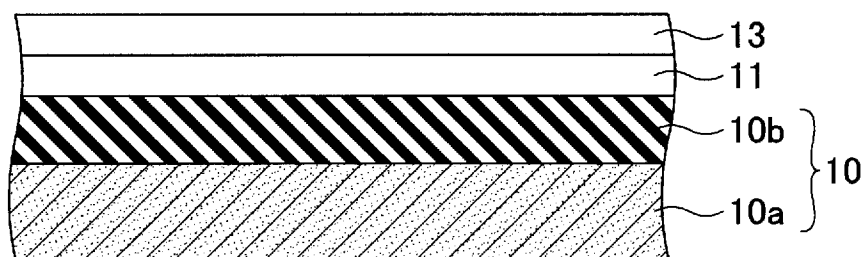
[図2]



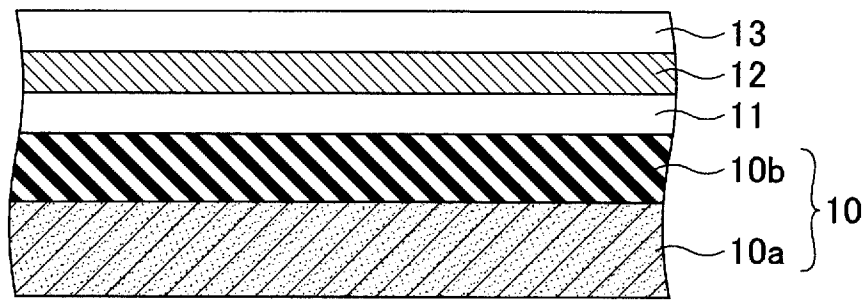
[図3]



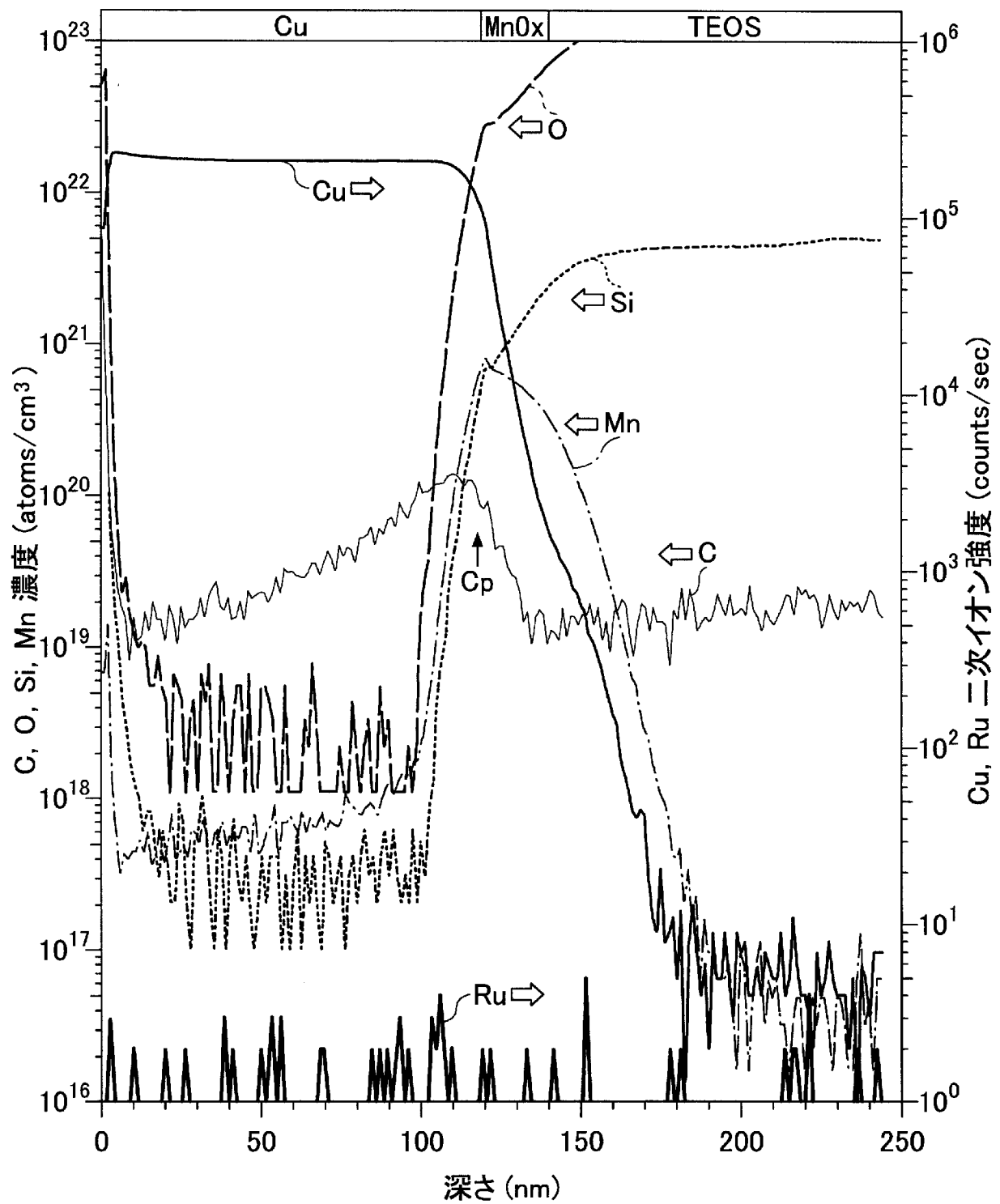
[図4]



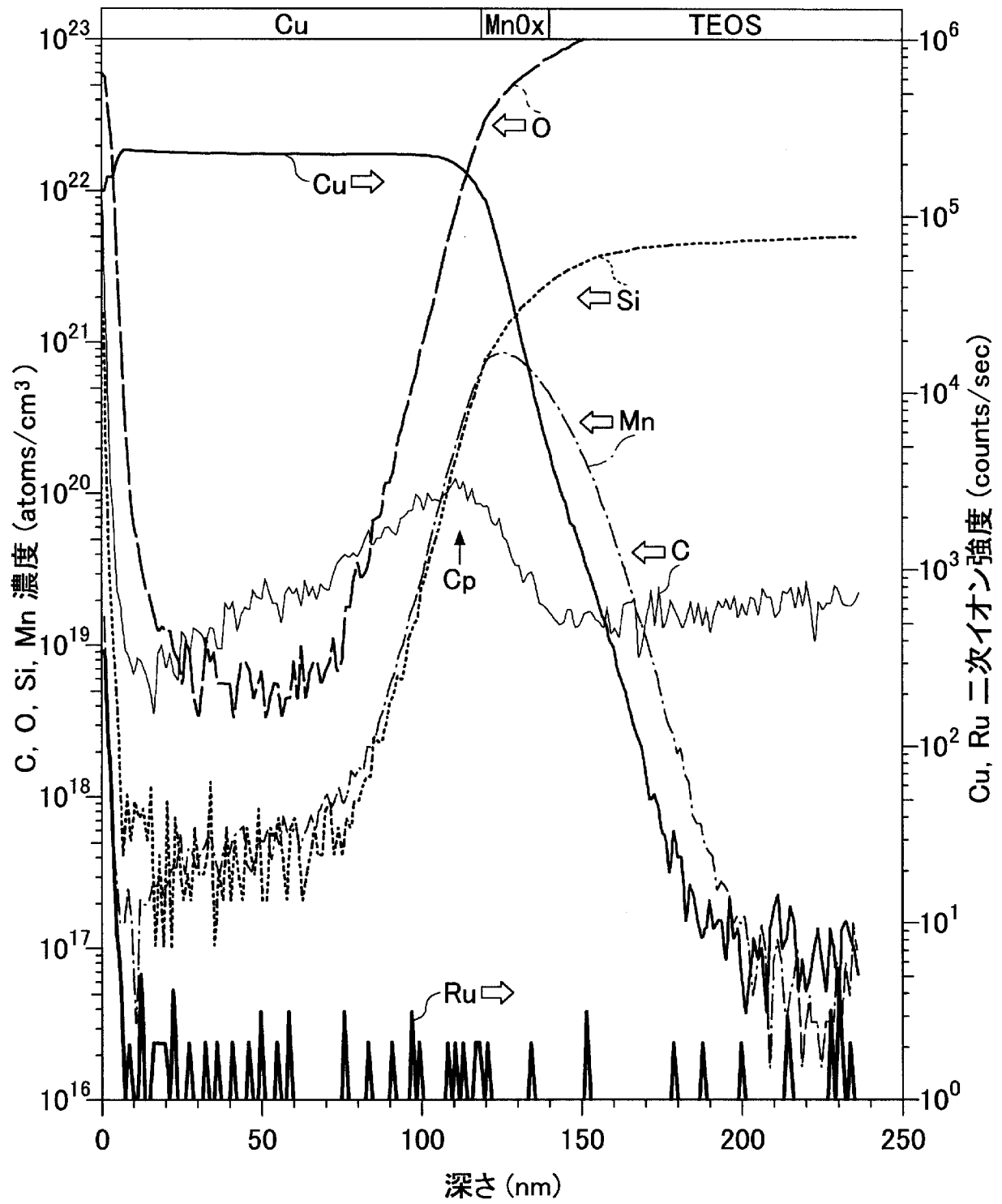
[図5]



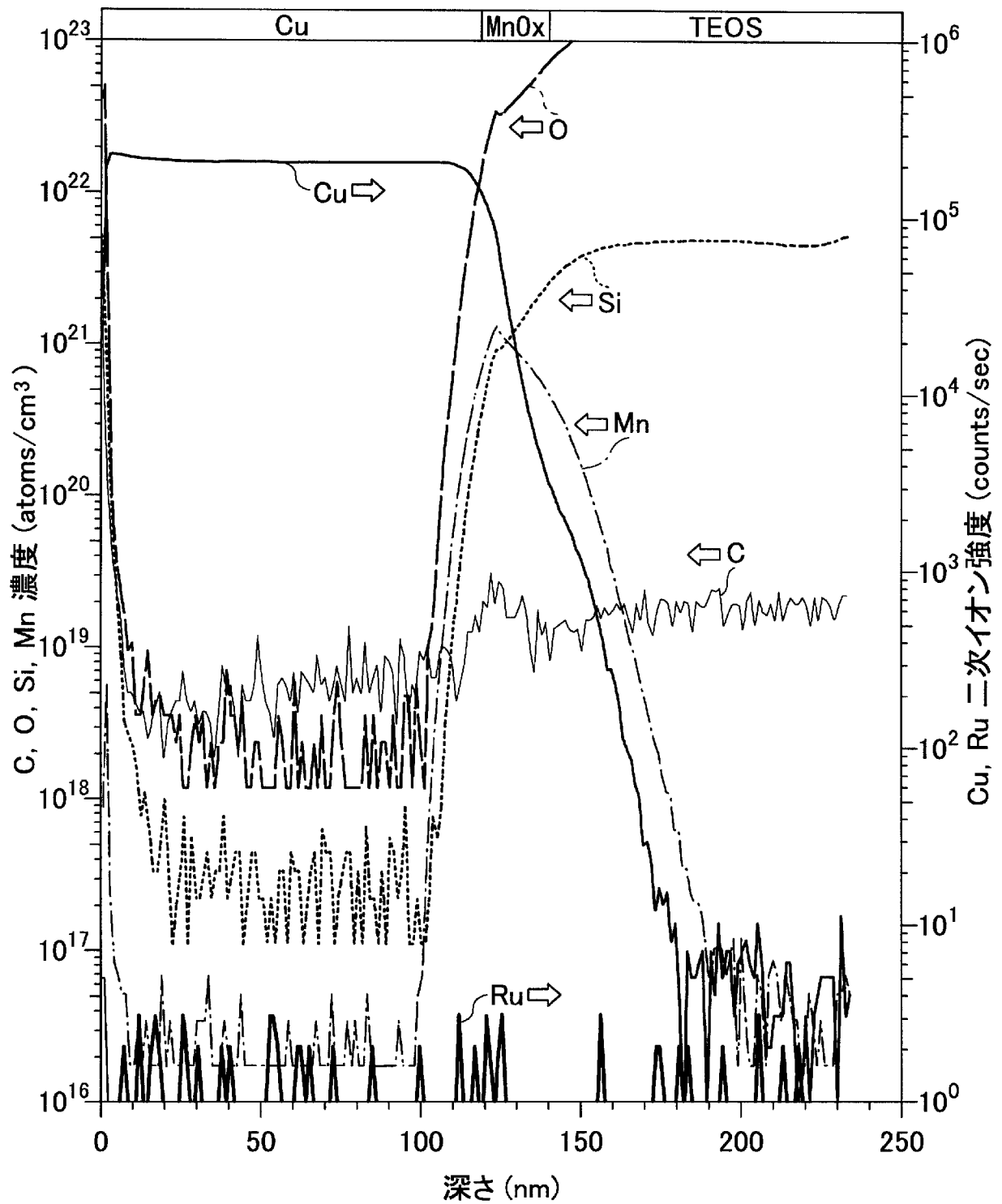
[図6]



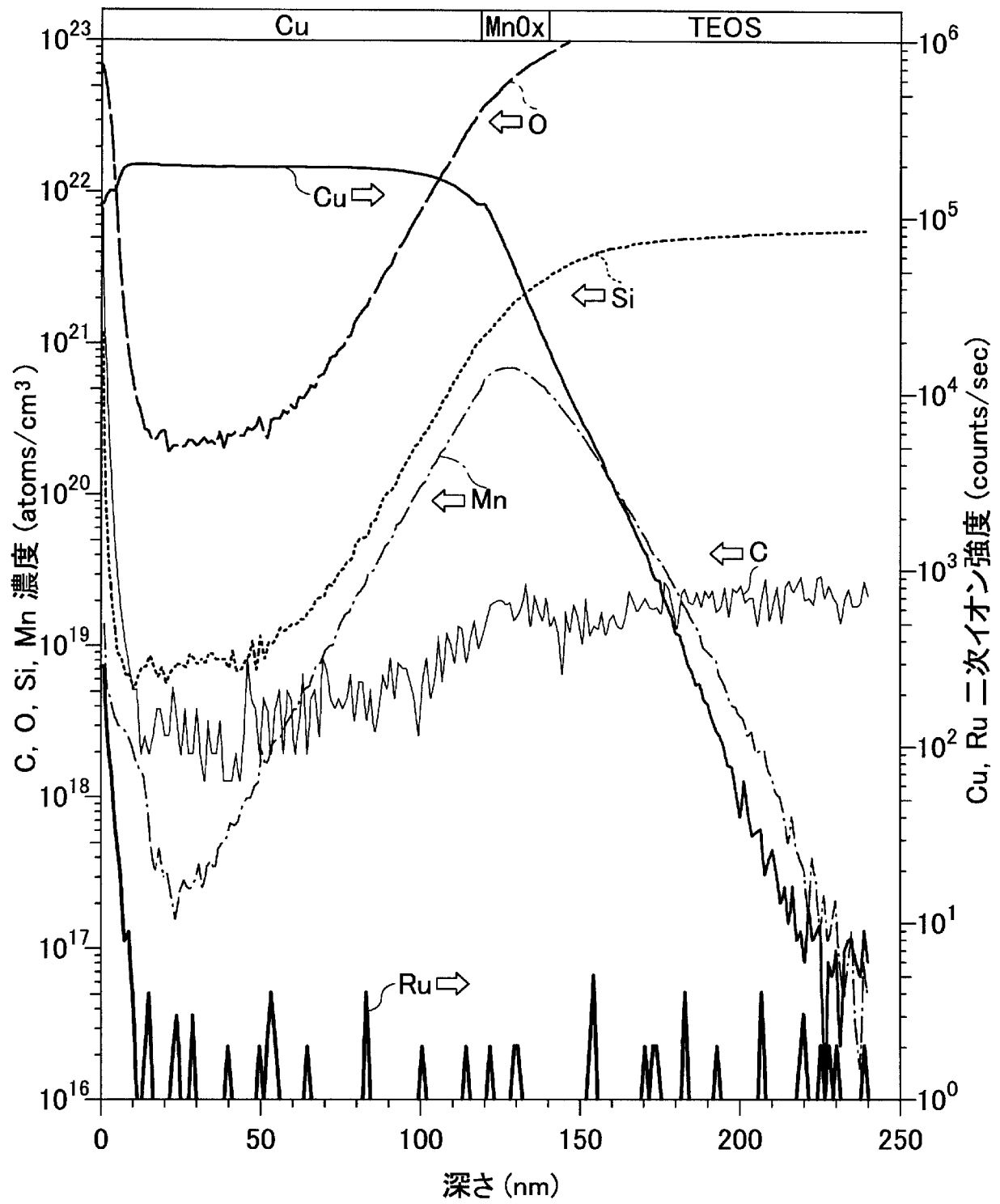
[図7]



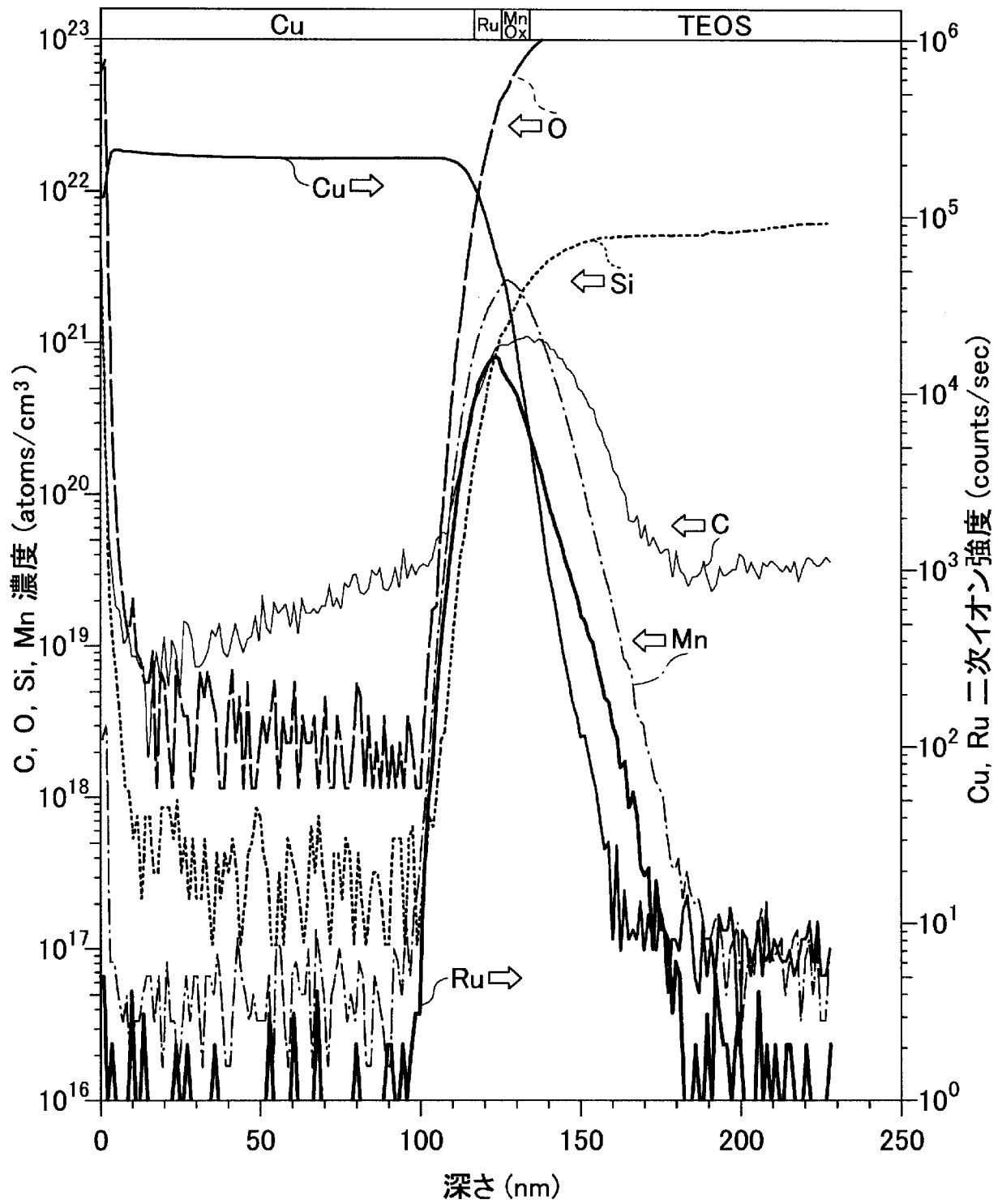
[図8]



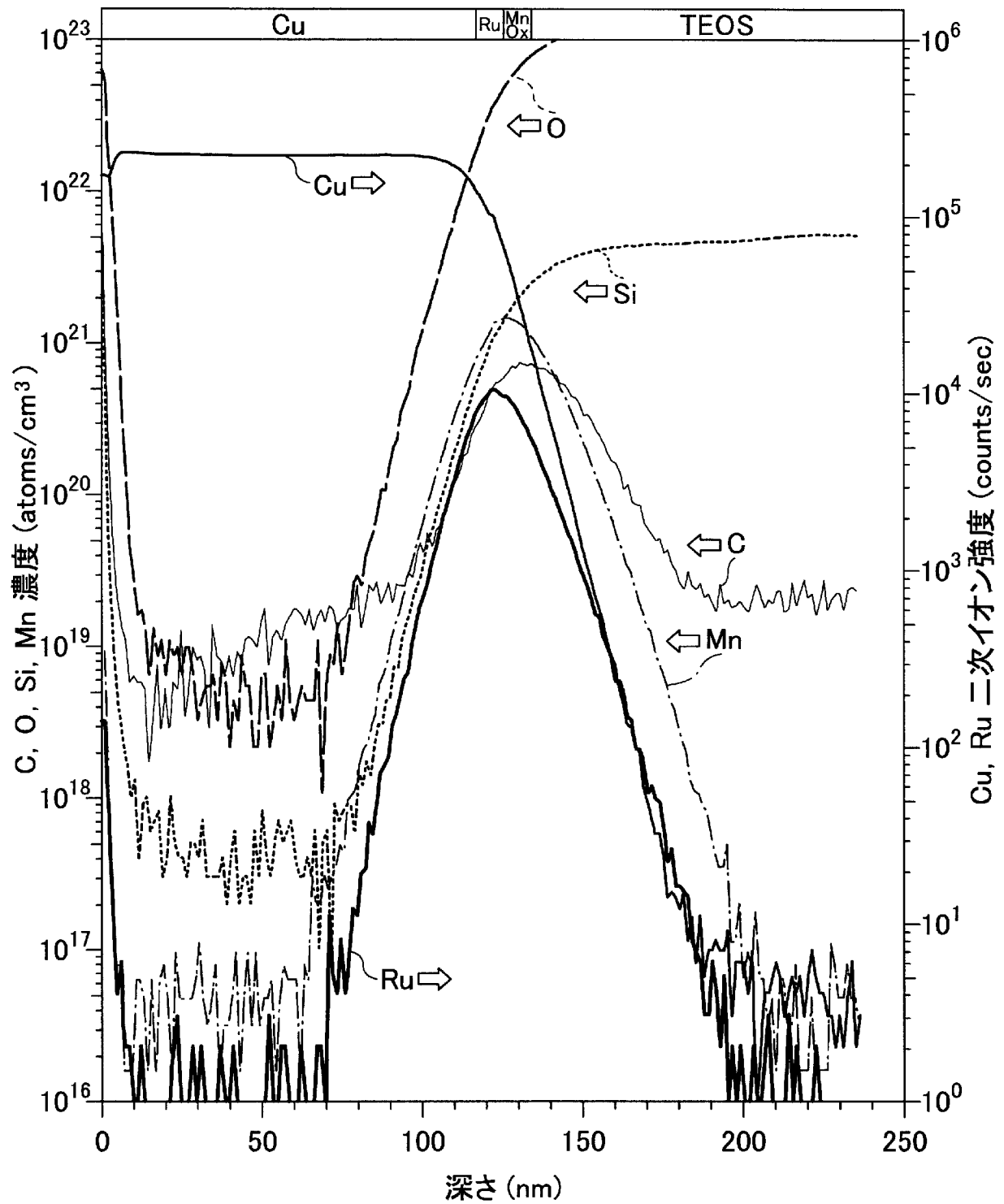
[図9]

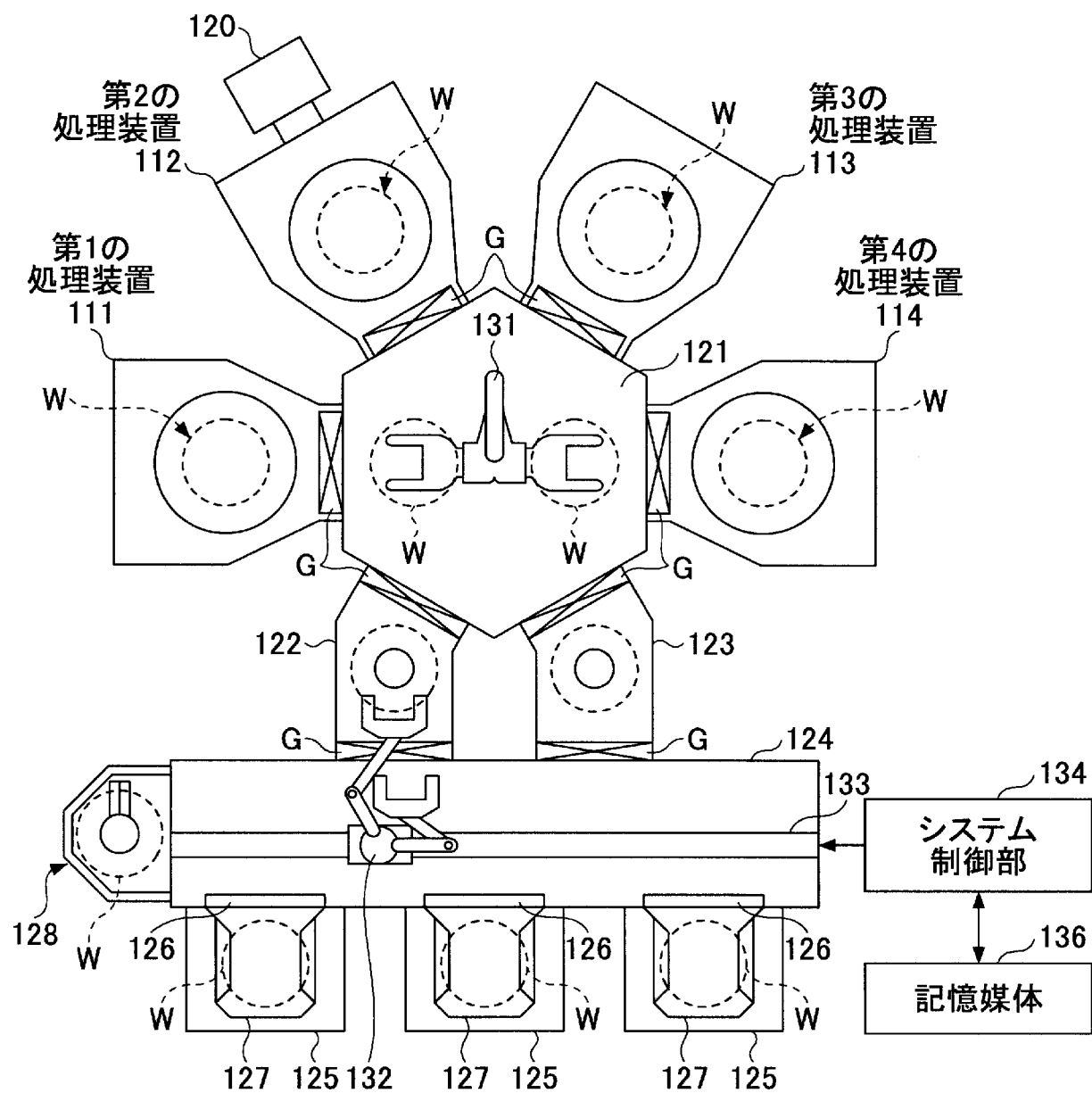


[図10]

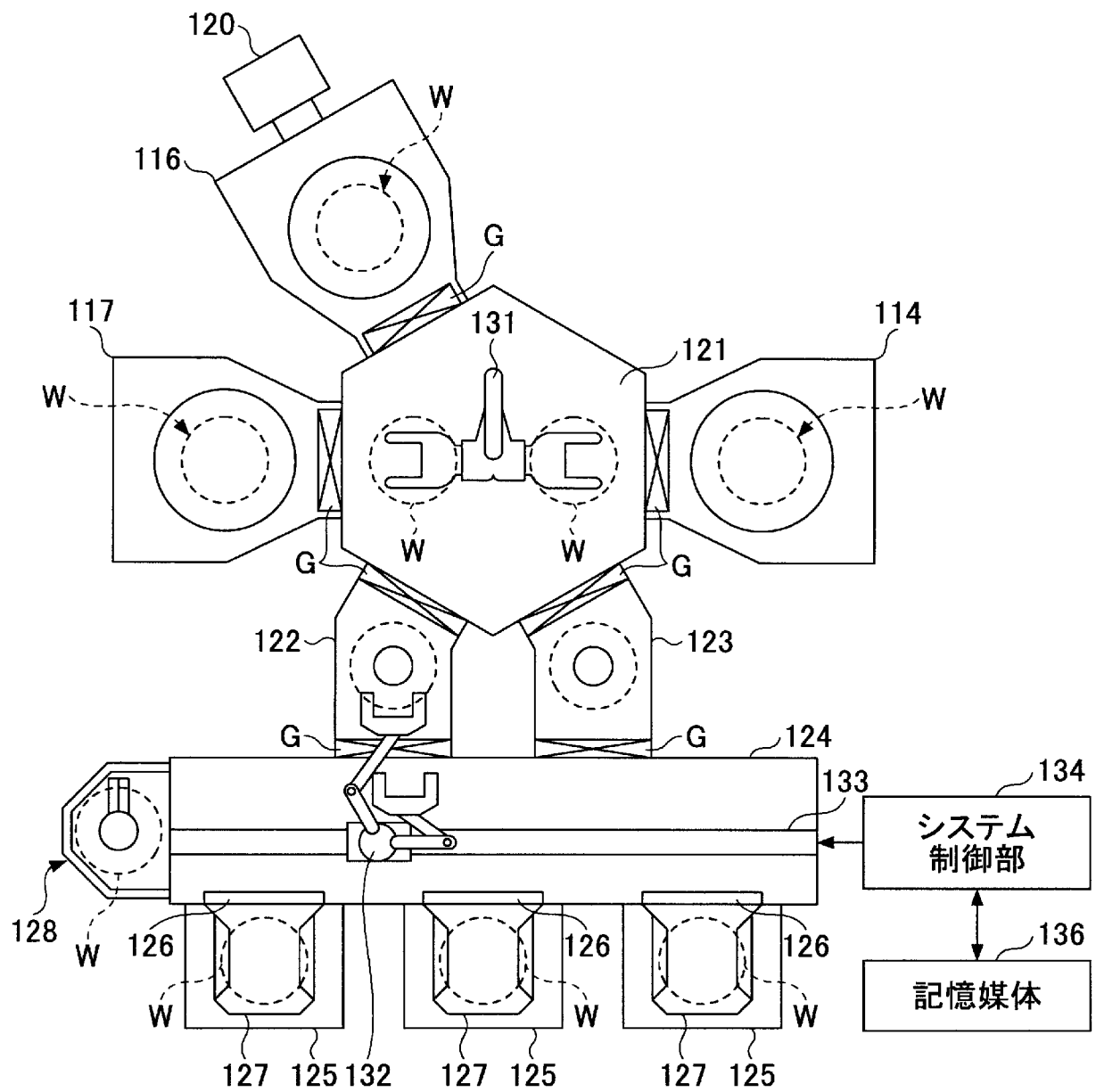


[図11]

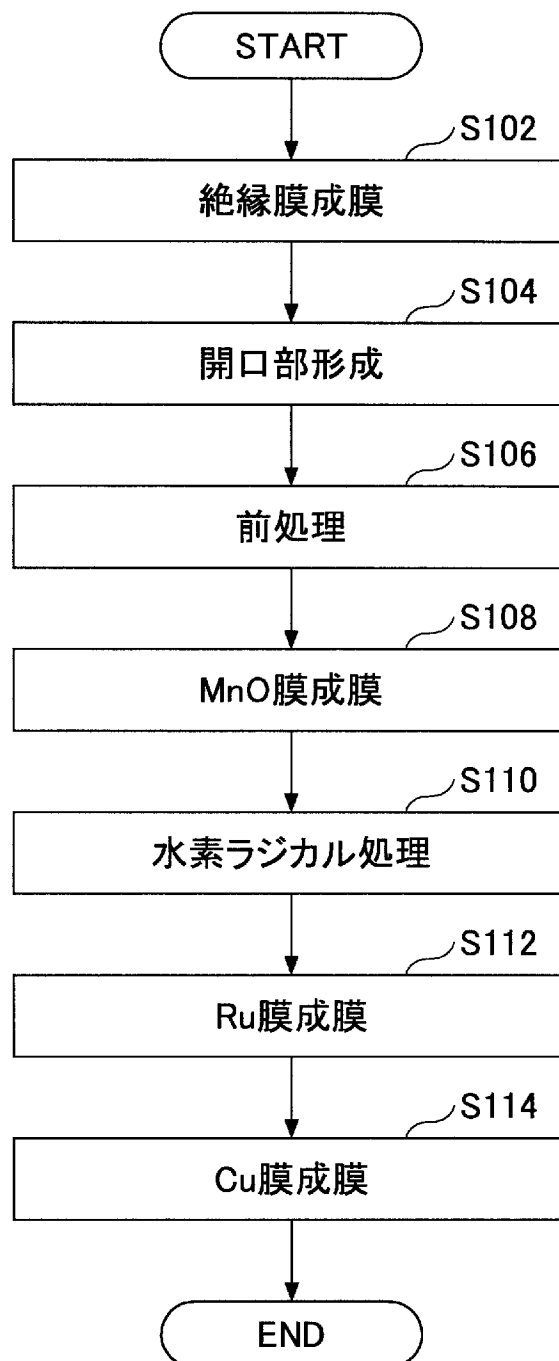




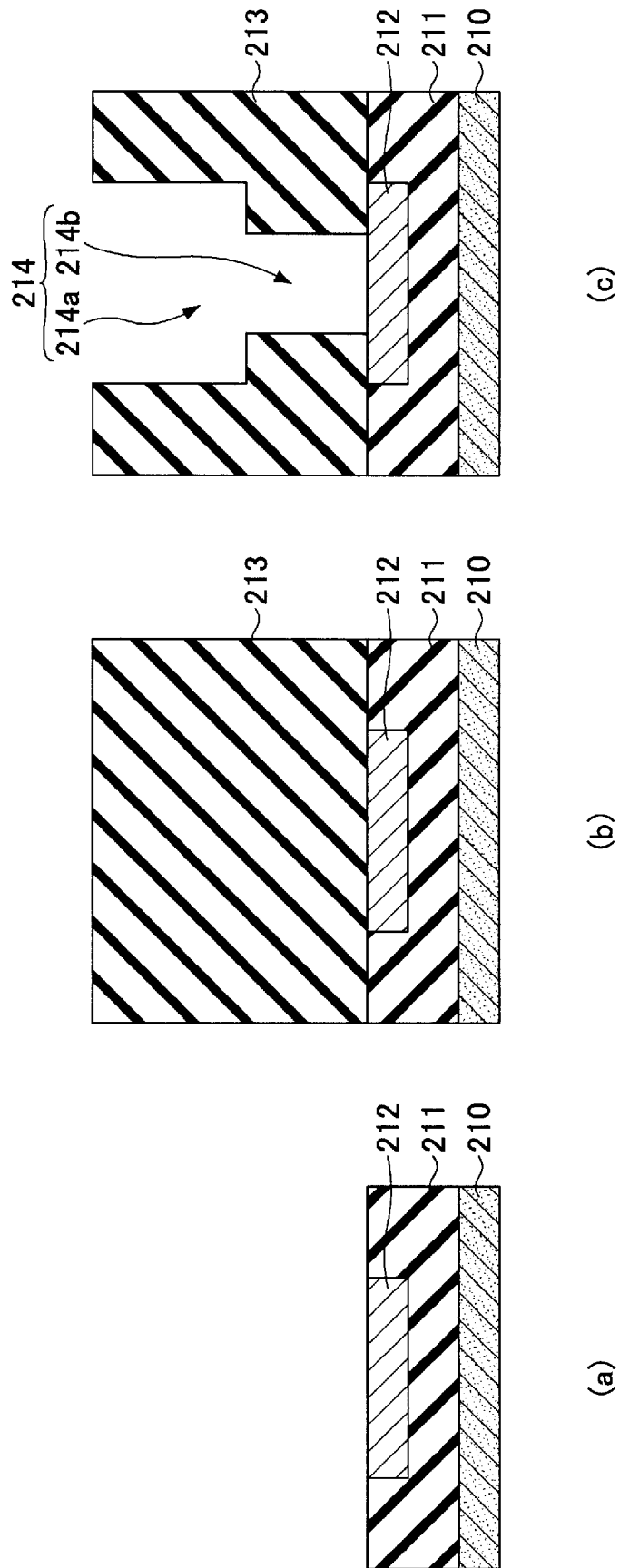
[図13]



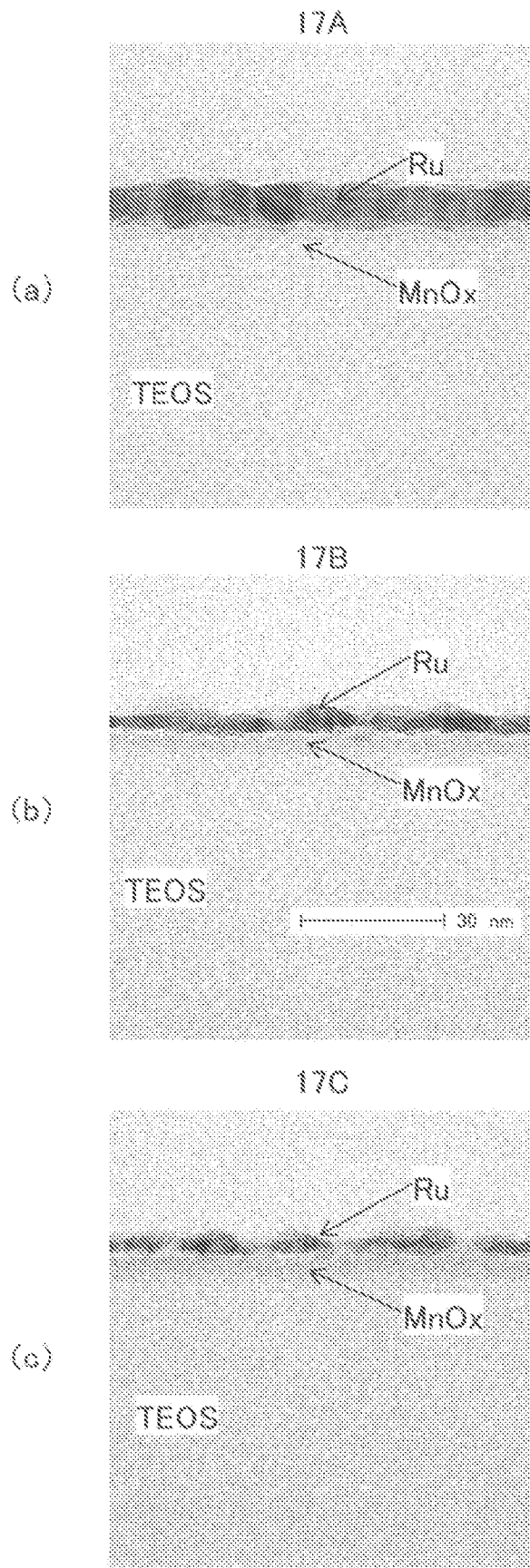
[図14]



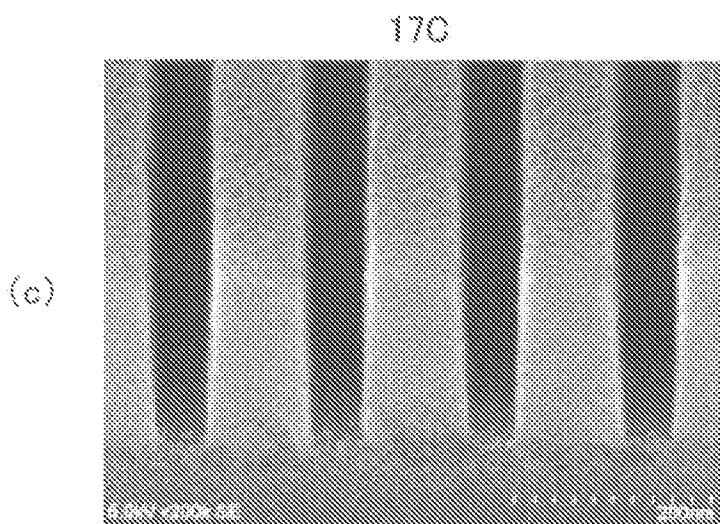
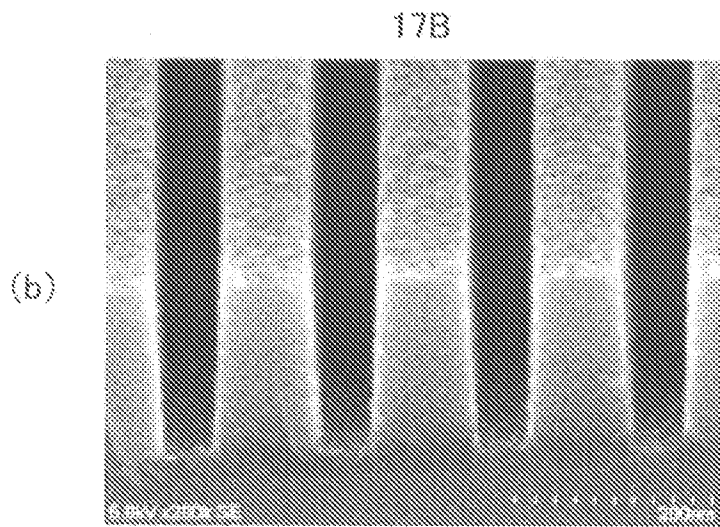
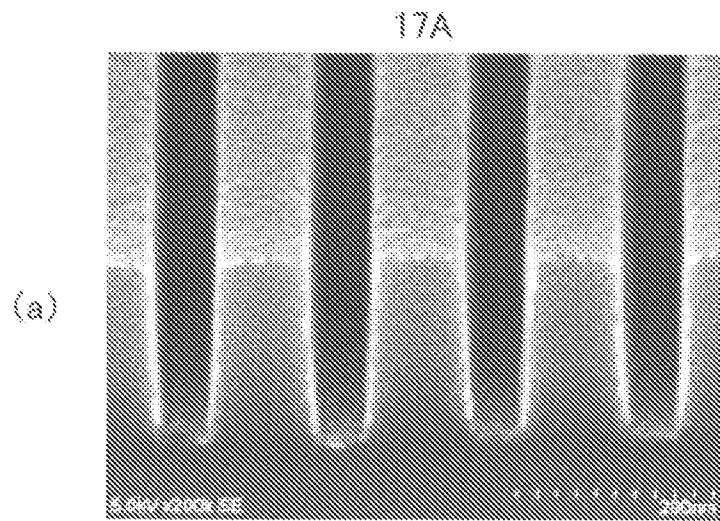
[図15]



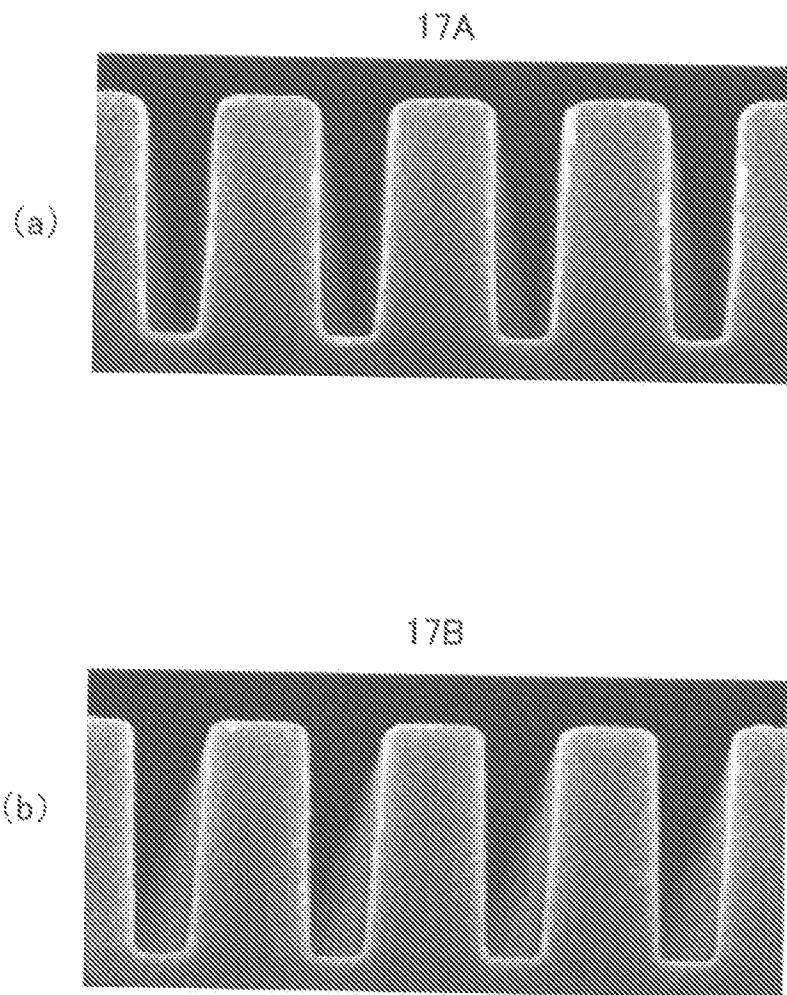
[図17]



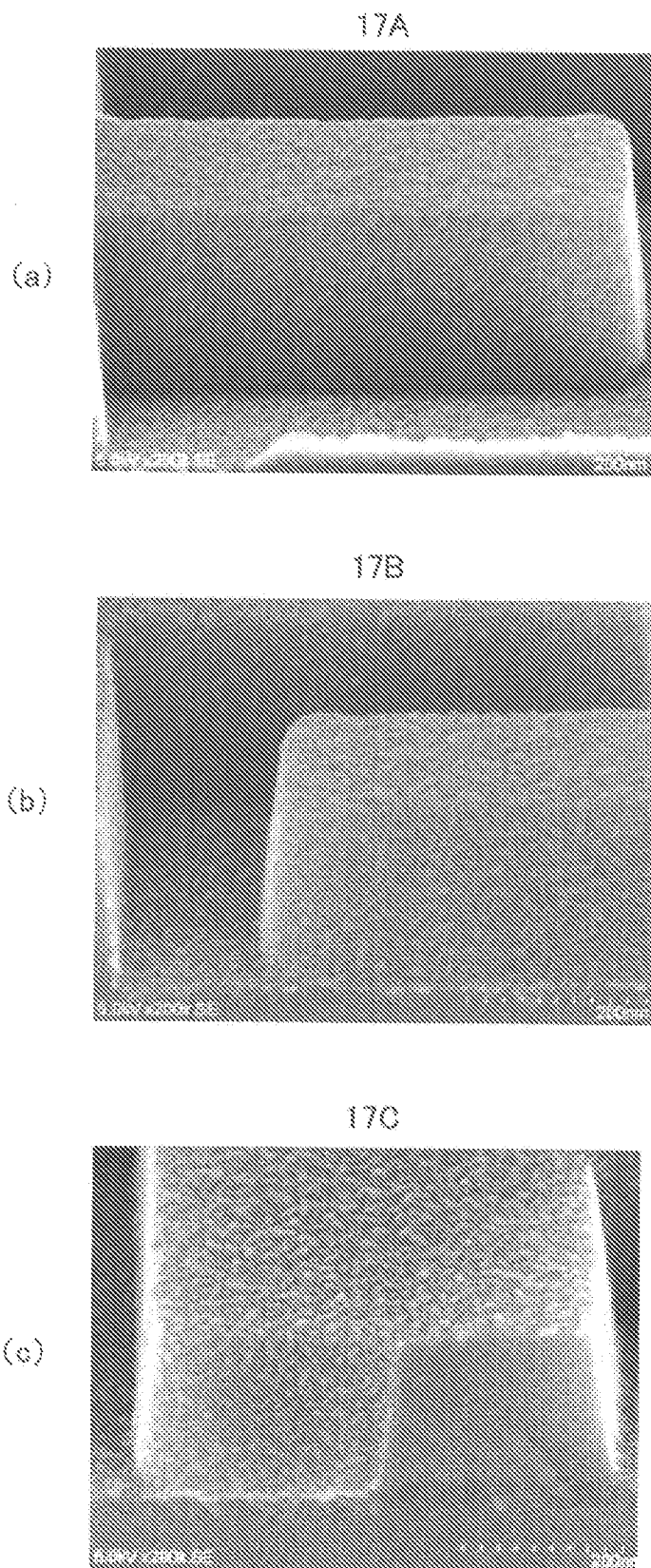
[図18]



[図19]



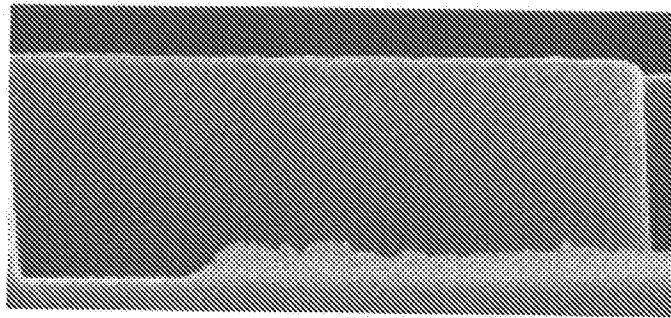
[図20]



[図21]

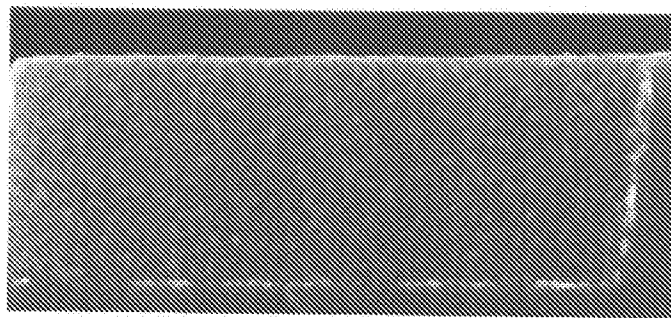
17A

(a)



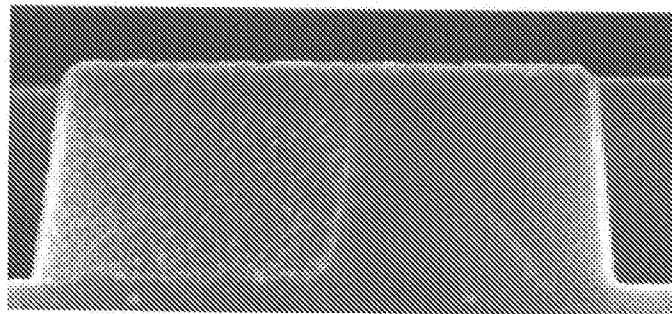
17B

(b)



17C

(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064844

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, C23C16/02(2006.01)i, H01L21/28(2006.01)i,
H01L21/768(2006.01)i, H01L23/532(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, C23C16/02, H01L21/28, H01L21/768, H01L23/532

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-040771 A (Rohm Co., Ltd.), 18 February 2010 (18.02.2010), paragraphs [0020] to [0022]; fig. 2 & US 2011/0045669 A1	1-19
Y	JP 2008-124275 A (Fujitsu Ltd.), 29 May 2008 (29.05.2008), paragraph [0056] & US 2008/0113506 A1	1-19
Y	JP 2006-128541 A (NEC Electronics Corp.), 18 May 2006 (18.05.2006), paragraph [0034] & US 2006/0094221 A1	5, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2012 (04.09.12)

Date of mailing of the international search report
11 September, 2012 (11.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064844

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-021447 A (Tokyo Electron Ltd.), 28 January 2010 (28.01.2010), entire text; all drawings & US 2011/0163451 A1 & WO 2010/004998 A1 & KR 10-2011-0017916 A & CN 102077325 A	8-14, 19
A	JP 2009-147137 A (Toshiba Corp.), 02 July 2009 (02.07.2009), entire text; all drawings & US 2009/0152736 A1	1-19

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/3205 (2006.01) i, C23C16/02 (2006.01) i, H01L21/28 (2006.01) i, H01L21/768 (2006.01) i, H01L23/532 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/3205, C23C16/02, H01L21/28, H01L21/768, H01L23/532

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-040771 A (ローム株式会社) 2010.02.18, 段落【0020】 - 【0022】、図2 & US 2011/0045669 A1	1 - 19
Y	JP 2008-124275 A (富士通株式会社) 2008.05.29, 段落【0056】 & US 2008/0113506 A1	1 - 19
Y	JP 2006-128541 A (NECエレクトロニクス株式会社) 2006.05.18, 段落【0034】 & US 2006/0094221 A1	5, 17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 9 . 2 0 1 2

国際調査報告の発送日

1 1 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

右田 勝則

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

9 1 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-021447 A (東京エレクトロン株式会社) 2010.01.28, 全文、 全図 & US 2011/0163451 A1 & WO 2010/004998 A1 & KR 10-2011-0017916 A & CN 102077325 A	8-14, 19
A	JP 2009-147137 A (株式会社東芝) 2009.07.02, 全文、全図 & US 2009/0152736 A1	1 - 1 9