



(12) 发明专利申请

(10) 申请公布号 CN 101809692 A

(43) 申请公布日 2010. 08. 18

(21) 申请号 200880109666. 3

H01G 4/30 (2006. 01)

(22) 申请日 2008. 09. 26

H01C 7/18 (2006. 01)

(30) 优先权数据

H01C 17/24 (2006. 01)

102007046607. 4 2007. 09. 28 DE

H01C 17/242 (2006. 01)

(85) PCT申请进入国家阶段日

2010. 03. 26

(86) PCT申请的申请数据

PCT/EP2008/062973 2008. 09. 26

(87) PCT申请的公布数据

W02009/043826 DE 2009. 04. 09

(71) 申请人 埃普科斯股份有限公司

地址 德国慕尼黑

(72) 发明人 A·佩西纳 Z·马里克

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 汤春龙 徐予红

(51) Int. Cl.

H01G 4/40 (2006. 01)

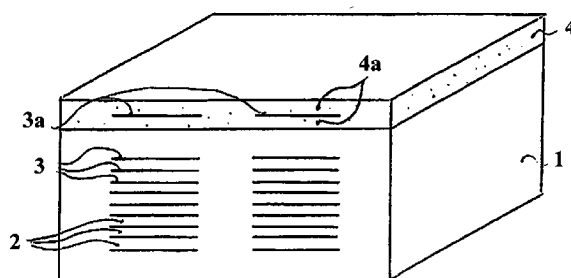
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

电气多层组件和用于制造电气多层组件的方法

(57) 摘要

说明了一种电气多层组件,具有一个在另一个之上地布置的介电层(2)和电极层(3)的堆叠(1),其中,相同电气极性的电极层联合接触到布置在堆叠的侧面的外部接触部(5a,5b),以及与堆叠烧结在一起并包含陶瓷电阻材料、布置在堆叠的端面上的电阻器(4)。



1. 一种电气多层组件,具有
 - 一个在另一个之上布置的介电层 (2) 和电极层 (3) 的堆叠 (1),其中
 - 相同电气极性的电极层联合接触到布置在所述堆叠的侧面的外部接触部 (5a, 5b), 以及其中
 - 烧结到所述堆叠并包含陶瓷电阻材料的电阻器 (4) 布置在所述堆叠的端面上。
2. 如权利要求 1 所述的电气多层组件,其中所述电阻器 (4) 实施为电阻层 (4a)。
3. 如权利要求 1 和 2 任一项所述的电气多层组件,其中所述电阻器 (4) 具有用于其电阻值的微调的材料去除区域,所述区域通过至少以下方法之一制成:激光去除、化学蚀刻。
4. 如权利要求 3 所述的电气多层组件,其中多个结构槽 (6) 相互并排平行布置为材料去除区域。
5. 如权利要求 2 到 4 任一项所述的电气多层组件,其中所述电阻器 (4) 包括电阻层 (4a) 的堆叠。
6. 如权利要求 5 所述的电气多层组件,其中至少一个电极层 (3a) 布置在所述电阻器 (4) 的在堆叠方向上相邻的电阻层 (4a) 之间,所述至少一个电极层接触到外部接触部 (5a, 5b)。
7. 如权利要求 6 所述的电气多层组件,其中,在所述电阻器 (4) 中,相反极性的多个电极层 (3a) 与电阻层 (4a) 交替地、一个在另一个之上地布置,并且具有在正交投影中重叠的重叠区。
8. 如权利要求 6 所述的电气多层组件,其中,在所述电阻器 (4) 中,至少一个电极层 (3a) 位于在共同电阻层 (4a) 上相反极性的电极层的对面。
9. 如权利要求 6 到 8 任一项所述的电气多层组件,其中所述电阻器 (4) 具有与所述电阻器的所述至少一个电极层 (3a) 并排的至少一个结构槽 (6)。
10. 如前面权利要求任一项所述的电气多层组件,其中
 - 所述堆叠 (1) 包括作为阵列的电极层 (3) 的多个堆叠,其中
 - 每个电极层堆叠中相同极性的电极层接触到相同极性的外部接触部 (5a, 5b), 以及
 - 在不同电极层堆叠中相互横向并排布置的电极层布置在共同的介电层 (2) 上。
11. 如权利要求 10 所述的电气多层组件,它是 Π 滤波器。
12. 一种用于制造电气多层组件的方法,其中
 - 形成在每种情况下在其上印刷至少一个电极层 (3) 的、一个在另一个之上地布置的绿色介电层 (2) 的堆叠 (1),
 - 在所述堆叠的端面上施加包含陶瓷电阻材料的电阻器 (4),
 - 所述堆叠与所述电阻器按压在一起,
 - 所述堆叠与所述电阻器烧结在一起。
13. 如权利要求 12 所述的方法,其中,将电阻层 (4a) 的堆叠作为所述电阻器 (4) 施加到所述堆叠 (1) 的所述端面。
14. 如权利要求 13 所述的方法,其中将电阻层 (4a) 和电极层 (3a) 的堆叠施加到所述堆叠 (1) 的所述端面。
15. 如权利要求 12 到 14 任一项所述的方法,其中根据以下方法之一,作为结构槽 (6) 将电阻材料从所述电阻器 (4) 去除:激光去除、化学蚀刻。

电气多层组件和用于制造电气多层组件的方法

[0001] 描述

[0002] 本文描述了具有电阻器的电气多层组件和用于制造该组件的方法。

[0003] DE 101 44 364 A1 公开了在两个介电层之间布置有电阻器的电气多层组件。

[0004] 要实现的一个目的是说明一种电气多层组件,该组件与要保持尽可能小的结构大小相结合,能具有尽可能多的电气功能,并且能容易地制造。

[0005] 要实现的又一目的是说明上面争取的能用作π滤波器的一种多层组件。

[0006] 公开了一种具有一个在另一个之上地布置的介电层和电极层的堆叠的电气多层组件,其中,提供了烧结到堆叠的端面的电阻器。为与多层组件进行接触,相同电气极性的电极层能联合接触到布置在堆叠的侧面上的外部接触部 (external contact)。

[0007] 因此,电阻器包含有利地在烧结期间与堆叠固定组合的陶瓷电阻材料。

[0008] 电阻材料在高达 900°C 与 1200°C 之间的烧结温度不会失去其作为电阻器的属性。具体而言,在室温与烧结温度之间,其电阻值至多只发生轻微的变化。然而,这不排除高达所述温度的情况下其材料微结构中的变化。另外,其材料微结构能早在按压堆叠的过程期间变化,而其作为电阻器的期望属性不受损害。

[0009] 有利的是,电阻器能与堆叠烧结在一起,适当时也可事先按压,这意味着在电阻器的烧结后无需为在堆叠中和 / 或堆叠上制造电阻器进行其它制造步骤。电阻器因此能与堆叠同时经受压力处理和 / 或温度处理。

[0010] 任何所需形式的电阻器都是可能的。在此情况下,能例如通过印刷将电阻器施加到任何所需形式的堆叠的端面,例如因此带有多次弯曲路径或带有曲折路线。

[0011] 根据多层组件的一个实施例,电阻器实施为电阻层。这具有的优点是堆叠能由介电层、电极层和电阻层形成,其中,堆叠能被按压并且能以此形式被烧结。电阻层能相对于其作为堆叠的介电层的面积具有相同的尺寸 (dimensioning)。具体而言,能适当地将电阻层的面积与堆叠的端面的大小协调,端面能够由堆叠的介电层的表面形成。这意味着它实质上完全覆盖介电层,或者由介电层和电极层形成的堆叠的端面,优选是没有突出区域。包括电阻层并且以此方式制造的堆叠能以更低的损坏风险进行处理或运输。

[0012] 实施为层的电阻器具有由于烧结而足够稳定的属性,使得堆叠无需保护或钝化层。因此,电阻层也同时充当堆叠的保护层。不过,堆叠能根据需要实施有另外的钝化层,该层的形式优选空出外部接触部,并且例如能包含玻璃。

[0013] 根据多层组件的一个实施例,电阻器能具有材料去除区域。材料去除可能已借助于电阻器的区域的激光去除和 / 或通过对区域的化学蚀刻制成。电阻器的材料去除区域优选为其电阻值的微调而制成。

[0014] 例如,电阻器能具有用于其电阻值的微调的至少一个结构槽。能提供多个结构槽,这些槽在堆叠的端面上形成规则模式。多个结构槽能相互并排平行布置。

[0015] 根据一个实施例,电阻器将多层组件中相反极性的外部接触部相互连接。在此情况下,在适当时不进行材料去除或只进行轻微的材料去除的电阻器的区域能将所述外部接触部相互连接。然而,连续的电阻层能将多层组件的所有外部接触部相互连接。

[0016] 人们发现,基于尖晶石作为电阻材料的材料能特别有利地与介电层和电极层的堆叠烧结在一起,在此情况下,材料的电阻属性不受损害。

[0017] 因此,根据多层组件的一个实施例,电阻器大部分由基于自然或合成的尖晶石的材料组成。例如,电阻器大部分能由 ZnMn_2O_4 组成。

[0018] 另外或作为备选,电阻器大部分能由元素镧 (La)、锆 (Zr)、钛 (Ti) 和氧 (O) 的复合物组成,或者由元素铋 (Bi)、锡 (Sn) 和氧的复合物组成。

[0019] 根据堆叠的一个实施例,多层组件的介电层包含变阻器陶瓷,例如,氧化锌 (ZnO)。

[0020] 根据多层组件的另一实施例,介电层包含例如由 X7R、COG、Z5U 类制成的电容器陶瓷。

[0021] 堆叠的电极层优选包含至少以下材料之一或其合金:钯 (Pd)、铜 (Cu)、镍 (Ni)、锡。

[0022] 根据电气多层组件的一个实施例,电阻器分别包括电阻层的堆叠和一个在另一个之上地布置的多个电阻层。

[0023] 根据一个实施例,至少一个电极层布置在电阻器的两个电阻层之间,两个电阻层在堆叠方向上是相邻的,所述至少一个电极层接触到外部接触部。在此情况下,多个电极层能布置在电阻器的电阻层上,所述电极层每个与不同的外部接触部接触。

[0024] 另外或作为备选,电阻器能具有多个电极层,这些电极层与电阻层交替地、一个在另一个之上地布置,并且具有在正交投影中重叠的重叠区。通过适当地选择在电阻器中布置的电极层结构和数量,能一并确定其所需电阻值。

[0025] 与一并确定电阻值的其有利属性一起,电阻器的电极层也具有使外部接触部能更好地侧面接合到电阻器的优点,这是因为它们包含与外部接触部材料固定结合在一起的材料。

[0026] 根据一个实施例,电阻器具有材料去除区域和至少一个电极层两者。在此情况下,优选是电阻器的至少一个材料去除区域与至少一个电极层并排存在,然而,其中除与外部接触部的接触部外,电极层优选被电阻器的电阻材料围绕或者在所有侧上被电阻器的电阻材料覆盖。

[0027] 例如,结构槽能与电阻材料覆盖的电极层并排平行延伸。在此情况下,电极层能包括多次更改方向的轨迹,其中,与其并排延伸的结构槽能具有与电极层并排的相同或互补路线。

[0028] 通过适当选择在电阻器中布置的电极层的结构和数量,能防止或至少最小化应理解为寄生电阻的多层组件中的串扰电阻。

[0029] 电气多层组件能实施为阵列,其方式使得堆叠的至少一个电极层堆叠具有相同极性的电极层,并且所述至少一个电极层堆叠横向位于包括相反极性的电极层的相同类型的至少一个堆叠的对面。相对放置的电极层堆叠的电极层布置在相应的共同介电层上,并且具有相互面对的末端。

[0030] 优选是相反极性的外部接触部布置在多层组件的相互相对侧面上。

[0031] 根据一个实施例,多层组件包括至少一个 Π 滤波器,包括经电阻器并联的电容器或电容。电阻器优选是烧结到堆叠的电阻器,并且电容是借助于带有相反极性,在堆叠方向上相邻的介电层和电极层制成的那些电容。

[0032] 说明了一种用于制造电气多层组件的方法,其中,制造了一个在另一个之上地布置的介电层和电极层的堆叠。在此情况下,可涉及陶瓷印刷电路基板 (green sheet),其材料能例如根据多层组件的功能目的而包含电容器陶瓷或变阻器陶瓷。与又一介电层堆叠的每个介电层能与电极材料印刷在一起以便形成电极层。

[0033] 由此制成的又一“绿色”堆叠在带有电阻器的顶侧上提供,而电阻器以后与堆叠烧结在一起。在此情况下,能涉及由电阻材料组成的膜,膜作为电阻层放置在堆叠的端面上。

[0034] 能先按压端侧上布置有电阻器的堆叠以便介电层和电阻器结合在一起。随后,能在介于 900℃ 与 1200℃ 之间的温度在提供用于烧结的熔炉中将堆叠与电阻器烧结在一起。因此,介电层和在端侧上带有介电端层的电阻器更固定地相互结合,以便因此制造包括电阻器的单片堆叠 (monolithic stack)。

[0035] 在烧结之前或之后,电阻器如果在堆叠中以层的形式存在,则其材料能借助于激光部分去除以便精确地设置其电阻值。备选,能借助于化学蚀刻方法实现电阻材料的部分去除。

[0036] 电阻材料的去除优选经实施使得电阻器具有某种结构,基于该结构,外部接触部借助于电阻器相互连接。因此,电阻器能具有例如形成多次弯曲轨迹的形式。

[0037] 根据制造方法的一个实施例,多个电阻器作为层施加到堆叠的端面。一个或多个电极层能布置在两个相应的电阻层之间,或者相应的电阻层与能接触到外部接触部的一个或多个电极层一起印刷。

[0038] 接触到电阻层上和 / 或其之间的外部接触部的电极层的制造能用于微调包括电阻层的电阻器的值。这能与从电阻器的至少一个电阻层去除电阻材料一起实现。

[0039] 所述主题将基于下面的图形和示范实施例更详细地解释。在此情况下,在图形中:

[0040] 图 1 示出实施为带有电阻器顶层的阵列的电气多层组件的透视图,

[0041] 图 2 示出根据图 1,带有外部接触部的电气多层组件的透视图,

[0042] 图 3 示出图 1 和 2 所示的电气多层组件的透视图,其中,顶侧上的电阻层具有材料去除区域,

[0043] 图 4 示出电气多层组件的区域的横截面图,其中,包括多个电阻层的电阻器布置有电极层,

[0044] 图 5 示出电气多层组件的区域的横截面图,其中,包括多个电阻层的电阻器在不同的电阻层上布置有电极层。

[0045] 图 1 示出具有介电层 2 的堆叠 1 的电气多层组件。在堆叠的相应介电层 2 上,多个电极层 3 以相互间隔一定的距离布置。在此情况下,电极层以堆叠顺序与介电层 2 交替,其中,形成多个电极层堆叠,其电极在每种情况下能接触到相同极性的外部接触部。在此情况下,它们由相应末端一直引导到侧面,即,与堆叠方向平行延伸的堆叠的侧面。外部接触部在此图中未示出以使电极层的位置可被看到。

[0046] 包括多个电阻层 4a 的电阻器或电阻体 4 布置在下文也称为顶面的堆叠 1 的端面上。相互间隔的多个电极层 3a 布置在至少一个电阻层 4a 上,在此情况下,是在连接到堆叠 1 的顶面的电阻层 4a 上,该电极层在每种情况下能接触到相同极性的外部接触部。

[0047] 电极层 3 的所示堆叠每个示出相同极性的电极层的末端,这些末端一直被引导到

多层组件的侧面。在多层组件的相对侧上,提供了另外两个电极层堆叠(不可见),其相应的电极层同样由相应末端一直引导到相对侧面(相对于图形而言,这能视为多层组件的后侧面),其中,与图中所示电极层相比,这些电极层在每种情况下属于相反极性。因此,介电层 2 能与四个电极层印刷在一起,这些电极层在每种情况下以方形相互间隔一定的距离布置。在电极层的不同堆叠中相反极性的电极层 3 在堆叠方向上部分重叠,其中,在这些电极层之间存在介电层的介电质。因此,在根据图 1 的多层组件中,在每种情况下,借助于在不同电极层堆叠中相反极性的电极层的重叠,形成两个多层电容。

[0048] 被引导到相应侧面的电极层堆叠的电极层 3 的这些末端相对于彼此、相对堆叠方向带有最低横向偏移布置。因此,相同极性的电极层 3 的整个堆叠能接触到尽可能狭窄地实施的外部接触部。如果电极层是矩形,则通过此类形式,它们以其堆叠的横向不偏移方式具有相互最大重叠区,这促进了更高电容的生成。

[0049] 在平面地连接到堆叠 1 的顶面的其电阻层 4a 上,电阻器 4 同样地具有相互间隔一定距离呈矩形布置的四个电极层 4a。电阻体 4 的相应电极层 3a 通过一个末端接触到外部接触部。电阻器的电极层 3a 能降低其电阻值,其用于微调电阻值。

[0050] 优选是电阻器 4 的电极层 3a 与堆叠 1 的电极层 3 相对于多层组件的堆叠方向布置在同一条线中。因此,外部接触部能与所有电极层接触,被引导到组件的侧面的电极层 3 或 3a 的末端区域不会仍然无接触。

[0051] 电阻层 4a 由例如尖晶石 ZnMn_2O_4 组成。

[0052] 电阻器的电极层 3a 能包含与堆叠 1 的电极层 3 相同的材料。

[0053] 通过适当选择在电阻器 4 中布置的电极层 3a 的结构和数量,能设置有效电阻与串扰电阻的比率,使得多层组件的滤波器功能的损害被降到最低。有效电阻是由电阻体 4 或电阻层 4a 形成的所需电阻,特别是在多层组件实施为根据图 1 的阵列的情况下。相反,串扰电阻是多层组件中的寄生或不需要的电阻,具体而言,指在多层组件的电阻层 4a 之间生成,并损害多层组件的滤波器功能的此类电阻。

[0054] 图 2 示出根据图 1 的多层组件,其中示出了外部接触部 5a 和 5b,接触部横向包围多层组件,并分别在多层组件的两个端面具有区域。具体而言,它们每个具有在电阻器 4 的端面上或电阻器的端电阻层 4a 上的区域、覆盖或接触电极层 3a 和 3 的末端的区域以及还有在远离电阻器的堆叠 1 的端面上的区域。外部接触部 5a 和 5b 通过包括电极层 3a 的电阻器 4 相互连接。

[0055] 图 3 示出根据图 1 和 2 的多层组件,不同之处在于电阻器 4 具有材料去除区域 6,这些区域例如使用激光,借助于材料去除方法制成。材料去除区域 6 由相互平行延伸的结构槽形成,这些结构槽与电阻器中集成的电极层 3a 的纵向侧并排平行延伸。优选的是,电阻器的电极层 3a 仍然被电阻材料围绕。在电阻器的部分材料去除后仍包括电阻材料和电极层 3a 的电阻器的区域实施为相对于结构槽的台面结构 (mesastructure) 7。包括电阻材料和电极层的电阻器的台面结构 7 连接位置呈直线相互相对的外部接触部 5a 和 5b。连接到外部接触部的电阻器的台面结构优选在每种情况下在其末端、部分地由接触部包围。

[0056] 图 4 示出包括具有多个电阻层 4a 的电阻器的电气多层组件的区域的截面图。在堆叠方向上相邻的两个电阻层 4a 之间,在较低电阻层 4a 上布置了位置相互相对的多个电极层 3a。其向内定向的末端相互之间有间隔。截面图示出在每种情况下,通过引导向相应

侧面的末端,分别连接到外部接触部 5a 和 5b 的两个电极层。然而,在相同的电阻层 4a 上能提供其它电极层 3a,这些其它电极层以相同的方式接触外部接触部。

[0057] 图 5 示出包括具有多个电阻层 4a 的电阻器 4 的电气多层组件的区域的截面图,其中,电极层在正交投影中部分重叠。在此情况下,能在每个电阻层上施加通过一个末端连接到外部接触部的至少一个电极层 3a,该至少一个电极层与在另一电阻层上施加的又一电极层形成重叠区。

[0058] 标号列表

- | | | |
|--------|----|-------------------------|
| [0059] | 1 | 介电层和电极层的堆叠 |
| [0060] | 2 | 介电层 |
| [0061] | 3 | 电极层 |
| [0062] | 3a | 电阻器中集成的电极层 |
| [0063] | 4 | 电阻器 |
| [0064] | 4a | 电阻层 |
| [0065] | 5a | 第一外部接触部 |
| [0066] | 5b | 与第一外部接触部相比,极性相反的第二外部接触部 |
| [0067] | 6 | 电阻器的结构槽 |
| [0068] | 7 | 电阻器的台面结构 |

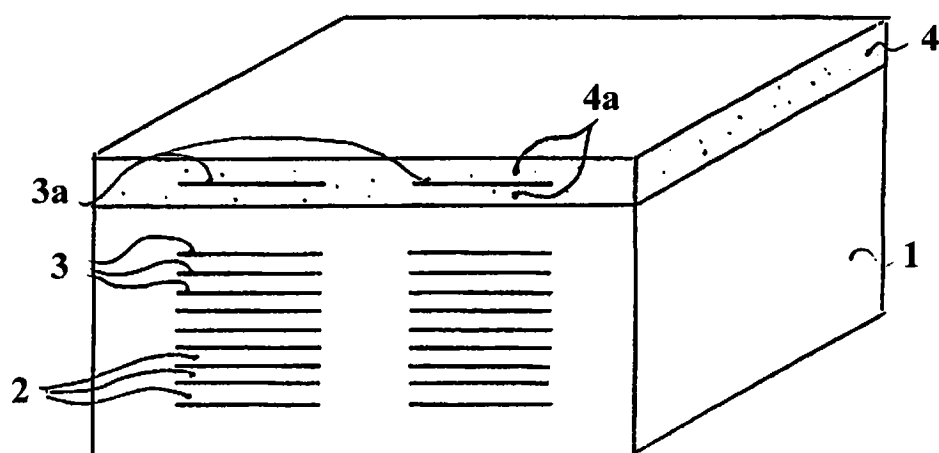


图 1

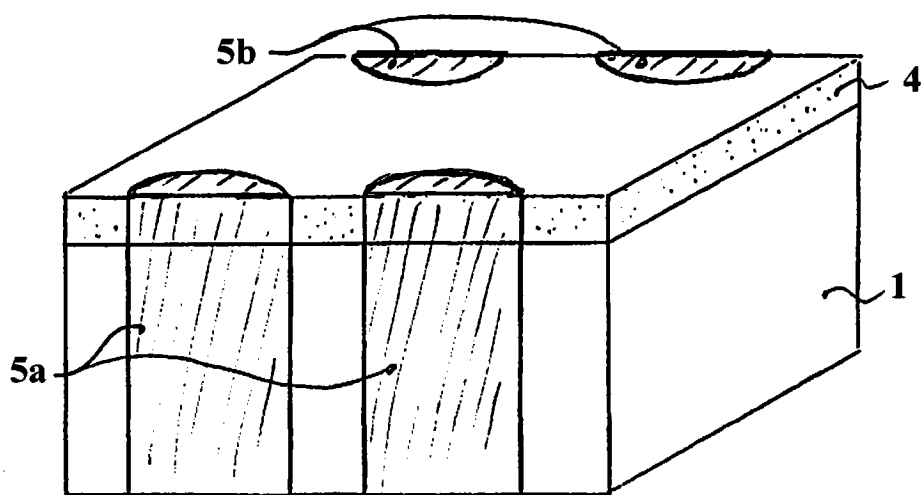


图 2

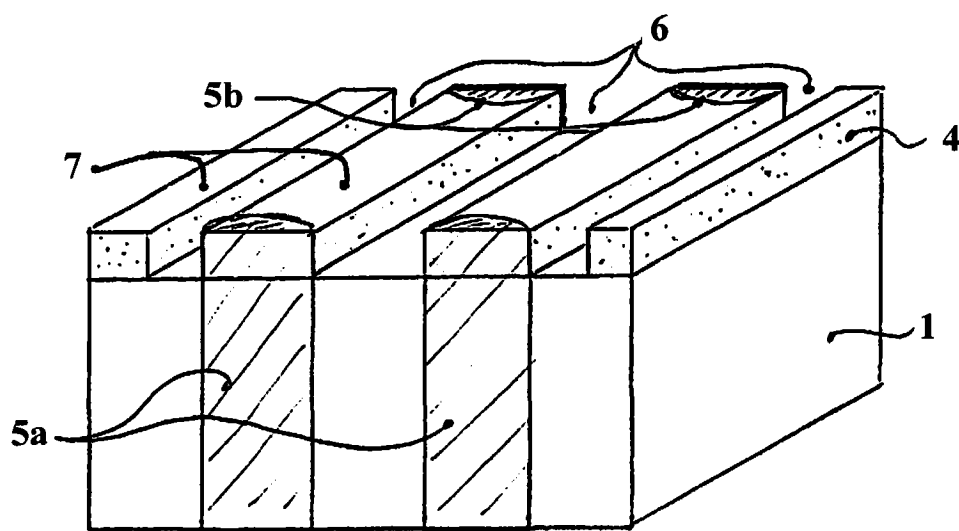


图 3

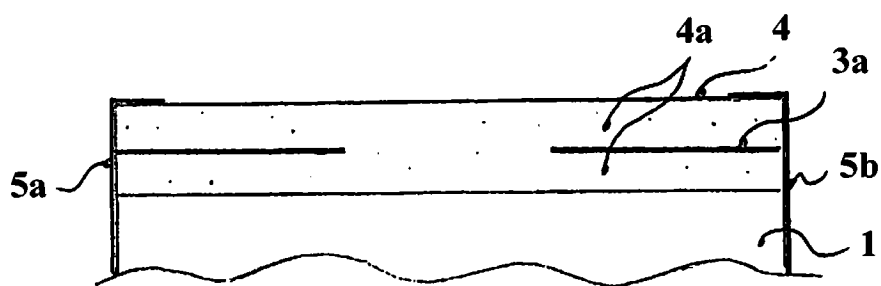


图 4

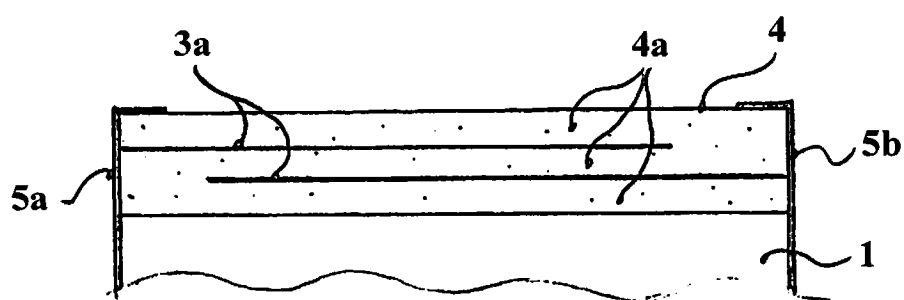


图 5