

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5361176号  
(P5361176)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl. F I  
**HO 2 M 3/07 (2006.01)** HO 2 M 3/07  
**HO 1 L 21/822 (2006.01)** HO 1 L 27/04 G  
**HO 1 L 27/04 (2006.01)**

請求項の数 1 (全 28 頁)

(21) 出願番号	特願2007-313290 (P2007-313290)	(73) 特許権者	000153878
(22) 出願日	平成19年12月4日(2007.12.4)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-172997 (P2008-172997A)		神奈川県厚木市長谷398番地
(43) 公開日	平成20年7月24日(2008.7.24)	(72) 発明者	伊藤 雅典
審査請求日	平成22年11月24日(2010.11.24)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-335643 (P2006-335643)		半導体エネルギー研究所内
(32) 優先日	平成18年12月13日(2006.12.13)		
(33) 優先権主張国	日本国(JP)	審査官	今井 貞雄
		(56) 参考文献	特開2006-109429(JP, A)
			)
			特開2006-203187(JP, A)
			)
			特開2006-034085(JP, A)
			)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

昇圧回路と、アンテナと、二次電池と、を有し、  
 前記昇圧回路は、 $n$ 個( $n$ :自然数、 $3 \leq n$ )のダイオードと、 $n-1$ 個の容量素子と、  
 を有し、  
 前記 $n$ 個のダイオードのうちの第1のダイオードの入力端子には、前記アンテナからの  
 第1の電位を供給する手段が電氣的に接続され、  
 前記 $n$ 個のダイオードのうちの第 $m$ ( $m$ :自然数、 $2 \leq m \leq n$ )のダイオードの入力端  
 子には、前記 $n-1$ 個の容量素子のうちの第 $m-1$ の容量素子の一方の端子が電氣的に接  
 続され、且つ前記 $n$ 個のダイオードのうちの第 $m-1$ のダイオードの出力端子が電氣的に  
 接続され、  
 前記 $n-1$ 個の容量素子の他方の端子には、第3の電位と、前記二次電池からの第2の  
 電位とを選択的に供給する電位供給手段が電氣的に接続され、  
 前記電位供給手段は、前記 $n-1$ 個の容量素子のうちの第 $2k$ ( $k$ :自然数、 $2k \leq n-1$ )  
 の容量素子の他方の端子に前記第2の電位を供給するときには、前記 $n-1$ 個の容  
 量素子のうちの第 $2k-1$ ( $k$ :自然数、 $2k-1 \leq n-1$ )の容量素子の他方の端子に  
 前記第3の電位を供給し、前記第 $2k$ の容量素子の他方の端子に前記第3の電位を供給す  
 るときには、前記第 $2k-1$ の容量素子の他方の端子に前記第2の電位を供給する手段で  
 あることを特徴とする半導体装置。

10

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、昇圧回路及び昇圧回路を用いた半導体装置に関する。

## 【背景技術】

## 【0002】

近年、データを無線で送受信する無線チップの開発が盛んに進められている。データを送受信する無線チップは、RFID(Radio Frequency Identification)タグ、RFタグ、RFチップ、無線タグ、無線プロセッサ、無線メモリ、IC(Integrated Circuit)タグ、ICラベル、電子タグ、電子チップ等と呼ばれ、現在実用化されているものは、シリコン基板を用いたものが主流である。

10

## 【0003】

上記データを無線で送受信する無線チップ(以下、RFIDタグと称する)においては、無線により得た電力により内部の回路を動作させる構成が一般的になっている。当該構成においては、アンテナからの電力を、電源回路や定電圧回路等を介して用いることにより、各回路を動作させている。つまり、電源がアンテナ回路からの一系統に限られているといえる。

## 【0004】

一方、RFIDタグが高機能化するにつれて、動作に高電圧を要する回路を搭載することが求められるようになる。例えば、フローティングゲート型の不揮発性メモリをRFIDタグに搭載する場合、電源回路や定電圧回路から供給される電力の高電圧化が必須である。これは、データの書き込み時に高電圧を必要とする不揮発性メモリの原理に起因するものであり、上記メモリを用いる限り、高電圧化を回避することは難しい。当該高電圧の要求を満たすために、RFIDタグに昇圧回路を設ける構成が考えられている(特許文献1参照)。

20

【特許文献1】特開2006-109429号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

30

図14は4段の昇圧を行う昇圧回路の一例である。図14(A)において、第1のダイオード1402の入力端子の電位は電源電位V<sub>dd</sub>であり、第1のダイオード1402の出力端子には第2のダイオード1404の入力端子及び第1の容量素子1412の一方の端子が接続されている。同様に、第2のダイオード1404の出力端子には第3のダイオード1406の入力端子及び第2の容量素子1414の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第nのダイオードの出力端子には第nの容量素子の一方の端子が接続されているということもできる(n:自然数)。また、第n-1のダイオードの出力端子には第nのダイオードの入力端子が接続されている。なお、第5のダイオード1410の出力端子は第5の容量素子の一方の端子と接続されており、これが昇圧回路の出力端子V<sub>out</sub>となっている。

40

## 【0006】

さらに、第1の容量素子1412の他方の端子及び第3の容量素子1416の他方の端子は、バッファ回路1422の出力端子及びインバータ回路1424の入力端子に接続されている。また、第2の容量素子1414の他方の端子及び第4の容量素子1418の他方の端子は、インバータ回路1424の出力端子に接続されている。すなわち、第2k-1の容量素子はバッファ回路1422の出力端子及びインバータ回路1424の入力端子に接続され、第2kの容量素子はインバータ回路1424の出力端子に接続されることができる(k:自然数)。ただし、第5の容量素子1420の他方の端子の電位としては接地電位GNDが入力される。また、バッファ回路1422の入力端子にはクロックパルスCLKが入力される。なお、本明細書においては、トランジスタを用いたCMO

50

Sインバータ回路を特にインバータ回路と称するが、NOT回路としての機能を有する回路であれば昇圧回路は機能するため、特にこれを用いることに限られるものではない。

【0007】

図14(B)は図14(A)におけるバッファ回路1422を詳細に見た場合の一例であり、図14(C)は図14(A)におけるインバータ回路1424を詳細に見た場合の一例である。

【0008】

バッファ回路1422は2段のインバータ回路が直列に接続した構成となっている。具体的には、p型トランジスタ1432、1442、及びn型トランジスタ1434、1444により構成されている。ここで、クロックパルスCLKは、p型トランジスタ1432のゲート電極及びn型トランジスタ1434のゲート電極に入力される。また、p型トランジスタ1432のソース電極及びドレイン電極の一方には電源電位Vddが入力され、n型トランジスタ1434のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ1432のソース電極及びドレイン電極の他方は、n型トランジスタ1434のソース電極及びドレイン電極の他方と接続され、次段のインバータ回路を構成するp型トランジスタ1442のゲート電極及びn型トランジスタ1444のゲート電極に入力される。

【0009】

p型トランジスタ1442及びn型トランジスタ1444の接続関係については、p型トランジスタ1432及びn型トランジスタ1434の関係と概ね同様である。p型トランジスタ1442のソース電極及びドレイン電極の一方には電源電位Vddが入力され、n型トランジスタ1444のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ1442のソース電極及びドレイン電極の他方は、n型トランジスタ1444のソース電極及びドレイン電極の他方と接続され、出力端子となる。そして、該出力端子からout1が出力される。

【0010】

インバータ回路1424は、p型トランジスタ1452及びn型トランジスタ1454により構成されている。ここで、バッファ回路1422の出力端子は、p型トランジスタ1452のゲート電極及びn型トランジスタ1454のゲート電極に接続される。そして、バッファ回路1422の出力out1が、インバータ回路1424に入力される。また、p型トランジスタ1452のソース電極及びドレイン電極の一方には電源電位Vddが入力され、n型トランジスタ1454のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ1452のソース電極及びドレイン電極の他方は、n型トランジスタ1454のソース電極及びドレイン電極の他方と接続され、インバータ回路の出力端子となる。そして、該出力端子からout2が出力される。

【0011】

クロックパルスCLKがHighである場合、バッファ回路1422のp型トランジスタ1432がOFFとなりn型トランジスタ1434がONとなるため、p型トランジスタ1442及びn型トランジスタ1444のゲート電極には接地電位GND、つまりLowが入力される。これにより、バッファ回路1422のp型トランジスタ1442がONし、n型トランジスタ1444がOFFするため、バッファ回路の出力out1は電源電位Vdd、つまりHighとなる。このとき、インバータ回路1424の入力端子がHighであるから、p型トランジスタ1452がOFFとなりn型トランジスタ1454がONとなるため、インバータ回路の出力out2はLowとなる。反対に、クロックパルスCLKがLowである場合には、バッファ回路の出力out1はLowであり、インバータ回路の出力out2はHighである。

【0012】

クロックパルスCLKがHighである場合、バッファ回路1422の出力out1はHighであるから、第1の容量素子1412及び第3の容量素子1416が充電され、ノードN1及びノードN3の電位が所定の値まで引き上げられる。これに伴い、第2のダ

10

20

30

40

50

イオード1404及び第4のダイオード1408を通じて電荷が流れ、ノードN2及びノードN4の電位が所定の値まで引き上げられる。次にクロックパルスCLKがLowになると、バッファ回路1422の出力out1はLowとなり、インバータ回路1424の出力out2がHighとなるから、ノードN2及びノードN4の電位がさらに引き上げられる。したがって、ノードN3及びノードN5の電位が所定の電位まで引き上げられる。このように、それぞれのノードにおける電位が $V_{N5} > V_{N4} > V_{N3} > V_{N2} > V_{N1} > V_{dd}$ となることにより、昇圧が行われる。

#### 【0013】

図15に昇圧回路を用いたRFIDタグの構成の一例を示す。アンテナ1502が電源回路1504の入力端子に接続され、電源回路1504の出力端子は定電圧回路1506 10の入力端子に接続されている。また、定電圧回路1506の出力端子は昇圧回路1508、ロジック回路1510、アナログ回路1512に接続され、昇圧回路1508の出力端子はメモリ回路1514に接続されている。なお、図15に示す構成は電力の流れを明確にするための模式図であり、図15に示した接続関係以外にも複数の接続関係が存在している。

#### 【0014】

ここで、昇圧回路1508における容量素子は、その容量が大きいと、これを充電するためには大きな電力を必要とする。また、昇圧に用いるクロックパルスはMHz域付近のものであるため、高速な充電を行う必要がある。つまり、昇圧回路に用いられるバッファ回路やインバータ回路の電源としては、高速且つ大容量の容量素子の充電に耐えうるものでなくてはならない。ところが、無線により得ることができる電力は決して大きなものではなく、昇圧回路の動作により定電圧回路1506の出力は大きく低下してしまう。すなわち、ロジック回路1510やアナログ回路1512の動作が不安定になってしまう。具体的には、パルスの立ち上がりが遅くなることに起因するタイミング違反、リセット信号の生成不良、メモリの読み出し不良等の問題が発生してしまう。

#### 【0015】

また、図14に示した従来の昇圧回路においては4段の昇圧を行っているが、昇圧能力を高めるためにはさらに多段の昇圧を行うか、もしくは、個々の容量素子の容量値を大きくする必要がある。つまり、より一層の電力供給能力が必要になる。

#### 【0016】

上記問題点に鑑み、本発明は、使用時における電源電位の安定化を図ることが可能な昇圧回路を提供することを課題とする。

#### 【0017】

また、回路動作の安定性を向上した半導体装置を提供することを課題とする。

#### 【課題を解決するための手段】

#### 【0018】

本発明は、昇圧回路における昇圧の基準電位となる電位を供給する電源とは別に、昇圧回路の容量素子を充電するための電源を設ける。より詳細には、バッファ回路又はインバータ回路に電力を供給するための電源を別途設ける。これにより、昇圧の基準電位を供給する電源への負荷を低減させることができる。

#### 【0019】

さらに、本発明は、昇圧回路の容量素子を充電するための電力として、アンテナから供給される電力ではなく、二次電池から供給される電力を用いる。より詳細には、バッファ回路又はインバータ回路に電力を供給するための電源として、二次電池を用いる。これにより、アンテナから供給される電力の安定化を図ることができる。すなわち、ロジック回路やアナログ回路の動作を安定化することができる。なお、本発明における二次電池としては、電磁波を受信することにより無線（非接触）にて充電が可能な二次電池を主たる対象としているが、これに限られるものではない。つまり、本発明において、有線（接触）により直接的に電力の供給を受けて充電を行う二次電池を用いることも可能である。もちろん、電力の供給を安定して行うという本発明の目的上、電源は二次電池に限られず、一

10

20

30

40

50

次電池を用いても良い。

【0020】

本発明に係る昇圧回路の構成の一は、第1の電源の電位を高める昇圧回路であって、昇圧回路の容量素子に入力される電位を、第2の電源から供給することを特徴とする。

【0021】

本発明に係る昇圧回路の構成の他の一は、第1の電源の電位を高める昇圧回路であって、第2の電源の電位又は第3の電源の電位のいずれかを昇圧回路の容量素子に選択的に供給する手段を有することを特徴とする。

【0022】

本発明に係る昇圧回路の構成の他の一は、入力から出力への整流作用を示す第1のダイオード及び第2のダイオードと、容量素子と、を少なくとも有し、第1のダイオードの出力側は第2のダイオードの入力側及び容量素子の一方の端子と接続され、第1のダイオードの入力は第1の電位であり、容量素子の他方の端子の電位は第2の電位又は第3の電位であり、第1の電位は第1の電源から供給され、第2の電位は第2の電源から供給されることを特徴とする。

10

【0023】

本発明に係る昇圧回路の構成の他の一は、直列に接続された $n$ 個( $n$ :整数、 $2 \leq n$ )のダイオードと、 $n-1$ 個の容量素子と、を有し、第1のダイオードの入力端子には第1の電位を供給する手段が接続され、第 $m$ ( $m$ :自然数、 $2 \leq m \leq n$ )のダイオードの入力端子には第 $m-1$ の容量素子の一方の端子が接続され、 $n-1$ 個の容量素子の他方の端子には第2の電位又は第3の電位を選択的に供給する手段が接続され、第1の電位は第1の電源から供給され、第2の電位は第2の電源から供給されることを特徴とする。

20

【0024】

本発明に係る昇圧回路の構成の他の一は、直列に接続された $n$ 個( $n$ :整数、 $2 \leq n$ )のダイオードと、 $n$ 個の容量素子と、を有し、第1のダイオードの入力端子には第1の電位を供給する手段が接続され、第 $m$ ( $m$ :自然数、 $1 \leq m \leq n$ )のダイオードの出力端子には第 $m$ の容量素子の一方の端子が接続され、第1乃至第 $n-1$ の容量素子の他方の端子には第2の電位又は第3の電位を選択的に供給する手段が接続され、第 $n$ の容量素子の他方の端子には第3の電位を供給する手段が接続され、第1の電位は第1の電源から供給され、第2の電位は第2の電源から供給されることを特徴とする。

30

【0025】

本発明に係る昇圧回路の構成の他の一は、直列に接続された $n$ 個( $n$ :整数、 $3 \leq n$ )のダイオードと、 $n-1$ 個の容量素子と、を有し、第1のダイオードの入力端子には第1の電位を供給する手段が接続され、第 $m$ ( $m$ :自然数、 $2 \leq m \leq n$ )のダイオードの入力端子には第 $m-1$ の容量素子の一方の端子が接続され、 $n-1$ 個の容量素子の他方の端子には第2の電位又は第3の電位を選択的に供給する電位供給手段が接続され、電位供給手段は、第 $2k$ ( $k$ :自然数、 $2k \leq n-1$ )の容量素子の他方の端子に第2の電位を供給するときには、第 $2k-1$ ( $k$ :自然数、 $2k-1 \leq n-1$ )の容量素子の他方の端子に第3の電位を供給し、第 $2k$ の容量素子の他方の端子に第3の電位を供給するときには、第 $2k-1$ の容量素子の他方の端子に第2の電位を供給する手段であることを特徴とする。

40

【0026】

本発明に係る昇圧回路の構成の他の一は、直列に接続された $n$ 個( $n$ :整数、 $3 \leq n$ )のダイオードと、 $n$ 個の容量素子と、を有し、第1のダイオードの入力端子には第1の電位を供給する手段が接続され、第 $m$ ( $m$ :自然数、 $1 \leq m \leq n$ )のダイオードの出力端子には第 $m$ の容量素子の一方の端子が接続され、第1乃至第 $n-1$ の容量素子の他方の端子には第2の電位又は第3の電位を選択的に供給する電位供給手段が接続され、第 $n$ の容量素子の他方の端子には第3の電位を供給する手段が接続され、電位供給手段は、第 $2k$ ( $k$ :自然数、 $2k \leq n-1$ )の容量素子の他方の端子に第2の電位を供給するときには、第 $2k-1$ ( $k$ :自然数、 $2k-1 \leq n-1$ )の容量素子の他方の端子に第3の電位を供

50

給し、第2kの容量素子の他方の端子に第3の電位を供給するときには、第2k-1の容量素子の他方の端子に第2の電位を供給する手段であることを特徴とする昇圧回路。

【0027】

上記構成において、第3の電位は接地電位とすることができる。また、選択的に供給する手段（電位供給手段）は、第2の電位又は第3の電位を交互に供給できることが好ましい。

【0028】

また、上記構成において、選択的に供給する手段（電位供給手段）として、バッファ回路又はインバータ回路を有していても良い。また、第2の電源として一次電池又は二次電池を用いても良い。また、第1の電源として一次電池又は二次電池を用いても良い。二次電池を用いる場合には無線により電力の供給を受けて充電される二次電池を用いることが好ましい。

【0029】

本発明に係る半導体装置の構成の一は、アンテナからの第1の電位を高める昇圧回路を有する半導体装置であって、昇圧回路の容量素子に入力される電位を、二次電池からの第2の電位とすることを特徴とする。

【0030】

本発明に係る半導体装置の構成の他の一は、アンテナからの第1の電位を高める昇圧回路を有する半導体装置であって、二次電池からの第2の電位、又は第3の電位のいずれかを昇圧回路の容量素子に選択的に供給する手段を有することを特徴とする。

【0031】

本発明に係る半導体装置の構成の他の一は、直列に接続された $n$ （ $n$ ：整数、 $2 \leq n$ ）個のダイオードと、 $n-1$ 個の容量素子と、を有し、第1のダイオードの入力端子にはアンテナからの第1の電位が供給され、第 $m$ （ $m$ ：自然数、 $2 \leq m \leq n$ ）のダイオードの入力端子には第 $m-1$ の容量素子の一方の端子が接続され、 $n-1$ 個の容量素子の他方の端子には二次電池からの第2の電位、又は第3の電位を選択的に供給する手段が接続されることを特徴とする。

【0032】

本発明に係る半導体装置の構成の他の一は、直列に接続された $n$ （ $n$ ：整数、 $2 \leq n$ ）個のダイオードと、 $n$ 個の容量素子と、を有し、第1のダイオードの入力端子にはアンテナからの第1の電位が供給され、第 $m$ （ $m$ ：自然数、 $1 \leq m \leq n$ ）のダイオードの出力端子には第 $m$ の容量素子の一方の端子が接続され、第1乃至第 $n-1$ 個の容量素子の他方の端子には二次電池からの第2の電位、又は第3の電位を選択的に供給する手段が接続され、第 $n$ の容量素子の他方の端子には第3の電位を供給する手段が接続されることを特徴とする。

【0033】

本発明に係る半導体装置の構成の他の一は、直列に接続された $n$ 個（ $n$ ：整数、 $3 \leq n$ ）のダイオードと、 $n-1$ 個の容量素子と、を有し、第1のダイオードの入力端子にはアンテナからの第1の電位が供給され、第 $m$ （ $m$ ：自然数、 $2 \leq m \leq n$ ）のダイオードの入力端子には第 $m-1$ の容量素子の一方の端子が接続され、 $n-1$ 個の容量素子の他方の端子には二次電池からの第2の電位、又は第3の電位を選択的に供給する電位供給手段が接続され、電位供給手段は、第 $2k$ （ $k$ ：自然数、 $2 \leq k \leq n-1$ ）の容量素子の他方の端子に第2の電位を供給するときには、第 $2k-1$ （ $k$ ：自然数、 $2 \leq k-1 \leq n-1$ ）の容量素子の他方の端子に第3の電位を供給し、第 $2k$ の容量素子の他方の端子に第3の電位を供給するときには、第 $2k-1$ の容量素子の他方の端子に第2の電位を供給する手段であることを特徴とする。

【0034】

本発明に係る半導体装置の構成の他の一は、直列に接続された $n$ 個（ $n$ ：整数、 $3 \leq n$ ）のダイオードと、 $n$ 個の容量素子と、を有し、第1のダイオードの入力端子にはアンテナからの第1の電位が供給され、第 $m$ （ $m$ ：自然数、 $1 \leq m \leq n$ ）のダイオードの出力端

10

20

30

40

50

子には第 $m$ の容量素子の一方の端子が接続され、第1乃至第 $n - 1$ の容量素子の他方の端子には二次電池からの第2の電位、又は第3の電位を選択的に供給する電位供給手段が接続され、第 $n$ の容量素子の他方の端子には第3の電位を供給する手段が接続され、電位供給手段は、第 $2k$  ( $k$ : 自然数、 $2k \leq n - 1$ ) の容量素子の他方の端子に第2の電位を供給するときには、第 $2k - 1$  ( $k$ : 自然数、 $2k - 1 \leq n - 1$ ) の容量素子の他方の端子に第3の電位を供給し、第 $2k$ の容量素子の他方の端子に第3の電位を供給するときには、第 $2k - 1$ の容量素子の他方の端子に前記第2の電位を供給する手段であることを特徴とする。

【0035】

上記構成において、第3の電位は接地電位とすることができる。また、選択的に供給する手段(電位供給手段)は、第2の電位又は第3の電位を交互に供給することが好ましい。

10

【0036】

また、上記構成において、選択的に供給する手段(電位供給手段)は、バッファ回路又はインバータ回路を有していても良い。また、上記構成において、二次電池は、無線により電力の供給を受けて充電される二次電池であることが好ましい。また、上記構成において、アンテナからの電位、の代わりに、無線により電力の供給を受けて充電される二次電池からの電位、を用いる構成としても良い。

【発明の効果】

【0037】

20

本発明の昇圧回路を用いることにより、他の回路に供給する電力の安定化を図ることができる。これにより、他の回路の動作不良を低減することができる。

【0038】

また、本発明の昇圧回路を用いて半導体装置を作製することにより、アンテナから供給される電力の安定化を図ることができる。これにより、他の回路の動作不良を低減することができる。また、半導体装置外部への応答出力が低下することを防止できる。すなわち、通信距離を向上することができる。また、アンテナから供給される電力を用いる場合と比較して大きな電力を用いることができるため、昇圧回路の昇圧能力を向上することができる。

【0039】

30

さらに、第2の電源は電源電位が低下しないか、又は電源電位の低下がごく僅かであるため、昇圧回路を構成する容量素子の充電を高速に行うことができ、昇圧時間を短縮することができる。また、昇圧回路への電力供給を別系統とすることにより、他の回路に要求される電力の条件を緩和することができるため、他の回路の規模を拡大することができる。第2の電源として一次電池や二次電池を用いる場合には、電源に起因するノイズを低減することもできる。

【0040】

さらに、第2の電源として、無線によって充電可能な二次電池を用いることにより、煩雑な充電作業が不要になる。また、一次電池を用いる場合と比較して、経時的な劣化は極わずかであり、電池の交換作業も不要である。

40

【発明を実施するための最良の形態】

【0041】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

【0042】

本発明における半導体装置は、使用する周波数モードを選ばず、例えば長波帯(135 kHz等)、短波帯(6.78 MHz、13.56 MHz、27.125 MHz、40.5

50

68MHz等)、超短波帯(433.92MHz、869.0MHz、915.0MHz等)、マイクロ波帯(2.45GHz、5.8GHz、24.125GHz等)等、いかなる周波数モードを使用する半導体装置においても適用することができる。通信距離や指向性等の要求に応じて、適宜周波数モードを選択すれば良い。

【0043】

なお、本明細書において、単に「接続」という場合には、電氣的に接続される状態を指すものとする。例えば「端子と配線とが接続される」とは、端子と配線が電氣的に接続されている状態を指すものとし、端子と配線の間に何らかの素子を有する構成を排除するものではない。また、本明細書において、トランジスタを用いたCMOSインバータ回路を特にインバータ回路と称しているが、NOT回路としての機能を有する他の回路に置き換えることも可能であり、CMOSインバータ回路に特に限られるものではない。

10

【0044】

また、本明細書において「入力端子」又は「出力端子」の用語は、「外部からの信号を受け入れるための構造」又は「回路からの信号を外部に出すための構造」を意味するものであって、現実には「端子」が存在することを要求するものではない。つまり、「回路Aの出力端子が回路Bの入力端子と接続されている」という場合には、単に、回路Aの出力信号が回路Bの入力信号となることを意味するにすぎない。

【0045】

(実施の形態1)

本実施の形態では、本発明の昇圧回路の基本的な構成を図1及び2を用いて以下に説明する。

20

【0046】

図1に4段の昇圧を行う本発明の昇圧回路の一例を示す。図1(A)において、第1のダイオード102の入力端子の電位は電源電位Vddであり、第1のダイオード102の出力端子には第2のダイオード104の入力端子及び第1の容量素子112の一方の端子が接続されている。同様に、第2のダイオード104の出力端子には第3のダイオード106の入力端子及び第2の容量素子114の一方の端子が接続されている。また、同様に、第3のダイオード106の出力端子には第4のダイオード108の入力端子及び第3の容量素子116の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第nのダイオードの出力端子には第nの容量素子の一方の端子が接続されているということもできる(n:自然数)。また、第n-1のダイオードの出力端子には第nのダイオードの入力端子が接続されている。なお、第5のダイオード110の出力端子は第5の容量素子の一方の端子と接続されており、これが昇圧回路の出力端子Voutとなっている。

30

【0047】

さらに、第1の容量素子112の他方の端子及び第3の容量素子116の他方の端子は、バッファ回路122の出力端子及びインバータ回路124の入力端子に接続されている。また、第2の容量素子114の他方の端子及び第4の容量素子118の他方の端子は、インバータ回路124の出力端子に接続されている。すなわち、第2k-1の容量素子はバッファ回路122の出力端子及びインバータ回路124の入力端子に接続され、第2kの容量素子はインバータ回路124の出力端子に接続されることができる(k:自然数)。ただし、第5の容量素子120の他方の端子の電位としては接地電位GNDが入力される。バッファ回路122の入力端子にはクロックパルスCLKが入力される。

40

【0048】

図1(B)は図1(A)におけるバッファ回路122を詳細に見た場合の一例であり、図1(C)は図1(A)におけるインバータ回路124を詳細に見た場合の一例である。

【0049】

バッファ回路122は2段のインバータ回路が直列に接続した構成となっている。具体的には、p型トランジスタ132、142、及びn型トランジスタ134、144により構成されている。ここで、クロックパルスCLKは、p型トランジスタ132のゲート電

50



極及びn型トランジスタ134のゲート電極に入力される。また、p型トランジスタ132のソース電極及びドレイン電極の一方には電源電位V<sub>dd</sub>とは異なる電源電位V'が入力され、n型トランジスタ134のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ132のソース電極及びドレイン電極の他方は、n型トランジスタ134のソース電極及びドレイン電極の他方と接続され、次段のインバータ回路を構成するp型トランジスタ142のゲート電極及びn型トランジスタ144のゲート電極に入力される。

#### 【0050】

p型トランジスタ142及びn型トランジスタ144の接続関係については、p型トランジスタ132及びn型トランジスタ134の関係を概ね同様である。p型トランジスタ142のソース電極及びドレイン電極の一方には電源電位V<sub>dd</sub>とは異なる電源電位V'が入力され、n型トランジスタ144のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ142のソース電極及びドレイン電極の他方は、n型トランジスタ144のソース電極及びドレイン電極の他方と接続され、出力端子となる。そして、該出力端子からout1が出力される。

#### 【0051】

インバータ回路124は、p型トランジスタ152及びn型トランジスタ154により構成されている。ここで、バッファ回路122の出力端子は、p型トランジスタ152のゲート電極及びn型トランジスタ154のゲート電極に接続される。そして、バッファ回路122の出力out1が、インバータ回路124に入力される。また、p型トランジスタ152のソース電極及びドレイン電極の一方には電源電位V<sub>dd</sub>とは異なる電源電位V'が入力され、n型トランジスタ154のソース電極及びドレイン電極の一方には接地電位GNDが入力される。そして、p型トランジスタ152のソース電極及びドレイン電極の他方は、n型トランジスタ154のソース電極及びドレイン電極の他方と接続され、インバータ回路の出力端子となる。そして、該出力端子からout2が出力される。

#### 【0052】

ここで重要なのは、バッファ回路122及びインバータ回路124に入力される電源電位V'が電源電位V<sub>dd</sub>を出力する電源とは異なる電源から出力されるという点である。これにより、昇圧回路を構成する容量素子の充電を、電源電位V<sub>dd</sub>を出力する電源とは異なる電源の出力により行うことができるため、電源電位V<sub>dd</sub>の安定化を図ることができる。つまり、電源電位V<sub>dd</sub>を用いる他の回路を、安定に動作させることができるようになる。なお、上記記載は、電源電位V'が電源電位V<sub>dd</sub>と等しい構成を除く旨を意図するものではない。

#### 【0053】

以下に、本実施の形態の昇圧回路の動作について説明する。クロックパルスCLKがHighである場合、バッファ回路122のp型トランジスタ132がOFFとなりn型トランジスタ134がONとなるため、p型トランジスタ142及びn型トランジスタ144のゲート電極には接地電位GND、つまりLowが入力される。これにより、バッファ回路122のp型トランジスタ142がONし、n型トランジスタ144がOFFするため、バッファ回路の出力out1は電源電位V'、つまりHighとなる。このとき、インバータ回路124の入力端子がHighであるから、p型トランジスタ152がOFFとなりn型トランジスタ154がONとなるため、インバータ回路の出力out2はLowとなる。反対に、クロックパルスCLKがLowである場合には、バッファ回路の出力out1はLowであり、インバータ回路の出力out2はHighである。

#### 【0054】

クロックパルスCLKがHighである場合、バッファ回路122の出力out1はHighであるから、第1の容量素子112及び第3の容量素子116が電源電位V'により充電され、ノードN1及びノードN3の電位が所定の値まで引き上げられる。これに伴い、第2のダイオード104及び第4のダイオード108を通じて電荷が流れ、ノードN2及びノードN4の電位が所定の値まで引き上げられる。次にクロックパルスCLKがL

10

20

30

40

50

owになると、バッファ回路122の出力out1はLowとなり、インバータ回路124の出力out2がHighとなるから、第2の容量素子114及び第4の容量素子118が電源電位V'により充電され、ノードN2及びノードN4の電位がさらに引き上げられる。したがって、ノードN3及びノードN5の電位がさらに引き上げられた値となる。このように、それぞれのノードにおける電位が $V_{N5} > V_{N4} > V_{N3} > V_{N2} > V_{N1} > V_{dd}$ となることにより、昇圧が行われる。

【0055】

なお、図1に示した昇圧回路はバッファ回路122とインバータ回路124を用いる構成としたが、これには限られない。例えば、図2に示す構成とすることもできる。図2の構成は、図1に示す構成のバッファ回路122をインバータ回路202で置き換えたものである。インバータ回路は入力を反転して出力する回路であるから、当該構成を用いても隣接する容量素子に入力されるパルスを反転することが可能であり、昇圧回路として機能させることができる。なお、図2におけるその他の構成は図1に示す構成と同様であるため、図1と同じ符号を用いて表している。

10

【0056】

また、図1及び図2に示した昇圧回路は、ダイオードや容量素子を用いる構成であるが、その構成は特に限定されない。例えば、ダイオードとして、トランジスタのソース電極またはドレイン電極の一方をゲート電極と接続した素子を用いても良い。容量素子として、トランジスタのソース電極及びドレイン電極を接続して同電位とした構成の素子を用いても良い。また、図1及び図2に示した昇圧回路は4段の昇圧を行うものであるが、これに限られるものではない。要求される昇圧の程度に合わせて、適宜、段数を変更することが好ましい。

20

【0057】

本実施の形態に示す昇圧回路は、容量素子の充電に電源電位Vddを用いない構成をとる。これにより、昇圧回路の動作に起因する電源電位Vddの変動を抑えることができる。したがって、他の回路に供給する電力の安定化を図ることができ、他の回路の動作不良を低減することができる。

【0058】

なお、本実施の形態に示した昇圧回路はあくまでも一例に過ぎず、その構成は、本実施の形態に限定されるものではない。

30

【0059】

(実施の形態2)

本実施の形態では、実施の形態1に示した昇圧回路の変形例について図3を用いて以下に説明する。

【0060】

図3は、4段の昇圧を行う本発明の昇圧回路の別の一例である。図3において、第1のダイオード302の入力端子の電位は電源電位Vddであり、第1のダイオード302の出力端子には第2のダイオード304の入力端子及び第1の容量素子312の一方の端子が接続されている。同様に、第2のダイオード304の出力端子には第3のダイオード306の入力端子及び第2の容量素子314の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第nのダイオードの出力端子には第nの容量素子の一方の端子が接続されているということもできる(n:自然数)。また、第n-1のダイオードの出力端子には第nのダイオードの入力端子が接続されている。なお、第5のダイオード310の出力端子は第5の容量素子の一方の端子と接続されており、これが昇圧回路の出力端子Voutとなっている。

40

【0061】

また、第1の容量素子312の他方の端子及び第3の容量素子316の他方の端子は、第1のスイッチ素子322に接続されている。また、第2の容量素子314の他方の端子及び第4の容量素子318の他方の端子は、第2のスイッチ素子324に接続されている。すなわち、第2k-1の容量素子は第1のスイッチ素子322に接続され、第2kの容

50

量素子は第2のスイッチ素子324に接続されることができる(k:自然数)。ただし、第5の容量素子320の他方の端子の電位としては接地電位GNDが入力される。

#### 【0062】

本実施の形態の昇圧回路は、バッファ回路及びインバータ回路をより一般的なスイッチ素子に置き換えた点で実施の形態1に示した昇圧回路と異なる。ここで、第1のスイッチ素子322及び第2のスイッチ素子324は共に、電源電位V'又は接地電位GNDを選択するための素子である。

#### 【0063】

以下に、本実施の形態の昇圧回路の動作について説明する。まず、第1のスイッチ素子322及び第2のスイッチ素子324の一方が電源電位V'を選択するように、他方が接地電位GNDを選択するようにする。例えば、第1のスイッチ素子322が電源電位V'を選択し、第2のスイッチ素子324が接地電位GNDを選択した場合を考える。このとき、第1の容量素子312及び第3の容量素子316が電源電位V'により充電され、ノードN1及びノードN3の電位が所定の値まで引き上げられる。これに伴い、第2のダイオード304及び第4のダイオード308を通じて電荷が流れ、ノードN2及びノードN4の電位が所定の値まで引き上げられる。

#### 【0064】

次に、第1のスイッチ素子及び第2のスイッチ素子を切り替えて、第1のスイッチ素子322及び第2のスイッチ素子324の一方が接地電位GNDを選択するように、他方が電源電位V'を選択するようにする。つまり、第1のスイッチ素子322が接地電位GNDを選択し、第2のスイッチ素子324が電源電位V'を選択する。このとき、第2の容量素子114及び第4の容量素子118が電源電位V'により充電され、ノードN2及びノードN4の電位がさらに引き上げられる。したがって、ノードN3及びノードN5の電位がさらに引き上げられた値となる。このように、それぞれのノードにおける電位が $V_N5 > V_N4 > V_N3 > V_N2 > V_N1 > V_{dd}$ となることにより、昇圧が行われる。

#### 【0065】

ただし、スイッチ素子の切り替えは、それぞれの容量素子が完全に放電する前に行わなくてはならない。完全に放電した場合には、ノードの電位を引き上げる効果が得られなくなってしまうためである。

#### 【0066】

本実施の形態に示す昇圧回路は、容量素子の充電に電源電位V<sub>dd</sub>を用いない構成をとる。これにより、昇圧回路の動作に起因する電源電位V<sub>dd</sub>の変動を抑えることができる。このため、他の回路に供給する電力の安定化を図ることができ、他の回路の動作不良を低減することができる。本発明の効果は、昇圧回路の容量素子を充電するための電位を別系統とすることにより得られるものである。従って、昇圧回路の構成としては特に限定されず、本実施の形態のように、バッファ回路やインバータ回路を用いない構成としても良い。スイッチ素子の構成についても、適宜変更することができる。また、図3に示した昇圧回路は4段の昇圧を行うものであるが、これに限られるものではない。要求される昇圧の程度に合わせて、適宜、段数を変更することが好ましい。

#### 【0067】

なお、本実施の形態に示した昇圧回路はあくまでも一例に過ぎず、その構成は、本実施の形態に限定されるものではない。

#### 【0068】

##### (実施の形態3)

本実施の形態では、本発明の昇圧回路を用いた半導体装置について図4及び5を用いて以下に説明する。

#### 【0069】

図4(A)は、本発明の昇圧回路を用いた半導体装置の構成の一例である。アンテナ402が電源回路404の入力端子及び充電回路416の入力端子に接続されている。電源

10

20

30

40

50

回路４０４の出力端子は定電圧回路４０６の入力端子に接続され、また、定電圧回路４０６の出力端子は昇圧回路４０８の入力端子、ロジック回路４１０、アナログ回路４１２に接続されている。充電回路４１６の出力端子は二次電池４１８に接続され、二次電池４１８は昇圧回路４０８に接続され、昇圧回路４０８の出力端子はメモリ回路４１４に接続されている。ここで、昇圧回路４０８は、定電圧回路４０６の出力端子からの電圧を、二次電池から供給される電力によって昇圧する構成を有する。

#### 【００７０】

なお、図４に示す構成は電力の流れを明確にするための模式図であり、図４に示した接続関係以外にも複数の接続関係が存在している。例えば、メモリ回路と、ロジック回路またはアナログ回路の間には、データのやり取りを行うための配線が接続されている。また、昇圧回路４０８にはアンテナからの信号に基づいて生成されたクロックパルスが供給される。

10

#### 【００７１】

ここで、充電回路を用いて二次電池を充電する構成について詳細に説明する。

#### 【００７２】

図４（Ｂ）に示すように、本実施の形態において説明する充電回路４１６は、整流回路４２２、電圧制御回路４２４、スイッチ素子Ａ４２６、および、充電制御回路４２８を有する。アンテナ４０２が整流回路４２２の入力端子に接続され、整流回路４２２の出力端子は電圧制御回路４２４の入力端子に接続される。また、電圧制御回路４２４の出力端子は、スイッチ素子Ａ４２６を介して二次電池４１８に接続される。充電制御回路４２８は、二次電池４１８と接続してその充電状況をモニタし、それに応じてスイッチ素子Ａ４２６のＯＮ／ＯＦＦを制御する。

20

#### 【００７３】

スイッチ素子Ａ４２６としてダイオードを用いることにより、充電制御回路４２８を省略する構成とすることができる。また、電圧制御回路４２４は、電圧および電流の制御回路であってもよい。

#### 【００７４】

次に、半導体装置と通信を行い、二次電池を充電することが可能なリーダライタの例を図４（Ｃ）に示す。リーダライタは、制御系４３２、および、アンテナ４３４を有する。

#### 【００７５】

リーダライタから半導体装置の二次電池を充電する最も簡単な例としては、図５（Ａ）に示すように、振幅が等しい電磁波５００を用いて通信する場合である。この時の充電方法を図５（Ｂ）のフローチャートで示す。

30

#### 【００７６】

初めに、ステップＳ５０２として、充電器のアンテナから振幅の等しい電磁波の送信を開始する。ステップＳ５０４としてＲＦＩＤタグが電磁波を受信すると、ステップＳ５０６として、スイッチＡ（ＳＷＡ）がＯＮとなり、二次電池への充電が開始される。このとき、ステップＳ５０８として充電制御回路は二次電池への充電状況を監視する。二次電池の電圧が一定値以上になると（ＹＥＳ）、ステップＳ５１０として、ＲＦＩＤタグは充電が終了したことを伝える信号を送信する。ステップＳ５１２として、その信号を受信したリーダライタは、ステップＳ５１４として、電磁波の送信を停止する。なお、二次電池の電圧が一定値に達していない場合（ＮＯ）には、ステップＳ５０６に戻り、そのまま充電を行う。

40

#### 【００７７】

なお、本実施の形態に示す構成においては、ロジック回路等が動作するタイミングにおいて、二次電池の充電を行わないようにすることが好ましい。二次電池の充電を行うことにより、ロジック回路等に供給される電力が不安定になる可能性が高いためである。

#### 【００７８】

本発明の昇圧回路を用いて半導体装置を作製することにより、アンテナから供給される電力の安定化を図ることができる。特に、データの書込み時に高電圧を要する不揮発性メ

50

モリを用いる場合には、その効果は著しく、他の回路の動作不良を大幅に低減することができる。また、半導体装置外部への応答出力が低下することを防止できる。すなわち、通信距離を向上することができる。また、アンテナから供給される電力を用いる場合と比較して大きな電力を用いることができるため、昇圧回路の昇圧能力を向上することができる。

#### 【 0 0 7 9 】

さらに、二次電池の電源電位の低下は極わずかであり、昇圧回路を構成する容量素子の充電を高速に行うことができるため、昇圧時間を短縮することができる。また、昇圧回路への電力供給を別系統とすることにより、他の回路に要求される電力の条件を緩和することができるため、他の回路の規模を拡大することが可能となる。また、電源に起因するノイズを低減することもできる。また、無線によって充電可能な二次電池を用いることにより、煩雑な充電作業が不要になる。また、一次電池を用いる場合と比較して、経時的な劣化は極わずかであり、電池の交換作業も不要である。

#### 【 0 0 8 0 】

本実施の形態において充電回路 4 1 6 をアンテナ 4 0 2 に接続する構成を示したが、当該構成はあくまでも一例に過ぎず、本発明は本実施の形態に限定されるものではない。例えば、充電回路が、電源回路や定電圧回路を介してアンテナに接続される構成であってもよい。この場合には、充電回路の構成も適宜変更することが好ましい。また、昇圧回路に入力される二次電池の出力をコントロールする手段を有していても良い。当該手段を有することにより、回路構成を変更することなく、昇圧回路の出力電圧をコントロールすることができる。また、昇圧回路の電力供給先はメモリ回路に限られず、その他の回路としても良い。

#### 【 0 0 8 1 】

また、本実施の形態にて示した半導体装置は、ロジック回路、アナログ回路等への電力供給を電源回路及び定電圧回路を介して行う構成としたが、これに限られるものではない。たとえば、電源回路 4 0 4 及び定電圧回路 4 0 6 に代えて充電回路及び二次電池を用いる構成としても良い。このような構成とすることによって、ロジック回路やアナログ回路を二次電池から供給される電力にて動作させることができるため、二次電池を用いない場合と比較して動作の安定性を向上できる。なお、上記充電回路及び二次電池への置換は、実施の形態 1 及び実施の形態 2 に示した昇圧回路の電位  $V_{dd}$  を二次電池の電位  $V'$  に置き換えることに等しい。もちろん、結果として、 $V' = V_{dd}$ 、又は、 $V' = V$  となることを妨げるものではない。

#### 【 0 0 8 2 】

また、昇圧回路に供給される電力の全てを、二次電池 4 1 8 から供給する構成とすることもできる。これは、実施の形態 1 及び実施の形態 2 に示した昇圧回路の電位  $V_{dd}$  を電位  $V'$  に置き換えることに等しい。当該構成とすることによって、充電回路及び二次電池を複数設ける必要がないため、回路構成を簡略化することができる。本実施の形態は、実施の形態 1 または 2 と適宜組み合わせることができる。

#### 【 0 0 8 3 】

##### ( 実施の形態 4 )

本実施の形態では、本発明の昇圧回路を用いた半導体装置についての別の例を、図 6 を用いて以下に説明する。

#### 【 0 0 8 4 】

図 6 は、本発明の昇圧回路を用いた半導体装置の構成の別の一例である。アンテナ 6 0 2 が電源回路 6 0 4 の入力端子に接続されている。電源回路 6 0 4 の出力端子は定電圧回路 6 0 6 の入力端子に接続され、また、定電圧回路 6 0 6 の出力端子は昇圧回路 6 1 8 の入力端子、ロジック回路 6 0 8、アナログ回路 6 1 0 に接続されている。さらに、アンテナ 6 0 2 とは異なるアンテナ 6 1 2 が充電回路 6 1 4 の入力端子に接続されている。充電回路 6 1 4 の出力端子は二次電池 6 1 6 に接続され、二次電池 6 1 6 は昇圧回路 6 1 8 に接続され、昇圧回路 6 1 8 の出力端子はメモリ回路 6 2 0 に接続されている。ここで、昇

圧回路 618 は、定電圧回路 606 の出力端子からの電圧を、二次電池 616 から供給される電力によって昇圧する構成を有する。

【0085】

なお、図 6 に示す構成は電力の流れを明確にするための模式図であり、図 6 に示した接続関係以外にも複数の接続関係が存在している。例えば、メモリ回路と、ロジック回路またはアナログ回路の間には、データのやり取りを行うための配線が接続されている。また、昇圧回路 618 にはアンテナからの信号に基づいて生成されたクロックパルスが供給される。

【0086】

本実施の形態の半導体装置が実施の形態 3 に示す半導体装置と異なる点は、昇圧に用いる電力を発生するアンテナ 612 が、ロジック回路等に電力を供給するアンテナ 602 とは別に存在している点である。

10

【0087】

次に、本実施の形態において、充電回路を用いて二次電池を充電するための構成について説明する。

【0088】

図 6 (B) に示すように、本実施の形態にて説明する充電回路 614 は、整流回路 622、電圧制御回路 624、スイッチ素子 A 626、および、充電制御回路 628 を有する。アンテナ 612 が整流回路 622 の入力端子に接続され、整流回路 622 の出力端子は電圧制御回路 624 の入力端子に接続される。また、電圧制御回路 624 の出力端子は、スイッチ素子 A 626 を介して二次電池 616 に接続される。充電制御回路 628 は、二次電池 616 と接続してその充電状況をモニタし、それに応じてスイッチ素子 A 626 の ON/OFF を制御する。

20

【0089】

スイッチ素子 A 626 としてダイオードを用いることにより、充電制御回路 628 を省略する構成とすることができる。また、電圧制御回路 624 は、電圧および電流の制御回路であってもよい。

【0090】

リーダライタから半導体装置の二次電池を充電する例としては、実施の形態 3 にて説明した方法などを適宜用いることができるため、ここでは省略する。

30

【0091】

本発明の昇圧回路を用いて半導体装置を作製することにより、アンテナから供給される電力の安定化を図ることができる。これにより、他の回路の動作不良を低減することができる。また、半導体装置外部への応答出力が低下することを防止できる。すなわち、通信距離を向上することができる。また、アンテナから供給される電力を用いる場合と比較して大きな電力を用いることができるため、昇圧回路の昇圧能力を向上することができる。なお、本実施の形態に示すように、昇圧用の電源を供給するためのアンテナを別系統とすることにより、ロジック回路等の動作に関わり無く、常に二次電池の充電を行うことができる。したがって、充電の効率を高めることができる。

【0092】

40

さらに、二次電池の電源電位の低下は極わずかであり、昇圧回路を構成する容量素子の充電を高速に行うことができるため、昇圧時間を短縮することができる。また、昇圧回路への電力供給を別系統とすることにより、他の回路に要求される電力の条件を緩和することができるため、他の回路の規模を拡大することが可能となる。また、電源に起因するノイズを低減することもできる。また、無線によって充電可能な二次電池を用いることにより、煩雑な充電作業が不要になる。また、一次電池を用いる場合と比較して、経時的な劣化は極わずかであり、電池の交換作業も不要である。

【0093】

本実施の形態において示した構成はあくまでも一例に過ぎず、本発明は本実施の形態に限定されるものではない。本実施の形態は、実施の形態 1 乃至 3 と適宜組み合わせること

50

ができる。

【 0 0 9 4 】

( 実施の形態 5 )

本実施の形態では、本発明の昇圧回路を用いた半導体装置についての別の例を、図 7 を用いて以下に説明する。

【 0 0 9 5 】

図 7 ( A ) は、本発明の昇圧回路を用いた半導体装置の構成の別の一例である。図 7 ( A ) において、アンテナ 7 0 2 が電源回路 7 0 4 の入力端子、充電回路 A 7 1 2 の入力端子、及び充電回路 B 7 1 6 の入力端子に接続されている。電源回路 7 0 4 の出力端子は定電圧回路 7 0 6 の入力端子に接続され、また、定電圧回路 7 0 6 の出力端子は昇圧回路 7 2 0 の入力端子、ロジック回路 7 0 8、アナログ回路 7 1 0 に接続されている。さらに、充電回路 A 7 1 2 の出力端子は二次電池 A 7 1 4 に接続され、充電回路 B 7 1 6 の出力端子は二次電池 B 7 1 8 に接続されている。二次電池 A 7 1 4 及び二次電池 B 7 1 8 は昇圧回路 7 2 0 に接続され、昇圧回路 7 2 0 の出力端子はメモリ回路 7 2 2 に接続されている。ここで、昇圧回路 7 2 0 は、定電圧回路 7 0 6 の出力端子からの電圧を、二次電池 A 7 1 4 及び二次電池 B 7 1 8 から供給される電力によって昇圧する構成を有する。

10

【 0 0 9 6 】

なお、図 7 ( A ) に示す構成は電力の流れを明確にするための模式図であり、図 7 ( A ) に示した接続関係以外にも複数の接続関係が存在している。例えば、メモリ回路と、ロジック回路またはアナログ回路の間には、データのやり取りを行うための配線が接続されている。また、昇圧回路 7 2 0 にはアンテナからの信号に基づいて生成されたクロックパルスが供給される。

20

【 0 0 9 7 】

図 7 ( A ) に示す半導体装置が実施の形態 3 に示す半導体装置と異なる点は、昇圧に用いる電力を発生するアンテナ 7 0 2 が、二つの充電回路に接続され、当該二つの充電回路がそれぞれ対応する二次電池を充電する点である。当該構成を用いて、例えば、二つの二次電池の電力が、昇圧回路のバッファ回路とインバータ回路にそれぞれ供給される構成とすることができる。

【 0 0 9 8 】

図 7 ( B ) は、本発明の昇圧回路を用いた半導体装置の構成のさらに別の例である。アンテナ 7 5 2 が電源回路 7 5 4 の入力端子に接続されている。電源回路 7 5 4 の出力端子は定電圧回路 7 5 6 の入力端子に接続され、また、定電圧回路 7 5 6 の出力端子は昇圧回路 7 7 2 の入力端子、ロジック回路 7 5 8、アナログ回路 7 6 0 に接続されている。さらに、アンテナ 7 5 2 とは異なるアンテナ 7 6 2 が、充電回路 A 7 6 4 の入力端子及び充電回路 B 7 6 8 の入力端子に接続されている。充電回路 A 7 6 4 の出力端子は二次電池 A 7 6 6 に接続され、充電回路 B 7 6 8 の出力端子は二次電池 B 7 7 0 に接続され、二次電池 A 7 6 6 及び二次電池 B 7 7 0 は昇圧回路 7 7 2 に接続され、昇圧回路 7 7 2 の出力端子はメモリ回路 7 7 4 に接続されている。ここで、昇圧回路 7 7 2 は、定電圧回路 7 5 6 の出力端子からの電圧を、二次電池 A 7 6 6 及び二次電池 B 7 7 0 から供給される電力によって昇圧する構成を有する。

30

40

【 0 0 9 9 】

なお、図 7 ( B ) に示す構成は電力の流れを明確にするための模式図であり、図 7 ( B ) に示した接続関係以外にも複数の接続関係が存在している。例えば、メモリ回路と、ロジック回路またはアナログ回路の間には、データのやり取りを行うための配線が接続されている。また、昇圧回路 7 7 2 にはアンテナからの信号に基づいて生成されたクロックパルスが供給される。

【 0 1 0 0 】

図 7 ( B ) に示す半導体装置が実施の形態 3 に示す半導体装置と異なる点は、昇圧に用いる電力を発生するアンテナ 7 6 2 が、ロジック回路等に電力を供給するアンテナ 7 5 2 とは別に存在している点、及び、昇圧に用いる電力を発生するアンテナ 7 6 2 が、二つの

50

充電回路に接続され、当該二つの充電回路がそれぞれ二つの二次電池を充電する点である。当該構成を用いて、例えば、二つの二次電池の電力が、昇圧回路のバッファ回路とインバータ回路にそれぞれ供給される構成とすることができる。

#### 【0101】

充電回路の具体的な構成については、実施の形態3又は4にて示した構成などを適宜用いることができるため、ここでは省略する。また、リーダライタから半導体装置の二次電池を充電する例としては、実施の形態3にて説明した方法などを適宜用いることができる。

#### 【0102】

本実施の形態にて示した構成を用いて半導体装置を作製する場合、アンテナから供給される電力の安定化を図ることができる。これにより、他の回路の動作不良を低減することができる。また、半導体装置外部への応答出力が低下することを防止できる。すなわち、通信距離を向上することができる。また、アンテナから供給される電力を用いる場合と比較して大きな電力を用いることができるため、昇圧回路の昇圧能力を向上することができる。さらに、個々の二次電池への負荷を低減することができるため、電力の安定化等の観点から好ましい。また、二次電池の電源電位の低下は極わずかであり、昇圧回路を構成する容量素子の充電を高速に行うことができるため、昇圧時間を短縮することができる。

#### 【0103】

図7(B)の構成を用いて半導体装置を作製した場合、昇圧用の電源を供給するためのアンテナを別系統とすることができる。これにより、ロジック回路等の動作に関わり無く、常に二次電池の充電を行うことができる。したがって、充電の効率を高めることが出来る。また、昇圧回路への電力供給を別系統とすることにより、他の回路に要求される電力の条件を緩和することができるため、他の回路の規模を拡大することが可能となる。また、電源に起因するノイズを低減することもできる。また、無線によって充電可能な二次電池を用いることにより、煩雑な充電作業が不要になる。また、一次電池を用いる場合と比較して、経時的な劣化は極わずかであり、電池の交換作業も不要である。

#### 【0104】

本実施の形態において示した構成はあくまでも一例に過ぎず、本発明は本実施の形態に限定されるものではない。例えば、図7(A)において、充電回路A及び充電回路Bは、電源回路や定電圧回路を介してアンテナに接続されていてもよい。この場合には、充電回路A及び充電回路Bの構成も適宜変更することが好ましい。また、充電回路Aと充電回路Bの機能をまとめて一つの充電回路としても良い。本実施の形態は、実施の形態1乃至4と適宜組み合わせることができる。

#### 【0105】

##### (実施の形態6)

本実施の形態では、上記実施の形態にて示した半導体装置の作製方法の一例について、図8乃至12を参照して説明する。

#### 【0106】

まず、基板801の一表面に絶縁膜802を介して剥離層803を形成し、続けて下地膜として機能する絶縁膜804と半導体膜805(例えば、非晶質珪素を含む膜)を積層して形成する(図8(A)参照)。なお、絶縁膜802、剥離層803、絶縁膜804および半導体膜805は、連続して形成することができる。

#### 【0107】

なお、基板801は、ガラス基板、石英基板、セラミック基板、金属基板(例えば、ステンレス基板など)、Si基板等から選択されるものである。他にも、プラスチック基板である、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層803は、絶縁膜802を介して基板801の全面に設けているが、フォトリソグラフィ法を用いてマスクを形成し、エッチングを行うことにより、選択的に形成してもよい。

10

20

30

40

50



## 【0108】

また、絶縁膜802、絶縁膜804は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン( $\text{SiO}_x\text{N}_y$ :  $x > y > 0$ )、窒化酸化シリコン( $\text{SiN}_x\text{O}_y$ :  $x > y > 0$ )等の絶縁材料を用いて形成することができる。例えば、絶縁膜802、804をそれぞれ2層構造として、第1層目の絶縁膜として窒化酸化シリコン膜を、第2層目の絶縁膜として酸化窒化シリコン膜を形成することができる。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。もちろん、単層構造であっても良いし、3層以上の積層構造とすることも可能である。絶縁膜802は、基板801から、剥離層803又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜804は基板801、剥離層803から、その上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜802、804を形成することによって、基板801からのNaなどのアルカリ金属やアルカリ土類金属が、素子に侵入して悪影響を及ぼすことを防ぐことができ、また、剥離層803からの不純物元素が、素子に侵入して悪影響を及ぼすことを防ぐことができる。なお、基板801として石英基板のように不純物元素の影響を無視できる基板を用いる場合には絶縁膜802、804を省略してもよい。

10

## 【0109】

また、剥離層803には、金属膜や、金属膜と金属酸化膜の積層構造等を用いることができる。上記金属膜の材料としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または当該元素を主成分とする合金材料若しくは化合物材料が挙げられる。当該材料を用いて単層構造又は積層構造の金属膜を形成することができる。なお、金属膜の形成方法として、スパッタ法や、プラズマCVD法等の各種CVD法等を用いることができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気下又は $\text{N}_2\text{O}$ 雰囲気下におけるプラズマ処理や、酸素雰囲気下又は $\text{N}_2\text{O}$ 雰囲気下における加熱処理等を行うことによって、金属膜表面に当該金属膜の酸化膜又は酸化窒化膜を形成した構造を用いることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、酸素雰囲気下においてタングステン膜にプラズマ処理を行うことで、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。この場合、タングステンの酸化物は、 $\text{WO}_x$ で表され、Xは2乃至3であり、Xが2の場合( $\text{WO}_2$ )、Xが2.5の場合( $\text{W}_2\text{O}_5$ )、Xが2.75の場合( $\text{W}_4\text{O}_{11}$ )、Xが3の場合( $\text{WO}_3$ )などがある。タングステンの酸化物を形成するにあたり、上記に挙げたXの値に特に制約はなく、エッチングレート等を基に、その構成を決定すれば良い。

20

30

## 【0110】

半導体膜805は、スパッタリング法、LPCVD法、プラズマCVD法等により、25nm以上200nm以下(好ましくは30nm以上150nm以下)の厚さで形成する。半導体膜805の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウムを用いると良い。

40

## 【0111】

次に、半導体膜805にレーザー光を照射して結晶化を行う。なお、レーザー光の照射に、RTA又はファーンズアニール炉を用いる熱結晶化法や、結晶化を助長する金属元素を用いる熱結晶化法等を組み合わせた方法を用いて、半導体膜805の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶化した半導体膜805a~805fを形成し、当該半導体膜805a~805fを覆うようにゲート絶縁膜806を形成する(図8(B)参照)。

## 【0112】

ここで、結晶化に用いるレーザービームとしては、連続発振(CW: continuous wave)

50

us-wave)型のレーザービームやパルス発振型のレーザービーム(パルスレーザービーム)を用いることができる。例えば、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO<sub>4</sub>、フォルステライト(Mg<sub>2</sub>SiO<sub>4</sub>)、YAlO<sub>3</sub>、GdVO<sub>4</sub>、若しくは多結晶(セラミック)のYAG、Y<sub>2</sub>O<sub>3</sub>、YVO<sub>4</sub>、YAlO<sub>3</sub>、GdVO<sub>4</sub>などに、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種が添加された材料を媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーなどから発振されるものを用いることができる。このようなレーザービームの基本波、及び基本波の第2高調波、第3高調波、第4高調波を照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO<sub>4</sub>レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。上記Nd:YVO<sub>4</sub>レーザーは、連続発振で射出することも、パルス発振で射出することも可能である。

10

#### 【0113】

なお、単結晶のYAG、YVO<sub>4</sub>、フォルステライト(Mg<sub>2</sub>SiO<sub>4</sub>)、YAlO<sub>3</sub>、GdVO<sub>4</sub>、若しくは多結晶(セラミック)のYAG、Y<sub>2</sub>O<sub>3</sub>、YVO<sub>4</sub>、YAlO<sub>3</sub>、GdVO<sub>4</sub>などに、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種が添加された材料を媒質とするレーザー、Arイオンレーザー、またはTi:サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射されることになる。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。なお、当該走査方向にチャンネル長方向(キャリアが流れる方向)を合わせてトランジスタを形成することにより、電界効果移動度が高い薄膜トランジスタ(TFT:Thin Film Transistor)を得ることができる。

20

#### 【0114】

また、ゲート絶縁膜806は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO<sub>x</sub>N<sub>y</sub>:x>y>0)、窒化酸化シリコン(SiN<sub>x</sub>O<sub>y</sub>:x>y>0)等の絶縁材料を用いて形成することができる。例えば、ゲート絶縁膜806を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。もちろん、単層構造であっても良いし、3層以上の積層構造とすることも可能である。

30

#### 【0115】

他の方法として、半導体膜805a~805fに対して高密度プラズマ処理を行い、表面を酸化又は窒化することでゲート絶縁膜806を形成しても良い。これにより、1nm以上20nm以下、代表的には5nm以上10nm以下の絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度をきわめて低く抑えることができる。高密度プラズマ処理は、半導体膜を直接酸化(若しくは窒化)するため、形成される絶縁膜の、膜厚のばらつきをきわめて小さくすることができる。

40

#### 【0116】

次に、ゲート絶縁膜806上に、第1の導電膜と第2の導電膜とを積層して形成する(図示せず)。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20nm以上100nm以下の厚さで形成する。第2の導電膜は、100nm以上400nm以下の厚さで形成する。第1の導電膜及び第2の導電膜は、タンタル(Ta)、タングステ

50

ン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、クロム(Cr)、ニオブ(Nb)等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例としては、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜、等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造以外にも、単層構造、または、3層以上の積層構造としても良い。例えば、3層構造の場合には、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

#### 【0117】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、第1の導電膜と第2の導電膜をエッチングすることにより、半導体膜805a~805fの上方にゲート電極807を形成する。

#### 【0118】

次に、図8(C)に示すように、ゲート電極807をマスクとして半導体膜805a~805fに、イオンドーブ法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法を用いてレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下の濃度で含まれるように半導体膜805a~805fに選択的に導入し、n型を示す不純物領域808を形成する。また、p型を付与する不純物元素としてボロン(B)を用い、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下の濃度で含まれるように選択的に半導体膜805c、805eに導入し、p型を示す不純物領域809を形成する。

20

#### 【0119】

続いて、ゲート絶縁膜806とゲート電極807を覆うように、絶縁膜を形成する。当該絶縁膜としては、プラズマCVD法やスパッタリング法等により、無機材料を含む膜や有機材料を含む膜を、単層構造又は積層構造で形成することができる。次に、垂直方向を主体とした異方性エッチングにより絶縁膜を選択的にエッチングして、ゲート電極807の側面に接する絶縁膜810(サイドウォールともよばれる)を形成する。絶縁膜810は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。

30

#### 【0120】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極807および絶縁膜810をマスクとして用いて、半導体膜805a、805b、805d、805fにn型を付与する不純物元素を高濃度に添加し、n型を示す不純物領域811を形成する。ここでは、n型を付与する不純物元素としてリン(P)を用い、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 以下の濃度で含まれるように半導体膜805a、805b、805d、805fに選択的に導入し、不純物領域808より高濃度のn型不純物が含まれる不純物領域811を形成する。

40

#### 【0121】

以上の工程により、図8(D)に示すように、nチャネル型薄膜トランジスタ800a、800b、800d、800fとpチャネル型薄膜トランジスタ800c、800eが形成される。

#### 【0122】

なお、nチャネル型薄膜トランジスタ800aにおいては、ゲート電極807と重なる

50

半導体膜 805a の領域にチャネル形成領域が形成され、ゲート電極 807 及び絶縁膜 810 と重ならない領域にソース領域又はドレイン領域を形成する不純物領域 811 が形成され、絶縁膜 810 と重なる領域であってチャネル形成領域と不純物領域 811 の間に低濃度不純物領域 (LDD 領域) が形成されている。また、n チャネル型薄膜トランジスタ 800b、800d、800f にも同様に、チャネル形成領域、低濃度不純物領域及び不純物領域 811 が形成されている。

#### 【0123】

また、p チャネル型薄膜トランジスタ 800c においては、ゲート電極 807 と重なる半導体膜 805c の領域にチャネル形成領域が形成され、ゲート電極 807 と重ならない領域にソース領域又はドレイン領域を形成する不純物領域 809 が形成されている。また、p チャネル型薄膜トランジスタ 800e にも同様に、チャネル形成領域及び不純物領域 809 が形成されている。なお、ここでは、p チャネル型薄膜トランジスタ 800c、800e には、LDD 領域を設けていないが、p チャネル型薄膜トランジスタに LDD 領域を設けてもよいし、n チャネル型薄膜トランジスタに LDD 領域を設けない構成としてもよい。

#### 【0124】

次に、図 9 (A) に示すように、半導体膜 805a ~ 805f、ゲート電極 807 等を覆うように、絶縁膜を単層構造又は積層構造で形成し、当該絶縁膜上に薄膜トランジスタ 800a ~ 800f の不純物領域 809、811 と電氣的に接続する導電膜 813 を形成する。上記絶縁膜は、CVD 法、スパッタリング法、SOG 法、液滴吐出法、スクリーン印刷法等の方法を用いて形成することができる。また、絶縁膜の材料として、珪素酸化物や珪素窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料等を用いることができる。ここでは、当該絶縁膜を 2 層構造とし、1 層目の絶縁膜 812a を窒化酸化珪素膜で形成し、2 層目の絶縁膜 812b を酸化窒化珪素膜で形成する。なお、導電膜 813 は、半導体膜 805a ~ 805f のソース電極又はドレイン電極を構成する。

#### 【0125】

導電膜 813 は、CVD 法やスパッタリング法等により、アルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成することができる。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方を含む合金材料に相当する。

#### 【0126】

次に、図 9 (B) に示すように、導電膜 813 を覆うように絶縁膜 814 を形成し、当該絶縁膜 814 上に、半導体膜 805a、805f のソース電極又はドレイン電極を形成する導電膜 813 と電氣的に接続する導電膜 815a、815b を形成する。また、半導体膜 805b、805e のソース電極又はドレイン電極を形成する導電膜 813 と電氣的に接続する導電膜 816a、816b を形成する。なお、導電膜 815a、815b と導電膜 816a、816b は同一の材料で同時に形成してもよい。導電膜 815a、815b と導電膜 816a、816b は、導電膜 813 と同様の材料を用いて形成することができる。続いて、導電膜 816a、816b に、アンテナとして機能する導電膜 817a、817b を形成する。

#### 【0127】

なお、絶縁膜 814 は、CVD 法やスパッタ法等により、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$  :  $x > y > 0$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$  :  $x > y > 0$ ) 等の酸素または窒素を有する絶縁膜や、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノ

10

20

30

40

50

ール、ベンゾシクロブテン、アクリル等の有機材料、またはシロキサン樹脂等を用いて、単層構造又は積層構造で形成することができる。

【0128】

また、導電膜817a、817bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料を用いて、単層構造又は積層構造で形成することができる。

10

【0129】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜817a、817bを形成する場合には、粒径が数nmから数十μmの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷する。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一又は複数からなる金属粒子や、ハロゲン化銀の微粒子、または分散性ナノ粒子といったものを用いること可能である。また、導電性ペーストに含まれる有機樹脂としては、金属粒子のバインダー、溶媒、分散剤、被覆材として機能する有機樹脂等から選ばれた一または複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等を用いる。上述のように導電性のペーストを印刷した後に、焼成を行うことが好ましい。

20

【0130】

なお、導電膜815a、815bは、二次電池と電氣的に接続するための配線として機能する。また、アンテナとして機能する導電膜817a、817bを形成する際に、導電膜815a、815bに電氣的に接続する導電膜を別途形成し、当該導電膜を二次電池と接続するための配線として用いてもよい。

【0131】

次に、図9(C)に示すように、導電膜817a、817bを覆うように絶縁膜818を形成した後、薄膜トランジスタ800a~800f、導電膜817a、817b等を含む層(以下、「素子形成層819」と記す)を基板801から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ800a~800fを避けた領域に開口部を形成した後、物理的な力を用いて基板801から素子形成層819を剥離する。なお、基板801から素子形成層819を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層803を選択的に除去してもよい。エッチング剤としては、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF<sub>3</sub>)を使用する。なお、剥離層803は、全て除去せずに一部分を残存させてもよい。このようにすることで、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。なお、絶縁膜818は、絶縁膜814と同様に形成することができる。

30

【0132】

次に、図10(A)に示すように、レーザー光の照射により素子形成層819に開口部を形成した後に、当該素子形成層819の一方の面(絶縁膜818が露出した面)に第1のシート材820を貼り合わせた後、基板801から素子形成層819を剥離する。そして、図10(B)に示すように、素子形成層819の他方の面(剥離により露出した面)に、第2のシート材821を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第1のシート材820と第2のシート材821を貼り合わせる。第1のシート材820、第2のシート材821として、例えば、ホットメルトフィルム等を用いることができる。

40

【0133】

また、第1のシート材820、第2のシート材821として、静電気等を防止する帯電

50

防止対策を施したフィルム（以下、帯電防止フィルムと記す）を用いることもできる。帯電防止フィルムを用いることによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0134】

なお、二次電池は、導電膜815a、815bに接続されるが、二次電池との接続を、基板801から素子形成層819を剥離する前（図9（B）又は図9（C）の段階）に行ってもよいし、基板801から素子形成層819を剥離した後（図10（A）の段階）に行ってもよいし、素子形成層819を第1のシート材及び第2のシート材で封止した後（図10（B）の段階）に行ってもよい。

【0135】

素子形成層819と二次電池との接続の一例を、図11及び12を用いて説明する。

【0136】

図9（B）に示す段階において、アンテナとして機能する導電膜817a、817bと同時に、導電膜815a、815bにそれぞれ電氣的に接続する導電膜831a、831bを形成する。続けて、導電膜817a、817b、導電膜831a、831bを覆うように絶縁膜818を形成し、導電膜831a、831bの表面が露出するように開口部832a、832bを形成する。そして、レーザー光の照射により素子形成層819に開口部を形成した後に、当該素子形成層819の一方の面（絶縁膜818の露出した面）に第1のシート材820を貼り合わせ、基板801から素子形成層819を剥離する（図11（A）参照）。

【0137】

次に、素子形成層819の他方の面（剥離により露出した面）に、第2のシート材821を貼り合わせた後、素子形成層819を第1のシート材820から剥離する（図11（B）参照）。このため、ここでは、第1のシート材820として粘着力が弱いものを用いることが好ましい。続けて、開口部832a、832bを介して導電膜831a、831bとそれぞれ電氣的に接続する導電膜834a、834bを選択的に形成する。

【0138】

導電膜834a、834bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により単層構造又は積層構造で形成する。導電性材料としては、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料を用いることができる。

【0139】

なお、ここでは、基板801から素子形成層819を剥離した後に導電膜834a、834bを形成する例を示しているが、導電膜834a、834bを形成した後に基板801から素子形成層819の剥離を行ってもよい。

【0140】

次に、図12（A）に示すように、素子形成層819を素子ごとに分断する。分断は、レーザー照射装置、ダイシング装置、スクライブ装置等を用いて行うことができる。

【0141】

次に、図12（B）に示すように、分断された素子を二次電池と電氣的に接続する。ここでは、素子形成層819に設けられた導電膜834a、834bと、接続端子として機能する導電膜836a、836bとをそれぞれ接続する。なお、導電膜836a、836bが設けられた基板835上には二次電池が設けられている。導電膜834aと導電膜836aとの接続や、導電膜834bと導電膜836bとの接続は、異方導電性フィルム（Anisotropic Conductive Film）や異方導電性ペースト（Anisotropic Conductive Paste）等の接着性を有する材料を用いて行うことができる。ここでは、接着性を有する樹脂837に含まれる導電性粒子838を用いて接続する例を示している。この他、銀ペースト、銅ペースト、カーボンペー

10

20

30

40

50

スト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0142】

なお、本実施の形態は、実施の形態1乃至5と適宜組み合わせることができる。

【0143】

(実施の形態7)

本発明によりRFIDタグとして機能する半導体装置を形成することができる。RFIDタグの用途は多岐にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図13(A)参照)、包装用容器類(包装紙やボトル等、図13(C)参照)、記録媒体(DVDソフトやビデオテープ等、図13(B)参照)、乗物類(自転車等、図13(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、衣類、生活用品類、電子機器等の商品や荷物の荷札(図13(E)、(F)参照)等の物品に設けて使用することができる。なお、図13において、RFIDタグは1300で示すものである。

10

【0144】

なお、電子機器とは、例えば、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ)及び携帯電話等を指す。また、上記半導体装置を、動物類、人体等に用いることができる。

【0145】

RFIDタグは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなる包装用容器等であれば当該有機樹脂に埋め込むとよい。紙幣、硬貨、有価証券類、無記名債券類、証券類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。

20

【0146】

本発明により作製することが可能なRFIDタグは、昇圧回路の容量素子を充電するための電力として、アンテナから供給される電力ではなく、二次電池から供給される電力を用いる。これにより、アンテナから供給される電力の安定化を図ることができる。すなわち、RFIDタグの動作を安定化することができる。

【0147】

本発明により形成することが可能なRFIDタグを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、荷札に設けられるRFIDタグに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ること、流過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を容易に行うことができる。

30

【0148】

なお、本実施の形態は、実施の形態1乃至6と適宜組み合わせることができる。

【図面の簡単な説明】

【0149】

【図1】本発明の昇圧回路の構成を示す図。

40

【図2】本発明の昇圧回路の構成を示す図。

【図3】本発明の昇圧回路の構成を示す図。

【図4】本発明の半導体装置の構成を示す図。

【図5】本発明の二次電池の充電方法を示す図。

【図6】本発明の半導体装置の構成を示す図。

【図7】本発明の半導体装置の構成を示す図。

【図8】本発明の半導体装置の作製方法を示す図。

【図9】本発明の半導体装置の作製方法を示す図。

【図10】本発明の半導体装置の作製方法を示す図。

【図11】本発明の半導体装置の作製方法を示す図。

50

【図 1 2】本発明の半導体装置の作製方法を示す図。

【図 1 3】本発明の半導体装置の使用例を示す図。

【図 1 4】従来の昇圧回路の構成を示す図。

【図 1 5】従来の半導体装置の構成を示す図。

【符号の説明】

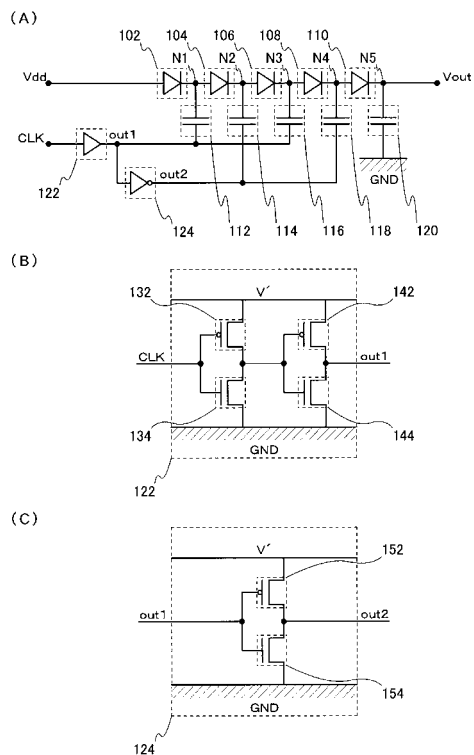
【 0 1 5 0 】

- 1 0 2      ダイオード
- 1 0 4      ダイオード
- 1 0 6      ダイオード
- 1 0 8      ダイオード
- 1 1 0      ダイオード
- 1 1 2      容量素子
- 1 1 4      容量素子
- 1 1 6      容量素子
- 1 1 8      容量素子
- 1 2 0      容量素子
- 1 2 2      バッファ回路
- 1 2 4      インバータ回路
- 1 3 2      p 型トランジスタ
- 1 3 4      n 型トランジスタ
- 1 4 2      p 型トランジスタ
- 1 4 4      n 型トランジスタ
- 1 5 2      p 型トランジスタ
- 1 5 4      n 型トランジスタ

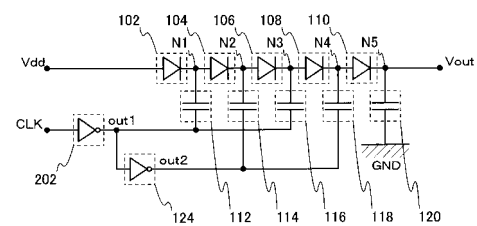
10

20

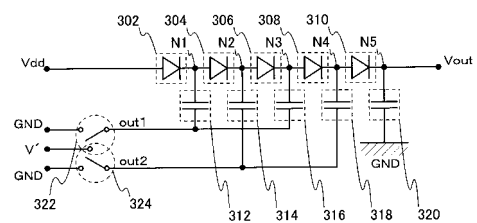
【図 1】



【図 2】

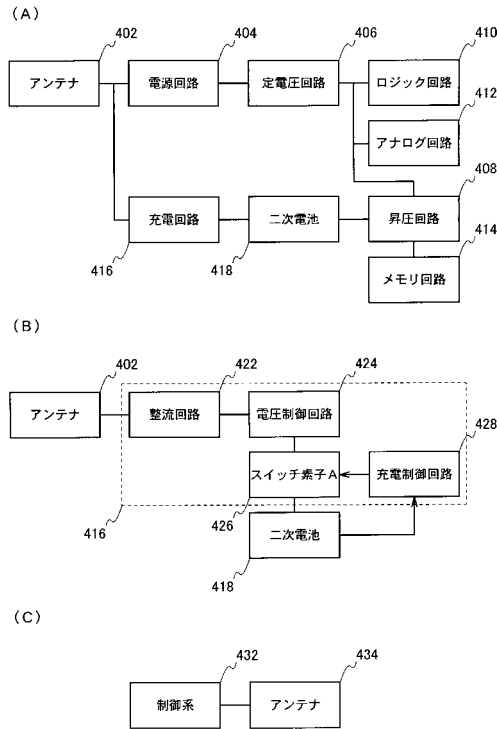


【図 3】

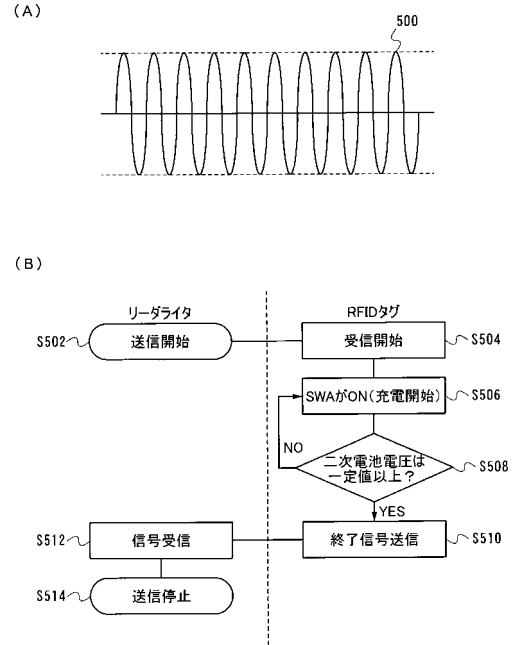




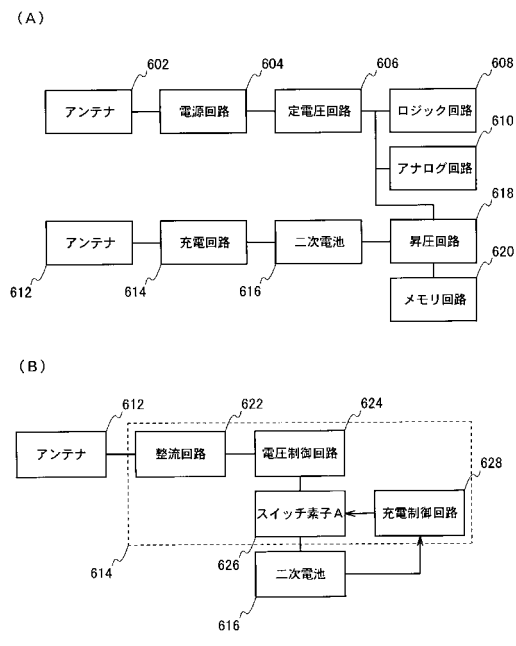
【図 4】



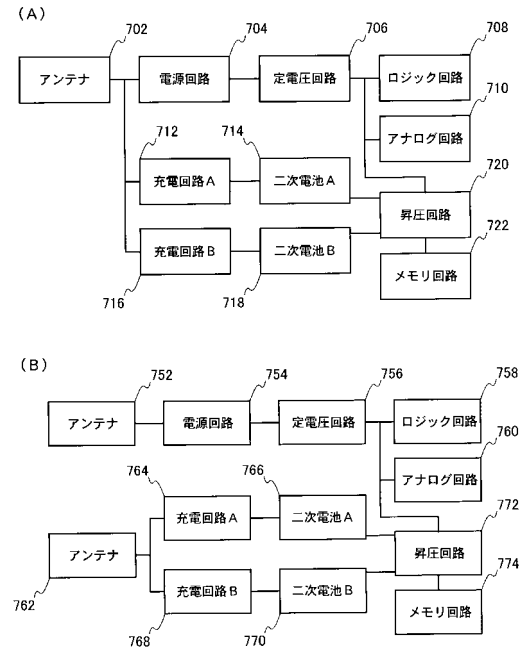
【図 5】



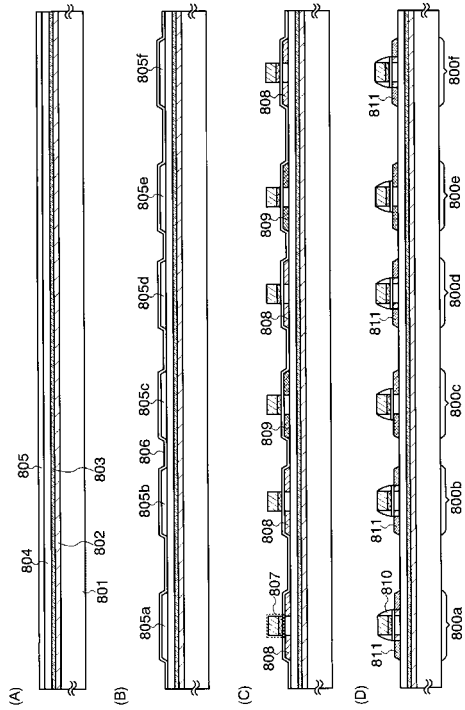
【図 6】



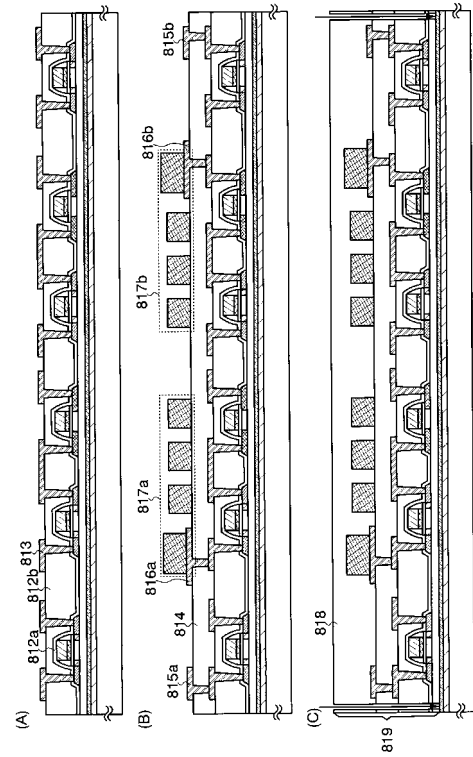
【図 7】



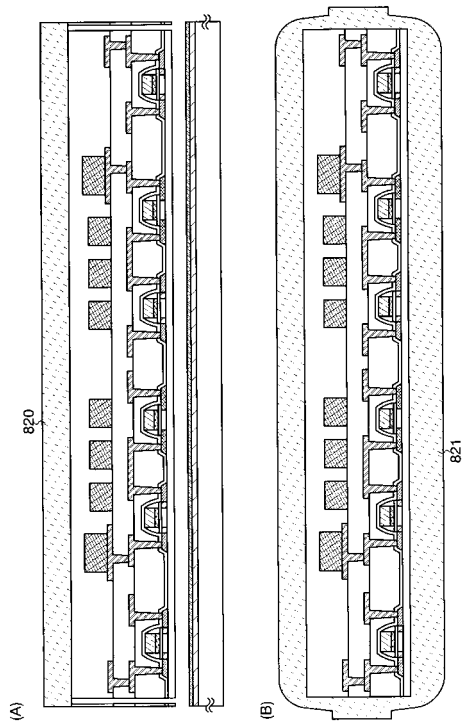
【図 8】



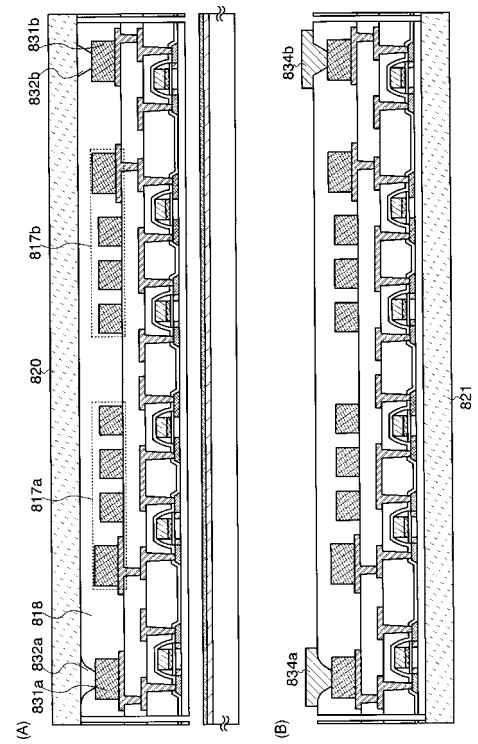
【図 9】



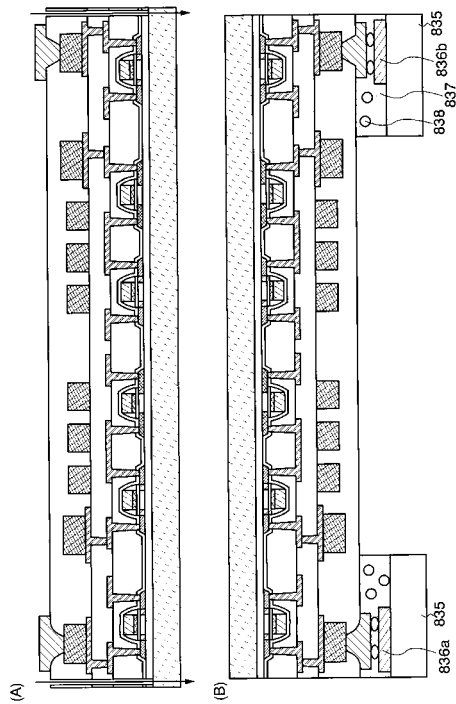
【図 10】



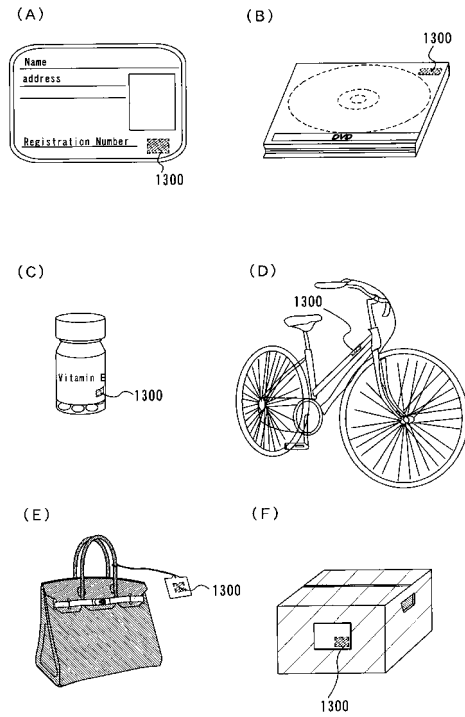
【図 11】



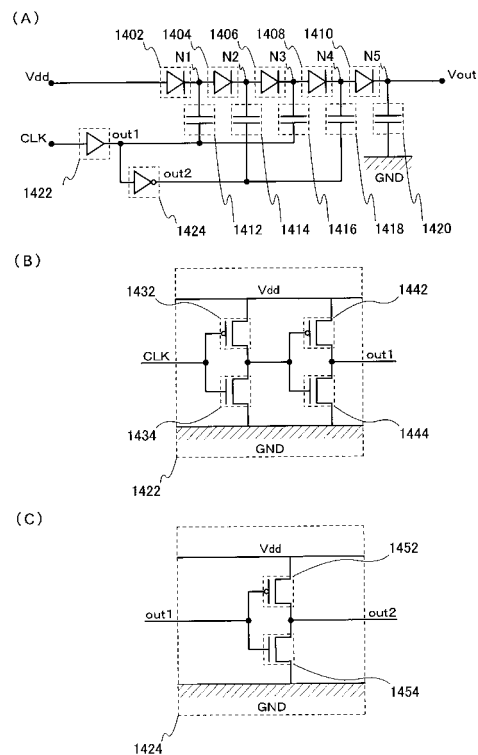
【図 12】



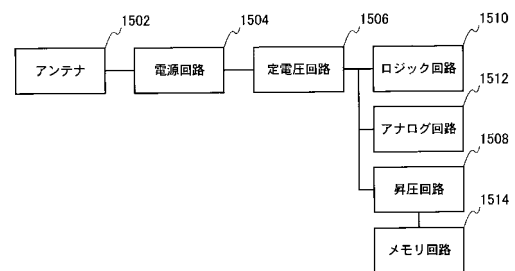
【図 13】



【図 14】



【図 15】



---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M	3 / 0 7
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 7 / 0 4