



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년10월13일
(11) 등록번호 10-1666188
(24) 등록일자 2016년10월07일

(51) 국제특허분류(Int. Cl.)

H03M 13/11 (2006.01)

(52) CPC특허분류

H03M 13/1165 (2013.01)

(21) 출원번호 10-2015-0121044

(22) 출원일자 2015년08월27일

심사청구일자 2015년08월27일

(56) 선행기술조사문헌

An Efficient Overlapped LDPC Decoder with a Upper Dual-diagonal Structure (JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, 2013년 2월)

Overlapped Message Passing for Quasi-Cyclic Low-Density Parity Check Codes (IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, 2004년 6월)

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

위준영

경기도 성남시 분당구 돌마로486번길 7, 212동 805호 (서현동, 효자촌동아아파트)

허준

서울특별시 강남구 광평로10길 6, 206동 103호 (일원동, 한솔마을아파트)

김성원

서울특별시 성북구 안암로 145 고려대학교 전기전자공학부 (안암동5가)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 4 항

심사관 : 조춘근

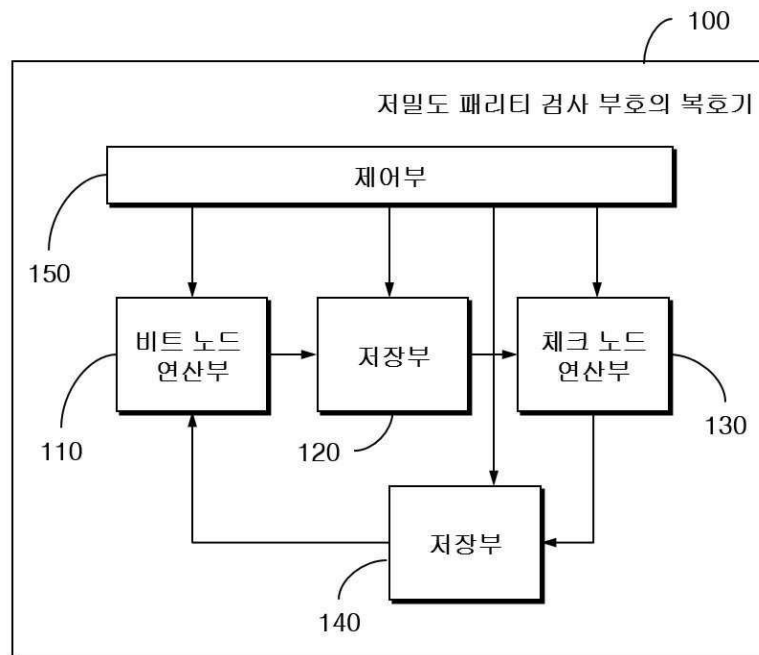
(54) 발명의 명칭 중첩을 이용한 DVB-S2 기반 저밀도 패리티 검사(LDPC) 부호의 복호기 설계기법

(57) 요약

본 발명은 저밀도 패리티 검사 부호의 복호기에 관한 것으로, 비트 노드 연산을 수행하는 비트 노드 연산부, 체크 노드 연산을 수행하는 체크 노드 연산부, 상기 비트 노드 연산 및 체크 노드 연산을 제어하는 제어부, 및 상기 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장하는 저장부를 포함하고, 상기 제어부는, 상기 비트 노

(뒷면에 계속)

대표도 - 도1



드 연산부 및 상기 체크 노드 연산부 중 먼저 연산이 수행되는 제1 노드 연산부에 연결된 저장부들의 주소 오프셋 값을 산출하여, 상기 제1 노드 연산부의 결과값을 상기 산출된 주소 오프셋 값을 기준으로 상기 저장부들에 순차적으로 저장하되, 상기 산출된 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열에 따라 이웃하는 주소 오프셋 값들 사이의 차이가 가장 큰 두 주소 오프셋 값을 추출하며, 상기 제1 노드 연산부의 결과값을 저장하는 도중 상기 두 주소 오프셋 값 중 오프셋 값이 작은 주소를 다른 노드 연산부(제2 노드 연산부)의 연산을 수행하는 시작 주소값으로 설정함으로써, 상기 비트 노드의 연산과 체크 노드의 연산이 중첩되도록 수행하는 것을 특징으로 함으로써, 복호 시간을 줄일 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호 C0298744

부처명 중소기업청

연구관리전문기관 (사)한국산학연협회

연구사업명 도약기술개발사업

연구과제명 영상 및 방송 수신 기능을 갖춘 듀얼 모드 위성 휴대폰 모델 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2015.06.01 ~ 2016.05.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

비트 노드 연산을 수행하는 비트 노드 연산부;

체크 노드 연산을 수행하는 체크 노드 연산부;

상기 비트 노드 연산 및 체크 노드 연산을 제어하는 제어부; 및

상기 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장하는 저장부를 포함하고,

상기 제어부는,

상기 비트 노드 연산부 및 상기 체크 노드 연산부 중 먼저 연산이 수행되는 제1 노드 연산부에 연결된 저장부들의 주소 오프셋 값을 산출하여, 상기 제1 노드 연산부의 결과값을 상기 산출된 주소 오프셋 값을 기준으로 상기 저장부들에 순차적으로 저장하되,

상기 산출된 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열에 따라 이웃하는 주소 오프셋 값들 사이의 차이가 가장 큰 두 주소 오프셋 값을 추출하며, 상기 제1 노드 연산부의 결과값을 저장하는 도중 상기 두 주소 오프셋 값 중 오프셋 값이 작은 주소를 다른 노드 연산부(제2 노드 연산부)의 연산을 수행하는 시작 주소값으로 설정함으로써, 상기 비트 노드의 연산과 체크 노드의 연산이 중첩되도록 수행

하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제1 노드 연산부의 연산이 종료되기 전 상기 제2 노드 연산부의 연산을 상기 제1 노드 연산부의 연산과 중복 수행하는 시간만큼 줄일 수 있는 최대 시간은 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이에 대응하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기.

청구항 4

삭제

청구항 5

비트 노드 연산부 및 체크 노드 연산부 중 먼저 연산이 수행되는 제1 노드 연산부에 연결되어 있는 저장부들의 주소 오프셋 값을 산출하는 단계;

상기 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열에 따라 이웃하는 주소 오프셋 값들 사이의 값의 차이를 산출하는 단계;

상기 산출된 값의 차이가 가장 큰 두 주소 오프셋 값을 추출하는 단계; 및

상기 제1 노드 연산부의 결과값을 저장하는 도중 상기 추출된 두 오프셋 값 중 오프셋 값이 작은 주소를 다른 노드 연산부(제2 노드 연산부)의 연산을 수행하는 시작 주소값으로 설정함으로써, 상기 제1 노드 연산부의 연산과 상기 제2 노드 연산부의 연산이 중첩되도록 수행하는 단계;를 포함하는 저밀도 패리티 검사 부호의 복호기 설계 방법.

청구항 6

제 5 항에 있어서,

상기 제1 노드 연산부의 연산이 종료되기 전 상기 제2 노드 연산부의 연산을 상기 제1 노드 연산부의 연산과 중복 수행하는 시간만큼 줄일 수 있는 최대 시간은 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이에 대응하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기 설계 방법.

청구항 7

삭제

발명의 설명

기술 분야

[0001] 본 발명은 저밀도 패리티 검사 부호의 복호기에 관한 것으로서, 보다 구체적으로, 연산의 중첩을 이용하여 복호 시간이 감소된 저밀도 패리티 검사 부호의 복호기 및 그에 대한 설계방법에 관한 것이다.

배경 기술

[0002] 통신 시스템은 채널을 통한 신뢰성 있는 통신을 보장하기 위해 오류정정 부호를 이용한다. 대표적인 오류정정 부호로 샤논 한계에 근접한 성능을 보이는 저밀도 패리티 검사(LDPC) 부호가 있다. LDPC 부호는 메시지 크기가 증가할수록 터보(turbo) 부호에 비해 높은 성능을 갖으며, 비교적 높은 신호대 잡음비(SNR : Signal to Noise Ratio)에서도 오류 마루(error floor)를 보이지 않는 것이 특징이다. 이러한 LDPC 부호는 비트 노드와 체크 노드 간 에지들에 따른 연결 상태를 보이는 테너 그래프(Tanner graph)로 표현가능하다. LDPC 부호의 복호기는 이러한 테너 그래프 상의 노드 간 에지를 따라 전달된 정보를 연산을 통해 갱신함으로써 동작한다.

[0003] 일반적으로 LDPC 부호는 매우 큰 부호화 복잡도를 가진다. 이것이 시스템 스토리지의 과도한 사용으로 이어져 LDPC 부호의 구현상 주요 제약 요소가 된다. 또한, LDPC 구현에 있어서 복호기 내의 비트 노드, 체크 노드와 두 노드의 입력, 출력 값을 저장하는 메모리 간의 접속 충돌도 큰 문제점이 될 수 있다. 따라서 이 두 가지 문제점을 해결할 수 있는 효율적인 복호기 구조가 필요하다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국공개특허 "저밀도 패리티 검사 코드의 부호화 방법(10-2005-0035729)"

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 첫 번째 과제는 연산의 중첩을 이용하여 복호시간이 감소된 저밀도 패리티 검사 부호의 복호기를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 두 번째 과제는 연산의 중첩을 이용하여 복호시간이 감소된 저밀도 패리티 검사 부호의 복호기를 설계하는 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명은 상기 첫 번째 과제를 해결하기 위하여, 비트 노드 연산을 수행하는 비트 노드 연산부;와, 상기 비트 노드 연산 및 체크 노드 연산을 제어하는 제어부; 및 상기 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장하는 저장부를 포함하고, 상기 제어부는, 상기 비트 노드 연산부 및 상기 체크 노드 연산부 중 먼저 연산이 수행되는 제1 노드 연산부에 연결된 저장부들의 주소 오프셋 값을 산출하여, 상기 제1 노드 연산부의 결과값을 상기 산출된 주소 오프셋 값을 기준으로 상기 저장부들에 순차적으로 저장하되, 상기 산출된 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열에 따라 이웃하는 주소 오프셋 값들 사이의 차이가 가장 큰 두 주소 오프셋 값을 추출하며, 상기 제1 노드 연산부의 결과값을 저장하는 도중 상기 두 주소 오프셋 값 중 오프셋 값이 작

은 주소를 다른 노드 연산부(제2 노드 연산부)의 연산을 수행하는 시작 주소값으로 설정함으로써, 상기 비트 노드의 연산과 체크 노드의 연산이 중첩되도록 수행하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기일 수 있다.

[0008] 삭제

[0009] 본 발명의 다른 실시예에 의하면, 상기 제1 노드 연산부의 연산이 종료되기 전 상기 제2 노드 연산부의 연산을 상기 제1 노드 연산부의 연산과 중복 수행하는 시간만큼 줄일 수 있는 최대 시간은 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이에 대응하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기일 수 있다.

[0010] 삭제

[0011] 본 발명은 상기 두 번째 과제를 해결하기 위하여, 비트 노드 연산부 및 체크 노드 연산부 중 먼저 연산이 수행되는 제1 노드 연산부에 연결되어 있는 저장부들의 주소 오프셋 값을 산출하는 단계;와, 상기 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열에 따라 이웃하는 주소 오프셋 값들 사이의 값의 차이를 산출하는 단계;와, 상기 산출된 값의 차이가 가장 큰 두 주소 오프셋 값을 추출하는 단계; 및 상기 제1 노드 연산부의 결과값을 저장하는 도중 상기 추출된 두 오프셋 값 중 오프셋 값이 작은 주소를 다른 노드 연산부(제2 노드 연산부)의 연산을 수행하는 시작 주소값으로 설정함으로써, 상기 제1 노드 연산부의 연산과 상기 제2 노드 연산부의 연산이 중첩되도록 수행하는 단계;를 포함하는 저밀도 패리티 검사 부호의 복호기 설계 방법을 제공한다.

[0012] 본 발명의 다른 실시예에 의하면, 상기 제1 노드 연산부의 연산이 종료되기 전 상기 제2 노드 연산부의 연산을 상기 제1 노드 연산부의 연산과 중복 수행하는 시간만큼 줄일 수 있는 최대 시간은 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이에 대응하는 것을 특징으로 하는 저밀도 패리티 검사 부호의 복호기 설계 방법일 수 있다.

[0013] 삭제

발명의 효과

[0014] 본 발명에 따르면, LDPC 부분 병렬 구조 복호기 구현에 있어서의 비트 노드, 체크 노드와 램의 연결 관계를 이용, 비트 노드 연산과 체크 노드 연산을 중첩시켜 복호 시간을 줄일 수 있다. 또한, DVB-S2 표준의 여러 가지 부호율에 따라 상이한 복호 감소 시간을 얻을 수 있다. 만약 DVB-S2 시스템이 오류정정 부분인 LDPC 시스템으로 들어가는 비트 전송 속도를 높일 수 있다면, 본 기법을 이용해 줄인 복호 시간을 처리율의 증가로 연결할 수 있다. 복호 시간의 감소와 처리율의 증가는 수식을 통해 직접적으로 연결되어 있기 때문이다. 또한 여러 가지 제약으로 인해 DVB-S2 시스템이 고정된 비트 전송 속도를 제공한다면, 줄어든 복호 시간을 LDPC의 추가적인 반복 복호에 사용하여 성능 향상을 기대해 볼 수 있다. 또는 복잡도는 낮고 성능이 열화된 복호 알고리즘을 추가적인 반복 복호와 사용하여 기존의 복호 알고리즘과 비슷한 성능을 가져오되, 시스템을 구현 시 하드웨어 사용 면적을 줄일 수도 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기의 블록도이다.

도 2는 LDPC 부호의 부분 병렬 복호기 전체 구조이다.

도 3은 LDPC 부호의 기존의 복호 과정과 노드 연산 중첩을 이용한 복호 과정을 비교하고 있다.

도 4는 LDPC 부호의 부분 병렬 복호 구조의 노드 모듈과 램간 연결 상태를 나타내고 있다.

도 5는 노드 그룹 연산 값의 램 저장을 위한 주소 오프셋을 설명하고 있다.

도 6은 램의 주소 오프셋 값을 통한 노드 연산 중첩 기법의 원리를 보이고 있다.

도 7은 노드 연산 중첩 기법의 예를 설명하고 있다.

도 8은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기 설계 방법의 흐름도이다.

도 9 내지 11은 시뮬레이션 결과이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [0017] 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기는 비트 노드 연산을 수행하는 비트 노드 연산부, 체크 노드 연산을 수행하는 체크 노드 연산부, 상기 비트 노드 연산 및 체크 노드 연산을 제어하는 제어부, 및 상기 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장하는 저장부를 포함하고, 상기 제어부는, 상기 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장부의 주소 오프셋 값을 이용하여 각 노드 연산이 중첩되도록 연산을 수행하는 것을 특징으로 한다.
- [0018] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0019] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결' 또는 '접합'되어 있다고 할 때, 이는 '직접적으로 연결' 또는 '접합'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결' 또는 '접합'되어 있는 경우도 포함한다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0021] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0022] 도 1은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기의 블록도이다.
- [0023] 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기(100)는 비트 노드 연산부(110), 체크 노드 연산부(130), 제어부(150), 및 저장부(120,140)로 구성된다.
- [0024] 오류정정부호의 하나인 LDPC 부호는 뛰어난 성능과 병렬화된 복호기 구조로 인해 WLAN, Wimax, DVB-S2와 같은 높은 data-rate가 필요한 곳에서 널리 사용되고 있다. 특히 DVB-S2 표준은 HDTV와 같은 고화질 위성방송, 양방향 데이터 통신 등 다양한 서비스를 제공하고 있다. 이와 같은 통신 시스템에서 고품질의 서비스를 제공하기 위해서는 데이터의 용량이 커지며 수신기의 데이터 처리 시간이 증가하는 현상이 발생하게 된다. 이에 높은 처리율(throughput)을 보장하는 오류 정정부호인 LDPC 부호가 널리 사용되고 있다.
- [0025] LDPC 부호의 복호기 구조는 크게 세 가지 형태로 나뉘어진다. 세 가지 형태는 순차(serial), 병렬(parallel), 부분 병렬(partial parallel) 복호기이다. 순차 복호기 구조는 시스템 스토리지를 적게 사용하지만 처리율이 낮은 단점이 있다. 이와는 반대로 병렬 복호기 구조는 높은 처리율을 나타내지만 시스템 용량이 매우 크다는 단점을 지니고 있다. 부분 병렬 복호기 구조는 시스템에서 요구하는 처리율과 스토리지를 고려하여 설계 가능하다는 장점을 지니고 있다.
- [0026] LDPC 부호의 비트 노드 연산과 체크 노드 연산을 순차적으로 처리하는 경우에 시스템 복잡도는 크지 않다. 하지만 LDPC 복호기의 속도는 느려지게 된다. 통신 시스템에서 요구하는 수천, 수만 개의 비트를 처리하기 위해서는 이에 상응하는 수천, 수만 개의 비트 노드, 체크 노드가 필요한데, 이를 순차적으로 처리하게 되면 LDPC 복호기의 속도는 느려질 수밖에 없는 것이다.

- [0027] 비트 노드 연산과 체크 노드 연산을 병렬적으로 처리하는 경우, 복호 속도는 빠르지만 시스템 복잡도는 크게 증가한다. 위의 예시처럼, 수많은 비트 노드, 체크 노드를 병렬로 한꺼번에 처리한다면 복호 속도는 빨라지겠지만, 비트 노드, 체크 노드 수만큼의 시스템 하드웨어 면적을 사용하기 때문에 시스템 복잡도는 증가할 수 밖에 없는 것이다. 효율적인 LDPC 복호기 구현을 위해서는 하드웨어 성능(복호 속도)과 시스템 복잡도 간의 절충이 필요하다. 이를 충족하는 구조가 부분 병렬 복호기 구조이다. 복호기의 부분 병렬 처리 방식은 테너 그래프 상에서 DVB-S2 표준 특성 패턴에 따른 노드 그룹핑에 의한 노드 연산모듈을 구현하고, 연산 모듈의 입력이 되는 정보 값이 메모리로부터 충돌이 없이 입력되도록 설계하는 방식이다.
- [0028] 이러한 부분 병렬 구조의 LDPC 복호기를 실제 하드웨어로 구현시, 비트 노드와 체크 노드의 연산에 필요한 입력 값을 제공하고, 비트 노드와 체크 노드의 연산 결과 값을 저장할 램(RAM)이 필요하다. 이 때 각 노드 연산 순서가 꼬이는 것을 방지하기 위해 각 노드가 램에서 값을 읽을 때와 저장할 때의 규칙을 정하게 된다. 일반적으로 각 노드가 램에서 값을 읽을 때는 램의 첫 번째 주소부터 순차적으로 값을 읽어 들이고, 각 노드가 연산 결과 값을 램에 저장할 때는 램의 주소 오프셋 값을 고려하게 된다. 이 램의 주소 오프셋은 DVB-S2 표준에 근거하여 구할 수 있는 값이다. 이러한 램 주소 오프셋 값들을 이용한 연산 결과 값의 저장 과정과 노드 연산에 필요한 값을 읽어들이는 과정을 중첩시킨다면 LDPC 복호에 필요한 시간을 줄일 수 있게 된다.
- [0029] 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기(100)는 비트 노드 연산부, 체크 노드 연산부, 및 저장부의 연결 관계를 이용해 분리되어 있던 비트 노드 연산과 체크 노드 연산을 일부 중첩시켜 동일한 복호 성능을 유지하면서 시스템의 복호 시간을 감소시킬 수 있다.
- [0030] 비트 노드 연산부(110)는 비트 노드 연산을 수행하고, 체크 노드 연산부(130)는 체크 노드 연산을 수행하며, 저장부(120,140)는 각 연산부의 연산 결과 값을 저장한다.
- [0031] 제어부(150)는 비트 노드 연산 및 체크 노드 연산을 제어한다.
- [0032] 보다 구체적으로, 제어부(150)는 비트 노드 연산 또는 체크 노드 연산의 결과 값을 저장부의 주소 오프셋 값을 이용하여 각 노드 연산이 중첩되도록 연산을 수행한다. 이를 통해, 연산을 효율성을 높일 수 있다.
- [0033] LDPC 복호기는 도 2에서 알 수 있듯 부분 병렬 복호 구조는 모든 비트 노드의 연산이 종료된 후 체크 노드의 연산이 시작되고, 모든 체크 노드의 연산이 종료되어야 비트 노드 연산이 시작되는 형태이다. 만약 모든 비트 노드 연산이 종료되기 전에 일부의 체크 노드 연산을 시작할 수 있다면 한 번의 복호 과정에 사용되는 시간을 단축시킬 수 있다. 도 3은 기존의 복호 과정과 노드 연산 중첩을 이용한 복호 과정을 비교해 놓은 것이다. 기존의 부분 병렬 구조 복호기의 연산 순서는 다음과 같다. 먼저 비트 노드(체크 노드) 연산에 필요한 값을 저장부의 첫 번째 주소부터 순차적으로 읽는다. 읽은 값으로 노드 연산을 진행한 연산 결과 값은 각각의 저장부에 주소 오프셋 값을 기준으로 순차적으로 저장된다. 이 과정을 도 4와 같이 나타낼 수 있다. 주소 오프셋 값은 DVB-S2 표준에 의해 만들어지는 요소이며 이를 도 5를 통해 설명하도록 하면 다음과 같다. 도 4와 같이 동일한 비트 노드 연산부와 체크 노드 연산부를 연결했지만 연산부 내부의 비트 노드와 체크 노드의 연결 상태는 다를 수 있다. 이와 같이 노드 연산부 내 비트 노드와 체크 노드의 각기 다른 연결 상태를 맞추기 위해 비트 노드의 연산 값을 저장부에 저장 시 주소 오프셋 값을 고려하여 저장하는 것이다. 도 6과 같이 연산 결과 값을 각 램(저장부)의 주소 오프셋 값에 맞춰 저장하는 과정 중에 다음 단계에 진행될 노드 연산에 필요한 입력 값들이 모두 준비가 되는 상황이 발생한다. 따라서 연산 결과 값이 램에 전부 저장 될 때까지 기다리지 않고 그 과정 중간에 다음 노드 연산을 시작할 수 있다. 이를 이용한 노드 연산 중첩을 통해 나머지 노드 연산부의 결과 값을 저장하는 시간만큼을 단축시킬 수 있다. 노드 연산 중첩을 통해 줄일 수 있는 시간은 각각의 램의 주소 오프셋 값이 다른 관계로 각 노드 그룹들마다 상이하게 계산되는데 본 발명에서는 LDPC 코드 복호 시스템의 안정된 동작을 위해 모든 노드 그룹의 노드 중첩 기법으로 계산한 단축 가능 시간 값 중 가장 작은 값만큼을 전체 시스템에서 줄일 수 있도록 복호기를 설계한다.
- [0034] 노드 연산을 효율적으로 중첩시키기 위하여, 제어부(150)는 비트 노드 연산부(110) 또는 체크 노드 연산부(130) 중 먼저 연산이 수행되는 연산부에 연결된 저장부(120)들의 주소 오프셋 값을 산출하고, 상기 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열된 주소 오프셋 값들 사이의 값의 차이를 산출하여, 상기 값의 차이가 가장 큰 두 주소 오프셋 값 중 작은 주소 오프셋 값부터 다음 노드 연산을 수행하도록 제어한다. 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이가 중첩을 통해 줄일 수 있는 최대 시간이 된다. 상기 저장부의 주소 오프셋은 DVB-S2 LDPC 표준을 이용하여 산출할 수 있다.
- [0035] 하나의 노드 그룹과 그 차수에 맞는 램(저장부)과의 연결 상태를 나타낸 도 7의 간단한 예시를 이용하여 노드

연산 중첩을 통해 얼마의 시간을 줄일 수 있는지 설명하도록 하겠다. 설명을 위하여, 비트 노드 연산부 - 저장부 - 체크 노드 연산부로 연결되는 복호기를 가정하고 설명하도록 한다. 비트 노드 연산부와 체크 노드 연산부의 순서는 바뀔 수 있다. 도 7에서 체크 노드 연산부의 차수는 4이고, 이에 따른 램(저장부)의 수는 4개이다. 초기 상태에서 비트 노드 연산부는 램에 10개의 결과 값을 저장해야하고 각 램의 주소 오프셋 값은 각각 0,2,3,7일 수 있다. 한 개의 값을 저장하는데 단위 시간 1 clk이 든다고 가정하자. 도 7(2)와 같이 2 clk이 지나면 모든 램이 주소 오프셋 값부터 2개의 주소에 값을 저장한다. 3 clk이 지나면 도 7(3)과 같이 4개의 램이 주소 오프셋 값부터 3개의 주소에 값을 순차적으로 저장한다. 도 7(4)를 살펴보면 6 clk이 지났을 때 첫 번째 램은 1부터 6까지의 주소에 결과 값을 저장했고, 두 번째 램은 3부터 8까지의 주소, 세 번째 램은 4부터 9까지의 주소, 네 번째 램은 8부터 10까지, 1부터 3까지의 주소에 결과 값을 저장했음을 확인할 수 있다. 따라서 7번째 clk부터는 모든 램의 4번째 주소 값에 결과 값이 저장되어 있으므로 그 주소를 이용하여 체크 노드 연산 시작을 비트 노드 연산 저장 과정에 중첩시켜 진행할 수 있다. 7번째 clk부터 노드 연산 중첩을 가능하므로 결과 값 저장을 위해 필요한 총 10clk 중 4clk을 줄일 수 있음 또한 예시를 통해 확인할 수 있다.

- [0036] 노드 연산 중첩을 통해 줄일 수 있는 최대 시간은 다음 과정을 통해 산출할 수 있다. 일단 각 노드 연산부마다 연결되어 있는 모든 저장부들의 주소 오프셋 값들을 구한다. 그리고 이 값들을 오름차순으로 정리한 후 각각의 값과 다음 차례에 위치한 값의 차이를 구한다. 그 차이 중 가장 큰 값이 줄일 수 있는 최대 시간이 되고 그 차이와 연관된 주소 오프셋 값이 결과 값의 저장 도중 다음 노드 연산을 수행할 수 있는 복호 시작 주소 값이 된다. 도 7에서 각 램의 주소 오프셋 값이 0,2,3,7이므로 가장 차이가 큰 4가 단축할 수 있는 시간이 되고 그 차이와 연관된 3의 주소 오프셋 값(3번째 램 주소)에서 다음 노드 연산을 수행할 수 있는 것이다.
- [0037] 도 8은 본 발명의 일 실시예에 따른 저밀도 패리티 검사 부호의 복호기 설계 방법의 흐름도이다.
- [0038] 도 8에 대한 상세한 설명은 도 1 내지 도 7에 대한 상세한 설명에 대응하는바, 이하 중첩되는 설명은 생략하도록 한다.
- [0039] 810 단계는 각 노드 연산부에 연결되어 있는 저장부들의 주소 오프셋 값을 산출하는 단계이다.
- [0040] 보다 구체적으로, 노드 연산의 중첩할 수 있는 정도를 산출하기 위하여 각 노드 연산부에 연결되어 있는 저장부들의 주소 오프셋 값을 산출한다. 상기 저장부들의 주소 오프셋은 DVB-S2 LDPC 표준을 이용하여 산출할 수 있다.
- [0041] 820 단계는 상기 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열된 주소 오프셋 값들 사이의 값의 차이를 산출하는 단계이다.
- [0042] 보다 구체적으로, 주소 오프셋 값들로부터 중첩에 이용될 주소 오프셋 및 중첩되는 정도를 산출하기 위하여, 810 단계에서 산출된 주소 오프셋 값들을 오름차순으로 배열하고, 상기 배열된 주소 오프셋 값들 사이의 값의 차이를 산출한다.
- [0043] 830 단계는 상기 주소 오프셋 값들 사이의 값의 차이가 가장 큰 두 주소 오프셋 값 중 작은 주소 오프셋 값부터 다음 노드 연산을 수행하도록 설계하는 단계이다.
- [0044] 보다 구체적으로, 820 단계에서 산출된 주소 주소 오프셋 값들 사이의 값의 차이가 가장 큰 두 주소 오프셋 값 중 작은 주소 오프셋 값부터 다음 노드 연산을 수행하도록 설계한다. 상기 값의 차이가 가장 큰 두 주소 오프셋 값들의 값의 차이가 중첩을 통해 줄일 수 있는 최대 시간이 된다.
- [0045] 하기 표 1은 DVB-S2 LDPC 부호 short frame 표준의 각 부호율에 대한 노드 연산 중첩에 따른 1회 복호 시간 감소를 나타낸 것이다.

표 1

부호율	시스템 동작에 필요한 clk수	오버래핑을 통해 줄일 수 있는 clk수	clk의 감소율(%)
1/4	733	144	19.6
1/3	733	118	16.1
2/5	733	107	14.6
1/2	733	114	15.6
3/5	733	79	10.8
2/3	733	87	11.9
3/4	733	70	9.5

4/5	733	92	12.6
5/6	733	67	9.1
8/9	733	56	7.6

[0047] 이처럼 줄인 복호 시간을 두 가지 방법에서 활용할 수 있다. 먼저 전체 시스템의 비트 전송 속도를 높일 수 있는 경우, 복호 시간과 직접으로 연결되어 있는 비트 처리율 수식을 통해 비트 처리율을 높일 수 있다. 비트 처리율을 구하는 식은 아래와 같다.

수학식 1

$$T = \frac{I}{f_{cyc}} \quad [0048]$$

[0049] I는 정보 블록의 길이, #cyc 은 하나의 블록을 처리하는데 필요한 시스템 전체 복호 시간(cyc)이고 f_{clk} 은 하드웨어의 시스템 동작 주파수이다. 전체 복호 시간, 즉 #cyc이 줄어들게 되므로 자연스럽게 비트 처리율의 증가로 이어질 수 있다.

[0050] 전체 DVB-S2 통신 시스템에서 비트의 전송 속도를 높이는 것이 여러 제약으로 인해 불가능할 수도 있다. 본 발명의 실시예에 따른 복호기 설계 방법을 통해 줄인 시간을 추가적인 복호 과정에 사용하고 이를 통해 얻을 수 있는 효과를 살펴보면 다음과 같다. 도 9와 도 10은 DVB-S2 short frame 표준의 부호율 1/2에서 반복 복호 30회와 20회를 기준으로 성능을 분석한 것이다. 도 9는 기존의 30번 반복 복호를 수행한 것과 본 발명의 실시예에 따른 복호기 설계 방법으로 얻은 추가적인 5번의 반복 복호를 진행한 것의 성능을 비교하고 있다. 마찬가지로 도 10은 기존의 30번 반복 복호를 수행한 것과 본 발명의 실시예에 따른 복호기 설계 방법으로 얻은 추가적인 3번의 반복 복호를 진행한 것의 성능을 비교하고 있다. 성능 곡선으로 확인할 수 있듯 노드 연산 중첩 기법으로 얻은 추가적인 반복 복호를 이용해 성능 향상을 기대해 볼 수 있다.

[0051] LDPC 부호의 복호 알고리즘은 최적 복호 방식인 sum-product 알고리즘 방식의 노드 연산을 log-MAP을 통해 복잡도를 낮춘 min*-sum 알고리즘을 사용하였으며 이 중 min* 연산을 하는 체크 노드 연산 부분이 LDPC 부호 복호에서 가장 높은 복잡도를 가지고 있다. min*-sum 복호 알고리즘의 체크 노드 연산은 아래 과정으로 표현된다.

[0052] $v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}$ 를 d_c 개의 인접한 비트 노드에서 체크 노드 k 로 들어오는 정보메시지로, $w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{d_c}}$ 를 체크 노드 k 에서 d_c 개의 인접한 비트 노드로 전송되는 정보메시지라고 각각 가정하면 체크 노드 k 로부터 업데이트되는 정보 메시지 값은

$$w_{k \rightarrow n_i} = g(v_{n_1 \rightarrow k}, \dots, v_{n_{i-1} \rightarrow k}, v_{n_{i+1} \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}) \quad [0053]$$

[0054] 로 표현할 수 있다. 즉, 체크 노드 업데이트 후 정보메시지를 보낼 1개의 비트 노드를 제외한 $d_c - 1$ 개의 비트 노드에서 들어오는 정보메시지를 g함수로 재귀적으로 연산하는 것이다.

[0055] 그 때 g()함수는 min*-sum 알고리즘이며 자세한 식은 아래와 같다.

$$g(a, b) = \text{sign}(a) \times \text{sign}(b) \times \min(|a|, |b|) + \ln \frac{(1 + e^{-|a+b|})}{(1 + e^{-|a-b|})} \quad [0056]$$

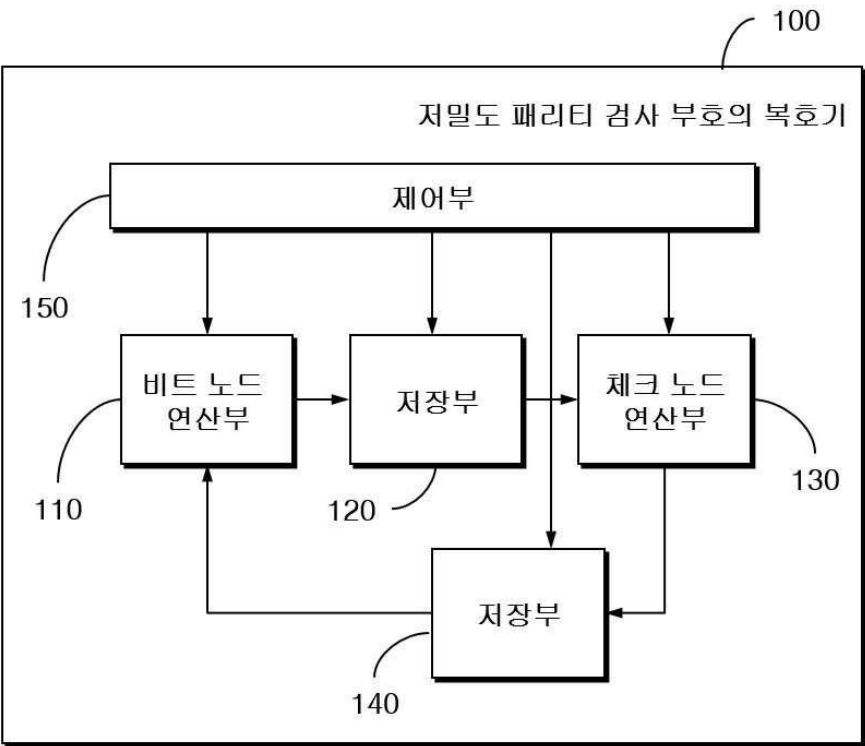
- [0057] min*-sum 복호 알고리즘에 비해 성능 열화는 있으나 복호 복잡도를 낮춘 min-sum 복호 알고리즘은 위의 min*-sum 알고리즘과 같은 과정을 거치나 $g()$ 가 아래와 같은 식으로 변경된다.
- [0058] 도 11은 DVB-S2 short frame 표준의 부호율 1/2에서 반복 복호 20회를 수행하는 min*-sum 알고리즘과 노드 중첩 기법으로 얻은 3번의 추가적인 반복 복호를 수행하는 min-sum 알고리즘의 성능을 분석한 것이다. 도 11에서 볼 수 있듯 23번의 반복 복호를 수행하는 min-sum 알고리즘이 20번의 반복 복호를 수행하는 min*-sum 알고리즘보다 성능이 더 향상됨을 확인할 수 있다. min-sum 알고리즘 사용 시 복호 복잡도가 줄어들게 되므로 만약 이를 하드웨어로 구현 시 시스템 사용면적을 줄이는 효과 또한 얻을 수 있다. 여러 가지 결과들을 통해 고정된 비트 전송 속도를 사용하더라도 줄인 시간을 이용해 반복 복호를 추가로 진행하여 시스템 성능을 높일 수 있고, 복잡도가 다소 낮은 복호 알고리즘과 추가적인 반복 복호를 함께 사용하여 기존에 사용한 복호 알고리즘 유사한 성능이 나오도록 하면서 시스템 사용 면적을 줄일 수 있는 효과를 확인하였다.
- [0059] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0060] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

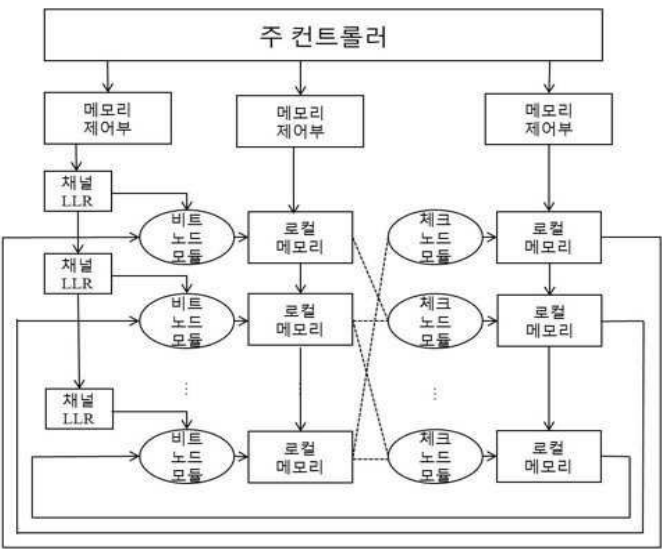
- [0061] 100: 저밀도 패리티 검사 부호의 복호기
- 110: 비트 노드 연산부
- 120, 140: 저장부
- 130: 체크 노드 연산부
- 150: 제어부

도면

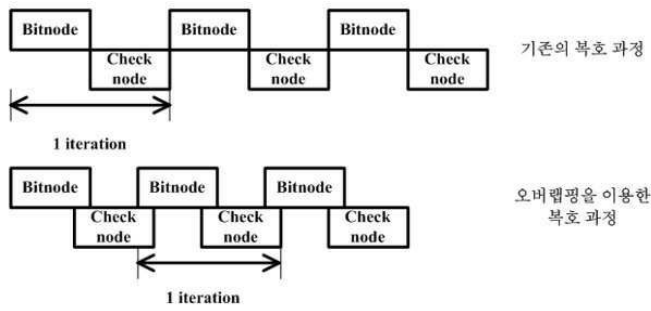
도면1



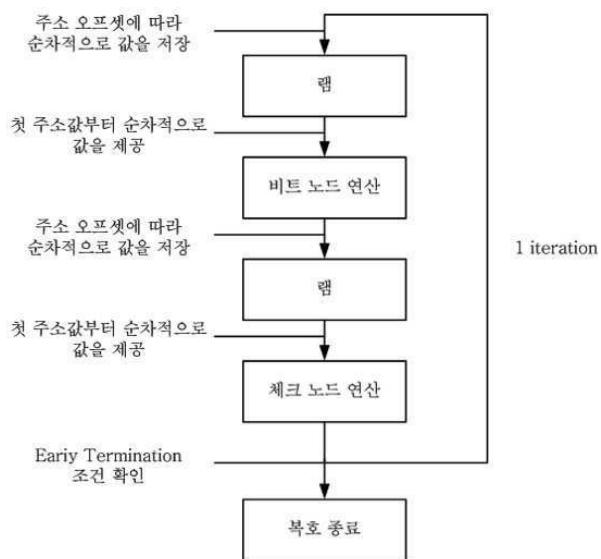
도면2



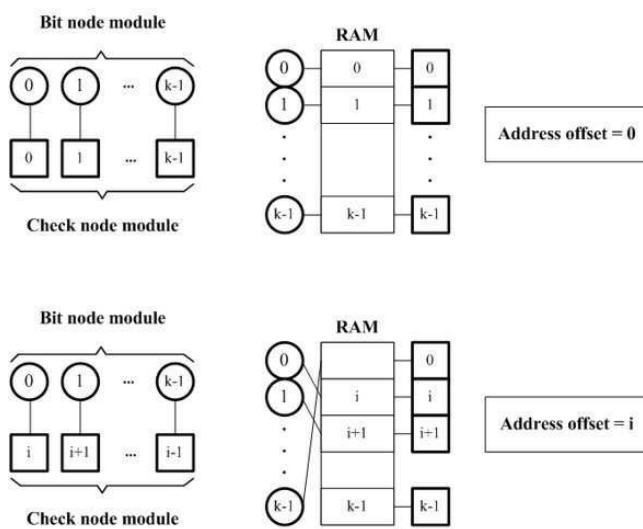
도면3



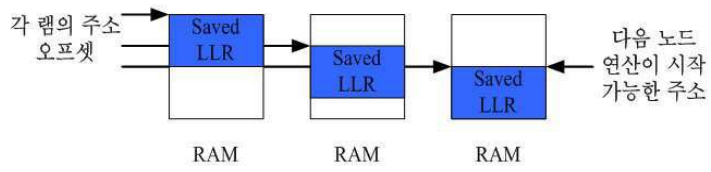
도면4



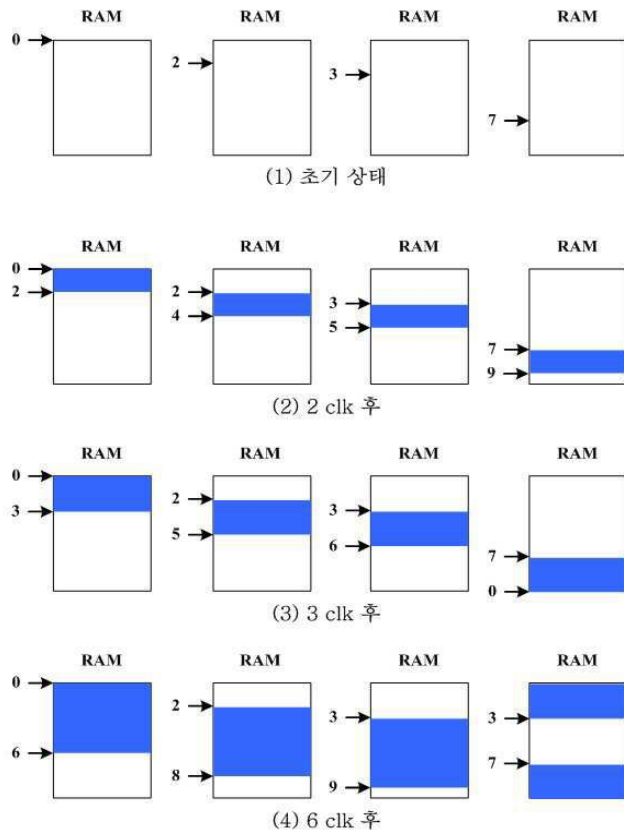
도면5



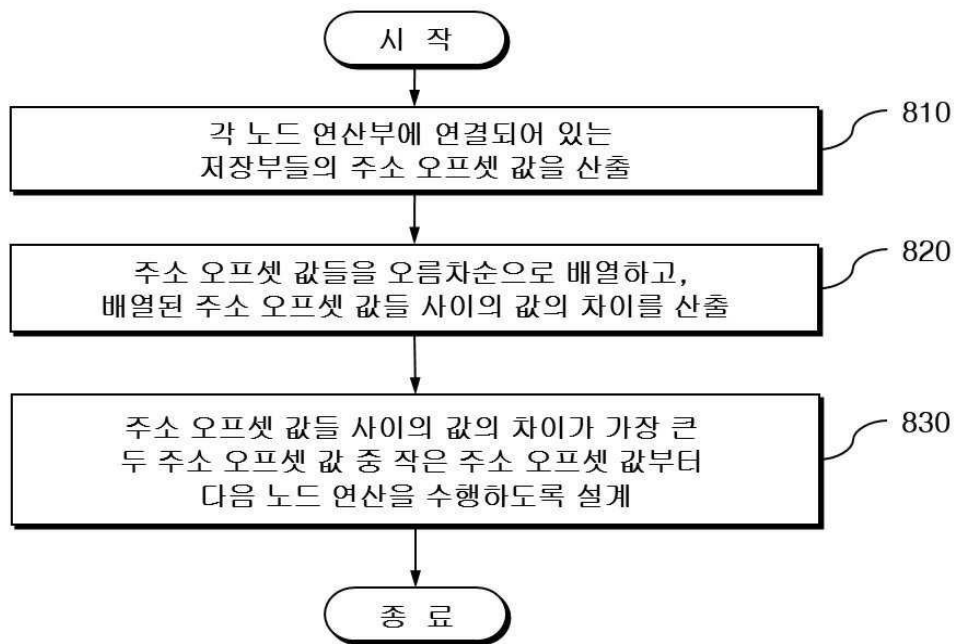
도면6



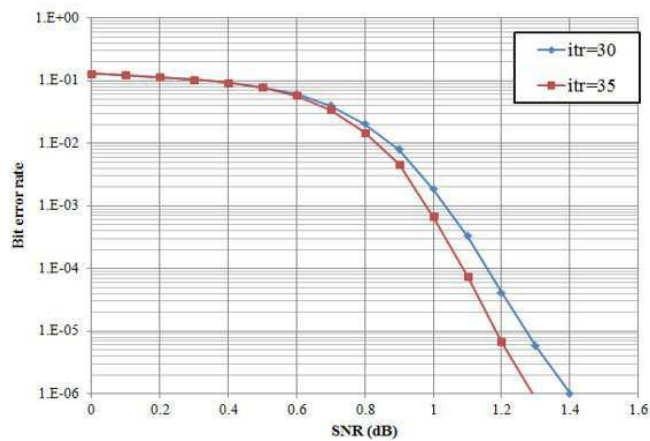
도면7



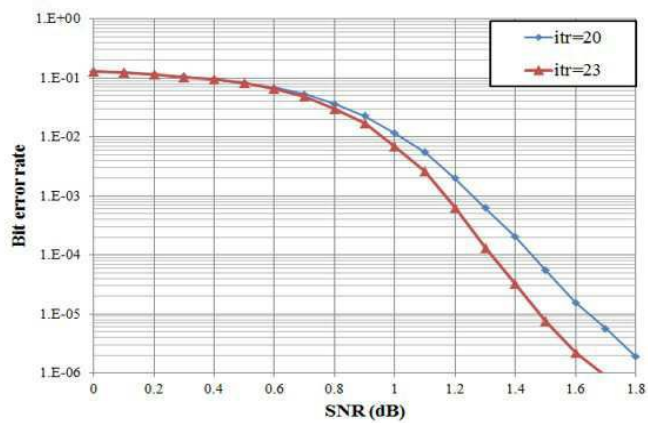
도면8



도면9



도면10



도면11

