

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7546559号
(P7546559)

(45)発行日 令和6年9月6日(2024.9.6)

(24)登録日 令和6年8月29日(2024.8.29)

(51)国際特許分類 F I
G 0 6 F 1/12 (2006.01) G 0 6 F 1/12
G 0 6 F 13/42 (2006.01) G 0 6 F 13/42 3 5 0 Z

請求項の数 17 (全22頁)

(21)出願番号	特願2021-522076(P2021-522076)	(73)特許権者	514108838 マジック リープ, インコーポレイテッド M a g i c L e a p, I n c . アメリカ合衆国 フロリダ 3 3 3 2 2 , プランテーション, ウエスト サンライズ ブルバード 7 5 0 0 7 5 0 0 W S U N R I S E B L V D , P L A N T A T I O N , F L 3 3 3 2 2 U S A
(86)(22)出願日	令和1年10月23日(2019.10.23)	(74)代理人	100078282 弁理士 山本 秀策
(65)公表番号	特表2022-505662(P2022-505662 A)	(74)代理人	100113413 弁理士 森下 夏樹
(43)公表日	令和4年1月14日(2022.1.14)	(74)代理人	100181674 弁理士 飯田 貴敏
(86)国際出願番号	PCT/US2019/057723		
(87)国際公開番号	WO2020/086760		
(87)国際公開日	令和2年4月30日(2020.4.30)		
審査請求日	令和4年10月13日(2022.10.13)		
(31)優先権主張番号	62/750,180		
(32)優先日	平成30年10月24日(2018.10.24)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 非同期 A S I C

(57)【特許請求の範囲】

【請求項 1】

電子デバイスであって、

第一のクロックと同期するように構成された第一の回路構成であって、前記第一のクロックは、ある周波数で動作するように構成されている、第一の回路構成と、

前記第一のクロックに基づいて第二のクロックおよび第三のクロックを生成するように構成された第二の回路構成であって、前記第二のクロックは、前記第一のクロックの前記周波数で動作するように構成されており、前記第一のクロックに対する第一の位相シフトを伴って動作するようにさらに構成されており、前記第三のクロックは、前記第一のクロックの前記周波数で動作するように構成されており、前記第一のクロックに対する第二の位相シフトを伴って動作するようにさらに構成されており、前記第二のクロックおよび前記第三のクロックは、複数のクロック候補から選ばれ、前記複数のクロック候補は、前記第一のクロックに対する複数の位相シフトと関連付けられる、第二の回路構成と、

前記第二のクロックと同期するように構成された第三の回路構成と、

前記第一の回路構成と前記第三の回路構成との間に電子的に結合されるデータバスであって、前記第一の回路構成は、前記データバスを介して前記第三の回路構成にデータを送信するようにさらに構成されている、データバスと、

前記データを受信し、前記第三のクロックと同期するように構成された第一のラッチであって、前記第三のクロックは、前記第一の回路構成と前記第一のラッチとの間のレイテンシに基づいて、前記複数のクロック候補から選ばれる、第一のラッチと

を備える、電子デバイス。

【請求項 2】

前記複数のクロック候補のうちの各クロック候補は、前記第一のクロックの前記周波数で動作するように構成されている、請求項 1 に記載の電子デバイス。

【請求項 3】

前記第二のクロックは、前記複数のクロック候補のうちの、180 度に最も近いそれぞれの位相シフトを有するクロック候補であるように選ばれる、請求項 1 に記載の電子デバイス。

【請求項 4】

前記第二のクロックは、前記電子デバイスのトランジスタ共振を減らすように選ばれる、請求項 1 に記載の電子デバイス。

10

【請求項 5】

前記電子デバイスは、ASIC であり、前記第一の回路構成は、前記 ASIC の第一の機能ブロックに対応し、前記第二の回路構成は、ディレイロックループを備え、前記第三の回路構成は、前記 ASIC の第二の機能ブロックに対応する、請求項 1 に記載の電子デバイス。

【請求項 6】

前記電子デバイスは、メモリをさらに備え、

前記電子デバイスは、前記メモリに対するデータ書き込み動作を実行するように構成されており、前記データ書き込み動作は、前記第一のクロックに同期され、

20

前記電子デバイスは、前記メモリに対するデータ読み取り動作を実行するようにさらに構成されており、前記データ読み取り動作は、前記第二のクロックに同期される、請求項 1 に記載の電子デバイス。

【請求項 7】

前記データバスは、第一のワイヤを含む 1 つまたは複数のワイヤを備え、前記第一のラッチは、前記第一のワイヤを介して前記データを受信するように構成されている、請求項 1 に記載の電子デバイス。

【請求項 8】

前記電子デバイスは、1 つまたは複数のラッチを備え、前記 1 つまたは複数のラッチは、前記第一のラッチを含み、

30

前記 1 つまたは複数のラッチのうちの各ラッチは、前記 1 つまたは複数のワイヤのうちのそれぞれのワイヤに対応し、前記それぞれのワイヤを介して前記データを受信するように構成されており、

前記 1 つまたは複数のラッチのうちの各ラッチは、前記複数のクロック候補から選ばれるそれぞれのクロックと同期するように構成されており、

各それぞれのクロックは、前記データを送信する前記第一の回路構成と、前記データを受信するそのそれぞれのラッチとの間のレイテンシに基づいて、前記複数のクロック候補から選ばれる、請求項 7 に記載の電子デバイス。

【請求項 9】

方法であって、前記方法は、第一の回路構成と第二の回路構成と第三の回路構成とデータバスと第一のラッチとを備える電子デバイスにおいて、

40

前記第一の回路構成を、ある周波数で動作する第一のクロックと同期させることと、

前記第一のクロックに基づいて第二のクロックおよび第三のクロックを生成することと、

複数のクロック候補から前記第二のクロックおよび前記第三のクロックを選ぶことであって、前記第二のクロックは、前記第一のクロックの前記周波数で動作し、前記第一のクロックに対する第一の位相シフトを伴ってさらに動作し、前記第三のクロックは、前記第一のクロックの前記周波数で動作し、前記第一のクロックに対する第二の位相シフトを伴ってさらに動作し、前記複数のクロック候補は、前記第一のクロックに対する複数の位相シフトと関連付けられる、ことと、

50

前記第三の回路構成を前記第二のクロックと同期させることと、

前記第一の回路構成から前記第三の回路構成に前記データバスを介してデータを送信することと、

前記第一のラッチを前記第三のクロックと同期させることであって、前記第三のクロックは、前記第一の回路構成と前記第一のラッチとの間のレイテンシに基づいて、前記複数のクロック候補から選ばれる、ことと、

前記第一のラッチを介して前記データを受信することと

を含む、方法。

【請求項 10】

前記複数のクロック候補のうちの各クロック候補は、前記第一のクロックの前記周波数で動作する、請求項 9 に記載の方法。 10

【請求項 11】

前記第二のクロックは、前記複数のクロック候補のうちの、180度以最も近いそれぞれの位相シフトを有するクロック候補であるように選ばれる、請求項 9 に記載の方法。

【請求項 12】

前記第二のクロックは、前記電子デバイスのトランジスタ共振を減らすように選ばれる、請求項 9 に記載の方法。

【請求項 13】

前記第一の回路構成は、ASICの第一の機能ブロックに対応し、前記第二の回路構成は、ディレイロックループを備え、前記第三の回路構成は、前記ASICの第二の機能ブロックに対応する、請求項 9 に記載の方法。 20

【請求項 14】

前記第一のクロックの遷移に従って、前記電子デバイスのメモリに対するデータ書き込み動作を実行することと、

前記第二のクロックの遷移に従って、前記メモリに対するデータ読み取り動作を実行することと

をさらに含む、請求項 9 に記載の方法。

【請求項 15】

データを送信する方法であって、前記方法は、

第一の回路構成を、ある周波数で動作する第一のクロックと同期させることであって、前記第一のクロックは、第一のクロックドメインに関連付けられる、ことと、 30

前記第一のクロックに基づいて第二のクロックを生成することであって、前記第二のクロックは、前記第一のクロックの前記周波数で動作し、前記第一のクロックに対する第一の位相シフトを伴ってさらに動作し、前記第二のクロックは、第二のクロックドメインに関連付けられる、ことと、

第二の回路構成を前記第二のクロックと同期させることであって、前記第二の回路構成は、データバスに電子的に結合される1つまたは複数のラッチを介して前記第一の回路構成からデータを受信するように構成されており、前記データバスは、第一のワイヤを含む1つまたは複数のワイヤを備え、前記1つまたは複数のラッチは、前記第一のワイヤを介して前記データを受信するように構成された第一のラッチを含む、ことと、 40

複数のクロック候補を生成することであって、前記複数のクロック候補のうちの各クロック候補は、前記第一のクロックの前記周波数で動作するように構成されており、前記第一のクロックに対するそれぞれの位相シフトを伴って動作するようにさらに構成されている、ことと、

前記第一のラッチを、前記複数のクロック候補から選ばれる第三のクロックと同期させることであって、前記第三のクロックは、前記第一のクロックの前記周波数で動作し、前記第一のクロックに対する第二の位相シフトを伴ってさらに動作し、前記第二の位相シフトは、前記第一の位相シフトとは異なる、ことと、

前記データバスおよび前記第一のラッチを介して前記第一の回路構成から前記第二の回路構成に前記データを送信することと、 50

メモリに対するデータ書き込み動作を実行することであって、前記データ書き込み動作は、前記第一のクロックに同期される、ことと、

前記メモリに対するデータ読み取り動作を実行することであって、前記データ読み取り動作は、前記第二のクロックに同期される、ことと

を含み、

前記データ書き込み動作は、データを前記メモリに書き込むことを含み、

前記メモリに書き込まれた前記データは、前記第三のクロックを介して登録される、方法。

【請求項 16】

前記第三のクロックは、前記データを送信する前記第一の回路構成と、前記データを受信する前記第一のラッチとの間のレイテンシに基づいて、前記複数のクロック候補から選ばれる、請求項 15 に記載の方法。

10

【請求項 17】

前記 1 つまたは複数のラッチのうちの各ラッチは、前記 1 つまたは複数のワイヤのうちのそれぞれのワイヤに対応し、前記それぞれのワイヤを介して前記データを受信するように構成されており、

前記方法は、

前記 1 つまたは複数のラッチのうちの各ラッチに対して、前記ラッチと前記データを送信する前記第一の回路構成との間のレイテンシに基づいて前記複数のクロック候補からそれぞれのクロックを選ぶことと、前記ラッチをそのそれぞれのクロックに同期させることと

20

をさらに含む、請求項 16 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2018年10月24日に提出された米国仮特許出願第62/750180号に対する優先権を主張し、米国仮特許出願第62/750,180号の内容は、それらの全体が参照によって本明細書に援用される。

【0002】

(分野)

本開示は、電子回路に関連し、特に、電子デバイスの部品へとクロック信号を提供するためのシステムおよび方法に関連する。

30

【背景技術】

【0003】

(背景)

ほとんど全てのデジタル論理デバイスが、これらのデバイスの電子部品の、時間を合わせられた挙動を始動させるために、または制御するためにクロック信号を使用している。例えば、レジスタのクロック入力へと提供されたクロック信号は、レジスタに、データ入力をデータ出力へと伝えさせる。低レベルでは、クロック信号(例えば、論理1と論理0とを交互に繰り返す周期性デジタル論理信号)は、1つまたは複数の半導体デバイス(例えば、レジスタのトランジスタ)に、伝導状態から非伝導状態へと切り替わらせ得、またはその逆をさせ得る。

40

【0004】

特定用途向け集積回路(ASIC)を含むデバイスでは、ASICは、個別の機能ユニット(または「ブロック」)を、ブロックのローカルクロックに同期されている各ブロックのレジスタを伴って含むと考えられ得る。ブロックは、ブロックに関連付けられた1つまたは複数の機能を実行するように構成された(プログラム可能な論理回路構成を含む)回路構成を含み得る。いわゆる同期回路設計では、2つまたはそれより多いブロックが、単一の「クロックドメイン」において同じグローバルクロックに同期され得る。クロックドメイン内でブロックを同期することによって、同期回路は、複数の独立なローカルクロ

50

ックを用いることに共通する問題、すなわち、補正するために非効率なりバッファリングオペレーションを必要とし得るクロックドリフトを回避し得る。しかしながら、同じクロック信号を複数のクロックへと同時に提供することによって、同期回路は、一度に切り替わる多数のトランジスタによって引き起こされる共振回路ノイズ（「トランジスタ共振」）等の不要な高次効果を経験し得る。現代のデジタルデバイスに対しては、このようなトランジスタの数は驚異的（いくつかのデバイスに対しては数百億のオーダー）であり、結果として生じる共振回路ノイズは、極めて顕著となり得る。その上、これらの不要な効果は、クロック周波数が増大するにつれて増幅され得る。同期されたクロックがもたらし得る不要なノイズを回避しつつ同期されたクロックの利点を保持する計時スキームを利用することが望ましい。本明細書に記載されるように、このことは、クロックドメインを「位相シフトしたクロックドメイン」へと分割することによって達成され得、ここで、位相シフトしたクロックドメインは、データを非同期的にやりとりするが、共通のリファレンスクロックから派生した「位相シフトしたクロック」に同期される。

10

【発明の概要】

【課題を解決するための手段】

【0005】

（簡単な概要）

デジタルデバイスにおいてクロック信号を示すためのシステムおよび方法が、開示される。いくつかの例では、ある周波数で動作するように構成された第一のクロックを備えた電子デバイスが、開示される。電子デバイスの第一の回路構成は、第一のクロックと同期するように構成されている。第二の回路構成は、第一のクロックに基づいて第二のクロックを決めるように構成されている。第二のクロックは、第一のクロックの周波数で動作するように構成されており、さらに、第一のクロックに対する位相シフトを伴って動作するように構成されている。第三の回路構成は、第二のクロックと同期するように構成されている。

20

本発明は、例えば、以下を提供する。

（項目1）

ある周波数で動作するように構成された第一のクロックと、
該第一のクロックと同期するように構成された第一の回路構成と、
該第一のクロックに基づいて第二のクロックを決めるように構成された第二の回路構成
であって、該第二のクロックは、該第一のクロックの該周波数で動作するように構成され
ており、さらに、該第一のクロックに対する位相シフトを伴って動作するように構成され
ている、第二の回路構成と、
該第二のクロックと同期するように構成された第三の回路構成と
を備える電子デバイス。

30

（項目2）

前記第二のクロックを決めることが、
複数のクロック候補を生成することであって、該複数のクロック候補の各クロック候補
が、前記第一のクロックの前記周波数で動作するように構成されており、さらに、該第一
のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、こと
と、
該複数のクロック候補から該第二のクロックを選ぶことと
を備える、項目1に記載の電子デバイス。

40

（項目3）

前記第二のクロックが、前記複数のクロック候補のうちの、180度に最も近いそれぞ
れの位相シフトを有するクロック候補であるように選ばれる、項目2に記載の電子デバイ
ス。

（項目4）

前記第二のクロックが、前記電子デバイスのトランジスタ共振を減らすように選ばれる
、項目2に記載の電子デバイス。

50

(項目5)

前記電子デバイスが、ASICであり、前記第一の回路構成が、該ASICの第一の機能ブロックに対応し、前記第二の回路構成が、ディレイロックループを備え、前記第三の回路構成が、該ASICの第二の機能ブロックに対応する、項目1に記載の電子デバイス。

(項目6)

前記電子デバイスが、さらにメモリを備え、
該電子デバイスが、該メモリに対するデータ書き込み動作を実行するように構成されており、該データ書き込み動作は、前記第一のクロックに同期され、
該電子デバイスが、該メモリに対するデータ読み取り動作を実行するように構成されており、該データ読み取り動作は、前記第二のクロックに同期される、
項目1に記載の電子デバイス。

10

(項目7)

前記第一の回路構成が、さらに、前記第三の回路構成へとデータを送信するように構成されている、項目1に記載の電子デバイス。

(項目8)

前記電子デバイスが、前記第一の回路構成および前記第三の回路構成に電子的に結合されるデータバスをさらに備え、該データバスは、第一のワイヤを含む1つまたは複数のワイヤを備え、
該第一の回路構成が、さらに、該データバスを介して該第三の回路構成へと前記データを送信するように構成されており、

20

該電子デバイスが、第一のラッチを含む1つまたは複数のラッチをさらに備え、該第一のラッチは、該第一のワイヤを介して該データを受信するように構成されており、該第一のラッチは、前記第一のクロックに基づいて決められる第三のクロックと同期するように構成されており、

該第一のクロックに基づいて該第三のクロックを決めることは、
複数のクロック候補を生成することであって、該複数のクロック候補のうちの各クロック候補は、該第一のクロックの前記周波数で動作するように構成されており、さらに、該第一のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、
ことと、

該複数のクロック候補から該第三のクロックを選ぶことと
を備え、

30

該第三のクロックが、該データを送信する該第一の回路構成と、該データを受信する該第一のラッチとの間のレイテンシに基づいて該複数のクロック候補から選ばれる、

項目7に記載の電子デバイス。

(項目9)

前記1つまたは複数のラッチのうちの各ラッチが、前記1つまたは複数のワイヤのうちのそれぞれのワイヤに対応し、該それぞれのワイヤを介して前記データを受信するように構成されており、

該1つまたは複数のラッチのうちの各ラッチが、前記複数のクロック候補から選ばれるそれぞれのクロックと同期するように構成されており、

40

それぞれのクロックが、該データを送信する前記第一の回路構成と、該データを受信するそのそれぞれのクロックのラッチとの間のレイテンシに基づいて該複数のクロック候補から選ばれる、

項目8に記載の電子デバイス。

(項目10)

第一の回路構成、第二の回路構成および第三の回路構成を備える電子デバイスにおいて、
該第一の回路構成をある周波数で動作する第一のクロックと同期させることと、

該第一のクロックに基づいて第二のクロックを決めることであって、該第二のクロックは、該第一のクロックの該周波数で動作し、さらに、該第一のクロックに対する位相シフトを伴って動作する、ことと、

50

該第三の回路構成を該第二のクロックと同期させることとを備える、方法。

(項目11)

前記第二のクロックを決めることが、複数のクロック候補を生成することであって、該複数のクロック候補のうちの各クロック候補は、前記第一のクロックの前記周波数で動作し、さらに、該第一のクロックに対するそれぞれの位相シフトを伴って動作する、ことと、該複数のクロック候補から該第二のクロックを選ぶこととを備える、項目10に記載の方法。

(項目12)

前記第二のクロックが、前記複数のクロック候補のうちの、180度に最も近いそれぞれの位相シフトを有するクロック候補であるように選ばれる、項目11に記載の方法。

(項目13)

前記第二のクロックが、前記電子デバイスのトランジスタ共振を減らすように選ばれる、項目11に記載の方法。

(項目14)

前記第一の回路構成が、ASICの第一の機能ブロックに対応し、前記第二の回路構成が、ディレイロックスループを備え、前記第三の回路構成が、該ASICの第二の機能ブロックに対応する、項目10に記載の方法。

(項目15)

前記第一のクロックの遷移に従って前記電子デバイスのメモリに対するデータ書き込み動作を実行することと、

前記第二のクロックの遷移に従って、該メモリに対するデータ読み取り動作を実行することと

をさらに備える、項目10に記載の方法。

(項目16)

前記第一の回路構成から前記第三の回路構成へとデータを送信することをさらに備える、項目10に記載の方法。

(項目17)

データを送信する方法であって、該方法は、

第一の回路構成をある周波数で動作する第一のクロックと同期させることであって、該第一のクロックは、第一のクロックドメインに関連付けられる、ことと、

該第一のクロックに基づいて第二のクロックを決めることであって、該第二のクロックは、該第一のクロックの該周波数で動作し、さらに、該第一のクロックに対する位相シフトを伴って動作し、該第二のクロックは、第二のクロックドメインに関連付けられる、ことと、

第二の回路構成を該第二のクロックと同期させることであって、該第二の回路構成は、データバスに電子的に結合される1つまたは複数のラッチを介して該第一の回路構成からデータを受信するように構成されており、該データバスは、第一のワイヤを含む1つまたは複数のワイヤを備え、該1つまたは複数のラッチは、該第一のワイヤを介して該データを受信するように構成された第一のラッチを含む、ことと、

複数のクロック候補を生成することであって、該複数のクロック候補のうちの各クロック候補は、該第一のクロックの該周波数で動作するように構成されており、さらに、該第一のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、ことと、

該第一のラッチを該複数のクロック候補から選ばれる第三のクロックと同期させることと、

該データバスおよび該第一のラッチを介して該第一の回路構成から該第二の回路構成へと該データを送信することと

を備える、方法。

10

20

30

40

50

(項目 1 8)

前記第三のクロックが、前記データを送信する前記第一の回路構成と、該データを受信する前記第一のラッチとの間のレイテンシに基づいて前記複数のクロック候補から選ばれる、項目 1 7 に記載の方法。

(項目 1 9)

前記 1 つまたは複数のラッチのうちの各ラッチが、前記 1 つまたは複数のワイヤのうちのそれぞれのワイヤに対応し、該それぞれのワイヤを介して前記データを受信するように構成されており、

前記方法が、

前記 1 つまたは複数のラッチのうちの各ラッチに対して、該ラッチと該データを送信する前記第一の回路構成との間のレイテンシに基づいて前記複数のクロック候補からそれぞれのクロックを選ぶことと、該ラッチをそのそれぞれのクロックに同期させることとをさらに備える、項目 1 8 に記載の方法。

10

【図面の簡単な説明】**【 0 0 0 6 】**

(図面の簡単な説明)

【図 1】 図 1 は、いくつかの実施形態に従った、クロックドメインへとグループ化されたブロックを伴う例となる電子デバイスを図示している。

【 0 0 0 7 】

【図 2】 図 2 は、いくつかの実施形態に従った、クロックドメインおよび位相シフトしたクロックドメインへとグループ化されたブロックを伴う例となる電子デバイスを図示している。

20

【 0 0 0 8 】

【図 3】 図 3 は、いくつかの実施形態に従った、データをやりとりするように構成された、電子デバイスの 2 つの位相シフトしたクロックドメインの例を図示している。

【 0 0 0 9 】

【図 4】 図 4 は、いくつかの実施形態に従った、電子デバイスの 2 つの位相シフトしたクロックドメイン間でデータを転送するように構成された例となる先入先出 (F I F O) バッファを図示している。

【 0 0 1 0 】

【図 5】 図 5 は、いくつかの実施形態に従った、参照クロックから位相シフトしたクロックを生成する例を図示している。

30

【 0 0 1 1 】

【図 6】 図 6 は、いくつかの実施形態に従った、電子デバイスの 2 つの位相シフトしたクロックドメイン間のデータ転送を構成するための例となるプロセスのブロック図を図示している。

【発明を実施するための形態】**【 0 0 1 2 】**

(詳細な説明)

以下の例の説明では、本明細書の一部を形成する付属の図面への参照がなされ、図中では、実践され得る具体的な例が、図示によって示されている。他の例が用いられ得ることと、開示される例の範囲を逸脱せずに構造の変更がなされ得ることとが理解されることとなる。

40

【 0 0 1 3 】

図 1 は、いくつかの実施形態に従った A S I C 1 0 0 の高レベル図を図示している。A S I C 1 0 0 は、7 つの機能ブロック 1 1 0、1 1 2、1 1 4、1 1 6、1 1 8、1 2 0 および 1 2 2 と、3 つの参照クロック 1 3 0、1 3 2 および 1 3 4 と、3 つのクロックドメイン 1 4 0、1 4 2 および 1 4 4 とを含み、クロックドメイン 1 4 0 は参照クロック 1 3 0 に同期されており、クロックドメイン 1 4 2 は参照クロック 1 3 2 に同期されており、クロックドメイン 1 4 4 は参照クロック 1 3 4 に同期されている。図 1 に示されている

50

ように、複数のブロック（例えば110、112、114）が同じクロックドメイン（例えばクロックドメイン140）に同期されるように、3つのクロックドメイン（140、142、144）は、ASIC100の7つのブロック（110、112、114、116、118、120、122）間で共有される。同じクロックドメインに同期されたブロックは、クロックドリフトの排除（ブロックを独立のクロックに同期させる必要性を除去する）等の利益を享受する。このようなシステムでは、同じクロックドメイン内の2つのブロック間で（例えば、本例におけるブロック110とブロック112との間で）、データが同期的に送信され得る。

【0014】

しかしながら、複数のブロック（例えばブロック110、112、114）を同じクロックドメイン（例えばクロックドメイン140）に同期させることは、特有の問題をもたらし得る。例として、例えば送信ブロック（例えばブロック110）と受信ブロック（例えばブロック112）とを接続するワイヤの長さが部分的に原因となって、送信ブロックから受信ブロックへと送られるデータ信号に伝搬遅延が発生し、これらの信号は、（これらの信号を運ぶワイヤの異なる長さが部分的に原因となって）受信ブロック内のこれらの信号のそれぞれの宛先へと全て同時には到着しない場合がある。このようなタイミングの誤差を補正することは、オーバーヘッドと複雑性をもたらし、例として、データ信号は、データ信号が送信ブロックから受信ブロックへと伝搬するときに送信経路に沿ってバッファされる必要があり得、バッファリングプロセスは、送信ブロックと受信ブロックとを含むデジタル論理デバイスの電力消費を一般に増大させる。より悪いことに、バッファリングの必要性は、デジタル論理デバイスのサイズおよび複雑性に伴って増大し、デジタル論理デバイスは、より大きな数のブロックと、チップ間通信のためのより細かいワイヤとを一層必要とする。

【0015】

さらに、単一のクロックドメイン内でデジタル論理デバイスの複数のブロックを同期することは、これらのブロック内の半導体デバイスの伝導状態遷移活動が同期されることを意味する。例えば、同じクロックドメイン内のブロック（例えばクロックドメイン140内のブロック110、112、114）にある全てのトランジスタが、同時に状態を変化させ得る。結果として生じる共振は、ASIC100のサイズ、複雑性およびトランジスタ密度に伴って増減する不要なデジタルノイズをもたらし得る。ノイズ絶縁をASICブロックへと加えることによってこのようなノイズが減らされ得る一方で、ノイズ絶縁を加えることは、不要な電力消費を一般にもたらし、レイアウトおよび設計の望ましくない制約を示し得る。このようなトランジスタがオン状態とオフ状態との間を遷移する時間を、単一のクロックドメイン内でずらすことが望ましい。

【0016】

従って、ASICの電力消費および複雑性を減らすために、同じクロックドメインに同期されている2つのASICブロック間で送信されるデータ信号をリバッファする必要性が減らされ得る。さらに、単一のクロックドメイン内の半導体の同期された切り替えによって引き起こされるノイズが減らされ得る。その上、これらの目的は、複数のASICブロックを単一のクロックドメイン内の単一の参照クロックに同期することの利益（例えば簡便性、信頼性）を保持しつつ成し遂げられ得る。

【0017】

いくつかの実施形態では、これは、単一の参照クロックに同期された単一のクロックドメイン内で、1つまたは複数の位相シフトしたクロックを参照クロックから生成することによって、およびその位相シフトしたクロックドメイン内の、レジスタのサブセットに各位相シフトしたクロックを結合することによって達成され得る。参照クロックから生成された位相シフトしたクロックは、参照クロックと同じ周波数を共有し得るが、参照クロックに対する位相シフトを伴って動作し得る。位相シフトしたクロックは同じ参照クロックから生成され、参照クロックと同じ周波数で動作するので、同じ位相シフトしたクロックドメイン内の2つの位相シフトしたクロック間でも、位相シフトしたクロックとその参照

10

20

30

40

50

クロックとの間でもクロックドリフトが起こらない。クロックドメイン内のレジスタは、サブグループ（「位相シフトしたクロックドメイン」）へと分けられ得、各サブグループは、位相シフトしたクロックに合わせて計時され、各位相シフトしたクロックの位相シフトが、参照クロックに関して、対応するレジスタのトランジスタがいつ状態を変化させるかを決定する。これらの状態変化の時間は、望ましい「ロードバランシング」を達成するために、回路設計者によってずらされ得る。ロードバランシングは、設計の切り替えピークを制御するための設計者の努力を反映し得る。例えば、多くのレジスタまたは全てのレジスタが同じ瞬間に切り替わるASICは、電力供給部からの高いピークの電流と、高レベルのノイズとを経験し得る。しかし、多数のレジスタが同じ瞬間に切り替わらないようにASICブロックを位相シフトしたクロックに同期することによって、電力供給部からのより低いピークの電流と、より低いノイズとが実現され得る。

10

【0018】

図2は、いくつかの実施形態に従った、例となるASIC100のクロックドメインを、位相シフトしたクロックドメインへと分ける例を図示している。図2に図示されているように、クロックドメイン140（参照ブロック130に同期されている）が、3つの位相シフトしたクロックドメイン140A、140Bおよび140Cへと細分されている。位相シフトしたクロックドメイン140Aは、位相シフトしたクロック130Aに同期され得、位相シフトしたクロックドメイン140Bは、位相シフトしたクロック130Bに同期され得、位相シフトしたクロックドメイン140Cは、位相シフトしたクロック130Cに同期され得、ここで、位相シフトしたクロック130A、130Bおよび130Cは、参照クロック130から派生し、参照クロック130と同じ周波数で動作する。同様に、本例において、クロックドメイン142が、位相シフトしたクロックドメイン142A、142Bおよび142Cへと細分されており、位相シフトしたクロックドメイン142Aは位相シフトしたクロック132Aに同期されており、位相シフトしたクロックドメイン142Bは位相シフトしたクロック132Bに同期されており、位相シフトしたクロックドメイン142Cは位相シフトしたクロック132Cに同期されており、これらの位相シフトしたクロックは参照クロック132から派生している。全てのクロックドメインが位相シフトしたクロックドメインへと分けられる必要はなく、例として、示されている例において、クロックドメイン144は位相シフトしたクロックドメインへと分けられておらず、依然として参照クロック134に同期されている。

20

30

【0019】

ASICブロックは、1つまたは複数の位相シフトしたクロックドメインに同期され得る。例として、図2に示されている例において、ブロック110が、位相シフトしたクロックドメイン140Aに同期されており、ブロック112が、位相シフトしたクロックドメイン140Bに同期されており、ブロック114が、位相シフトしたクロックドメイン140Cに同期されている。いくつかの場合では、2つまたはそれより多いASICブロックが、単一の位相シフトしたクロックドメインに同期され得る。さらに、単一のASICブロックの2つまたはそれより多い部分（例えば部品またはレジスタのグループ化）が、異なる位相シフトしたクロックドメインに同期され得る。例として、示されているように、ブロック120の第一の部分が、位相シフトしたクロックドメイン142Bに同期されており、ブロック120の第二の部分が、位相シフトしたクロックドメイン142Cに同期されている。回路設計者は、ASICブロックまたはASICブロックの領域を、特定用途の設計考察に基づいた位相シフトしたクロックドメインへと分割し得る。

40

【0020】

位相シフトしたクロックは、参照クロックからクロックを生成するための当該技術分野において公知の様々な技法を用いて生成され得る。例えば、位相シフトしたクロック（例えば位相シフトしたクロック130A）を、参照クロック（例えば参照クロック130）の位相シフトしたバージョン（参照クロックと同じ周波数を伴う）として生成するために、ディレイロックループ（DLL）が用いられ得る。

【0021】

50

図3は、いくつかの実施形態に従った、非同期的にデータをやりとりするように構成された、例となるASIC100等のASICの2つの位相シフトしたクロックドメインの例を図示している。図3に図示されているように、ブロック110（位相シフトしたクロックドメイン140Aに同期されている）は、ブロック112（位相シフトしたクロックドメイン140Bに同期されている）と非同期的にデータをやりとりする。ブロック110は、バス150Aを介してブロック112へとデータおよび/または制御信号を送信するための非同期転送モジュール310Aを含み、ブロック112は、（転送モジュール310Aを介して）ブロック110からデータを受信するための非同期受信モジュール312Aを含む。モジュール310Aおよびモジュール312Aは、マスター/スレーブ構成において配置され得、モジュール310Aはマスターとして構成されており、モジュール312Aはスレーブとして構成されている。同様に、ブロック112がデータを送るように構成されており、ブロック110がデータを受信するように構成されている例において、ブロック112は、バス150B（いくつかの例ではバス150Aと同じであり得る）を介してブロック110へとデータおよび/または制御信号を送信するための非同期転送モジュール312Bを含み得、ブロック110は、（転送モジュール312Bを介して）ブロック112からデータを受信するための非同期受信モジュール310Bを含み得る。モジュール312Bおよびモジュール310Bは、マスター/スレーブ構成において配置され得、モジュール312Bはマスターとして構成されており、モジュール310Bはスレーブとして構成されている。各ブロックの転送/受信モジュールは、それぞれの位相シフトしたクロックドメインの位相シフトしたクロックに合わせて計時され、例えば、ブロック110の転送モジュール310Aおよび受信モジュール310Bは、位相シフトしたクロック130Aに合わせて計時され、ブロック112の転送モジュール312Bおよび受信モジュール312Aは、位相シフトしたクロック130Bに合わせて計時される。（いくつかの例では、本明細書に記載されているもの等の転送モジュールおよび受信モジュールは、個別のユニットである必要はなく、重なり合ったり、または共通の部品を共有したりし得る。）

【0022】

データバス150Aおよび/またはデータバス150Bは、任意の適切な構成においてデータおよび/または制御信号を運び得る。データがクロックドメインまたは位相シフトしたクロックドメインの間を非同期的に渡るとき、様々な問題がもたらされ得る。例として、データバスの1つの「レーン」からのデータが、（例えば、各レーンのデータが移動しなければならない電気配線の長さの差異が原因となって）期待より早く、または期待より遅く受信端に届く場合等には、バス150A/バス150B上のデータは、インコヒーレントになるリスクを有する。加えて、送信用の位相シフトしたクロックドメインから送信されたデータは、データ不安定性が原因となって受信用の位相シフトしたクロックドメイン内で捕捉されなかった場合には、失われ得る。このような位相シフトしたクロックドメインクロッシング問題は、受信用の位相シフトしたクロックドメインにおける機能上の誤差を招き得る。クロックドメインクロッシングに対処することに適した様々なテクノロジが、位相シフトしたクロックドメインクロッシングに適合し得、位相シフトしたクロックドメインクロッシングの問題点を扱うための1つの例となるシステムが、下で述べられるような先入先出（FIFO）バッファである。クロックドメインクロッシングロジックは、その全体または一部分を、例えば、ブロック112の非同期受信モジュール312A内に実装され得、ブロック110の非同期転送モジュール310A内に実装され得、ブロック110の非同期受信モジュール310B内に実装され得、ブロック112の非同期転送モジュール312B内に実装され得、ブロック110とブロック112との間にある回路構成内に実装され得、または任意の他の適切な場所もしくは場所の組み合わせにおいて実装され得る。

【0023】

図4は、いくつかの実施形態に従った、（例となるASIC100における位相シフトしたクロックドメイン140Aおよび140B等の）ASICの位相シフトしたクロック

10

20

30

40

50

ドメイン間でデータを渡すように構成されている例となる F I F O バッファ 4 0 0 の一部を図示している。いくつかの例において、F I F O バッファ 4 0 0 は、その全体または一部分を、ブロック 1 1 2 の非同期受信モジュール 3 1 2 A 内に実装され得、ブロック 1 1 0 の非同期転送モジュール 3 1 0 A 内に実装され得、ブロック 1 1 0 の非同期受信モジュール 3 1 0 B 内に実装され得、ブロック 1 1 2 の非同期転送モジュール 3 1 2 B 内に実装され得、ブロック 1 1 0 とブロック 1 1 2 との間にある回路構成内に実装され得、または任意の他の適切な場所もしくは場所の組み合わせにおいて実装され得る。図 4 に図示されているように、入力 4 0 2 (4 0 2 (K) として図に示されている) は、F I F O バッファ 4 0 0 へと送信されるデータであり、例として、入力 4 0 2 は、図 3 に示されているような、ブロック 1 1 0 からブロック 1 1 2 へのバス 1 5 0 A の 1 つまたは複数のワイヤを介して送信されるデータに対応し得る。示された本例では、入力 4 0 2 は、4 つのビットの幅 K (バス 1 5 0 A のワイヤの数 K に対応し得る) を有し、4 つのビットは、4 0 2 A 、 4 0 2 B 、 4 0 2 C および 4 0 2 D として示されている。しかしながら、K の値は任意の適切なデータ幅に対応し得る。ビット 4 0 2 A ~ ビット 4 0 2 D の各々は、それぞれのレジスタ 4 0 4 A ~ レジスタ 4 0 4 D への入力として示されている。レジスタ 4 0 4 A ~ レジスタ 4 0 4 D は、各々、それぞれのレーンクロック 4 0 6 A ~ レンクロック 4 0 6 D によって計時される。レーンクロック 4 0 6 A ~ レンクロック 4 0 6 D の各々は、それぞれのレジスタ 4 0 4 A ~ レジスタ 4 0 4 D に対して下で述べられるように選ばれる位相シフトしたクロックである。レーンクロック 4 0 6 A ~ レンクロック 4 0 6 D は、それぞれのレジスタ 4 0 4 A ~ レジスタ 4 0 4 D を通じて、それぞれのデータビット 4 0 2 A ~ データビット 4 0 2 D をマルチプレクサ 4 0 8 へと進める。概して、レジスタ 4 0 4 の数、レーンクロック 4 0 6 の数およびマルチプレクサ 4 0 8 への入力数は、全て、入力 4 0 2 のデータ幅 K (任意の適切なデータ幅が用いられ得るが、この例では 4) に等しい。

【 0 0 2 4 】

レーンクロック 4 0 6 A ~ レンクロック 4 0 6 D は、入力ビット 4 0 2 A ~ 入力ビット 4 0 2 D が、入力 4 0 2 内のこれらの入力ビットのビット位置に対応して並べられた順番でマルチプレクサ 4 0 8 の入力に届くように選ばれる。レーンクロック 4 0 6 A ~ レンクロック 4 0 6 D は、参照クロック (例えば参照クロック 1 3 0) から生成され得、図 5 および図 6 に関して下で述べられるように選ばれ得る。並べられた順番でマルチプレクサ 4 0 8 に届くビット 4 0 2 A ~ ビット 4 0 2 D を伴って、マルチプレクサ 4 0 8 は、並べられたデータをメモリ 4 1 0 (R A M または任意の他の適切なタイプのストレージを含み得る) に書き込み得る。並べられたデータは、データ 4 4 0 としてメモリ 4 1 0 から読み取られ得る。メモリ 4 1 0 の細目は、近い将来の用途に適するように選択され得、例として、例となるメモリ 4 1 0 は、各データビット 4 0 2 A ~ データビット 4 0 2 D に対して 1 0 ステージを記憶するのに十分なストレージを含み得る。

【 0 0 2 5 】

入力 4 0 2 をメモリ 4 1 0 に書き込むための書き込みアドレスは、書き込みポインタ 4 2 0 によって制御され得、書き込みポインタ 4 2 0 は、書き込みイネーブル 4 2 4 がアクティブである間、書き込みクロック 4 2 2 によって順番に進められ得る。同様に、データ 4 4 0 をメモリ 4 1 0 から読み取るための読み取りアドレスは、読み取りポインタ 4 3 0 によって制御され得、読み取りポインタ 4 3 0 は、読み取りイネーブル 4 3 4 がアクティブである間、読み取りクロック 4 3 2 によって順番に進められ得る。本例では、書き込みクロック 4 2 2 が位相シフトしたクロックドメイン 1 4 0 A に属しており、書き込みクロック 4 3 2 が位相シフトしたクロックドメイン 1 4 0 B に属している。位相シフトしたクロックドメイン 1 4 0 A が (、 かつそれによって書き込みクロック 4 2 2 が) 、 位相シフトしたクロック 1 3 0 A に同期され得、位相シフトしたクロックドメイン 1 4 0 B が (、 かつそれによって書き込みクロック 4 3 2 が) 、 位相シフトしたクロック 1 3 0 B に同期され得る。上述したように、位相シフトしたクロック 1 3 0 A および位相シフトしたクロック 1 3 0 B のうちの 1 つまたは複数、参照クロック 1 3 0 に同期され得、位相シフト

10

20

30

40

50

したクロック 130A および位相シフトしたクロック 130B のうちの別の 1 つまたは複数、参照クロック 130 の位相シフトしたバージョン（ただし参照クロック 130 と同じ周波数で動作する）であり得る。従って、FIFO バッファ 400 は、第一の位相シフトしたクロックドメイン（例えば 140A）にある第一のブロック（例えば 110）から第二の位相シフトしたクロックドメイン（例えば 140B）にある第二のブロック（例えば 112）へとデータを送信する例を示す。さらに、データは、類似の方法で逆方向に（すなわちバス 150B を介してブロック 112 からブロック 110 へと）送信され得る。

【0026】

レーンクロック 406A ~ レンクロック 406D、書き込みクロック 422 および読み取りクロック 432 は、上述したような、参照クロック（例えば参照クロック 130）から生成された位相シフトしたクロックに対応する。書き込みクロック 422 は、上述した位相シフトしたクロック 130A（位相シフトしたクロックドメイン 140A が同期される）に対応し得、読み取りクロック 432 は、上述した位相シフトしたクロック 130B（位相シフトしたクロックドメイン 140B が同期される）に対応し得る。いくつかの例では、レーンクロック 406A ~ レンクロック 406D、書き込みクロック 422 および読み取りクロック 432 は、位相シフトしたクロック「候補」のうちの 1 つまたは複数から選ばれ得、ここで、各位相シフトしたクロック候補は、（例えば DLL を介して）参照クロックから生成され、参照クロックの周波数を共有し、参照クロックに対する位相シフトの点で他の位相シフトしたクロック候補と異なる。

【0027】

図 5 は、いくつかの実施形態に従った、参照クロックから位相シフトしたクロックを生成する例を図示している。DLL は、（例えば参照クロック 130 に対応し得る、）周期 T を有する参照クロック 502 を入力とみなし得、N 個の位相シフトしたクロック候補（例えば 8 つのクロック信号 506A ~ クロック信号 506H）を出力とみなし得る。位相シフトしたクロック候補の数 N は、レーンクロック（例えば 406A ~ 406D）の数に等しくあり得るが、等しい必要はない。図 5 に示された例では、位相シフトしたクロック候補 506A ~ 位相シフトしたクロック候補 506H の各々が、参照クロック 502 に対して T/N の倍数だけ位相をシフトされている。例えば、参照クロック 502 が 24 ns の周期（例えば図 5 における t_0 と t_1 との間の時間差）を有し、本例で示されているように N が 8 である場合には、位相シフトしたクロック候補 506A は 0 ns （すなわち $0 * 24 / 8\text{ ns}$ ）の位相シフトを有し得、位相シフトしたクロック候補 506B は 3 ns （すなわち $1 * 24 / 8\text{ ns}$ ）の位相シフトを有し得、位相シフトしたクロック候補 506C は 6 ns （すなわち $2 * 24 / 8\text{ ns}$ ）の位相シフトを有し得、以下同様である。参照クロックから位相シフトしたクロック（例えば、位相シフトしたクロック候補 506A ~ 位相シフトしたクロック候補 506H）を生成するために DLL を用いる技法は、当業者によく知られている。T は参照クロック周波数の逆数であり、数 N は、望ましい精度、レイテンシの要求および複雑性の要求、ならびに参照クロック周波数等の考慮に基づいて回路設計者によって選ばれ得る。例として、位相シフトしたクロック候補のより大きな数 N は、（より多くの適切な位相シフトしたクロック候補が潜在的に選ばれ得るので、）潜在的に、複雑性を犠牲にしてより低いレイテンシに帰着し得る。

【0028】

一度、位相シフトしたクロック候補 506A ~ 位相シフトしたクロック候補 506H が生成されると、レーンクロック（例えば 406A ~ 406D）が、入力データの各ビット（例えば入力データ 402 の K 個のビット 402A ~ ビット 402D）に対して選ばれ得る。いくつかの例では、クロックの選択は以下のように進行し得る。T が参照クロックの 1 サイクル（例えば時刻 t_0 で開始し時刻 t_1 で終了するサイクル）の長さであるとして、N 個の位相シフトしたクロック候補 506A ~ 位相シフトしたクロック候補 506H の各々が参照クロックに対して T/N の異なる倍数だけ位相をシフトされていることが知られているので、506A ~ 506H の各々が、参照クロックの単一サイクル内の異なる瞬間に立ち上がりエッジを有することが知られている。すなわち、N 個の位相シフトしたク

10

20

30

40

50

ロック候補のうち、インデックス i を有する位相シフトしたクロック候補は、時刻 $t_0 + i * ((t_1 - t_0) / N)$ に立ち上がりエッジを有し得る。例えば、 t_0 が 10 であり、 t_1 が 14 であり、 N が 8 である場合には、インデックス 0 を伴う位相シフトしたクロック候補（例えば位相シフトしたクロック候補 506A に対応する）は、時刻 $10 + 0 * ((14 - 10) / 8) = 10$ に立ち上がりエッジを含み得る。同様に、インデックス 1 を伴う位相シフトしたクロック候補（例えば位相シフトしたクロック候補 506B に対応する）は、時刻 $10 + 1 * ((14 - 10) / 8) = 10.5$ に立ち上がりエッジを含み得、インデックス 2 を伴う位相シフトしたクロック候補は、時刻 $10 + 2 * ((14 - 10) / 8) = 11$ に立ち上がりエッジを含み得、以下同様である。

【0029】

N 個の位相シフトしたクロック候補の各々が参照クロックの単一サイクル内で均等に離れた間隔で立ち上がりエッジを含み得るという知識を用いて、半サイクルデータパルス（例えば、データ入力 402 のビットとしてバス 150A に沿って届けられ得るデータパルス 504）が、 $N/2$ 個の位相シフトしたクロック候補によって捕捉されることが、予測され得る。すなわち、半サイクルデータパルスが N 個のラッチ（各ラッチは N 個の位相シフトしたクロック候補のうちのそれぞれの 1 つによってゲートされる）へと示される場合には、 N 個のラッチの半数（データパルスが高であった間にそれぞれのゲートが低から高へと遷移したものが）、それらのそれぞれの出力で論理 1 を生じさせる。さらに、位相シフトしたクロック候補が順番通り整理されている場合には（すなわち、一連の位相シフトしたクロック候補のうちの各々が、その前にある位相シフトしたクロック候補より長い位相シフトを特徴として有する場合には）、半サイクルデータパルスは、位相シフトしたクロック候補の隣り合うグループによって捕捉され得る。例として、図 5 では、データパルス 504 が、時刻 t_0 で低から高へと遷移することと、時刻 t_0 と時刻 t_1 との間の中間点で高から低へと遷移する（その中間点からデータパルス 504 は低であり続ける）ことを示されている。本例では、データパルス 504 は、8 つの位相シフトしたクロック候補のうちの 4 つ（例えば、データパルス 504 が高である間に低から高へと遷移する 4 つの位相シフトしたクロック候補に対応する位相シフトしたクロック候補 506A ~ 位相シフトしたクロック候補 506D）によって捕捉される。

【0030】

半サイクルデータパルス 504 を捕捉する位相シフトしたクロック候補のセットから、好ましい位相シフトしたクロック候補がレーンクロックとして選ばれ得る。データが届き安定化した後に（すなわち、データが有効であることが約束されるように、受信ブロック（例えば 112）で、過渡が落ち着きデータが十分に安定な状態に入った後に）レーンクロックがデータを捕捉することが、望ましくあり得る。さらに、チップ内ばらつき（OCV）、ジッタ、温度ドリフト、および、データまたはクロック信号における変動の他のソースに対する耐性を増大させるために、データの立ち上がりエッジまたは立ち下がりエッジのどちらかからの有意な時間的な距離でレーンクロックがデータを捕捉することが、望ましくあり得る。様々なメトリックが、それらの例となる基準に従って、位相シフトしたクロック候補のセットから好ましい位相シフトしたクロック候補を特定し、その結果として、レーンクロックを選ぶために用いられ得る。いくつかの実施形態では、レーンクロックは、立ち上がりエッジが参照クロックサイクルの中間に最も近い位相シフトしたクロック候補（すなわち、参照クロックに対する位相シフトが 180 度に最も近い位相シフトしたクロック候補）であるように選ばれ得、このことは、通常のデバイス動作の間中、参照クロックのフルサイクルに対応して徐々にデータが届き、そのため、立ち上がりエッジが参照クロックの中間に最も近い位相シフトしたクロック候補が、データ安定性を最もよく保証するものであり得ることが、理由であり得る。いくつかの実施形態では、レーンクロックは、半サイクルデータパルスを捕捉する位相シフトしたクロック候補のグループのうちの最後の位相シフトしたクロック候補（すなわち、参照クロックサイクルの中間点の前にある最後の位相シフトしたクロック候補）であるように選ばれ得る。いくつかの実施形態では、レーンクロックは、半サイクルデータパルスを捕捉する位相シフトしたクロック

10

20

30

40

50

候補のグループに続く最初の位相シフトしたクロック候補（すなわち、参照クロックサイクルの中間点の後にある最初の位相シフトしたクロック候補）であるように選ばれ得る。いくつかの実施形態では、レーンクロックは、データパルスを捕捉する位相シフトしたクロック候補のグループのうちの位相シフトしたクロック候補の任意の1つであるように選ばれ得る。

【0031】

位相シフトしたクロック候補の数Nは、レーンクロックの精度に影響を及ぼし得る。Nの値が大きいほど、2つの隣接する位相シフトしたクロック候補間の位相シフトの差が小さく、理想的なレーンクロックが選ばれ得る見込みが大きい。しかしながら、位相シフトしたクロック候補の数Nを増大させることは、概して、レーンクロックのキャリブレーションプロセスを実施するために必要とされる時間および回路複雑性を増大させる。Nの望ましい値は、近い将来の具体的なデバイスの要求に応じて、設計者によって選ばれ得る。

【0032】

上記レーンクロックの選択プロセスは、例となるデータ402のK個のデータビットのうちの2つまたはそれより多いデータビットに対して（順番に、または並行して）繰り返され得る。例として、半サイクルデータパルス504は、データ402の各データビット（例えばデータビット402A～データビット402D）に対応する経路上に提供され得、各ビットに対して、最もよいレーンクロックが、N個の位相シフトしたクロック候補から選択され得る。データ移動時間はデータビット間で若干異なり得るので、いくつかの位相シフトしたクロック候補は、他のデータビットより特定のデータビットによく適していることがあり得る。ビットの一つ一つに基づいて個々のレーンクロックを選ぶことと、各データビット402A～データビット402Dをそれぞれのレーンクロックに従って別々に計時することとは、上述したようにメモリ410に入るデータビットの正しい並びを促す。

【0033】

1つまたは複数のレーンクロックを選ぶことに加えて、読み取りクロック（例えば432）は、位相シフトしたクロック候補506A～位相シフトしたクロック候補506Hのうちの1つから選ばれ得る。上述したレーンクロックと同様に、選ばれた読み取りクロックは、参照クロックの周波数を共有しているが、位相の点で異なる。本例における読み取りクロックは、図2に関して上述した位相シフトしたクロック130Bに対応し得、例として、位相シフトしたクロックドメイン140Aからデータを受信する位相シフトしたクロックドメイン140Bの全ての部品は、選ばれた読み取りクロックに同期され得る。上述したノイズ効果（電子デバイスの大部分を同じクロックに同期させることによって引き起こされる共振によって増幅され得る）を最小限にするために、回路設計者は、デバイスの他の参照クロックおよび他の位相シフトしたクロックに位相の点で最も異なる位相シフトしたクロック候補であるように、読み取りクロックを選ぶことを希望し得る。このことは、可能な範囲で、トランジスタの状態が同時に切り替わる程度を最小限にすることを助け得る。例えば、デバイスの多くのブロックが参照クロックに同期されているデバイスにおいて、読み取りクロックは、参照クロックからの半サイクル位相シフトを伴う位相シフトしたクロック候補であるように選ばれ得る。

【0034】

同様に、いくつかの例では、書き込みクロック（例えば422）は、位相シフトしたクロック候補506A～位相シフトしたクロック候補506Hのうちの1つから選ばれ得る。本例における書き込みクロックは、図2に関して上述した位相シフトしたクロック130Aに対応し得、例として、位相シフトしたクロックドメイン140Bへとデータを送信する位相シフトしたクロックドメイン140Aの全ての部品は、選ばれた書き込みクロックに同期され得る。いくつかの例では、書き込みクロックは、読み取りクロックに関して上述した手順と類似の手順に従って選ばれ得る。いくつかの例では、書き込みクロックは、単に参照クロック（例えば130）のバッファされたバージョンであり得、または、いくつかの場合、参照クロック自身であり得る。

10

20

30

40

50

【 0 0 3 5 】

設計者は、デバイスの有意な部分が同期されている参照クロックまたは位相シフトしたクロックの位相シフトと同一の位相シフトを有する位相シフトしたクロックを選ぶことを、可能な範囲で回避することを希望し得る。位相シフトしたクロックドメインにデジタルデバイスを適正に割り当てることによって、かつ、位相の点で十分に異なるそれらの位相シフトしたクロックドメインに対して、位相シフトしたクロックを選ぶことによって、同調して切り替わるトランジスタによって生み出される共振（および付随するノイズ）は、管理され得る。

【 0 0 3 6 】

図 6 は、第一の位相シフトしたクロックドメイン（例えば 1 4 0 A）に関連付けられた送信ブロックと、第二の位相シフトしたクロックドメイン（例えば 1 4 0 B）に関連付けられた受信ブロックとの間でデータを送信するためにデバイス（例えば、上述したデバイス 1 0 0）を構成する例となるプロセス 6 0 0 を図示している。示された本例となるプロセスでは、図の左側のステージは、「マスター」送信ブロックによって（例えば上述した非同期転送モジュール 3 1 0 A によって）実行されるステップに対応し得、図の右側のステージは、「スレーブ」受信モジュールによって（例えば、上述した非同期受信モジュール 3 1 2 A によって）実行されるステップに対応し得る。しかしながら、他の適切な構成が可能であり、例となるプロセスの様々なステップが、送信ブロックによって実行され得、受信ブロックによって実行され得、送信ブロックおよび受信ブロックから離れた回路構成によって実行され得、または上記の任意の適切な組み合わせによって実行され得る。

【 0 0 3 7 】

ステージ 6 1 0 では、マスターブロックが、位相シフトしたクロックの選択およびデータ送信プロセスを初期化するために、全データバスおよび全制御バスを経由して初期化信号を送り得る。例えば、この初期化信号は、全データバスおよび全制御バスにおいて論理 0 であり得る。ステージ 6 1 2 では、マスターブロックが、スレーブブロック（例えば 6 1 4）において全てのラッチにリセットさせるテストパルス（例えば 2 クロックサイクルパルス）を送り得る。

【 0 0 3 8 】

ステージ 6 1 6 では、スレーブブロックが、上述したレーンクロック選択フェーズに入り得、DLL が、上述したように、望ましい数の位相シフトしたクロック候補を生成し得、位相シフトしたクロック候補は、上述したようにそれぞれのラッチへのクロック入力として提供される。ステージ 6 1 8 では、マスターブロックが、半サイクルデータテストパルスをラッチへと送り得、続いて、信号 5 0 4 に関して上述したような論理低が送られ得る（ステージ 6 2 0）。そして、マスターブロックは、スレーブからのレディ信号を待つ（ステージ 6 2 2）。その間、ステージ 6 2 4 では、スレーブブロックのラッチが、上述したようにデータテストパルスをサンプリングする。ステージ 6 2 6 では、スレーブブロックが、上述したような、各データビットに対する好ましいレーンクロックを選び得る。レーンクロックが選ばれると、読み取りクロック（例えば位相シフトしたクロック 1 3 0 B に対応する）が、上述したように選ばれる（ステージ 6 2 8）。（いくつかの例では、位相シフトしたクロック 1 3 0 A に対応し得るもの等の書き込みクロックも、上述したように選ばれ得る。）

【 0 0 3 9 】

レーンクロックおよび読み取りクロックが選ばれた後、スレーブブロックが、クロックが選ばれておりデータ転送が始まるべきであることを指し示すレディ信号を、マスターブロックへと送り得る（ステージ 6 3 0）。図 4 に関して上で示されたような、メモリ 4 1 0 に対する読み取りポインタ（ステージ 6 3 2）および書き込みポインタ（ステージ 6 3 4）は、このステージで初期化され得る。メモリのデータ完全性を損ない得る潜在的な競合状態を避けるために、読み取りポインタおよび書き込みポインタが、互いからオフセットされる値に初期化されることが望ましくあり得る。読み取りポインタおよび書き込みポインタの初期化に続いて、上述したように、データ送信がマスターブロック（ステージ 6

10

20

30

40

50

36)において始まり得、データ受信がスレーブブロック(ステージ638)において始まり得る。

【0040】

本明細書で開示されるいくつかの実施形態は、ある周波数で動作するように構成された第一のクロックと、第一のクロックと同期するように構成された第一の回路構成と、第一のクロックに基づいて第二のクロックを決めるように構成された第二の回路構成と、第一のクロックの周波数で動作するように構成され、さらに第一のクロックに対する位相シフトを伴って動作するように構成された第二のクロックと、第二のクロックと同期するように構成された第三の回路構成とを備える電子デバイスに向けられる。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックを決めることは、複数のクロック候補を生成することであって、複数のクロック候補の各クロック候補は、第一のクロックの周波数で動作するように構成されており、さらに、第一のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、ことと、それら複数のクロック候補から第二のクロックを選ぶこととを備える。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックは、複数のクロック候補のうち、180度に最も近いそれぞれの位相シフトを有するクロック候補であるように選ばれる。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックは、電子デバイスのトランジスタ共振を減らすように選ばれる。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、電子デバイスは、ASICであり、第一の回路構成は、ASICの第一の機能ブロックに対応し、第二の回路構成は、ディレイロックループを備え、第三の回路構成は、ASICの第二の機能ブロックに対応する。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、電子デバイスは、さらにメモリを備え、電子デバイスは、メモリに対するデータ書き込み動作(第一のクロックに同期される)を実行するように構成されており、電子デバイスは、さらに、メモリに対するデータ読み取り動作(第二のクロックに同期される)を実行するように構成されている。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、第一の回路構成は、さらに、第三の回路構成へとデータを送信するように構成されている。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、電子デバイスは、第一の回路構成および第三の回路構成に電子的に結合されるデータバス(第一のワイヤを含む一つまたは複数のワイヤを備える)をさらに備え、第一の回路構成は、さらに、データバスを介して第三の回路構成へとデータを送信するように構成されており、電子デバイスは、第一のラッチ(第一のワイヤを介してデータを受信するように構成されており、さらに、第一のクロックに基づいて決められる第三のクロックと同期するように構成されている)を含む一つまたは複数のラッチを備え、第一のクロックに基づいて第三のクロックを決めることは、複数のクロック候補を生成することであって、複数のクロック候補の各クロック候補は、第一のクロックの周波数で動作するように構成されており、さらに、第一のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、ことと、複数のクロック候補から第三のクロックを選ぶこととを備え、第三のクロックは、データを送信する第一の回路構成と、データを受信する第一のラッチとの間のレイテンシに基づいて、複数のクロック候補から選ばれる。本明細書で開示される実施形態のうちの一つまたは複数に加えて、または、代えて、いくつかの実施形態では、一つまたは複数のラッチのうち各ラッチは、一つまたは複数のワイヤのうちそれぞれのワイヤに対応し、それぞれのワイヤを介してデータを受信するように構成されており、一つまたは複数のラッチのうち各ラッチは、複数のクロック候補から選ばれるそれぞれのクロックと同期するように構成されており、それぞれのクロックは、データを送信する第一の回路構成と、データを受信する、そのそれぞれのラッチとの間のレイテンシに基づいて、複数のクロック候補から選ばれる。

10

20

30

40

50

【 0 0 4 1 】

本明細書で開示されるいくつかの実施形態は、第一の回路構成と第二の回路構成と第三の回路構成とを備える電子デバイスにおいて、第一の回路構成をある周波数で動作する第一のクロックと同期させることと、第一のクロックに基づいて第二のクロックを決めることとであって、第二のクロックは、第一のクロックの周波数で動作し、さらに、第一のクロックに対する位相シフトを伴って動作する、ことと、第三の回路構成を第二のクロックと同期させることとを備える方法に向けられる。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックを決めることは、複数のクロック候補を生成することとであって、複数のクロック候補の各クロック候補が、第一のクロックの周波数で動作し、さらに、第一のクロックに対するそれぞれの位相シフトを伴って動作する、ことと、複数のクロック候補から第二のクロックを選ぶこととを備える。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックは、複数のクロック候補のうちの、180度に最も近いそれぞれの位相シフトを有するクロック候補であるように選ばれる。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、第二のクロックは、電子デバイスのトランジスタ共振を減らすように選ばれる。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、第一の回路構成は、ASICの第一の機能ブロックに対応し、第二の回路構成は、ディレイロックループを備え、第三の回路構成は、ASICの第二の機能ブロックに対応する。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、方法は、第一のクロックの遷移に従って電子デバイスのメモリに対するデータ書き込み動作を実行することと、第二のクロックの遷移に従ってメモリに対するデータ読み取り動作を実行することとをさらに備える。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、方法は、第一の回路構成から第三の回路構成へとデータを送信することをさらに備える。

10

20

【 0 0 4 2 】

本明細書で開示されるいくつかの実施形態は、データを送信する方法に向けられ、方法は、第一の回路構成をある周波数で動作する第一のクロックと同期させることとであって、第一のクロックは、第一のクロックドメインに関連付けられる、ことと、第一のクロックに基づいて第二のクロックを決めることとであって、第二のクロックは、第一のクロックの周波数で動作し、さらに、第一のクロックに対する位相シフトを伴って動作し、第二のクロックドメインに関連付けられる、ことと、第二の回路構成を第二のクロックと同期させることとであって、第二の回路構成は、データバスに電子的に結合される1つまたは複数のラッチを介して第一の回路構成からデータを受信するように構成されており、データバスは、第一のワイヤを含む1つまたは複数のワイヤを備え、1つまたは複数のラッチは、第一のワイヤを介してデータを受信するように構成された第一のラッチを含む、ことと、複数のクロック候補を生成することとであって、複数のクロック候補の各クロック候補が、第一のクロックの周波数で動作するように構成されており、さらに、第一のクロックに対するそれぞれの位相シフトを伴って動作するように構成されている、ことと、第一のラッチを複数のクロック候補から選ばれる第三のクロックと同期させることと、データバスおよび第一のラッチを介して第一の回路構成から第二の回路構成へとデータを送信することとを備える。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、第三のクロックは、データを送信する第一の回路構成と、データを受信する第一のラッチとの間のレイテンシに基づいて、複数のクロック候補から選ばれる。本明細書で開示される実施形態のうちの1つまたは複数に加えて、または、代えて、いくつかの実施形態では、1つまたは複数のラッチのうちの各ラッチは、1つまたは複数のワイヤのうちのそれぞれのワイヤに対応し、それぞれのワイヤを介してデータを受信するように構成されており、方法は、1つまたは複数のラッチのうちの各ラッチに対して、ラッチと、データを送信する第一の回路構成との間のレイテンシに基づいて複数

30

40

50

のクロック候補からそれぞれのクロックを選ぶことと、ラッチをそのそれぞれのクロックに同期させることとをさらに備える。

【 0 0 4 3 】

開示される実施形態が、付属の図面を参照して完全に記述されるが、様々な変更および改良が当業者にとって自明となることが、留意されることとなる。例えば、1つまたは複数の実装形態における要素が、組み合わせられ得、削除され得、改良され得、または、さらなる実装形態を形成するために追加され得る。このような変更および改良は、添付の特許請求の範囲によって定義されるものとして開示される実施形態の範疇に含まれていると理解されることとなる。

10

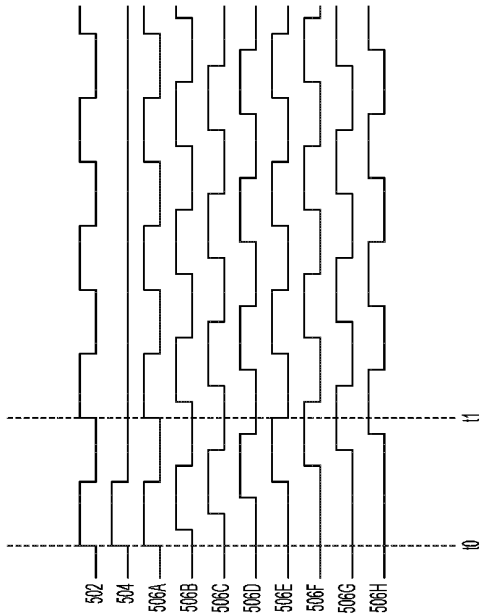
20

30

40

50

【 図 5 】



【 図 6 】

FIG. 5

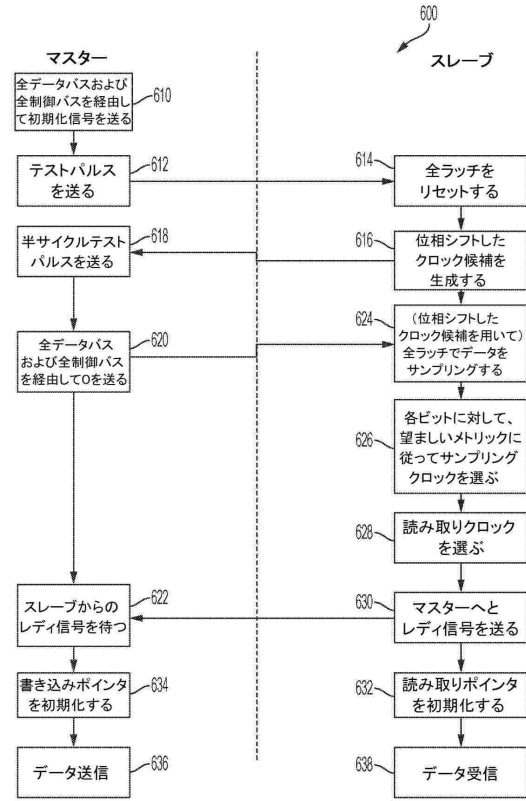


FIG. 6

10

20

30

40

50

フロントページの続き

- (74)代理人 100181641
弁理士 石川 大輔
- (74)代理人 230113332
弁護士 山本 健策
- (72)発明者 マルガリット, ニヴ
アメリカ合衆国 フロリダ 33322, プランテーション, ダブリュー. サンライズ プール
バード 7500, マジック リープ, インコーポレイテッド 気付
- (72)発明者 セラ, エヤル
アメリカ合衆国 フロリダ 33322, プランテーション, ダブリュー. サンライズ プール
バード 7500, マジック リープ, インコーポレイテッド 気付
- 審査官 豊田 真弓
- (56)参考文献 特開2003-224550(JP,A)
米国特許出願公開第2009/0240969(US,A1)
特表2010-517345(JP,A)
特開平05-260029(JP,A)
米国特許第07433439(US,B1)
米国特許出願公開第2018/0017988(US,A1)
- (58)調査した分野 (Int.Cl., DB名)
G06F 1/12
G06F 13/42