

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】令和 1 年 5 月 9 日 (2019.5.9)

【公表番号】特表 2018-515991 (P2018-515991A)
 【公表日】平成 30 年 6 月 14 日 (2018.6.14)
 【年通号数】公開・登録公報 2018-022
 【出願番号】特願 2017-558648 (P2017-558648)
 【国際特許分類】

H 0 3 K 19/0185 (2006.01)

H 0 3 K 19/0175 (2006.01)

【F I】

H 0 3 K 19/0185 2 4 0

H 0 3 K 19/0175 2 2 0

【手続補正書】
 【提出日】平成 31 年 3 月 29 日 (2019.3.29)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

電圧制御発振器 (VCO) 用のバッファであって、
 作動ペアの第 1 の補信号を受信するように構成される入力ノードを有する第 1 のインバータ段と、

前記作動ペアの第 2 の補信号を受信するように構成される入力ノードを有する第 2 のインバータ段と、

前記第 1 のインバータ段または前記第 2 のインバータ段のレプリカであるバイアス印加段であって、前記バイアス印加段の出力ノードが前記バイアス印加段の入力ノードに接続される、バイアス印加段と、

前記第 1 のインバータ段の前記入力ノードと前記バイアス印加段の前記入力ノードとの間に結合される第 1 のインピーダンスと、

前記第 2 のインバータ段の前記入力ノードと前記バイアス印加段の前記入力ノードとの間に結合される第 2 のインピーダンスと
 を備える、バッファ。

【請求項 2】

前記第 1 のインバータ段および前記第 2 のインバータ段に結合され、かつ前記バッファの出力信号を生成するように構成される交差結合されるトランジスタ段をさらに備える、請求項 1 に記載のバッファ。

【請求項 3】

前記第 1 のインバータ段と前記交差結合されるトランジスタ段との間に結合される第 3 のインバータ段と、

前記第 2 のインバータ段と前記交差結合されるトランジスタ段との間に結合される第 4 のインバータ段と

をさらに備える、請求項 2 に記載のバッファ。

【請求項 4】

前記第 1 のインバータ段の前記入力ノードに結合される第 1 の容量性要素と、

前記作動ペアが AC 結合差動信号になるように前記第 2 のインバータ段の前記入力ノード

に結合される第2の容量性要素と

をさらに備える、請求項1に記載のバッファ。

【請求項 5】

前記第1のインバータ段の前記入力ノードと前記第1のインバータ段の前記出力ノードとの間に第1の抵抗要素が存在せず、

前記第2のインバータ段の前記入力ノードと前記第2のインバータ段の前記出力ノードとの間に第2の抵抗要素が存在しない、

請求項1に記載のバッファ。

【請求項 6】

前記作動ペアは少なくとも8GHzの周波数で発振する、請求項1に記載のバッファ。

【請求項 7】

前記バイアス印加段は、前記作動ペアのDCオフセットを前記バッファ用の2つの電源レールの中間のレベルにシフトするように構成され、

前記2つの電源レールは、前記第1のインバータ段および第2のインバータ段に電力を供給するように構成される、

請求項1に記載のバッファ。

【請求項 8】

前記作動ペアが、プロセス、電圧、および温度ばらつき全体にわたって10GHzの周波数で発振するとき、前記バッファの出力における周期信号のデューティサイクルは45%から55%の間である、請求項1に記載のバッファ。

【請求項 9】

前記バイアス印加段のP型金属酸化物半導体(PMOS)トランジスタおよびN型金属酸化物半導体(NMOS)トランジスタは、前記第1のインバータ段または前記第2のインバータ段のPMOSトランジスタおよびNMOSトランジスタと同じサイズを有する、請求項1に記載のバッファ。

【請求項 10】

前記バイアス印加段の前記出力ノードにおける電圧は、前記第1のインバータ段または第2のインバータ段におけるトランジスタに関するしきい値電圧の温度ドリフトまたは1つもしくは複数のプロセスばらつきの少なくとも一方を追跡するように構成される、請求項1に記載のバッファ。

【請求項 11】

前記バイアス印加段は、P型金属酸化物半導体(PMOS)トランジスタとN型金属酸化物半導体(NMOS)トランジスタとを備え、

前記バイアス印加段の前記出力ノードを形成するように前記PMOSトランジスタのドレインが前記NMOSトランジスタのドレインに接続され、

前記バイアス印加段の前記入力ノードを形成するように前記PMOSトランジスタのゲートが前記NMOSトランジスタのゲートに接続され、

前記バイアス印加段の前記入力ノードと前記出力ノードが互いに短絡させられる、

請求項1に記載のバッファ。

【請求項 12】

前記第1のインピーダンスおよび第2のインピーダンスは、等しい抵抗を有する2つの抵抗要素を備える、請求項1に記載のバッファ。

【請求項 13】

前記第1のインバータ段は、前記第2のインバータ段と同じ構成要素およびトポロジを有する、請求項1に記載のバッファ。

【請求項 14】

バッファを使用して差動信号をバッファリングする方法であって、

前記バッファの第1のインバータ段の入力ノードを介して作動ペアの第1の補信号を受信するステップと、

前記バッファの第2のインバータ段の入力ノードを介して前記作動ペアの第2の補信号を

受信するステップと、

前記第1のインバータ段または前記第2のインバータ段のレプリカであるバイアス印加段を使用して前記作動ペアのオフセット電圧をシフトするステップであって、前記バイアス印加段の出力ノードが前記バイアス印加段の入力ノードに接続される、ステップと、

前記作動ペアおよび前記シフトされたオフセット電圧に基づいて前記バッファの出力信号を生成するステップと

を含む、方法。

【請求項 15】

前記バッファ用の2つの電源レールを介して前記第1のインバータ段および前記第2のインバータ段において電力を受信するステップをさらに含み、前記シフトするステップは、前記作動ペアの前記オフセット電圧を前記2つの電源レールの中間のレベルにシフトするステップを含む、請求項14に記載の方法。