



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월31일
(11) 등록번호 10-1037987
(24) 등록일자 2011년05월24일

(51) Int. Cl.

H01L 33/38 (2010.01)

(21) 출원번호 10-2010-0004342

(22) 출원일자 2010년01월18일

심사청구일자 2010년01월18일

(56) 선행기술조사문헌

US20050224823 A1

KR1020080005726 A

JP2008192710 A

JP2005019646 A

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

양지원

경상남도 밀양시 삼문동 청구아파트 103동 901호

(74) 대리인

특허법인주원

전체 청구항 수 : 총 10 항

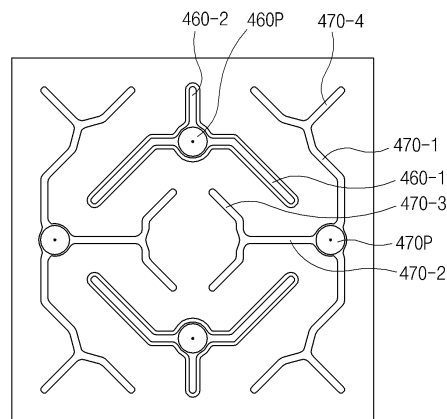
심사관 : 진수영

(54) 전극패턴을 구비하는 발광 소자

(57) 요약

본 발명은 전류를 발광 소자 전체로 균일하게 공급할 수 있는 전극 패턴을 구비하는 반도체 발광 소자를 공개한다. 본 발명은 사각형의 기판위에 한 쌍의 제 1 도전형 전극 패드와 한 쌍의 제 2 도전형 전극 패드가 서로 서로 대향하도록 배치하고, 각 전극 패드로부터 인출된 전극이 원주 방향으로 형성되도록 함으로써, 기판 전체에 균일하게 전류를 공급할 수 있다. 또한, 본 발명은 각 전극이 연결됨으로써 형성되는 각을 90도보다 크도록 형성함으로써, 전류혼잡화를 최소화하였다. 이러한 특징으로 인해서, 본 발명은 발광소자의 전류의 집중 현상을 최소화하고 전류의 흐름을 균일하게 분산시켜 유효발광면적을 극대화하여, 질화물계 반도체 발광소자의 휘도 특성 및 광추출 효율을 향상시킴과 동시에 소자의 특성과 신뢰성을 개선함으로써, 불균일한 전류분포로 인해 발생하는 조기광 포화문제를 비롯하여 국부적인 광분포와 그에 따른 발열현상, 높은 동작전압과 소비전력 등의 문제점을 해결하였다.

대표도 - 도4



특허청구의 범위

청구항 1

기관;

상기 기관상에 형성된 제 1 도전형 반도체층;

상기 제 1 도전형 반도체층의 소정 영역 위에 형성된 활성층;

상기 활성층에 형성된 제 2 도전형 반도체층;

상기 제 2 도전형 반도체층에 형성된 투명 전극층;

상기 제 1 도전형 반도체층위에, 서로 분리되고 서로 대향하도록 형성된 한 쌍의 제 1 도전형 전극 패드;

상기 한 쌍의 제 1 도전형 전극 패드와 연결되도록 상기 제 1 도전형 반도체층위에 각각 형성된 한 쌍의 제 1 도전형 전극;

상기 투명 전극층 위의, 상기 제 1 도전형 전극 패드가 설치되지 않은 변에, 서로 분리되고 서로 대향하도록 형성된 한 쌍의 제 2 도전형 전극 패드; 및

상기 한 쌍의 제 2 도전형 전극 패드와 연결되도록 상기 제 2 도전형 반도체층위에 각각 형성된 한 쌍의 제 2 도전형 전극을 포함하고,

상기 한 쌍의 제 1 도전형 전극은 상기 제 1 도전형 전극 패드로부터 원주 방향으로 인출되도록 형성된 제 1 주전극을 포함하고,

상기 한 쌍의 제 2 도전형 전극은 상기 제 2 도전형 전극 패드로부터 원주 방향으로 인출되고, 상기 기관의 중심으로부터 상기 제 1 주전극보다 바깥쪽에 형성된 제 2 주전극을 포함하는 것을 특징으로 하는 발광 소자.

청구항 2

제 1 항에 있어서,

상기 한 쌍의 제 1 도전형 전극은

상기 제 1 도전형 전극 패드로부터 상기 기관의 경계 방향으로 인출되어 상기 제 2 주전극 사이에 위치하도록 형성된 경계 방향 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 3

제 1 항에 있어서,

상기 한 쌍의 제 2 도전형 전극은

상기 제 2 도전형 전극 패드로부터 상기 기관의 중심 방향으로 인출되어 상기 제 1 주전극 사이에 위치하도록 형성된 중심 방향 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 4

제 3 항에 있어서,

상기 한 쌍의 제 2 도전형 전극은

상기 중심 방향 전극의 말단으로부터 원주 방향으로 인출되도록 형성된 분기 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 5

제 4 항에 있어서,

상기 제 1 도전형 전극은 상기 제 2 도전형 전극과 상기 분기 전극 사이에 개재되는 것을 특징으로 하는 발광

소자.

청구항 6

제 4 항에 있어서,

상기 분기 전극과 상기 중심 방향 전극이 형성하는 예각은 90보다 큰 것을 특징으로 하는 발광 소자.

청구항 7

제 1 항에 있어서,

상기 기판은 사각형이고,

상기 제 2 도전형 전극은 상기 제 2 주전극으로부터 상기 기판의 모서리 방향으로 연장된 모서리 방향 전극을 더 포함하는 것을 특징으로 하는 발광 소자.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 2 도전형 전극은 복수의 직선형 서브 전극들이 연결되어 구성되고, 상기 직선형 서브 전극들이 연결되어 형성하는 예각은 90도 보다 큰 것을 특징으로 하는 발광 소자.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 도전형 전극은 복수의 직선형 서브 전극들이 연결되어 구성되고, 상기 서브 전극들이 연결되어 형성하는 예각은 90도 보다 큰 것을 특징으로 하는 발광 소자.

청구항 10

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 주전극 및 상기 제 2 주전극은 동일한 곡률을 갖는 것을 특징으로하는 발광 소자.

명 세 서

기술 분야

[0001] 본 발명은 발광 소자에 관한 것으로서, 보다 구체적으로는 전류 흐름을 균일하게 분산시켜 발광 효율을 향상시키는 전극 구조를 구비하는 반도체 발광 소자(Light Emitting Diode)에 관한 것이다.

배경 기술

[0002] 최근 반도체 발광소자기술은 조명광원으로서의 적용이 고려가 되어 질 만큼 획기적으로 발전되어 왔다. 하지만, 반도체 발광소자가 백열 조명원들을 대체하기 위해서는, 반도체 발광소자 자체의 신뢰성, 낮은 소비전력 및 낮은 제조비용을 유지하면서도 대면적 및 고휘도 출력을 제공해야 하는데, 많은 연구소와 기업들이 이러한 문제점들에 어려움을 겪고 있다.

[0003] 특히, 안정적인 조명산업의 진입을 위해서는 대면적화가 필수적으로 요구되지만 칩 사이즈가 커지는 만큼, 전체 구조에 걸쳐 전류를 균일하게 유포할 수 없다는 제약요소를 가지고 있다.

[0004] 불균일하게 주입된 전류는 반도체 발광소자 칩 상의 특정 부분들에 축적되어, 입수가 가능한 발광 반도체성 재료의 효율적인 사용을 방해한다. 이 현상은 보통 "전류혼잡화(Current crowding)"라고 한다. 전류혼잡화는 전하운반자들이 최소저항의 경로를 이동하는 경향 때문에 반도체 발광소자 칩의 전기접촉들의 끝단들에서 발생하는 경향이 있다.

[0005] 전류 혼잡화는 또한 전류를 받아들이고 퍼뜨리는 영역들의 각각에 대한 용량에 의존하는 전기접촉들의 임의 영역들에서도 발생된다. 전류혼잡화는 반도체 발광소자 칩 상에 밝은 부분들과 어두운 부분들을 갖는 불안정한 광선속이 되게 한다. 전류혼잡화는 또한 더 많은 전류가 반도체 발광소자 칩에 주입되는 것이 필요하게 하고, 이

는 소비전력이 높아지게 함과 동시에, 반도체 발광소자 칩에 절연파괴를 일으킬 수 있다. 그 결과, 광은 효율적으로 방출되지 않고, 소비전력은 커질 수밖에 없다.

[0006] 더욱이, 현재 입수 가능한 더 큰 크기의 반도체 발광소자 칩들은 그것의 제한된 전력과 제한된 광선속출력에 추가로 기여하는 부가적인 제약요소들을 가지고 있다. 이러한 제약요소에는 비효율적인 열소산, 부족한 광학적 향상구조, 및 기기구조 내에서의 높은 광재흡수를 일으키는 제한된 수의 발광영역들을 포함한다.

[0007] 그러므로, 고출력(high power), 고광선속(high luminous flux)의 LED칩들을 개발하기 위해서는 전류혼잡화를 최소화 시킬 수 있는 전극 패턴 설계가 필수적으로 요구된다.

[0008] 도 1 은 종래 기술에 따른 개선된 전극 패턴 구조를 갖는 발광 소자의 일 예를 도시한 도면이다. 도 1에 도시된 종래 기술은 P형 전극(10)이 기관의 최외곽 변을 따라서 둘러져 있고, 그 내부에 P형 전극(10)으로부터 뻗어지는 가지 전극(12)과 N형 전극(20)이 핑거 구조로 배치하여 발광 면을 분할함으로써, 대면적으로 이루어진 발광 면을 낮은 전압으로 구동시킬 수 있다. 그러나, 종래에 비하여 개선된 전극 패턴 구조를 갖는 도 1 에 도시된 종래기술의 경우에도, 전류를 발광 소자 전체적으로 균일하게 공급하기에는 한계가 존재하였다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 해결하고자 하는 과제는 발광 소자의 전체 영역으로 전류를 균일하게 분산시킬 수 있는 전극 패턴을 구비하는 발광 소자를 제공하는 것이다.

[0010] 또한, 본 발명이 해결하고자 하는 다른 과제는 발광 소자의 전체 영역으로 전류를 균일하게 분산시킬 수 있으면서도, 전류혼잡화를 최소화 시킬 수 있는 전극 패턴을 구비하는 발광 소자를 제공하는 것이다.

과제의 해결 수단

[0011] 상술한 과제를 해결하기 위한 본 발명의 바람직한 실시예는, 기관; 기관상에 형성된 제 1 도전형 반도체층; 제 1 도전형 반도체층의 소정 영역 위에 형성된 활성층; 활성층에 형성된 제 2 도전형 반도체층; 제 2 도전형 반도체층에 형성된 투명 전극층; 제 1 도전형 반도체층위에, 서로 분리되고 서로 대향하도록 형성된 한 쌍의 제 1 도전형 전극 패드; 한 쌍의 제 1 도전형 전극 패드와 연결되도록 제 1 도전형 반도체층위에 각각 형성된 한 쌍의 제 1 도전형 전극; 투명 전극층 위의, 제 1 도전형 전극 패드가 설치되지 않은 변에, 서로 분리되고 서로 대향하도록 형성된 한 쌍의 제 2 도전형 전극 패드; 및 한 쌍의 제 2 도전형 전극 패드와 연결되도록 제 2 도전형 반도체층위에 각각 형성된 한 쌍의 제 2 도전형 전극을 포함하고, 한 쌍의 제 1 도전형 전극은 제 1 도전형 전극 패드로부터 원주 방향으로 인출되도록 형성된 제 1 주전극을 포함하고, 한 쌍의 제 2 도전형 전극은 제 2 도전형 전극 패드로부터 원주 방향으로 인출되고, 기관의 중심으로부터 제 1 주전극보다 바깥쪽에 형성된 제 2 주전극을 포함한다.

[0012] 또한, 전술한 발광소자에서 한 쌍의 제 1 도전형 전극은, 제 1 도전형 전극 패드로부터 기관의 경계 방향으로 인출되어 제 2 주전극 사이에 위치하도록 형성된 경계 방향 전극을 더 포함할 수 있다.

[0013] 또한, 전술한 발광 소자에서 한 쌍의 제 2 도전형 전극은, 제 2 도전형 전극 패드로부터 기관의 중심 방향으로 인출되어 제 1 주전극 사이에 위치하도록 형성된 중심 방향 전극을 더 포함할 수 있다.

[0014] 또한, 전술한 발광 소자에서 한 쌍의 제 2 도전형 전극은, 중심 방향 전극의 말단으로부터 원주 방향으로 인출되도록 형성된 분기 전극을 더 포함할 수 있다.

[0015] 또한, 전술한 발광 소자에서, 제 1 도전형 전극은 제 2 도전형 전극과 분기 전극 사이에 개재될 수 있다.

[0016] 또한, 전술한 발광 소자에서, 분기 전극과 중심 방향 전극이 형성하는 예각은 90보다 큰 것이 바람직하다.

[0017] 또한, 전술한 발광 소자에서, 기관은 사각형이고, 제 2 도전형 전극은 제 2 주전극으로부터 기관의 모서리 방향으로 연장된 모서리 방향 전극을 더 포함할 수 있다.

[0018] 또한, 전술한 발광 소자에서, 제 2 도전형 전극은 복수의 직선형 서브 전극들이 연결되어 구성되고, 직선형 서브 전극들이 연결되어 형성하는 예각은 90도 보다 큰 것이 바람직하다.

[0019] 또한, 전술한 발광 소자에서, 제 1 도전형 전극은 복수의 직선형 서브 전극들이 연결되어 구성되고, 서브 전극

들이 연결되어 형성하는 예각은 90도 보다 큰 것이 바람직하다.

[0020] 또한, 제 1 주전극 및 제 2 주전극은 동일한 곡률을 갖는 것일 수 있다.

발명의 효과

[0021] 본 발명은 사각형의 기관위에 한 쌍의 제 1 도전형 전극 패드와 한 쌍의 제 2 도전형 전극 패드가 서로 서로 대향하도록 배치하고, 각 전극 패드로부터 인출된 전극이 원주 방향으로 형성되도록 함으로써, 기관 전체에 균일하게 전류를 공급할 수 있다.

[0022] 또한, 본 발명은 각 전극이 연결됨으로써 형성되는 각을 90도보다 크도록 형성함으로써, 전류혼잡화를 최소화하였다.

[0023] 이러한 특징으로 인해서, 본 발명은 발광소자의 전류의 집중 현상을 최소화하고 전류의 흐름을 균일하게 분산시켜 유효발광면적을 극대화하여, 질화물계 반도체 발광소자의 휘도 특성 및 광추출 효율을 향상시킴과 동시에 소자의 특성과 신뢰성을 개선함으로써, 불균일한 전류분포로 인해 발생하는 조기 광 포화문제를 비롯하여 국부적인 광분포와 그에 따른 발열현상, 높은 동작전압과 소비전력 등의 문제점을 해결하였다.

도면의 간단한 설명

[0024] 도 1 은 종래 기술에 따른 개선된 전극 패턴 구조를 갖는 발광 소자의 일 예를 도시한 도면이다.

도 2는 본 발명의 바람직한 제 1 실시예에 따른 발광 소자의 전극 패턴을 도시하는 도면이고, 도 3은 도 2의 I-I'선을 따라서 절단하여 나타낸 단면도이다.

도 4는 본 발명의 바람직한 제 2 실시예에 따른 발광 소자의 전극 패턴을 도시하는 도면이다.

도 5a는 종래 기술과 본 발명의 전류 대 전압 특성을 나타내는 그래프이고, 도 5b는 대면적 동작 전류 350mA에서의 종래 기술과 본 발명의 전류 대 전압 특성을 나타내는 그래프이다.

도 6은 전류 주입에 따른 최대 전류 밀도 변화 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0026] 도 2는 본 발명의 바람직한 제 1 실시예에 따른 발광 소자의 전극 패턴을 도시하는 도면이고, 도 3은 도 2의 I-I'선을 따라서 절단하여 나타낸 단면도이다.

[0027] 도 2 및 도 3을 참조하면, 기관(300) 상에 버퍼층(310)과 제 1 도전형 질화물 반도체층(320)이 순차 적층되어 있고, 제 1 도전형 반도체층(320)의 일부 영역(제 1 도전형 반도체층(320) 위에 제 1 도전형 전극(360)을 형성하기 위해서 식각되어 드러난 영역을 제외한 영역) 위에 활성층(330)이 형성되어 있고, 활성층(330) 위에 제 2 도전형 반도체층(340) 및 투명 전극층(350)이 순차적으로 형성되어 있으며, 투명 전극층(350) 위에 제 2 도전형 전극(370)이 형성되어 있다.

[0028] 이하에서는, 설명의 편의를 위하여 제 1 도전형을 N형으로, 제 2 도전형을 P형으로 설정하여 설명한다. 실시예에 따라서는 제 1 도전형이 P형, 제 2 도전형이 N형으로 설정될 수도 있음은 물론이다.

[0029] 기관(300)은, 질화물 반도체 단결정을 성장시키기에 적합한 기관으로서, 바람직하게, 사파이어를 포함하는 투명한 재료를 이용하여 형성되며, 사파이어 이외에, 기관(300)은 징크 옥사이드(zinc oxide, ZnO), 갈륨 나이트라이드(galliumnitride, GaN), 실리콘 카바이드(silicon carbide, SiC) 및 알루미늄 나이트라이드(AlN)로 형성될 수 있다.

[0030] 버퍼층(310)은, 기관(300) 상에 n형 질화물 반도체층(320)을 성장시키기 전에 사파이어 기관(300)과의 격자정합을 향상시키기 위한 층으로, 일반적으로 AlN/GaN으로 형성되어 있다.

[0031] n형 질화물 반도체층(320)은 n형 도전형 불순물이 도핑된 GaN층 또는 GaN/AlGaN층으로 이루어질 수 있으며, n형 도전형 불순물로는 예를 들어, Si, Ge, Sn 등을 사용하고, 바람직하게는 Si를 주로 사용한다.

[0032] 활성층(330)은 다중 양자우물(Multi-Quantum Well) 구조의 InGaN/GaN층으로 이루어질 수 있고, n형 질화물 반도체층(320)에서 유입된 전자와 p형 질화물 반도체층(340)에서 유입된 정공이 결합하여 빛을 생성시킨다.

- [0033] p형 질화물 반도체층(340)은 p형 도전형 불순물이 도핑된 GaN층 또는 GaN/AlGaN층으로 이루어질 수 있으며, p형 도전형 불순물로는 예를 들어, Mg, Zn, Be 등을 사용하고, 바람직하게는 Mg를 주로 사용한다.
- [0034] 투명 전극층(350)은 종래에 투명 전극층을 형성하기 위해서 이용되는 모든 물질이 이용될 수 있으나, 본 발명의 바람직한 실시예는 ITO(IndiumTin Oxide) 물질을 이용하여 투명 전극층을 형성한다.
- [0035] 한편, 이하 제 1 도전형 전극(n형 전극) 및 제 2 도전형 전극(p형 전극)의 패턴을 설명한다.
- [0036] 먼저, n형 반도체층(320) 위에 서로 분리되고, 서로 대향하도록, 한 쌍의 n형 전극 패드(360p)(제 1 n형 전극 패드(도면의 상부에 위치) 및 제 2 n형 전극 패드(도면의 하부에 위치))가 형성된다. 본 발명의 실시예에서, 기판(300)은 사각형태로 구현되고, 한 쌍의 n형 전극 패드(360p)는 서로 마주보는 변의 중앙에 위치하여 서로 대칭되는 위치에 설치된다. 또한, 제 1 n형 전극 패드(도 3의 상부에 위치)와 연결된 n형 전극은 제 2 n형 전극 패드(도 3의 하부에 위치)와 연결된 n형 전극과 서로 대칭이 되도록 형성된다.
- [0037] 따라서, 설명의 편의를 위해서, 도 3의 상부에 설치된 n형 전극의 구조만을 설명하면, n형 전극 패드(360p)와 연결되는 n형 전극은 제 1 주전극(360-1)과 경계 방향 전극(360-2)으로 구성되고, 제 1 주전극(360-1)은 각각의 n형 전극 패드(360p)로부터 원주 방향으로 인출되도록 형성된다. 제 1 주전극(360-1)은 동일한 곡률을 갖도록 형성되는 것이 바람직하다. 또한, 경계 방향 전극(360-2)은 n형 전극 패드(360p)로부터 기판의 경계 방향(사각형의 기판의 변에 수직하는 방향으로, 기판의 중심과 반대되는 방향)으로 인출되도록 형성된다.
- [0038] 한편, 투명 전극층(350) 위에는 n형 전극 패드(360p)가 설치되지 않은 변에, 서로 분리되고 서로 대향하도록 한 쌍의 p형 전극 패드(370p)(제 1 p형 전극 패드(도면의 우측에 위치함) 및 제 2 p형 전극 패드(도면의 좌측에 위치함))가 형성된다. 또한, 제 1 p형 전극 패드(도 3의 우측에 위치함)와 연결된 p형 전극은 제 2 p형 전극 패드(도 3의 좌측에 위치함)와 연결된 p형 전극과 서로 대칭이 되도록 형성된다.
- [0039] 따라서, 설명의 편의를 위하여 도 3의 우측에 도시된 하나의 p형 전극의 구조만을 설명하면, p형 전극은 제 2 주전극(370-1), 중심 방향 전극(370-2), 분기 전극(370-3), 및 모서리 방향 전극(370-4)으로 구성된다.
- [0040] 제 2 주전극(370-1)은 제 p형 전극 패드(370p)로부터 원주 방향으로 인출되도록 형성되고, 기판(300)의 중심으로부터 제 1 주전극(360-1)보다 바깥쪽에 형성된다. 제 2 주전극(370-1)이 형성되면, 상술한 경계 방향 전극(360-2)은 서로 대칭되는 한 쌍의 제 2 주전극(370-1) 사이에 위치하게 된다.
- [0041] 서로 대칭되는 한 쌍의 중심 방향 전극(370-2)은 p형 전극 패드(370p)로부터 기판의 중심 방향으로 인출되어 상기 제 1 주전극(360-1) 사이에 위치하도록 형성되고, 중심 방향 전극(370-2)의 말단에는 분기 전극(370-3)이 연결된다. 분기 전극(370-3)은 중심 방향 전극(370-2)의 말단으로부터 원주 방향으로 형성된다. 분기 전극(370-3)은 제 1 주전극(360-1) 및 제 2 주전극(370-1)과 동일한 곡률을 갖도록 형성되는 것이 바람직하고, 분기 전극(370-3)이 형성되면 제 1 주전극(360-1)은 제 2 주전극(370-1)과 분기 전극(370-3) 사이에 개재된다.
- [0042] 한편, 발광 소자의 모서리 영역에 전류를 공급하기 위해서, 모서리 방향 전극(370-4)을 형성한다. 모서리 방향 전극(370-4)은 제 2 주전극(370-1)으로부터 모서리 방향으로 연장되어 형성된다. 모서리 방향 전극(370-4)은 제 2 주전극(370-1)의 법선 방향으로 형성될 수 있다.
- [0043] 지금까지 제 1 실시예에 따른 전극 패턴이 형성된 발광 소자를 설명하였다. 상술한 제 1 실시예의 경우에 종래 기술에 비하여 발광 소자 전체에 균일하게 전류를 공급할 수 있어 종래기술에 비하여 현저히 개선된 효과를 나타낸다. 다만, 제 2 주전극(370-1)과 중심 방향 전극(370-2)간에 예각이 형성되어 해당 부분에서 다른 부분에 비하여 전류 혼잡화가 발생할 수 있다.
- [0044] 이러한 문제를 개선하기 위해서, 본 발명의 바람직한 제 2 실시예에서는 도 4에 도시된 바와 같이, 제 2 주전극(470-1)을 직선으로 구성하고, 제 2 주전극(470-1)과 중심 방향 전극(470-2)이 형성하는 각, 및 중심 방향 전극(470-2)과 분기 전극(470-3)이 결합되는 연결부에서 각 전극들이 형성하는 각을 90도보다 크도록 각 전극들을 형성하였다. 또한, 제 1 주전극(460-1)이 제 2 주전극(470-1)과 분기 전극(470-3)과 일정한 간격이 유지되도록 제 1 주전극(460-1)을 직선 형태로 변형하였다.
- [0045] 도 4는 본 발명의 바람직한 제 2 실시예에 따른 발광 소자의 전극 패턴을 도시하는 도면이다.
- [0046] 제 2 실시예는 전극의 구조만이 제 1 실시예와 차이가 있으므로, 제 1 실시예와 차이점이 존재하는 전극의 패턴을 중심으로 제 2 실시예를 설명한다.
- [0047] 도 4를 참조하면, n형 전극 패드(460p) 및 p형 전극 패드(470p)는 제 1 실시예와 동일한 위치에 서로 대칭되도

록 형성되고, n형 전극 및 p형 전극도 제 1 실시예와 마찬가지로 서로 대칭되도록 형성된다. 따라서, 아래에서는 대칭되는 전극들 중 위쪽에 형성된 n형 전극 및 오른쪽에 형성된 p형 전극 각각 하나만을 설명한다.

- [0048] n형 전극은 제 1 실시예와 마찬가지로 제 1 주전극(460-1)과 경계 방향 전극(460-2)으로 구성되고, 경계 방향 전극(460-2)은 제 1 실시예와 동일하게 형성된다.
- [0049] 제 1 주전극(460-1)은 후술하는 제 2 주전극(470-1)과 분기 전극(470-3) 사이에 개재되어 서로 일정한 거리가 유지되도록, n형 전극 패드(460p)로부터 전체적으로 원주 방향으로 인출되어 형성된다. 그러나, n형 전극 패드(460p)의 좌측 및 우측에 형성된 제 1 주전극(460-1)은 곡률을 갖지 않고, 각각 2개의 직선형 서브 전극이 결합된 형태로 형성된다.
- [0050] 도 4에 도시된 바와 같이, 제 1 주전극(460-1)은 n형 전극 패드(460p)로부터 수평 방향으로 인출된 직선형 전극과 비스듬히 아래쪽으로 향하는 직선형 전극이 결합된 형태이다. 제 1 주전극(460-1)은 직선형 전극들이 형성하는 예각이 90도보다 크도록 형성되고, 양 서브 전극이 형성하는 예각은 135도인 것이 가장 바람직하다.
- [0051] 한편, p형 전극은 제 1 실시예와 마찬가지로, 제 2 주전극(470-1), 중심 방향 전극(470-2), 분기 전극(470-3), 모서리 방향 전극(470-4)으로 구성되고, 제 2 주전극(470-1)은 복수의 직선형 서브 전극들이 결합된 형태로 구성된다.
- [0052] 도 4에 도시된 예에서는, p형 전극 패드(470p) 위쪽 및 아래쪽에 각각 형성된 제 2 주전극(470-1)은 5개의 직선형 서브 전극이 결합된 형태로 형성된다. 위쪽에 형성된 전극을 예시적으로 설명하면, 첫 번째 직선형 서브 전극은 위쪽으로 수직 방향으로 형성되고, 두 번째 직선형 서브 전극은 첫 번째 서브 전극과 연결되어 위쪽으로 비스듬한 방향으로 형성된다. 이 때, 양 서브 전극이 형성하는 예각은 90도보다 크고, 135도인 것이 가장 바람직하다. 첫 번째 직선형 서브 전극의 경우에도 중심 방향 전극(470-2)과 이루는 각이 90도보다 크도록 p형 전극 패드(470p)와 맞닿는 부분은 굽어져 형성되는 것이 바람직하다.
- [0053] 또한, 두 번째 직선형 서브 전극에는 세 번째 직선형 서브 전극이 연결되고, 세 번째 직선형 서브 전극에는 네 번째 직선형 서브 전극이, 네 번째 직선형 서브 전극에는 다섯 번째 직선형 서브 전극이 순차적으로 연결되고, 각 직선형 서브 전극이 서로 연결되어 형성된 예각은 90도보다 크며, 세 번째 직선형 서브 전극과 네 번째 직선형 서브 전극이 연결된 연결부에 모서리 방향 전극(470-4)이 함께 연결된다. 이 때, 모서리 방향 전극(470-4)과 직선형 서브 전극이 연결되어 형성된 각은 90도보다 크고, 120도인 것이 바람직하다.
- [0054] 또한, 두 번째 직선형 서브 전극의 방향과 다섯 번째 직선형 서브 전극의 방향을 일치하는 것이 바람직하고, 이 방향은 제 1 주전극(460-1)의 방향과도 일치하는 것이 바람직하다.
- [0055] 한편, 중심 방향 전극(470-2)은 제 1 실시예와 동일하게 발광 소자의 중심 방향으로 형성되고, 중심 방향 전극(470-2)의 말단에서는 분기 전극(470-3)이 형성된다. 이 때, 분기 전극(470-3)은 제 2 주전극(470-1)과 유사한 형태를 갖도록 형성되는 것이 바람직하다.
- [0056] 즉, 도 4에 도시된 예에서, 분기 전극(470-3)은 제 1 서브 전극과 제 2 서브 전극으로 구성되고, 제 1 서브 전극은 제 2 주전극(470-1)의 첫 번째 직선형 서브 전극에 대응되도록 기관의 중심쪽으로 향하다가 위쪽을 향하도록 굽은 형상으로 중심 방향 전극(470-2)의 말단에 연결되고, 제 2 서브 전극은 제 1 주전극(460-1) 및 제 2 주전극(470-1)의 두 번째 및 다섯 번째 직선형 서브 전극의 방향과 동일한 방향을 갖도록 제 1 서브 전극에 연결된다.
- [0057] 이 경우, 제 1 서브 전극의 중심 방향 전극(470-2)의 말단과 연결되는 부분이 기관의 중심으로 굽어 있으므로, 중심 방향 전극(470-2)과 제 1 서브 전극이 형성하는 각은 90도보다 크게 되고, 120도 정도인 것이 바람직하다.
- [0058] 지금까지 본 발명의 바람직한 실시예에 따른 반도체 발광 소자의 구조 및 전극 패턴에 대해서 설명하였다. 아래의 표 1에서는 도 1에 도시된 종래기술의 발광 소자와, 본 발명의 바람직한 제 1 실시예 및 제 2 실시예에 따른 발광 소자에 대한 실험 결과를 기재하였다.
- [0059] 이 때, 종래기술과 본 발명의 바람직한 실시예들에 대해서 동일한 조건으로 실험하였으며, 실험 조건을 설명하면, n-GaN 에 도핑된 불순물(Si)의 양은 $3 \times 10^{19}/\text{cm}^3$ 이고, p-GaN 에 도핑된 불순물(Mg)의 양은 $2 \times 10^{19}/\text{cm}^3$ 이다. GaN의 열 전도성의 조건으로는 $130 \text{ W/m} \cdot \text{K}$ 으로 동일하고, 전자의 이동도는 온도(T)를 변수로 두어 $237 \cdot 300/T \text{ (cm}^2/\text{V} \cdot \text{s})$, 마찬가지로 홀의 이동도는 온도(T)를 변수로 두어 $10 \cdot 300/T \text{ (cm}^2/\text{V} \cdot \text{s})$ 로 동일하게 설정하였다. n-GaN 에 도핑된 불순물인 실리콘(Si)의 활성화 에너지 (Activation Energy)는 0.17eV이고,

p-GaN에 도핑된 불순물인 마그네슘(Mg)의 활성화 에너지 (Activation Energy)는 0.02eV 이다.

표 1

	종래기술	제 1 실시예	제 2 실시예
Forward Bias [V]	4.90639	4.73513	4.72654
Output Power [mW]	423.44	426.55	427.08
Wall plug efficiency [%]	24.658	25.737	25.817
Average IQE [%]	45.083	45.419	45.476
Current density (Max) [A/cm ²]	233.114	158.499	188.249
Temperature (Max) [K]	331.8	328.7	328.6
Dissipated power [mW]	1226.54	1200.37	1199.66

상술한 표 1에서 보는 바와 같이, 본 발명의 제 1 및 제 2 실시예가 종래 기술보다 저전압에서 동작하고 전류 밀도도 낮으며, 소자의 온도도 더 낮게 나타나는 등 모든 면에서 종래기술보다 현저하게 개선된 효과를 나타내는 것을 알 수 있다.

도 5a는 종래 기술과 본 발명의 전류 대 전압 특성을 나타내는 그래프이고, 도 5b는 대면적 동작 전류 350mA에서의 종래 기술과 본 발명의 전류 대 전압 특성을 나타내는 그래프이다.

도 5a 및 도 5b를 참조하면, 종래기술보다 본 발명의 제 1 실시예가, 제 1 실시예보다는 제 2 실시예가 동일한 동작전류(350mA)시 낮은 구동전압을 가짐으로써 낮은 소비전력과 높은 전류주입효율, 더 긴 소자의 수명을 기대할 수 있다.

도 6은 전류 주입에 따른 최대 전류 밀도 변화 그래프이다.

일반적으로 동일한 동작 전류에서 전류의 밀도값이 커질수록 "Current crowding (전류 혼잡화)" 효과가 큰 것임을 의미하고, 소자의 국부적인 열발생 및 전류 주입효율 저하, 조기 광포화 등과 같은 문제점이 야기된다. 또한, 칩 대면적으로 이루어진 발광 면에 균일하게 전류가 분산이 되지 않아 궁극적으로는 칩의 신뢰성이 낮아지는 결과를 초래한다.

도 6에 나타난 바와 같이, 본 발명의 제 1 실시예 및 제 2 실시예에 따른 발광 소자가 종래 기술에 비하여, 동일 동작전류상에서 낮은 전류 밀도를 가짐으로써 이러한 문제점을 해결함과 동시에 균일한 전류분포를 통하여 우수한 내부양자효율 및 발광특성을 유도할 수 있고, 전체 소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 기대할 수 있음을 알 수 있다.

이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

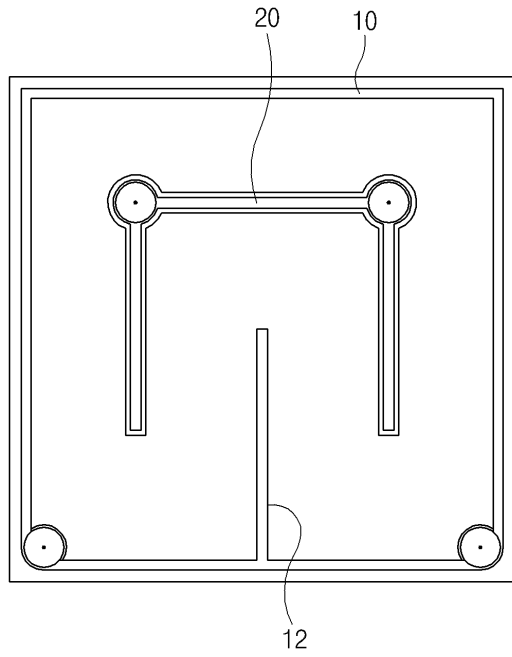
부호의 설명

*300	기관
*310	버퍼층
*320	제 1 도전형 반도체층(n형 반도체층)
*330	활성층
*340	제 2 도전형 반도체층(p형 반도체층)
*350	투명 전극층
*360-1, 460-1	제 1 주전극
*360-2, 460-2	경계 방향 전극
*370-1, 470-1	제 2 주전극

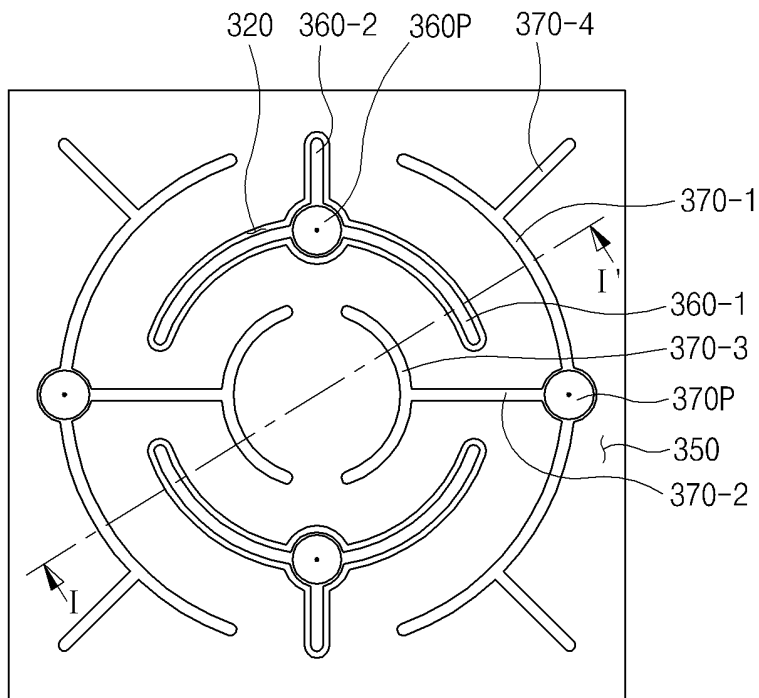
- *370-2, 470-2 중심 방향 전극
- *370-3, 470-3 분기 전극
- *370-4, 470-4 모서리 방향 전극

도면

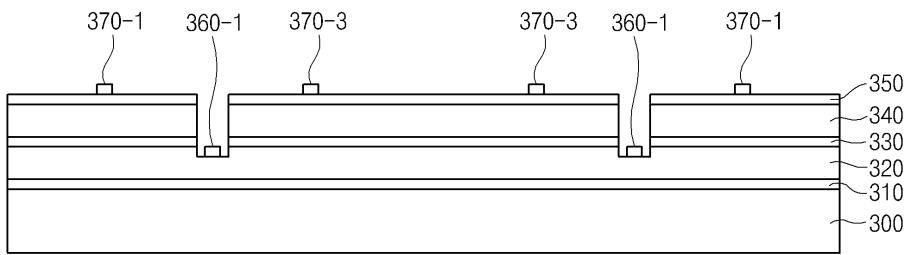
도면1



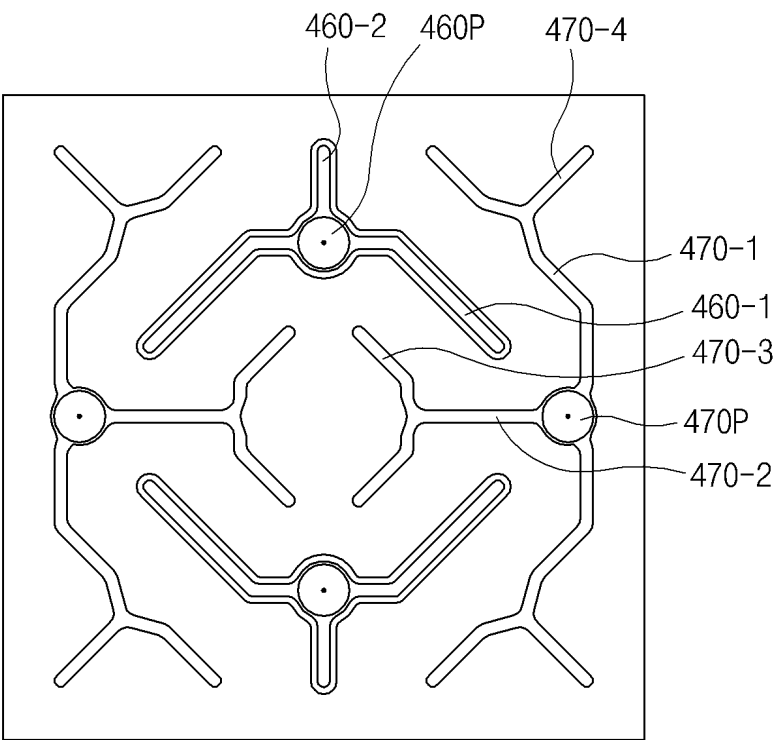
도면2



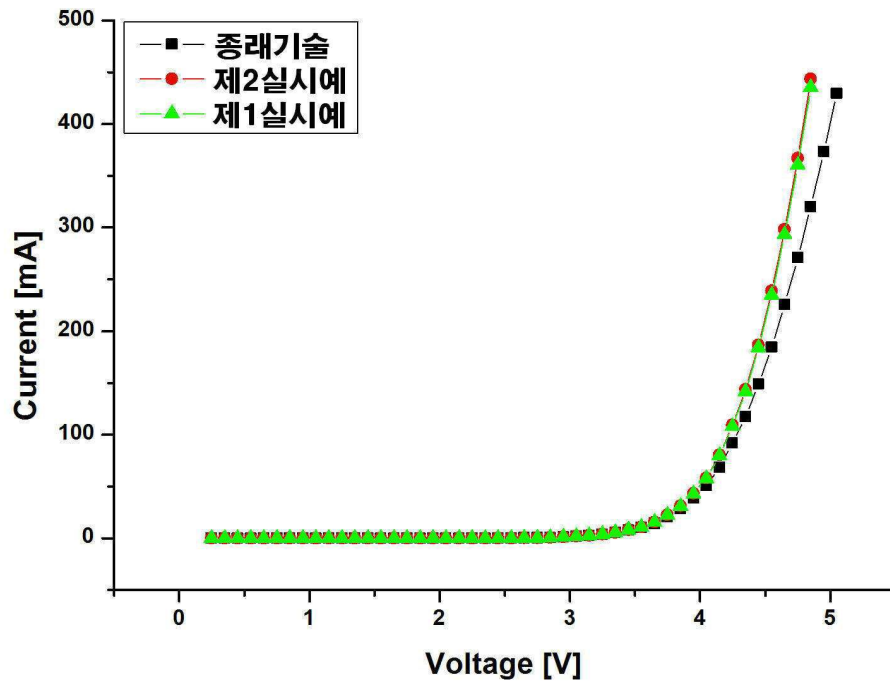
도면3



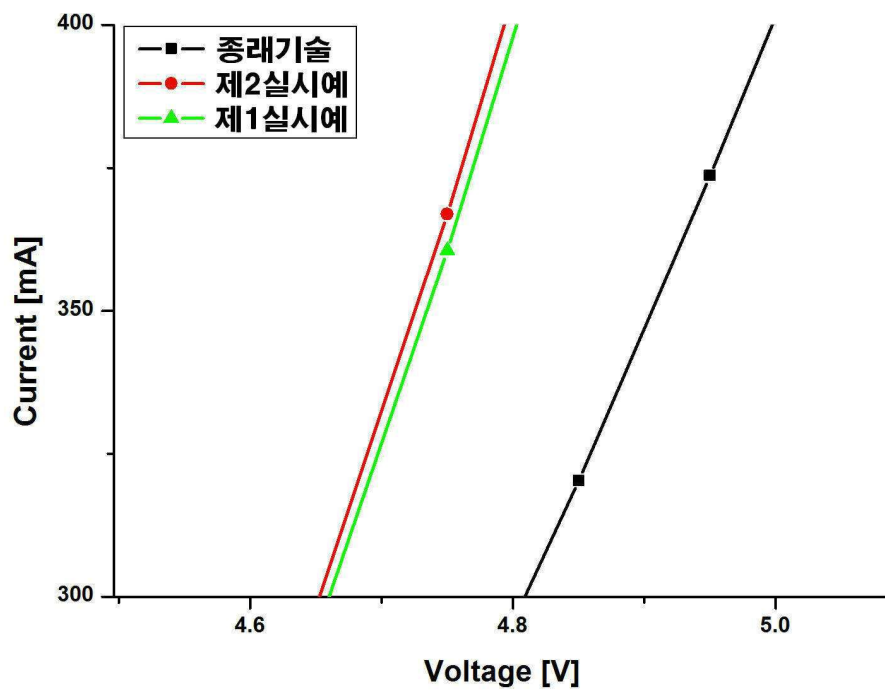
도면4



도면5a



도면5b



도면6

