

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 9 月 17 日(17.09.2015)



(10) 国際公開番号
WO 2015/136589 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G01M 11/00 (2006.01) H05B 33/10 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006441
- (22) 国際出願日: 2014 年 12 月 24 日(24.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-052556 2014 年 3 月 14 日(14.03.2014) JP
- (71) 出願人: 株式会社 J O L E D (JOLED INC.) [JP/JP];
〒1010054 東京都千代田区神田錦町三丁目 2 3
番地 Tokyo (JP).
- (72) 発明者: 天土 真理男(AMATSUCHI, Mario).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.);
〒5320011 大阪府大阪市淀川区西中島 5 丁目
3 番 1 0 号タナカ・イトーピア新大阪ビル 6 階
新居国際特許事務所内 Osaka (JP).

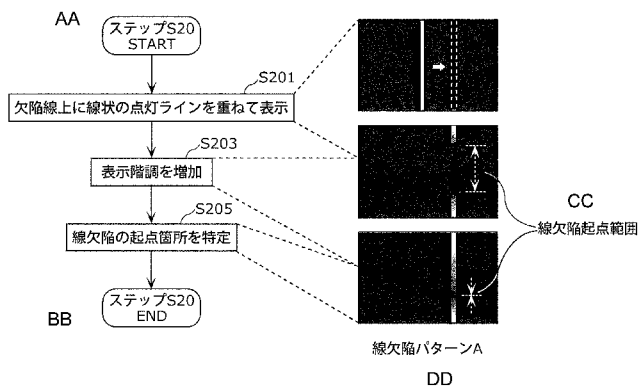
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING DISPLAY PANEL

(54) 発明の名称: 表示パネルの製造方法



- S201 Display linear lighting line to overlap with defective line
S203 Increase display gradation
S205 Identify defective line start position
AA Start of step S20
BB End of step S20
CC Range of defective line start position
DD Defective line pattern A

(57) Abstract: Provided is a method for manufacturing a display panel (1) having a display region (11) wherein pixels (110) including an organic EL element (101) and a driving transistor (102) are disposed in matrix. The method comprises: a step of displaying, in the display panel that has a defective line which is a prescribed pixel array emitting light with luminance showing no display gradation signal, a lighting line which is a pixel array into which a uniform display gradation signal is input in the display region (11), and overlapping the display of the lighting line and the defective line by scanning the lighting line in rows within the display region (11); a step of reducing a bright section or a dark section in the defective line by uniformly modifying a display gradation in the lighting line, the display gradation being input in the pixel array belonging to the lighting line displayed overlapping with the defective line; and a step of identifying a defective pixel from which the defective line starts on the basis of a position of the reduced bright section or dark section in the display region (11).

(57) 要約: 有機EL素子(101)と駆動トランジスタ(102)とを有する画素(110)が行列状に配置された表示部(11)を有する表示パネル(1)の製造方法であって、表示階調信号を反映しない輝度で発光する所定の画素列である線欠陥を有する表示パネルにおいて、一様の表示階調信号が入力された画素列である点灯ラインを

表示部(11)に表示させ、当該点灯ラインを表示部(11)内で行方向に走査して当該点灯ラインと線欠陥とを重ねて表示させる工程と、線欠陥と重ねて表示された点灯ラインに属する画素列に入力される表示階調を、点灯ラインにおいて一様に変更することにより、線欠陥上の明部範囲または暗部範囲を縮小する工程と、縮小された明部範囲または暗部範囲の表示部(11)における位置から線欠陥の起点となる欠陥画素を特定する工程とを含む。



WO 2015/136589 A1

明 細 書

発明の名称：表示パネルの製造方法

技術分野

[0001] 本開示は、表示パネルの製造方法に関する。

背景技術

[0002] アクティブマトリクス型の有機ＥＬディスプレイでは、複数の走査線と複数のデータ線との交点に薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）が設けられ、このＴＦＴに容量素子及び駆動トランジスタのゲートが接続されている。そして、選択した走査線を通じてこのＴＦＴをオンさせ、データ線からのデータ信号を駆動トランジスタ及び容量素子に入力し、その駆動トランジスタ及び容量素子によって有機ＥＬ素子の発光タイミングを制御する。ここで、ＴＦＴ、容量素子、駆動トランジスタ及び有機ＥＬ素子で構成される画素回路の構成が複雑になるほど、また、発光画素数が増加するほど、微細加工を必要とする製造工程において、回路素子や配線の短絡や開放といった電氣的な不具合が発生してしまう。

[0003] これに対して、回路素子及び配線の形成後に、不具合が生じた画素を修正する方法が提案されている。特許文献１では、回路素子の短絡等により常に発光状態となり輝点化された欠陥画素を修正するために、全ての画素に、他の導電部及び配線から離間して接続された非重畳部が設けられている。欠陥画素の非重畳部にレーザーを照射することにより、当該非重畳部を切断する。これにより、不良画素は、電気信号の伝達が遮断され、しかも、レーザー照射によるダメージを受けることなく滅点化される。

先行技術文献

特許文献

[0004] 特許文献１：特開２００８－２０３６３６号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に開示された画素修正方法では、レーザーを照射して欠陥画素をリペアする前段階として、黒表示における輝点画素または白表示における減点画素を特定しなければならない。

[0006] しかしながら、欠陥モードによっては、点（画素）欠陥としてではなく線（画素行または画素列）欠陥として観察される場合がある。この場合には、さらに、線欠陥に含まれる画素を1つずつ詳細に観察してリペアすべき欠陥画素を特定しなければならない。このため、欠陥画素を特定する工程が煩雑化及び長時間化するという課題を生じる。

[0007] そこで、本開示は、欠陥画素の検査工程が簡素化及び短縮化された表示パネルの製造方法を提供する。

課題を解決するための手段

[0008] 上記課題を解決するため、本開示の一態様に係る表示パネルの製造方法は、発光素子と当該発光素子を駆動する駆動素子とを有し、入力された表示階調信号を反映した輝度で発光する画素が行列状に複数配置された表示部を有する表示パネルの製造方法であって、前記表示階調信号を反映しない輝度で発光する所定の画素行及び画素列の少なくともいずれかである線欠陥を有する前記表示パネルにおいて、一様の表示階調信号を入力して発光した画素行または画素列である点灯ラインを前記表示部に表示させ、当該点灯ラインを前記表示部内で行方向または列方向に走査して当該点灯ラインと前記線欠陥とを重ねて表示させる工程と、前記線欠陥と重ねて表示された前記点灯ラインに入力される前記一様の表示階調信号、または、前記駆動素子を駆動する駆動電源電圧を、前記点灯ラインを構成する全画素について一様に変更することにより、前記線欠陥上の明部範囲または暗部範囲を縮小する工程と、縮小された前記明部範囲または暗部範囲の前記表示部における位置から、前記線欠陥の起点となる欠陥画素を特定する工程とを含む。

発明の効果

[0009] 本開示によれば、線欠陥を有する表示パネルの検査工程が簡素化及び短縮化できる。

図面の簡単な説明

- [0010] [図1]図 1 は、実施の形態に係る表示パネルの構成概略図である。
- [図2]図 2 は、実施の形態に係る画素回路の一例を示す回路構成図である。
- [図3A]図 3 A は、線欠陥パターン A が現れた場合の表示部の画像図である。
- [図3B]図 3 B は、線欠陥パターン B が現れた場合の表示部の画像図である。
- [図4]図 4 は、実施の形態に係る表示パネルの製造方法を示す動作フローチャートである。
- [図5A]図 5 A は、線欠陥パターン A が現れた場合の実施の形態に係る欠陥画素特定工程を説明する動作フローチャートである。
- [図5B]図 5 B は、線欠陥パターン B が現れた場合の実施の形態に係る欠陥画素特定工程を説明する動作フローチャートである。
- [図6]図 6 は、実施の形態の変形例 1 に係る表示パネルの製造方法を説明する動作フローチャートである。
- [図7]図 7 は、実施の形態の変形例 2 に係る表示パネルの構成概略図である。
- [図8]図 8 は、実施の形態に係る表示パネルの製造方法を用いて製造された薄型フラット TV の外観図である。

発明を実施するための形態

- [0011] 以下、表示パネルの製造方法の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

- [0012] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0013] (実施の形態)

[1. 表示パネルの構成]

まず、本実施の形態に係る表示パネル 1 の構成について、図 1 を用いて説明する。

[0014] 図 1 は、実施の形態に係る表示パネルの構成概略図である。図 1 に示すように、本実施の形態に係る表示パネル 1 は、表示部 1 1 と、ゲート信号線 1 2 1 ~ 1 2 4 と、ソース信号線 1 3 1 と、ゲートドライバ回路 1 2 と、ソースドライバ回路 1 3 とを備える。

[0015] 表示部 1 1 は、画素 1 1 0 が行列状に配置されて構成され、外部から入力された映像信号に基づいて画像を表示する。

[0016] ゲート信号線 1 2 1 ~ 1 2 4 は、表示部 1 1 の画素行ごとに配置され、画素 1 1 0 が有するスイッチの導通及び非導通を切り換える制御信号を伝達する走査線である。ゲート信号線 1 2 1 ~ 1 2 4 は、ゲートドライバ回路 1 2 に接続され、各画素行に属する画素 1 1 0 に接続されている。

[0017] ソース信号線 1 3 1 は、表示部 1 1 の画素列ごとに配置され、外部入力された映像信号を反映した表示階調信号であるデータ電圧を画素 1 1 0 に伝達するデータ線である。

[0018] ゲートドライバ回路 1 2 は、表示部 1 1 の周辺回路であり、ゲート信号線 1 2 1 ~ 1 2 4 に上記制御信号を出力する。ゲートドライバ回路 1 2 は、画素 1 1 0 にデータ電圧を書き込むタイミングを制御する機能や、画素 1 1 0 に初期化電圧や参照電圧などの各種電圧を印加するタイミングを制御する機能などを有する。

[0019] ソースドライバ回路 1 3 は、表示部 1 1 の周辺回路であり、ソース信号線 1 3 1 にデータ電圧を出力する。

[0020] 次に、表示部 1 1 の画素回路構成について説明する。

[0021] 図 2 は、実施の形態に係る画素回路の一例を示す回路構成図である。同図には、表示部 1 1 が有する複数の画素 1 1 0 のうちの 1 つの画素 1 1 0 の回路構成、及び、当該画素 1 1 0 と周辺回路との接続構成が示されている。同

図に示すように、画素110は、有機EL素子101と、駆動トランジスタ102と、スイッチ103-106と、容量素子107とを備える。

[0022] 有機EL素子101は、発光素子の一例であり、駆動トランジスタ102の駆動電流により発光する。有機EL素子101は、カソードにはELカソード電圧 V_{ss} が印加され、アノードには駆動トランジスタ102のソースが接続されている。

[0023] 駆動トランジスタ102は、有機EL素子101への電流の供給を制御する電圧駆動の駆動素子である。駆動トランジスタ102は、ゲートが容量素子107の第1電極と接続され、ソースが容量素子107の第2電極及び有機EL素子101のアノードに接続されている。駆動トランジスタ102は、スイッチ105がオン状態である場合に、表示階調に対応したデータ電圧に応じた電流である駆動電流を有機EL素子101に流すことにより有機EL素子101を発光させる。また、駆動トランジスタ102の閾値電圧は、スイッチ106がオン状態、スイッチ103がオフ状態、スイッチ104がオフ状態、及びスイッチ105がオン状態である間に、容量素子107にて検出される。

[0024] 容量素子107は、駆動トランジスタ102に流す電流量を決める電圧を保持する。容量素子107の第1電極は、駆動トランジスタ102のゲートに接続され、さらに、参照電圧 V_{ref} がとスイッチ106を介して印加される。容量素子107は、例えば、スイッチ106がオフ状態となった後も、印加された参照電圧 V_{ref} を維持し、継続して駆動トランジスタ102のゲートにその参照電圧 V_{ref} を供給する。また、容量素子107は、スイッチ103がオン状態となった場合に、データ電圧が印加され、スイッチ106がオフ状態になった後、そのデータ電圧を保持する。そして、スイッチ105がオン状態となった後の駆動トランジスタ102に駆動電流を供給させる。

[0025] スイッチ103は、ゲートがゲート信号線121に電氣的に接続され、ソースが駆動トランジスタ102のゲートと電氣的に接続され、ドレインがソ

ース信号線 131 と電氣的に接続されたスイッチ用 NMOS トランジスタである。上記接続構成により、スイッチ 103 は、データ電圧を供給するためのソース信号線 131 と容量素子 107 の第 1 電極との導通及び非導通を切り換える。

[0026] スイッチ 106 は、ゲートがゲート信号線 123 に電氣的に接続され、ソースが駆動トランジスタ 102 のゲートと電氣的に接続され、ドレインには参照電圧 V_{ref} が印加されるスイッチ用 NMOS トランジスタである。スイッチ 106 は、参照電圧 V_{ref} を容量素子 107 の第 1 電極へ印加する、及び印加しない、を切り換える。

[0027] スイッチ 104 は、ゲートがゲート信号線 124 に電氣的に接続され、ソースが駆動トランジスタ 102 のソースと電氣的に接続され、ドレインには初期化電圧 V_{ini} が印加されるスイッチ用 NMOS トランジスタである。スイッチ 104 は、初期化電圧 V_{ini} を容量素子 107 の第 2 電極へ印加する、及び印加しない、を切り換える。

[0028] スイッチ 105 は、ゲートがゲート信号線 122 に電氣的に接続され、ソースが駆動トランジスタ 102 のドレインに電氣的に接続され、ドレインには EL アノード電源電圧 V_{dd} が印加されるスイッチ用 NMOS トランジスタである。なお、EL アノード電源電圧 V_{dd} は、駆動トランジスタ 102 を駆動する駆動電源電圧である。上記接続構成により、スイッチ 105 は、EL アノード電源電圧 V_{dd} を駆動トランジスタ 102 のドレインへ印加する、及び印加しない、を切り換える。スイッチ 105 は、駆動トランジスタ 102 のドレインに電位 V_{dd} を与える機能と、駆動トランジスタ 102 の閾値電圧 V_{th} の検出を行わせる機能を有する。

[0029] なお、スイッチ 103～106 は、n 型 TFT として説明を行うが、p 型 TFT であってもよく、また、n 型 TFT と p 型 TFT とが混在して用いられてもよい。

[0030] [2. 線欠陥の発生メカニズム]

ここで、表示パネル 1 の画像上に現れる、いわゆる、線欠陥の発生メカニ

ズムについて説明する。

[0031] 図3 Aは、線欠陥パターンAが現れた場合の表示部の画像図であり、図3 Bは、線欠陥パターンBが現れた場合の表示部の画像図である。

[0032] 図3 A及び図3 Bに表された画像は、表示部11の全画素110に対して一様な表示階調に対するデータ電圧がソースドライバ回路13から供給された場合の画像であるが、当該画像には縦筋状の線欠陥が視認される。この縦筋状の線欠陥は、入力された表示階調信号であるデータ電圧を反映しない輝度で発光する所定の画素列で構成されている。より具体的には、図3 Aの画像では、表示部11の上下端部から中央に向かうにつれ、明から暗へと段階的に変化している。一方、図3 Bの画像では、表示部11の上下端部から中央に向かうにつれ、暗から明へと段階的に変化している。

[0033] 図3 A及び図3 Bの画像が得られる原因としては、例えば、画素回路を構成するスイッチの短絡不良などが挙げられる。例えば、図2に示された画素回路において、表示部11の有する1つの画素110のスイッチ103のドレインーゲート間が短絡している場合である。通常、ゲートドライバ回路12からゲート信号線121を介してスイッチ103のゲートに印加された制御電圧GSと、ソースドライバ回路13からデータ線を介してスイッチ103のドレインに印加されたデータ電圧Vdataとは、異なる電圧値が設定されている。しかしながら、ある1つの画素110において、スイッチ103のドレインーゲート間が短絡すると、ソース信号線131の電圧は、ゲート信号線121制御電圧GSの電圧の影響を受けて、ソースドライバ回路13から出力されるデータ電圧Vdataの電圧値から変動してしまう。この電位変動を受けたソース信号線131は、スイッチ103のドレインーゲート間が短絡している上記画素110（以下、欠陥画素と記す）が属する画素列に配置されている。よって、上記画素列に属する画素110は、この電位変動を受けたソース信号線131から、入力された表示階調信号を反映しないデータ電圧の供給を受けることとなる。ここで、ソース信号線131は、所定の配線抵抗を有していることから、電位変動を受けたソース信号線13

1において、欠陥画素に近いほど電位変動が激しくなる。このため、欠陥画素と同じ画素列に属し当該欠陥画素に近い画素ほど、欠陥画素の発光輝度に近い輝度で発光し、欠陥画素と同じ画素列に属し当該欠陥画素から遠い画素ほど、欠陥画素の発光輝度と異なる輝度で発光することとなる。

[0034] 例えば、データ電圧が正の電圧値に設定されており、当該電圧値が高いほど高階調（明）を表示し、制御電圧GSが0V以下の電圧値に設定されている場合、欠陥画素近傍のソース信号線131の電位は、低くなる方向へ変動する。この場合には、同じ画素列に属し欠陥画素に近い画素110は、本来表示されるべき輝度よりも低い輝度で発光し、線欠陥パターンAが現れる。一方、データ電圧が正の電圧値に設定されており、当該電圧値が低いほど高階調（明）を表示し、制御電圧GSが0V以下の電圧値に設定されている場合、欠陥画素近傍のソース信号線131の電位は、低くなる方向へ変動する。この場合には、同じ画素列に属し欠陥画素に近い画素110は、本来表示されるべき輝度よりも高い輝度で発光し、線欠陥パターンBが現れる。

[0035] なお、上述した線欠陥は、ソース信号線131の電位変動による縦筋状の線欠陥のみならず、スイッチ104－106のゲートドレイン間及びゲートソース間の短絡などにより発生する横筋状の線欠陥も含まれる。但し、ソース信号線131は、画素110へのデータ電圧の高速供給が要求されるため、ゲート信号線121－124と比較して低インピーダンスに設定されている。このため、ソース信号線131のほうが、ゲート信号線121－124よりも電位変動の影響を受け易く、横筋状よりも縦筋状の線欠陥のほうが顕著に現れる。

[0036] 以上のように、画素回路を構成するスイッチ用トランジスタの短絡などにより、表示画像上に線欠陥が発生するため、当該表示画像から上記欠陥画素を特定することは困難である。

[0037] これに対して、本実施の形態に係る表示パネルの製造方法により、上記欠陥画素を特定することが可能となることを、以下、説明する。

[0038] [3. 表示パネルの製造方法]

図4は、実施の形態に係る表示パネルの製造方法を示す動作フローチャートである。本開示の表示パネルの製造方法は、表示パネルの形成工程、欠陥画素の特定工程、及びリペア工程を含む。

[0039] [3-1. 表示パネル形成工程]

まず、表示パネル基板上に表示パネルを形成する(S10)。具体的には、例えば、図2に示された駆動トランジスタ102、スイッチ103-106、容量素子107、ゲート信号線121~124、及びソース信号線131などを適宜配置させた駆動回路層を形成する。次に、上記駆動回路層の上に、当該駆動回路層の平坦化工程を経た後、有機EL素子101を有する発光層を形成する。上記発光層は、例えば、陽極、正孔注入層、正孔輸送層、有機発光層、バンク層、電子注入層、及び透明陰極を有する。

[0040] 次に、欠陥画素を特定する(S20)。以下、本開示に係る表示パネルの製造方法の要部であるステップS20について詳細に説明する。以下では、表示部11の上端部から下端部へ向けて明、暗、明と変化する縦筋状の線欠陥パターンA、及び、表示部11の上端部から下端部へ向けて暗、明、暗と変化する縦筋状の線欠陥パターンBの欠陥画素特定工程について、順に説明する。

[0041] [3-2-1. 点灯ラインが明-暗-明と変化する場合の欠陥画素特定工程]

図5Aは、線欠陥パターンAが現れた場合の実施の形態に係る欠陥画素特定工程を説明する動作フローチャートである。

[0042] 表示パネル形成工程の後、線欠陥パターンAが現れた画像において、欠陥線上に線状の点灯ラインを重ねて表示させる(S201)。具体的には、一様の表示階調信号がソースドライバ回路13から入力された画素列である点灯ラインを表示部11に表示させる。次に、上記点灯ラインを表示部11内で行方向(列走査方向、表示部左右方向)に走査して当該点灯ラインと線欠陥とを重ねて表示させる。ここで、点灯ラインに属さない画素は、一様に消灯させていることが望ましい。これにより、上記点灯ラインとその他の画素

とのコントラストが向上し、当該点灯ラインの視認度を上げることが可能となる。

[0043] ステップS201において、上記点灯ラインを表示させる具体的方法として、ゲートドライバ回路12に対して、行順次にゲート信号線121-124にH1GHレベルの制御電圧GS、GE、GR及びGIを供給させる。また、ソースドライバ回路13に対して、所定の画素列に配置されたソース信号線131のみに、当該画素列を一様に点灯させる表示階調信号であるデータ電圧を供給させる。次に、ソースドライバ回路13に対して、上記データ電圧を供給するソース信号線131を、列順次に走査させる。観測者（操作者）は、列順次にシフトする点灯ラインが、予め観測された線欠陥を有する画素列と重なった時点で、点灯ラインの列走査を停止する。

[0044] 次に、点灯ラインの表示階調を増加させる（S203）。上記点灯ラインの表示階調を増加させる具体的方法として、ソースドライバ回路13に対して、上記点灯ラインが重ねられた、欠陥画素が属する画素列に配置されたソース信号線131に印加されているデータ電圧を、当該点灯ラインの表示階調が高くなるよう変化させる。これにより、欠陥画素が属する画素列の有機EL素子101の発光輝度が上昇するので、線欠陥の暗部範囲を縮小することが可能となる。

[0045] なお、ステップS203において、上記線欠陥と重ねられた点灯ラインの表示階調を高くする方法として、データ電圧を変更する代わりに、ELアノード電源電圧Vddを大きくしてもよい。これにより、欠陥画素が属する画素列の有機EL素子101に流れる発光電流が大きくなり有機EL素子101の発光輝度が上昇するので、線欠陥の暗部範囲を縮小することが可能となる。

[0046] 次に、線欠陥の起点箇所を特定する（S205）。具体的には、ステップS203において縮小された上記暗部範囲の表示部11における位置から、当該線欠陥の起点となる欠陥画素を特定する。

[0047] 前述した線欠陥の発生メカニズムより、ステップS203において、線欠

陥の表示階調を線欠陥の画素列において一様に高くするにもかかわらず暗部として残存する箇所に欠陥画素が含まれるものと判断できる。

[0048] これにより、線欠陥を観測した後、当該線欠陥に含まれる画素を1つずつ詳細に観察することなく、点灯ラインの表示階調を一様に高くすることで上記暗部範囲を狭めて欠陥画素を特定することが可能となる。よって、欠陥画素の特定工程を簡素化及び短縮化することが可能となる。

[0049] [3-2-2. 点灯ラインが暗-明-暗と変化する場合の欠陥画素特定工程]

図5Bは、線欠陥パターンBが現れた場合の実施の形態に係る欠陥画素特定工程を説明する動作フローチャートである。

[0050] 表示パネル形成工程の後、線欠陥パターンBが現れた画像において、欠陥線上に線状の点灯ラインを重ねて表示させる(S211)。具体的には、一様の表示階調信号がソースドライバ回路13から入力された画素列である点灯ラインを表示部11に表示させる。次に、上記点灯ラインを表示部11内で行方向(列走査方向、表示部左右方向)に走査して当該点灯ラインと線欠陥とを重ねて表示させる。ここで、点灯ラインに属さない画素は、一様に消灯させていることが望ましい。これにより、上記点灯ラインとその他の画素とのコントラストが向上し、当該点灯ラインの視認度を上げることが可能となる。

[0051] ステップS211において、上記点灯ラインを表示させる具体的方法として、ゲートドライバ回路12に対して、行順次にゲート信号線121-124にHIGHレベルの制御電圧GS、GE、GR及びGIを供給させる。また、ソースドライバ回路13に対して、所定の画素列に配置されたソース信号線131のみに、当該画素列を一様に点灯させる表示階調信号であるデータ電圧を供給させる。次に、ソースドライバ回路13に対して、上記データ電圧を供給するソース信号線131を、列順次に走査させる。観測者(操作者)は、列順次にシフトする点灯ラインが、予め観測された線欠陥を有する画素列と重なった時点で、点灯ラインの列走査を停止する。

- [0052] 次に、点灯ラインの表示階調を減少させる（S 2 1 3）。上記点灯ラインの表示階調を減少させる具体的方法として、ソースドライバ回路 1 3 に対して、上記点灯ラインが重ねられた、欠陥画素が属する画素列に配置されたソース信号線 1 3 1 に印加されているデータ電圧を、当該点灯ラインの表示階調が低くなるよう変化させる。これにより、欠陥画素が属する画素列の有機 E L 素子 1 0 1 の発光輝度が下降するので、線欠陥の明部範囲を縮小することが可能となる。
- [0053] なお、ステップ S 2 1 3 において、上記線欠陥と重ねられた点灯ラインの表示階調を低くする方法として、データ電圧を変更する代わりに、E L ノード電源電圧 V_{dd} を小さくしてもよい。これにより、欠陥画素が属する画素列の有機 E L 素子 1 0 1 に流れる発光電流が小さくなり有機 E L 素子 1 0 1 の発光輝度が下降するので、線欠陥の明部範囲を縮小することが可能となる。
- [0054] 次に、線欠陥の起点箇所を特定する（S 2 1 5）。具体的には、ステップ S 2 1 3 において縮小された上記明部範囲の表示部 1 1 における位置から、当該線欠陥の起点となる欠陥画素を特定する。
- [0055] 前述した線欠陥の発生メカニズムより、ステップ S 2 1 3 において、線欠陥の表示階調を線欠陥の画素列において一様に低くするにもかかわらず明部として残存する箇所に欠陥画素が含まれるものと判断できる。
- [0056] これにより、線欠陥を観測した後、当該線欠陥に含まれる画素を 1 つずつ詳細に観察することなく、点灯ラインの表示階調を一様に低くすることで上記明部範囲を狭めて欠陥画素を特定することが可能となる。よって、欠陥画素の特定工程を簡素化及び短縮化することが可能となる。
- [0057] なお、上記欠陥画素特定工程において、点灯ラインに属さない画素は、一様に消灯させているとした。しかしながら、出現する線欠陥の輝度及び輝度変化の態様などにより、点灯ラインに属さない画素と線欠陥とのコントラストがより明瞭化できるのであれば、点灯ラインに属さない画素を一様消灯するのではなく所定の輝度で一様に点灯させてもよい。

[0058] [3-3. 欠陥画素のリペア工程]

最後に、欠陥画素をリペアする（S30）。具体的には、ステップS20にて特定された欠陥画素の欠陥状態を観察し、当該欠陥画素がリペア可能と判断する場合には当該欠陥画素をリペアする。一方、当該欠陥画素がリペア不可能と判断する場合には当該欠陥画素をリペアせず、リペア不可能と判断された欠陥画素を有する表示パネル、または、リペア不可能と判断された欠陥画素の数が所定値以上となった表示パネルは、NG品として処理する。

[0059] なお、欠陥画素のリペア方法としては、欠陥箇所にはレーザーを照射する、または、欠陥箇所に所定値以上のパルス電流を流すなどにより、欠陥箇所の短絡または開放を解消することが挙げられる。

[0060] 上記表示パネルの製造方法によれば、表示パネルに表示される検査用画像において、入力された一様な表示階調信号を反映しない輝度で発光する線欠陥に対して、（１）一様な表示階調信号が入力された点灯ラインを行方向または列方向に走査して当該点灯ラインと線欠陥とを重ねて表示させ、（２）線欠陥と重ねて表示された点灯ラインに属する画素行または画素列に入力される表示階調信号、または、駆動電源電圧を点灯ラインにおいて一様に変更することにより、線欠陥上の明部範囲または暗部範囲を縮小し、（３）縮小された明部範囲または暗部範囲の表示部における位置から、線欠陥の起点となる欠陥画素を特定する。これにより、線欠陥を観測した後、当該線欠陥に含まれる画素を１つずつ詳細に観察することなく、点灯ラインの表示階調を一様に変更することで上記明部範囲または暗部範囲を狭めて欠陥画素を特定することが可能となる。よって、欠陥画素の特定工程を簡素化及び短縮化することが可能となる。

[0061] なお、上記製造方法では、画素列または画素行からなる線欠陥が表示された場合の欠陥画素の特定方法を例示したが、本開示の表示パネルの製造方法はこれに限られない。例えば、画素列及び画素行の組み合わせからなる線欠陥、及び、複数の画素列または複数の画素行からなる線欠陥が表示パネルに出現する場合においても、上記実施の形態に係る欠陥画素の特定工程を適用で

きる。この場合には、上述したステップS 2 0に含まれる各ステップを組み合わせるにより欠陥画素を特定することが可能となる。

[0062] また、上記製造方法では、表示パネル1が有するゲートドライバ回路1 2及びソースドライバ回路1 3を介して、点灯ラインの表示及び点灯ラインの表示階調の変更を実行したが、これに限られない。例えば、表示パネルの製造工程において、ゲートドライバ回路1 2及びソースドライバ回路1 3が実装される前の表示パネルに対して、上記ステップS 2 0の欠陥画素の特定工程を適用してもよい。この場合には、各制御電圧及びデータ電圧を所定のタイミングで出力する出力回路を内蔵する検査装置に表示パネルを配置することにより、上記ステップS 2 0の欠陥画素の特定工程が実行される。

[0063] [4. 表示パネルの製造方法の変形例 1]

本変形例では、上述した欠陥画素を特定する工程であるステップS 2 0を、表示パネルの製造工程の変化態様に対応すべく、複数回実行する製造方法を説明する。

[0064] 図6は、実施の形態の変形例1に係る表示パネルの製造方法を説明する動作フローチャートである。

[0065] まず、表示パネル基板上に表示パネルを形成する（S 1 0）。

[0066] 次に、表示パネルの周辺部に、ゲートドライバ回路及びソースドライバ回路などの回路基板を実装する（S 1 5）。

[0067] 次に、表示パネルをエージングし、その後、表示画像にて線欠陥が発生しているか否かを観察する（S 1 6）。

[0068] ステップS 1 6で線欠陥が確認された場合（S 1 6のY）、上記実施の形態にて実行された欠陥画素の特定を実行する（S 2 0）。特定された欠陥画素がリペア可能であると判断される場合（S 2 6のY）には、当該欠陥画素をリペアする（S 3 0）。特定された欠陥画素がリペア不可能であると判断される場合（S 2 6のN）には、当該表示パネルをNG品として処理する。

[0069] 次に、ステップS 1 6で線欠陥が確認されない場合（S 1 6のN）、表示パネルの点灯確認を行い、点灯画像にて線欠陥が発生しているか否かを観察

する（S 1 7）。

[0070] ステップS 1 7で線欠陥が確認された場合（S 1 7のY）、上記実施の形態にて実行された欠陥画素の特定を実行する（S 2 0）。特定された欠陥画素がリペア可能であると判断される場合（S 2 7のY）には、当該欠陥画素をリペアする（S 3 0）。特定された欠陥画素がリペア不可能であると判断される場合（S 2 7のN）には、当該表示パネルをNG品として処理する。

[0071] 次に、ステップS 1 7で線欠陥が確認されない場合（S 1 7のN）、表示パネルの常時輝点リペア行い、その後、表示画像にて線欠陥が発生しているか否かを観察する（S 1 8）。

[0072] ステップS 1 8で線欠陥が確認された場合（S 1 8のY）、上記実施の形態にて実行された欠陥画素の特定を実行する（S 2 0）。特定された欠陥画素がリペア可能であると判断される場合（S 2 8のY）には、当該欠陥画素をリペアする（S 3 0）。特定された欠陥画素がリペア不可能であると判断される場合（S 2 8のN）には、当該表示パネルをNG品として処理する。

[0073] 次に、ステップS 1 8で線欠陥が確認されない場合（S 1 8のN）、表示パネルの輝度補正を行い、その後、表示画像にて線欠陥が発生しているか否かを観察する（S 1 9）。

[0074] ステップS 1 9で線欠陥が確認された場合（S 1 9のY）、上記実施の形態にて実行された欠陥画素の特定を実行する（S 2 0）。特定された欠陥画素がリペア可能であると判断される場合（S 2 9のY）には、当該欠陥画素をリペアする（S 3 0）。特定された欠陥画素がリペア不可能であると判断される場合（S 2 9のN）には、当該表示パネルをNG品として処理する。

[0075] 次に、ステップS 1 9で線欠陥が確認されない場合（S 1 9のN）、表示パネルのセット組み立てを実行する（S 4 0）。

[0076] 上述した変形例1に係る表示パネルの製造方法により、温度負荷や電氣的負荷が加えられた工程の後において、当該工程ごとに本実施の形態に係る欠陥画素の特定工程が実行されるので、欠陥画素の検出精度が向上し、表示パネルの製造歩留まりが向上する。

[0077] [5. 表示パネルの製造方法の変形例 2]

本変形例では、上述した欠陥画素を特定する工程であるステップ S 2 0 において、上記明部範囲または暗部範囲を、より効果的に縮小する方法について説明する。

[0078] 図 7 は、実施の形態の変形例 2 に係る表示パネルの構成概略図である。図 7 に示すように、本変形例に係る表示パネル 2 は、表示部 1 1 と、ゲート信号線 1 2 1 ~ 1 2 4 と、ソース信号線 1 3 1 と、ゲートドライバ回路 1 2 a 及び 1 2 b と、ソースドライバ回路 1 3 a 及び 1 3 b とを備える。

[0079] ゲート信号線 1 2 1 ~ 1 2 4 は、ゲートドライバ回路 1 2 a 及び 1 2 b に接続され、各画素行に属する画素 1 1 0 に接続されている。

[0080] ソース信号線 1 3 1 は、ソースドライバ回路 1 3 a 及び 1 3 b に接続され、各画素列に属する画素 1 1 0 に接続されている。

[0081] ゲートドライバ回路 1 2 a 及び 1 2 b は、表示部 1 1 の周辺回路であり、ゲート信号線 1 2 1 ~ 1 2 4 に制御信号を出力する。ゲートドライバ回路 1 2 a は、表示部 1 1 の左側端部に配置されている。また、ゲートドライバ回路 1 2 b は、表示部 1 1 の右側端部に配置され、行列状に配置された複数の画素 1 1 0 を挟んで、ゲートドライバ回路 1 2 a と対向するように配置されている。ここで、ゲートドライバ回路 1 2 a 及び 1 2 b は、ゲート信号線 1 2 1 ~ 1 2 4 との導通及び非導通を切り換えるスイッチを有している。

[0082] ソースドライバ回路 1 3 a 及び 1 3 b は、表示部 1 1 の周辺回路であり、ソース信号線 1 3 1 にデータ電圧を出力する。ソースドライバ回路 1 3 a は、表示部 1 1 の上側端部に配置されている。また、ソースドライバ回路 1 3 b は、表示部 1 1 の下側端部に配置され、行列状に配置された複数の画素 1 1 0 を挟んで、ソースドライバ回路 1 3 a と対向するように配置されている。ここで、ソースドライバ回路 1 3 a 及び 1 3 b は、ソース信号線 1 3 1 との導通及び非導通を切り換えるスイッチを有している。

[0083] 上記構成を有する表示パネル 2 の、本変形例に係る製造方法を説明する。本変形例に係る表示パネル 2 の製造方法は、実施の形態に係る表示パネル 1

の製造方法と比較して、欠陥画素を特定する工程（S20）のうち、表示階調を変化させる工程（S203及びS213）のみが異なる。以下、実施の形態に係る表示パネル1の製造方法と同じ点は説明を省略し、異なる点のみ説明する。

[0084] 線欠陥パターンAが現れた画像において、当該欠陥線上に線状の点灯ラインを重ねて表示させた後、ソースドライバ回路13aまたはソースドライバ回路13bをソース信号線131と非接続状態にする。例えば、線欠陥に重ねられた点灯ラインの暗部範囲が、表示部11の下方領域に観察される場合には、ソースドライバ回路13aを非接続状態とし、線欠陥に重ねられた点灯ラインの暗部範囲が、表示部11の上方領域に観察される場合には、ソースドライバ回路13bを非接続状態とする。

[0085] 上記暗部範囲が表示部11の下方領域に観察される場合には、欠陥画素は、上記線欠陥である画素列の下方に存在する確率が高い。また、上記暗部範囲が表示部11の上方領域に観察される場合には、欠陥画素は、上記線欠陥である画素列の上方に存在する確率が高い。ソースドライバ回路13aまたは13bを非接続状態とすることにより、ソース信号線131のインピーダンスを変更できるので、上記暗部領域の範囲を縮小することが可能となる。

[0086] ソースドライバ回路13aまたはソースドライバ回路13bをソース信号線131と非接続状態にした後、点灯ラインの表示階調を増加させる（S203）。

[0087] これにより、線欠陥の暗部範囲をより効果的に縮小することが可能となる。

[0088] なお、線欠陥パターンBが現れた画像においても、上述した、線欠陥パターンAが現れた画像における製造方法と同様に、ソースドライバ回路13aまたはソースドライバ回路13bをソース信号線131と非接続状態とすることにより、線欠陥の明部範囲をより効果的に縮小することが可能となる。

[0089] [6. 効果など]

以上のように、本実施の形態に係る表示パネルの製造方法は、入力された

表示階調信号を反映しない輝度で発光する所定の画素行及び画素列の少なくともいずれかである線欠陥を有する表示パネルにおいて、一様の表示階調信号が入力された画素行または画素列である点灯ラインを表示部 11 に表示させ、当該点灯ラインを表示部 11 内で行方向または列方向に走査して当該点灯ラインと線欠陥とを重ねて表示させる工程と、線欠陥と重ねて表示された点灯ラインに属する画素行または画素列に入力される表示階調信号の電圧レベル、または、駆動トランジスタを駆動する駆動電源電圧を、点灯ラインを構成する全画素に対して一様に変更することにより、線欠陥上の明部範囲または暗部範囲を縮小する工程と、縮小された明部範囲または暗部範囲の表示部 11 における位置から、線欠陥の起点となる欠陥画素を特定する工程とを含む。

[0090] これによれば、線欠陥を観測した後、当該線欠陥に含まれる画素を 1 つずつ詳細に観察することなく、点灯ラインの表示階調を一様に変更することで上記明部範囲または暗部範囲を狭めて欠陥画素を特定することが可能となる。よって、欠陥画素の特定工程を簡素化及び短縮化することが可能となる。

[0091] なお、点灯ラインと線欠陥とを重ねて表示させる工程、線欠陥上の明部範囲または暗部範囲を縮小する工程、及び、欠陥画素を特定する工程では、点灯ラインに属さない画素を消灯してもよい。

[0092] これにより、点灯ラインとその他の画素とのコントラストが向上し、当該点灯ラインの視認度を上げることが可能となる。

[0093] また、例えば、点灯ラインと線欠陥とを重ねて表示させる工程において、点灯ラインと線欠陥とを重ねた結果、点灯ラインの表示態様が、点灯ラインの一端から他端にわたり、順に、明、暗、明と変化する場合、線欠陥上の明部範囲または暗部範囲を縮小する工程では、表示階調を高くするよう点灯ラインにおいて一様に表示階調信号の電圧レベルを変更する、または、点灯ラインにおいて一様に駆動電源電圧を大きくすることにより、暗部範囲を縮小する。

[0094] これにより、点灯ラインの表示階調を一様に変更することで暗部範囲を狭

めて欠陥画素を特定することが可能となる。

[0095] また、例えば、点灯ラインと線欠陥とを重ねて表示させる工程において、点灯ラインと線欠陥とを重ねた結果、点灯ラインの表示態様が、点灯ラインの一端から他端にわたり、順に、暗、明、暗と変化する場合、線欠陥上の明部範囲または暗部範囲を縮小する工程では、表示階調を低くするよう点灯ラインにおいて一様に表示階調信号の電圧レベルを変更する、または、点灯ラインにおいて一様に駆動電源電圧を小さくすることにより、明部範囲を縮小する。

[0096] これにより、点灯ラインの表示階調を一様に変更することで明部範囲を狭めて欠陥画素を特定することが可能となる。

[0097] また、さらに、特定された欠陥画素をリペアする工程を含んでもよい。

[0098] これにより、欠陥画素が正常画素となるので、表示パネルの製造歩留まりを向上させることが可能となる。

[0099] また、さらに、画素を形成する工程の後、かつ、点灯ラインと線欠陥とを重ねて表示させる工程の前に、表示パネルをエージングし、当該エージングの後に表示部における線欠陥の有無を検査する工程を含んでもよい。

[0100] これにより、温度負荷が加えられた工程の後において、線欠陥の有無を検査し、欠陥画素を特定する工程が実行されるので、欠陥画素の検出精度が向上し、表示パネルの製造歩留まりが向上する。

[0101] また、表示部の一端及び当該一端に対向する他端には、それぞれ、表示階調信号に対応したデータ電圧を画素に供給する第1のソースドライバ回路及び第2のソースドライバ回路が配置され、明部範囲または暗部範囲を縮小する工程では、第1のソースドライバ回路及び第2のソースドライバ回路の一方と画素とを非導通とし、第1のソースドライバ回路及び第2のソースドライバ回路の他方から点灯ラインを構成する全画素に対して一様なデータ電圧を供給しつつ、データ電圧または駆動電源電圧を、点灯ラインを構成する全画素において一様に変更することにより、線欠陥上の明部範囲または暗部範囲を縮小してもよい。

[0102] これにより、線欠陥の明部範囲または暗部範囲をより効果的に縮小することが可能となる。

[0103] (他の実施の形態)

以上、実施の形態に係る表示パネルの製造方法について説明したが、本開示の表示パネルの製造方法は、上述した実施の形態に限定されるものではない。上記実施の形態に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、実施の形態に係る表示パネルの製造方法を用いて製造した表示パネルも本発明に含まれる。

[0104] また、上記実施の形態では、本開示の表示パネル 1 及び 2 が有する画素回路構成の一例を挙げたが、画素 110 の回路構成は上記回路構成に限定されない。例えば、上記実施の形態では、EL アノード電源電圧 V_{dd} と EL カソード電源電圧 V_{ss} との間に、スイッチ 105、駆動トランジスタ 102 及び有機 EL 素子 101 が、この順に配置されている構成を例示したが、これらの 3 素子が異なる順で配置されていてもよい。つまり、本開示の表示パネル 1 及び 2 は、駆動トランジスタが n 型であっても p 型であっても、駆動トランジスタ 102 のドレイン及びソース、ならびに有機 EL 素子 101 のアノード及びカソードが、EL アノード電源電圧 V_{dd} と EL カソード電源電圧 V_{ss} との間の電流経路上に配置されていればよく、駆動トランジスタ 102 及び有機 EL 素子 101 の配置順には限定されない。

[0105] また、上記実施の形態では、スイッチ 103～106 は、ゲート、ソース及びドレインを有する MOSFET (Metal Oxide Semiconductor Field Effect Transistor) であることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本開示の目的が達成され同様の効果を奏する。

[0106] また、上記実施の形態に係る表示パネルの製造方法では、有機 EL 素子 101 を用いた表示パネルを製造する場合を例に述べたが、有機 EL 素子以外の発光素子を用いた表示パネルの製造方法に適用してもよい。

[0107] また、例えば、上記実施の形態に係る表示パネルの製造方法は、図 8 に示されたような薄型フラット TV に適用される。上記実施の形態に係る表示パネルの製造方法を用いることにより、製造工程が簡素化及び短縮化された表示パネルを有する薄型フラット TV が実現される。

産業上の利用可能性

[0108] 本開示に係る表示パネルの製造方法は、例えば、有機 EL 表示パネルなどの製造方法に利用することができる。

符号の説明

- [0109] 1、2 表示パネル
- 1 1 表示部
 - 1 2、1 2 a、1 2 b ゲートドライバ回路
 - 1 3、1 3 a、1 3 b ソースドライバ回路
 - 1 0 1 有機 EL 素子
 - 1 0 2 駆動トランジスタ
 - 1 0 3、1 0 4、1 0 5、1 0 6 スイッチ
 - 1 0 7 容量素子
 - 1 1 0 画素
 - 1 2 1、1 2 2、1 2 3、1 2 4 ゲート信号線
 - 1 3 1 ソース信号線

請求の範囲

〔請求項1〕 発光素子と当該発光素子を駆動する駆動素子とを有し、入力された表示階調信号を反映した輝度で発光する画素が行列状に複数配置された表示部を有する表示パネルの製造方法であって、

前記表示階調信号を反映しない輝度で発光する所定の画素行及び画素列の少なくともいずれかである線欠陥を有する前記表示パネルにおいて、一様の表示階調信号を入力して発光した画素行または画素列である点灯ラインを前記表示部に表示させ、当該点灯ラインを前記表示部内で行方向または列方向に走査して当該点灯ラインと前記線欠陥とを重ねて表示させる工程と、

前記線欠陥と重ねて表示された前記点灯ラインに入力される前記一様の表示階調信号、または、前記駆動素子を駆動する駆動電源電圧を、前記点灯ラインを構成する全画素について一様に変更することにより、前記線欠陥上の明部範囲または暗部範囲を縮小する工程と、

縮小された前記明部範囲または暗部範囲の前記表示部における位置から、前記線欠陥の起点となる欠陥画素を特定する工程とを含む表示パネルの製造方法。

〔請求項2〕 前記点灯ラインと前記線欠陥とを重ねて表示させる工程、前記線欠陥上の明部範囲または暗部範囲を縮小する工程、及び、前記欠陥画素を特定する工程では、前記点灯ラインに属さない画素を消灯する請求項1に記載の表示パネルの製造方法。

〔請求項3〕 前記点灯ラインと前記線欠陥とを重ねて表示させる工程において、前記点灯ラインと前記線欠陥とを重ねた結果、前記点灯ラインの表示態様が、前記点灯ラインの一端から他端にわたり、順に、明、暗、明と変化する場合、

前記線欠陥上の明部範囲または暗部範囲を縮小する工程では、表示階調を高くするよう前記点灯ラインにおいて一様に前記一様の表示階調信号を変更する、または、前記点灯ラインにおいて一様に前記駆動

電源電圧を大きくすることにより、前記暗部範囲を縮小する

請求項 1 または 2 に記載の表示パネルの製造方法。

[請求項4]

前記点灯ラインと前記線欠陥とを重ねて表示させる工程において、前記点灯ラインと前記線欠陥とを重ねた結果、前記点灯ラインの表示態様が、前記点灯ラインの一端から他端にわたり、順に、暗、明、暗と変化する場合、

前記線欠陥上の明部範囲または暗部範囲を縮小する工程では、表示階調を低くするよう前記点灯ラインにおいて一様に前記一様の表示階調信号を変更する、または、前記点灯ラインにおいて一様に前記駆動電源電圧を小さくすることにより、前記明部範囲を縮小する

請求項 1 または 2 に記載の表示パネルの製造方法。

[請求項5]

さらに、

前記点灯ラインと前記線欠陥とを重ねて表示させる工程の前に、基板上に複数の前記画素を形成する工程と、

前記欠陥画素を特定する工程の後に、前記欠陥画素をリペアする工程とを含む

請求項 1 ～ 4 のいずれか 1 項に記載の表示パネルの製造方法。

[請求項6]

さらに、

前記画素を形成する工程の後、かつ、前記点灯ラインと前記線欠陥とを重ねて表示させる工程の前に、前記表示パネルをエージングし、当該エージングの後に前記表示部における前記線欠陥の有無を検査する工程を含む

請求項 5 に記載の表示パネルの製造方法。

[請求項7]

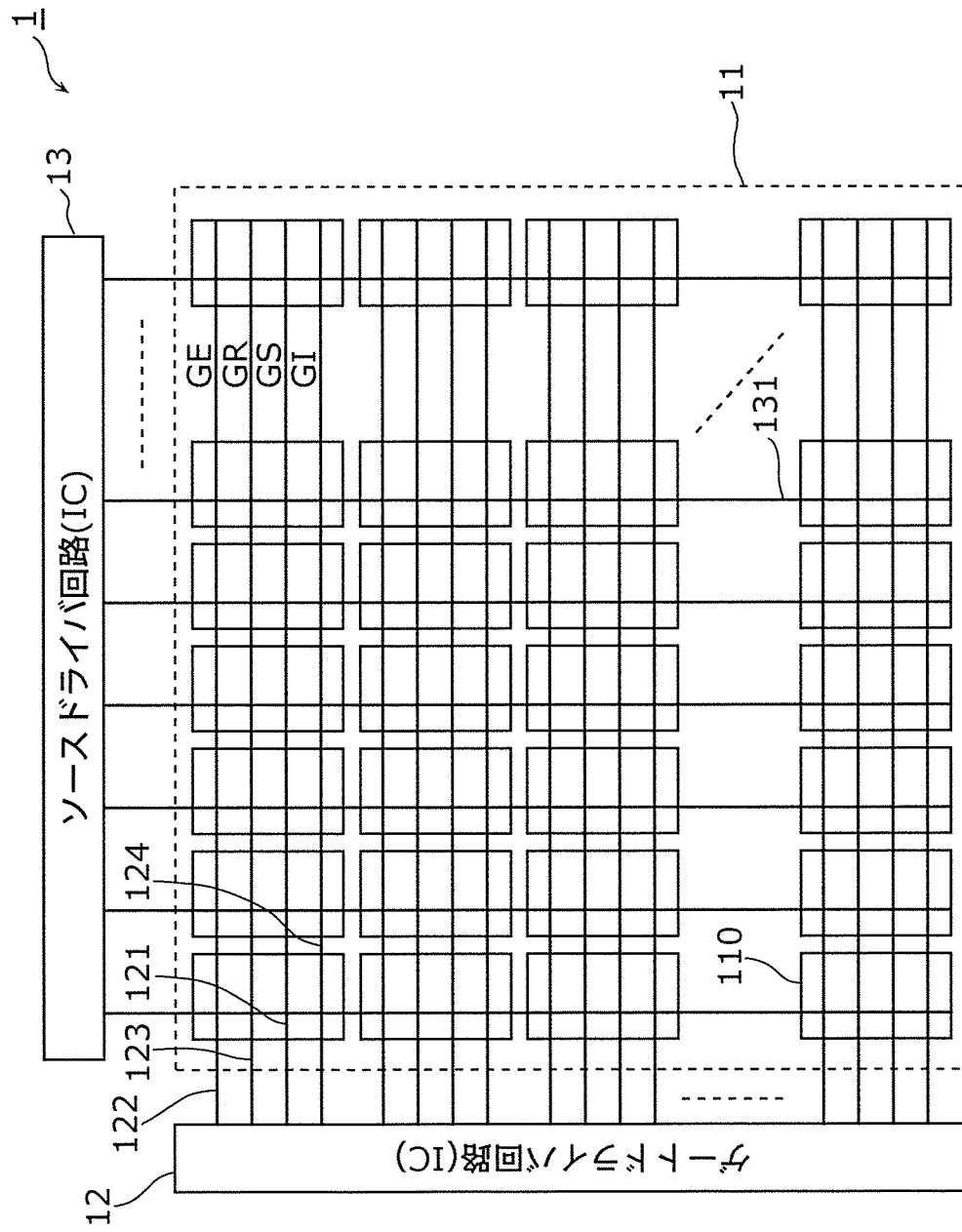
前記表示部の一端及び当該一端に対向する他端には、それぞれ、前記表示階調信号を前記画素に供給する第 1 のソースドライバ回路及び第 2 のソースドライバ回路が配置され、

前記明部範囲または暗部範囲を縮小する工程では、前記第 1 のソースドライバ回路及び前記第 2 のソースドライバ回路の一方と前記点灯

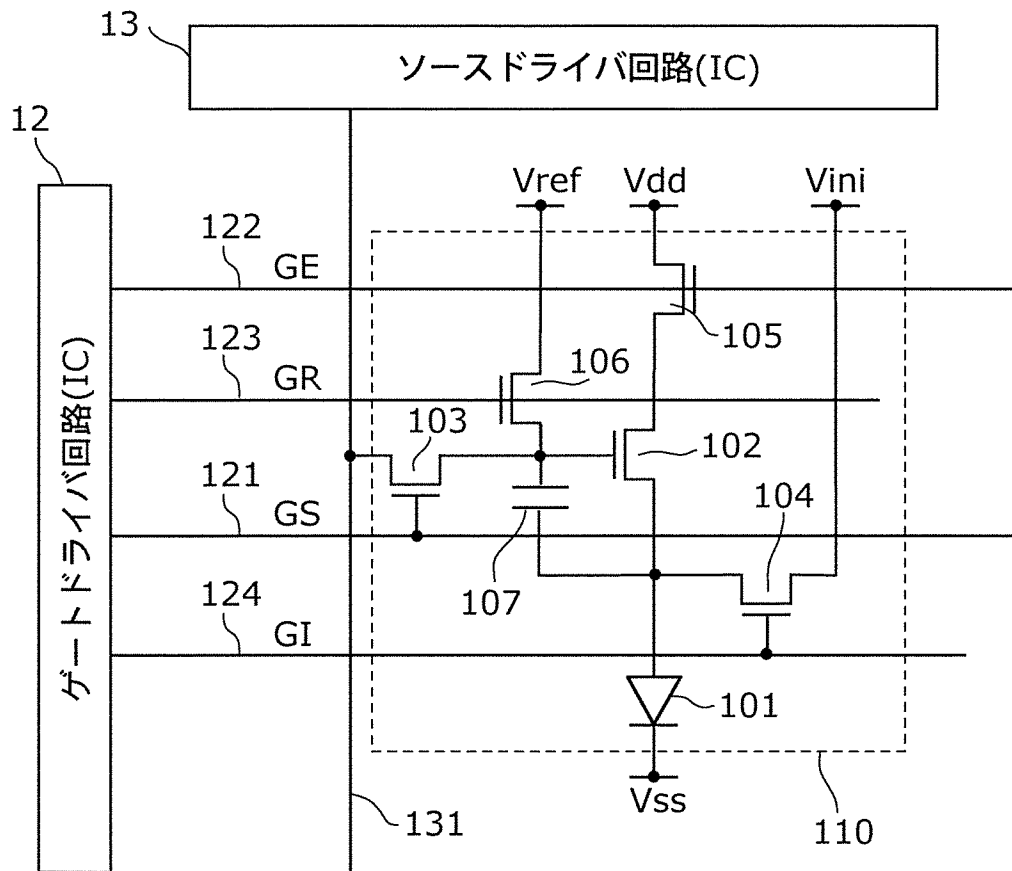
ラインに属する画素とを非導通とし、前記第 1 のソースドライバ回路及び前記第 2 のソースドライバ回路の他方から前記点灯ラインを構成する全画素に対して前記一様の表示階調信号を供給しつつ、前記一様の表示階調信号または前記駆動電源電圧を、前記点灯ラインを構成する全画素において一様に変更することにより、前記線欠陥上の明部範囲または暗部範囲を縮小する

請求項 1 ～ 6 のいずれか 1 項に記載の表示パネルの製造方法。

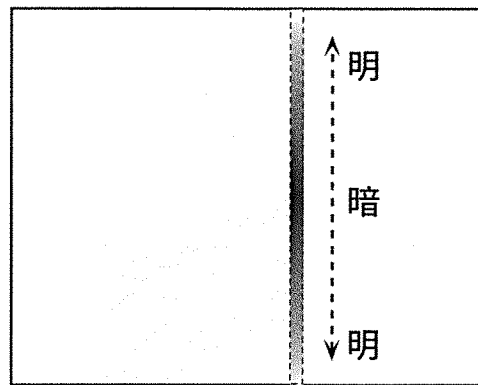
[図1]



[図2]

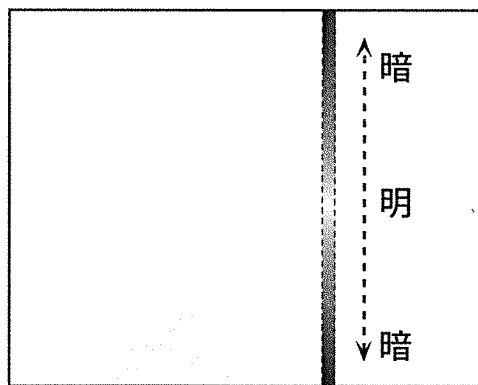


[図3A]



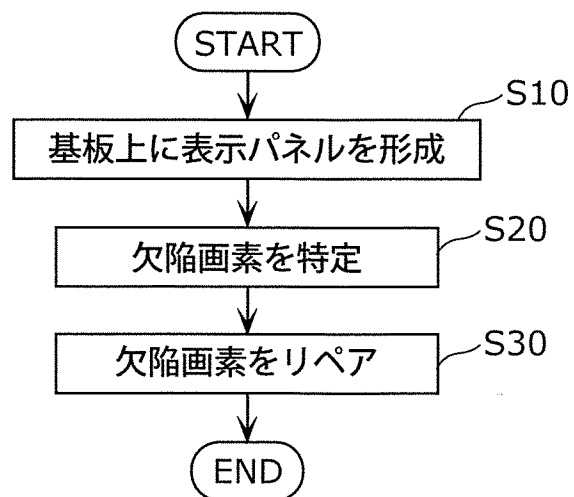
線欠陥パターンA

[図3B]

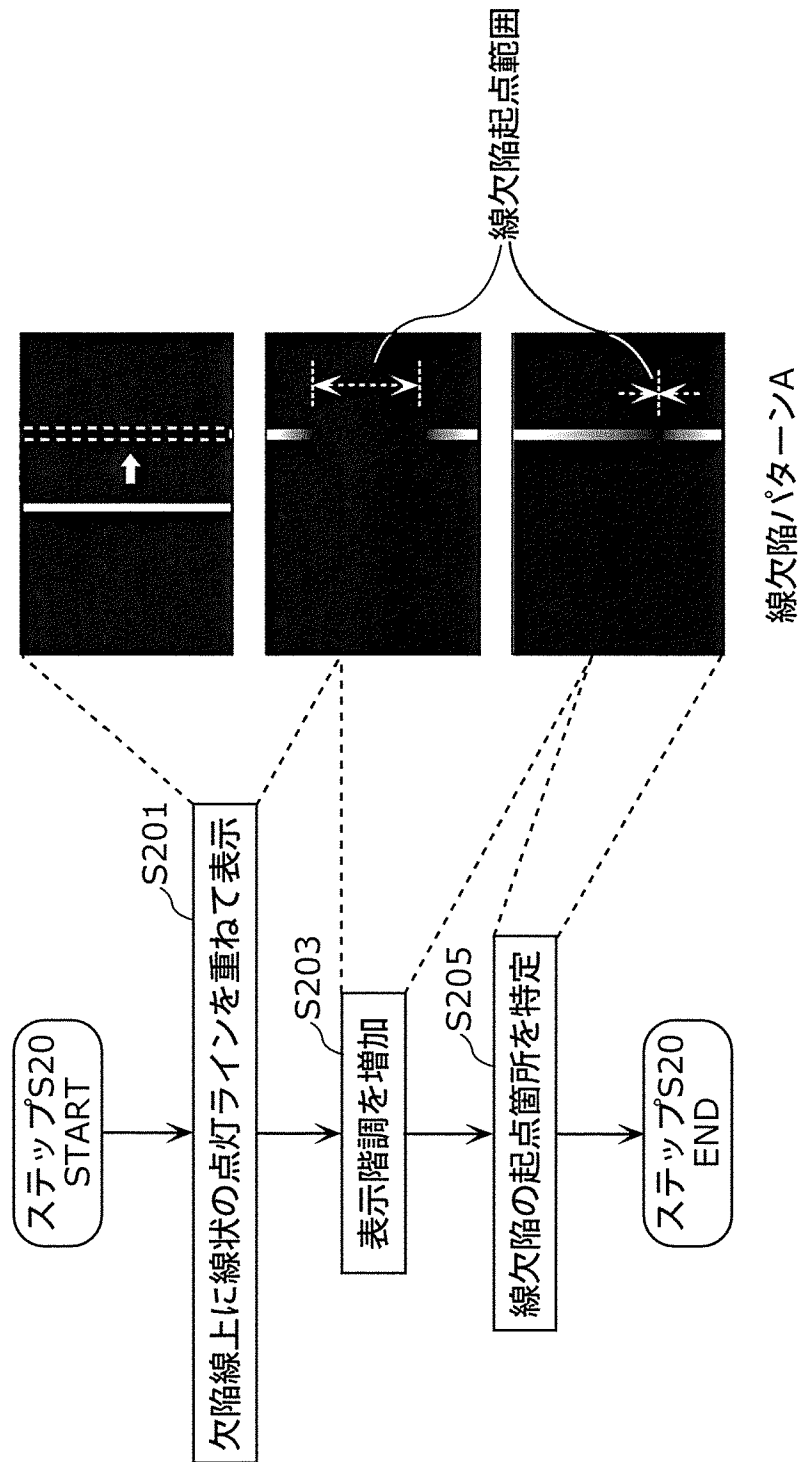


線欠陥パターンB

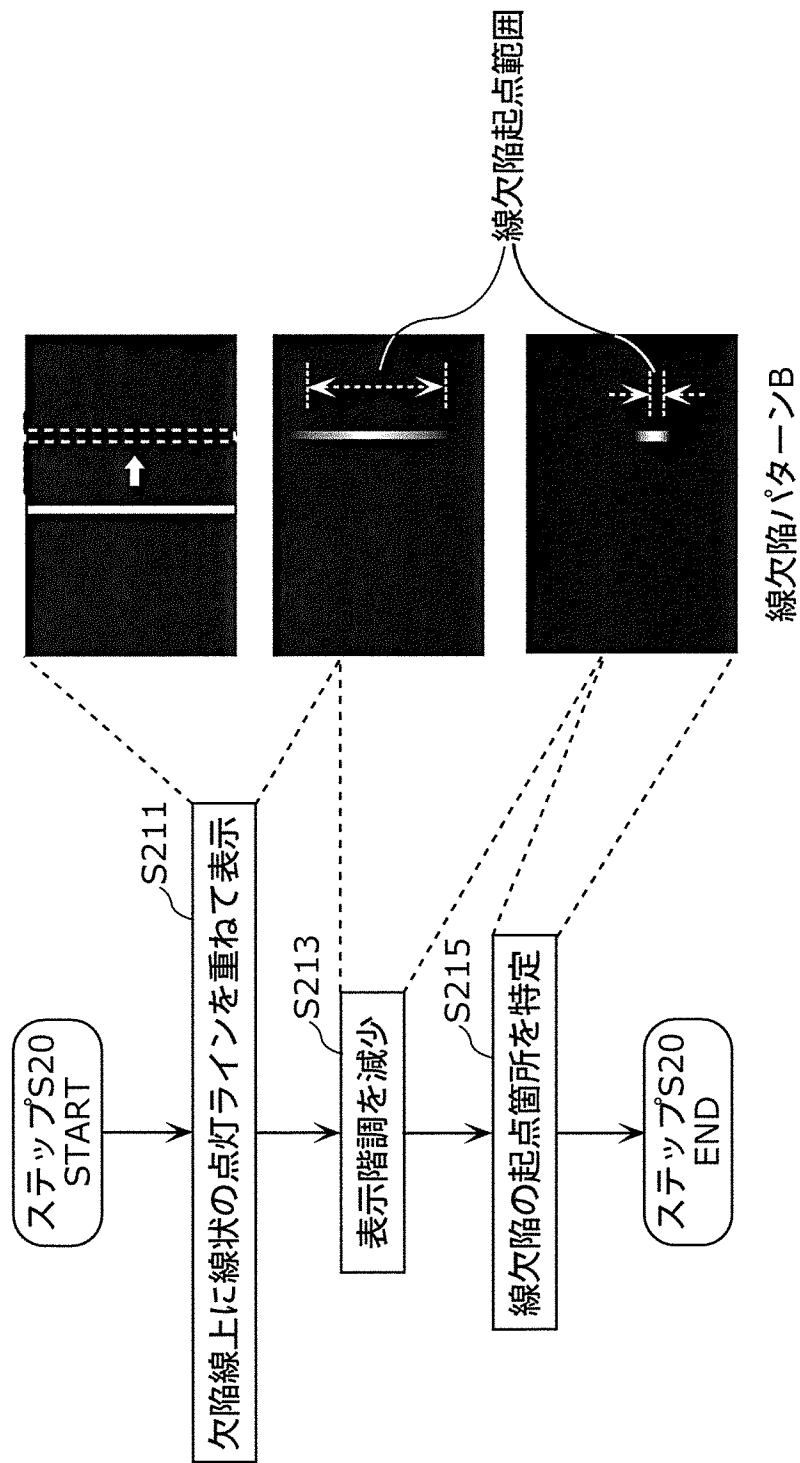
[図4]



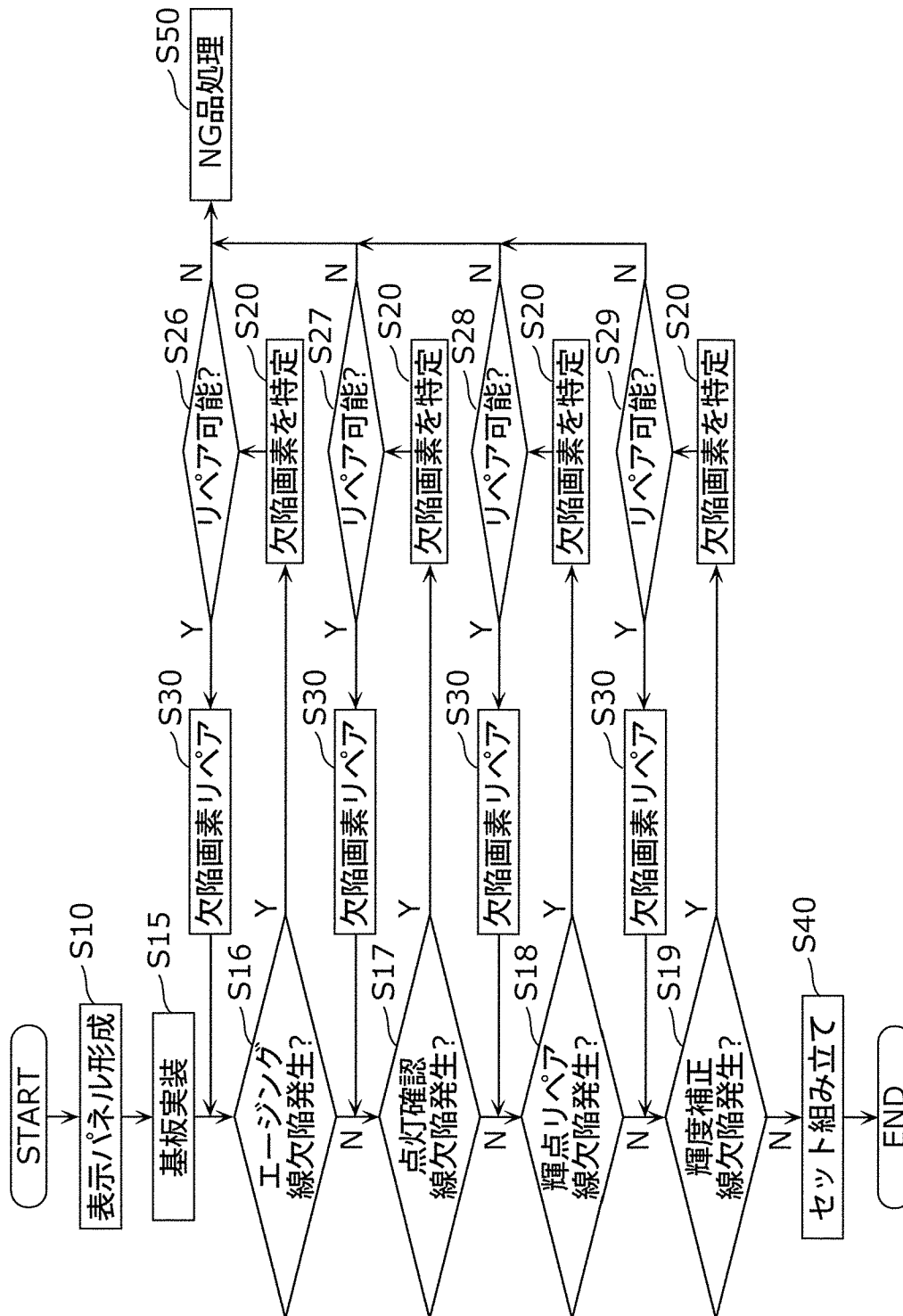
[図5A]



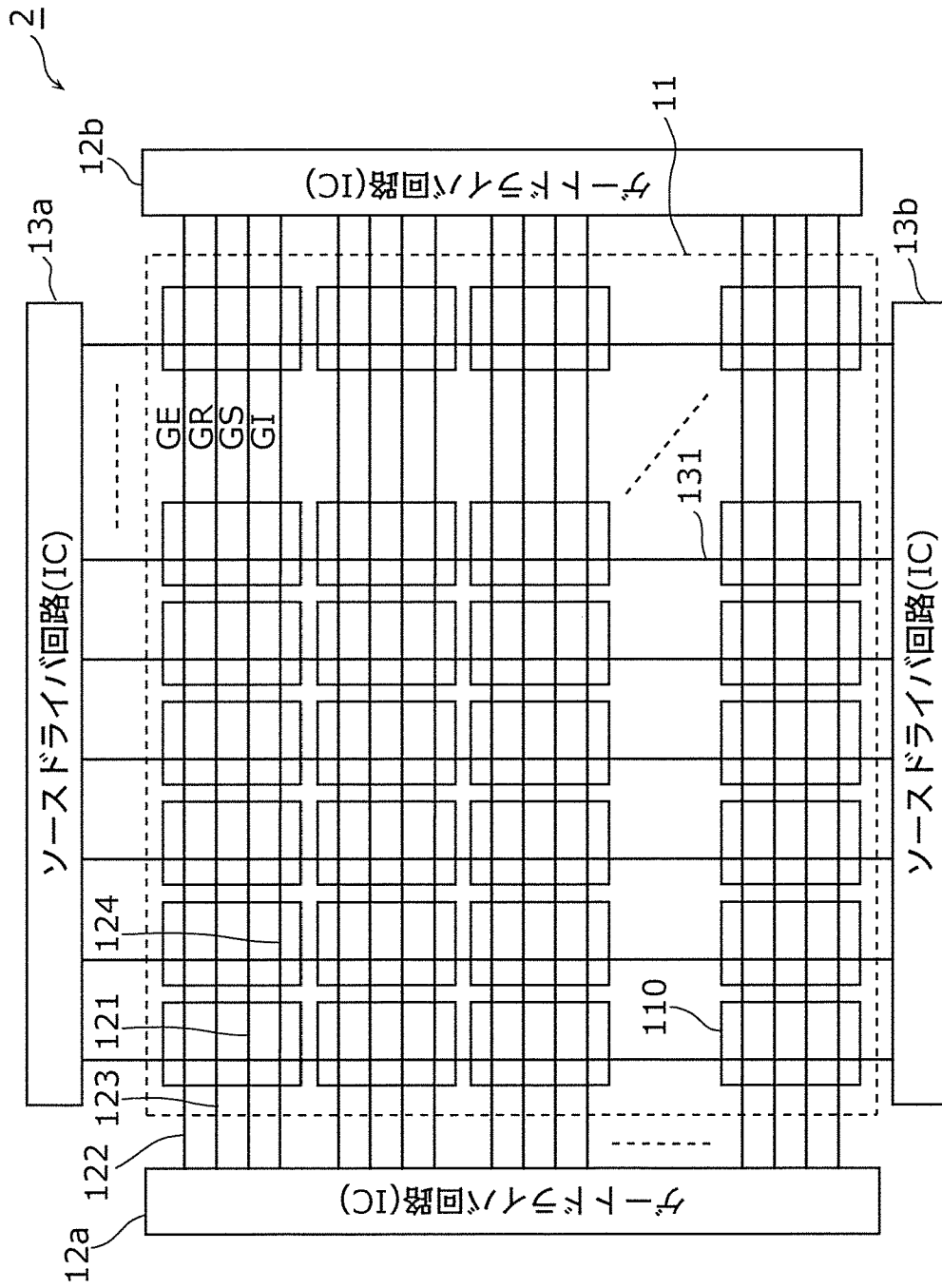
[図5B]



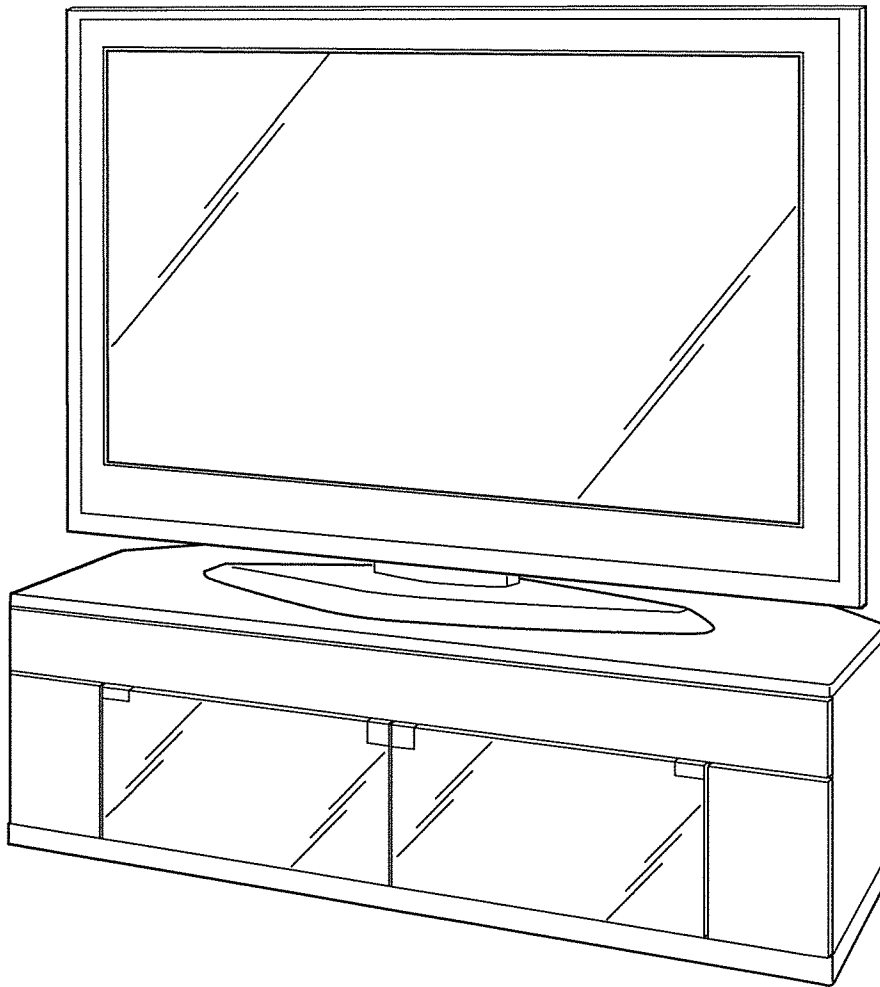
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006441

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G01M11/00(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i, H05B33/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G01M11/00, G09G3/20, H01L51/50, H05B33/10, H05B33/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-122810 A (Sony Corp.), 29 May 2008 (29.05.2008), entire text; all drawings (Family: none)	1-7
A	JP 5-273590 A (Photon Dynamics, Inc.), 22 October 1993 (22.10.1993), paragraphs [0029], [0034]; fig. 13 to 14, 19 to 21 & US 5432461 A	1-7
A	JP 2009-69520 A (Sharp Corp.), 02 April 2009 (02.04.2009), entire text; all drawings (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 March 2015 (23.03.15)

Date of mailing of the international search report

31 March 2015 (31.03.15)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006441

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-326163 A (Shimadzu Corp.), 24 November 2005 (24.11.2005), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09G3/30(2006.01)i, G01M11/00(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i, H05B33/12(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09G3/30, G01M11/00, G09G3/20, H01L51/50, H05B33/10, H05B33/12			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 5 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 5 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 5 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2008-122810 A（ソニー株式会社）2008.05.29, 全文, 全図 （ファミリーなし）	1-7	
A	JP 5-273590 A（フォトン・ダイナミクス・インコーポレーテッド） 1993.10.22, 段落【0029】、【0034】、図13-14, 19-21 & US 5432461 A	1-7	
A	JP 2009-69520 A（シャープ株式会社）2009.04.02, 全文, 全図 （ファミリーなし）	1-7	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 2 3 . 0 3 . 2 0 1 5		国際調査報告の発送日 3 1 . 0 3 . 2 0 1 5	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 武 田 悟 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6	2 G 9 3 0 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-326163 A (株式会社島津製作所) 2005.11.24, 全文, 全図 (ファミリーなし)	1-7