

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 377 368 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
13.03.1996 / Bulletin 1996/11

(51) Int Cl.⁶: **G11C 16/06**

(21) Numéro de dépôt: **89403533.6**

(22) Date de dépôt: **19.12.1989**

(54) **Dispositif de traitement de données comportant une mémoire non volatile électriquement effaçable et reprogrammable**

Datenverarbeitungsanlage mit einem nichtflüchtigen und elektrisch löschbaren und umprogrammierbaren Speicher

Data-processing device having a non-volatile electrically erasable and reprogrammable memory

(84) Etats contractants désignés:
AT BE CH DE ES FR GB GR IT LI LU NL SE

(30) Priorité: **20.12.1988 FR 8816788**

(43) Date de publication de la demande:
11.07.1990 Bulletin 1990/28

(73) Titulaire: **CP8 TRANSAC**
F-78430 Louveciennes (FR)

(72) Inventeur: **Ugon, Michel**
F-78310 Maurepas (FR)

(74) Mandataire: **Corlu, Bernard Edouard et al**
Direction de la Propriété Intellectuelle BULL
SA,
Poste courrier: LV59C18,
68 route de Versailles
F-78430 Louveciennes (FR)

(56) Documents cités:
EP-A- 0 265 312 EP-A- 0 270 410
WO-A-85/03583 US-A- 4 612 632
US-A- 4 692 904

- **PATENT ABSTRACTS OF JAPAN, vol. 6, no. 38 (P-105)[916], 9 mars 1982; & JP-A-56 156 992**
- **Modèle d'utilité japonais n 57-152696 (KAWASAKI)**

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

L'invention est relative à un dispositif de traitement de données comportant au moins une unité de traitement, telle qu'un microprocesseur, et au moins une mémoire non volatile électriquement effaçable et reprogrammable au moins partiellement sous le contrôle de l'unité de traitement.

Dans un dispositif de traitement de données, la mémoire non volatile contient des données qui ne doivent pas être altérées lors de la mise sous tension ou d'une coupure de l'alimentation électrique du dispositif. Ainsi, en particulier, au moins une partie des instructions constituant le programme de fonctionnement du dispositif peut être inscrite dans une mémoire non volatile. En général, la mémoire non volatile qui contient les instructions n'est pas effaçable. Cependant, il existe des mémoires non volatiles qui sont reprogrammables, c'est-à-dire dont le contenu peut être modifié.

Certaines de ces mémoires nécessitent pour leur modification un effacement préalable, par exemple par une exposition à une source de rayonnement ultraviolet. Ce type de mémoire non volatile reprogrammable nécessite une intervention physique du monde extérieur pour la reprogrammation, au moins lors de la phase d'effacement, de sorte qu'il n'est pas possible d'utiliser de telles mémoires dans des systèmes dans lesquels la reprogrammation est totalement contrôlée par l'unité de traitement. Afin de remédier à cet inconvénient, on a conçu des mémoires non volatiles reprogrammables, dans lesquelles l'écriture ou l'effacement s'effectue grâce à l'application de signaux électriques de niveaux compatibles avec les niveaux usuellement rencontrés dans les dispositifs de traitement de données. Ces mémoires sont souvent désignées par l'abréviation EEPROM, qui est continuée par les initiales de leur appellation anglaise (Electrically Erasable Programmable Read Only Memory).

Dans la suite de la présente description, le terme "programmation" doit être pris au sens large, et signifie toutes actions ayant pour conséquence une modification du contenu de la mémoire, c'est-à-dire une écriture ou un effacement du contenu d'une partie au moins de ladite mémoire.

Ainsi, à titre d'exemple, des circuits logiques connus sont alimentés sous une tension de 5 volts, alors que la tension de programmation des mémoires non volatiles électriquement effaçables et reprogrammables est généralement située dans une plage d'environ 12 à 20 volts. En raison de la faible énergie nécessaire à la modification de leur contenu, on a conçu des dispositifs de traitement de données utilisant la même source d'alimentation pour fournir à la fois la tension nécessaire au circuit logique et la tension de programmation des mémoires non volatiles auxquelles ils sont associés. La tension d'alimentation de l'ensemble du dispositif correspond à l'une des deux tensions nécessaires, et un circuit convertisseur est prévu pour obtenir l'autre. Générale-

ment, avec les circuits connus, la source d'alimentation fournit la tension nécessaire au circuit logique, et un convertisseur, tel qu'une pompe à diodes, permet d'obtenir la tension nécessaire à la programmation de la mémoire non volatile.

Il est clair que l'on peut envisager et concevoir des systèmes dans lesquels les tensions d'alimentation des circuits logiques et de programmation de la mémoire non volatile seraient identiques. Dans ce cas, le convertisseur ne serait plus présent.

L'intérêt de mémoires non volatiles effaçables électriquement et reprogrammables est évident, car elles peuvent être programmées directement sur commande de l'unité de traitement, sans intervention de l'extérieur, ce qui autorise par exemple que l'unité de traitement modifie elle-même le programme qui y est contenu, ou inscrive lors d'une utilisation, des données qui seront nécessaires pour une prochaine utilisation, tout en étant susceptibles d'être modifiées au cours de cette prochaine utilisation, ou d'une utilisation ultérieure.

C'est par exemple le cas dans les systèmes de traitement de données utilisant une carte à microcircuits, comportant au moins un microprocesseur et une mémoire non volatile, pour des applications bancaires ou de paiement. Une mémoire non volatile de ce type peut y être incorporée pour conserver la trace des débits et/ou des crédits cumulés, de même qu'un pouvoir d'achat résiduel, qui sont des données susceptibles de changer d'une utilisation à l'autre, mais qu'il est néanmoins nécessaire de conserver, car elles sont importantes pour la mise en oeuvre du système.

Bien entendu, la programmation peut être effectuée sur requête du monde extérieur, l'unité de traitement contrôlant alors dans ce cas la légitimité de la requête et le déroulement des opérations.

Des dispositifs de traitement de données comportant au moins une unité de traitement et une mémoire non volatile effaçable et programmable électriquement peuvent être constitués par un ensemble formé sur un seul substrat, réalisant alors un microprocesseur monolithique, éventuellement autoprogrammable, si le microprocesseur peut lui-même modifier les données inscrites en mémoire non volatile, sans intervention du monde extérieur.

Une telle structure, lorsqu'elle possède une seule source d'alimentation présente néanmoins des inconvénients car il peut arriver que, dans certains cas de fonctionnement transitoire, le contenu de la mémoire non volatile soit modifié accidentellement, alors que l'unité de traitement n'exerce aucun contrôle.

En effet, il peut arriver que la tension de programmation et les signaux de commande soient commutés de façon erratique, alors que tous les circuits logiques du dispositif de traitement ne sont pas stabilisés.

La tension de programmation est une tension nécessaire à la modification de la mémoire non volatile, c'est-à-dire à l'écriture ou à l'effacement, et elle est appliquée lors d'une phase de modification en même temps

qu'un signal de commande correspondant, c'est-à-dire un signal de validation d'écriture ou d'effacement.

On connaît, de la demande de modèle d'utilité japonaise n° 57152696, un dispositif selon le préambule de la revendication 1. Ce dispositif vise à résoudre le problème selon lequel des phénomènes de modification incontrôlée de la mémoire non volatile risquent d'intervenir pendant la phase de réinitialisation du dispositif de traitement des données.

La présente invention vise à résoudre de façon plus générale le problème de cette modification incontrôlée de la mémoire non volatile, susceptible d'intervenir, non seulement pendant la phase de réinitialisation, mais aussi lors de la mise sous tension du dispositif ou à tout moment du fonctionnement de celui-ci, en raison notamment de sauts d'adresses erronés qui peuvent intervenir dans l'exécution d'un programme.

Ce problème est résolu par la partie caractérisante de la revendication 1. En effet, au cas où l'une quelconque des causes susceptibles de provoquer une modification incontrôlée de la mémoire non volatile est présente, le risque pour que néanmoins le dispositif soit capable de charger correctement ledit registre selon la configuration de programmation est très faible.

Il va de soi que l'invention est applicable à tout type de dispositif de traitement de données dans lequel l'unité de traitement possède le contrôle plus ou moins partiel de la programmation de la mémoire non volatile, c'est-à-dire qu'elle peut s'appliquer en particulier aux microprocesseurs autoprogrammables, et qu'elle s'applique indifféremment aux microprocesseurs monolithiques ou non.

D'autres caractéristiques et avantages de la présente invention apparaîtront avec la description ci-après faite en regard des figures annexées sur lesquelles :

- la figure 1 est un schéma de principe d'une variante d'un dispositif de traitement de données conforme à l'invention ;
- les figures 2 et 3 illustrent deux variantes des moyens de blocage avec leur environnement ;
- les figures 4 à 7 sont des schémas de principe d'autres variantes du dispositif.

Sur la figure 1 on a illustré schématiquement un premier mode de réalisation d'un dispositif conforme à l'invention.

Le dispositif (1) comporte une unité centrale (2) ou de traitement exécutant un programme enregistré dans une mémoire à lecture seule (3) désignée sous son sigle anglo-saxon ROM, de l'anglais Read Only Memory.

L'unité centrale peut contenir ou être associée à une mémoire à accès aléatoire (4), encore appelée mémoire volatile, et désignée par son sigle RAM, de l'anglais Random Access Memory.

L'unité centrale reçoit la tension d'alimentation V_{cc}

du dispositif.

Par ailleurs, conformément à l'invention, le dispositif contient une mémoire non volatile (5) du type électriquement effaçable et programmable. Dans la suite de la description, cette mémoire est appelée la mémoire reprogrammable.

Afin de permettre les opérations d'écriture ou d'effacement, la mémoire reprogrammable (5) comporte une entrée de tension de programmation V_{pp} , une entrée de signal de validation d'écriture WE et une entrée de signal de validation d'effacement EE, ainsi que des lignes de données D_n et d'adresses A_n . La gestion des lignes de données et d'adresses est assurée de façon connue par l'unité de traitement (2), et des bus de données et d'adresses, partiellement représentés ici pour ne pas surcharger, sont interconnectés entre l'unité de traitement (2) et les lignes d'adresses et de données de la mémoire. La mémoire reprogrammable (5) comporte également une entrée de signal d'horloge CL. L'horloge peut appartenir au dispositif, ou bien encore appartenir à un dispositif tiers auquel il devrait être connecté.

Dans le cas où la gestion de l'écriture ou de l'effacement est assurée par l'unité de traitement (2), les signaux de validation d'écriture WE ou d'effacement EE proviennent de sorties correspondantes CWE et CEE de l'unité de traitement, et l'application de la tension de programmation V_{pp} , à l'intérieur de la mémoire non volatile (5), est subordonnée à une requête correspondante issue de l'unité de traitement.

Ainsi, dans les applications bancaires, lorsqu'un tel dispositif est inclus dans une carte à microcircuits, le signal d'horloge est obtenu à partir d'un signal extérieur.

Egalement, la validation de l'écriture ou de l'effacement peut être effectuée différemment selon le type de mémoire utilisée, et il peut arriver que des entrées complémentaires soient nécessaires. Le schéma est ici pour illustrer qu'en général la tension de programmation n'est pas appliquée seule, mais doit être appliquée en combinaison avec un ordre d'écriture ou d'effacement.

Egalement, des circuits internes à la mémoire reprogrammable (5), ou associés à celle-ci, qui n'ont pas été représentés pour ne pas surcharger la figure, et qui sont connus en soi sont prévus pour bloquer la tension de programmation V_{pp} tant qu'une requête en écriture ou en effacement n'est pas signifiée à la mémoire.

Ces circuits n'entrent pas dans le cadre de la présente invention, mais sont décrits plus en détail par exemple dans le livre de la société Intel déjà cité dans le préambule de la demande. D'une façon générale, ces circuits internes détectent la présence d'une requête sur une entrée WE ou EE de la mémoire non volatile pour gérer en interne le passage de la tension de programmation.

La tension de programmation V_{pp} peut être obtenue à partir de la tension d'alimentation V_{cc} nécessaire aux circuits logiques du dispositif. Cette tension V_{cc} est appliquée directement à une entrée de l'unité centrale et, dans le cas où elle est différente de la tension V_{pp} , ce

qui arrive dans la majorité des cas, avec les technologies actuelles, un convertisseur (6) est prévu pour obtenir la tension de programmation à partir de la tension d'alimentation. Par exemple, si la tension d'alimentation nominale V_{cc} est de 5 volts, et que la tension de programmation nominale V_{pp} est de 18 volts, le convertisseur (6) peut être constitué par une pompe à diodes.

Conformément à la présente invention, le dispositif (1) comporte des moyens (7, 8) pour interdire l'application de la tension de programmation V_{pp} pendant les phases de réinitialisation. A cet effet, dans un mode de réalisation, on prévoit un détecteur (8) qui mesure la valeur de la tension du signal RAZ de demande de réinitialisation du dispositif et qui délivre à sa sortie un signal commandant les moyens de blocage (7) de la tension de programmation, de façon à interdire l'application de ladite tension, tant que la valeur du signal de demande de réinitialisation est telle que ce signal peut être pris en compte pour activer la réinitialisation, c'est-à-dire lorsque ledit signal a atteint un seuil RAZ1 à partir duquel il doit être considéré comme actif.

Ainsi, dans le cas où le signal de réinitialisation est actif à l'état bas, les moyens de détection du signal de demande de réinitialisation détectent le niveau de ce signal et entraînent l'interdiction de l'application d'une tension nécessaire à la programmation lorsque le niveau est inférieur ou égal au seuil. A l'inverse, lorsque ce signal est actif à l'état haut, le blocage de l'application de la tension de programmation est entraîné lorsque le signal de demande de réinitialisation atteint un niveau proche de la valeur de la tension nominale de fonctionnement des circuits logiques du dispositif.

Des circuits connus permettent qu'une demande de réinitialisation soit effectuée automatiquement à la remise sous tension, à l'aide d'un circuit mesurant la tension d'alimentation V_{cc} et délivrant un signal de réinitialisation par exemple dès que la tension minimale de fonctionnement $V_{cc\ min}$ est atteinte, ou bien lorsque la valeur de la tension d'alimentation est intermédiaire entre la valeur minimale et la valeur nominale.

De préférence, comme l'illustre la figure 1, le détecteur (8) du niveau du signal de réinitialisation entraîne également l'application de l'ordre de réinitialisation à l'unité de traitement (2). A cet effet, l'entrée (81) du détecteur (8) reçoit le signal de réinitialisation émis par exemple à la suite de la mise sous tension du système. Les moyens pour obtenir ce signal de réinitialisation n'ont pas été représentés ici, afin de ne pas surcharger la figure.

Une sortie (82) du détecteur est reliée à une entrée des moyens de blocage (7) de la tension de programmation, et une autre sortie (83) du détecteur est reliée à l'entrée de réinitialisation de l'unité de traitement. Cette structure permet que tant que le signal de réinitialisation apparaissant à l'entrée du détecteur n'est pas de niveau suffisant, et que ce signal est considéré comme non significatif d'une demande de réinitialisation, alors d'une part, la sortie (82) du détecteur (8) reliée à une entrée

des moyens de blocage (7) délivre un signal tel que l'application de la tension de programmation peut être autorisée. Comme on le verra plus loin, les moyens de blocage (7) sont également pilotés par un détecteur (9) délivrant un signal interdisant l'application de la tension de programmation si la tension minimale de fonctionnement des circuits logiques du dispositif n'est pas atteinte. Ainsi, en l'absence d'un signal de demande de réinitialisation à l'entrée (81) du détecteur (8), et lorsque la tension minimale de fonctionnement est atteinte, alors les moyens de blocage (7) autorisent l'application de la tension de programmation, et si une requête en programmation de la mémoire reprogrammable a lieu, alors elle peut être prise en compte.

Lorsque la première sortie (82) est dans l'état qui vient d'être mentionné, car le signal de réinitialisation n'est pas suffisant pour être considéré comme actif, alors le détecteur (8) délivre à sa sortie (83) un signal correspondant à une non activation de la réinitialisation de l'unité de traitement (2).

De préférence, le détecteur (8) est un détecteur de seuil sans hystérésis, de façon que, dès lors que la valeur du signal de réinitialisation appliquée à son entrée (81) est telle que ce signal peut être validé, alors ces sorties (82, 83) passent dans un état tel que, d'une part, les moyens de blocage (7) sont activés, et que simultanément un ordre entraînant la réinitialisation de l'unité de traitement est appliqué à l'entrée de cette dernière. A l'inverse, dès que le niveau du signal appliqué à l'entrée (81) du détecteur est tel que ce signal ne doit plus être considéré comme actif, alors les sorties (82, 83) passent dans un état opposé. Par exemple, si la tension nominale de fonctionnement des circuits logiques du dispositif est de 5 volts, alors le niveau apparaissant aux sorties du détecteur passe instantanément de 0 à 5 volts, ou de 5 volts à 0 volt dès que le signal appliqué à l'entrée (81) du détecteur franchit le seuil de basculement.

Enfin, selon que l'on considère que l'état actif du signal de réinitialisation est l'état bas ou l'état haut, le seuil de basculement du détecteur (8) est déterminé différemment. Par exemple, dans le cas où le signal de demande de réinitialisation appliqué à l'entrée (81) doit être considéré comme actif à l'état bas, ce qui signifie que la valeur de ce signal est susceptible de varier entre la valeur nominale de fonctionnement et la valeur zéro, l'apparition d'un signal de réinitialisation se traduit par une transition du signal appliqué à l'entrée (81) du détecteur (8), entre la valeur nominale et la valeur zéro. A l'inverse, lorsque le signal de demande de réinitialisation disparaît, après que la remise à zéro des registres du dispositif ait été effectuée, alors le signal appliqué à l'entrée du détecteur passe de la valeur zéro à la valeur nominale. En d'autres termes, dans un tel cas, un signal de demande de réinitialisation qui apparaît se traduit par un front descendant du signal appliqué à l'entrée du détecteur (8), et la disparition du signal de demande de réinitialisation se traduit par l'apparition d'un front montant à la même entrée. C'est pourquoi, de préférence, il suffit de concevoir ou

de choisir le détecteur de seuil, de façon que le seuil de basculement soit compris entre la valeur nominale d'alimentation et la valeur nulle. Par exemple, si la tension nominale de fonctionnement des circuits est de 5 volts, et dans le cas où le signal de réinitialisation est actif à l'état bas, on choisira le détecteur de seuil de façon que le basculement survienne lorsque le signal appliqué à l'entrée (81) du détecteur de l'ordre de 4 volts, et dans le cas où le signal de réinitialisation est actif à l'état haut, le seuil de basculement sera par exemple de 2 volts. Bien entendu, ces valeurs ne sont pas limitatives, mais elles montrent qu'il est préférable que la valeur de basculement soit proche de la valeur pour laquelle le signal de réinitialisation n'est pas actif, mais pour qu'un changement d'état de ce signal, entre son état non actif et son état actif, soit pris en compte très rapidement, afin de ne pas perdre de temps pour la réinitialisation. Ceci permet d'appliquer très rapidement l'ordre effectif de réinitialisation à l'unité de traitement d'une part, et un signal entraînant le blocage de l'application de la tension de programmation par les moyens (7) de blocage, d'autre part.

Ainsi, on constate que, si un ordre de validation d'écriture est appliqué sur l'entrée de validation d'écriture WE de la mémoire reprogrammable (5), ou si un ordre de validation d'effacement est appliqué sur l'entrée de validation d'effacement EE de ladite mémoire, tant que la réinitialisation a lieu, alors l'application de l'un ou l'autre de ces ordres est inopérante puisque la tension de programmation V_{pp} est bloquée.

De préférence, comme illustré par cette figure, les moyens de blocage (7) sont interposés entre la sortie du convertisseur (6) lorsqu'il est présent et l'entrée de la tension de programmation V_{pp} de la mémoire non volatile.

En fait, l'ensemble constitué par les moyens de blocage (7) et le circuit détecteur de seuil (8), pour détecter le seuil de blocage RAZ1, constitue un interrupteur électronique à seuil, autorisant que la tension de sortie du convertisseur (6) soit appliquée à l'entrée de la mémoire reprogrammable (5) lorsque le signal de demande de réinitialisation RAZ atteint une valeur suffisante RAZ1 à laquelle il peut être pris en compte pour entraîner la réinitialisation des circuits logiques du dispositif.

Les ordres de validation d'écriture WE ou d'effacement EE sont issus de l'unité centrale (2). Or, tant que les circuits logiques de l'unité centrale (2) ne sont pas stabilisés, un signal de validation d'écriture ou d'effacement peut être transmis accidentellement à la mémoire non volatile. En conséquence, dans une variante non représentée, on prévoit des circuits de blocage de ces signaux, pilotés également par le détecteur (8) de seuil, pour interdire la transmission d'un tel signal qui serait issu de l'unité centrale (2) tant que le signal de réinitialisation n'a pas une valeur suffisante. Cependant, en tout état de cause, il est nécessaire de conserver des moyens de blocage (7) de la tension de programmation V_{pp} , car il peut arriver que des signaux transitoires propres aux circuits électroniques internes de la mémoire

reprogrammable (5) soient générés à l'intérieur de cette dernière, notamment au niveau des circuits de validation d'écriture ou d'effacement qui pourraient entraîner de façon incontrôlée, notamment lors des mises sous tension, l'effacement ou l'écriture de données dans la mémoire reprogrammable.

C'est pourquoi, de préférence, si des circuits de blocage de l'application des tensions de validation d'écriture ou d'effacement sont présents, les moyens (7) de blocage de l'application de la tension de programmation demeurent présents.

Sur la figure 1, on a également illustré la présence d'un circuit (9) dont l'entrée reçoit la tension d'alimentation V_{cc} du dispositif et dont la sortie est reliée aux moyens (7) de blocage de la tension de programmation. Ce circuit (9) est un détecteur de seuil dont la fonction est d'interdire l'application de la tension de programmation chaque fois que la tension d'alimentation V_{cc} est inférieure à une valeur donnée qui est la valeur minimale pour laquelle les circuits logiques du dispositif fonctionnent correctement. Ce circuit est connu en soi, et il en a été fait mention dans le préambule de la présente demande. Il permet, en complément des circuits spécifiques à la présente invention, qui sont actifs pendant les phases de réinitialisation du système, d'interdire l'application de la tension de programmation lors des mises sous tension ou hors tension du dispositif, ou lors d'une baisse de tension accidentelle.

L'action de ce détecteur (9) associé aux moyens (7) de blocage est complémentaire de l'action du détecteur (8) du niveau RAZ1 du signal de réinitialisation associé aux dits moyens de blocage (7) de l'application de la tension de programmation, de sorte que la tension de programmation V_{pp} ne peut pas être appliquée sur la borne d'entrée correspondante de la mémoire reprogrammable (5) lorsque soit le niveau de la tension d'alimentation V_{cc} , soit le niveau du signal de demande de réinitialisation n'est pas compatible.

La figure 2 illustre un principe de constitution des moyens de blocage (7) lorsque seule la valeur du signal de réinitialisation est prise en compte pour déterminer l'autorisation ou l'interdiction de l'application de la tension de programmation à la mémoire reprogrammable (5). Les moyens de blocage (7) sont par exemple constitués par un montage à transistor (73) fonctionnant en tout ou rien, qui laisse passer la tension de programmation V_{pp} lorsque le signal de demande de réinitialisation n'est plus actif. A cet effet, le circuit interne des moyens de blocage (7) est monté de façon telle que l'électrode de commande (74) du montage à transistor (73) reçoive le signal du circuit (8) détecteur de la valeur du signal de demande de réinitialisation. L'entrée (71) des moyens de blocage est reliée à la sortie du convertisseur (6) ou, de façon générale, au circuit délivrant la tension de programmation, s'il est indépendant du circuit d'alimentation des circuits logiques, et la sortie (72) des moyens de blocage (7) est reliée à l'entrée de la tension de programmation V_{pp} de la mémoire reprogrammable (5). Par

exemple, le signal appliqué sur l'entrée (71) des moyens de blocage (7) est transmis au drain du montage à transistor MOS, alors que la sortie (72) est reliée à la source du même montage. Dans ce cas, une résistance (75) est placée entre l'électrode de commande, c'est-à-dire la grille, et la masse.

De préférence, le circuit détecteur (8) est un détecteur de seuil sans hystérésis. Ce circuit est choisi de façon à émettre à sa sortie un signal rendant le montage à transistor (73) conducteur lorsque le signal de réinitialisation n'est plus actif.

Il en résulte que, tant que le signal de demande de réinitialisation est actif, l'application de la tension de programmation V_{pp} est interdite par le circuit de blocage (7).

La figure 3 illustre le cas où non seulement le signal de demande de réinitialisation est pris en compte pour bloquer l'application de la tension de programmation V_{pp} sur la mémoire reprogrammable (5), mais encore le cas où on tient compte également du niveau de la tension d'alimentation des circuits logiques du dispositif. Les moyens de commande (7) sont agencés dans ce cas pour prendre en compte le signal issu du détecteur (8) du niveau du signal de demande de réinitialisation et/ou le signal du détecteur (9) du niveau de la tension d'alimentation. Le détecteur (9) est également un détecteur à seuil, qui délivre à sa sortie un signal de commande des moyens (7) de blocage, autorisant la programmation, si une requête à cet effet a lieu, lorsque la tension d'alimentation est comprise entre la valeur minimale V_{ccmin} pour laquelle les circuits logiques commencent à fonctionner correctement et la tension nominale V_{ccnom} d'alimentation. Ainsi, dans le cas de circuits alimentés sous une tension nominale de 5 volts, le détecteur (9) délivre un signal autorisant l'application de la tension de programmation dès que la tension est par exemple de 4 volts, dans le cas où les circuits logiques fonctionnent correctement à partir de 3 volts.

Les moyens de commande (7) sont, dans ce cas, agencés par exemple de la façon suivante : ils comprennent le premier transistor (73) déjà mentionné qui reçoit sur l'une de ses électrodes le signal issu du convertisseur (6), et dont une autre électrode est reliée par l'intermédiaire de la sortie (72) des moyens de blocage (7) à l'entrée V_{pp} de la mémoire reprogrammable (5) ; l'électrode de commande (74) du dit transistor reçoit le signal issu du détecteur (8) de mesure du niveau du signal de demande de réinitialisation, et un second transistor (76), dont l'électrode de commande (77) est reliée à la sortie du détecteur (9) de la tension d'alimentation, est intercalé entre la résistance (75) et le point commun à la sortie du détecteur (8) et à l'électrode de commande (74) du premier transistor (73), de sorte qu'une seconde électrode de ce second transistor (76) est reliée au dit point commun, et que sa troisième électrode est reliée à la résistance (75).

Dans ce cas, le premier transistor (73) conduit lorsqu'un signal est appliqué sur son électrode de commande (74), par l'intermédiaire du détecteur de signal de de-

mande de réinitialisation (8) et que simultanément le second transistor (76) est non conducteur. Pour que ce second transistor (76) soit conducteur, afin de bloquer la programmation, il faut qu'un signal soit appliqué sur son électrode de commande (77), ce qui est le cas lorsque le détecteur (9) détecte que la tension d'alimentation est inférieure à la valeur minimum de fonctionnement correct des circuits logiques du dispositif.

Bien entendu, tout autre type de montage est possible, les figures qui viennent être décrites n'étant qu'une illustration du principe de fonctionnement du dispositif. Ce qui est primordial est que les moyens de blocage (7) de la tension de programmation constituent un interrupteur commandé qui autorise l'application de ladite tension de programmation V_{pp} uniquement lorsque la valeur d'alimentation est correcte et lorsque le signal de réinitialisation n'est pas actif.

Par ailleurs, on constate sur cette figure que le détecteur (8) comporte une seule sortie reliée à la fois à l'électrode de commande des moyens de blocage et à l'entrée de réinitialisation de l'unité de traitement (2). Ceci est envisageable dans les cas où la technologie utilisée permet que le même niveau de signal soit utilisé pour la commande et pour la réinitialisation.

Le circuit qui vient d'être illustré présente cependant l'inconvénient que l'application de la tension de programmation est autorisée dès que l'ordre de réinitialisation disparaît. En raison des temps de réponse des divers circuits, il peut arriver que l'ordre de déblocage de l'application de la tension de programmation soit pris en compte avant que l'ordre de réinitialisation ait disparu, et qu'un transitoire survienne simultanément dans les circuits de traitement, qui valide un ordre d'effacement ou d'écriture de façon incontrôlée, de sorte que des informations erratiques peuvent éventuellement être inscrites dans la mémoire reprogrammable.

C'est pourquoi, dans une variante, dont le principe est illustré par la figure 4, on prévoit deux circuits de détection du niveau du signal de demande de réinitialisation des circuits, un premier circuit de détection (8 bis) dont la sortie est reliée aux moyens (7) de blocage de la tension de programmation, et un second circuit de détection (10) dont la sortie est reliée à l'entrée de réinitialisation de l'unité de traitement (2). Les deux circuits de détection (8 bis, 10) possèdent des seuils (RAZ1, RAZ2) de détection différents, de sorte que lorsqu'un signal de demande de réinitialisation RAZ apparaît à l'entrée de ces circuits, le premier circuit (8) délivre un signal de blocage des moyens (7) avant que le second circuit (10) ait activé le signal de réinitialisation de l'unité de traitement (2), afin de permettre que, lorsqu'un signal de demande de réinitialisation apparaît, le blocage de l'application de la tension de programmation soit effectif avant que l'ordre de réinitialisation soit appliqué à l'unité de traitement (2), et que lorsque le signal de demande de réinitialisation appliqué à l'entrée des circuits de détection (8 bis, 10) passe d'un état actif à un état non actif, le déblocage soit effectif après que l'ordre de réinitialisation appliqué

à l'entrée correspondante de l'unité de traitement (2) ait disparu. On a donc un séquençement temporel entre l'application des différents signaux de commande qui accroît la sécurité de fonctionnement du dispositif.

Ainsi, dans tous les cas, le blocage précède la phase de réinitialisation et le déblocage suit la fin de la phase de réinitialisation.

Le circuit de la figure 4 est donc très performant puisqu'il permet que l'ordre de réinitialisation des circuits du dispositif disparaisse avant que l'autorisation d'une application de la tension de programmation survienne. Par ailleurs, ce circuit comporte les moyens de blocage de la tension de programmation lorsque la tension minimum d'alimentation n'est pas atteinte, de sorte qu'à la mise sous tension, l'autorisation de l'application de la tension de programmation ne peut avoir lieu qu'après que la tension minimum de fonctionnement ait été atteinte d'une part, et que d'autre part lorsque le signal de réinitialisation n'est pas actif. En cas d'un retrait accidentel ou volontaire de la tension d'alimentation, la présence du circuit (9) de détection de la tension d'alimentation entraîne un blocage de l'autorisation de l'application de la tension de programmation V_{pp} dès que la tension d'alimentation devient inférieure ou égale à la tension minimum de fonctionnement correct.

Il peut cependant arriver que les dispositifs réalisés selon les variantes précédemment décrites ne réduisent pas totalement les risques d'effacement ou d'écriture accidentels dans la mémoire reprogrammable (5) lors de la réinitialisation.

En effet, selon la variante réalisée, soit l'autorisation de l'application de la tension de programmation est donnée en même temps que l'ordre de réinitialisation disparaît, soit ladite autorisation est retardée par rapport à la disparition de l'ordre de réinitialisation, mais ce retard dépend uniquement de la vitesse de transition du niveau de la tension du signal de réinitialisation, qui peut être très rapide.

Or, généralement la réinitialisation s'effectue selon un séquençement programmé, piloté par l'horloge du dispositif, de sorte que la réinitialisation peut, dans certains cas exceptionnels, se prolonger après que le signal lui-même ait disparu.

Or, les dispositifs décrits en regard des variantes précédentes sont tels que lorsque le signal de demande de réinitialisation n'est plus actif, une autorisation de l'application de la tension de programmation est donnée. Il peut donc arriver, dans ce cas, qu'une écriture ou un effacement soit fait accidentellement alors que la réinitialisation n'est pas totalement terminée à partir du moment où l'autorisation de l'application de la tension de programmation est accordée, si un ordre correspondant apparaît.

La variante illustrée par la figure 5 permet d'éviter une programmation accidentelle lorsque le signal de demande de réinitialisation n'est plus actif alors que la réinitialisation n'est pas terminée.

Le dispositif de l'invention comporte au moins un re-

gistre (11) dont la sortie est reliée aux moyens de blocage (7) de la tension de programmation V_{pp} de la mémoire reprogrammable (5), et dont l'entrée de réinitialisation est connectée par l'intermédiaire d'un circuit combinatoire (12) d'une part à la sortie d'un circuit (13) de réinitialisation automatique à la mise sous tension, et d'autre part à la ligne de demande de réinitialisation du système en cours de fonctionnement de préférence par l'intermédiaire d'un détecteur (8) du niveau du signal de demande de réinitialisation, pour que ledit signal soit pris en compte à partir d'un seuil déterminé. L'entrée de données du registre (11) est reliée à une sortie de données de l'unité centrale (2), de façon à être commandée par cette dernière.

Par ailleurs, le registre (11) est relié à l'horloge (14) pilotant le dispositif.

Sur cette figure, on a également représenté le convertisseur (6) entre la source d'alimentation V_{cc} et les moyens (7) de blocage de la tension de programmation.

Le circuit (13) de réinitialisation automatique est par exemple constitué par un détecteur de tension associé à un générateur d'impulsions qui envoie un ordre de réinitialisation du registre (11) dès que la tension d'alimentation V_{cc} atteint la valeur minimale de fonctionnement correct des circuits logiques du dispositif. Après sa réinitialisation, la sortie du registre (11) délivre un signal de sorte que les moyens de blocage (7) interdisent l'application de la tension de programmation à la mémoire reprogrammable (5).

Pour que la sortie du registre (11) soit placée dans une configuration telle que les moyens de blocage (7) de la tension de programmation autorisent l'application de ladite tension à la mémoire reprogrammable (5), il faut que l'unité de traitement (2) charge le registre (11) dans une configuration telle que la sortie de ce registre soit dans un état opposé à celui dans lequel elle est positionnée lors de la réinitialisation. Pour cela, une sortie CV_{pp} de l'unité de traitement (2) est reliée à l'entrée de données du registre (11).

Ce dispositif est donc particulièrement performant puisque le registre (11) est placé dans une configuration correspondant à une autorisation de l'application de la tension de programmation, seulement sur requête de l'unité de traitement, lorsqu'il y a effectivement besoin d'effectuer un effacement ou une écriture. Ainsi, les moyens de blocage (7) sont activés tant qu'aucune écriture ou effacement n'est nécessaire, et la sécurité est considérable.

Dans un mode de réalisation, le registre (11) est constitué par une cellule élémentaire de mémorisation qui est préférentiellement mise dans un état déterminé lors de la réinitialisation. Il peut cependant arriver, dans des cas exceptionnels, qu'une telle cellule se positionne dans un état différent lors de la réinitialisation, ce qui, dans le cas d'espèce, conduirait à autoriser l'application de la tension de programmation. C'est pourquoi, comme illustré par cette figure 5, de préférence l'application des signaux de validation d'écriture WE ou d'effacement EE

est également subordonnée à l'état de registres (15, 16) qui sont initialisés à la mise sous tension dans un état correspondant respectivement à l'interdiction de l'application du signal de validation d'écriture et du signal de validation d'effacement. Sur cette figure 5, les sorties de ces deux derniers registres (15, 16) sont reliées respectivement aux entrées de validation d'écriture WE et d'effacement EE de la mémoire reprogrammable (5). Une telle liaison directe est effectuée dans le cas où les niveaux de sortie des dits registres sont compatibles avec les niveaux d'entrée nécessaires pour la validation de l'écriture ou de l'effacement dans la mémoire reprogrammable. Au cas où les niveaux ne sont pas compatibles, alors il est nécessaire de prévoir un convertisseur entre la sortie d'un registre et l'entrée correspondante de la mémoire reprogrammable. Lorsqu'une opération d'écriture ou d'effacement doit être effectuée, alors l'unité de traitement charge par sa sortie (CV_{pp}), en synchronisme avec l'horloge, le registre (11) de commande des moyens (7) de blocage dans un état autorisant l'application de la tension de programmation, et simultanément, elle charge le registre (15 et/ou 16) dans un état correspondant à l'autorisation de l'application du signal de validation d'écriture et/ou de validation d'effacement, selon l'opération requise. Des sorties (CWE, CEE) de l'unité de traitement (2) sont reliées à cet effet aux entrées de données des registres (15) et (16) respectivement.

Ce mode de réalisation est particulièrement avantageux car, il peut arriver que l'un des registres se positionne dans un état non souhaité lors de la réinitialisation, mais il est peu vraisemblable que la totalité des registres se positionne accidentellement dans une configuration non souhaitée.

La figure 6 illustre une variante dans laquelle les registres (11, 15, 16) sont des registres à décalage, à entrée série et sorties parallèles, qui comprennent donc chacun un nombre non unitaire de bascules ou de cellules, dont les entrées de réinitialisation sont communes, et reliées au circuit combinatoire (12) identique à celui de la figure 5 recevant soit le signal de réinitialisation automatique, à la mise sous tension, soit un signal de demande de réinitialisation en cours de fonctionnement, et dont le chargement, qui s'effectue de façon séquentielle, est synchronisé par l'horloge (14) du dispositif, de sorte que l'unité de traitement doit exécuter une routine comportant plusieurs instructions pour charger chacun de ces registres. D'une façon similaire à la figure 5, l'unité de traitement comporte des sorties (CV_{pp} , CWE, CEE) reliées aux entrées de données des registres 11, 15, 16 respectivement, pour permettre le chargement des registres requis par l'opération souhaitée. Par ailleurs, une seule configuration de chargement de chacun de ces registres autorise l'application du signal qu'il commande, c'est-à-dire l'autorisation de l'application de la tension de programmation V_{pp} pour le registre (11), l'autorisation de l'application du signal de validation d'écriture WE pour le registre (15), l'autorisation de l'application du signal de validation d'effacement EE pour le registre (16).

C'est pourquoi, dans le mode de réalisation illustré par cette figure 6, chaque registre est associé à un circuit combinatoire différent, un premier (17) pour le registre (11) d'autorisation de la tension de programmation, une seconde (18) pour le registre (15) d'autorisation d'application du signal de validation d'écriture, et un troisième (19) pour le registre (16) d'autorisation d'application du signal de validation d'effacement. Chaque circuit combinatoire contient autant d'entrées que le registre correspondant contient de bascules, de sorte que l'état de chacune des bascules d'un registre est répercuté à tout moment au circuit combinatoire correspondant. Par ailleurs, le circuit combinatoire correspondant à un registre porte une seule sortie qui est reliée à l'entrée correspondante de la mémoire reprogrammable qu'il commande. Cette liaison est directe si les signaux sont compatibles, ou s'effectue par l'intermédiaire de circuits adaptateurs ou convertisseurs si les signaux ne sont pas compatibles. Ainsi, dans l'exemple illustré, la sortie du circuit (17) associé au registre (11) est reliée à l'entrée de commande des moyens (7) de blocage de la tension de programmation V_{pp} , alors que les sorties des circuits combinatoires (18 et 19) sont reliées directement respectivement aux entrées de validation d'écriture et de validation d'effacement de la mémoire reprogrammable (5).

Dans un mode de réalisation, les circuits combinatoires (17, 18, 19) utilisent en combinaison des fonctions logiques connues telles que les fonctions OU, OU EXCLUSIF, etc...

Le dispositif décrit sur la figure 6 fonctionne de la façon suivante : lorsqu'une écriture est requise, il faut positionner le registre (11) dans un état correspondant à l'autorisation de l'application de la tension de programmation V_{pp} , et positionner simultanément le registre (15) dans un état correspondant à l'autorisation de l'application du signal de validation d'écriture WE, en exécutant des routines particulières de chargement de chacun de ces registres. De même, pour autoriser une opération d'effacement, il faudra charger le registre (11) d'autorisation d'application de la tension de programmation V_{pp} , puis le registre (16) d'autorisation d'application du signal de validation d'effacement EE.

On comprend donc dans ce cas, que le dispositif est particulièrement fiable, car la multiplication du nombre des cellules nécessaires pour constituer chaque registre rend très peu probable le fait qu'une initialisation accidentelle les positionne dans un état correspondant à une autorisation de la commande correspondante.

Le mode de réalisation de la figure 6, avec trois registres différents, nécessite la sélection et le chargement approprié d'au moins deux registres lors d'une opération d'écriture ou d'effacement. Il faut systématiquement sélectionner le registre d'autorisation d'application de la tension de programmation, et le registre correspondant au signal de validation de l'opération choisie. Par ailleurs, selon que l'effacement de la mémoire non volatile sera total ou partiel, on pourra être amené à réaliser des combinaisons particulières de l'état de sortie de ces

divers registres. Il en résulte que chacun de ces registres doit être relié à une sortie différente de l'unité de traitement, ou relié à la même sortie, et il faut des moyens de sélection de l'un et/ou de l'autre, pour charger les registres requis par une opération de programmation déterminée.

La figure 7 illustre une variante dans laquelle l'ensemble des registres est réuni de façon à former un registre à décalage unique (20) qui est relié à un circuit (21) combinatoire, comprenant autant d'entrées que le registre contient de bascules, et qui comporte une sortie (210) de commande de l'application de la tension de programmation V_{pp} , une sortie (211) de commande du signal de validation d'écriture WE, et une sortie (212) de commande du signal de validation d'effacement EE. Cette structure permet de n'utiliser qu'un seul mode d'adressage lorsqu'une opération d'écriture ou d'effacement doit être effectuée, entraînant un chargement systématique du registre (20). Dans ce cas, le registre sera chargé avec des contenus différents selon qu'il s'agit d'une opération d'écriture ou d'effacement total ou partiel du contenu de la mémoire reprogrammable (5). A cet effet, une sortie de chargement (CC) de l'unité de traitement (2) est reliée à l'entrée série de données du registre (20).

Par ailleurs, la réinitialisation du registre (20) s'effectue de façon semblable à ce qui se produit dans le cas de la figure 6, c'est-à-dire qu'elle a lieu soit au moment de la mise sous tension par application d'un signal de réinitialisation automatique par le circuit (13) réagissant en fonction du niveau de la tension d'alimentation V_{cc} , soit sur un ordre de réinitialisation RAZ pendant le fonctionnement normal du dispositif, un circuit combinatoire (12) réalisant une fonction OU logique permettant de prendre en compte indifféremment l'un ou l'autre de ces ordres.

Pour la mise en oeuvre de ce dispositif, il est nécessaire de prévoir dans la mémoire de programme autant de routines que de possibilités d'interventions sur la mémoire reprogrammable (5) : il est nécessaire par exemple de prévoir une routine correspondant à un effacement complet de ladite mémoire, une routine correspondant à un effacement partiel, et une routine correspondant à une écriture de nouvelles données.

Par ailleurs, il est possible d'envisager plusieurs façons différentes de charger le registre à décalage de commande des effacements/écritures dans la mémoire reprogrammable.

Comme envisagé précédemment, la mémoire de programme peut contenir plusieurs routines complètes correspondant chacune à une opération spécifique (écriture, effacement total ou partiel) à effectuer sur la mémoire reprogrammable (5).

Les différentes variantes qui viennent d'être décrites offrent un degré de sécurité croissant lors de la réinitialisation du dispositif, pour éviter que les données contenues en mémoire non volatile reprogrammable (5) soient modifiées ou effacées. Le choix de l'une ou de l'autre des variantes est effectué en fonction de la complexité

du dispositif et/ou du niveau de sécurité requis.

Les diverses variantes qui viennent d'être décrites n'empêchent cependant pas que si l'unité de traitement, par accident, exécute des sauts d'adresses intempestifs, le programme s'exécute selon un séquençement non maîtrisé, ce qui peut, dans certains cas, entraîner des changements non souhaités dans la mémoire reprogrammable (5).

C'est pourquoi, dans un mode de mise en oeuvre, la mémoire (3) contenant le programme de fonctionnement de l'unité de traitement ne contient aucune routine complète permettant une écriture ou un effacement de la mémoire reprogrammable (5). Ainsi, lors d'un saut intempestif d'adresses, l'unité de traitement ne peut pas commander une opération de ce genre par erreur.

A cet effet, le programme est agencé pour pouvoir écrire dans la mémoire volatile (4) une routine d'écriture ou d'effacement de la mémoire reprogrammable (5) : ceci consiste à inscrire des instructions dans la mémoire volatile sous la forme de données.

Lorsque toutes les instructions sont écrites dans la mémoire volatile (4), le programme contenu dans la mémoire (3) se branche sur cette routine inscrite en mémoire volatile, et ladite routine s'exécute alors. A la fin de l'opération d'écriture ou d'effacement, le programme contenu dans la mémoire (3) reprend le contrôle des opérations en effaçant prioritairement la routine contenue dans la mémoire volatile (4). Ainsi, la routine ne peut plus s'exécuter.

Il est bien entendu que cette solution n'est envisageable que si la mémoire volatile (4) permet d'y exécuter du programme.

Cette solution est envisageable pour réaliser une routine de chargement du ou des registres à décalage qui ont été décrits en regard des figures 6 et 7, mais il est bien entendu qu'elle peut également s'appliquer au chargement d'une routine beaucoup plus simple dans la mémoire volatile qui commanderait l'application des ordres de programmation et d'effacement et/ou d'écriture, lors de la mise en oeuvre des variantes illustrées sur les figures 1 à 5.

L'invention est donc particulièrement facile à mettre en oeuvre sur tout type de dispositif de traitement de données, dans lequel la mémoire reprogrammable (5) peut être soit totalement, soit partiellement reprogrammée par l'unité de traitement (2), de même que l'on conçoit qu'elle puisse s'appliquer à des dispositifs monolithiques ou non. Ainsi, elle s'applique tout particulièrement aux microprocesseurs monolithiques autoprogrammables dont la tension de programmation V_{pp} de la mémoire non volatile est délivrée à partir de la source de tension d'alimentation générale, et pour lesquels il est nécessaire de prévoir des sécurités à la mise sous et hors tension, de même que lors des phases de réinitialisation.

Revendications

1. Dispositif de traitement de données, comportant une unité de traitement (2), une mémoire non volatile (5) effaçable et reprogrammable électriquement au moins sous le contrôle partiel de l'unité de traitement au moyen d'au moins un signal de programmation (Vpp, WE, EE), des moyens de détection (8, 8 bis, 12, 13) d'un signal de demande de réinitialisation du dispositif, et des moyens de blocage (7, 11, 15, 16, 20) agencés pour empêcher que ledit signal de programmation n'agisse sur la mémoire non volatile au moins tant que le signal de demande de réinitialisation possède un niveau propre à activer la réinitialisation, les moyens de blocage étant activés par les moyens de détection, caractérisé en ce qu'il comporte des moyens (13) tels qu'un détecteur à seuil pour émettre un signal de demande de réinitialisation à la mise sous tension du dispositif lorsque la valeur d'alimentation (Vcc) de ce dispositif a atteint une valeur minimale (Vcc min) pour laquelle les circuits logiques du dispositif fonctionnent correctement, ainsi que des moyens internes de demande de réinitialisation en cours de fonctionnement ; les moyens de blocage (7, 11, 15, 16, 20) sont connectés de façon à prendre en compte indifféremment l'un ou l'autre de ces signaux de demande de réinitialisation et comportent au moins un registre (11, 15, 16, 20) comprenant une entrée de réception desdits signaux de demande de réinitialisation, et une sortie reliée à des moyens de commande (21) d'au moins l'un des signaux (Vpp, WE, EE) nécessaires à la programmation de la mémoire reprogrammable (5), ce registre étant agencé pour qu'un ordre de réinitialisation le positionne dans une configuration correspondant à un blocage de la programmation, et possédant une configuration de programmation unique selon laquelle il doit être chargé pour autoriser une programmation, le chargement d'un registre s'effectuant par une sortie appropriée (CVpp, CWE, CEE) de l'unité de traitement, en synchronisme avec une horloge du dispositif.
2. Dispositif selon revendication 1, dans lequel ledit registre comprend une pluralité de cellules (110 à 112 ; 150 à 152 ; 160 à 162) fournissant des signaux d'activation respectifs à un circuit combinatoire (17 à 20), ledit circuit combinatoire étant agencé pour envoyer ledit signal de programmation à la mémoire non volatile seulement lorsqu'il reçoit des signaux d'activation correspondant à ladite configuration de programmation du registre.
3. Dispositif selon revendication 1 dans lequel le registre inclut un registre à décalage (20) ayant une entrée unique reliée à l'unité de traitement et autant de sorties que de signaux de programmation devant être transmis à la mémoire non volatile.
4. Dispositif selon revendication 1, dans lequel le signal de programmation comprend un signal d'alimentation (Vpp), un signal de commande d'écriture (WE), et un signal de commande d'effacement (EE).
5. Dispositif selon revendication 1, qui inclut une mémoire volatile (4), le chargement de ladite configuration de programmation dans le registre s'effectuant au moyen d'un programme de configuration comprenant des instructions exécutables situées dans la mémoire volatile.
6. Dispositif selon revendication 5, dans lequel lesdites instructions exécutables sont chargées en mémoire volatile par l'unité de traitement lorsque le dispositif reçoit un signal demandant la programmation de la mémoire non volatile.
7. Dispositif selon revendication 5, qui comprend des moyens pour effacer lesdites instructions chargées dans la mémoire volatile (4) dès que celles-ci ont été exécutées.
8. Dispositif de traitement de données selon l'une quelconque des revendications précédentes, caractérisé en ce que les moyens de détection comprennent des premiers moyens de détection (8, 8bis, 12, 13) agencés pour détecter un premier niveau (RAZ1) du signal de demande de réinitialisation et activer les moyens de blocage tant que le niveau de ce signal est compris entre ledit premier niveau et ledit niveau actif.
9. Dispositif de traitement de données selon la revendication 8, caractérisé en ce qu'une sortie (83) des premiers moyens de détection (8) est reliée à l'entrée de réinitialisation de l'unité de traitement (2) pour y appliquer un ordre de réinitialisation lorsque le signal de demande de réinitialisation a atteint ledit premier niveau.
10. Dispositif de traitement de données selon la revendication 8, caractérisé en ce qu'il comporte des seconds moyens de détection (10) d'un second niveau (RAZ2) du signal de demande de réinitialisation, dont la sortie est reliée à l'entrée de réinitialisation de l'unité de traitement (2), de façon à valider l'application d'un ordre de réinitialisation à l'unité de traitement (2), après que les premiers moyens de détection (8, 8bis) aient entraîné le blocage de l'application d'au moins un des signaux nécessaires à la programmation et de façon à invalider l'ordre de réinitialisation avant que le blocage soit autorisé par les premiers moyens de détection.

Patentansprüche

1. Datenverarbeitungsvorrichtung, mit einer Verarbeitungseinheit (2), einem nichtflüchtigen Speicher (5), der wenigstens unter der teilweisen Steuerung der Verarbeitungseinheit mittels wenigstens eines Programmiersignals (Vpp, WE, EE) elektrisch löscherbar und umprogrammierbar ist, Mitteln zur Erfassung (8, 8bis, 12, 13) eines Anforderungssignals zur Reinitialisierung der Vorrichtung sowie Sperrmitteln (7, 11, 15, 16, 20), die so beschaffen sind, daß sie wenigstens so lange, wie das Reinitialisierungs-Anforderungssignal einen für die Aktivierung der Reinitialisierung geeigneten Pegel besitzt, verhindern, daß das Programmiersignal auf den nichtflüchtigen Speicher einwirkt, wobei die Sperrmittel durch die Erfassungsmittel aktiviert werden, dadurch gekennzeichnet, daß sie Mittel (13) wie etwa einen Schwellenwertdetektor, der beim Anlegen der Spannung an die Vorrichtung ein Reinitialisierungs-Anforderungssignal aussendet, wenn der Versorgungswert (Vcc) dieser Vorrichtung einen minimalen Wert (Vcc min) erreicht hat, bei dem die Logikschaltungen der Vorrichtung einwandfrei arbeiten, sowie interne Mittel für die Anforderung der Reinitialisierung im Lauf des Betriebs enthält; die Sperrmittel (7, 11, 15, 16, 20) in der Weise angeschlossen sind, daß sie unterschiedslos das eine oder das andere dieser Reinitialisierungs-Anforderungssignale berücksichtigen und wenigstens ein Register (11, 15, 16, 20) enthalten, das einen Eingang für den Empfang der Reinitialisierungs-Anforderungssignale und einen Ausgang besitzt, der mit Steuermitteln (21) für wenigstens eines der für die Programmierung des umprogrammierbaren Speichers (5) notwendigen Signale (Vpp, WE, EE) verbunden ist, wobei dieses Register so beschaffen ist, daß es durch einen Reinitialisierungsbefehl in eine Konfiguration versetzt wird, die einer Sperrung der Programmierung entspricht, und eine einzige Programmierkonfiguration besitzt, in der es geladen werden muß, damit es eine Programmierung zuläßt, wobei das Laden eines Registers durch ein geeignetes Ausgangssignal (CVpp, CWE, CEI) der Verarbeitungseinheit synchron mit einem Takt der Vorrichtung erfolgt.
2. Vorrichtung nach Anspruch 1, in der das Register mehrere Zellen (110 bis 112; 150 bis 152; 160 bis 162) enthält, die an eine kombinatorische Schaltung (17 bis 20) entsprechende Aktivierungssignale liefern, wobei die kombinatorische Schaltung so beschaffen ist, daß sie das Programmiersignal zum nichtflüchtigen Speicher nur dann schickt, wenn sie Aktivierungssignale empfängt, die der Programmierkonfiguration des Registers entsprechen.
3. Vorrichtung nach Anspruch 1, in der das Register

ein Schieberegister (20) enthält, das einen einzigen Eingang, der mit der Verarbeitungseinheit verbunden ist, und so viele Ausgänge besitzt, wie Programmiersignale zum nichtflüchtigen Speicher übertragen werden müssen.

4. Vorrichtung nach Anspruch 1, in der das Programmiersignal ein Versorgungssignal (Vpp), ein Schreibbefehlssignal (WE) sowie ein Löschbefehlssignal (EE) enthält.
5. Vorrichtung nach Anspruch 1, die einen flüchtigen Speicher (4) enthält, wobei das Laden der Programmierkonfiguration in das Register mittels eines Konfigurationsprogramms erfolgt, das die im flüchtigen Speicher befindlichen ausführbaren Befehle enthält.
6. Vorrichtung nach Anspruch 5, in der die ausführbaren Befehle durch die Verarbeitungseinheit in den flüchtigen Speicher geladen werden, wenn die Vorrichtung ein die Programmierung des nichtflüchtigen Speichers anforderndes Signal empfängt.
7. Vorrichtung nach Anspruch 5, die Mittel enthält, um die in den flüchtigen Speicher (4) geladenen Befehle zu löschen, sobald diese ausgeführt worden sind.
8. Datenverarbeitungsvorrichtung nach irgendeinem der Vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Erfassungsmittel erste Erfassungsmittel (8, 8bis, 12, 13) enthalten, die so beschaffen sind, daß sie einen ersten Pegel (RAZ1) des Reinitialisierungs-Anforderungssignals erfassen und die Sperrmittel so lange aktivieren, wie der Pegel dieses Signals zwischen dem ersten Pegel und dem aktiven Pegel liegt.
9. Datenverarbeitungsvorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß ein Ausgang (83) der ersten Erfassungsmittel (8) mit dem Reinitialisierungseingang der Verarbeitungseinheit (2) verbunden ist, um in diesen einen Reinitialisierungsbefehl einzugeben, wenn das Anforderungssignal den ersten Pegel erreicht hat.
10. Datenverarbeitungsvorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß sie zweite Erfassungsmittel (10) für einen zweiten Pegel (RAZ2) des Reinitialisierungs-Anforderungsbefehls enthält, wovon der Ausgang mit dem Reinitialisierungseingang der Verarbeitungseinheit (2) verbunden ist, derart, daß die Eingabe eines Reinitialisierungsbefehls in die Verarbeitungseinheit (2) validiert wird, nachdem die ersten Erfassungsmittel (8, 8bis) die Sperrung der Eingabe wenigstens eines der für die Programmierung erforderlichen Signale bewirkt haben, und derart, daß der Reinitialisierungsbefehl ungültig gemacht wird, bevor die Aufhebung der

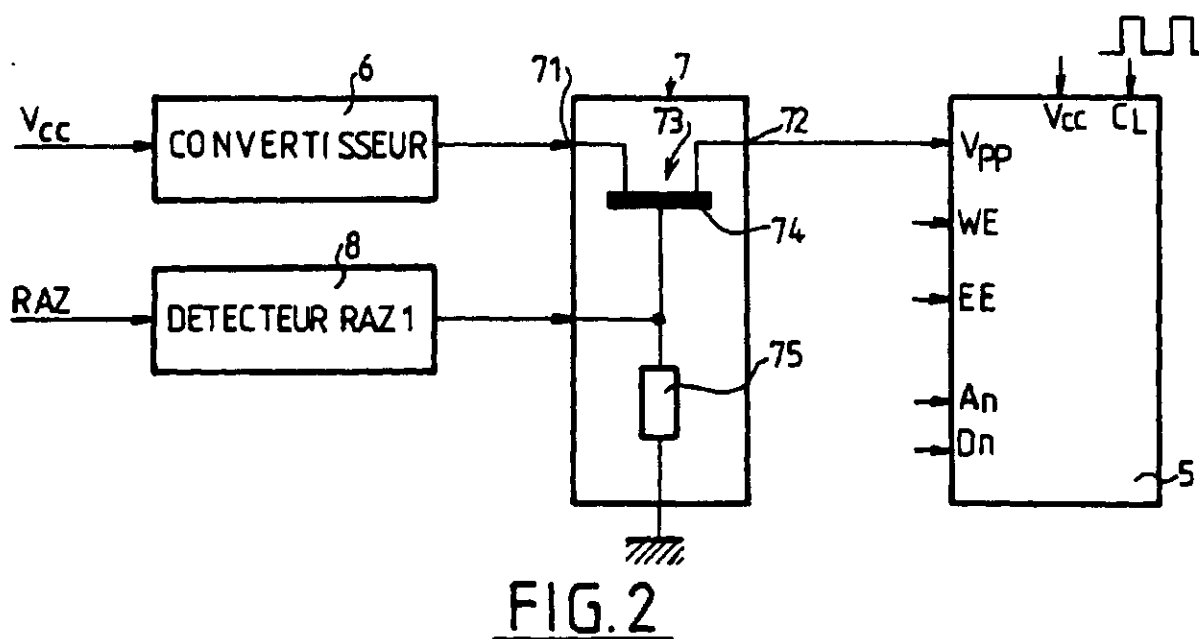
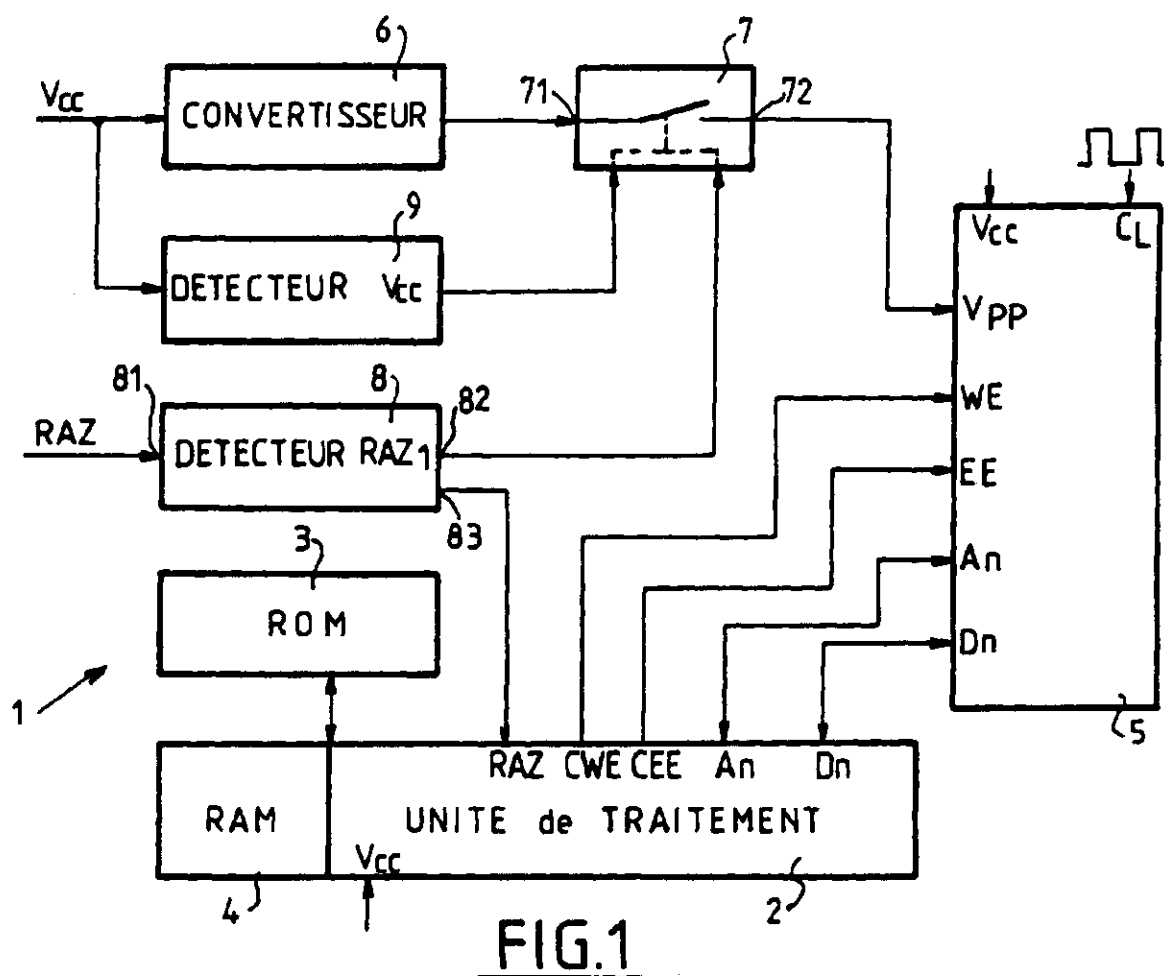
Sperrung durch die ersten Mittel zugelassen wird.

Claims

1. A data processing device, comprising a processing unit (2), a non-volatile, erasable and electrically reprogrammable memory (5) at least under the partial control of the processing unit by means of at least one programming signal (Vpp, WE, EE), means (8, 8bis, 12, 13) for detecting a signal requesting the reinitialisation of the device, and inhibiting means (7, 11, 15, 16, 20) arranged so as to prevent said programming signal from acting on the non-volatile memory at least while the reinitialisation request signal is at a level suitable for activating the reinitialisation, the inhibiting means being activated by the detection means, characterised in that it comprises means (13) such as a threshold detector for issuing a reinitialisation request signal upon the connection to voltage of the device when the supply value (Vcc) of this device has reached a minimum value (Vcc min) for which the logic circuits of the device function correctly, together with internal means for requesting reinitialisation during operation; the inhibiting means (7, 11, 15, 16, 20) are connected so as to take account impartially of one or other of these reinitialisation request signals and comprise at least one register (11, 15, 16, 20) comprising an input for receiving said reinitialisation signals, and an output connected to means (21) for commanding at least one of the signals (Vpp, WE, EE) necessary for programming the reprogrammable memory (5), this register being arranged so that a reinitialisation order positions it in a configuration corresponding to inhibiting of programming, and having a single programming configuration in accordance with which it has to be loaded in order to authorise programming, the loading of a register taking place via an appropriate output (CVpp, CWE, CEE) of the processing unit, in synchronism with a clock of the device.
2. A device according to Claim 1, in which said register comprises a plurality of cells (100 to 112; 150 to 152; 160 to 162) supplying activation signals in respect of a combinational circuit (17 to 20), said combinational circuit being arranged so as to send said programming signal to the non-volatile memory only when it receives activation signals corresponding to said programming configuration of the register.
3. A device according to Claim 1, in which the register includes a shift register (20) having a single input connected to the processing unit and as many outputs as there are programming signals that have to be transmitted to the non-volatile memory.
4. A device according to Claim 1, in which the program-

ming signal comprises a supply signal (Vpp), a writing command signal (WE), and an erasing command signal (EE).

5. A device according to Claim 1, which includes a volatile memory (4), the loading of said programming configuration in the register taking place by means of a configuration program comprising executable instructions located in the volatile memory.
6. A device according to Claim 5, in which said executable instructions are loaded into volatile memory by the processing unit when the device receives a signal requesting the programming of the non-volatile memory.
7. A device according to Claim 5, which comprises means for erasing said instructions loaded in the volatile memory (4) as soon as they have been executed.
8. A data processing device according to any one of the preceding claims, characterised in that the detection means comprise first detection means (8, 8bis, 12, 13) arranged so as to detect a first level (RAZ1) of the reinitialisation request signal and to activate the inhibiting means as long as the level of this signal is comprised between said first level and said active level.
9. A data processing device according to Claim 8, characterised in that an output (83) of the first detection means (8) is connected to the reinitialisation input of the processing unit (2) so as to apply to it a reinitialisation order when the reinitialisation request signal has reached said first level.
10. A data processing device according to Claim 8, characterised in that it comprises second means (10) for detecting a second level (RAZ2) of the reinitialisation request signal, the output of which is connected to the reinitialisation input of the processing unit (2), so as to validate the application of a reinitialisation order to the processing unit (2), after the first detection means (8, 8bis) have led to the inhibition of the application of at least one of the signals necessary for programming, and so as to invalidate the reinitialisation order before inhibition is authorised by the first means.



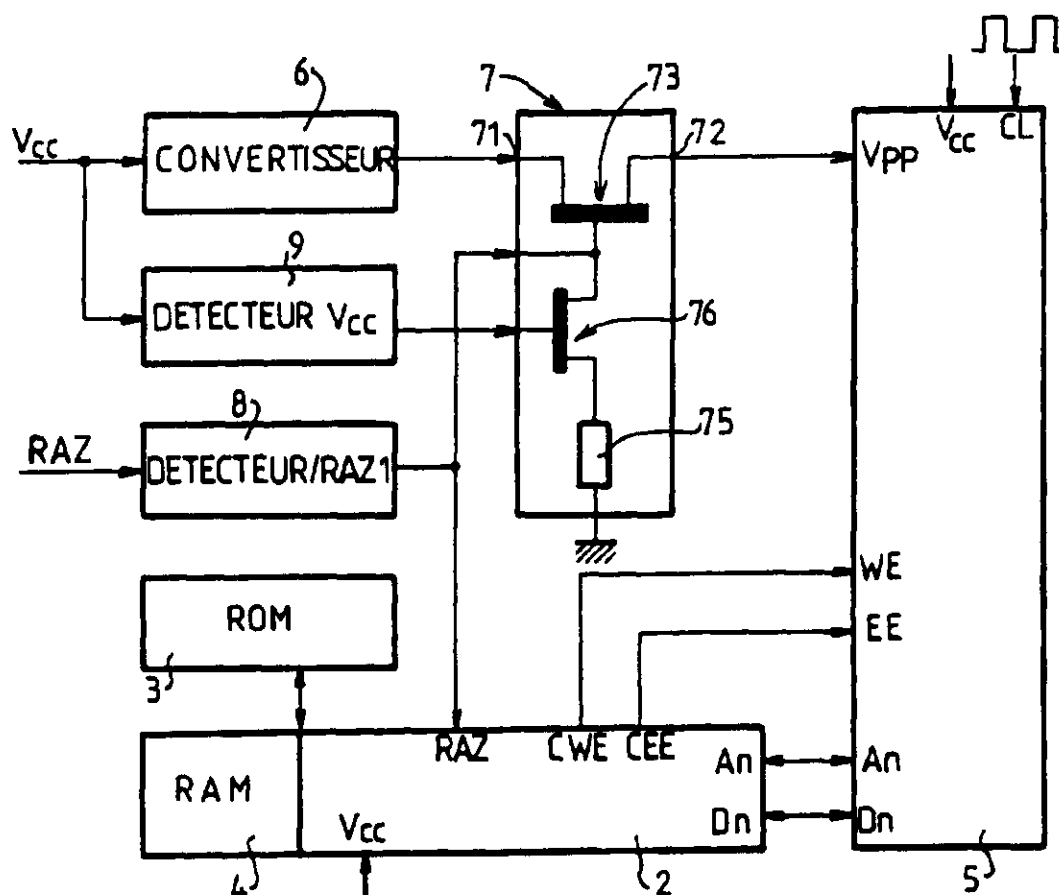


FIG. 3

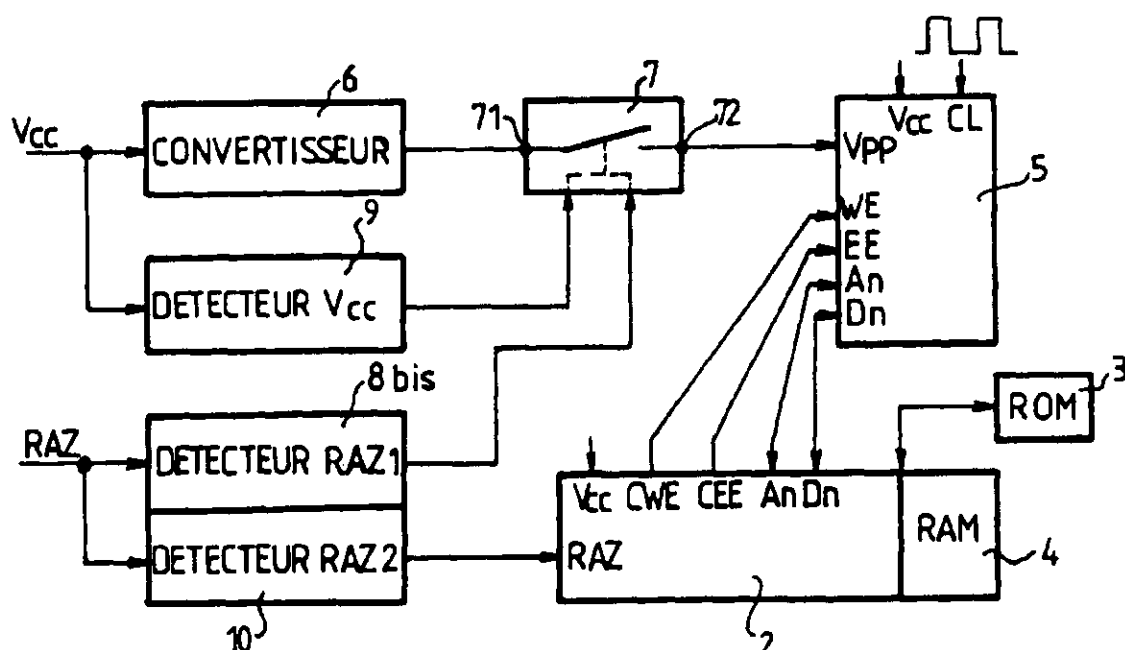


FIG. 4

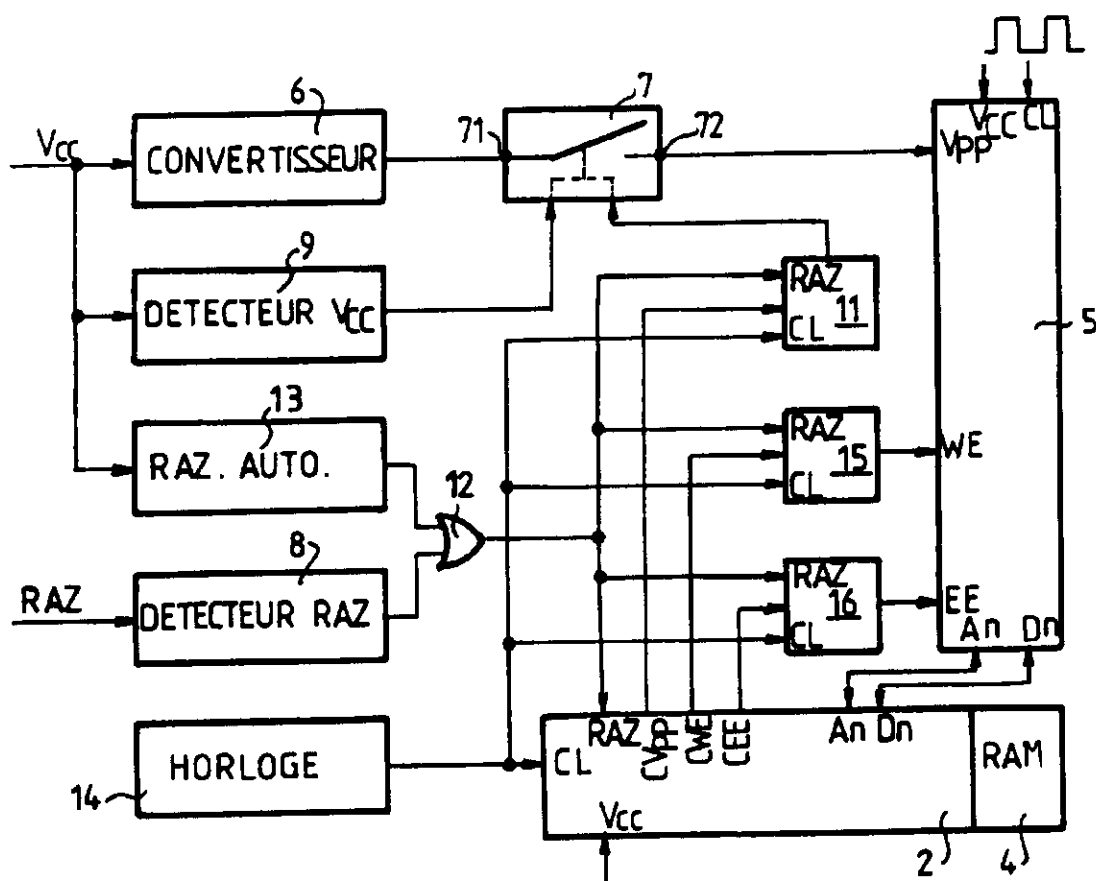


FIG.5

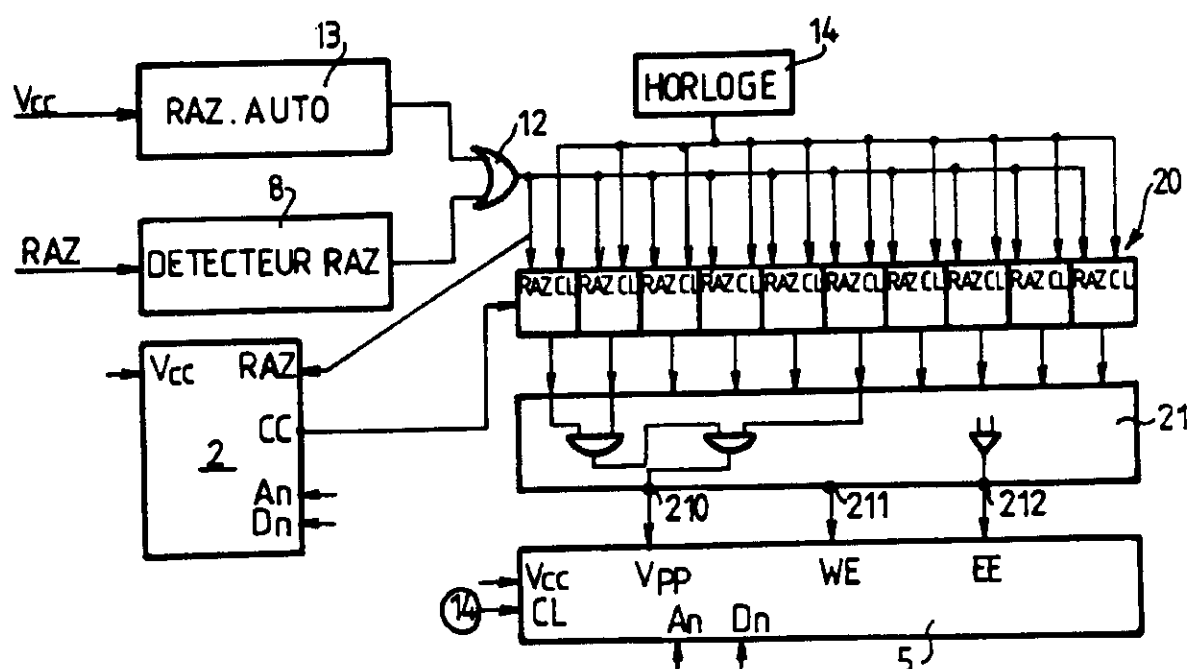


FIG.7

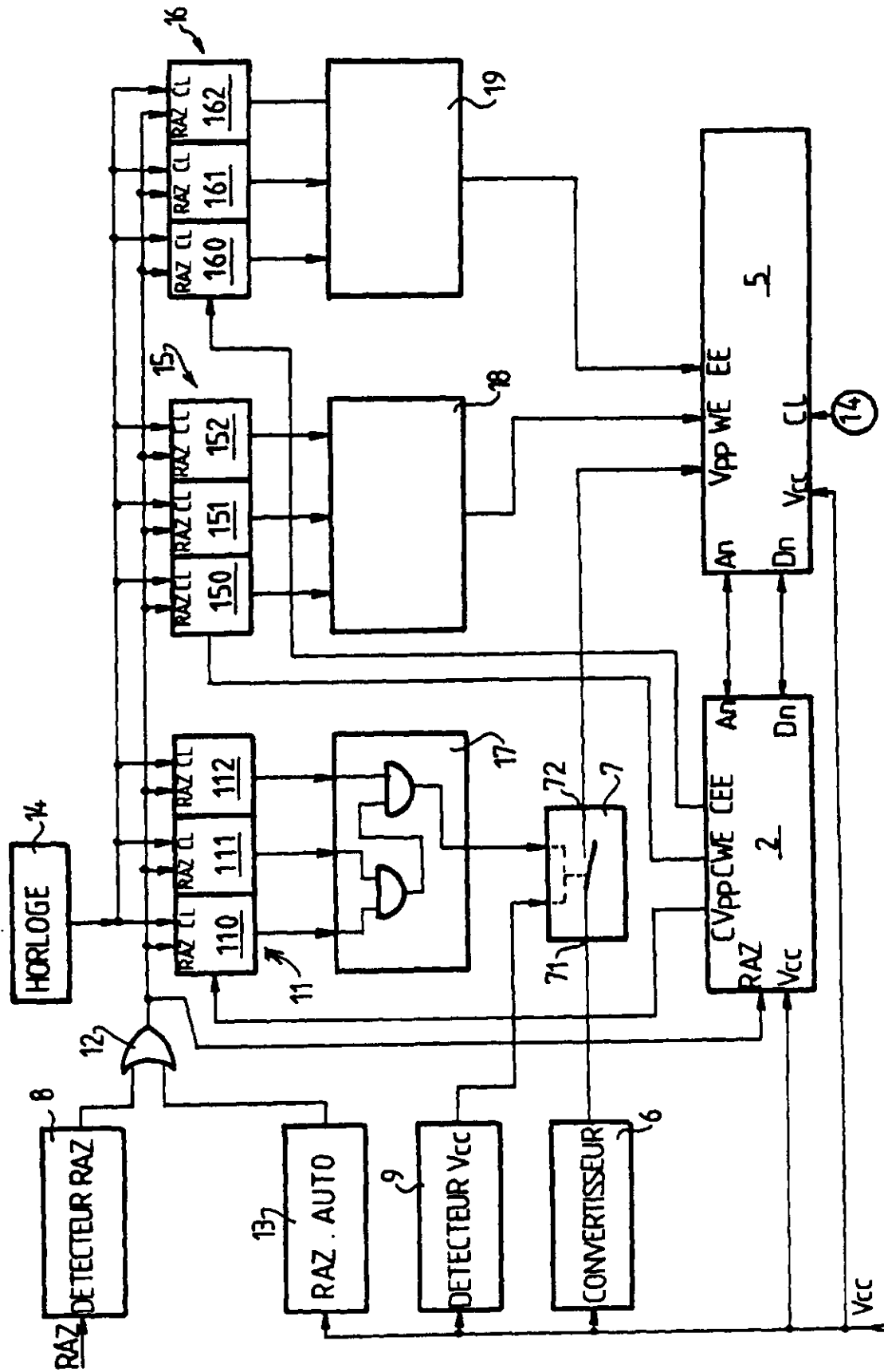
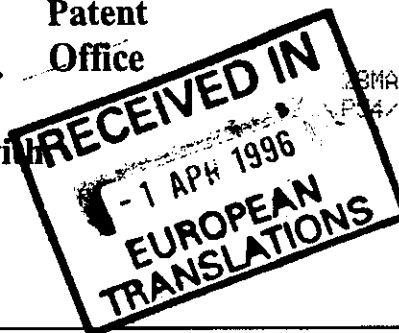


FIG.6

Patents Act 1977
(Rule 80 and Schedule 4)



3 MAR 96 E184117-2 002807
P.4/7700 35.00

**Filing a translation in connection with
a European patent or a European
patent application**

(See the notes on the back of this form)

The Patent Office
Cardiff Road
Newport
Gwent NP9 1RH

1. Your reference ARW/NL/18813

2. European patent number or publication
number of application (or International
publication number) (see note (e)) 0 377 368

3. Full name and address of the or of each
applicant for or proprietor of the
European patent (UK) CP8 TRANSAC
68, Route de Versailles
F-78430 Louveciennes/FR

Patents ADP number (if you know it)

4. What kind of translated document listed at
note (c) are you sending with this form? 1(i)

(answer by writing 1(i), 1(ii), 1(iii) or 2)

5. Date when the European patent (UK) was
granted or amended 13-03-1996
(see note (f))

6. Full name, address and postcode in the United
Kingdom to which all correspondence relating
to this form and translation should be sent BARON & WARREN
18 SOUTH END
KENSINGTON
LONDON
W8 5BU

Patents ADP number (if you know it) 281001

7. Do you want the address in part 6 above to
be the address for service recorded on the
Register or to replace the address for service
currently on the Register?
(If so then write 'YES')

YES

8. Signature Date 26 March 1996

Agents for the Applicants

9. Name and daytime telephone number of
person to contact in the United Kingdom. A.R. WARREN
0171-937-0294.

082/G76

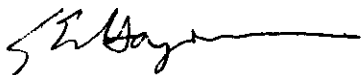
IN THE MATTER OF European Patent
Application no. 89403533.6
Publication no. 0 377 368
in the name of CP8 TRANSAC

DECLARATION

I, Gillian Elizabeth HARGREAVES, a Member of the Institute of Translation and Interpreting, of 25 Station Road, Digswell, Welwyn, Hertfordshire AL6 0DU, do hereby declare that I am conversant with the English and French languages and am a competent translator thereof.

I further declare that to the best of my knowledge and belief the following translation of the text of the description of the above application, as accepted for grant, is a true and faithful rendering of the French.

Signed this 20th day of February 1996

A handwritten signature in black ink, appearing to read 'G E Hargreaves', with a long horizontal flourish extending to the right.

G E Hargreaves

The invention relates to a data processing device comprising at least one processing unit, such as a microprocessor, and at least one non-volatile, electrically erasable and reprogrammable memory at least partly under the control of the processing unit.

In a data processing device the non-volatile memory contains data which must not be corrupted when the device is connected to voltage or when there is a cut in the power supply. Thus, in particular, at least some of the instructions constituting the operating program of the device may be recorded in a non-volatile memory. In general, the non-volatile memory that contains the instructions cannot be erased. However there are non-volatile memories that are reprogrammable, that is, their content may be modified.

In order to be modified, some of these memories need to be erased beforehand, for example by exposure to a source of ultraviolet radiation. This type of reprogrammable non-volatile memory requires physical intervention from outside for reprogramming, at least at the erasing phase, so that it is not possible to use such memories in systems in which reprogramming is totally controlled by the processing unit. In order to overcome this disadvantage, reprogrammable non-volatile memories have been designed in which writing or erasing is performed by applying electrical signals at levels compatible with the levels usually encountered in data processing devices. These memories are often denoted by the abbreviation EEPROM, which is made up of the initials of their name in English (Electrically Erasable Programmable Read-Only Memory).

In the rest of the present description the term "programming" must be understood in its broadest sense, and signifies all actions leading to a modification of the content of the memory, that is, writing or erasing of the content of at least part of said memory.

Thus, by way of example, known logic circuits have a 5 volt supply, whereas the programming voltage of electrically erasable and reprogrammable non-volatile memories generally lies in a range of around 12 to 20 volts. Because of the low power needed for modifying their content, data processing devices have been designed using the same power source to supply both the voltage necessary for the logic circuit and the programming voltage for the non-volatile memories with which they are associated. The supply voltage of the whole device corresponds to one of the two necessary voltages, and a converter circuit is provided in order to obtain the other. With known circuits, the power source generally supplies the voltage necessary for the logic circuit, and the voltage necessary for programming the non-volatile memory is obtained by using a converter, such as a diode pump.

Clearly, it is possible to envisage and design systems in which the supply voltages of the logic and programming circuits of the non-volatile memory would be identical. In this case, the converter would no longer be present.

The benefit of non-volatile, electrically erasable and reprogrammable memories is obvious, since they can be programmed directly on a command from the processing unit, without any external intervention, which for example means that the processing unit can itself modify the program contained therein or, during one use, can enter data that will be necessary when next used, while remaining capable of being modified when next used, or at the time of a subsequent use.

This is the case, for example, in data processing systems using a microcircuit card, comprising at least one microprocessor and a non-volatile memory, for bank or payment applications. A non-volatile memory of this type can be incorporated therein in order to keep track of cumulative debits and/or credits, as well as a residual purchasing power, these being data capable of changing from one use to another but which it is nevertheless necessary to preserve, since they are important for using the system.

Of course, programming can be carried out on request from outside, and in this case the processing unit checks the legitimacy of the request and monitors the progress of operations.

Data processing devices comprising at least one processing unit and an electrically erasable and programmable non-volatile memory may be constituted by an assembly formed on a single substrate, thus producing a monolithic microprocessor, which may be autoprogrammable, if the microprocessor can itself modify the data recorded in the non-volatile memory, without intervention from outside.

Such a structure, when it has a single source of supply, nevertheless has disadvantages since, in certain cases of transient operation, it can happen that the content of the non-volatile memory is modified accidentally, while the processing unit is not exercising any supervision.

Indeed, it can happen that the programming voltage and the control signals are switched erratically, while all the logic circuits of the processing device are not stabilised.

The programming voltage is a voltage necessary for the modification of the non-volatile memory, that is, for writing or erasing, and it is applied during a modification phase at the same time as a corresponding control signal, that is, a writing or erasing validation signal.

A device is known from the precharacterising part of Claim 1 of Japanese utility model no. 57152696. This device aims to solve the problem of there being a risk of phenomena of uncontrolled modification of the non-volatile memory occurring during the reinitialisation phase of the data processing device.

The present invention aims to solve in a more general manner the problem of this uncontrolled modification of the non-volatile memory, which is liable to occur not

only during the reinitialisation phase but also when the device is connected to voltage or at any time during its operation, particularly because of erroneous address skips which can occur when a program is being executed.

This problem is solved by the characterising part of Claim 1. Indeed, in the event of any one of the causes liable to provoke an uncontrolled modification of the non-volatile memory being present, the risk of the device nevertheless being capable of loading said register correctly according to the programming configuration is very low.

Obviously, the invention may be applied to any type of data processing device in which the processing unit has more or less partial control of programming the non-volatile memory, that is, it can be applied in particular to autoprogrammable microprocessors, and it is applied indiscriminately to monolithic or non-monolithic microprocessors.

Other characteristics and advantages of the present invention will become apparent from the following description made with regard to the attached figures, in which:

- Figure 1 is a basic diagram of one variant of a data processing device in accordance with the invention;
- Figures 2 and 3 illustrate two variants of the inhibiting means together with their environment;
- Figures 4 to 7 are basic diagrams of other variants of the device.

Figure 1 gives a diagrammatic illustration of a first embodiment of a device according to the invention.

The device (1) comprises a central unit (2) or processing unit executing a program recorded in a read-only memory (3) denoted by its English acronym ROM.

The central unit may contain or be associated with a random access memory (4), also known as volatile memory, and denoted by its English acronym RAM.

The central unit receives the supply voltage V_{cc} of the device.

Furthermore, in accordance with the invention, the device contains a non-volatile memory (5) of the electrically erasable and programmable type. In the rest of the description, this memory is called the reprogrammable memory.

In order to permit writing or erasing operations, the reprogrammable memory (5) comprises a programming voltage input V_{pp} , a writing validation signal input WE and an erasing validation signal input EE, as well as data D_n and address A_n lines. The management of the data and address lines is carried out in a known manner by the processing unit (2), and data and address buses, shown in part here for the sake of simplicity, are interconnected between the processing unit (2) and the address and data lines of the memory. The reprogrammable memory (5) also comprises a clock signal input CL. The clock can belong to the device, or can belong to a third device to which it should be connected.

Where writing or erasing is managed by the processing unit (2), the writing WE or erasing EE validation signals come from corresponding outputs CWE and CEE from the processing unit, and the application of the programming voltage V_{pp} , inside the non-volatile memory (5), is subject to a corresponding request from the processing unit.

Thus, in banking applications, when such a device is included in a microcircuit card, the clock signal is obtained from an external signal.

Equally, writing or erasing can be validated in different ways according to the type of memory used, and it can happen that additional inputs are necessary. The diagram is here to illustrate that in general the programming voltage is not applied alone, but has to be applied in combination with a writing or erasing order.

Moreover, circuits inside the reprogrammable memory (5) or associated with it, which have not been shown in order not to complicate the figure, and which are known in themselves, are provided in order to inhibit the programming voltage V_{pp} as long as a writing or erasing request has not been notified to the memory.

These circuits do not come within the context of the present invention, but are described in greater detail for example in the Intel book already mentioned in the preamble to the application. In general, these internal circuits detect the presence of a request at an input WE or EE of the non-volatile memory in order to manage internally the passage of the programming voltage.

The programming voltage V_{pp} can be obtained from the supply voltage V_{cc} necessary for the logic circuits of the device. This voltage V_{cc} is applied directly to one input of the central unit and, in the event that it differs from the voltage V_{pp} , which happens in most cases, with current technology, a converter (6) is provided to obtain the programming voltage from the supply voltage. For example, if the nominal supply voltage V_{cc} is 5 volts, and the nominal programming voltage V_{pp} is 18 volts, the converter (6) can be constituted by a diode pump.

In accordance with the present invention, the device (1) comprises means (7, 8) for prohibiting the application of the programming voltage V_{pp} during the reinitialisation phases. To this end, in one embodiment, a detector (8) is provided which measures the value of the voltage of the signal RAZ requesting reinitialisation of the device and which furnishes at its output a signal controlling the programming voltage inhibiting means (7), so as to prohibit the application of said voltage, as long as the value of the reinitialisation request signal is such that this signal can be taken into

account in order to activate reinitialisation, that is, when said signal has reached a threshold RAZ1 starting from which it must be considered to be active.

Thus, where the reinitialisation signal is active in the low state, the means for detecting the reinitialisation request signal detect the level of this signal and bring about the prohibition of the application of a voltage necessary for programming when the level is less than or equal to the threshold. Conversely, when this signal is active in the high state, the inhibiting of the application of the programming voltage is brought about when the reinitialisation request signal reaches a level close to the value of the nominal operating voltage of the logic circuits of the device.

Known circuits allow a reinitialisation request to be performed automatically on reconnection to voltage, with the aid of a circuit measuring the supply voltage V_{cc} and furnishing a reinitialisation signal for example as soon as the minimum operating voltage $V_{cc,min}$ is reached, or when the value of the supply voltage is intermediate between the minimum value and the nominal value.

Preferably, as illustrated in Figure 1, the reinitialisation signal level detector (8) also brings about the application of the reinitialisation order to the processing unit (2). To this end, the input (81) of the detector (8) receives the reinitialisation signal issued for example after the system is connected to voltage. The means for obtaining this reinitialisation signal have not been represented here, in order not to complicate the figure.

One output (82) of the detector is connected to an input of the means (7) for inhibiting the programming voltage, and another output (83) of the detector is connected to the reinitialisation input of the processing unit. This structure means that, as long as the reinitialisation signal appearing at the input of the detector is not at a sufficient level, and as long as this signal is considered not to signify a reinitialisation request then, on the one hand, the output (82) of the detector (8) connected to an input of the inhibiting means (7) furnishes a signal such that the

application of the programming voltage can be authorised. As will be seen later, the inhibiting means (7) are also controlled by a detector (9) furnishing a signal prohibiting the application of the programming voltage if the minimum operating voltage of the logic circuits of the device has not been reached. Thus, in the absence of a reinitialisation request signal at the input (81) of the detector (8), and when the minimum operating voltage is reached, then the inhibiting means (7) authorise the application of the programming voltage, and if a request for programming the reprogrammable memory is made, then it can be taken into account.

When the first output (82) is in the state that has just been mentioned, since the reinitialisation signal is not sufficient to be considered active, then the detector (8) furnishes at its output (83) a signal corresponding to a non-activation of reinitialisation of the processing unit (2).

Preferably, the detector (8) is a threshold detector without hysteresis, so that, as soon as the value of the reinitialisation signal applied to its input (81) is such that this signal can be validated, then these outputs (82, 83) change to a state such that, on the one hand, the inhibiting means (7) are activated and, simultaneously, an order leading to the reinitialisation of the processing unit is applied to the input of the latter. Conversely, as soon as the level of the signal applied to the input (81) of the detector is such that this signal must no longer be considered active, then the outputs (82, 83) change to the opposite state. For example, if the nominal operating voltage of the logic circuits of the device is 5 volts, then the level appearing at the outputs of the detector changes instantaneously from 0 to 5 volts, or from 5 volts to 0 volts as soon as the signal applied to the input (81) of the detector crosses the switching threshold.

Finally, depending on whether it is considered that the active state of the reinitialisation signal is the low state or the high state, the switching threshold of the detector (8) is determined in a different way. For example, where the reinitialisation

request signal applied to the input (81) has to be considered active in the low state, which means that the value of this signal is likely to vary between the nominal operating value and the zero value, the appearance of a reinitialisation signal results in a transition of the signal applied to the input (81) of the detector (8), between the nominal value and the zero value. Conversely, when the reinitialisation request signal disappears, after the registers of the device have been reset to zero, then the signal applied to the input of the detector changes from the zero value to the nominal value. In other words, in such a case, a reinitialisation request signal that appears results in a falling edge of the signal applied to the input of the detector (8), and the disappearance of the reinitialisation request signal results in the appearance of a rising edge at the same input. This why, preferably, it is sufficient to design or choose the threshold detector in such a way that the switching threshold is comprised between the nominal supply value and the zero value. For example, if the nominal operating voltage of the circuits is 5 volts, and where the reinitialisation signal is active in the low state, the threshold detector will be selected so that switching occurs when the signal applied to the input (81) of the detector of the order of 4 volts, and in the case where the reinitialisation signal is active in the high state, the switching threshold will for example be 2 volts. Of course, these values are not limiting, but they show that it is preferable for the switching value to be close to the value for which the reinitialisation signal is not active but, in order for a change in state of this signal between its inactive state and its active state to be taken into account very rapidly, in order not to lose time for reinitialisation. This makes it possible to apply very rapidly the effective reinitialisation order to the processing unit on the one hand, and a signal bringing about the inhibition of the application of the programming voltage by the inhibiting means (7), on the other hand.

Thus it will be noted that, if a writing validation order is applied to the writing validation input WE of the reprogrammable memory (5), or if an erasing validation order is applied to the erasing validation input EE of said memory, while reinitialisation is taking place, then the application of one or other of these orders is inoperative since the programming voltage V_{pp} is inhibited.

Preferably, as illustrated in this figure, the inhibiting means (7) are interposed between the output of the converter (6), when it is present, and the programming voltage input V_{pp} of the non-volatile memory.

In fact, the assembly constituted by the inhibiting means (7) and the threshold detector circuit (8), for detecting the inhibiting threshold RAZ1, constitutes an electronic threshold switch, permitting the output voltage of the converter (6) to be applied to the input of the reprogrammable memory (5) when the reinitialisation request signal RAZ reaches a sufficient value RAZ1 at which it can be taken into account in order to bring about the reinitialisation of the logic circuits of the device.

Writing WE or erasing EE validation orders are issued by the central unit (2). Now, as long as the logic circuits of the central unit (2) have not been stabilised, a writing or erasing validation signal can be transmitted accidentally to the non-volatile memory. In consequence, in a variant not shown, circuits to inhibit these signals, also controlled by the threshold detector (8), are provided in order to prohibit the transmission of such a signal which would be issued by the central unit (2) as long as the reinitialisation signal does not have a sufficient value. However, in any case, it is necessary to retain some means (7) for inhibiting the programming voltage V_{pp} , since it can happen that transient signals specific to the internal electronic circuits of the reprogrammable memory (5) are generated inside the latter, particularly in the writing or erasing validation circuits which, particularly during connection to voltage, could lead to the uncontrolled erasing or writing of data in the reprogrammable memory.

This is why it is preferable, if the circuits for inhibiting the application of the writing or erasing validation voltages are present, for the means (7) for inhibiting the application of the programming voltage to remain present.

In Figure 1 an illustration has also been given of the presence of a circuit (9), the input of which receives the supply voltage V_{cc} of the device and the output of which

is connected to the means (7) for inhibiting the programming voltage. This circuit (9) is a threshold detector, the function of which is to prohibit the application of the programming voltage each time the supply voltage V_{cc} drops below a given value which is the minimum value for which the logic circuits of the device function correctly. This circuit is known in itself, and it was in fact mentioned in the preamble to the present application. In addition to the circuits specific to the present invention, which are active during the phases of reinitialising the system, this circuit makes it possible to prohibit the application of the programming voltage when the device is connected to or disconnected from voltage, or if there is an accidental drop in voltage.

The action of this detector (9) associated with the inhibiting means (7) is in addition to the action of the detector (8) of the reinitialisation signal level RAZ1 associated with said means (7) for inhibiting the application of the programming voltage, such that the programming voltage V_{pp} cannot be applied to the corresponding input terminal of the reprogrammable memory (5) when either the level of the supply voltage V_{cc} or the level of the reinitialisation request signal is incompatible.

Figure 2 illustrates a principle for constituting inhibiting means (7) when only the value of the reinitialisation signal is taken into account to determine the authorisation or prohibition of the application of the programming voltage to the reprogrammable memory (5). The inhibiting means (7) are for example constituted by a transistor assembly (73) operating in all-or-nothing mode, which allows the programming voltage V_{pp} to flow when the reinitialisation request signal is no longer active. To this end, the internal circuit of the inhibiting means (7) is mounted so that the electrode (74) controlling the transistor assembly (73) receives the signal from the circuit (8) for detecting the value of the reinitialisation request signal. The input (71) of the inhibiting means is connected to the output of the converter (6) or, in general, to the circuit furnishing the programming voltage, if it is independent of the supply circuit for the logic circuits, and the output (72) of the inhibiting means (7) is connected to the input of the programming voltage V_{pp} of the reprogrammable memory (5). For

example, the signal applied to the input (71) of the inhibiting means (7) is transmitted to the drain of the MOS transistor assembly, while the output (72) is connected to the source of the same assembly. In this case, a resistor (75) is placed between the control electrode, that is, the gate, and earth.

Preferably, the detector circuit (8) is a threshold detector without hysteresis. This circuit is chosen so as to issue at its output a signal making the transistor assembly (73) conductive when the reinitialisation signal is no longer active.

As a result, while the reinitialisation request signal is active, the application of the programming voltage V_{pp} is prohibited by the inhibiting circuit (7).

Figure 3 illustrates not only the case where is the reinitialisation request signal taken into account in order to inhibit the application of the programming voltage V_{pp} on the reprogrammable memory (5), but also the case where the level of the supply voltage to the logic circuits of the device is also taken into account. The control means (7) are in this case arranged so as to take account of the signal coming from the detector (8) of the level of the reinitialisation request signal and/or the signal from the detector (9) of the level of supply voltage. The detector (9) is also a threshold detector, which furnishes at its output a control signal for the inhibiting means (7), authorising programming, if a request to this effect takes place, when the supply voltage is comprised between the minimum value V_{ccmin} for which the logic circuits start to function correctly and the nominal supply voltage V_{ccnom} . Thus, in the case of circuits supplied at a nominal voltage of 5 volts, the detector (9) furnishes a signal authorising the application of the programming voltage as soon as the voltage is for example 4 volts, where the logic circuits function correctly starting from 3 volts.

The control means (7) are, in this case, arranged for example as follows: they comprise the first transistor (73) already mentioned which receives at one of its electrodes the signal from the converter (6), another electrode of which is connected via the output (72) of the inhibiting means (7) to the input V_{pp} of the reprogrammable

memory (5); the control electrode (74) of said transistor receives the signal from the detector (8) for measuring the level of the reinitialisation request signal, and a second transistor (76), the control electrode (77) of which is connected to the output of the supply voltage detector (9), is inserted between the resistor (75) and the common point of the output of the detector (8) and the control electrode (74) of the first transistor (73), such that a second electrode of this second transistor (76) is connected to said common point, and its third electrode is connected to the resistor (75).

In this case, the first transistor (73) is conductive when a signal is applied to its control electrode (74) via the reinitialisation request signal detector (8) and when, simultaneously, the second transistor (76) is not conductive. In order for this second transistor (76) to be conductive, so as to inhibit programming, it is necessary for a signal to be applied to its control electrode (77), which is the case when the detector (9) detects that the supply voltage is less than the minimum value for correct operation of the logic circuits of the device.

Of course, any other type of assembly is possible, and the figures that have just been described are just one illustration of the operating principle of the device. The most important thing is that the means (7) for inhibiting the programming voltage constitute a controlled switch which authorises the application of said programming voltage V_{pp} only when the supply value is correct and when the reinitialisation signal is not active.

Furthermore, it will be observed in this figure that the detector (8) comprises a single output connected both to the control electrode of the inhibiting means and to the reinitialisation input of the processing unit (2). This may be envisaged in cases where the technology used allows the same signal level to be used for both control and reinitialisation.

The circuit that has just been illustrated does however have the disadvantage that the application of the programming voltage is authorised as soon as the reinitialisation order disappears. Because of the response times of the various circuits, it can happen that the order to de-inhibit the application of the programming voltage is taken into account before the reinitialisation order has disappeared, and that a transient occurs simultaneously in the processing circuits, which validates an erasing or writing order in an uncontrolled manner, so that erratic information may possibly be recorded in the reprogrammable memory.

This is why, in one variant, the principle of which is illustrated by Figure 4, two circuits are provided for detecting the level of the signal requesting the reinitialisation of the circuits: a first detection circuit (8 bis), the output of which is connected to the means (7) for inhibiting the programming voltage, and a second detection circuit (10), the output of which is connected to the reinitialisation input of the processing unit (2). The two detection circuits (8 bis, 10) have different detection thresholds (RAZ1, RAZ2) such that, when a reinitialisation request signal RAZ appears at the input of these circuits, the first circuit (8) furnishes a signal to inhibit the means (7) before the second circuit (10) has activated the signal to reinitialise the processing unit (2) so that, when a reinitialisation request signal appears, the inhibition of the application of the programming voltage can be effective before the reinitialisation order is applied to the processing unit (2), and so that, when the reinitialisation request signal applied to the input of the detection circuits (8 bis, 10) changes from an active state to an inactive state, the de-inhibiting can take effect after the reinitialisation order applied to the corresponding input of the processing unit (2) has disappeared. Time-sequencing therefore occurs between the application of the various control signals, which makes the device operate more safely.

Thus, in all cases, inhibiting precedes the reinitialisation phase and de-inhibiting follows the end of the reinitialisation phase.

The circuit in Figure 4 is therefore very sophisticated since it allows the reinitialisation order of the circuits of the device to disappear before an application of programming voltage is authorised. What is more, this circuit comprises means for inhibiting the programming voltage when the minimum supply voltage has not been reached, such that, on connection to voltage, the authorisation of the application of programming voltage can take place only after the minimum operating voltage has been reached on the one hand, and on the other hand, when the reinitialisation signal is not active. In the event of accidental or intentional removal of the supply voltage, the presence of the circuit (9) for detecting the supply voltage leads to the inhibition of the authorisation to apply the programming voltage V_{pp} as soon as the supply voltage becomes less than or equal to the minimum voltage for correct operation.

It can however happen that the devices produced according to the variants described above do not totally reduce the risks of accidental erasing or writing in the reprogrammable memory (5) on reinitialisation.

Indeed, according to the variant produced, either the authorisation to apply the programming voltage is given at the same time that the reinitialisation order disappears, or said authorisation is delayed in relation to the disappearance of the reinitialisation order, but this delay depends solely on the speed of transition of the level of the reinitialisation signal voltage, which can be very fast.

Now, reinitialisation generally takes place according to a programmed sequence, controlled by the clock of the device, such that reinitialisation can, in certain exceptional cases, be prolonged after the signal itself has disappeared.

Now, the devices described with regard to the preceding variants are such that when the reinitialisation request signal is no longer active, an authorisation to apply the programming voltage is given. It can therefore happen, in this case, that writing or erasing takes place accidentally when reinitialisation has not completely finished,

starting from the moment when the authorisation to apply the programming voltage is granted, if a corresponding order appears.

The variant illustrated by Figure 5 makes it possible to avoid accidental programming when the reinitialisation request signal is no longer active while reinitialisation is not finished.

The device of the invention comprises at least one register (11), the output of which is connected to the means (7) for inhibiting the programming voltage V_{pp} of the reprogrammable memory (5), and the reinitialisation input of which is connected via a combinatorial circuit (12) on the one hand to the output of a circuit (13) that reinitialises automatically on connection to voltage, and on the other hand to the line requesting reinitialisation of the system during operation preferably via a detector (8) of the level of the reinitialisation request signal, so that said signal is taken into account starting from a given threshold. The data input of the register (11) is connected to a data output of the central unit (2), so as to be controlled by the latter.

Furthermore, the register (11) is connected to the clock (14) controlling the device.

This figure also shows the converter (6) between the power source V_{cc} and the means (7) for inhibiting the programming voltage.

The automatic reinitialisation circuit (13) is for example constituted by a voltage detector associated with a pulse generator which sends an order to reinitialise the register (11) as soon as the supply voltage V_{cc} reaches the minimum value for correct operation of the logic circuits of the device. After its reinitialisation, the output of the register (11) furnishes a signal such that the inhibiting means (7) prohibit the application of the programming voltage to the reprogrammable memory (5).

In order for the output of the register (11) to be placed in a configuration such that the means (7) for inhibiting the programming voltage authorise the application of said voltage to the reprogrammable memory (5), it is necessary for the processing unit (2) to load the register (11) in a configuration such that the output of this register is in an opposite state to that which it assumes on reinitialisation. For this, an output CV_{pp} of the processing unit (2) is connected to the data input of the register (11).

This device is therefore particularly sophisticated since the register (11) is placed in a configuration corresponding to an authorisation of the application of the programming voltage, only at the request of the processing unit, when there is actually a need to perform an erasing or writing operation. Thus, the inhibiting means (7) are activated as long as no writing or erasing is necessary, and security is considerable.

In one embodiment, the register (11) is constituted by an elementary storage cell which is preferably placed in a predetermined state on reinitialisation. It can however happen, in exceptional cases, that such a cell assumes a different state on reinitialisation which, in the case in point, would lead to the authorisation of the application of the programming voltage. This is why, as illustrated by this Figure 5, the application of writing WE or erasing EE validation signals is preferably also subject to the state of registers (15, 16) which are initialised on connection to voltage in a state corresponding respectively to the prohibition of application of the writing validation signal and the erasing validation signal. In this Figure 5, the outputs of these two latter registers (15, 16) are connected respectively to the writing WE and erasing EE validation inputs of the reprogrammable memory (5). Such a direct connection is made in the case where the output levels of said registers are compatible with the input levels necessary for validating writing or erasing in the reprogrammable memory. In the event of the levels not being compatible, then it is necessary to provide a converter between the output of a register and the corresponding input of the reprogrammable memory. When a writing or erasing operation has to be performed, then the processing unit loads at

its output (CV_{pp}), in synchronism with the clock, the register (11) controlling the inhibiting means (7) in a state authorising the application of the programming voltage and, simultaneously, it loads the register (15 and/or 16) in a state corresponding to the authorisation of the application of the writing and/or erasing validation signal, depending on the operation required. Outputs (CWE, CEE) of the processing unit (2) are connected for this purpose to the data inputs of the registers (15) and (16) respectively.

This embodiment is particularly advantageous since it can happen that one of the registers assumes an unwanted state on reinitialisation, but it is improbable that all the registers will accidentally assume an undesired configuration.

Figure 6 illustrates a variant in which the registers (11, 15, 16) are shift registers, in a serial input and parallel outputs, which therefore each comprise a non-unitary number of multivibrators or cells, the reinitialisation inputs of which are shared, and connected to the combinatorial circuit (12) identical to that in Figure 5 receiving either the automatic reinitialisation signal, on connection to voltage, or a signal requesting reinitialisation during operation, and the loading of which, which takes place sequentially, is synchronised by the clock (14) of the device, such that the processing unit has to execute a routine comprising several instructions in order to load each one of these registers. In a similar manner to Figure 5, the processing unit comprises outputs (CV_{pp} , CWE, CEE) connected to the data inputs of the registers 11, 15, 16 respectively, in order to permit the loading of the registers required by the desired operation. Furthermore, a single loading configuration for each of these registers authorises the application of the signal it controls, that is, it authorises the application of the programming voltage V_{pp} for the register (11), it authorises the application of the writing validation signal WE for the register (15), and it authorises the application of the erasing validation signal EE for the register (16).

This is why, in the embodiment illustrated by this Figure 6, each register is associated with a different combinatorial circuit: a first one (17) for the register (11) authorising the programming voltage, a second one (18) for the register (15) authorising the application of the writing validation signal, and a third one (19) for the register (16) authorising the application of the erasing validation signal. Each combinatorial circuit contains as many inputs as the corresponding register contains multivibrators, such that the state of each of the multivibrators of a register is passed on at any time to the corresponding combinatorial circuit. Furthermore, the combinatorial circuit corresponding to a register has just one output which is connected to the corresponding input of the reprogrammable memory which it controls. This connection is direct if the signals are compatible, or takes place via adapter or converter circuits if the signals are not compatible. Thus, in the example illustrated, the output of the circuit (17) associated with the register (11) is connected to the control input of the means (7) for inhibiting the programming voltage V_{pp} , while the outputs of the combinatorial circuits (18 and 19) are directly connected respectively to the writing validation and erasing validation inputs of the reprogrammable memory (5).

In one embodiment, the combinatorial circuits (17, 18, 19) use, in combination, known logic functions such as the OR, EXCLUSIVE OR functions, etc.

The device described in Figure 6 functions as follows: when writing is required, the register (11) must assume a state corresponding to the authorisation of the application of the programming voltage V_{pp} , and the register (15) must simultaneously assume a state corresponding to the authorisation of the application of the writing validation signal WE, by executing particular loading routines for each of these registers. Similarly, to authorise an erasing operation, the register (11) for authorising the application of the programming voltage V_{pp} must be loaded, then the register (16) authorising the application of the erasing validation signal EE.

It will therefore be understood in this case that the device is particularly reliable, since the multiplication of the number of cells necessary in order to set up each register makes it very unlikely that accidental initialisation positions them in a state corresponding to authorisation of the corresponding command.

The embodiment in Figure 6, with three different registers, requires the selection and appropriate loading of at least two registers at the time of a writing or erasing operation. The register authorising the application of the programming voltage, and the register corresponding to the validation signal for the chosen operation, must be selected systematically. Furthermore, depending on whether the erasing of the non-volatile memory will be total or partial, it would be possible to produce particular combinations of the output state of these various registers. As a result, each of these registers must be connected to a different output of the processing unit, or connected to the same output, and means for selecting one and/or the other are needed in order to load the registers required by a given programming operation.

Figure 7 illustrates a variant in which all the registers are combined so as to form a single shift register (20) which is connected to a combinatorial circuit (21) comprising as many inputs as the register has multivibrators, and which comprises an output (210) controlling the application of the programming voltage V_{pp} , an output (211) controlling the writing validation signal WE, and an output (212) controlling the erasing validation signal EE. This structure makes it possible to use just one addressing mode when a writing or erasing operation has to be performed, leading to systematic loading of the register (20). In this case, the register will be loaded with different contents according to whether an operation of writing or of total or partial erasing of the content of the reprogrammable memory (5) is concerned. To this end, a loading output (CC) of the processing unit (2) is connected to the serial data input of the register (20).

Furthermore, the reinitialisation of the register (20) takes place in a similar way to what happens in the case of Figure 6, that is, it takes place either at the time of

connection to voltage by application of an automatic reinitialisation signal by the circuit (13) reacting as a function of the level of the supply voltage V_{cc} , or on a reinitialisation order RAZ during the normal operation of the device, a combinatorial circuit (12) performing a logic OR function making it possible to take account indiscriminately of one or other of these orders.

In order to implement this device, it is necessary to provide in the program memory as many routines as there are possibilities for acting on the reprogrammable memory (5): for example a routine corresponding to complete erasing of said memory, and a routine corresponding to partial erasing, and a routine corresponding to writing of new data, must be provided.

Furthermore, it is possible to envisage several different ways of loading the shift register controlling the operations of erasing/writing to the reprogrammable memory.

As envisaged previously, the program memory can contain several complete routines each corresponding to a specific operation (writing, total or partial erasing) to be performed on the reprogrammable memory (5).

The different variants that have just been described offer an increasing degree of security on reinitialisation of the device, in order to prevent the data contained in the reprogrammable non-volatile memory (5) being modified or erased. The choice of one or other of these variants is made as a function of the complexity of the device and/or the level of security required.

If the processing unit accidentally executes untimely address skips, the diverse variants that have just been described do not, however, prevent the program from being executed according to an uncontrolled sequencing which can, in certain cases, lead to unwanted changes in the reprogrammable memory (5).

This is why, in one method of implementation, the memory (3) containing the operating program of the processing unit does not contain any complete routine allowing writing or erasing of the reprogrammable memory (5). Thus, when there is an untimely address skip, the processing unit cannot control an operation of this type in error.

To this end, the program is arranged so that a routine for writing to or erasing the reprogrammable memory (5) can be written to the volatile memory (4): this consists of recording instructions in the volatile memory in the form of data.

When all the instructions are written to the volatile memory (4), the program contained in the memory (3) connects with this routine recorded in the volatile memory, and said routine is then executed. At the end of the writing or erasing operation, the program contained in the memory (3) resumes control of the operations, erasing by priority the routine contained in the volatile memory (4). Thus, the routine can no longer be executed.

Naturally, this solution can only be envisaged if the volatile memory (4) allows the program to be executed there.

This solution can be envisaged in order to perform a routine for loading the shift register(s) which have been described with regard to Figures 6 and 7, but naturally it can also be applied to the loading of a much simpler routine in the volatile memory which would control the application of the programming and erasing and/or writing orders, on implementation of the variants illustrated in Figures 1 to 5.

The invention is therefore particularly easy to implement on any type of data processing device, in which the reprogrammable memory (5) can be either totally or partly reprogrammed by the processing unit (2), in the same way that it is conceivable that it can be applied to monolithic or other devices. Thus, it applies particularly to autoprogrammable monolithic microprocessors in which the

programming voltage V_{pp} of the non-volatile memory is furnished from the general supply voltage source, and for which security must be provided on connection to and disconnection from voltage, and during the reinitialisation phases.

CLAIMS

1. A data processing device, comprising a processing unit (2), a non-volatile, erasable and electrically reprogrammable memory (5) at least under the partial control of the processing unit by means of at least one programming signal (V_{pp} , WE, EE), means (8, 8bis, 12, 13) for detecting a signal requesting the reinitialisation of the device, and inhibiting means (7, 11, 15, 16, 20) arranged so as to prevent said programming signal from acting on the non-volatile memory at least while the reinitialisation request signal is at a level suitable for activating the reinitialisation, the inhibiting means being activated by the detection means, characterised in that it comprises means (13) such as a threshold detector for issuing a reinitialisation request signal upon the connection to voltage of the device when the supply value (V_{cc}) of this device has reached a minimum value ($V_{cc\ min}$) for which the logic circuits of the device function correctly, together with internal means for requesting reinitialisation during operation; the inhibiting means (7, 11, 15, 16, 20) are connected so as to take account impartially of one or other of these reinitialisation request signals and comprise at least one register (11, 15, 16, 20) comprising an input for receiving said reinitialisation signals, and an output connected to means (21) for commanding at least one of the signals (V_{pp} , WE, EE) necessary for programming the reprogrammable memory (5), this register being arranged so that a reinitialisation order positions it in a configuration corresponding to inhibiting of programming, and having a single programming configuration in accordance with which it has to be loaded in order to authorise programming, the loading of a register taking place via an appropriate output (CV_{pp} , CWE, CEE) of the processing unit, in synchronism with a clock of the device.

2. A device according to Claim 1, in which said register comprises a plurality of cells (100 to 112; 150 to 152; 160 to 162) supplying activation signals in respect of a combinational circuit (17 to 20), said combinational circuit being arranged so as to send said programming signal to the non-volatile memory only when it receives activation signals corresponding to said programming configuration of the register.
3. A device according to Claim 1, in which the register includes a shift register (20) having a single input connected to the processing unit and as many outputs as there are programming signals that have to be transmitted to the non-volatile memory.
4. A device according to Claim 1, in which the programming signal comprises a supply signal (V_{pp}), a writing command signal (WE), and an erasing command signal (EE).
5. A device according to Claim 1, which includes a volatile memory (4), the loading of said programming configuration in the register taking place by means of a configuration program comprising executable instructions located in the volatile memory.
6. A device according to Claim 5, in which said executable instructions are loaded into volatile memory by the processing unit when the device receives a signal requesting the programming of the non-volatile memory.
7. A device according to Claim 5, which comprises means for erasing said instructions loaded in the volatile memory (4) as soon as they have been executed.
8. A data processing device according to any one of the preceding claims, characterised in that the detection means comprise first detection means (8,

8bis, 12, 13) arranged so as to detect a first level (RAZ1) of the reinitialisation request signal and to activate the inhibiting means as long as the level of this signal is comprised between said first level and said active level.

9. A data processing device according to Claim 8, characterised in that an output (83) of the first detection means (8) is connected to the reinitialisation input of the processing unit (2) so as to apply to it a reinitialisation order when the reinitialisation request signal has reached said first level.
10. A data processing device according to Claim 8, characterised in that it comprises second means (10) for detecting a second level (RAZ2) of the reinitialisation request signal, the output of which is connected to the reinitialisation input of the processing unit (2), so as to validate the application of a reinitialisation order to the processing unit (2), after the first detection means (8, 8bis) have led to the inhibition of the application of at least one of the signals necessary for programming, and so as to invalidate the reinitialisation order before inhibition is authorised by the first means.

1 / 4

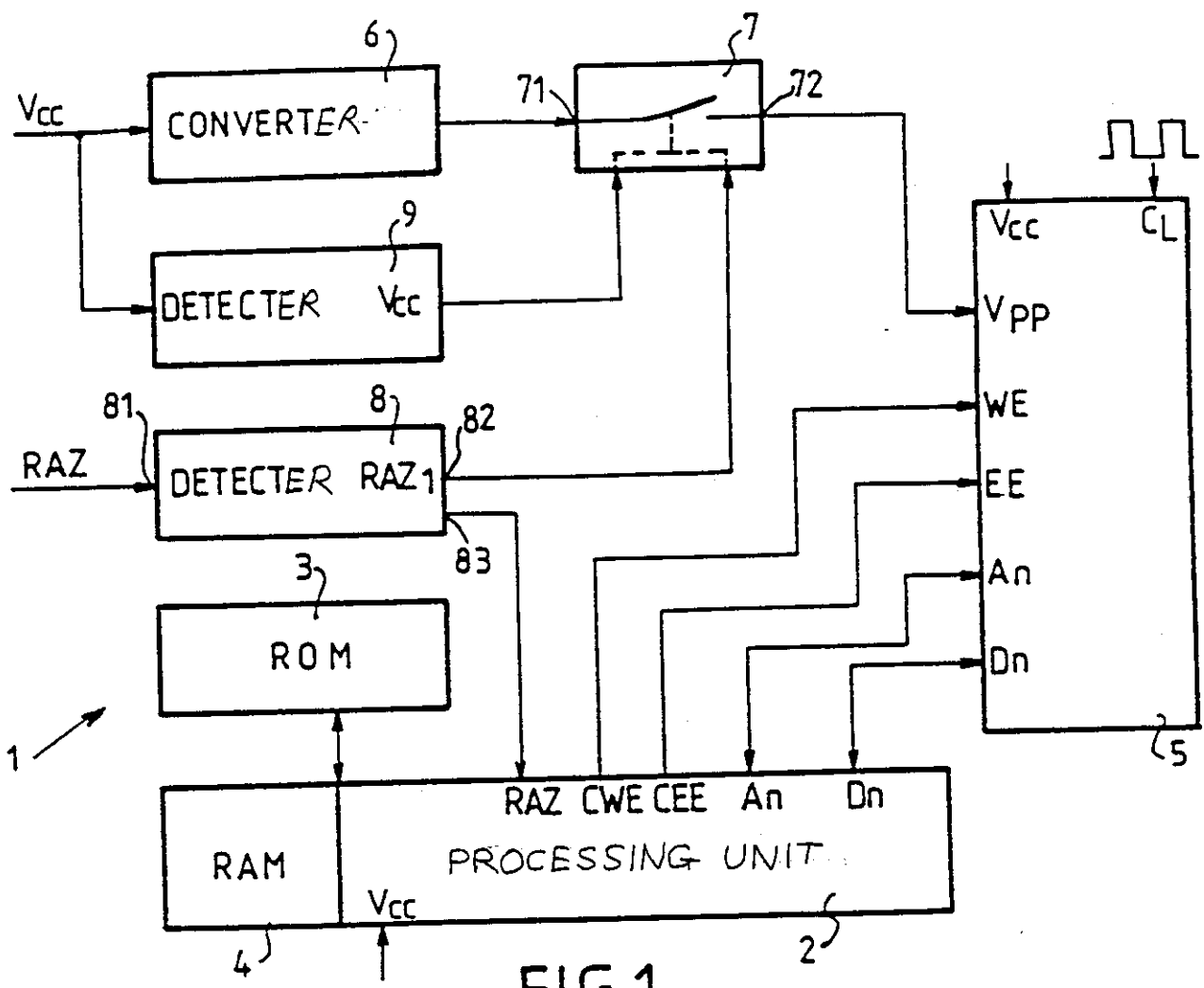


FIG.1

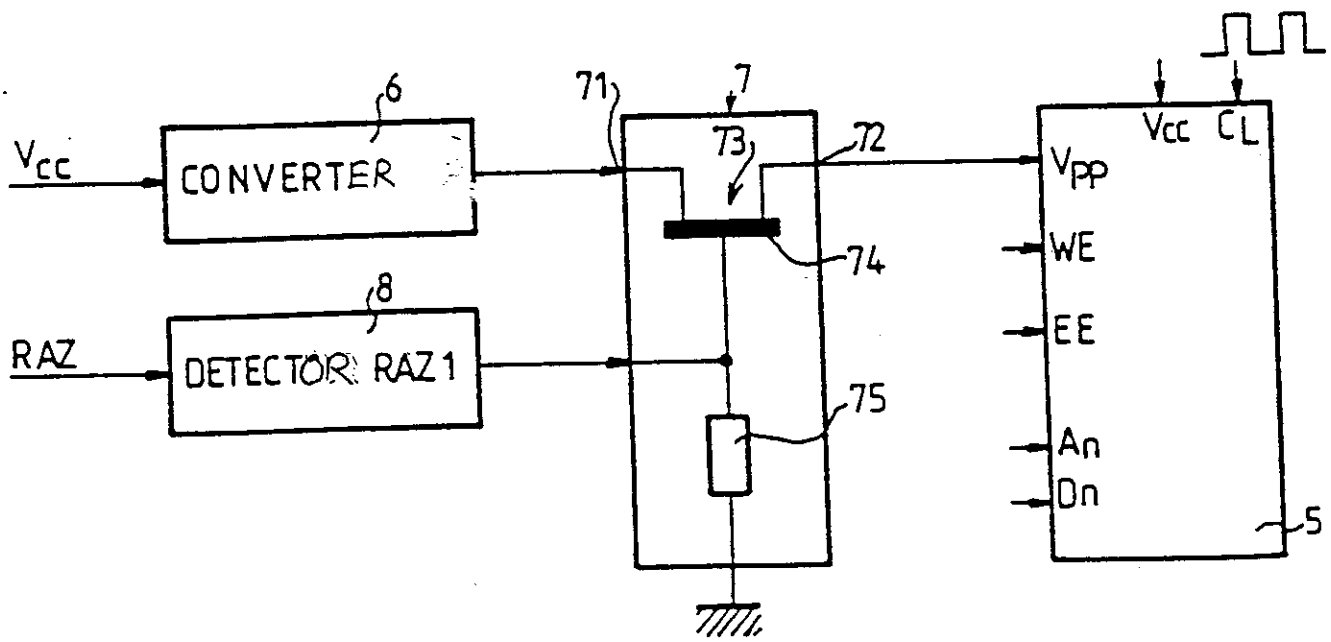
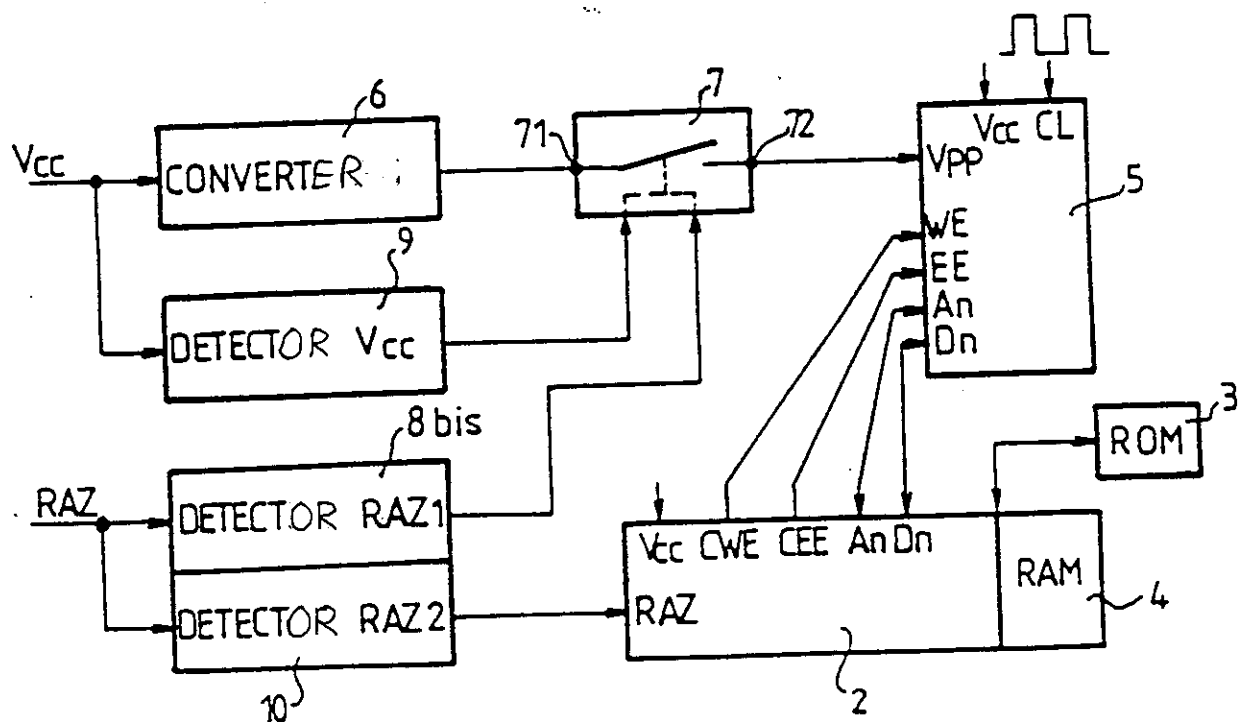
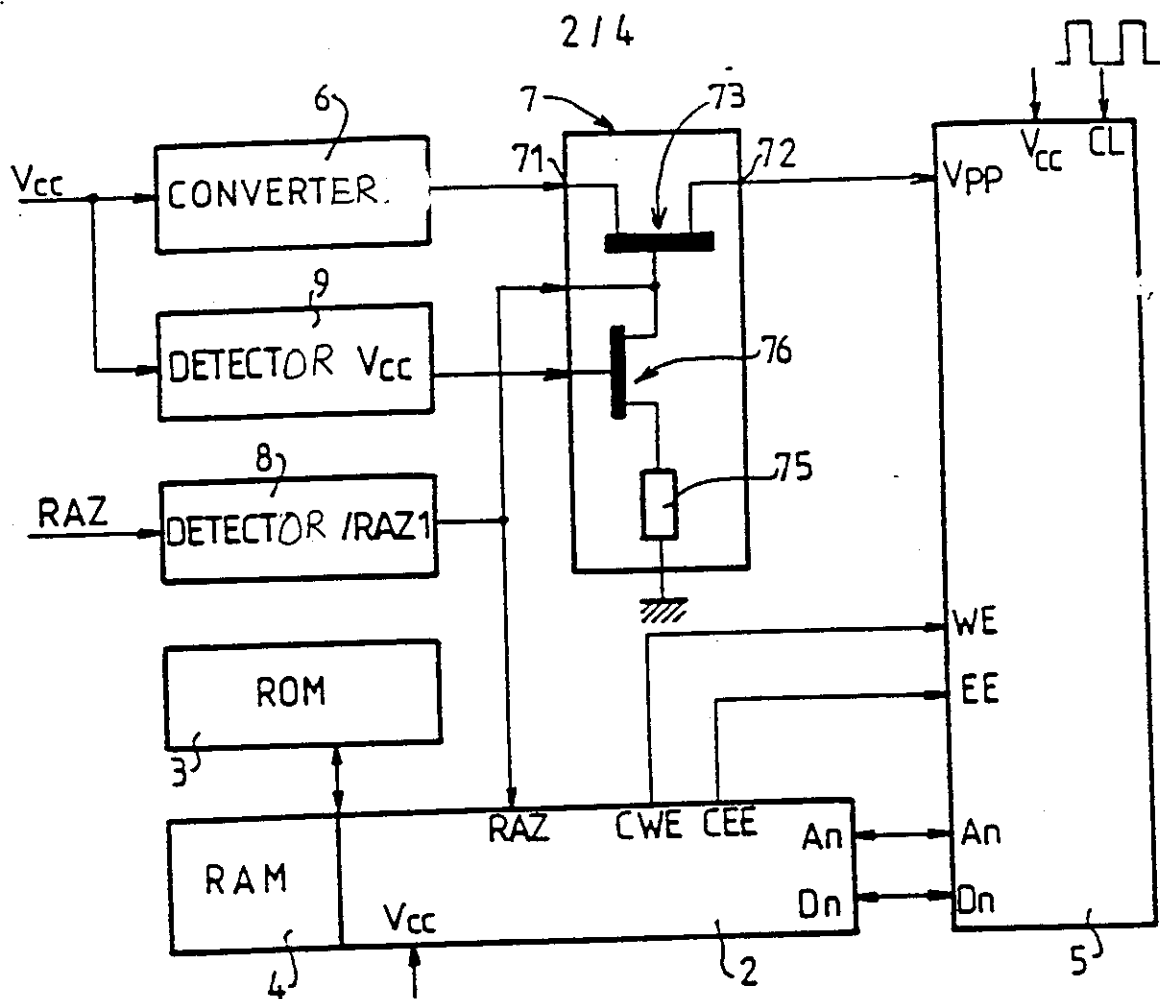


FIG.2



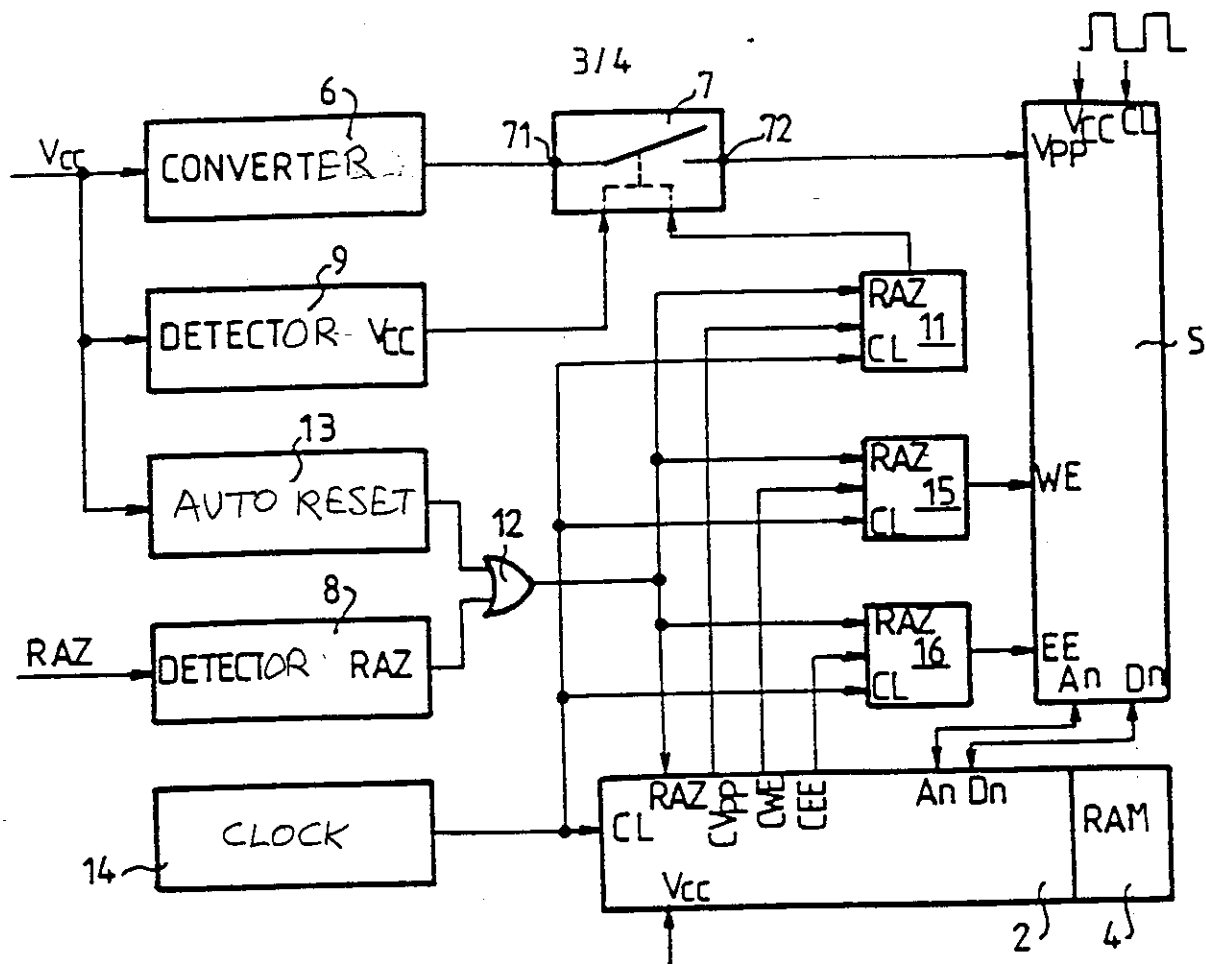


FIG. 5

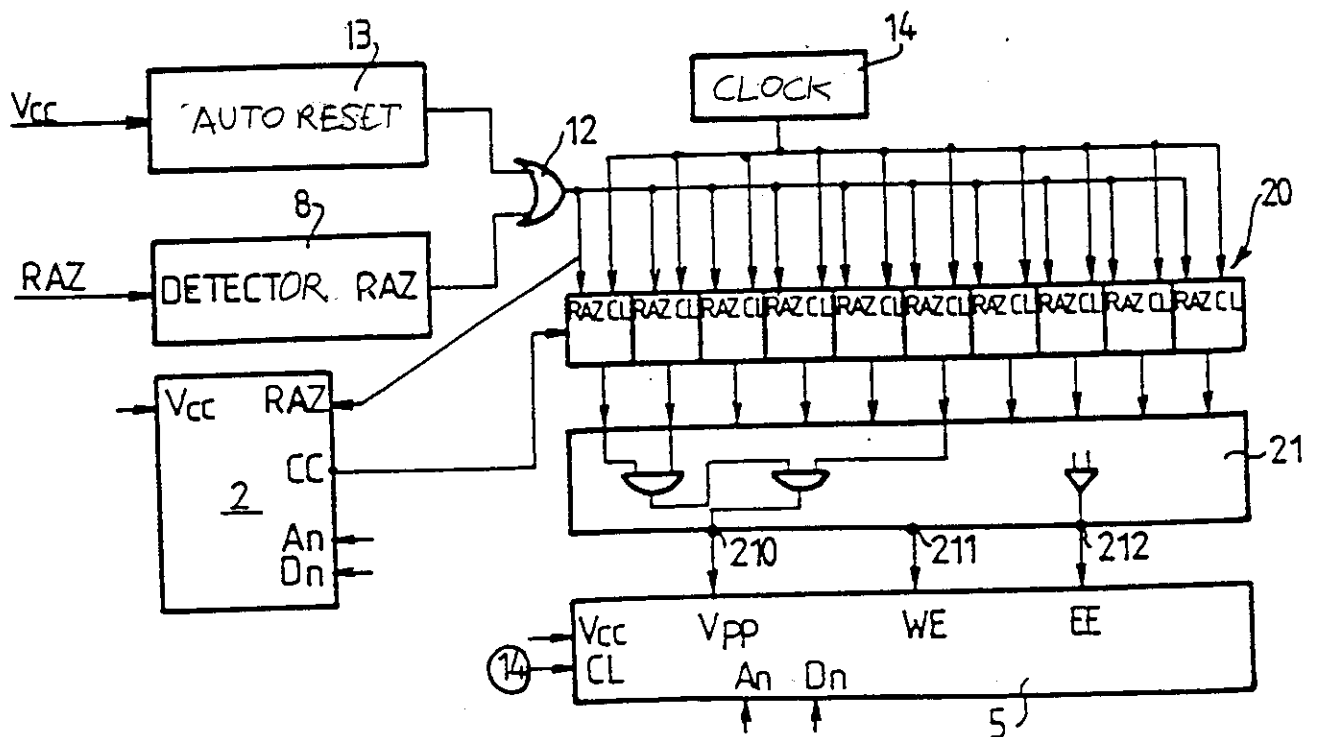


FIG. 7

REGISTER ENTRY FOR EP0377368

European Application No EP89403533.6 filing date 19.12.1989

Application in French

Priority claimed:

20.12.1988 in France - doc: 8816788

Designated States BE CH DE ES FR GB GR IT LI LU NL SE AT

Title DATA-PROCESSING DEVICE HAVING A NON-VOLATILE ELECTRICALLY ERASABLE AND
REPROGRAMMABLE MEMORY.

Applicant/Proprietor

BULL CP8, Rue Eugène Hénaff BP 45, F-78190 Trappes, France

[ADP No. 50542315001]

Inventor

MICHEL UGON, 6, Rue des Cépages, F-78310 Maurepas, France

[ADP No. 57610990001]

Classified to

G11C

Address for Service

BARON & WARREN, 18 South End, Kensington, LONDON, W8 5BU, United Kingdom

[ADP No. 00000281001]

EPO Representative

YVES DEBAY, BULL S.A. Industrial Property Department P.C.: HQ 8M006 B.P.

193.16 121 avenue de Malakoff, F-75764 Paris Cédex 16, France

[ADP No. 50792357001]

Publication No EP0377368 dated 11.07.1990 and granted by EPO 13.03.1996.

Publication in French

Examination requested 25.07.1990

Patent Granted with effect from 13.03.1996 (Section 25(1)) with title

DATA-PROCESSING DEVICE HAVING A NON-VOLATILE ELECTRICALLY ERASABLE AND
REPROGRAMMABLE MEMORY. Translation filed 27.03.1996

25.06.1990 Notification from EPO of change of EPO Representative details from
YVES DEBAY, BULL S.A. Industrial Property Department P.C.: HQ 8M006
B.P. 193.16 121 avenue de Malakoff, F-75764 Paris Cédex 16, France

[ADP No. 50792357001]

to

YVES DEBAY, BULL S.A. Industrial Property Department P.C.: HQ 8M006
B.P. 193.16 121 avenue de Malakoff, F-75764 Paris Cédex 16, France

[ADP No. 50765312001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

12.10.1994 BARON & WARREN, 18 South End, Kensington, LONDON, W8 5BU, United
Kingdom

[ADP No. 00000281001]

registered as address for service

Entry Type 8.11 Staff ID. SS1 Auth ID. AA

28.04.1995 Notification from EPO of change of EPO Representative details from
YVES DEBAY, BULL S.A. Industrial Property Department P.C.: HQ 8M006
B.P. 193.16 121 avenue de Malakoff, F-75764 Paris Cédex 16, France
[ADP No. 50765312001]

to

BERNARD EDOUARD CORLU, Direction de la Propriété Intellectuelle
BULL SA, Poste courrier: LV59C18, 68 route de Versailles, F-78430
Louveciennes, France [ADP No. 61145033001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

27.10.1995 Notification from EPO of change of Applicant/Proprietor details
from

BULL CP8, Rue Eugène Hénaff BP 45, F-78190 Trappes, France

[ADP No. 50542315001]

to

CP8 TRANSAC, BP 45, 68, Route de Versailles, F-78430 Louveciennes,
France [ADP No. 07160229001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

16.04.1996 Patent Granted with effect from 13.03.1996 (Section 25(1)) with
title DATA-PROCESSING DEVICE HAVING A NON-VOLATILE ELECTRICALLY
ERASABLE AND REPROGRAMMABLE MEMORY. Translation filed 27.03.1996

Entry Type 2.2 Staff ID. AB2 Auth ID. F54

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

03/03/97 10:50:47
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0377368 /

PROPRIETOR(S)

CP8 TRANSAC, BP 45, 68, Route de Versailles, F-78430 Louveciennes,
France

DATE FILED 19.12.1989 /

DATE GRANTED 13.03.1996 /

DATE NEXT RENEWAL DUE 19.12.1997

DATE NOT IN FORCE

DATE OF LAST RENEWAL 12.11.1996

YEAR OF LAST RENEWAL 08

STATUS PATENT IN FORCE

**** END OF REPORT ****