

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6511867号  
(P6511867)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl.	F I		
<b>H03M 1/74 (2006.01)</b>	H03M 1/74		
<b>H03M 1/08 (2006.01)</b>	H03M 1/08	B	
<b>H03M 3/02 (2006.01)</b>	H03M 3/02		
<b>H03K 17/693 (2006.01)</b>	H03K 17/693	A	
<b>H03K 17/16 (2006.01)</b>	H03K 17/16	Z	

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2015-41228 (P2015-41228)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成27年3月3日(2015.3.3)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2016-163215 (P2016-163215A)	(74) 代理人	110000567 特許業務法人 サトー国際特許事務所
(43) 公開日	平成28年9月5日(2016.9.5)	(72) 発明者	川原 彰悟 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審査請求日	平成29年6月28日(2017.6.28)	(72) 発明者	根塚 智裕 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	竹内 亨

最終頁に続く

(54) 【発明の名称】 D/A変換回路

(57) 【特許請求の範囲】

【請求項1】

低電位端子(L)、中間電位端子(M)、高電位端子(H)のうちいずれかの端子の電位をアナログ出力として選択して出力端子(10a)に出力する低電位用スイッチ、中間電位用スイッチ、高電位用スイッチを備え、

デジタル信号のレベルに応じて前記低電位用スイッチ、前記中間電位用スイッチおよび前記高電位用スイッチのいずれかを選択して前記出力端子に出力する制御部(16)を備え、

前記高電位用スイッチは、前記高電位端子(H)と前記出力端子(10a)との間に接続される第1のp型MOSトランジスタ(11)を備え、

前記低電位用スイッチは、前記低電位端子(L)と前記出力端子(10a)との間に接続される第1のn型MOSトランジスタ(14)を備え、

前記中間電位用スイッチは、前記中間電位端子(M)と前記出力端子(10a)との間に接続され、前記第1のp型MOSトランジスタ(11)よりも低閾値電圧の第2のp型MOSトランジスタ(12)および前記第1のn型MOSトランジスタ(14)よりも低閾値電圧の第2のn型MOSトランジスタ(13)の直列回路を備え

ていることを特徴とするD/A変換回路。

【請求項2】

請求項1に記載のD/A変換回路において、

前記中間電位用スイッチは、前記第2のn型MOSトランジスタ(13)が前記出力端

子(10a)側に接続されていることを特徴とするD/A変換回路。

【請求項3】

請求項1に記載のD/A変換回路において、

前記中間電位用スイッチは、前記第2のp型MOSトランジスタ(12)が前記出力端子(10a)側に接続されていることを特徴とするD/A変換回路。

【請求項4】

請求項1から3のいずれか一項に記載のD/A変換回路において、

前記低電位用スイッチ、高電位用スイッチおよび中間電位用スイッチを制御する制御部(16)を備え、

前記制御部は、

前記高電位を出力するときに、前記第1のp型MOSトランジスタ(11)および前記第2のp型MOSトランジスタ(12)をオン、前記第1のn型MOSトランジスタ(14)および前記第2のn型MOSトランジスタ(13)をオフさせ、

前記中間電位を出力するときに、前記第2のp型MOSトランジスタ(12)および第2のn型MOSトランジスタ(13)をオン、前記第1のp型MOSトランジスタ(11)および第1のn型MOSトランジスタ(14)をオフさせ、

前記低電位を出力するときに、前記第1のn型MOSトランジスタ(14)および前記第2のn型MOSトランジスタ(13)をオン、前記第1のp型MOSトランジスタ(11)および前記第2のp型MOSトランジスタ(12)をオフさせることを特徴とするD/A変換回路。

【請求項5】

請求項1から4のいずれか一項に記載のD/A変換回路において、

オーバーサンプリング型もしくはナイキスト型のA/D変換回路(2)に用いられることを特徴とするD/A変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D/A変換回路に関する。

【背景技術】

【0002】

半導体集積回路として例えば 型のA/D変換回路などのオーバーサンプリング型のA/D変換回路では、出力をフィードバックするためのD/A変換回路を用いることがある。ここで用いられる3レベルのD/A変換回路では、出力する電位としてVREFF-が0V、VCMが1.5V、VREFF+が3.0Vとされる。各出力の出口部分にはMOSトランジスタが設けられ、対応する制御信号を受けるとMOSトランジスタを介して出力端子へ電位を出力する。

【0003】

この場合、低電圧系のデバイスの製造工程で製造するものでは、上記構成の中間電位であるVCMを出力する際に、MOSトランジスタの基板バイアス効果を含んだ閾値に対して出力電位であるVCMの電位が近いため、オン抵抗が高くなる不具合がある。また、これを避けるため、低閾値のMOSトランジスタを使用する場合には、オフ時のDAC容量の電位が電源あるいはグランドに近い電位となったときにオフ抵抗が低くなってリーク電流が発生し、誤差が発生する不具合がある。

【0004】

このような不具合を解消する技術として、特許文献1、2および非特許文献1に開示されたものがあるが、いずれも、別の不具合を発生する。例えば、特許文献1のものでは、通常の閾値電圧を有するMOSトランジスタを用いて構成し、オン時にバックゲートを入力電圧と同電位とすることでオン抵抗を低減する構成としている。この構成では、バックゲートの制御をするため、基板電位のインピーダンスが高くなってノイズに弱くなる。また、それぞれのMOSトランジスタをウェル等で分離する必要があるため面積が大きくな

10

20

30

40

50

る。

【 0 0 0 5 】

また、特許文献 2 および非特許文献 1 のものでは、入出力範囲を広げるため、通常の閾値電圧を有する CMOS スイッチと、低閾値電圧の n 型、p 型の各 MOS トランジスタを備えた直列回路を並列に接続した構成としている。ところが、MOS トランジスタの直列回路の中間ノードがオフ時にフローティング状態となり、高速動作時は誤差が発生する恐れがある。さらに、3 レベル D / A 変換回路で使用する場合には、1 レベルについて不要な MOS トランジスタが設けられる分だけ面積が大となる。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 6 】

【 特許文献 1 】 特開昭 5 9 - 2 8 7 2 3 号公報

【 特許文献 2 】 米国特許第 6 , 3 5 9 , 4 9 6 号明細書

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 S.S.Bazarjani and W.M.Snelgrove, " Low Voltage SC Circuit Design with Low Vt MOS-FETs ", Proc.Of IEEE International Symposium on Circuits and Systems (ISCAS), pp.1021-1024, May 1995

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 0 8 】

本発明は、上記事情を考慮してなされたもので、その目的は、素子数や面積が増大するのを抑制し且つ高精度に電位を出力できる構成の D / A 変換回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

請求項 1 に記載の D / A 変換回路は、低電位端子 ( L )、中間電位端子 ( M )、高電位端子 ( H ) のうちいずれかの端子の電位を アナログ出力として 選択して出力端子 ( 1 0 a ) に出力する低電位用スイッチ、中間電位用スイッチ、高電位用スイッチを備え、デジタル信号のレベルに応じて前記低電位用スイッチ、前記中間電位用スイッチおよび前記高電位用スイッチのいずれかを 選択して前記出力端子に出力する制御部 ( 1 6 ) を備え、前記高電位用スイッチは、前記高電位端子 ( H ) と前記出力端子 ( 1 0 a ) との間に接続される第 1 の p 型 MOS トランジスタ ( 1 1 ) を備え、前記低電位用スイッチは、前記低電位端子 ( L ) と前記出力端子 ( 1 0 a ) との間に接続される第 1 の n 型 MOS トランジスタ ( 1 4 ) を備え、前記中間電位用スイッチは、前記中間電位端子 ( M ) と前記出力端子 ( 1 0 a ) との間に接続され、前記第 1 の p 型 MOS トランジスタ ( 1 1 ) よりも低閾値電圧の第 2 の p 型 MOS トランジスタ ( 1 2 ) および前記第 1 の n 型 MOS トランジスタ ( 1 4 ) よりも低閾値電圧の第 2 の n 型 MOS トランジスタ ( 1 3 ) の直列回路を備えていることを特徴とする。

30

【 0 0 1 0 】

40

上記構成を採用することにより、高電位を出力する場合には、制御信号は高電位用スイッチをオンさせ、中間電位用スイッチおよび低電位用スイッチをオフさせる。この場合、高電位用スイッチである第 1 の p 型 MOS トランジスタをオンさせ、低電位用スイッチである第 1 の n 型 MOS トランジスタをオフさせ、中間電位用スイッチの第 2 の p 型 MOS トランジスタをオン、同じく第 2 の n 型 MOS トランジスタをオフさせる。

【 0 0 1 1 】

これにより、高電位用スイッチを介して高電位の電圧が出力端子側に出力される。このとき、低電位用スイッチはオフとなって遮断される。また、中間電位用スイッチは、第 2 の p 型 MOS トランジスタがオンされ、第 2 の n 型 MOS トランジスタはオフ状態とされるので、第 2 の p 型 MOS トランジスタと第 2 の n 型 MOS トランジスタとの中間ノードは

50

フローティングではなくなり、第2のn型MOSトランジスタのソース/ドレイン間には一方に高電位が印加され、他方に中間電位が印加された状態でオフ状態となっている。この状態では、第2のn型MOSトランジスタは、ゲート-ソース間電圧が負となり、加えて基板バイアス効果が現れるため、確実にオフ状態に保持させることができ、リーク電流などを発生させることがない。

【0012】

同様にして、低電位を出力する場合には、制御信号は低電位用スイッチをオンさせ、中間電位用スイッチおよび高電位用スイッチをオフさせる。この場合、低電位用スイッチである第1のn型MOSトランジスタをオンさせ、高電位用スイッチである第1のp型MOSトランジスタをオフさせ、中間電位用スイッチの第2のn型MOSトランジスタをオン、同じく第2のp型MOSトランジスタをオフさせる。

10

【0013】

これにより、低電位用スイッチを介して低電位の電圧が出力端子側に出力される。このとき、高電位用スイッチはオフとなって遮断される。また、中間電位用スイッチは、第2のn型MOSトランジスタがオンされ、第2のp型MOSトランジスタはオフ状態とされるので、第2のp型MOSトランジスタと第2のn型MOSトランジスタとの中間ノードはフローティングではなくなり、第2のp型MOSトランジスタのソース/ドレイン間には一方に低電位が印加され、他方に中間電位が印加された状態でオフ状態となっている。この状態では、第2のp型MOSトランジスタは、ゲート-ソース間電圧が正となり、加えて基板バイアス効果が現れるため、確実にオフ状態に保持させることができ、リーク電流などを発生させることがない。

20

【0014】

一方、中間電位を出力する場合には、制御信号は中間電位用スイッチをオンさせ、高電位用スイッチおよび低電位用スイッチをオフさせる。この場合、中間電位用スイッチである第2のp型MOSトランジスタおよび第2のn型MOSトランジスタを共にオンさせ、高電位用スイッチである第1のp型MOSトランジスタおよび低電位用スイッチである第1のn型MOSトランジスタを共にオフさせる。

【0015】

これにより、中間電位用スイッチを介して中間電位の電圧が出力端子側に出力される。このとき、高電位用スイッチおよび低電位用スイッチは共にオフとなって遮断される。中間電位出力は、高電位用スイッチの第1のp型MOSトランジスタおよび低電位用スイッチの第1のn型MOSトランジスタのいずれに対しても動作に影響を与えることは無いので、オフ状態を保持させることができる。

30

【0016】

以上により、高電位、低電位および中間電位のいずれの出力状態においても、出力を確実に保持することができ、素子数や面積が増大するのを抑制し且つ高精度に電位を出力できる。

【図面の簡単な説明】

【0017】

【図1】第1実施形態を示す電氣的構成図

40

【図2】D/A変換回路の電氣的構成図

【図3】動作説明図

【図4】第2実施形態を示す電氣的構成図

【図5】第3実施形態を示す電氣的構成図

【発明を実施するための形態】

【0018】

(第1実施形態)

以下、本発明のD/A変換回路をA/D変換回路の構成中に適用した場合の第1実施形態について、図1～図3を参照して説明する。

図2は、この実施形態で用いるD/A変換回路1を適用した1次 (デルタシグマ)

50

型の A / D 変換回路 2 の概略構成を示している。この構成において、入力信号  $V_{in}$  は、減算器 3 の加算信号として入力され、減算結果の出力信号は積分器 4 に入力される。積分器 4 は量子化器 5 に接続され、その出力を出力信号  $V_{out}$  としている。また量子化器 5 の出力信号  $V_{out}$  は D / A 変換回路 1 を介して減算器 3 の減算入力とされている。

#### 【 0 0 1 9 】

以上の構成により、変調を行ってアナログ入力である入力信号  $V_{in}$  を出力信号  $V_{out}$  に変換して出力する。ここで、D / A 変換回路 1 は、3 つの電位として高電位  $V_{REF+}$ 、中間電位  $V_{CM}$ 、低電位  $V_{REF-}$  のアナログ出力を行う構成である。それぞれの電位は例えば、高電位  $V_{REF+}$  は 3 . 0 V、中間電位  $V_{CM}$  は 1 . 5 V、低電位  $V_{REF-}$  は 0 V である。A / D 変換回路 2 の出力信号  $V_{out}$  によって D / A 変換回路 1 の出力の電位が設定される。

10

#### 【 0 0 2 0 】

図 1 は上記した D / A 変換回路 1 の構成を示している。3 レベルの D / A 変換回路であり、3 つの端子として高電位端子 H、中間電位端子 M および低電位端子 L を備えている。高電位端子 H には高電位用の電源  $V_{REF+}$  ( 3 . 0 V )、中間電位端子 M には中間電位用の電源  $V_{CM}$  ( 1 . 5 V )、低電位端子 L には低電位用の電源  $V_{REF-}$  ( 0 V ) が接続される。出力端子 10 a には DAC 容量としてのコンデンサ 10 が設けられている。

#### 【 0 0 2 1 】

高電位端子 H は、p 型 MOS トランジスタ 11 を介して出力端子 10 a に接続される。中間電位端子 M は、低閾値電圧の p 型 MOS トランジスタ 12 および低閾値電圧の n 型 MOS トランジスタ 13 を直列に介して出力端子 10 a に接続される。低電位端子 L は、n 型 MOS トランジスタ 14 を介して出力端子 10 a に接続される。

20

#### 【 0 0 2 2 】

上記した各 MOS トランジスタ 11 ~ 14 は、p 型 MOS トランジスタ 11 が第 1 の p 型 MOS トランジスタ、n 型 MOS トランジスタ 14 が第 1 の n 型 MOS トランジスタ、低閾値電圧の p 型 MOS トランジスタ 12 が第 2 の p 型 MOS トランジスタ、低閾値電圧の n 型 MOS トランジスタ 13 が第 2 の n 型 MOS トランジスタとして機能するものである。また、p 型 MOS トランジスタ 11 が高電位用スイッチ、n 型 MOS トランジスタ 14 が低電位用スイッチ、低閾値電圧の p 型 MOS トランジスタ 12 および n 型 MOS トランジスタ 13 が中間電位用スイッチとして機能するものである。

30

#### 【 0 0 2 3 】

そして、p 型 MOS トランジスタ 12 および n 型 MOS トランジスタ 13 の閾値電圧は、p 型 MOS トランジスタ 11 および n 型 MOS トランジスタ 14 の閾値電圧よりも低い閾値電圧に形成されている。

#### 【 0 0 2 4 】

各 MOS トランジスタ 11 ~ 14 は、制御部 16 によりゲート信号が与えられる。制御部 16 は、量子化器 5 の出力あるいは制御状態によってゲート信号を出力する。D / A 変換回路 1 においては、中間電位  $V_{CM}$  をコンデンサ 10 を介して出力する場合と、高電位  $V_{REF+}$  を出力する場合あるいは低電位  $V_{REF-}$  を出力する場合に応じて MOS トランジスタ 11 ~ 14 が後述するようにオンオフ制御される。

40

#### 【 0 0 2 5 】

なお、この実施形態では、回路構成として、低電圧で動作させることを前提としており、高電位  $V_{REF+}$  が 3 . 0 V、中間電位  $V_{CM}$  が 1 . 5 V、低電位  $V_{REF-}$  が 0 V とされ、低電圧の製造プロセスにて製造されるものを対象としている。また、このため、中間電位  $V_{CM}$  1 . 5 V の出力部分の低閾値電圧の MOS トランジスタ 12、13 は、この中間電位を出力するときに確実にオン状態に移行できるように閾値電圧が設定されたものを用いている。

#### 【 0 0 2 6 】

次に、上記構成の作用について図 3 も参照して説明する。量子化器 5 の出力信号あるいは状態に応じて、制御部 16 により、D / A 変換回路 1 の出力電圧が選択的に出力される

50

。具体的には、制御部 16 は、高電位  $V_{REF+}$  を出力する場合には、図 3 ( a ) に示すように制御する。すなわち、制御部 16 は、p 型 MOS トランジスタ 11 および低閾値電圧の p 型 MOS トランジスタ 12 をオンさせ、n 型 MOS トランジスタ 14 および低閾値電圧の n 型 MOS トランジスタ 13 をオフ状態に保持する。図では太実線により導通状態であることを示しており、同電位となっている。なお、図 3 ( b )、( c ) も同様に導通状態である部分を太実線で示している。

【 0027 】

この状態では、MOS トランジスタ 11 のオンにより、高電位端子 H から  $V_{REF+}$  が出力端 10 a に印加される。MOS トランジスタ 14 はオフ状態であるから、 $V_{REF-}$  は出力されない。また、このとき、同時に MOS トランジスタ 12 をオンさせているので、低閾値電圧の n 型 MOS トランジスタ 13 は、中間電位端子 M から MOS トランジスタ 12 を介してソースに  $V_{CM} ( 1.5 V )$  が印加され、ドレインに出力端子 10 a から  $V_{FREF+} ( 3.0 V )$  が印加された状態である。また、MOS トランジスタ 13 のゲートはオフ状態を保持するため、 $0 V$  に保持されている。これにより、低閾値電圧の n 型 MOS トランジスタ 13 は、ゲート - ソース間電圧が  $- 1.5 V$  となり、加えて基板バイアス効果が現れるため、閾値電圧が低くてもオフ状態が確実に保持され、リーク電流が発生することはない。

【 0028 】

次に、制御部 16 は、中間電位  $V_{CM}$  を出力する場合には、図 3 ( b ) に示すように制御する。すなわち、制御部 16 は、低閾値電圧の p 型 MOS トランジスタ 12 および低閾値電圧の n 型 MOS トランジスタ 13 をオンさせ、p 型 MOS トランジスタ 11 および n 型 MOS トランジスタ 14 をオフ状態に保持する。

【 0029 】

この状態では、MOS トランジスタ 12、13 のオンにより、中間電位端子 M から  $V_{CM}$  が出力端 10 a に印加される。MOS トランジスタ 11 および 14 はオフ状態であるから、 $V_{REF+}$  および  $V_{REF-}$  はいずれも出力されない。

【 0030 】

次に、制御部 16 は、低電位  $V_{REF-}$  を出力する場合には、図 3 ( c ) に示すように制御する。すなわち、制御部 16 は、n 型 MOS トランジスタ 14 および低閾値電圧の n 型 MOS トランジスタ 13 をオンさせ、p 型 MOS トランジスタ 11 および低閾値電圧の p 型 MOS トランジスタ 12 をオフ状態に保持する。

【 0031 】

この状態では、MOS トランジスタ 14 のオンにより、低電位端子 L から  $V_{REF-}$  が出力端子 10 a に印加される。MOS トランジスタ 11 はオフ状態であるから、 $V_{REF+}$  は出力されない。また、このとき、同時に MOS トランジスタ 13 をオンさせているので、低閾値電圧の p 型 MOS トランジスタ 12 は、中間電位端子 M からソースに  $V_{CM} ( 1.5 V )$  が印加され、出力端子 10 a からドレインに  $V_{FREF-} ( 0 V )$  が印加された状態である。また、MOS トランジスタ 12 のゲートはオフ状態を保持するため、 $0 V$  に保持されている。これにより、低閾値電圧の p 型 MOS トランジスタ 13 は、ゲート - ソース間電圧が  $1.5 V$  となり、加えて基板バイアス効果が現れるため、閾値電圧が低くてもオフ状態が確実に保持され、リーク電流が発生することはない。

【 0032 】

以上のように、制御部 16 により各 MOS トランジスタ 11 ~ 14 のオンオフの制御が行われるので、3 つの状態の出力である高電位  $V_{REF+}$ 、中間電位  $V_{CM}$ 、低電位  $V_{REF-}$  のいずれを出力する場合でも、オフ状態の MOS トランジスタがリーク電流を流してしまうことを防止できる。

【 0033 】

この結果、中間電位  $V_{CM}$  の出力制御のために、低閾値電圧の p 型 MOS トランジスタ 12 および n 型 MOS トランジスタ 13 を直列にして設けることで、トランジスタの個数

10

20

30

40

50

を最小限にして高精度で高電位、中間電および低電位の電圧を出力することができる。

【0034】

また、中間電位VCMの出力時にはMOSトランジスタ12および13を同時にオンさせることで出力させ、他の電位の出力時には一方のMOSトランジスタをオン、他方のMOSトランジスタをオフさせることで、オフ状態のソース-ゲート間のゲートバイアスを負にすることができ、リーク電流などを発生させることなく、確実にオフ状態を保持させることができる。

【0035】

また、上記実施形態では、中間電位VCMの出力段の低閾値電圧のMOSトランジスタ12、13の直列回路において、n型のMOSトランジスタ13をコンデンサ10側に配置する構成としているので次の効果もある。

10

【0036】

すなわち、一般に、p型およびn型のMOSトランジスタのオン抵抗を同じ値にするためには、p型のMOSトランジスタの面積を大きくすることがある。このため、n型のMOSトランジスタに比べてp型のMOSトランジスタは寄生容量としてのドレイン容量が大きくなる傾向にある。この結果、コンデンサ10側にn型のMOSトランジスタ13を配置するので、例えば、高電位VREF+を出力する場合に、コンデンサ10に対する充電時間がp型のMOSトランジスタ12を設ける場合に比べて短くすることができ、スイッチング速度が速くなる。

したがって、スイッチング速度が優先される場合には、この実施形態のように低閾値電圧のn型のMOSトランジスタ13をコンデンサ10側に配置することが好ましい。

20

【0037】

(第2実施形態)

図4は第2実施形態を示している。第1実施形態と異なるところは、中間電位端子M側から出力端子10aの間に設けた低閾値電圧のMOSトランジスタ12、13の配置を入れ替えたところである。したがって、低閾値電圧のp型のMOSトランジスタ12が出力端子10a側に配置された構成である。この構成においては、第1実施形態と動作条件も同様である。したがって、MOSトランジスタ12、13の配置を入れ替えても同様の作用効果を得ることができる。

【0038】

30

(第3実施形態)

図5(a)、(b)は第3実施形態を示している。第1実施形態と異なるところは、図5(a)のものでは、中間電位端子Mに加えて中間電位端子Ma、Mb、...など複数設けた構成である。これは複数の中間電位VCM、VCMa、VCMb、...などを用いる場合に対応した構成である。中間電位端子Ma(Mb、...)には、それぞれ中間電位用スイッチとして、低閾値電圧のMOSトランジスタ12、13に相当する低閾値電圧のMOSトランジスタ12a、13a(12b、13b、...)が接続される構成である。このように中間電位端子と、中間電位用スイッチが、2つ以上ある場合でも同様の作用効果を得ることができる。

【0039】

40

また、図5(b)に示すように、高電位端子H、中間電位Mおよび低電位端子Lのうち少なくとも1つの電位端子と、その電位用スイッチが2つ以上でも同様の作用効果を得ることができる。例えば、図示の構成では、図5(a)の構成に加えて、高電位端子Hに加えて高電位端子Ha、...など複数設け、低電位端子Lに加えて低電位端子La、...など複数設けた構成である。高電位端子Ha、...には高電位VREF+a、...などを用い、低電位端子La、...には低電位VREF-a、などを用いる場合に対応した構成である。高電位端子Haには、高電位用スイッチとして、MOSトランジスタ11に相当するMOSトランジスタ11aが接続される。低電位端子Laには、低電位用スイッチとして、MOSトランジスタ14に相当するMOSトランジスタ14aが接続される。

【0040】

50

(他の実施形態)

なお、本発明は、上述した一実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

【0041】

p型MOSトランジスタ11、n型MOSトランジスタ14の閾値電圧や、低閾値電圧のp型MOSトランジスタ12、n型MOSトランジスタ13の閾値電圧は、p型MOSトランジスタ12の閾値電圧がp型MOSトランジスタ11の閾値電圧よりも低く、n型MOSトランジスタ13の閾値電圧がn型MOSトランジスタ14の閾値電圧よりも低い関係を満たす条件であれば適宜の電圧に設定することができる。

10

【0042】

また、高電位 $V_{REF+}$ 、中間電位 $V_{CM}$ 、低電位 $V_{REF-}$ についても、高電位 $V_{REF+}$ が中間電位 $V_{CM}$ よりも高く、低電位 $V_{REF-}$ が中間電位 $V_{CM}$ よりも低い関係を満たす条件であれば適宜の電位に設定することができる。

【0043】

コンデンサ10は、省略した構成とすることもできる。

上記実施形態では、1次の型A/D変換回路1への適用例として示しているが、2次以上のものにも適用可能であるし、オーバーサンプリング型の他のものにも適用できるし、巡回型などのナイキスト型のものでもフィードバックする部分に用いることができる。さらには、A/D変換回路以外の回路にもD/A変換回路として用いることができる。

20

【符号の説明】

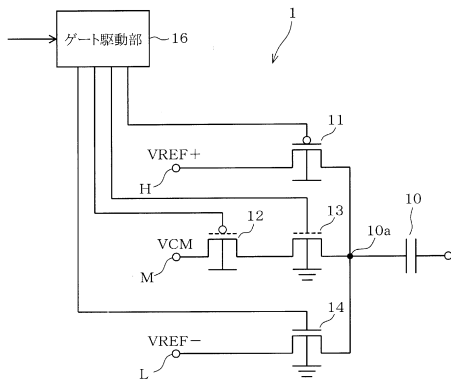
【0044】

図面中、1はD/A変換回路、2は型のA/D変換回路、3は減算器、4は積分器、5は量子化器、10はコンデンサ(DAC容量)、10aは出力端子、11、11aはp型MOSトランジスタ(高電位用スイッチ、第1のp型MOSトランジスタ)、12、12aは低閾値電圧のp型MOSトランジスタ(中間電位用スイッチ、第2のp型MOSトランジスタ)、13、13aは低閾値電圧のn型MOSトランジスタ(中間電位用スイッチ、第2のn型MOSトランジスタ)、14、14aはn型MOSトランジスタ(低電位用スイッチ、第1のn型MOSトランジスタ)、16は制御部、H、Ha、...は高電位端子、M、Ma、...は中間電位端子、L、La、...は低電位端子である。

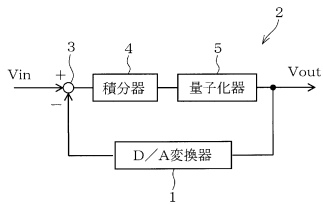
30



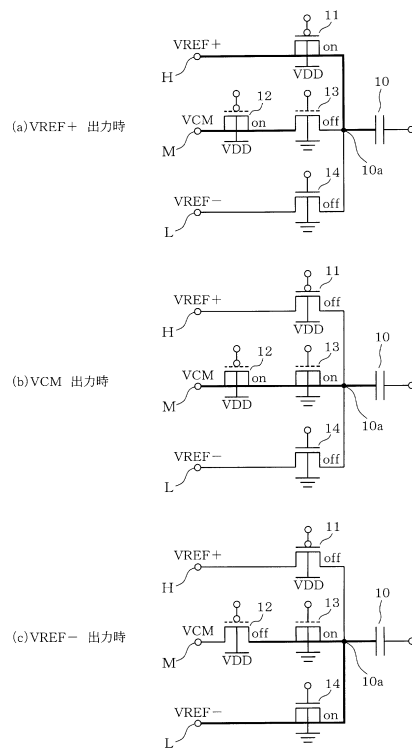
【図1】



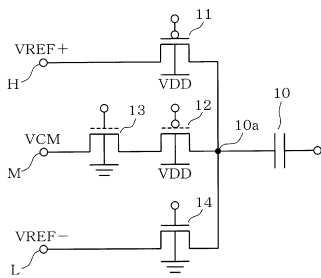
【図2】



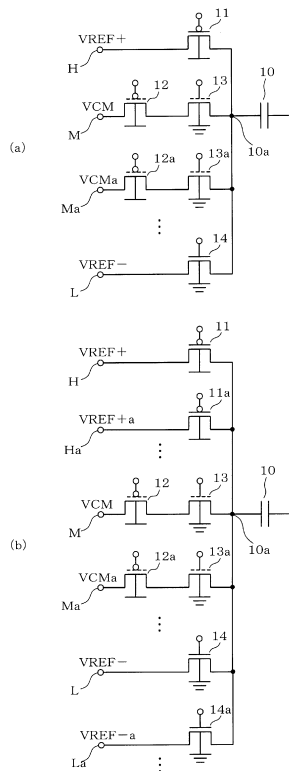
【図3】



【図4】



【図5】



---

フロントページの続き

- (56)参考文献 特開平08-130477(JP,A)  
特開平04-137916(JP,A)  
特開2010-041279(JP,A)  
特開2004-204296(JP,A)  
米国特許出願公開第2012/0235844(US,A1)  
米国特許第06885328(US,B1)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00 - 1/88  
H03M 3/00 - 3/04  
H03K 17/00 - 17/98