

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7423879号
(P7423879)

(45)発行日 令和6年1月30日(2024.1.30)

(24)登録日 令和6年1月22日(2024.1.22)

(51)国際特許分類	F I			
H 0 1 L 29/786(2006.01)	H 0 1 L	29/78	6 1 8 B	
H 0 1 L 21/336(2006.01)	H 0 1 L	29/78	6 1 6 S	
	H 0 1 L	29/78	6 1 6 V	
	H 0 1 L	29/78	6 2 7 F	
	H 0 1 L	29/78	6 1 8 A	
請求項の数 20 (全22頁)				

(21)出願番号	特願2020-568950(P2020-568950)	(73)特許権者	507107291
(86)(22)出願日	平成31年3月4日(2019.3.4)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2021-516455(P2021-516455		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和3年7月1日(2021.7.1)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2019/020553		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2019/169390	(74)代理人	230129078
(87)国際公開日	令和1年9月6日(2019.9.6)		弁護士 佐藤 仁
審査請求日	令和4年3月2日(2022.3.2)	(72)発明者	アーチャナ ヴェヌゴバル
(31)優先権主張番号	15/910,817		アメリカ合衆国 7 5 2 1 4 テキサス州
(32)優先日	平成30年3月2日(2018.3.2)		ダラス, エイビーティー 2 2 2 4, ラ
(33)優先権主張国・地域又は機関	米国(US)		ヴィスタ ドライブ 7 4 2 5
前置審査		(72)発明者	ルイジ コロンボ
			アメリカ合衆国 7 5 2 4 8 テキサス州
			ダラス, イエロー ロック トレイル 6
			最終頁に続く

(54)【発明の名称】 グラフェン及びボロン窒化物ヘテロ構造デバイスの統合

(57)【特許請求の範囲】

【請求項 1】

マイクロ電子デバイスであって、

第 1 の導電型の半導体材料と前記半導体材料の上の誘電性材料とを有する基板であって、前記半導体材料が反対の第 2 の導電型の第 1 のコンタクトフィールド領域と前記第 2 の導電型の第 2 のコンタクトフィールド領域とを含む、前記基板と、

ゲートグラフェン構成要素であって、

前記誘電性材料の上のグラファイト層であって、グラフェンの少なくとも 1 つの層を含み、前記第 1 の導電型の前記半導体材料の上のチャネル領域と、前記チャネル領域に隣接して前記第 1 のコンタクトフィールド領域の上の第 1 のコンタクト領域と、前記チャネル領域に隣接して前記第 2 のコンタクトフィールド領域の上の第 2 のコンタクト領域とを有する、前記グラファイト層と、

前記チャネル領域の上の前記グラファイト層上のパターン化された六方晶ボロン窒化物 (h B N) 層と、

前記パターン化された h B N 層の上であり前記チャネル領域の上のゲートと、

を含む、前記ゲートグラフェン構成要素と、

前記ゲートグラフェン構成要素上の第 1 の接続であって、前記第 1 のコンタクト領域において前記グラファイト層に接し、前記パターン化された h B N 層が前記第 1 の接続の下に完全には延在しない、前記第 1 の接続と、

前記ゲートグラフェン構成要素上の第 2 の接続であって、前記第 2 のコンタクト領域に

において前記グラファイト層に接し、前記パターン化された h B N 層が前記第 2 の接続の下に完全には延在しない、前記第 2 の接続と、
を含む、マイクロ電子デバイス。

【請求項 2】

請求項 1 に記載のマイクロ電子デバイスであって、
前記パターン化された h B N 層とは反対の、前記グラファイト層の下の下側 h B N 層を更に含み、前記グラファイト層が前記下側 h B N 層上にある、マイクロ電子デバイス。

【請求項 3】

請求項 1 に記載のマイクロ電子デバイスであって、
前記ゲートグラフェン構成要素が、前記チャネル領域の上の前記パターン化された h B N 層上にゲート誘電体層を更に含み、前記ゲートが前記ゲート誘電体層の上に位置する、
マイクロ電子デバイス。

10

【請求項 4】

請求項 1 に記載のマイクロ電子デバイスであって、
前記ゲートグラフェン構成要素が、前記第 1 の接続と前記第 2 の接続との横方向表面に隣接する誘電性材料のコンタクトスペーサを更に含み、
前記ゲートが前記コンタクトスペーサによって前記第 1 の接続と前記第 2 の接続とから横方向に分離される、マイクロ電子デバイス。

【請求項 5】

請求項 4 に記載のマイクロ電子デバイスであって、
前記コンタクトスペーサが、前記第 1 の接続と前記第 2 の接続との横方向表面に直接隣接している、マイクロ電子デバイス。

20

【請求項 6】

請求項 1 に記載のマイクロ電子デバイスであって、
前記第 1 の接続と前記第 2 の接続との上の障壁キャップであって、窒素とボロンとの拡散を抑制する材料を含む、前記障壁キャップを更に含む、マイクロ電子デバイス。

【請求項 7】

請求項 6 に記載のマイクロ電子デバイスであって、
前記窒素とボロンとの拡散を抑制する材料が、チタン窒化物と窒化タンタルとからなる群から選択される、マイクロ電子デバイス。

30

【請求項 8】

マイクロ電子デバイスであって、
第 1 の導電型の半導体材料と前記半導体材料の上の誘電性材料とを有する基板であって、前記半導体材料が反対の第 2 の導電型の第 1 のコンタクトフィールド領域と前記第 2 の導電型の第 2 のコンタクトフィールド領域とを含む、前記基板と、

ゲートグラフェン構成要素であって、
前記誘電性材料の上のグラファイト層であって、少なくとも 1 つのグラフェンの層を含み、前記第 1 の導電型の前記半導体材料の上のチャネル領域と、前記チャネル領域に隣接して前記第 1 のコンタクトフィールド領域の上の第 1 のコンタクト領域と、前記チャネル領域に隣接して前記第 2 のコンタクトフィールド領域の上の第 2 のコンタクト領域とを有する、前記グラファイト層と、

40

前記チャネル領域の上の前記グラファイト層上のパターン化された六方晶ボロン窒化物 (h B N) 層と、

前記パターン化された h B N 層の上であって前記チャネル領域の上のゲートと、
を含む、前記ゲートグラフェン構成要素と、
前記グラファイト層上の第 1 の接続であって、前記第 1 のコンタクト領域において前記グラファイト層に接し、前記パターン化された h B N 層が前記第 1 の接続の下に完全には延在しない、前記第 1 の接続と、

前記グラファイト層上の第 2 の接続であって、前記第 2 のコンタクト領域において前記グラファイト層に接し、前記パターン化された h B N 層が前記第 2 の接続の下に完全には

50

延在しない、前記第 2 の接続と、
を含み、

前記第 1 のコンタクトフィールド領域から前記グラファイト層への直接の電氣的接続と
前記第 2 のコンタクトフィールド領域から前記グラファイト層への直接の電氣的接続とが
ない、マイクロ電子デバイス。

【請求項 9】

マイクロ電子デバイスを形成する方法であって、
第 1 の導電型の半導体材料と前記半導体材料の上の誘電性材料とを含む基板であって、前
記半導体材料が反対の第 2 の導電型の第 1 のコンタクトフィールド領域と前記第 2 の導電
型の第 2 のコンタクトフィールド領域とを含む、前記基板を提供することと、

10

前記基板の誘電体材料の上にグラフェンの少なくとも 1 つの層を含むグラファイト層を
形成することであって、前記グラファイト層がチャンネル領域と前記チャンネル領域に隣接し
て前記第 1 のコンタクトフィールド領域の上の第 1 のコンタクト領域と前記チャンネル領域
に隣接して前記第 2 のコンタクトフィールド領域の上の第 2 のコンタクト領域とを有する
、前記グラファイト層を形成することと、

前記第 1 のコンタクト領域において前記グラファイト層と接する第 1 の接続を形成する
ことと、

前記第 2 のコンタクト領域において前記グラファイト層に接する第 2 の接続を形成する
ことと、

前記グラファイト層上に第 1 の金属層を形成することと、

20

前記第 1 の金属層におけるボロンと窒素との拡散と、第 1 の金属層からの沈殿とによっ
て、前記チャンネル領域の上の前記グラファイト層上にパターン化された六方晶ボロン窒化
物 (h B N) 層を形成することであって、前記パターン化された h B N 層が第 1 の接続の
下で完全には延在せず、前記パターン化された h B N 層が第 2 の接続の下で完全には延在
しないように、前記パターン化された h B N 層を形成することと、

前記チャンネル領域の上の前記パターン化された h B N 層の上にゲートを形成することと、
を含む、方法。

【請求項 10】

請求項 9 に記載の方法であって、

前記パターン化された h B N 層を形成する前に、前記第 1 の接続と第 2 の接続との上
に障壁キャップを形成することであって、前記障壁キャップが窒素とボロンとの拡散を抑
制する材料を含む、前記障壁キャップを形成することとを更に含む、方法。

30

【請求項 11】

請求項 9 に記載の方法であって、

前記第 1 の金属層が、コバルトとニッケルと銅とルテニウムとロジウムとパラジウムと
銀とレニウムとイリジウムとプラチナと金とからなる群から選択される金属を含む、方法。

【請求項 12】

請求項 9 に記載の方法であって、

前記第 1 の金属層からの前記パターン化された h B N 層の沈殿が、

前記第 1 の金属層を 400 °C ~ 800 °C まで加熱することと、

40

前記第 1 の金属層が 400 °C ~ 800 °C の温度にある間に、ボロン含有試薬を用い
て前記第 1 の金属層にボロンを導入することと、

前記第 1 の金属層が 400 °C ~ 800 °C の温度にある間に、窒素含有試薬を用いて
前記第 1 の金属層に窒素を導入することと、

続いて前記第 1 の金属層を冷却することと、

を含む、方法。

【請求項 13】

請求項 9 に記載の方法であって、

前記第 1 の金属層からの前記パターン化された h B N 層の沈殿が、

第 1 のイオン注入プロセスを用いて前記第 1 の金属層へボロンを注入することと、

50

第 2 のイオン注入プロセスを用いて前記第 1 の金属層へ窒素を注入することと、
前記ボロンと前記窒素を注入した後、前記第 1 の金属層を 400 °C ~ 800 °C まで加熱することと、
続いて前記第 1 の金属層を冷却することと、
を含む、方法。

【請求項 14】

請求項 9 に記載の方法であって、
前記グラファイト層を形成する前に下側 hBN 層を形成することを更に含み、
前記グラファイト層が前記下側 hBN 層上に形成される、方法。

【請求項 15】

請求項 14 に記載の方法であって、
前記基板の誘電性材料の上に第 2 の金属層を形成することを更に含み、
前記下側 hBN 層が、第 2 の金属層におけるボロンと窒素との拡散と、前記第 2 の金属層からの沈殿とによって形成される、方法。

【請求項 16】

請求項 9 に記載の方法であって、
前記基板の誘電性材料の上に第 3 の金属層を形成することを更に含み、
前記グラファイト層が、第 3 の金属層における炭素の拡散と、前記第 3 の金属層からの沈殿とによって形成される、方法。

【請求項 17】

請求項 9 に記載の方法であって、
前記基板の誘電性材料上に第 2 の金属層を形成することと、
前記第 2 の金属層におけるボロンと窒素との拡散と前記第 2 の金属層からの沈殿とによって、前記第 2 の金属層の上に下側 hBN 層を形成することと、
を更に含む、方法。

【請求項 18】

請求項 9 に記載の方法であって、
前記ゲートを形成する前に、前記パターン化された hBN 層の上にゲート誘電体層を形成することを更に含み、
前記ゲートが前記ゲート誘電体層の上に形成される、方法。

【請求項 19】

請求項 9 に記載の方法であって、
前記ゲートを形成する前に、前記第 1 の接続と前記第 2 の接続との横方向表面に隣接する前記誘電性材料のコンタクトスペーサを形成することであって、前記コンタクトスペーサが前記チャネル領域の上に延在せず、前記ゲートが前記コンタクトスペーサによって前記第 1 の接続と第 2 の接続とから横方向に分離される、前記コンタクトスペーサを形成することを更に含む、方法。

【請求項 20】

請求項 19 に記載の方法であって、
前記コンタクトスペーサが、前記第 1 の接続と前記第 2 の接続と前記チャネル領域との上にコンフォーマルスペーサ層を形成することと、その後、異方性エッチングプロセスにより前記チャネル領域の上の前記コンフォーマルスペーサ層を除去することとによって形成される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は概して、マイクロ電子デバイスに関し、特にマイクロ電子デバイスにおけるグラフェンに関する。

【背景技術】

【0002】

10

20

30

40

50

グラフェンはマイクロ電子デバイスの有望な材料である。ゲートグラフェン構成要素のための一般的に提案されているアーキテクチャは、基板上のグラフェンを含むグラファイト層であり、グラフェン上に金属コンタクトを有し、これらコンタクト間のグラフェン内にチャネル領域を有する。マイクロ電子デバイスを形成するためのプロセスの間のグラフェンの劣化のため、この構成要素をマイクロ電子デバイスに統合することは困難であった。

【発明の概要】

【0003】

例示のマイクロ電子デバイスはゲートグラフェン構成要素を含む。ゲートグラフェン構成要素は、グラフェンの一つ又はそれ以上の層を含むグラファイト層を含む。グラファイト層は、チャネル領域と、チャネル領域に隣接する第1のコンタクト領域と、チャネル領域に隣接する第2のコンタクト領域とを有する。ゲートグラフェン構成要素は、チャネル領域の上のグラファイト層上のパターン化された六方晶ボロン窒化物(hBN)層と、チャネル領域上方のパターン化されたhBN層の上のゲートとを含む。第1のコンタクト領域内のグラファイト層上に第1の接続が配置され、第2のコンタクト領域内のグラファイト層上に第2の接続が配置される。パターン化されたhBNの層は、第1の接続の下又は第2の接続の下に完全には延在しない。

【図面の簡単な説明】

【0004】

【図1】ゲートグラフェン構成要素を含む例示のマイクロ電子デバイスの断面である。

【0005】

【図2A】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2B】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2C】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2D】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2E】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2F】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2G】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2H】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2I】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図2J】形成の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【0006】

【図3】ゲートグラフェン構成要素を含む別の例示のマイクロ電子デバイスの断面である。

【0007】

【図4A】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図4B】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図4C】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図4D】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含む

10

20

30

40

50

むマイクロ電子デバイスの断面である。

【図 4 E】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 F】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 G】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 H】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 I】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

10

【図 4 J】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 K】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 L】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 M】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

【図 4 N】形成の別の例示の方法の或る段階で描かれた、ゲートグラフェン構成要素を含むマイクロ電子デバイスの断面である。

20

【発明を実施するための形態】

【0008】

図面は一定の縮尺で描いてはいない。幾つかの行為又は事象が、異なる順で及び/又は他の行為又は事象と同時に起こり得るので、本記載は行為又は事象の例示される順によって限定されない。また、幾つかの例示される行為又は事象は、本記載に従った手法を実装するために任意選択である。

【0009】

マイクロ電子デバイスが、グラフェンの一つ又はそれ以上の層を含むグラファイト層を有するゲートグラフェン構成要素を含む。グラファイト層は、チャンネル領域と、チャンネル領域に隣接する第1のコンタクト領域と、チャンネル領域に隣接する第2のコンタクト領域とを含む。グラフェンは、チャンネル領域から第1のコンタクト領域及び第2のコンタクト領域内へ延在する。ゲートグラフェン構成要素は、チャンネル領域の上のグラファイト層上のパターン化された六方晶ボロン窒化物(hBN)層と、チャンネル領域上方のパターン化されたhBN層の上のゲートとを含む。第1のコンタクト領域内のグラファイト層上に第1の接続が配置され、第2のコンタクト領域内のグラファイト層上に第2の接続が配置される。パターン化されたhBN層は、第1の接続の下に完全には延在せず、又は第2の接続の下に完全には延在しない。マイクロ電子デバイス内にゲートグラフェン構成要素を形成する方法が開示される。

30

【0010】

本記載において、「横方向」という用語は、基板の頂部表面の平面に並行な方向を指す。本記載において、~の上、~の上方、~の下、~の下方などの用語が用いられ得る。これらの用語は、構造又は要素の位置又は向きを限定するものではなく、構造間又は要素間の空間的な関係を提供する。

40

【0011】

本記載において、或る要素が別の要素「上に」と称される場合、それは他の要素の直接上にあってもよいし、又は、介在する要素が存在してもよい。同様に、或る要素が別の要素に「隣接する」と称される場合、それは他の要素に直接隣接していてもよいし、又は、介在する要素が存在していてもよい。

【0012】

50

図 1 は、ゲートグラフェン構成要素 102 を含む例示のマイクロ電子デバイス 100 の断面である。マイクロ電子デバイス 100 は基板 104 を含む。基板 104 は、半導体ウェハの一部、例えば、場合によってはエピタキシャル層を有する単結晶シリコンウェハ、又は、SOI (silicon on insulator) ウェハであってもよく、図 1 に示されるように、任意選択で半導体材料 106 を含んでもよい。基板 104 は、半導体材料を含まない、サファイアウェハ又はガラスウェハなどの誘電体ウェハの一部であってもよい。マイクロ電子デバイス 100 に適した他の基板もこの例の範囲内にある。基板 104 は、基板 104 の頂部表面 110 まで延在する誘電性材料 108 を含む。誘電性材料 108 は、図 1 に描かれているように、半導体材料 106 の上の誘電体層であり得る。誘電性材料 108 は、基板 104 を提供する誘電体ウェハの頂部であり得る。

10

【0013】

この例のゲートグラフェン構成要素 102 は、頂部表面 110 の上に任意選択の下側 hBN 層 112 を含む。ゲートグラフェン構成要素 102 は、存在する場合は下側 hBN 層 112 上の、頂部表面 110 の上にグラファイト層 114 を含む。グラファイト層 114 は、グラフェンの一つ又はそれ以上の層を含む。グラファイト層 114 は、チャネル領域 116 と、チャネル領域 116 に隣接する第 1 のコンタクト領域 118 と、チャネル領域 116 に隣接する第 2 のコンタクト領域 120 とを含む。グラフェンは、チャネル領域 116 から第 1 のコンタクト領域 118 内へ延在し、チャネル領域 116 から第 2 のコンタクト領域 120 内へ延在する。

【0014】

20

第 1 の接続 122 が、第 1 のコンタクト領域 118 におけるグラファイト層 114 上に配置される。第 2 の接続 124 が、第 2 のコンタクト領域 120 におけるグラファイト層 114 上に配置される。第 1 の接続 122 及び第 2 の接続 124 は、グラファイト層 114 におけるグラフェンに電氣的接続を提供する。第 1 の接続 122 及び第 2 の接続 124 は、金属、グラフェン、カーボンナノチューブ、又は他の導電性材料を含み得る。第 1 の接続 122 及び第 2 の接続 124 の上に、障壁キャップ 126 が配置され得る。障壁キャップ 126 は、窒素及びボロンの拡散を抑制する、チタン窒化物又は窒化タンタルなどの材料を含み得る。

【0015】

ゲートグラフェン構成要素 102 は、チャネル領域 116 の上のグラファイト層 114 の上のパターン化された hBN 層 128 を含む。パターン化された hBN 層 128 は、第 1 の接続 122 の下に完全には延在せず、又は第 2 の接続 124 の下に完全には延在しない。パターン化された hBN 層 128 は、図 1 に示すように、任意で第 1 の接続 122 及び第 2 の接続 124 を越えて延在し得る。

30

【0016】

ゲートグラフェン構成要素 102 は、チャネル領域 116 の上方のパターン化 hBN 層 128 の上のゲート誘電体層 130 を含み得る。ゲート誘電体層 130 は、二酸化シリコン、シリコン窒化物、シリコンオキシナイトライド、ハフニウム酸化物、ジルコニウム酸化物、タンタル酸化物などを含み得る。ゲート誘電体層 130 は、例えば、1 ナノメートル ~ 10 ナノメートルの厚みであり得る。

40

【0017】

ゲートグラフェン構成要素 102 はさらに、第 1 の接続 122 及び第 2 の接続 124 の横方向表面に隣接するコンタクトスペーサ 132 を含み得る。コンタクトスペーサ 132 は、チャネル領域 116 の上に延在しない。コンタクトスペーサ 132 は、二酸化シリコン、シリコン窒化物、又は他の誘電性材料を含み得る。この例では、ゲート誘電体層 130 は、第 1 の接続 122 及び第 2 の接続 124 の横方向表面に沿って延在し、そのため、コンタクトスペーサ 132 は、ゲート誘電体層 130 によって第 1 の接続 122 及び第 2 の接続 124 から分離される。第 1 の接続 122 及び第 2 の接続 124 に対する、コンタクトスペーサ 132 及びゲート誘電体層 130 の他の構成もこの例の範囲内にある。

【0018】

50

ゲートグラフェン構成要素 102 は、チャネル領域 116 の上方のゲート誘電体層 130 の上のゲート 134 を含む。ゲート 134 は、所望の仕事関数を提供するために、アルミニウム、銅、チタン、チタン窒化物、タンタル、窒化タンタル、及びタンゲステンなどの一つ又はそれ以上の金属を含み得る。ゲート 134 は、コンタクトスペーサ 132 によって第 1 の接続 122 及び第 2 の接続 124 から横方向に分離されている。

【0019】

ゲートグラフェン構成要素 102 及び基板 104 の上に誘電体層 136 が配置され得る。誘電体層 136 は、誘電性材料の一つ又はそれ以上のサブ層を含むプレメタル誘電体 (PMD) 層 136 であり得、誘電性材料の一つ又はそれ以上のサブ層は、例えば、シリコン窒化物の PMD ライナー、二酸化シリコンベースの材料の層、リン珪酸ガラス (PSG) 又はボロンリン珪酸ガラス (BPSG) の層、並びに、シリコン窒化物、シリコンオキシシナイトライド、シリコンカーバイド、又はシリコンカーバイド窒化物のキャップ層であり得る。誘電体層 136 のための他の構造及び組成もこの例の範囲内にある。ゲート 134、第 1 の接続 122、及び第 2 の接続 124 に電氣的接続を提供するために、コンタクト 138 が、誘電体層 136 を介して配置され得る。コンタクト 138 は、任意選択で、図 1 に示すように、障壁キャップ 126 を介して第 1 の接続 122 及び第 2 の接続 124 への電氣的接続を成すことができる。

【0020】

マイクロ電子デバイス 100 のオペレーションの間、第 1 の接続 122 からグラファイト層 114 内のグラフェンを介して第 2 の接続 124 に電流が流され得る。パターン化された hBN 層 128 は、マイクロ電子デバイス 100 の製造及び使用の間、グラファイト層 114 を劣化から保護することができ、チャネル領域 116 を介するグラフェンにおける充電キャリア移動度の所望の値を有利に提供する。存在する場合、下側 hBN 層 112 は、グラファイト層 114 をさらに有利に保護することができる。

【0021】

図 2A ~ 図 2J は、形成の例示の方法の種々の段階で示される、ゲートグラフェン構成要素 202 を含むマイクロ電子デバイス 200 の断面である。図 2A を参照すると、マイクロ電子デバイス 200 は基板 204 を含む。基板 204 は、図 2A に示すように、シリコン、シリコンカーバイド、ガリウムヒ化物、ガリウム窒化物等の半導体材料 206 を有する、半導体ウェハ、SOI ウェハ等であり得る。基板 204 は、半導体材料を含まないサファイアウェハ又はガラスウェハなどの誘電体ウェハであり得る。

【0022】

基板 204 は、基板 204 の頂部表面 210 まで延在する誘電性材料 208 を含む。誘電性材料 208 は、図 2A に描かれているように、半導体材料 206 の上に形成されるフィールド酸化物などの誘電体層の一部であり得る。誘電性材料 208 は、基板 204 を提供する誘電体ウェハの頂部であり得る。

【0023】

下側金属層 240 が誘電性材料 208 の上に形成される。下側金属層 240 は、例えば、コバルト、ニッケル、銅、ルテニウム、ロジウム、パラジウム、銀、レニウム、イリジウム、プラチナ、金、又はそれらの任意の組み合わせの、hBN 層の後続の沈殿に適する一つ又はそれ以上の金属を含む。これらの金属は、網羅的な一覧ではなく、例として提供される。下側金属層 (240) は、均質な合金、又は 2 つ又はそれ以上の異なる金属の混合物を含み得る。下側金属層 (240) は、異なる金属を有する 2 つ又はそれ以上の層の層状構造、例えば銅/ニッケル/銅積層体を含み得る。下側金属層 (240) は、例えば、スパッタプロセス、蒸着プロセス、化学気相成長 (CVD) プロセス、有機金属化学気相成長 (MOCVD) プロセス、又は原子層堆積 (ALD) プロセスによって形成され得る。下側金属層 240 の厚みは、誘電性材料 208 上への hBN 層の沈殿に適しており、したがって、下側金属層 240 の組成に基づいて選択され得る。例えば、下側金属層 240 は、50 ナノメートル ~ 500 ナノメートルの厚みを有し得る。下側金属層 240 は、ゲートグラフェン構成要素 202 のためのエリアにわたってのみ延在するようにパターン

10

20

30

40

50

化されてもよい。あるいは、下側金属層 240 は、図 2 A に示すように、基板 204 全体にわたって延在し得る。

【0024】

図 2 A において「ボロン」として示されるボロンは、例えば、400 ~ 800 など、下側金属層 240 におけるボロン及び窒素の拡散、並びに、誘電性材料 208 上への hBN 層の沈殿に適した温度で、下側金属層 240 においてボロンの飽和状態を形成するのに十分な量で下側金属層 240 に導入される。図 2 A において「窒素」として示される窒素は、ボロン及び窒素の拡散、並びに、誘電性材料 208 上への hBN 層の沈殿に適した同じ温度で、下側金属層 240 において窒素の飽和状態を形成するのに十分な量で下側金属層 240 内へ導入される。下側金属層 240 は、図 2 A に概略的に示されているように、第一の放射加熱プロセス 242 によって、又はファーンレスプロセス又はホットプレートプロセスなどの別のプロセスによって加熱され得る。ボロン及び窒素は、例えばボロン含有気体試薬及び窒素含有気体試薬への曝露を含む、いくつかの方法の任意のものによって下側金属層 240 に導入され得る。

10

【0025】

図 2 B を参照すると、続いて下側金属層 240 が冷却されて、下側金属層 240 の表面へのボロン及び窒素の拡散、並びに、誘電性材料 208 の頂部表面 210 上の下側 hBN 層 212 の沈殿をもたらす。下側 hBN 層 212 とは反対側の下側金属層 240 の頂部表面上に犠牲 hBN 層 244 が沈殿され得る。犠牲 hBN 層 244 は下側金属層 240 の大部分をそのまま残して、例えば、光スパッタエッチングによって除去することができる。

20

【0026】

図 2 C を参照すると、図 2 C において「炭素」として示される炭素が、例えば、400 ~ 800 など、下側金属層 240 における炭素の拡散、並びに、下側 hBN 下側金属層 212 上へのグラファイト層の沈殿に適した温度で、下側金属層 240 において炭素の飽和状態を形成するのに十分な量で層 240 内へ導入される。下側金属層 240 は、図 2 C に概略的に示されるように第 2 の放射加熱プロセス 246 によって、又は別のプロセスによって加熱され得る。炭素は、例えば炭素含有気体試薬への曝露を含む、幾つかの方法の任意のものによって、下側金属層 240 に導入され得る。

【0027】

図 2 D を参照すると、続いて下側金属層 240 が冷却され、下側金属層 240 の表面への炭素の拡散及び下側 hBN 層 212 上のグラファイト層 214 の沈殿をもたらす。グラファイト層 214 は、グラフェンを含み、バルナル構成を有し得る。犠牲グラファイト層 248 も、グラファイト層 214 とは反対側の下側金属層 240 の頂部表面に沈殿され得る。犠牲グラファイト層 248 は、任意選択で除去され得る。下側 hBN 層 212 及びグラファイト層 214 の両方を形成するための下側金属層 240 の使用は、下側 hBN 層 212 の形成後に下側金属層 240 を除去してグラファイト層 214 の沈殿のための別個の金属層を形成する方法と比較して、下側 hBN 層 212 の層を有利に低減し得る。

30

【0028】

図 2 E を参照すると、障壁材料の層（図示せず）が、下側金属層 240 の上に形成される。障壁材料は、窒素及びボロンの拡散を抑制する、チタン窒化物又は窒化タンタルなどの材料を含み得る。下側金属層 240、及び上にある障壁材料の層は、下側金属層 240 から第 1 の接続 222 及び第 2 の接続 224 を形成し、障壁材料の層から障壁キャップ 226 を形成するために、同時にパターン化される。

40

【0029】

第 1 の接続 222 は、グラファイト層 214 の第 1 のコンタクト領域 218 においてグラファイト層 214 への接続を成す。第 2 の接続 224 は、グラファイト層 214 の第 2 のコンタクト領域 220 においてグラファイト層 214 への接続を成す。グラファイト層 214 は、第 1 のコンタクト領域 218 に隣接し第 2 のコンタクト領域 220 に隣接するチャンネル領域 216 を有する。第 1 の接続 222 及び第 2 の接続 224 を提供するための下側金属層 240 の使用は、下側金属層 240 を除去し、第 1 の接続 222 及び第 2 の接

50

続 2 2 4 を形成するために別個の金属層を用いる方法と比較して、グラファイト層 2 1 4 に低コンタクト抵抗を有利に提供し得る。

【 0 0 3 0 】

図 2 F を参照すると、上側金属層 2 5 0 が、チャネル領域 2 1 6 におけるグラファイト層 2 1 4 上に形成され、図 2 F に示すように、任意選択で第 1 の接続 2 2 2 及び第 2 の接続 2 2 4 上に延在する。上側金属層 2 5 0 は、後続の h B N 層の沈殿に適した一つ又はそれ以上の金属を含む。上側金属層 2 5 0 は、図 2 A の下側金属層 2 4 0 について開示したものと同様の構造及び組成を有し得る。上側金属層 2 5 0 は、下側金属層 2 4 0 に関して開示したプロセスの任意のものによって形成され得る。図 2 F において「ボロン」として示されるボロン、及び図 2 F において「窒素」として示される窒素が、上側金属層 2 5 0 におけるボロン及び窒素の拡散、並びに、グラファイト層 2 1 4 上への h B N 層の沈殿に適した温度で上側金属層 2 5 0 内に導入される。ボロン及び窒素は、例えば、図 2 A に関して開示したように、上側金属層 2 5 0 に導入され得る。上側金属層 2 5 0 は、図 2 F に概略的に示されるように第 3 の放射加熱プロセス 2 5 2 によって、又は別のプロセスによって、所望の温度まで加熱され得る。障壁キャップ 2 2 6 は、第 1 の接続 2 2 2 及び第 2 の接続 2 2 4 の大部分からボロン及び窒素をブロックする。

10

【 0 0 3 1 】

図 2 G を参照すると、続いて上側金属層 2 5 0 が冷却され、上側金属層 2 5 0 の表面へのボロン及び窒素の拡散、並びに、下側 h B N 層 2 1 2 とは反対のグラファイト層 2 1 4 上のパターン化された h B N 層 2 2 8 の沈殿をもたらす。下側 h B N 層 2 1 2 とは反対側の上側金属層 2 5 0 の頂部表面上に犠牲 h B N 層 2 5 4 が沈殿され得る。図 2 G に示すように、犠牲 h B N 層 2 5 4 の付加的な部分が障壁キャップ 2 2 6 上に沈殿され得る。場合によっては、犠牲 h B N 層 2 5 4 のさらなる部分が、上側金属層 2 5 0 と第 1 の接続 2 2 2 と第 2 の接続 2 2 4 との間のインタフェースの条件に応じて、第 1 の接続 2 2 2 及び第 2 の接続 2 2 4 の横方向表面上に沈殿され得る。

20

【 0 0 3 2 】

続いて、上側金属層 2 5 0 及び犠牲 h B N 層 2 5 4 が除去され、パターン化された h B N 層 2 2 8 がそのまま残される。パターン化された h B N 層 2 2 8 は、図 2 F のボロン及び窒素が障壁キャップ 2 2 6 によってブロックされた結果、第 1 の接続 2 2 2 の下に完全には延在しないか、又は第 2 の接続 2 2 4 の下に完全には延在しない。パターン化された h B N 層 2 2 8 は、障壁キャップ 2 2 6 によって覆われていない第 1 の接続 2 2 2 又は第 2 の接続 2 2 4 の横方向表面を介するボロン及び窒素の拡散の結果、第 1 の接続 2 2 2 の下の途中まで、又は第 2 の接続 2 2 4 の下の途中まで延在し得る。

30

【 0 0 3 3 】

図 2 H を参照すると、この例では、パターン化された h B N 層 2 2 8 の上にゲート誘電体層 2 3 0 が形成される。ゲート誘電体層 2 3 0 は、図 2 H に描かれているように、第 1 の接続 2 2 2 及び第 2 の接続 2 2 4 上に延在し得る。ゲート誘電体層 2 3 0 は、図 1 のゲート誘電体層 1 3 0 について開示したような組成及び構造を有し得る。ゲート誘電体層 2 3 0 は、例えば、A L D プロセス、プラズマエンハンスド化学気相成長 (P E C V D) プロセス、又は C V D プロセスによって形成され得る。

40

【 0 0 3 4 】

この例では、ゲート誘電体層 2 3 0 の上にコンフォーマルスペーサ層 2 5 6 が形成される。コンフォーマルスペーサ層 2 5 6 は、例えば、二酸化シリコン、シリコン窒化物、又はシリコンオキシナイトライドを含み得る。コンフォーマルスペーサ層 2 5 6 は、P E C V D プロセス、低圧化学気相成長 (L P C V D) プロセス、又は、誘電性材料のコンフォーマル層を形成するためのその他のプロセスによって形成され得る。

【 0 0 3 5 】

図 2 I を参照すると、図 2 H のコンフォーマルスペーサ層 2 5 6 は、コンタクトスペーサ 2 3 2 を提供するために、第 1 の接続 2 2 2 及び第 2 の接続 2 2 4 の横方向表面に隣接するコンフォーマルスペーサ層 2 5 6 を残して、グラファイト層 2 1 4 のチャネル領域 2

50

１６の上のコンフォーマルスペーサ層２５６を除去するように、異方性エッチングプロセスによってエッチングされる。異方性プロセスとしては、例えば、フッ素ラジカルを用いた反応性イオンエッチング（ＲＩＥ）プロセスを挙げることができる。

【００３６】

図２Ｊを参照すると、ゲート２３４が、チャンネル領域２１６の上方のゲート誘電体層２３０の上に形成される。ゲート２３４は、コンタクトスペーサ２３２によって、第１の接続２２２及び第２の接続２２４から、横方向に分離され電氣的に絶縁されている。コンタクトスペーサ２３２は、第１の接続２２２及び第２の接続２２４上の電位に対する所望の電位でのゲート２３４のオペレーションを可能にして、ゲート２３４から第１の接続２２２又は第２の接続２２４への漏れ電流なしに、チャンネル領域２１６を介して所望の導電率を得る。ゲート２３４は、図１のゲート１３４について開示したような組成を有し得る。ゲート２３４は、マイクロ電子デバイス２００の既存の頂部表面の上にゲート材料の層を形成し、ゲート２３４のためのエリアを覆うゲート材料の層の上にエッチマスクを形成し、エッチマスクによって露出されたゲート材料を除去することによって形成され得る。

10

【００３７】

マイクロ電子デバイス２００の形成は、コンタクト、相互接続、及び支持誘電体層の形成と共に継続し得る。図２Ｊのマイクロ電子デバイス２００は、図１のマイクロ電子デバイス１００に類似した構造を提供するようにさらに処理されてもよい。

【００３８】

図３は、ゲートグラフェン構成要素３０２を含む別の例示のマイクロ電子デバイス３００の断面である。マイクロ電子デバイス３００は、基板３０４を含む。この例の基板３０４は、例えば、場合によってはエピタキシャル層を有する単結晶シリコンウェハ、又はＳＯＩウェハなど、半導体ウェハの一部であり得、図３に示されるように、例えばｐ型である第１の導電型を有する半導体材料３０６を含む。基板３０４は、基板３０４の頂部表面３１０まで延在する誘電性材料３０８を含む。この例では、誘電性材料３０８は、厚さ３０ナノメートル未満の誘電体層３０８であり、半導体材料３０６内のバイアスからゲートグラフェン構成要素３０２内の所望の電界をサポートする。誘電性材料３０８は、マイクロ電子デバイス３００の、図示されていない金属酸化物半導体（ＭＯＳ）トランジスタのゲート誘電体層に類似した組成及び構造を有し得る。

20

【００３９】

この例のゲートグラフェン構成要素体３０２は、頂部表面３１０の上に下側ｈＢＮ層３１２を、頂部表面３１０の上にグラファイト層３１４を含む。グラファイト層３１４は、グラフェンの一つ又はそれ以上の層を含む。グラファイト層３１４は、チャンネル領域３１６と、チャンネル領域３１６に隣接する第１のコンタクト領域３１８と、チャンネル領域３１６に隣接する第２のコンタクト領域３２０とを含み、グラフェンは、チャンネル領域３１６から第１のコンタクト領域３１８内に、チャンネル領域３１６から第２のコンタクト領域３２０内へ延在する。

30

【００４０】

この例の基板３０４は、半導体材料３０６とは反対の第２の導電型を有する半導体材料の第１のコンタクトフィールド領域３５８を含む。第１のコンタクトフィールド領域３５８は、誘電性材料３０８より下であり、グラファイト層３１４の第１のコンタクト領域３１８の下方に位置する。図３に示されるこの例の変形例では、第１のコンタクト領域３５８はｎ型である。この例の基板３０４は、第２の導電型を有する半導体材料の第２のコンタクトフィールド領域３６０も含む。第２のコンタクトフィールド領域３６０は、誘電性材料３０８より下であり、グラファイト層３１４の第２のコンタクト領域３２０の下方に位置する。第１のコンタクトフィールド領域３５８及び第２のコンタクトフィールド領域３６０は、第２の導電型に逆ドーピングされた半導体材料３０６の領域であり得る。

40

【００４１】

第１のコンタクト領域３１８におけるグラファイト層３１４上に第１の接続３２２が配置され、第２のコンタクト領域３２０におけるグラファイト層３１４上に第２の接続３２

50

4 が配置される。第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 は、グラファイト層 3 1 4 におけるグラフェンに電氣的接続を提供する。第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 は、図 1 の第 1 の接続 1 2 2 及び第 2 の接続 1 2 4 について開示されるような組成を有し得る。第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 の上に障壁キャップ 3 2 6 が配置され得る。障壁キャップ 3 2 6 は、窒素及びボロンの拡散を抑制する材料を含み得る。第 1 の接続 3 2 2 は、第 1 のコンタクトフィールド領域 3 5 8 の上に配置され、第 2 の接続 3 2 4 は、第 2 のコンタクトフィールド領域 3 6 0 の上に配置される。

【 0 0 4 2 】

ゲートグラフェン構成要素 3 0 2 は、チャンネル領域 3 1 6 の上のグラファイト層 3 1 4 上のパターン化された h B N 層 3 2 8 を含む。パターン化された h B N 層 3 2 8 は、第 1 の接続 3 2 2 の下に完全には延在せず、又は第 2 の接続 3 2 4 の下に完全には延在しない。この例のゲートグラフェン構成要素 3 0 2 は、第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 の横方向表面に直接的に隣接するコンタクトスペーサ 3 3 2 を含む。コンタクトスペーサ 3 3 2 は、チャンネル領域 3 1 6 の上には延在しない。この例のゲートグラフェン構成要素 3 0 2 は、チャンネル領域 3 1 6 の上のパターン化された h B N 層 3 2 8 の上にゲート誘電体層 3 3 0 を含む。この例では、ゲート誘電体層 3 3 0 は、コンタクトスペーサ 3 3 2 の横方向表面に沿って延在し、そのため、ゲート誘電体層 3 3 0 は、コンタクトスペーサ 3 3 2 によって第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 から分離される。第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 に対する、コンタクトスペーサ 3 3 2 及びゲート誘電体層 3 3 0 の他の構成もこの例の範囲内にある。

【 0 0 4 3 】

ゲートグラフェン構成要素 3 0 2 は、チャンネル領域 3 1 6 の上のゲート誘電体層 3 3 0 の上のゲート 3 3 4 を含む。ゲート 3 3 4 は、図 1 のゲート 1 3 4 について開示されるような構造及び組成を有し得る。ゲート 3 3 4 は、コンタクトスペーサ 3 3 2 によって、第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 から横方向に分離されている。

【 0 0 4 4 】

ゲートグラフェン構成要素 3 0 2 及び基板 3 0 4 の上に誘電体層 3 3 6 が配置され得る。コンタクト 3 3 8 が、図 3 に示されるように、誘電体層 3 3 6 を介して配置されて、ゲート 3 3 4 への、及び障壁キャップ 3 2 6 を介して第 1 の接続 3 2 2、及び第 2 の接続 3 2 4 への電氣的接続を提供し得る。

【 0 0 4 5 】

マイクロ電子デバイス 3 0 0 のオペレーションの間、第 1 のコンタクトフィールド領域 3 5 8 及び第 2 のコンタクトフィールド領域 3 6 0 は、第 1 の接続 3 2 2 及び第 2 の接続 3 2 4 に対してバイアスされ得、第 1 のコンタクト領域 3 1 8 及び第 2 のコンタクト領域 3 2 0 に所望のキャリア濃度を提供し得る。電流は、第 1 の接続 3 2 2 からグラファイト層 3 1 4 のグラフェンを介して第 2 の接続 3 2 4 に流れることができる。第 1 のコンタクト領域 3 1 8 及び第 2 のコンタクト領域 3 2 0 における所望のキャリア濃度は、グラファイト層 3 1 4 の所望の抵抗を提供し得る。パターン化された h B N 層 3 2 8 及び下側 h B N 層 3 1 2 は、図 1 に関連して開示したように、グラファイト層 3 1 4 を有利に保護し得る。

【 0 0 4 6 】

図 4 A ~ 図 4 N は、形成の別の例示の方法の種々の段階で描かれた、ゲートグラフェン構成要素 4 0 2 を含むマイクロ電子デバイス 4 0 0 の断面である。図 4 A を参照すると、マイクロ電子デバイス 4 0 0 は、第 1 の導電性を有するシリコン、シリコンカーバイドなどの半導体材料 4 0 6 を有する基板 4 0 4 を含む。この例は、図 4 A に示されるように、第 1 の導電型が p 型である変形例について説明される。第 1 の導電型が n 型であるこの例の他のバージョンもこの例の範囲内にある。基板 4 0 4 は、基板 4 0 4 の頂部表面 4 1 0 まで延在する誘電性材料 4 0 8 を含む。この例では、誘電性材料 4 0 8 は厚さ 3 0 ナノメートル未満の誘電体層 4 0 8 であり、マイクロ電子デバイス 4 0 0 の、図示しない M O S トランジスタのゲート誘電体層と同時に形成されてもよい。

10

20

30

40

50

【 0 0 4 7 】

誘電性材料 4 0 8 の上に第 1 の金属層 4 4 0 が形成される。第 1 の金属層 4 4 0 は、その後の h B N 層の沈殿に適した一つ又はそれ以上の金属を含む。第 1 の金属層 4 4 0 は、図 2 A の下側金属層 2 4 0 について開示されるような構造及び組成を有し得、下側金属層 2 4 0 について開示されるようなプロセスによって形成され得る。第 1 の金属層 4 4 0 は、図 4 A に示すように、基板 4 0 4 の頂部表面 4 1 0 上に延在してもよく、又は、ゲートグラフェン構成要素 4 0 2 のためのエリア上にのみ延在するようにパターン化されてもよい。

【 0 0 4 8 】

ボロン及び窒素が、例えば 4 0 0 ~ 8 0 0 など、第 1 の金属層 4 4 0 におけるボロン及び窒素の拡散、並びに、誘電性材料 4 0 8 上の h B N 層の沈殿に適した温度で、第 1 の金属層 4 4 0 におけるボロンの飽和状態及び窒素の飽和状態の層を形成するのに十分な量で第 1 の金属層 4 4 0 内へ導入される。この例では、ボロンは、図 4 A に概略的に示されるように、第 1 のドーズ量のボロンイオン 4 6 2 を第 1 の金属層 4 4 0 にイオン注入することによって導入され得、窒素は、第 1 のドーズ量の窒素イオン 4 6 4 を第 1 の金属層 4 4 0 にイオン注入することによって導入され得る。

10

【 0 0 4 9 】

図 4 B を参照すると、第 1 の金属層 4 4 0 は、図 4 A に関連して説明したように、注入されたボロン及び窒素を溶解するために加熱される。第 1 の金属層 4 4 0 は、4 0 0 ~ 8 0 0 の温度まで加熱され得る。第 1 の金属層 4 4 0 は、図 4 B に概略的に示されるように第 1 の放射加熱プロセス 4 4 2 によって、或いは、ファーンエスプロセス又はホットプレートプロセスなどの別のプロセスによって加熱され得る。

20

【 0 0 5 0 】

図 4 C を参照すると、第 1 の金属層 4 4 0 はその後冷却されて、第 1 の金属層 4 4 0 の表面へのボロン及び窒素の拡散、並びに、誘電性材料 4 0 8 の頂部表面 4 1 0 上への下側 h B N 層 4 1 2 の沈殿をもたらす。下側 h B N 層 4 1 2 とは反対側の第 1 の金属層 4 4 0 の頂部表面上に犠牲 h B N 層 4 4 4 が沈殿され得る。

【 0 0 5 1 】

図 4 D を参照すると、図 4 C の第 1 の金属層 4 4 0 及び犠牲 h B N 層 4 4 4 が除去され、下側 h B N 層 4 1 2 の少なくとも一部が誘電性材料 4 0 8 の上の適所に残される。犠牲 h B N 層 4 4 4 は、例えば、スパッタエッチング、フッ素を用いたプラズマエッチング、又は硫酸及び過酸化水素を用いたウェットエッチングによって除去し得る。第 1 の金属層 4 4 0 は、エッチング選択性を提供し下側 h B N 層 4 1 2 の劣化を回避するために、ウェットエッチングプロセスによって除去され得る。ウェットエッチングプロセスの化学的性質は、第 1 の金属層 4 4 0 の組成に依存し得る。

30

【 0 0 5 2 】

図 4 E を参照すると、第 2 の金属層 4 6 6 が下側 h B N 層 4 1 2 上に形成される。第 2 の金属層 4 6 6 は、後続のグラファイト層の沈殿に適した一つ又はそれ以上の金属を含む。第 2 の金属層 4 6 6 は、図 2 A の下側金属層 2 4 0 について開示したような構造及び組成を有し得、下側金属層 2 4 0 について開示されるようなプロセスによって形成され得る。

40

【 0 0 5 3 】

炭素が、例えば 4 0 0 ~ 8 0 0 など、第 2 の金属層 4 6 6 における炭素の拡散、並びに、下側 h B N 金属層 4 1 2 上のグラファイト層の沈殿に適した温度で、第 2 の金属層 4 6 6 における炭素の飽和状態を形成するのに十分な量で第 2 の層 4 6 6 内へ導入される。この例では、炭素は、図 4 E に概略的に示されるように、或るドーズ量の炭素イオン 4 6 8 をイオン注入することによって、第 2 の金属層 4 6 6 に導入され得る。

【 0 0 5 4 】

図 4 F を参照すると、第 2 の金属層 4 6 6 は、図 4 E に関連して記載されるように注入された炭素を溶解するために加熱される。第 2 の金属層 4 6 6 は、図 4 B に概略的に示されるように第 2 の放射加熱プロセス 4 4 6 によって、又は別の加熱プロセスによって、加

50

熱され得る。

【 0 0 5 5 】

図 4 G を参照すると、第 2 の金属層 4 6 6 はその後冷却され、第 2 の金属層 4 6 6 の表面への炭素の拡散、及び下側 h B N 層 4 1 2 上のグラファイト層 4 1 4 の沈殿をもたらす。グラファイト層 4 1 4 はグラフェンを含み、ベルナル構成を有し得る。犠牲グラファイト層 4 4 8 も、グラファイト層 4 1 4 とは反対側の第 2 の金属層 4 6 6 の頂部表面に沈殿され得る。

【 0 0 5 6 】

図 4 H を参照すると、図 4 G の第 2 の金属層 4 6 6 及び犠牲グラファイト層 4 4 8 が除去され、グラファイト層 4 1 4 の少なくとも一部が下側 h B N 層 4 1 2 上の適所に残される。犠牲グラファイト層 4 4 8 は、アッシュプロセスなどによって除去し得る。第 2 の金属層 4 6 6 は、エッチング選択性を提供しグラファイト層 4 1 4 の劣化を回避するために、ウェットエッチングプロセスによって除去され得る。ウェットエッチングプロセスの化学的性質は、第 2 の金属層 4 6 6 の組成に依存し得る。

【 0 0 5 7 】

図 4 I を参照すると、グラファイト層 4 1 4 上にコンタクト層 4 7 0 が形成される。コンタクト層 4 7 0 は、金属、グラファイト、カーボンナノチューブ、又はグラファイト層 4 1 4 への電氣的接続を成すのに適した他の材料を含み得る。障壁層 4 7 2 は任意選択で、コンタクト層 4 7 0 の上に形成され得る。障壁層 4 7 2 は、窒素及びボロンの拡散を抑制する材料を含む。

【 0 0 5 8 】

図 4 J を参照すると、コンタクト層 4 7 0 及び障壁層 4 7 2 はパターン化されて、グラファイト層 4 1 4 上の第 1 の接続 4 2 2、グラファイト層 4 1 4 上の第 2 の接続 4 2 4、及び、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 上の障壁キャップ 4 2 6 を形成する。第 1 の接続 4 2 2 は、グラファイト層 4 1 4 の第 1 のコンタクト領域 4 1 8 においてグラファイト層 4 1 4 に接し、第 2 の領域 4 2 4 は、グラファイト層 4 1 4 の第 2 のコンタクト領域 4 2 0 において、グラファイト 4 1 4 と接する。第 1 のコンタクト領域 4 1 8 はグラファイト層 4 1 4 のチャネル領域 4 1 6 に隣接し、第 2 のコンタクト領域 4 2 0 はチャネル領域 4 1 6 に隣接する。コンタクト層 4 7 0 及び障壁層 4 7 2 は、例えば、第 1 のコンタクト領域 4 1 8 及び第 2 のコンタクト領域 4 2 0 のためのエリアを覆う障壁層 4 7 2 の上にエッチマスクを形成し、エッチマスクによって露出された障壁層 4 7 2 及びコンタクト層 4 7 0 を除去することによって、パターン化され得る。コンタクト層 4 7 0 はチャネル領域 4 1 6 における下側 h B N 層 4 1 2 上にグラファイト層 4 1 4 の少なくとも一部を残すように、チャネル領域 4 1 6 の上で除去される。

【 0 0 5 9 】

図 4 K を参照すると、第 3 の金属層 4 5 0 が、チャネル領域 4 1 6 におけるグラファイト層 4 1 4 上に形成される。第 3 の金属層 4 5 0 は、図 4 K に示すように、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 の上に延在し得る。第 3 の金属層 4 5 0 は、グラファイト層 4 1 4 上への h B N 層の後続の沈殿に適した一つ又はそれ以上の金属を含む。第 3 の金属層 4 5 0 は、図 2 A の下側金属層 2 4 0 について開示したものと同様の構造及び組成を有し得る。第 3 の金属層 4 5 0 は、下側金属層 2 4 0 に関して開示したプロセスの任意のものによって形成され得る。

【 0 0 6 0 】

ボロン及び窒素が、ボロンと窒素の拡散、並びに、グラファイト層 4 1 4 上の h B N 金属層の沈殿に適した温度で、第 3 の金属層 4 5 0 におけるボロンの飽和状態及び窒素の飽和状態を形成するのに十分な量で、第 3 の金属層 4 5 0 内へ導入される。この例では、ボロンは、図 4 K に概略的に示されるように、第 2 のドーズ量のボロンイオン 4 7 4 をイオン注入することによって第 3 の金属層 4 5 0 に導入され得、窒素は、第 2 のドーズ量の窒素イオン 4 7 6 をイオン注入することによって第 3 の金属層の 4 5 0 に導入され得る。

【 0 0 6 1 】

10

20

30

40

50

図 4 L を参照すると、第 3 の金属層 4 5 0 は、図 4 K に関連して記載されたように、注入されたボロン及び窒素を溶解するために加熱される。第 3 の金属層 4 5 0 は、図 4 L に概略的に示されるように第 3 の放射加熱プロセス 4 5 2 によって、又は別の加熱プロセスによって、加熱され得る。障壁キャップ 4 2 6 は、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 の大部分からボロン及び窒素をブロックする。

【 0 0 6 2 】

第 3 の金属層 4 5 0 はその後冷却され、第 3 の金属層 4 5 0 の表面へのボロン及び窒素の拡散、並びに、下側 h B N 層 4 1 2 とは反対のチャネル領域 4 1 6 上のグラファイト層 4 1 4 上のパターン化された h B N 層 4 2 8 の沈殿をもたらす。犠牲 h B N 層 4 5 4 が、パターン化された h B N 層 4 2 8 とは反対側の第 3 の金属層 4 5 0 の頂部表面上に沈殿され得る。図 4 L に示すように、犠牲 h B N 層 4 5 4 の付加的な部分が障壁キャップ 4 2 6 上に沈殿され得る。場合によっては、犠牲 h B N 層 4 5 4 のさらなる部分が、上側金属層 4 5 0 と第 1 の接続 4 2 2 と第 2 の接続 4 2 4 との間のインタフェースの条件に応じて、第 1 の接続 4 2 2 と第 2 の接続 4 2 4 との横方向表面上に沈殿され得る。

【 0 0 6 3 】

第 3 の金属層 4 5 0 及び犠牲 h B N 層 4 5 4 は除去され、パターン化された h B N 層 4 2 8 の少なくとも一部をチャネル領域 4 1 6 の上のグラファイト層 4 1 4 上の適所に残す。

【 0 0 6 4 】

図 4 M を参照すると、コンタクトスペーサ 4 3 2 が、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 の横方向表面に隣接して形成される。この例では、コンタクトスペーサ 4 3 2 は、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 に直に隣接して形成され得る。コンタクトスペーサ 4 3 2 は、チャネル領域 4 1 6 の上には延在しない。コンタクトスペーサ 4 3 2 は、図 2 I のコンタクトスペーサ 2 3 2 を形成するために、図 2 H 及び図 2 I に関して開示した方法と同様に、コンフォーマルスペーサ層から形成され得る。

【 0 0 6 5 】

図 4 N を参照すると、チャネル領域 4 1 6 の上のパターン化された h B N 層 4 2 8 の上方にゲート誘電体層 4 3 0 が形成される。ゲート誘電体層 4 3 0 は、図 4 N に示されるように、コンタクトスペーサ 4 3 2、第 1 の接続 4 2 2、及び第 2 の接続 4 2 4 の上に延在し得る。ゲート誘電体層 4 3 0 は、図 1 のゲート誘電体層 1 3 0 に関連して開示されるような組成を有し得、図 2 H のゲート誘電体層 2 3 0 を形成することに関連して開示されるプロセスの任意のものによって形成され得る。コンタクトスペーサ 4 3 2 を形成した後にゲート誘電体層 4 3 0 を形成することは、コンタクトスペーサ 4 3 2 がゲート誘電体層 4 3 0 の後に形成される方法におけるコンフォーマルスペーサ層の除去によるゲート誘電体層 4 3 0 への劣化を有利に排除し得る。

【 0 0 6 6 】

チャネル領域 4 1 6 の上方のゲート誘電体層 4 3 0 の上に、ゲート 4 3 4 が形成される。ゲート 4 3 4 は、図 1 のゲート 1 3 4 に関して開示したような構造及び組成を有し得る。ゲート 4 3 4 は、コンタクトスペーサ 4 3 2 によって、第 1 の接続 4 2 2 及び第 2 の接続 4 2 4 から横方向に分離される。

【 0 0 6 7 】

本明細書に開示される例の様々な特徴は、例示の集積回路の他の顕在化において組み合わせられてもよい。例えば、マイクロ電子デバイスが、図 1 のゲート誘電体層 1 3 0 及びコンタクトスペーサ 1 3 2 の構成と組み合わせ、図 3 のコンタクトフィールド領域 3 5 8 及び 3 6 0 を有していてもよい。同様に、マイクロ電子デバイスが、図 3 のゲート誘電体層 3 3 0 及びコンタクトスペーサ 3 3 2 の構成と組み合わせ、図 1 の基板 1 0 4 及び誘電性材料 1 0 8 の構成を有していてもよい。マイクロ電子デバイスを形成する方法が、図 2 A 及び図 2 B を参照して開示した下側 h B N 層 2 1 2 を形成する方法、又は、図 4 A ~ 図 4 D を参照して開示した下側 h B N 層 4 1 2 を形成する方法の任意のものを、図 2 C 及び図 2 D を参照して開示したグラファイト層 2 1 4 を形成する方法、又は、図 4 E ~ 図 4 H を参照して開示したグラファイト層 4 1 4 を形成する方法の任意のものと組み合わせ

10

20

30

40

50

もよく、図 2 F 及び図 2 G を参照して開示したパターン化された h B N 層 2 2 8 を形成する方法、又は、図 4 K 及び図 4 L を参照して開示したパターン化された h B N 層 4 2 8 を形成する方法の任意のものと組み合わせてもよい。

【 0 0 6 8 】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

10

20

30

40

50

【図面】

【図 1】

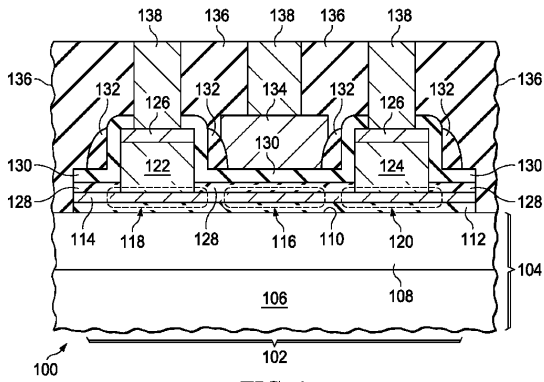


FIG. 1

【図 2 A】

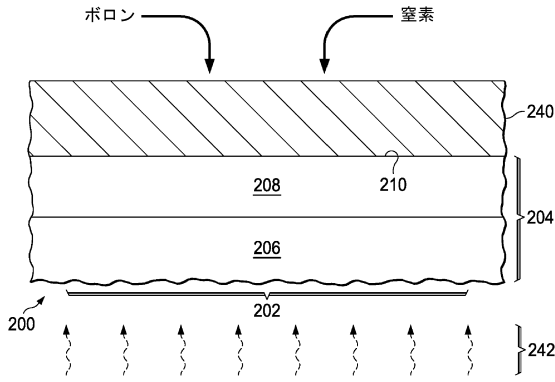


FIG. 2A

10

【図 2 B】

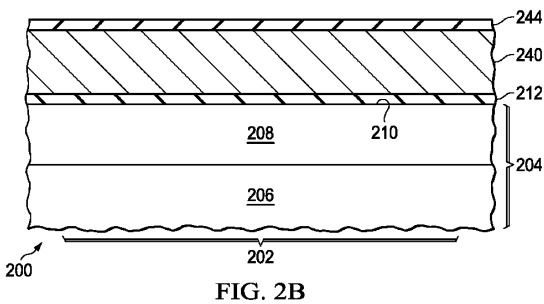


FIG. 2B

【図 2 C】

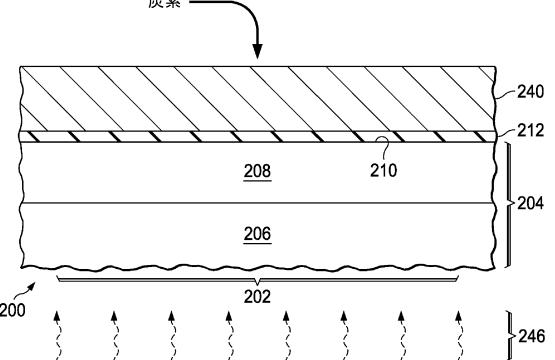


FIG. 2C

20

30

40

50

【図 2 D】

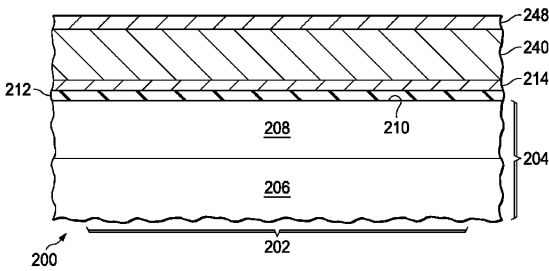


FIG. 2D

【図 2 E】

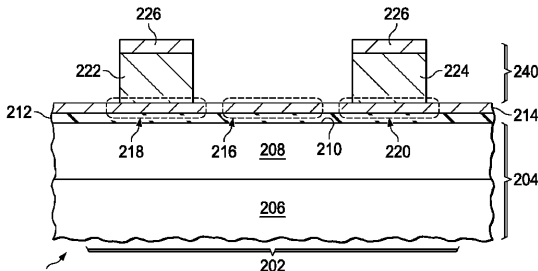


FIG. 2E

10

【図 2 F】

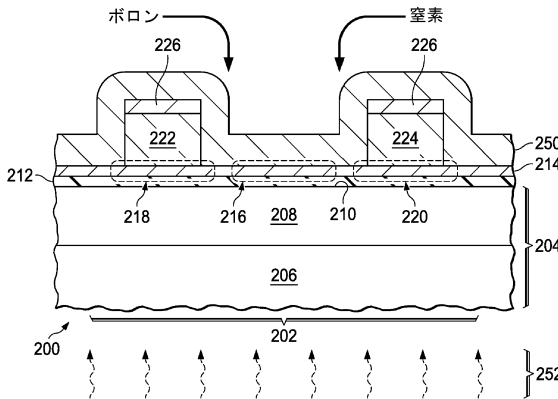


FIG. 2F

【図 2 G】

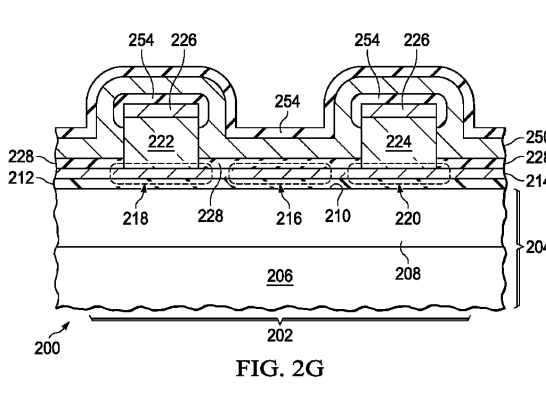


FIG. 2G

20

【図 2 H】

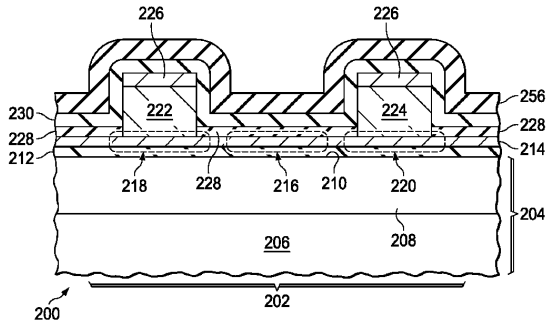


FIG. 2H

【図 2 I】

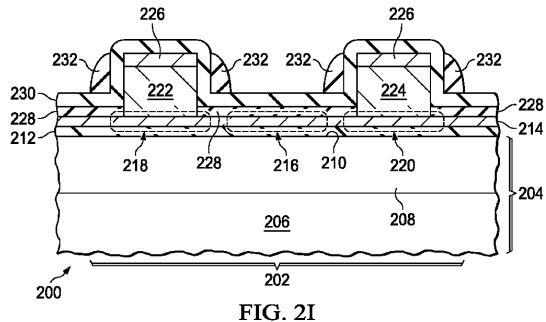


FIG. 2I

30

40

50

【図 2 J】

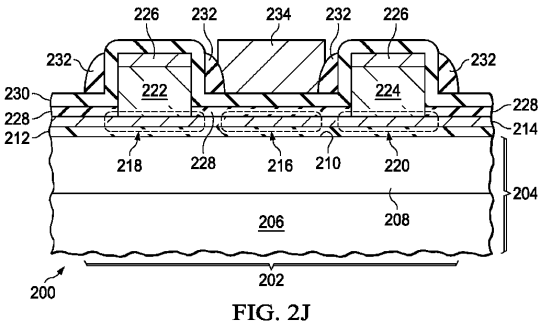


FIG. 2J

【図 3】

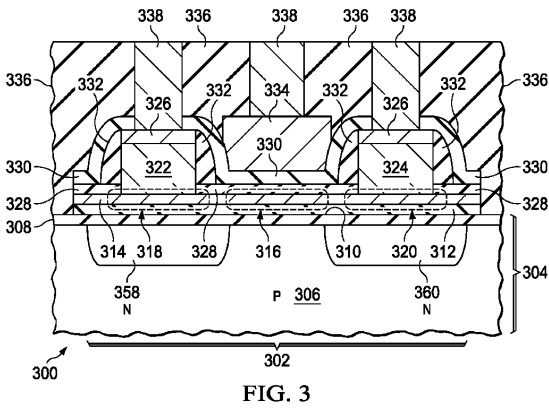


FIG. 3

【図 4 A】

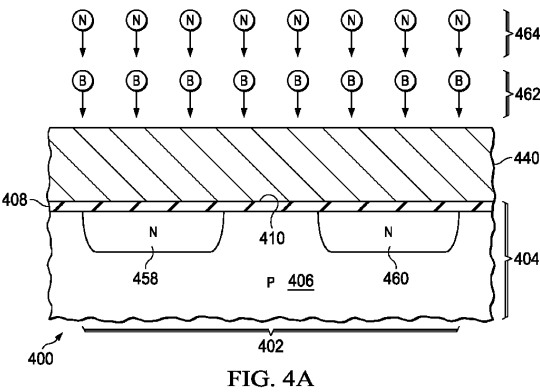


FIG. 4A

【図 4 B】

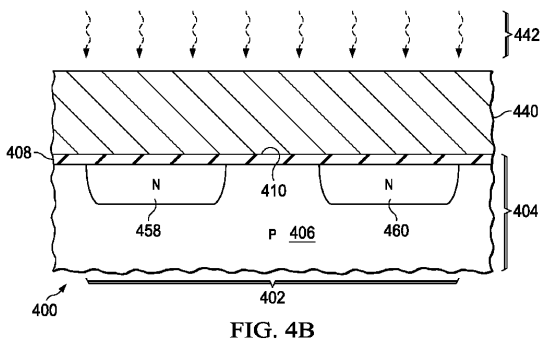


FIG. 4B

【図 4 C】

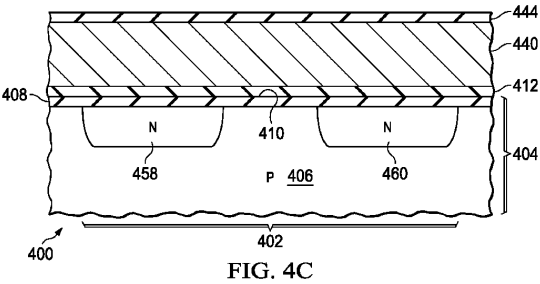


FIG. 4C

【図 4 D】

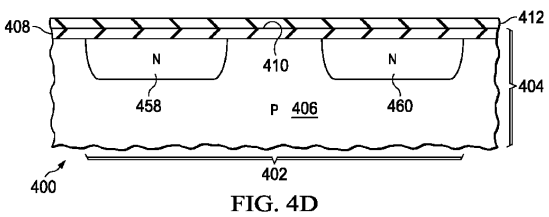


FIG. 4D

10

20

30

40

50

【図 4 E】

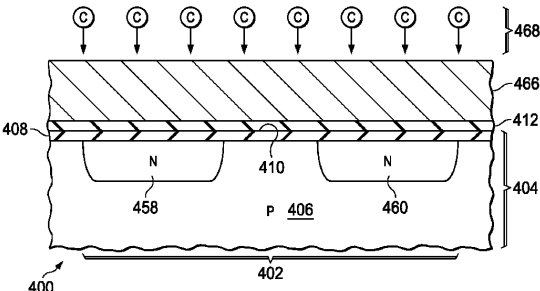


FIG. 4E

【図 4 F】

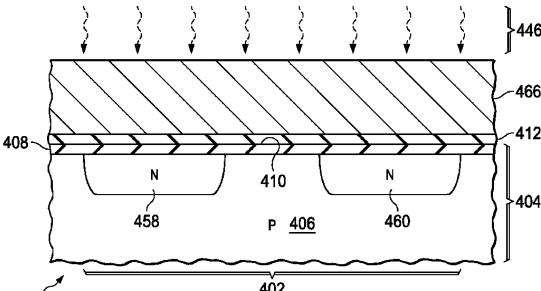


FIG. 4F

10

【図 4 G】

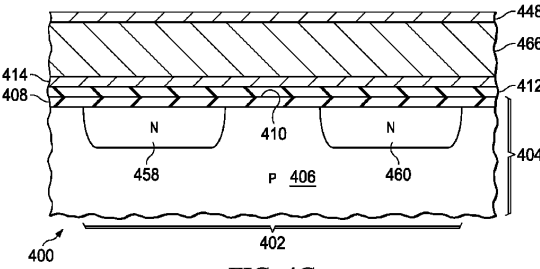


FIG. 4G

【図 4 H】

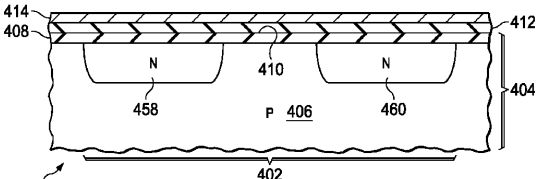


FIG. 4H

20

【図 4 I】

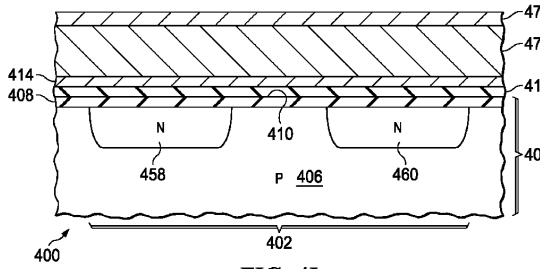


FIG. 4I

【図 4 J】

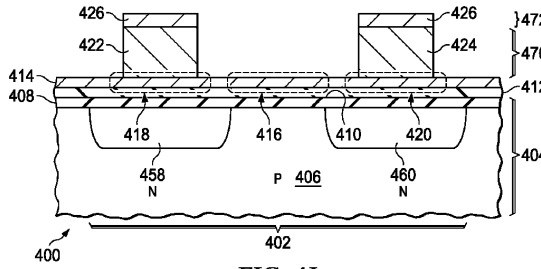


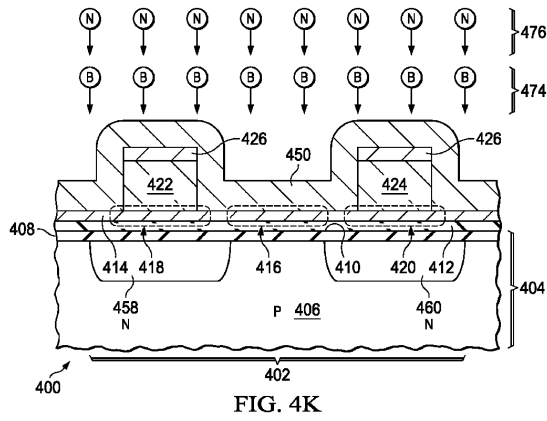
FIG. 4J

30

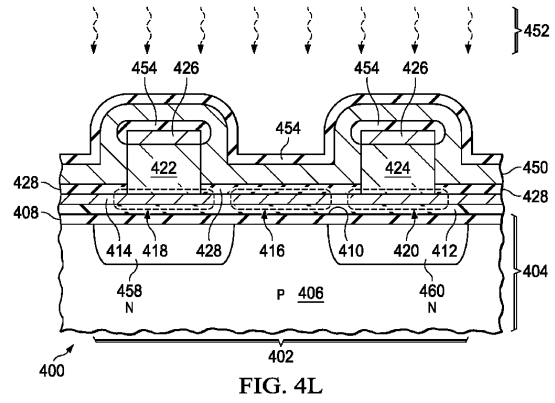
40

50

【 図 4 K 】

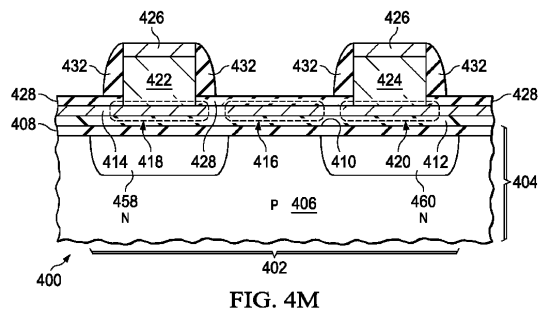


【 図 4 L 】

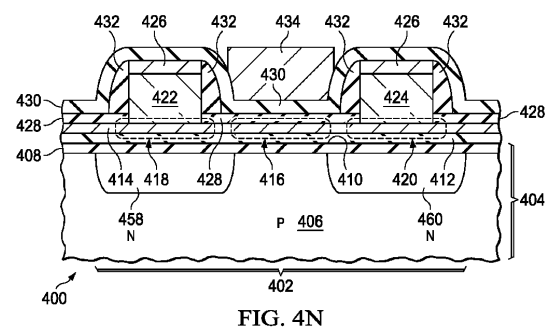


10

【 図 4 M 】



【 図 4 N 】



20

30

40

50

フロントページの続き

1 4 4

審査官 綿引 隆

(56)参考文献 国際公開第 2 0 1 0 / 1 1 3 5 1 8 (W O , A 1)
国際公開第 2 0 1 8 / 0 1 0 1 5 1 (W O , A 1)
米国特許出願公開第 2 0 1 4 / 0 2 9 1 6 0 7 (U S , A 1)
米国特許出願公開第 2 0 1 6 / 0 0 5 6 3 0 1 (U S , A 1)
中国特許出願公開第 1 0 6 8 0 3 5 1 7 (C N , A)
中国特許出願公開第 1 0 3 2 5 8 8 4 9 (C N , A)
特表 2 0 1 4 - 5 1 5 1 8 1 (J P , A)
特表 2 0 1 7 - 5 1 9 3 5 1 (J P , A)
特表 2 0 1 9 - 5 2 2 3 4 8 (J P , A)
特表 2 0 1 4 - 5 2 2 3 2 1 (J P , A)
国際公開第 2 0 1 3 / 1 2 1 9 5 4 (W O , A 1)
(58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6