



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월19일
(11) 등록번호 10-1126282
(24) 등록일자 2012년03월06일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2005-0024638
(22) 출원일자 2005년03월24일
심사청구일자 2010년01월28일
(65) 공개번호 10-2006-0044702
(43) 공개일자 2006년05월16일
(30) 우선권주장
093108422 2004년03월26일 대만(TW)
(56) 선행기술조사문현
US20030193068 A1

- (73) 특허권자
치 메이 옵토일렉트로닉스 코포레이션
대만, 타이난 카운티, 타이난 싸이언스-베이스드
인더스트리얼 팍, 치 예 로드, 넘버1
(72) 발명자
팅 친-룡
대만 74144 타이난 싸이언스 베이스드 인더스트리
얼 팩크 타이난카운티 치-예 로드 넘버 1
왕 청-초
대만 74144 타이난 싸이언스 베이스드 인더스트리
얼 팩크 타이난카운티 치-예 로드 넘버 1
(74) 대리인
리엔목특허법인

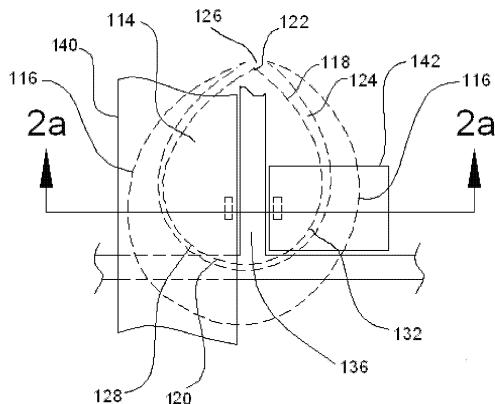
전체 청구항 수 : 총 34 항

심사관 : 최정민

(54) 발명의 명칭 박막 트랜지스터, 박막 트랜지스터 기판 및 그 제조방법

(57) 요 약

특정 형상의 채널층, 열구배 유도체, 게이트절연막, 게이트전극 및 충간절연막, 소오스전극 및 드레인전극을 포함하는 박막 트랜지스터가 개시된다. 채널층은 기판상에 형성된다. 채널층은 핵생성영역과 결정 단부영역을 갖는다. 열구배 유도체는 부분적으로 채널층을 둘러싼다. 게이트절연막은 기판상에 형성되며, 채널층은 적어도 부분적으로 게이트절연막으로 덮힌다. 게이트전극은 게이트절연막상에 형성된다. 충간절연막은 게이트절연막상에 형성되며, 게이트전극은 적어도 부분적으로 충간절연막으로 덮힌다. 소오스전극 및 드레인전극은 충간절연막상에 형성되며, 게이트절연막 및 충간절연막을 관통하여 채널층에 전기적으로 연결된다.

대 표 도 - 도2b

특허청구의 범위

청구항 1

기판상에 배치되며, 결정 단부영역과 적어도 하나의 핵생성영역을 갖는 채널총;

상기 기판상에 배치되며, 상기 채널총을 둘러싸는 적어도 하나의 열구배 유도체;

상기 기판상에 배치되며, 상기 채널총을 덮는 게이트절연막;

상기 게이트절연막상에 배치된 게이트전극;

상기 게이트절연막상에 배치되며, 상기 게이트전극을 덮는 충간절연막; 및

상기 충간절연막상에 배치되며, 상기 게이트절연막 및 상기 충간절연막을 관통하며 상기 채널총과 전기적으로 연결된 소오스전극 및 드레인전극;을 포함하는 기판상에 배치된 박막 트랜지스터.

청구항 2

제1항에 있어서, 상기 채널총 및 상기 열구배 유도체가 캡을 한정하는 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 3

제1항에 있어서, 상기 채널총은 폴리실리콘 및 단일 실리콘(single silicon)으로 이루어진 그룹으로부터 선택된 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 4

제1항에 있어서, 상기 채널총은 눈물 형상인 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 5

제1항에 있어서, 상기 채널총은 삼각형 형상인 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 6

제1항에 있어서, 상기 채널총은 팬 형상인 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 7

제1항에 있어서, 상기 채널총은 부등변 사각형 형상인 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 8

제1항에 있어서, 상기 채널총은 왕관 형상인 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 9

제1항에 있어서, 상기 열구배 유도체는 광폭부 및 협폭부를 포함하며, 상기 광폭부는 상기 결정 단부영역에 인접하며, 상기 협폭부는 상기 핵생성영역에 인접하는 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 10

제9항에 있어서, 상기 열구배 유도체 및 채널총은 두께 가변적인 캡을 한정하며, 상기 캡은 상기 협폭부에서보다 상기 광폭부에서 작은 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 11

제1항에 있어서, 상기 채널총은 상기 소오스전극에 전기적으로 연결된 소오스영역, 중간영역 및 상기 드레인전극에 전기적으로 연결된 드레인영역을 포함하는 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 12

제1항에 있어서, 상기 열구배 유도체의 협폭부는 톱니형상의 가장자리를 갖는 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 13

제1항에 있어서, 상기 핵생성영역은 상기 채널층의 제1 횡단폭을 한정하며, 상기 결정 단부영역은 상기 채널층의 제2 횡단폭을 한정하며, 상기 제1 횡단폭은 상기 제2 횡단폭 보다 작은 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 14

제1항에 있어서,

상기 제1 층간절연막상에 배치되며, 상기 게이트절연막 및 상기 제1 층간절연막을 관통하여 상기 채널층에 전기적으로 연결된 소오스전극 및 드레인전극;

상기 제1 층간절연막상에 배치되며, 상기 소오스전극 및 상기 드레인전극을 덮으며, 콘택홀을 한정하는 제2 층간절연막; 및

상기 제2 층간절연막상에 형성되며 상기 콘택홀내에 증착된 화소전극;을 더 포함하는 것을 특징으로 하는 기판상에 배치된 박막 트랜지스터.

청구항 15

기판상에 초기 채널층을 배치하는 단계;

상기 초기 채널층을 패터닝하여 특정 형상의 채널층과 적어도 하나의 열구배 유도체를 형성하는 단계로서, 상기 채널층은 결정 단부영역과 핵생성영역을 가지며, 상기 열구배 유도체는 상기 특정 형상의 채널층을 부분적으로 둘러싸며, 상기 특정 형상의 채널층의 상기 결정 단부영역 및 상기 핵생성영역에 대체로 대응하는 광폭부 및 협폭부를 갖도록 하는 단계;

상기 특정 형상의 채널층과 상기 열구배 유도체를 어닐링하는 단계;

상기 기판상에 게이트절연막을 배치하는 단계로서, 상기 특정 형상의 채널층과 상기 열구배 유도체는 대체로 상기 게이트절연막으로 덮히도록 하는 단계;

상기 게이트절연막상에 게이트전극을 배치하는 단계;

소오스영역, 중간영역 및 드레인영역을 형성하기 위해 상기 특정 형상의 채널층으로 P^- 이온 및 N^+ 이온층의 하나를 주입하는 단계;

상기 게이트절연막상에 층간절연막을 배치하는 단계로서, 상기 게이트전극은 대체로 상기 층간절연막으로 덮히도록 하는 단계;

상기 소오스영역 및 드레인영역을 노출시키기 위해 상기 게이트절연막 및 상기 층간절연막을 관통하는 두개의 콘택홀을 형성하는 단계; 및

상기 층간절연막상에 소오스전극 및 드레인전극을 배치하는 단계로서, 상기 두개의 콘택홀들은 적어도 부분적으로는 상기 소오스전극 및 상기 드레인전극으로 충전되도록 하는 단계;를 포함하는 박막 트랜지스터의 제조방법.

청구항 16

제15항에 있어서, 상기 초기 채널층은 플라즈마 화학기상증착 공정을 사용하여 상기 기판상에 증착되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 17

제15항에 있어서, 상기 특정 형상의 채널층 및 상기 열구배 유도체는 포토리소그라피 및 식각 공정을 사용하여 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 18

제15항에 있어서, 상기 특정 형상의 채널층은 폴리실리콘 및 단일 실리콘으로 구성된 그룹으로부터 선택된 것임을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 19

제15항에 있어서, 상기 특정 형상의 채널층의 협폭부는 팁(tip)을 가지며, 결정입자 성장이 상기 핵생성영역에서 시작하여 그곳으로부터 상기 결정 단부영역을 향하여 확장하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 20

제15항에 있어서, 상기 핵생성영역은 상기 채널층의 제1 횡단폭을 한정하며, 상기 결정 단부영역은 상기 채널층이 제2 횡단폭을 한정하며, 상기 제1 횡단폭이 상기 제2 횡단폭 보다 작은 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 21

제15항에 있어서,

상기 제1 층간절연막상에 제2 층간절연막을 배치하는 단계로서, 상기 소오스전극 및 상기 드레인전극은 대체로 상기 제2 층간절연막으로 덮히도록 하는 단계;

상기 제2 층간절연막내에 콘택홀을 형성하는 단계; 및

상기 제2 층간절연막상에 화소전극을 배치하며 상기 콘택홀내에 증착되도록 하는 단계;를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 22

기판;

상기 기판상에 배치되는 채널층으로서, 상기 채널층은 핵생성영역과 결정 단부영역을 한정하며, 상기 핵생성영역은 제1 횡단폭을 한정하며 상기 결정 단부영역은 제2 횡단폭을 한정하며, 상기 제1 횡단폭이 상기 제2 횡단폭 보다 작도록 하는 채널층; 및

상기 기판상에 배치되는 열구배 유도체로서, 상기 열구배 유도체는 기본적으로 상기 채널층을 둘러싸며, 상기 열구배 유도체 및 상기 채널층이 캡을 한정하도록 하는 열구배 유도체;를 포함하는 박막 트랜지스터.

청구항 23

제22항에 있어서, 상기 채널층과 상기 열구배 유도체 사이의 캡은 상기 결정 단부영역에 인접한 제1 길이와 상기 핵생성영역에 인접한 제2 길이를 가지며, 상기 제1 길이는 상기 제2 길이 보다 작은 것을 특징으로 하는 박막 트랜지스터.

청구항 24

제22항에 있어서, 상기 열구배 유도체는 협폭부 및 광폭부를 한정하며, 상기 협폭부는 상기 핵생성영역에 인접하며, 상기 광폭부는 핵생성영역에 인접하는 것을 특징으로 하는 박막 트랜지스터.

청구항 25

제24항에 있어서, 상기 핵생성영역은 팁을 한정하며, 상기 협폭부는 상기 팁과 대체로 정렬된 개구부를 한정하는 것을 특징으로 하는 박막 트랜지스터.

청구항 26

기판을 제공하는 단계;

상기 기판상에 초기 채널층을 배치하는 단계;

상기 초기 채널층의 적어도 일부를 형상화된 채널층과, 상기 형상화된 채널층에 인접하는 열구배 유도체로 형성하는 단계로서, 상기 형상화된 채널층은 제1 횡단폭을 갖는 핵생성영역과 제2 횡단폭을 갖는 결정 단부영역을

한정하며, 상기 제1 횡단폭이 상기 제2 횡단폭 보다 작도록 하는 단계;

상기 형상화된 채널층과 상기 열구배 유도체를 어닐링하는 단계;를 포함하는 액정 표시소자의 제조방법.

청구항 27

제26항에 있어서, 상기 열구배 유도체는 상기 초기 채널층의 적어도 일부를 제거함으로써 상기 초기 채널층으로부터 형성되는 것을 특징으로 하는 액정 표시소자의 제조방법.

청구항 28

제26항에 있어서, 상기 열구배 유도체 및 상기 형상화된 채널층은 상기 핵생성영역에 인접하는 제1 길이와 상기 결정 단부영역에 인접하는 제2 길이를 갖는 캡을 한정하며, 상기 제1 길이가 상기 제2 길이 보다 크도록 하는 것을 특징으로 하는 액정 표시소자의 제조방법.

청구항 29

제26항에 있어서, 상기 열구배 유도체는 상기 결정 단부영역에서의 열 방산율이 상기 형상화된 채널층의 상기 핵생성영역에서의 열 방산율보다 낮게 하는 것을 특징으로 하는 액정 표시소자의 제조방법.

청구항 30

제1 기판;

제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 샌드위치된 액정층;

상기 제2 기판상에 배치되며, 핵생성영역과 결정 단부영역을 한정하는 채널층으로서, 상기 핵생성영역은 제1 횡단폭을 한정하며 상기 결정 단부영역은 제2 횡단폭을 한정하며, 상기 제1 횡단폭이 제2 횡단폭보다 작도록 하는 채널층; 및

상기 제2 기판상에 배치되는 열구배 유도체로서, 상기 열구배 유도체는 기본적으로 상기 채널층을 둘러싸며, 상기 열구배 유도체 및 상기 채널층은 캡을 한정하도록 하는 열구배 유도체;를 포함하는 액정 표시소자.

청구항 31

제30항에 있어서, 상기 채널층과 상기 열구배 유도체 사이의 캡은 상기 결정 단부영역에 인접하는 제1 길이와 상기 핵생성영역에 인접하는 제2 길이를 가지며, 상기 제1 길이는 상기 제2 길이보다 작은 것을 특징으로 하는 액정 표시소자.

청구항 32

제30항에 있어서, 상기 열구배 유도체는 협폭부 및 광폭부를 한정하며, 상기 협폭부는 상기 핵생성영역에 인접 하며, 상기 광폭부는 상기 결정 단부영역에 인접하는 것을 특징으로 하는 액정 표시소자.

청구항 33

제32항에 있어서, 상기 핵생성영역은 텁을 한정하며, 상기 협폭부는 대체로 상기 텁에 정렬되는 개구부를 한정 하는 것을 특징으로 하는 액정 표시소자.

청구항 34

제30항에 있어서, 상기 제1 기판은 칼라필터(CF) 기판이며, 상기 제2 기판은 박막 트랜지스터(TFT) 기판인 것을 특징으로 하는 액정 표시소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0009] 본 출원은 2004년 3월 26일자로 출원된 대만 특허출원번호 제093108422호의 우선권을 주장하며, 그 전체 개시 내용은 본 출원에 통합된다.
- [0010] 본 발명은 박막 트랜지스터에 관한 것이며, 보다 상세하게는 특정 형상의 채널층과 열구배 유도체를 포함하는 박막 트랜지스터에 관한 것이다.
- [0011] 저전력소비의 액정표시(Liquid Crystal Display) 소자들은 높은 콘트라스트와 빠른 응답속도와 같은 고성능의 특성 때문에 그 구동요소로서 박막 트랜지스터(이하 TFT라 함)를 활용한다. 저전력소비의 LCD 소자들은 다른 여러 가지 가운데 개인용 컴퓨터(PC), 휴대용 텔레비전(TV) 등과 같은 곳에 자주 사용되며, 따라서 TFT 시장이 급격히 팽창되었다.
- [0012] 대부분의 TFT는 채널층용 반도체로서 비정질실리콘(이하 a-Si이라 함) 또는 폴리실리콘(이하 p-Si이라 함)을 사용한다. a-Si은 특정한 결정 방향 없이 복수개의 실리콘 결정입자들로 구성된 순수한 실리콘 물질이다. 그러나 p-Si은 상이한 결정 방향을 갖는 복수개의 작은 단결정 실리콘 입자들로 구성된 순수한 실리콘 물질이다. 즉, p-Si은 단결정 실리콘과 a-Si 사이의 순수 실리콘이다. 전자이동도는 a-Si에서보다 p-Si에서 크다.
- [0013] 비정질실리콘 및 폴리실리콘의 증착은 핵생성, 결정입자의 성장, 결정입자의 집합 및 증착막의 성장을 포함한다. 특히, 실리콘층의 증착 공정은 다음 단계들: 원자들을 끌어당기는 단계; 끌어당겨진 원자들을 막의 표면상에 확산시키는 단계; 및 끌어당겨진 원자들을 적절한 단계 또는 목 지점에 축적하는 단계를 포함하며, 그리하여 점차적으로 박막을 형성하고 이어서 박막을 성장시킨다. 결정입자 성장, 결정입자 축적 및 증착막 성장의 구동력은 표면 자유 에너지에 의존하며, 이는 점차적으로 결정입자 성장과 함께 감소한다. 실리콘층의 표면상에서 끌어당겨진 원자들의 확산은 표면 온도에 관계된다. 표면 온도가 높을수록 높은 표면 확산이 일어나며, 결과적으로 낮은 표면 온도 보다도 높은 표면 온도에서 큰 결정입자를 성장시키기 위한 이상적인 지점으로 끌어당겨진 원자들을 축적시키는 것이 보다 용이하다. 따라서 결정입자의 크기와 표면 온도 사이에는 양의 상관관계가 있다. 나아가 전자이동도는 결정입자 크기의 증가에 따라 증가한다.
- [0014] "Method of Producing A Semiconductor Device"라는 명칭을 갖는 미국 특허번호 제6,436,745호는 반도체소자의 제조방법을 개시하고 있으며, 여기에 함께 통합된다. 상기 방법은 다음 단계들을 포함한다: 결정성의 제1 실리콘막을 형성하기 위해 실리콘의 결정화를 증진시키는 촉매금속 원소를 사용하여 비정질 실리콘막 또는 부분적으로 결정성인 비정질 실리콘막을 결정화하는 단계; 상기 제1 실리콘막의 전체 표면상에 직접 V족 원소를 포함하는 제2 실리콘막을 형성하는 단계; 상기 제1 실리콘막과 제2 실리콘막을 열처리하여 상기 촉매금속 원소의 적어도 일부를 제1 실리콘막으로부터 제2 실리콘막으로 게터링(gettering)하는 단계; 및 상기 촉매금속 원소가 게터링된 상기 제2 실리콘막을 제거하는 단계. 그러나, 반도체소자는 채널층을 위한 반도체로서 비정질 실리콘을 사용하기 때문에 낮은 전자 이동도를 갖는다.
- [0015] 미국 특허번호 제6,436,745호는 채널층을 위한 반도체로서 폴리실리콘을 사용하고 있다. 도 1a 및 도 1b를 참조하면, 일반적으로 폴리실리콘(10)이 플라즈마 화학기상증착 공정을 사용하여 기판(12)상에 증착되며, 포토리소그라피 및 식각 공정을 사용하여 패턴화 되어지며, 이어서 레이저 어닐 공정을 사용하여 종래의 폴리실리콘으로 이루어진 채널층(14)을 형성하도록 결정화된다. 그러나 일반적으로 상기 폴리실리콘층은 형상이 직사각형의 일종이다. 전체 표면 온도는 균일하게 감소한다. 따라서 열에너지가 레이저 어닐 공정 후에 유지되는 것은 쉽지 않다. 결과적으로 폴리실리콘 결정입자가 100 마이크로미터 보다 크게 성장되는 것은 쉽지 않다.
- [0016] 도 1a 및 도 1b의 채널층(14)과 같은 종래의 채널층들에 있어서는, 핵생성이 채널층(14)의 여러 지점에서 발생할 수 있다. 많은 핵생성 지점들이 존재할 때는 많은 결정입자들이 존재할 수 있게 되며, 결과적으로 결정입자들의 크기는 작게된다. 많은 결정입자들이 존재하면 많은 입자 경계들이 존재하여 전자 이동도를 감소시킨다.

발명이 이루고자 하는 기술적 과제

- [0017] 본 발명이 이루고자 하는 기술적 과제는 대형 결정입자와 높은 전자이동도를 가질 수 있는 박막 트랜지스터, 박막 트랜지스터 기판 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- [0018] 본 발명의 실시예들은 박막 트랜지스터와 박막 트랜지스터를 제조하는 방법을 포함한다. 구조적으로 간단히 언급하면, 다른 여러 가지 가운데 박막 트랜지스터의 한 실시예는 다음과 같이 구현될 수 있다. 기판은 그 위에

배치된 채널층을 갖는다. 채널층은 제1 횡단 폭을 한정하는 핵생성 영역을 정의하며, 제2 횡단 폭을 한정하는 결정 단부를 정의한다. 제1 횡단 폭은 제2 횡단 폭보다 작다. 열구배 유도체가 기판상에 배치된다. 열구배 유도체는 근본적으로 채널층을 둘러싸며, 열구배 유도체와 채널층은 캡을 만든다.

[0019] 본 발명의 실시예들은 또한 박막 트랜지스터를 제조하는 방법을 제공하는 것으로서 보여질 수 있다. 이와 관련하여, 다른 여러가지 가운데 이러한 방법의 한 실시예는 다음의 단계들을 포함한다: 기판을 제공하는 단계; 기판상에 초기 채널층을 배치하는 단계; 초기 채널층의 적어도 일부를, 제1 횡단 폭을 갖는 핵생성 영역과 제2 횡단 폭을 갖는 결정영역을 한정하는 형상화된 채널층으로 형성하는 단계; 적어도 상기 형상화된 채널층을 어닐링하는 단계; 상기 형상화된 채널층에 근접하여 열구배 유도체를 제공하는 단계; 및 상기 열구배 유도체로 상기 형상화된 채널층내에 열구배를 유도하는 단계를 포함하며, 상기 열구배 유도체는 상기 형상화된 채널층의 핵생성 영역으로 하여금 상기 결정 영역보다 빠르게 열을 방산시키도록 한다.

[0020] 본 발명의 목적들, 방법들, 특징들 및 장점들이 이하의 도면들과 상세한 설명을 조사함으로써 당업자에게 명백하게 될 것이다. 이러한 모든 목적들, 방법들, 특징들 및 장점들은 이하의 설명내에 포함되며, 본 발명의 사상내에 포함되며, 첨부하는 청구항들에 의해 보호되도록 의도된다.

[0021] 이하, 본 발명의 바람직한 실시예들에 대하여 상세히 설명한다.

[0022] 도 2a 및 도 2b를 참조하면, 박막트랜지스터(100)의 한 실시예가 도시되어 있다. 박막 트랜지스터(TFT, 100)는 액정 표시소자의 박막 트랜지스터에 적용된다. 상기 TFT(100)는 채널층(114)과 열구배 유도체(thermal gradient inducer body, 116)을 포함한다. 채널층(114)은 특정 형상을 가지며, 일반적으로 열구배 유도체(116)는 상기 채널층(114)의 특정 형상에 대응하는 형상을 갖는다. 전형적으로 열구배 유도체(116)의 대응하는 형상은 채널층(114)이 일반적 또는 근본적으로 열구배 유도체(116)에 의해 둘러싸이는 형태로 된다. 하나의 실시예에서 채널층(114) 및 열구배 유도체(116)은 기판(112)상에 형성된다. 어떤 실시예들에서는 열구배 유도체(116)는 일반적으로 채널층(114)을 둘러싸는 폴리실리콘층으로 구성된다.

[0023] 도 2b를 참조하면, 채널층(114)은 핵생성영역(118)과 핵생성영역(118)으로부터 멀리 있는 결정 단부영역(120)을 갖는 거의 눈물 형상(tear-shaped)을 갖는다. 결정 단부영역(120)은 핵생성영역(118)과 비교하여 넓어지며, 핵생성영역(118)은 핵생성지점(122)을 포함한다. 이하에서 상술하는 바와 같이, 채널층이 어닐링되면, 핵생성영역(118)의 핵생성지점(122)에서 또는 인접된 지점에서 결정화가 일어나며, 결정입자들이 결정 단부영역(120)을 향하여 성장한다. 채널층(114)의 형상은 눈물 형상, 삼각형 형상, 팬 형상, 부등변사각형 형상 등의 제한되지 않은 다양한 예들을 포함한다.

[0024] 가변적 두께를 갖는 캡(variable thickness gap, 124)이 채널층(114)과 열구배 유도체(116) 사이에서 연장된다. 상기 가변적 두께를 갖는 캡(124)은 핵생성지점(122)에 근접하여 거의 그 최대의 캡 크기를 갖는다. 일반적으로, 가변적 두께를 갖는 캡(124), 즉 채널층(114)과 열구배 유도체(116) 사이의 거리는 상기 캡이 핵생성지점(122)으로부터 멀어질수록 작게된다. 어떤 실시예들에서는 열구배 유도체(116)는 개구부(126)를 한정하고 있으며, 이것은 핵생성지점(122)이 개구부(126)를 향하여 대체로 연장되도록 핵생성지점(122)에 거의 정렬되어 있다.

[0025] 채널층(114)은 소오스영역(128), 중간영역(130) 및 드레인영역(132)을 포함한다. 게다가, TFT(100)는 게이트절연막(134), 게이트 전극(136), 제1 충간절연막(138), 소오스전극(140) 및 드레인전극(142)을 포함한다. 게이트절연막(134)은 기판(112)상에 형성되며 채널층(114)과 열구배 유도체(116)를 덮는다. 게이트전극(136)은 게이트절연막(134) 상에 배치된다. 제1 충간절연막(138)은 게이트절연막(134) 상에 배치되며, 게이트전극(136)은 제1 충간절연막(138)으로 덮혀진다. 소오스전극(140) 및 드레인전극(142)은 게이트절연막(134)을 관통하면서 각기 소오스영역(128) 및 드레인영역(132)과 전기적으로 연결되도록 제1 충간절연막(138) 상에 배치된다. 본 발명과 동일한 기술분야에서 당업자들은 본 발명의 실시예들이 단일의 열구배 유도체(116)에 한정되는 것이 아니며, 복수개의 열구배 유도체가 채용될 수 있다는 것을 잘 알 수 있을 것이다. 박막 트랜지스터(100)를 제조하는 방법들의 예가 도 3 내지 도 9에서 보여진다.

[0026] 도 3을 참조하면, 초기 채널층(110)이 높은 반응온도 예를 들어, 575°C 내지 650°C의 범위에서 플라즈마 화학기상증착 공정에 의해 기판(112)상에 증착된다. 플라즈마 화학기상증착 공정에서 플라즈마가 가스 분자를 원자들, 이온들 또는 원자 클러스터로 분해하는 데 이용된다.

[0027] 도 4a를 참조하면, 초기 채널층(110)이 포토리소그라파와 식각 공정을 사용하여 패턴화되어 채널층(114) 및 열구배 유도체(116)를 형성하며, 채널층(114)과 열구배 유도체(116) 사이의 두께 가변적 캡(124)을 형성하게

된다. 채널총(114)은 핵생성영역(118)과, 핵생성영역(118)의 핵생성지점(122)과는 거의 말단부(distal)인 결정 단부영역(120)을 한정한다.

[0028] 다른 형상들 가운데 채널총(114)의 형상은 눈물 형상(도 4b에서 도시됨), 삼각 형상(도 4c에 도시됨), 팬 형상(도 4d에 도시됨), 부등변사각형 형상(도 4e에 도시됨) 등이 될 수 있다. 명료하게 하기 위하여 단지 눈물 형상의 실시예에 대하여 상술한다.

[0029] 도 4b를 다시 참조하면, 열구배 유도체(116)는 대체로 채널총(114)을 둘러싼다. 열구배 유도체(116)는 광폭부(144)와 협폭부(146)를 갖는다. 협폭부(146)는 개구부(126)의 경계를 정한다. 협폭부(146)는 핵생성영역(118)에 근접하며, 광폭부(144)는 결정 단부영역(120)에 근접한다.

[0030] 전형적으로, 갭(124)이 기판(112)을 향해 하향 연장되며 채널총(114)이 열구배 유도체(116)로부터 독립적이며 연결이 되지 않도록 초기 채널총(110)의 일부가 제거된다. 두께 가변적 갭(124)은 열구배 유도체(116)의 광폭부(144)와 채널총(114)의 결정 단부영역(120) 사이의 제1 갭 두께(124a)와, 열구배 유도체(116)의 협폭부(146)와 채널총(114)의 핵생성영역(118) 사이의 제2 갭 두께(124b)를 갖는다. 제1 갭 두께(124a)는 제2 갭 두께(124b) 보다 작다.

[0031] 당업자들이 인식할 수 있는 바와 같이, 부분적으로는 갭 두께(124a, 124b)의 차이와 열구배 유도체(116)의 형상 때문에 결정 단부영역(120)에서의 열 방산율은 핵생성영역(118)에서의 열 방산율보다 작다. 단위 체적당 보다 큰 표면적을 갖는 영역이 단위 체적당 작은 표면적을 갖는 영역 보다 빠르게 열을 방산하기 때문에 열구배 유도체(116)의 광폭부(144)에 의해 흡수된 열은 열구배 유도체(116)의 협폭부에 의해 흡수된 열과 같이 빠르게 방산되지 않는다. 따라서 그 형상에 기인하여 열구배 유도체의 광폭부(144)는 열구배 유도체의 협폭부(146) 보다 열을 덜 방산시킨다. 결론적으로, 결정 단부영역(120)이 핵생성영역(118) 보다 넓기 때문에 그리고 제1 갭 두께(124a)가 제2 갭 두께(124b) 보다 작기 때문에 핵생성영역(118)은 결정 단부영역(120) 보다도 더 빠르게 열을 방산시킨다. 도 1b에서 보여지는 채널총(14)과 비교되는 바와 같이, 채널총(114)은 핵생성영역(118)의 핵생성지점(122)과 채널총(114)의 결정 단부영역(120) 사이에서 보다 높은 열구배를 갖는다.

[0032] 일반적으로, 채널총(114)을 가로지르는 열구배로 인하여 결정입자 성장이 핵생성영역(118)의 핵생성지점(122)에서 시작하여 채널총(114)의 결정 단부영역(120)을 향하여 확산된다. 결정입자 성장이 채널총(114)의 한쪽 단부인 핵생성지점(120)에서 시작하여 다른 쪽 단부인 결정 단부영역(120)을 향하여 성장하고, 결과적으로 결정입자 성장이 다른 핵생성지점으로부터 성장하는 다른 결정입자들과 충돌에 의해 방해받지 않기 때문에 결정 단부영역(120)에서의 결정입자는 흔히 도 1a 및 도 1b에서 보여지는 채널총(14)과 같은 종래의 채널총에서의 결정입자 보다도 크다. 따라서 부분적으로는 결정 단부영역(120)에서 보다 적은 입자 경계를 초래하게하는 결정 단부영역(120)에서의 보다 큰 결정입자들로 인하여, 전자이동도는 종래의 채널총(14)에서 보다도 채널총(114)에서 더 크다.

[0033] 대안적인 실시예로서 도 4f를 참조하면, 채널총(114)이 기본적으로 열구배 유도체(116)에 의해 둘러싸여 있으며, 다시 기본적으로 제2 열구배 유도체(116')에 의해 둘러싸여 있다. 제2 열구배 유도체(116')는 결정 단부영역(120) 상에서 열구배 유도체(116)의 유효한 열 축적을 증가시키며, 이는 핵생성영역(118)의 핵생성지점(122)과 채널총(114)의 결정 단부영역(120) 사이의 열구배를 증가시키며, 따라서 다결정 입자를 형성할 수 있으며, 심지어는 채널총(114)에서는 단결정을 형성할 수 있다.

[0034] 도 5a 및 도 5b를 참조하면, 채널총(114) 및 열구배 유도체(116)가 레이저 어닐 공정에 의해 어닐링된다. 레이저 어닐 공정의 에너지는 원자 진동, 원자 및 분자의 확산 및 실리콘층에서의 결합을 증가시켜 원자들을 재배열하며, 따라서 결함수를 감소시키기 위해 채널총(114)이 처리되어지며, 그 결과 단결정인 채널총을 형성한다. 특히, 당해 기술분야에서 당업자들에게 잘 알려진 바와 같이, 열방산(heat dissipation)은 표면적 및 체적의 함수이며, 협폭부(146)의 체적에 대한 표면적 비는 광폭부(144)의 체적에 대한 표면적 비에 비하여 크며, 협폭부(146)에서의 열방산율은 광폭부(144)에서 보다 크다. 그 결과 열구배 유도체(116)가 어닐링된 후, 협폭부(146)가 광폭부(144) 보다도 더 빠르게 냉각되기 때문에 열구배 유도체(116)를 가로질러 열구배가 발생된다.

[0035] 부분적으로 열구배 유도체(116)내에서의 열구배, 채널총(114)의 형상 및 두께 가변적 갭(124)으로 인하여, 채널총(114) 내에서 열구배가 유도된다. 특히 채널총(114)의 결정 단부영역(120)의 온도는 핵생성영역(118)의 온도 보다 높으며, 따라서 채널총(114)에서의 결정입자 성장 방향이 핵생성영역(118)의 핵생성지점(122)으로부터 결정 영역(120)으로 된다.

[0036] 도 5c를 참조를 참조하면, 하나의 실시예에서, 열구배 유도체(116)의 협폭부(146)는 텁니 형상의 가장자리(14

8)를 포함한다. 상기 텁니형상 가장자리(148)는 협폭부(146)의 체적에 대한 표면적비를 증가시키며, 따라서 협폭부(146)로부터의 열방산율을 증가시키며, 그 결과로서 열구배 유도체(116)을 가로질러 열구배를 증가시킨다.

[0037] 도 5d를 참조하면, 하나의 실시예에서, 초기 채널층(110)이 패턴화되어 거의 왕관 형상의 채널층(114)과 복수개의 열구배 유도체들(116a, 116b, 116c)을 형성한다. 왕관 형상의 채널층(114)은 복수개의 핵생성영역들(118a, 118b, 118c)을 포함하며, 각각은 핵생성지점들(122a, 122b, 122c)을 구비한다. 열구배 유도체(116b)는 왕관 형상의 채널층(114)의 형상에 대응하며 핵생성지점들(122a, 122b) 사이에 위치한다. 열구배 유도체(116c)는 왕관 형상의 채널층(114)의 형상에 대응하며 핵생성지점들(122b, 122c) 사이에 위치한다. 종래 문헌과 비교되는 바처럼, 본 발명의 박막 트랜지스터를 제조하는 방법은 적은 레이저 에너지를 사용하여 보다 큰 입자 크기를 갖는 폴리실리콘층을 형성한다.

[0038] 도 6을 참조하면, 게이트절연막(134)이 기판(112), 채널층(114) 및 열구배 유도체(116) 위로 배치된다. 제1 금속박막(150)이 게이트절연막(134) 상에 형성되며, 포토리소그라파 및/또는 식각 공정을 사용하여 게이트전극(136)을 형성하기 위해 패턴화된다.

[0039] 도 7을 참조하면, 채널층(114)이 소오스영역(128), 중간영역(130) 및 드레인영역(132)을 형성하기 위해 이온주입 공정에 의해 P^- 이온 또는 N^+ 이온으로 주입된다.

[0040] 도 8을 참조하면, 제1 충간절연막(138)이 게이트절연막(134) 및 게이트전극(136) 위로 배치된다. 이어서, 두개의 콘택홀들(152, 154)이 포토리소그라파 및 식각 공정에 의해 제1 충간절연막(138) 및 게이트절연막(134)내에 형성된다. 상기 콘택홀들(152, 154)은 소오스영역(128) 및 드레인영역(132)의 일부를 노출시킨다.

[0041] 도 9를 참조하면, 제2 금속 박막(156)이 두개의 콘택홀들(152, 154)이 제2 금속 박막(156)으로 충전되도록 제1 충간절연막(138)상에 배치된다. 제2 금속 박막(156)은 소오스전극(140) 및 드레인전극(142)이 형성되도록 포토리소그라파 및 식각 공정에 의해 패턴화된다.

[0042] 어떤 실시예들에서는 채널층(114)이 대형의 결정입자를 갖는 폴리실리콘층 또는 단결정 실리콘일 수 있으며, 따라서 채널층(114)은 높은 전자이동도를 갖는다.

[0043] 도 10을 참조하면, 이것은 박막 트랜지스터 기판(200)의 다른 실시예를 나타내며, 제2 충간절연막(158)이 제1 충간절연막(138), 소오스전극(140) 및 드레인전극(142) 위로 배치된다. 이어서, 콘택홀(160)이 포토리소그라파 및 식각 공정에 의해 제2 충간절연막(158)내에 형성된다. 상기 콘택홀(160)은 제2 충간절연막(158)을 관통하며 연장되어 드레인전극(142)의 일부를 노출시킨다.

[0044] 투명 도전박막(162)이 제2 충간절연막(158)상에 배치되며, 투명 도전박막(162)이 드레인전극(142)과 전기적으로 연결되도록 콘택홀(160)내에 증착된다. 투명 도전박막(162)은 포토리소그라파와 식각 공정에 의해 패턴화된다. 도전 박막(162)이 대응하는 박막 트랜지스터(100)에 전기적으로 연결되며, 본 발명의 박막 트랜지스터 기판(200)이 형성된다.

[0045] 바람직하게는, 본 발명의 액정 표시소자는 제1 기판(202)과 제2 기판(200) 사이에 샌드위치된 액정층(204)을 갖는 박막 트랜지스터(TFT) LCD이다. 도11에서 보여지듯이, 본 발명의 제1 기판(202)은 칼러필터(CF) 기판으로 불리우며, 제2 기판(200)은 상기 박막 트랜지스터 기판이라 불리운다. 통상적으로 상기 기판들 사이의 셀 캡을 한정하기 위해 기판들 사이에 스페이서들이 형성된다. 액정 표시소자는 박막 트랜지스터(100)와 전술한 박막 트랜지스터 기판을 포함하여 제공된다는 것은 당업자가 쉽게 이해할 수 있을 것이다.

발명의 효과

[0046] 본 발명에 따르면, 대형 결정입자와 높은 전자이동도를 가질 수 있는 박막 트랜지스터를 제조할 수 있다.

[0047] 비록 본 발명은 그 바람직한 실시예와 관련하여 설명되었지만, 이것은 그 개시된 부분에 한정하여 사용된 것은 아니다. 많은 다른 가능한 수정 또는 변형이 이하의 청구항에서와 같은 본 발명의 사상으로부터 벗어남이 없이 당업자들에게 이루어질 수 있음을 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

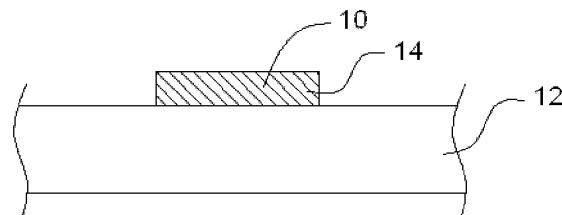
[0001] 도 1a는 종래의 박막 트랜지스터의 폴리실리콘층의 단면도이다.

[0002] 도 1b는 종래의 박막 트랜지스터의 폴리실리콘층의 평면도이다.

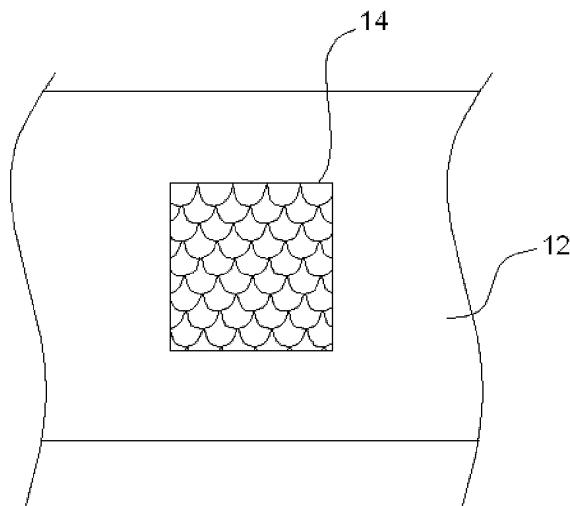
- [0003] 도 2a는 본 발명의 일 실시예에 따른 박막 트랜지스터의 단면도이다.
- [0004] 도 2b는 본 발명의 일 실시예에 따른 박막 트랜지스터의 평면도이다.
- [0005] 도 3 내지 도 8은 본 발명의 일 실시예에 따른 박막 트랜지스터를 제조하는 방법을 보여주는 단면도 및 평면도들이다.
- [0006] 도 9는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 단면도이다.
- [0007] 도 10은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 단면도이다.
- [0008] 도 11은 본 발명의 일 실시예에 따른 LCD의 일부의 단면도이다.

도면

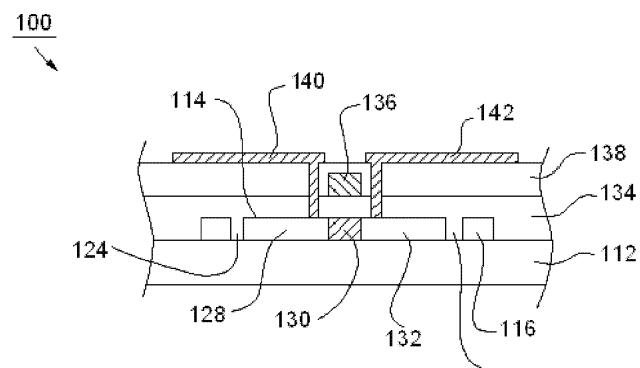
도면1a



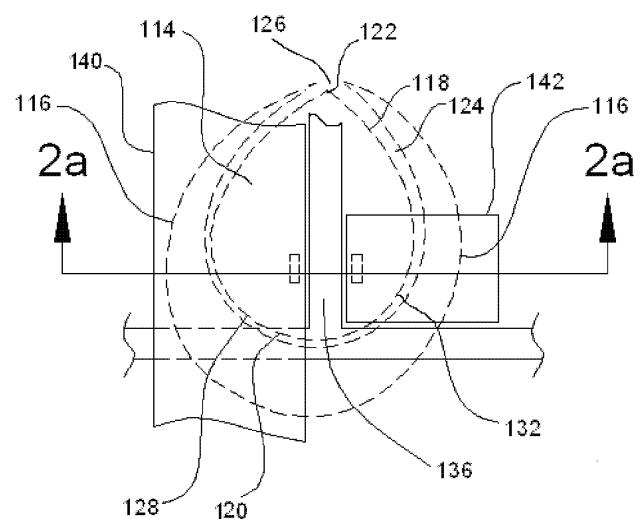
도면1b



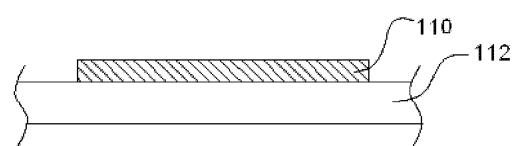
도면2a



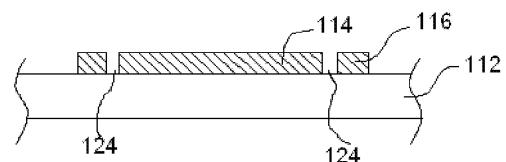
도면2b



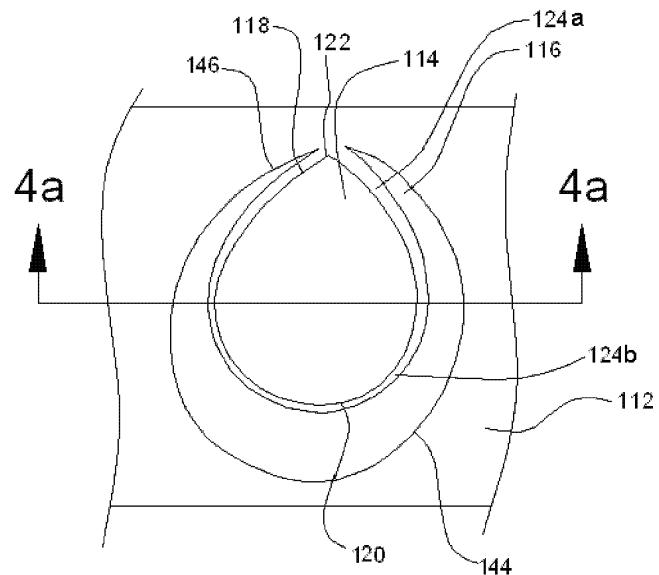
도면3



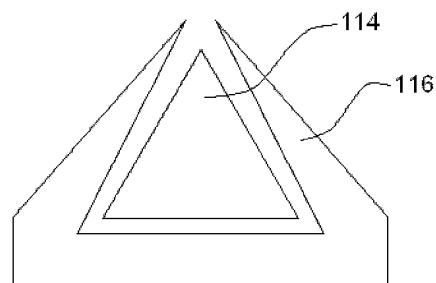
도면4a



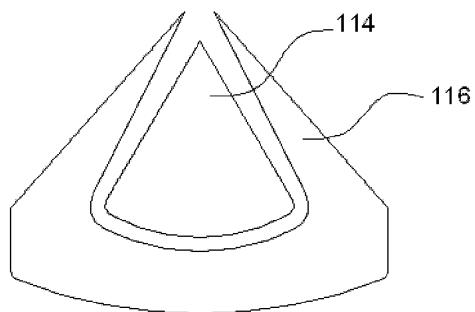
도면4b



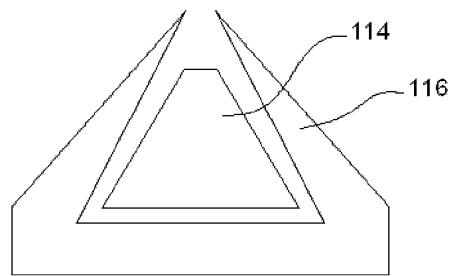
도면4c



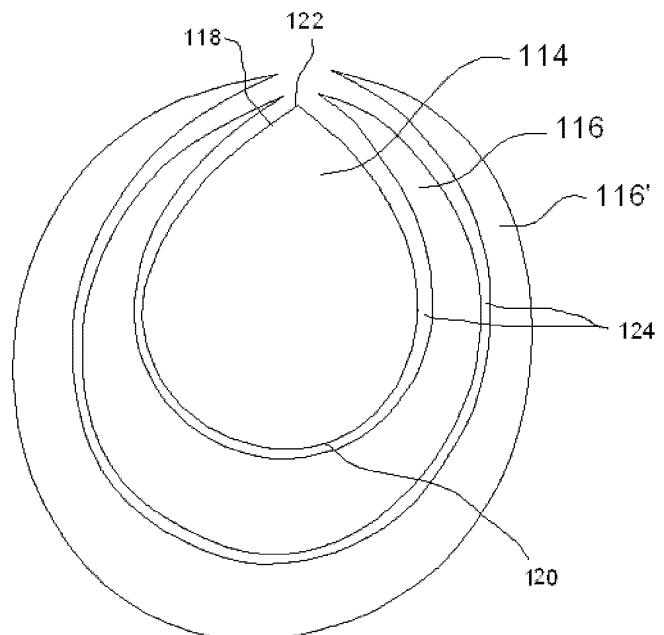
도면4d



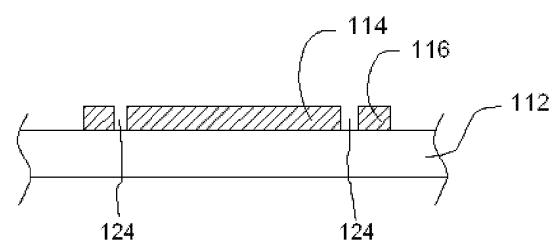
도면4e



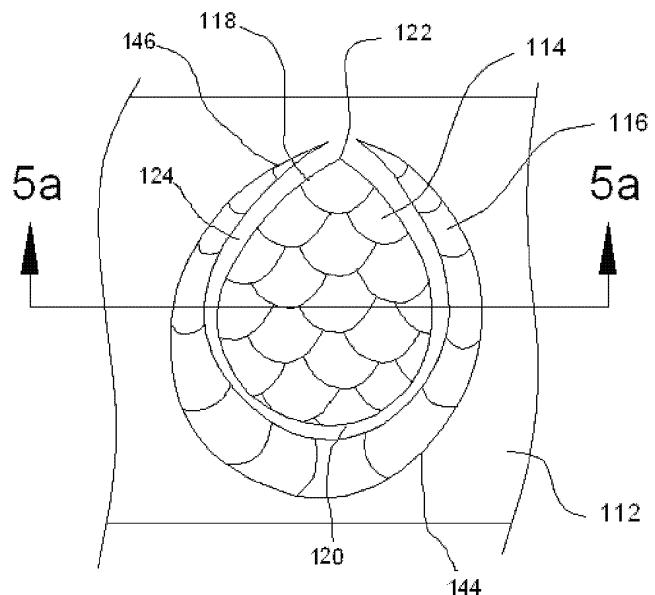
도면4f



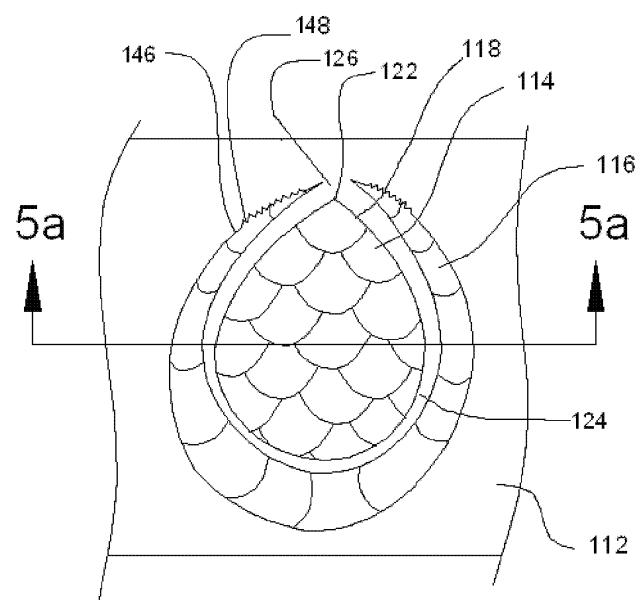
도면5a



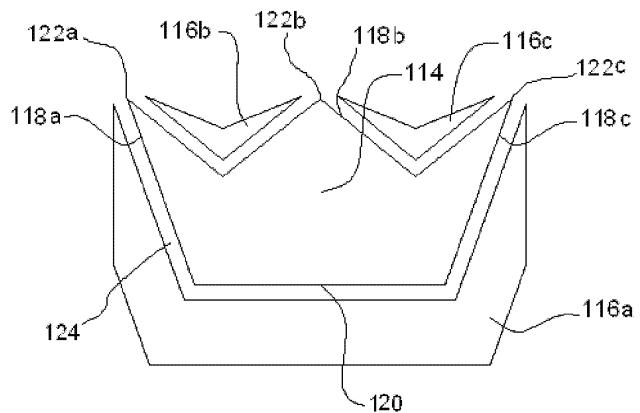
도면5b



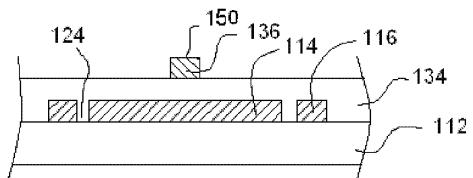
도면5c



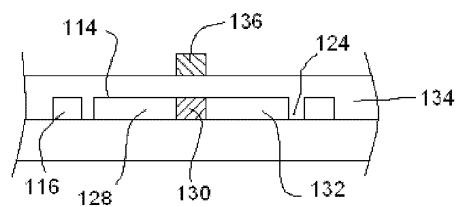
도면5d



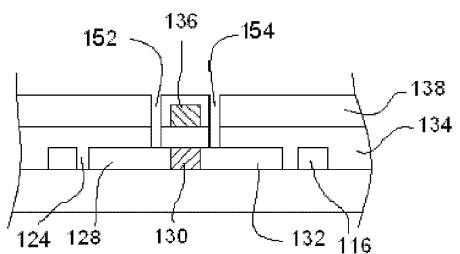
도면6



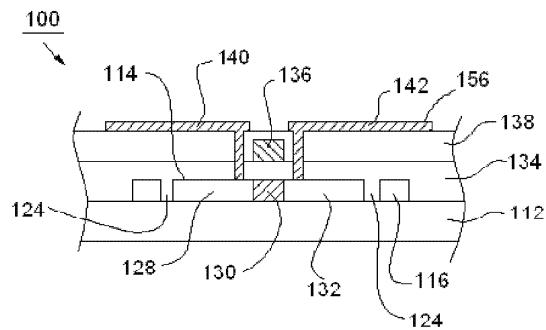
도면7



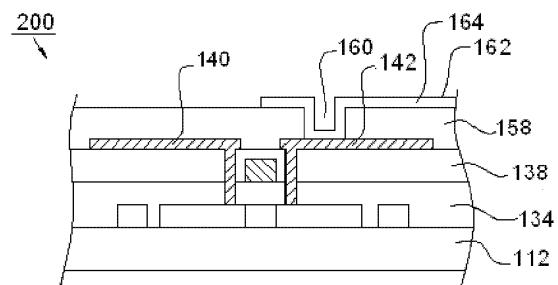
도면8



도면9



도면10



도면11

