

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11B 20/10	(45) 공고일자 2000년06월 15일
	(11) 등록번호 10-0259435
	(24) 등록일자 2000년03월22일
(21) 출원번호 10-1993-0005748	(65) 공개번호 특1993-0022340
(22) 출원일자 1993년04월07일	(43) 공개일자 1993년11월23일
(30) 우선권 주장 92-119,798 1992년04월 13일	일본(JP)
(73) 특허권자 소니 가부시끼 가이샤	이데이 노부유키
(72) 발명자 시미즈메 가즈도시	일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고
(74) 대리인 박종길	일본국 도오교도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시끼가 이샤내

심사관 : 서호선

(54) 디인터리브회로

요약

MD의 디인터리브에 있어서, CD와 동일한 32K 비트의 버퍼 RAM으로 실현할 수 있고, 더욱이 CD의 에러정정 프로그램을 공용화할 수 있는 디인터리브회로를 제공한다.

에러정정회로(6)에서의 MD의 C2 정정에 있어서, C2 포인터세트회로(7), 포인터처리회로(8) 및 마이크로프로그램시퀀서(9)의 작용에 의해 C2 포인터를 8바이트의 데이터마다 8비트에 대응시켜서 부가한다.

대표도

도1

명세서

[발명의 명칭]

디인터리브회로

[도면의 간단한 설명]

제1도는 본 발명의 일실시예의 블록도.

제2도는 CD의 C2 포인터의 구성도.

제3도는 C2 정정후의 데이터와 CD/MD의 C2 포인터어드레스의 대응관계를 나타낸 도면.

제4도는 포인터처리회로의 구성의 일예의 블록도.

제5도는 CD 모드의 포인터커피부의 마이크로프로그램을 나타낸 도면.

제6도는 MD의 C2 포인터의 구성도.

제7도는 C2 포인터리드회로의 구성의 일예의 블록도.

제8도는 C2 포인터리드의 타이밍차트.

제9도는 MD의 디인터리브의 시퀀스도.

\* 도면의 주요부분에 대한 부호의 설명

- |                  |                 |
|------------------|-----------------|
| 1 : EFM 복조회로     | 2 : 외부버스(데이터버스) |
| 3 : 버퍼 RAM       | 5 : 내부버스        |
| 6 : 에러정정회로       | 7 : C2 포인터세트회로  |
| 8 : 포인터처리회로      | 9 : 마이크로프로그램시퀀서 |
| 13 : D/A 인터페이스회로 | 21~24 : 8비트레지스터 |
| 25 : 4비트카운터      |                 |

## [발명의 상세한 설명]

본 발명은 디인터리브회로에 관한 것이며, 이른바 미니디스크라고 칭하는 디지털오디디스크를 재생가능한 디스크플레이어의 디지털데이터재생장치에 사용하기에 적합한 디인터리브회로에 관한 것이다.

고음질의 디지털오디디스크로서 콤팩트디스크(이하, CD라 함)가 널리 보급되어 있다. 이에 대해, 근래 CD보다 극단적으로 작고 더욱이 데이터를 압축하여 기록하므로, CD와 같은 정도의 재생시간을 갖는 미니디스크(이하, MD라 함)가 개발되어 실용화되고 있다.

이 MD에서는 광자기기록방식을 채용하고 있다. 또, MD에 사용되는 인터리브는 파형연속하기 쉽고 또한 CD와 동등의 인터리브효과를 얻는 목적으로 만들어지고 있다.

이 MD의 디인터리브의 시퀀스를 제9도에 도시한다. 이 도면에서 좌측은 디스크에서 재생된 1프레임의 데이터를 나타낸다. 프레임의 시초에 있어서 서브코드 다음에 재생되는 것이 8비트데이터 W12n, A이다. 다음에 재생되는 것은 데이터 W12n, B로 된다.

여기서, n은 프레임번호를 표시하고, Pn은 C1 패리티, Qn은 C2 패리티를 각각 표시한다. 또, 4각내의 "1"은 1프레임지연을 표시하고, 27D는 108프레임(D=4) 지연을 표시한다.

C1 정정에서는, W12n, A, 1프레임전의 W12n, B, W12n+1, A, 1프레임전의 W12n+1, B, ...로 계속되어 가고, 32바이트데이터로 하나의 부호어로 된다. C1 정정처리로 정정되지 않을 때(다중에러), C1의 32바이트에 대해 C1 플래그(C1 포인터)를 세트한다. 데이터폭이 8비트의 RAM을 사용한 경우, 그 1비트만 C1 플래그로서 사용한다.

C2 정정에서는, 108프레임전의 W12n, A, 105프레임전의 W12n, B, ...로 계속되고, 28바이트데이터로 하나의 부호어로 된다. C2 정정 처리에서는, C2 에러정정의 계산에 C1 플래그를 사용함으로써 오정정(誤訂正)을 방지하거나, 이레이저정정에 이용하거나 한다.

또한, C2 정정으로 에러정정할 수 없었을 때, 많은 경우에는 각각의 데이터의 C1 플래그를 사용한다. 즉, C1 플래그가 세트되어 있는 경우, 에러데이터로서 C2 포인터(C2 플래그)를 세트한다. 이 C2 포인터는 각각의 8비트데이터에 대하여 쌍으로 되어 부가되는 것이다.

이와 같이, 하나의 데이터에 대해 하나의 C2 포인터(1바이트)를 할당한 경우, 필요한 에러정정용의 버퍼 RAM의 공간으로서의 다음과 같이 하여 구해지는 바이트수가 필요하게 된다. 즉,

## ① RF 신호의 가입에서 C1 정정까지

$$32 + 16\text{바이트} = 48\text{바이트} \quad \dots\dots\dots (1)$$

## ② C1 정정에서 C2 정정까지

$$27D + 26D + \dots + 3D + 2D + 1D + 27D = 1,620\text{바이트} \quad \dots\dots\dots (2)$$

단, 최후의 27D는 C1 포인터에 관한 것이다.

## ③ C2 정정에서 D/A 출력까지

$$\{(27D + 26D + \dots + 2D + 1D) + 12\} + \{(27D + 26D + \dots + 2D + 1D) + 12\} = 2,616\text{바이트} \quad \dots\dots\dots (3)$$

단, 전반의 { }의 부분은 데이터에 관한 것이고, 후반의 { }의 부분은 C2 포인터에 관한 것이며, 또 12D ~ 15D는 패리티 Q에 대응하고, 생략되어 있다.

이상으로부터 버퍼 RAM의 공간으로서 ① + ② + ③에서 4,284바이트가 필요하게 된다. 즉, 총용량으로서 34,272비트의 버퍼 RAM이 필요하게 된다.

그런데, CD플레이어의 EFM(Eight to Fourteen Modulation)복조(復調)에서는 에러정정에서의 C2 정정후의 데이터 2바이트에 대해 1바이트의 C2 포인터를 사용하고 있었다. 또, C2 정정후 D/A 콘버터에 출력하는 구간은 2프레임이하이며, C2 포인터도 2프레임이하의 시간만큼 유지할 수 있는 용량으로 족하므로, 큰 문제는 없었다.

그러나, MD의 디인터리브에 있어서는 전술한 바와 같이, 최대 C2 포인터를 109(=27D + 1)프레임 만큼 유지할 필요가 있고, 에러정정용의 RAM으로서 34,272비트의 공간이 필요하므로, 32K 비트의 버퍼 RAM에서는 용량이 부족하여 64K 비트의 버퍼 RAM을 사용하지 않을 수 없게 된다.

본 발명은 전술한 점을 감안하여 이루어진 것이며, MD의 디인터리브에 있어서 32K 비트의 버퍼 RAM으로 실현할 수 있고, 더욱이 CD의 에러정정프로그램을 공용화할 수 있는 디인터리브회로를 제공하는 것을 목적으로 한다.

본 발명에 의한 디인터리브회로는 병렬로 입력되는 1프레임분 소정바이트의 디지털데이터를, 에러정정하면서 재생처리하는 디지털데이터재생장치에 있어서, 에러정정용 플래그를 8바이트의 데이터마다 8비트에 대응시켜서 부가하는 구성으로 되어 있다.

MD의 C2 정정에 있어서, 에러정정용 플래그(C2 포인터)를 8바이트의 데이터마다 8비트에 대응시켜서 부가함으로써, C2 포인터의 용량을 CD의 경우에 비교하여 1/4로 할 수 있다.

그 결과, 32K 비트의 RAM으로 디인터리브를 실현할 수 있다.

다음에, 본 발명의 실시예에 대하여 도면에 따라서 상세히 설명한다.

제1도는 본 발명에 의한 디인터리브회로가 적용되는 디지털데이터재생회로의 구성을 도시한 블록도이다.

도면에 있어서, MD로부터 독취된 EFM 신호는 EFM 복조회로(1)에서 EFM 복조가 행해진다. 그 복조출력인 PCM 오디오데이터, 즉 8비트(병렬화된 1심볼)의 데이터는 외부버스(2)를 통해 32K 비트의 버퍼 RAM(3)에 기록된다.

RAM(3)은 CIRC(Cross Interleave Reed Solomon Code)의 디인터리브 및 에러정정을 위한 버퍼로서의 기능을 가진다.

이 RAM(3)에 있어서 디인터리브된 C1, C2 각각 32심볼, 28심볼의 데이터는 입력회로(4)를 거친 후 내부버스(5)를 통해 에러정정회로(6)에 공급된다. 이 계열은 제9도에 도시한 계열로 되어 있다.

C2에 대해서는 에러정정할 수 없었던 정보에 관해 포인터가 부가된다. C2 정정에서 다중에러 때문에 에러정정할 수 없을 때는 C1 포인터를 커피하고, 또 C2 정정에서 C1을 놓칠 가능성이 강할 때는 그 C2 정보 모두에 C2 포인터를 세트한다(이하, 올포인터라 한다).

C2 포인터를 세트하기 위해 C2 포인터세트회로(7) 및 포인터처리회로(8)가 내부버스(5)에 각각 접속되어 있다. 이 C2 포인터세트회로(7) 및 포인터처리회로(8)는 마이크로프로그램시퀀서(9)에 의해 제어되도록 되어 있다.

즉, 마이크로프로그램시퀀서(8)에 의해 올포인터명령이 실행되었을 때, 마이크로프로그램시퀀서(8)로부터 C2 포인터세트명령이 출력되므로, C2 포인터세트회로(7)에 의해 8비트 모두 "1"이 내부버스(5)에 세트되고, 출력회로(10)를 통해 RAM(3)에 연계되는 외부버스(데이터버스)(2)에 세트된다.

그런데, CD의 경우에는 제2도에 도시한 바와 같이, C2 정정후의 데이터 2바이트에 대해 1바이트의 C2 포인터가 기입되도록 되어 있다. 이 경우, 제2도로부터도 명백한 바와 같이 상위 6비트가 미사용으로 된다.

이 CD와 MD를 공통으로 하기 위해, 본 발명에 있어서는 마이크로프로그램을 같게 해두고, C2 포인터의 RAM 어드레스만 변화시킴으로써 대응할 수 있도록 하고 있다.

즉, 제3도에 도시한 바와 같이, 24바이트의 데이터에 대하여, CD의 경우에는 12회 C2 포인터를 기입하게 되는데 대해, MD의 경우에는 4회 같은 어드레스에 반복하여 기입하게 되고, 이로써 마이크로프로그램을 공용화할 수 있게 된다.

또, 전술한 바와 같이, C2 정정에서 다중에러 때문에 정정할 수 없을 때에도, C1 정정도 옳다고 판단했을 때, C2 포인터로서 C1 포인터를 커피하게 된다.

이 커피명령이 마이크로프로그램시퀀서(9)로부터 발행되면, 마이크로프로그램시퀀서(9)로부터 출력되는 C1 포인터리드명령 및 C2 포인터라이트명령에 따라 포인터처리회로(8)가 동작한다.

이 포인터처리회로(8)에 있어서는 제4도에 도시한 바와 같이, 8비트분의 이네이블(E)단자부가 D-FF(플립 플롭)(11<sub>1</sub>)~(11<sub>8</sub>)이 종속(縱續)접속되어 있으며, 이들 D-FF(11<sub>1</sub>)~(11<sub>8</sub>)은 C1 포인터리드명령을 이네이블 입력으로 하고 있다. 또, 초단(初段)의 D-FF(11<sub>1</sub>)는 내부버스(5)를 통하여 공급되는 C1 포인터의 LSB(최하위 비트)를 데이터(D)입력으로 하고 있다.

또, D-FF(11<sub>1</sub>)~(11<sub>8</sub>)의 각 출력단과 내부버스(5)와의 사이에는 C2 포인터라이트명령에 의해 능동상태로 되는 버퍼(12<sub>1</sub>)~(12<sub>8</sub>)가 각각 접속되어 있다.

그런데, C1 정정후 C1 포인터는 LSB만에 기입되어 있으며, CD 모드의 포인터커피부의 마이크로프로그램은 제5도에 도시한 바와 같이 된다. 즉, C1 포인터를 2회 읽어 놓고 1회 기입하는 동작을 반복하게 된다.

CD 모드에서는, C2 포인터로서 제2도에서 명백한 바와 같이 2LSB만 사용하므로, 상위 6비트는 무엇이 들어가도 된다.

MD 모드에서는, C2 포인터의 기입(Write)어드레스를 4회 오버라이트함으로써, 최후에 8비트의 C2 포인터가 제6도에 도시한 바와 같이 24바이트의 데이터에 대하여 3바이트 완성된다.

전술한 일련의 동작을 요약하면, C2 포인터를 8비트로 정리하여 RAM 상에 하나의 데이터로서 기록하게 된다. 즉, W12<sub>n</sub>, A ~ W12<sub>n+3</sub>, B의 8바이트의 데이터에 대해 1바이트의 C2 포인터를 할당한다. 이 C2 포인터는 7D 구간 RAM(3)에 계속 기록한다.

다음에, W12<sub>n+4</sub>, A ~ W12<sub>n+7</sub>, B를 1바이트의 C2 포인터에 모아서, 19D 구간 RAM(3)에 데이터를 유지시킨다. 최후에, W12<sub>n+8</sub>, A ~ W12<sub>n+11</sub>, B를 1바이트의 C2 포인터에 모아서, 27D 구간 RAM(3)에 데이터를 유지하게 한다.

전술한 바와 같이, C2 정정후의 C2 포인터를 8바이트정보에 대해 8비트에 대응시킴으로써, C2 포인터의 용량은,

$$7D + 19D + 27D = 212\text{바이트} \quad \dots\dots\dots (4)$$

로 되어 종래의 1/4로 된다. 이로써, 버퍼 RAM(3)의 총용량은 식(1)~식(3)과의 대응으로부터,

$$48 + 1,620 + 1,296 + 12 + 212 = 3,188 \text{ 바이트} \quad \dots\dots\dots (5)$$

로 된다.

즉, C2 포인터의 용량을 종래의 1/4로 저감할 수 있으므로, 32K비트 RAM으로 디인터리브를 실현할 수 있게 되는 동시에, 32K 비트 RAM이라도

$$\{(32 \times 1,024)/8\} - 3,188 = 908 \quad \dots\dots\dots (6)$$

이므로 908 바이트분의 용량이 남으며, 그 만큼 프레임지터마진에 사용할 수 있게 된다.

또, 제3도에 설명한 바와 같이, 12바이트의 데이터에 대하여 CD에서는 12회 C2 포인터를 기입하는데 대하여, MD에서는 4회 같은 어드레스에 반복 기입하도록 하였으므로, CD의 에러정정프로그램과 공용화할 수 있게 된다.

다시 제1도에 있어서, PCM 오디오정보는 에러정정된 후 외부버스(2)를 통해 D/A 인터페이스회로(13)에 공급되어, 보간처리나 파라렐/시리얼 변환 등이 행해진다.

데이터리퀘스트처리회로(14)는 버퍼 RAM(3)에 대해 독출/기입하는 회로로부터의 점유요구를 받기 위한 것이다. 즉, 에러정정회로(5)가 버퍼 RAM(3)을 사용한 경우, 에러정정회로(5)로부터 리퀘스트를 이 데이터리퀘스트처리회로(14)에 출력한다. 이 밖에, D/A 인터페이스회로(13)나 EFM 복조회로(1)로부터도 각각 독출요구나 기입요구가 이 데이터리퀘스트처리회로(14)에 입력되며, 요구가 겹친 경우, 미리 설정한 프라이오리티에 따라 요구를 받는다. 그 때, 어드레스발생회로(15)에서는 실제의 버퍼 RAM(3)의 어드레스가 요구에 대해 생성된다.

D/A 인터페이스회로(13)에 있어서, C2 포인터가 세트되어 있는 데이터는 C2 정정으로도 에러정정할 수 없었던 잘못된 데이터이므로, 예를 들면 전후의 올바른 데이터의 평균치를 구하여 출력하는 보간처리등이 행해진다.

이 보간처리를 행하기 위해서는 C2 포인터를 독취할 필요가 있다. 이 C2 포인터의 리드회로의 구성의 일 예를 제7도에 도시한다.

이 C2 포인터리드회로의 회로동작에 대하여 제8도의 타이밍차트를 참조하면서 설명한다.

제7도에 있어서, 버퍼 RAM(3)의 데이터버스(2)에는 데이터를 입력하기 위한 타이밍펄스 DABSRE가 높은 레벨의 구간, C2 포인터 및 디인터리브후의 에러정정필 데이터가 타고 온다.

MD 모드에서는, 타이밍펄스 DABSRE는 제8도에서 명백한 바와 같이, 4개의 펄스가 1조로 되고, 이들 4개의 펄스에 대응하여 포인터  $P_L$ (하위),  $P_U$ (상위) 및 데이터  $W_x$ , B(하위),  $W_x$ , A(상위)의 순으로 데이터버스(2)에 데이터가 탄다.

이들 데이터는 타이밍펄스 DABSRE를 이네이블(E)입력으로 하는 4개의 8비트레지스터(21)~(24)에 각각 격납된다. 레지스터(21)는 하위의 포인터  $P_L$ 용으로서, 레지스터(22)는 상위의 포인터  $P_U$ 용으로서 각각 작용한다.

한편, 타이밍펄스 DABSRE의 하강타이밍에 동기하여 카운트동작을 행하는 4비트 카운터(25)가 배설되어 있으며, 이 카운터(25)는 프레임의 머리에서 발생하는 타이밍펄스 XRFCKRS에 응답하여(0,0,0,0)로 로드한다. 이 카운터(25)의 카운트내용과 타이밍펄스 DABSRE와의 관계를 제8도의 타이밍차트에 도시한다.

카운터(25)의 상위 2비트(MSB, 3SB)에 의거하여 게이트회로(26)에 의해 2바이트의 데이터( $W_x$ , B,  $2_x$ , A)를 쌍으로 한 4개의 상태 0~3이 만들어진다.

그리고, 매트릭스회로(27)에 있어서, 카운터(25)의 카운트치에 의해 2바이트의 데이터에 대응하는 포인터가 레지스터(21), (22)에 격납되어 있는 C2 포인터의 8비트중 어느 비트인지가 선택된다.

레지스터(21)의 C2 포인터로부터 선택된 하위의 포인터  $P_L$ 는 게이트회로(28)를 통해 래치회로(30)에 래치되고, 또 레지스터(22)의 C2 포인터로부터 선택된 상위의 포인터  $P_U$ 는 게이트회로(29)를 통해 래치회로(31)에 래치된다.

한편, CD 모드에서는, 타이밍펄스 DABSRE는 3개의 펄스가 조로되어, 게이트회로(29)의 작용에 의해 레지스터(22)에 격납되어 있는 C2 포인터의 하위 2비트를  $W_x$ , A/ $W_x$ , B 공통의 포인터로서 얻을 수 있다.

이와 같이 하여 C2 포인터가 얻어지면, 제1도의 D/A 인터페이스회로(13)에서는 C2 포인터의 내용을 판별하고, C2 포인터가 세트되어 있는 데이터에 관해서는 잘못된 데이터이므로, 보간처리 등이 행해지게 된다.

이상 설명한 바와 같이, 본 발명에 의하면 MD의 C2 정정에 있어서 C2 포인터를 8바이트(심볼)의 데이터마다 8비트에 대응시켜 부가하는 구성으로 함으로써, 2바이트의 데이터에 대하여 1바이트 사용하고 있던 CD의 경우에 비교하여 C2 포인터의 용량을 1/4로 할 수 있으므로, 32K 비트의 RAM으로 디인터리브를 실현할 수 있다.

또, 12바이트의 데이터에 대하여, CD에서는 12회 C2 포인터를 기입하는데 대하여, MD에서는 4회 같은 어드레스에 반복하여 기입하도록 하였으므로, MD의 에러정정프로그램과 CD의 그것과 공용화할 수 있게 된다.

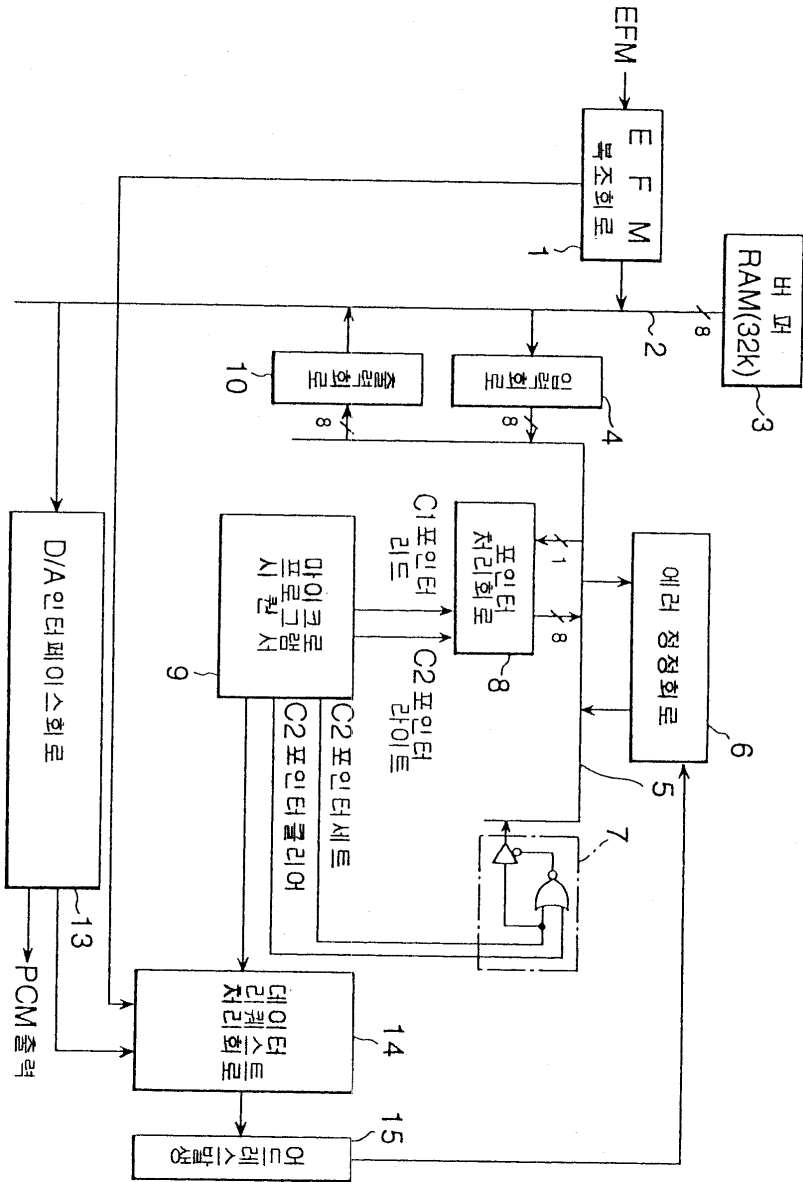
## (57) 청구의 범위

### 청구항 1

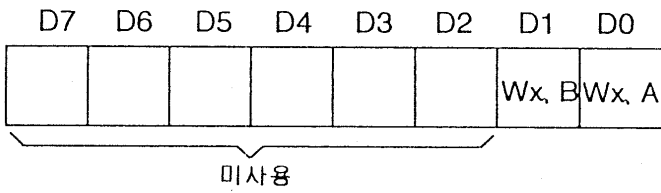
병렬로 입력되는 1프레임분 소정바이트의 디지털데이터를, 에러 정정하면서 재생처리하는 디지털데이터재생장치에 있어서, 에러정정용 플래그를 8바이트의 데이터마다 8비트에 대응시켜서 부가하는 것을 특징으로 하는 디인터리브회로.

### 도면

도면1



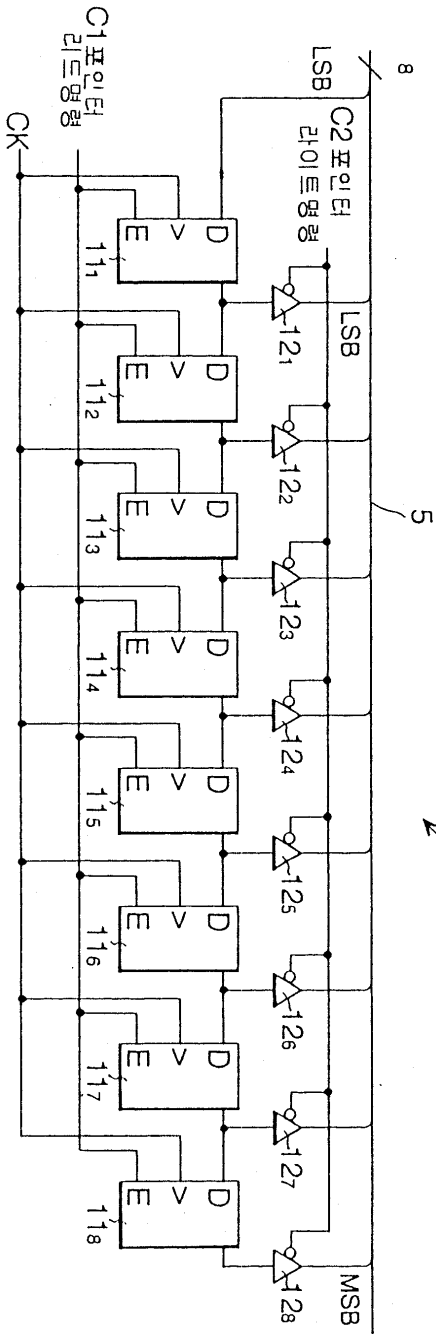
도면2



## 도면3

C2 정정후의 데이터	C2 포인터 어드레스
W12 <sub>n</sub> , A	1 ( A A )
W12 <sub>n</sub> , B	
W12 <sub>n+1</sub> , A	2 ( B A )
W12 <sub>n+1</sub> , B	
W12 <sub>n+2</sub> , A	3 ( C A )
W12 <sub>n+2</sub> , B	
W12 <sub>n+3</sub> , A	4 ( D A )
W12 <sub>n+3</sub> , B	
W12 <sub>n+4</sub> , A	5 ( E B )
W12 <sub>n+4</sub> , B	
⋮	⋮
⋮	⋮
⋮	⋮
W12 <sub>n+11</sub> , A	12 ( L F )
W12 <sub>n+11</sub> , B	
	(CD) (MD)

도면4



8 포인트 처리회로

## 도면5

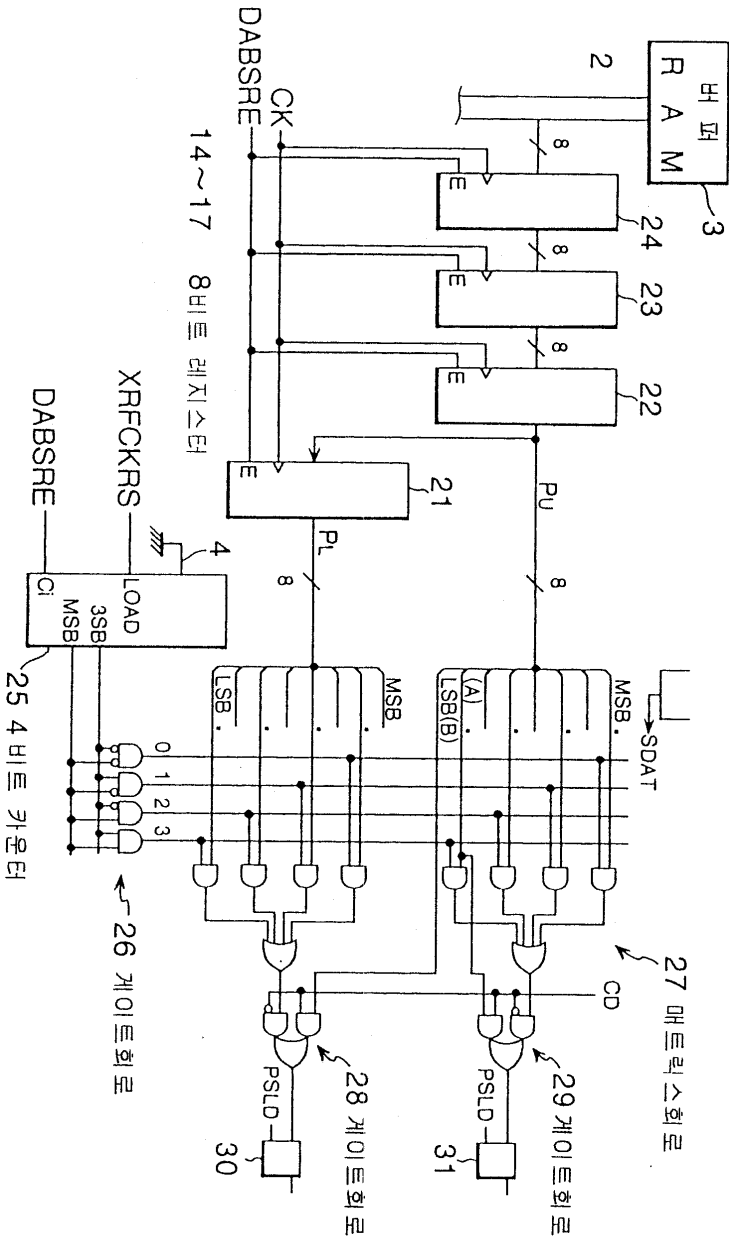
			(RAM 어드레스)	
			CD	MD
Read	C1 포인터	$W_{12n}, A$		
Read	C1 포인터	$W_{12n}, B$		
Write	C2 포인터	$W_{12n}$	A	A
Read	C1 포인터	$W_{12n+1}, A$		
Read	C1 포인터	$W_{12n+1}, B$		
Write	C2 포인터	$W_{12n+1}$	B	A
Read	C1 포인터	$W_{12n+2}, A$		
Read	C1 포인터	$W_{12n+2}, B$		
Write	C2 포인터	$W_{12n+2}$	C	A
Read	C1 포인터	$W_{12n+3}, A$		
Read	C1 포인터	$W_{12n+3}, B$		
Write	C2 포인터	$W_{12n+3}$	D	A

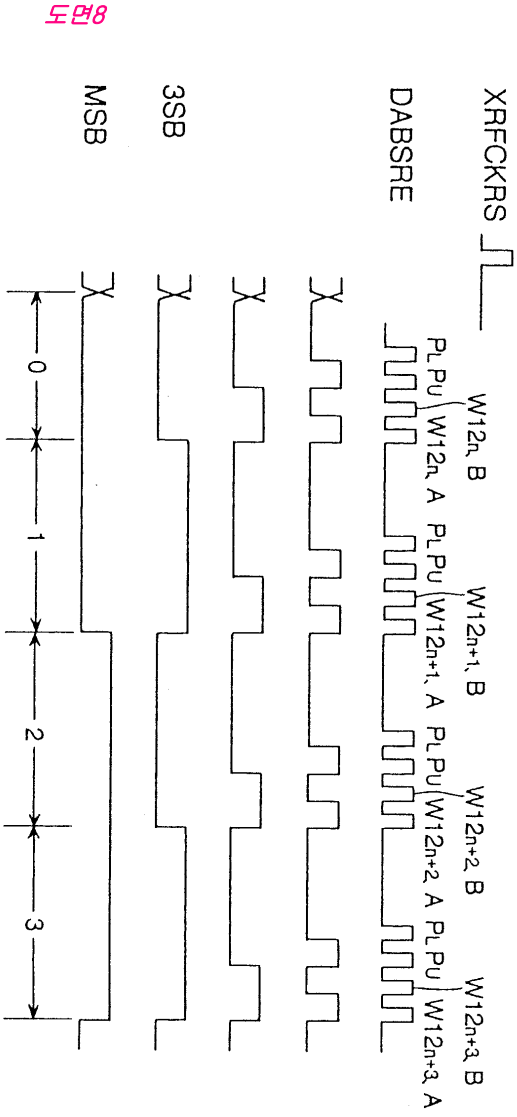
## 도면6

DB01(LSB)  
BS01DB07(MSB)  
BS07

$W_{12n+3}, B$	$W_{12n+3}, A$	$W_{12n+2}, B$	$W_{12n+2}, A$	$W_{12n+1}, B$	$W_{12n+1}, A$	$W_{12n}, B$	$W_{12n}, A$
$W_{12n+7}, B$	$W_{12n+7}, A$	$W_{12n+6}, B$	$W_{12n+6}, A$	$W_{12n+5}, B$	$W_{12n+5}, A$	$W_{12n+4}, B$	$W_{12n+4}, A$
$W_{12n+11}, B$	$W_{12n+11}, A$	$W_{12n+10}, B$	$W_{12n+10}, A$	$W_{12n+9}, B$	$W_{12n+9}, A$	$W_{12n+8}, B$	$W_{12n+8}, A$

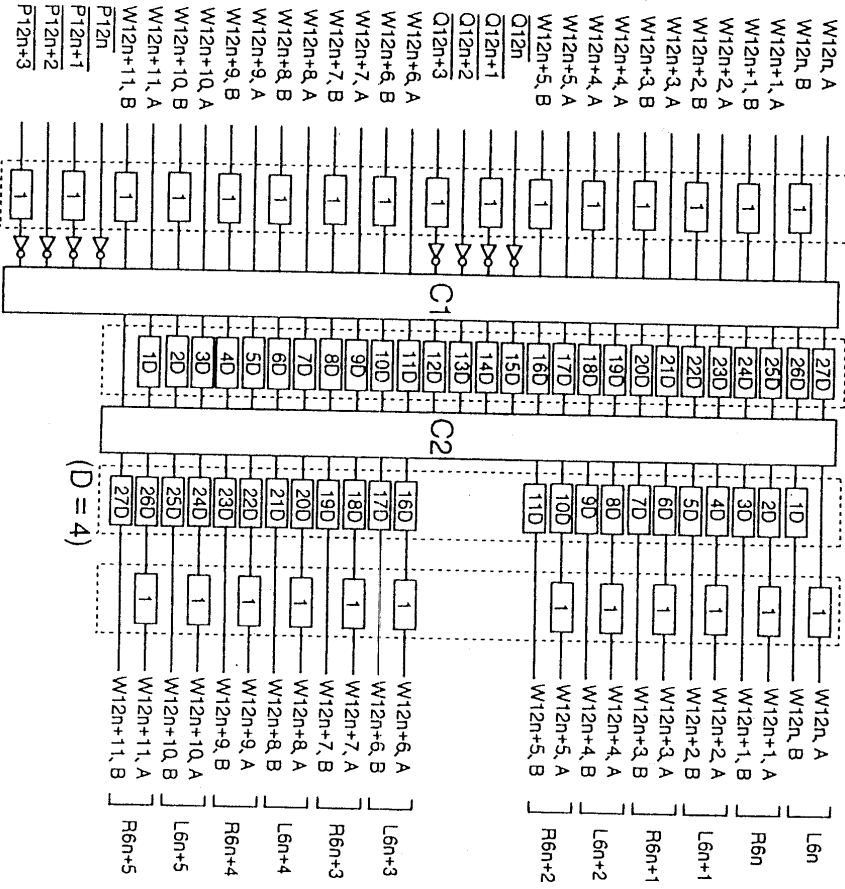






도면9

(M) 입력 신호 재구성 대이터



(예) 입력 신호 재구성 대이터